



芯海科技

CHIPSEA

股票代码:688595

# CST92F25

产品规格书

V1.10 版本



芯海科技(深圳)股份有限公司

www.chipsea.com

+86-0755-8616 9257

sales@chipsea.com

518000

## 版本历史

历史版本	修改内容	日期
REV1.0	初始版本	2020/12/21
REV1.1	更新 PIN 配置与典型应用原理图	2021/03/23
REV1.2	添加 P23 引脚注意事项	2021/04/28
REV1.3	对部分外设说明进行更新	2021/06/30
REV1.4	更新应用参考原理图，电源上新增 10 $\Omega$ 限流电阻	2021/07/28
REV1.5	更新应用参考原理图，DVDD_OUT 引脚上滤波电容从 100nF 改为 10nF	2021/10/16
REV1.6	新增电感规格说明	2021/12/16
REV1.7	修改 PWM 公式，删除 ADC 差分模式	2022/01/07
REV1.8	1) 更新电压工作范围、功耗特性 2) 更新 SPI、ADC 外设描述 3) P01 IO 增加不支持 IOMUX 功能描述 4) 删除正交解码器相关功能描述	2022/04/11
REV1.9	芯片工作模式补充。	2023/03/09
REV1.10	1) 删除 PGA、AMIC 相关功能描述 2) 删除外部 32.768KHz 晶振 IO 及其相关功能描述 3) 删除 KSCAN 相关功能描述 4) 更新应用参考原理图	2023/03/27

## 目 录

版本历史.....	2
<b>1 产品概述.....</b>	<b>4</b>
1.1 功能描述.....	4
1.2 主要特性.....	4
1.3 PIN 配置.....	5
<b>2 功能描述.....</b>	<b>8</b>
2.1 系统架构.....	8
2.2 工作模式.....	9
2.3 CPU.....	9
2.4 存储器.....	9
2.5 2.4G RF.....	11
2.6 电源、时钟与复位.....	11
2.7 中断.....	12
2.8 IOMUX.....	13
2.9 GPIO.....	14
2.10 UART.....	15
2.11 SPI.....	15
2.12 I2C.....	17
2.13 PWM.....	18
2.14 ADC.....	19
2.15 TIMER.....	21
2.16 RTC.....	21
2.17 WDT.....	21
2.18 DMA.....	22
2.19 MAC ADDRESS.....	22
<b>3 电气特性.....</b>	<b>23</b>
3.1 极限值.....	23
3.2 直流特性.....	23
3.3 功耗特性.....	23
3.4 FLASH 特性.....	24
3.5 RF 发送特性.....	24
3.6 RF 接收特性.....	24
3.7 ESD 特性.....	24
<b>4 应用参考原理图与布局布线注意事项.....</b>	<b>26</b>
4.1 CST92F25-QFN32 WITH DC-DC.....	26
4.2 CST92F25-QFN32 WITHOUT DC-DC.....	27
4.3 布局布线注意事项.....	28
<b>5 封装信息.....</b>	<b>30</b>
<b>6 SMT 设计要求.....</b>	<b>31</b>
6.1 回流焊温度曲线.....	31
<b>7 订货信息.....</b>	<b>32</b>
<b>8 缩略语.....</b>	<b>33</b>

# 1 产品概述

## 1.1 功能描述

- CST92F25 是一颗高集成度的低功耗蓝牙 SoC 芯片, 基于低功耗蓝牙 5.0 协议栈。芯片内置 32 位 ARM<sup>®</sup> Cortex<sup>™</sup>-M0 内核、512KB Flash、64KB SRAM 等, 具有领先的低功耗、超远通信距离、强抗干扰性能和高性价比。

## 1.2 主要特性

### 处理器

- ARM Cortex-M0 32 位处理器
- 主频最高可达 64MHz

### 存储器

- 512KB Flash
- 64KB Data SRAM
- 8KB Code Cache

### 2.4G 收发器

- 支持 BLE 5.0
- 单端 RFIO
- 支持两种传输速率
  - 2Mbps
  - 1Mbps
- 发射功率 -20~5dBm 可调, 3dBm 步进

### 功耗

- 发射模式 5.5mA@0dBm Tx power, with DC-DC
- 接收模式 5mA@with DC-DC
- Sleep 模式 13uA@32K RTC 运行, SRAM 内容全部保持
- OFF 模式 0.7 uA

### 振荡器

- 支持 16M XTAL
- 内嵌 32M RC 振荡器与 32K RC 振荡器

### 外设特性

- 20 个 GPIO
  - 数字外设可映射至任意 IO 口 (P01 除外)
  - 所有 GPIO 支持唤醒输入与外部中断输入
  - 在 Sleep 模式下 GPIO 输出状态可保持
- 2 路 UART 接口
- 6 通道 PWM
- 2 路 I2C 接口

- 2 路 SPI 接口
- 12 位 ADC, 支持 6 路单端输入
- 4 通道 DMA
- 6 通道 24 位 Timer
- WDT
- SWD 调试

### 电源管理

- 电压工作范围
  - VDD 1.9V~3.6V
- 内嵌 1.35V Buck DCDC 转换器

### 封装

- QFN32 (4\*4\*0.75mm)

### 认证

- BQB 证书: D054808

### 应用领域

- 智慧健康
- 智能穿戴
- IoT

### 1.3 PIN 配置

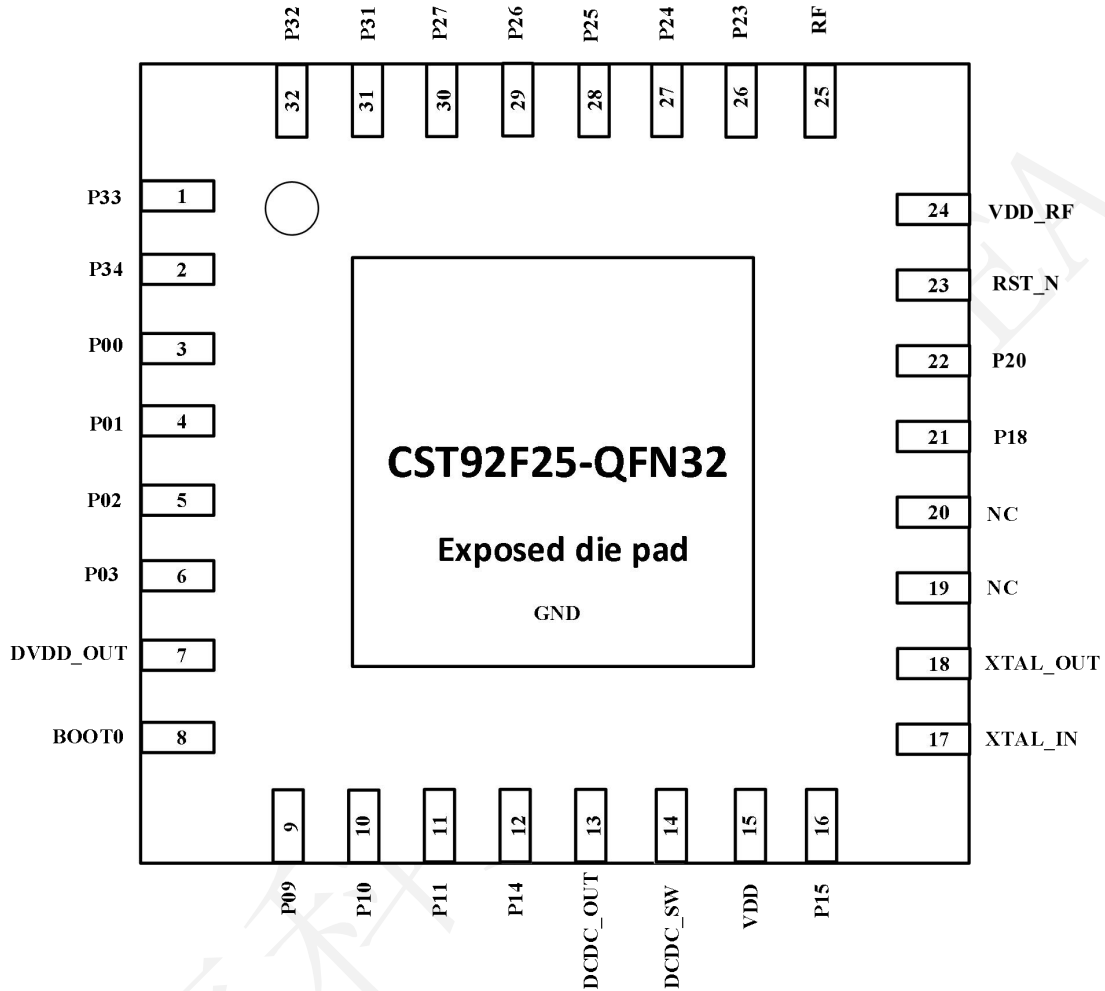


图 1.1 CST92F25-QFN32 PIN 脚示意图

表 1.1 CST92F25-QFN32 管脚说明

QFN32 管脚序 号	管脚名称	类 型	管脚功能
0	GND	P	GND
1	P33	I/O	通用端口输入输出 33
2	P34	I/O	通用端口输入输出 34
3	P00	I/O	通用端口输入输出 0

4	P01	I/O	通用端口输入输出 1 <b>注意：该引脚 IOMUX 无法作为输入功能</b>
5	P02/SWD_IO	I/O	通用端口输入输出 2
		I/O	SWD 调试 IO
6	P03/SWD_CLK	I/O	通用端口输入输出 3
		O	SWD 调试 CLK
7	DVDD_OUT	P	1.2V LDO 电源输出，用于内部数字内核
8	BOOT0	I	启动选择 0，高电平上电进入烧录模式或测试模式，默认下拉
9	P09	I/O	通用端口输入输出 9
10	P10	I/O	通用端口输入输出 10
11	P11/AIO0	I/O	通用端口输入输出 11
		AI	AIO0
12	P14/AIO3	I/O	通用端口输入输出 14
		AI	AIO3
13	DCDC_OUT	P	1.35V BUCK DCDC 输出电源反馈输入，1.2V LDO 电源输入。当不需要 DCDC 时，可直接接 3.3V 电源
14	DCDC_SW	P	1.35V BUCK DCDC 开关输出。当不需要 DCDC 时悬空
15	VDD	P	3.3V 电源输入
16	P15/AIO4	I/O	通用端口输入输出 15
		AI	AIO4
17	XTAL_IN	AI	16MHz 晶振输入或者外部 clk 输入
18	XTAL_OUT	AO	16MHz 晶振输出
19	NC	-	-
20	NC	-	-
21	P18	I/O	通用端口输入输出 18
22	P20/AIO9	I/O	通用端口输入输出 20
		AI	AIO9
23	RST_N	I	复位信号输入，低电平有效
24	VDD_RF	P	RF 模块电源。当采用 DCDC 时，该引脚为 1.35V RF 电源电压输出；当不采用 DCDC 时，可直接接 3.3V 电源。
25	RF	RF Port	ANT port
26	P23/AIO1	I/O	通用端口输入输出 23 <b>注意：该引脚信号频率需小于 10KHz</b>
		AI	AIO1
27	P24/BOOT1/AIO2	I/O	通用端口输入输出 24
		I	启动选择 1，默认下拉
		AI	AIO2
28	P25/BOOT2	I/O	通用端口输入输出 25
		I	启动选择 2，默认下拉

29	P26	I/O	通用端口输入输出 26
30	P27	I/O	通用端口输入输出 27
31	P31	I/O	通用端口输入输出 31
32	P32	I/O	通用端口输入输出 32

## 2 功能描述

### 2.1 系统架构

CST92F25 芯片集成了 32 位 ARM Cortex-M0 处理器、射频收发器、蓝牙调制解调器、Flash、SRAM，以及 SPI/I2C/UART 等丰富外设。芯片系统框图如图 2.1 所示。

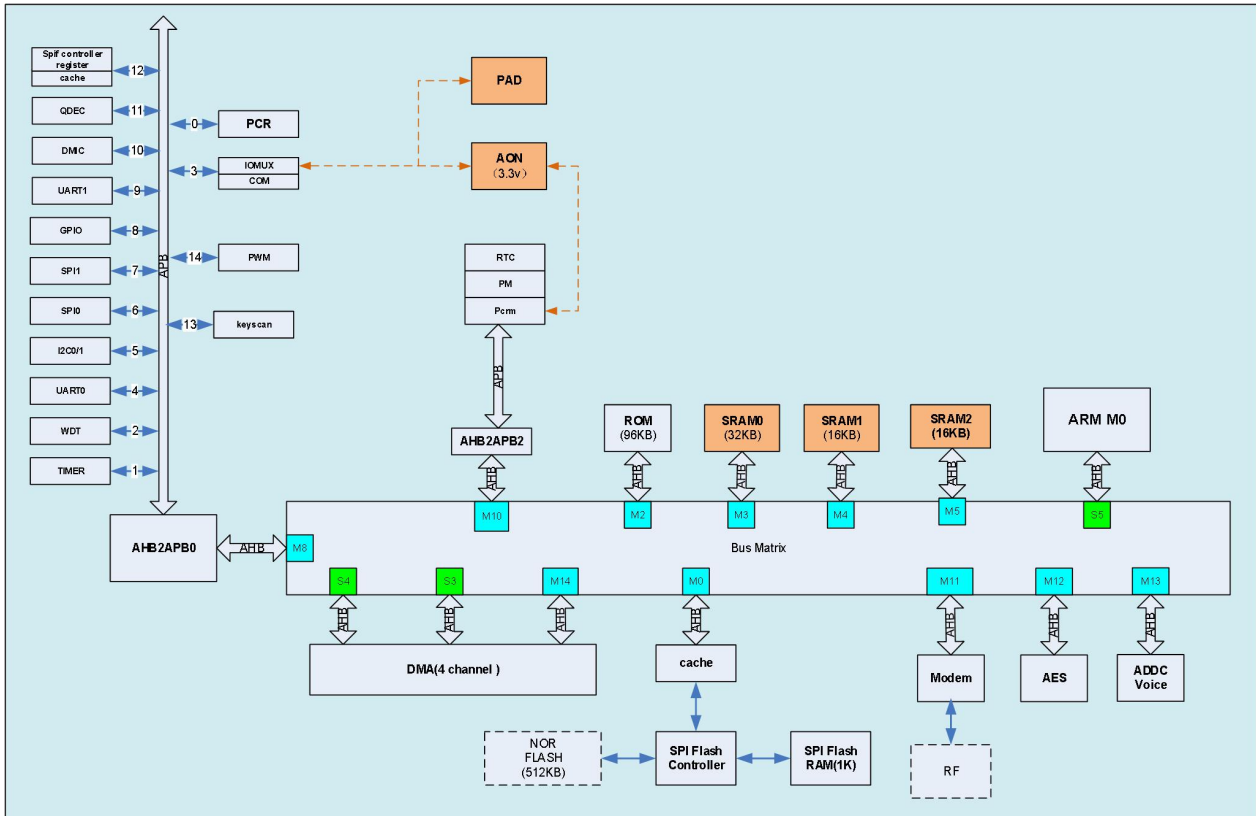


图 2.1 芯片系统框图



## 2.2 工作模式

芯片具有三种工作模式，分别为正常工作模式、烧录模式、芯片测试模式。复位时通过判断 BOOT0、BOOT1、BOOT2 三个启动选择引脚状态进行选择。选择情况如下：

表 2.1 三种工作模式

模式 引脚	BOOT0	P24/BOOT1/AIO2	P25/BOOT2
正常工作模式	0	×	×
烧录模式	1	0	0
芯片测试模式	1	0	1
	1	1	0
	1	1	1

注意：

1) BOOT0、BOOT1、BOOT2 引脚内部默认开启下拉，当引脚悬空时，默认为输入低电平。

2) 当芯片已经处于正常工作模式下，若 BOOT0/BOOT1/BOOT2 引脚状态变化为“芯片测试模式”组合状态，此时芯片将自动进入芯片测试模式。

在烧录模式下，用户可以通过 UART0 接口对芯片进行编程烧录。烧录模式 UART0 外设映射的 IO 为：P09 (UART0\_TX)、P10 (UART0\_RX)。

当芯片未引出 BOOT0 引脚时，为了使芯片进入烧录模式，进入方法如下：

1) 芯片上电或复位后，在 5~45ms 时间内（推荐 40ms），采用 UART 向 P10 (UART0\_RX) 发送“UXTDWU”字符。注意：发送字符之间需要紧密相连，不能有多余空隙。UART 配置为：9600bps，8 数据位，1 停止位，无校验。

2) 芯片接收到“UXTDWU”字符后，将进入烧录模式。进入烧录模式后，将输出“cmd>>:”字符，表明芯片成功进入烧录模式。字符输出完成后，将切换波特率至 115200bps，后续采用该波特率与芯片进行通信。

3) 当无法准确控制命令发送时序时（如 PC 直接烧录），可周期性（推荐 40ms）向 P10 (UART0\_RX) 发送“UXTDWU”字符，然后复位 CST92F25 芯片，当接收到“cmd>>:”字符后，停止“UXTDWU”字符周期性发送。

## 2.3 CPU

CST92F25 芯片 CPU 特性如下：

- 采用 ARM Cortex-M0 CPU，提供了最低的功耗和实现 32 位性能的最精简代码
- 处理器支持动态工作频率调整，可选择运行频率为 16MHz、48MHz、64MHz
- CPU 集成 24 位 Systick Timer
- 支持 SWD 调试

芯片采用两线模式进行 SWD 调试，调试接口为：P02 (SWDIO)、P03 (SWCLK)。该两个引脚上电默认为 SWD 调试接口。通过 SWD 调试接口，可实现 Flash 烧录、程序调试。

## 2.4 存储器

芯片存储器特性如下：

- Mask-ROM：集成 96KB ROM，存放 Boot code 和蓝牙协议栈固件
- SRAM：集成 64KB SRAM，可运行代码或保存变量

- Flash: 内含 512KB Flash, 支持 XIP 运行代码, 或保存用户数据
  - Cache RAM: 集成 8KB Cache RAM, 用于 Flash XIP 代码缓存
- 芯片存储空间分布如图 2.2 所示。

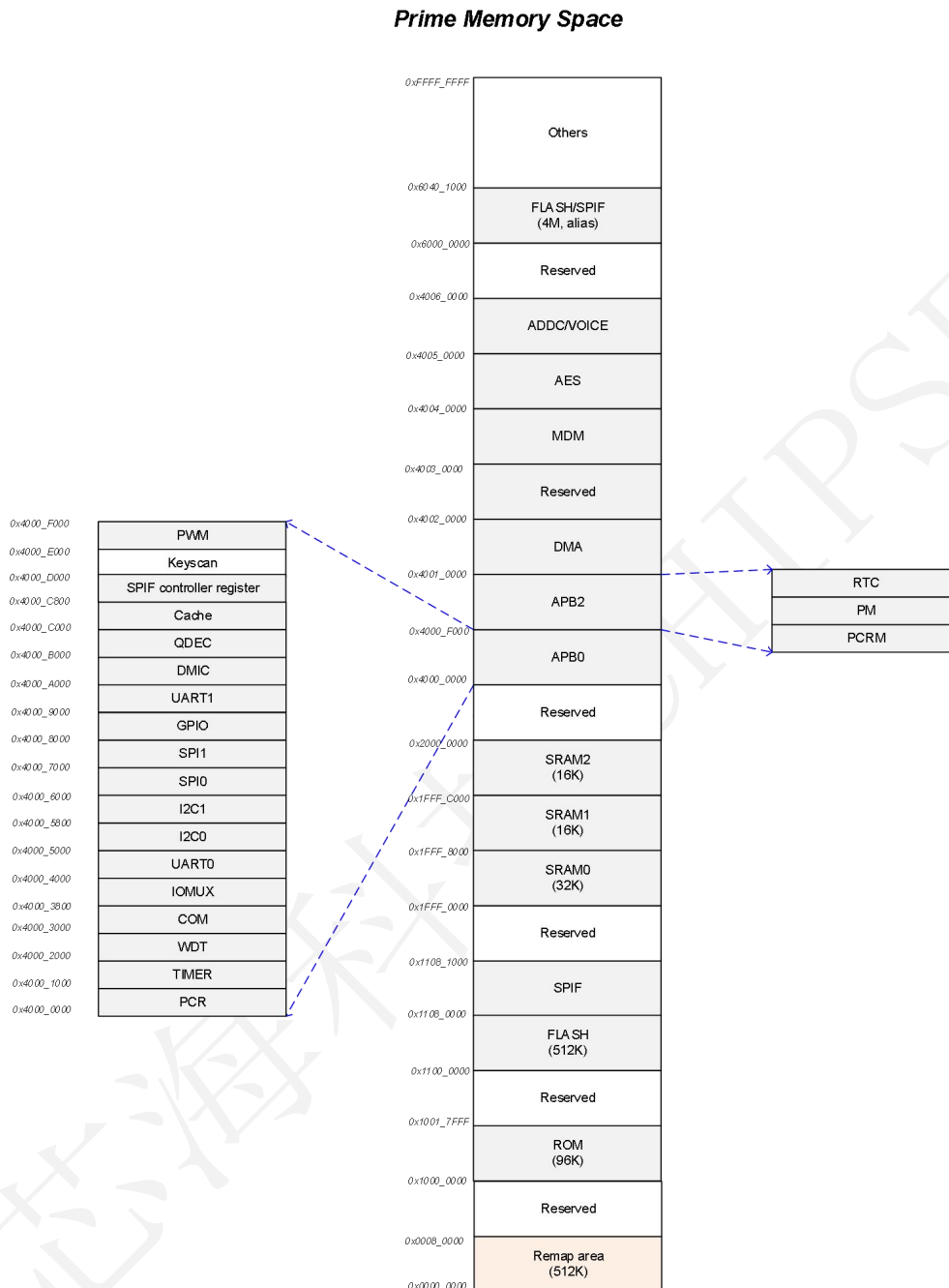


图 2.2 芯片存储空间分布

芯片存储器地址空间分布如表 2.2 所示。

表 2.2 芯片存储器地址空间分布

Name	Size (KB)	Physical Address
------	-----------	------------------

ROM	96	1000_0000~1001_7FFF
RAM0	32	1FFF_0000~1FFF_7FFF
RAM1	16	1FFF_8000~1FFF_CFFF
RAM2	16	1FFF_D000~1FFF_FFFF
FLASH	512	1100_0000~1107_FFFF

## 2.5 2.4G RF

CST92F25 芯片集成了满足蓝牙射频要求的高性能 2.4GHz 射频收发器。射频收发器特性如下：

- 工作频率 2.4G~2.4835GHz
- GFSK 调制模式
- 传输速率：1Mbps/2Mbps
- 发射功率-20~5dBm 可调，3dBm 步进
- 接收支持 RSSI（分辨率 1dBm，±2dB 精度）
- 接收灵敏度
  - ✓ -93dBm @ 1Mbps
  - ✓ -90dBm @ 2Mbps
- 内置 Balun 电路，支持单端 RFIO 输出

## 2.6 电源、时钟与复位

芯片具有 2 种低功耗模式：

- Sleep 模式

在 Sleep 模式下，CPU 停止运行，大部分外设寄存器内容丢失并停止工作（除 GPIO 上下拉与唤醒配置、RTC 外），SRAM 内容保持，GPIO 状态保持，RTC 继续运行。通过 RTC 匹配中断、GPIO 中断，可唤醒 CPU。CPU 唤醒后，可直接运行之前加载的 SRAM 代码，无需重新加载代码。

- OFF 模式

在 OFF 模式下，CPU 停止运行，大部分外设寄存器内容丢失并停止工作（除 GPIO 上下拉与唤醒配置、RTC 外），SRAM 内容丢失，GPIO 状态保持，RTC 停止运行。通过 GPIO 中断，可唤醒 CPU。CPU 唤醒后，将复位重新加载代码运行。

Sleep 模式下功耗比 OFF 模式功耗大，但是 Sleep 模式能够快速唤醒。当芯片开启低功耗模式时，在保持蓝牙通信功能正常的情况下，芯片将周期性（周期时间约等于广播间隔或连接间隔时间）进入 Sleep 模式，并自动唤醒。

芯片时钟系统包含高速时钟源与低速时钟源，高速时钟源用于 CPU 以及大部分外设，低速时钟源用于 RTC。整个芯片包含下列时钟：

- 32MHz 内部高速 RC 振荡器，校准后精度 3%
- 32KHz 内部低速 RC 振荡器，校准后精度 500ppm
- 16MHz 高速晶体振荡器
- 倍乘系数为 2,3,4 的 DLL&DBL 锁相环（对 16MHz 高速时钟进行倍频）

采用 32KHz 内部低速 RC 振荡器作为系统低速时钟源，芯片将定时采用 16M 晶振高速时钟对其进行校准，使 RC32K 振荡器的频率为 32.768KHz。

芯片时钟系统如图 2.3 所示。芯片 CPU 支持的时钟源为：

- 16MHz 晶振时钟
- 48MHz 晶振倍频时钟

- 64MHz 晶振倍频时钟
- 32MHz RC 振荡器时钟（该时钟源下 RF 无法正常工作）

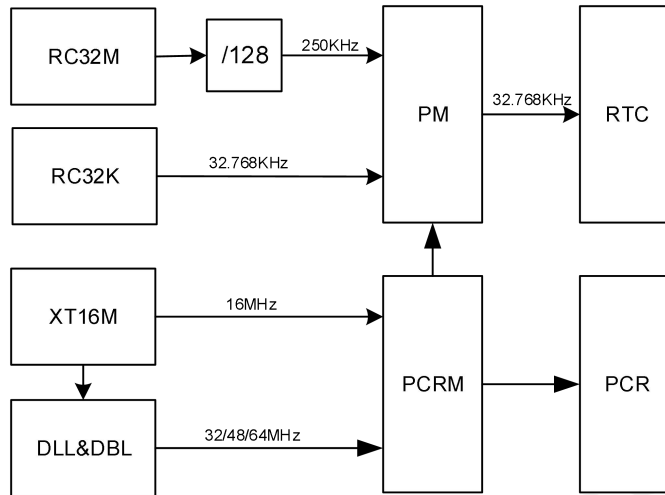


图 2.3 芯片时钟系统

芯片外设具有独立的复位功能，通过控制寄存器，可实现外设的复位。

芯片复位引脚可实现整个芯片的硬件复位，复位引脚内部集成 120K $\Omega$  上拉电阻。复位信号低电平有效。

## 2.7 中断

芯片集成 Cortex-M0 标准的 NVIC，支持 32 路中断源，中断源列表如表 2.3 所示。中断优先级支持 4 级，分别为 0~3 级，其中 0 级为最高优先级。芯片中断入口无法进行重定向。集成的嵌入向量中断控制器能够高效的处理异常和中断，更多细节请参考 Cortex-M0 技术参考手册。

表 2.3 中断源列表

Interrupt Name	Interrupt Number
Reserved	0
Reserved	1
Reserved	2
Reserved	3
BB_IRQ	4
KSCAN_IRQ	5
RTC_IRQ	6
Reserved	7
Reserved	8
Reserved	9
WDT_IRQ	10
UART0_IRQ	11
I2C0_IRQ	12
I2C1_IRQ	13
SPI0_IRQ	14

SPI1_IRQ	15
GPIO_IRQ	16
UART1_IRQ	17
SPIF_IRQ	18
DMAC_IRQ	19
TIM1_IRQ	20
TIM2_IRQ	21
TIM3_IRQ	22
TIM4_IRQ	23
TIM5_IRQ	24
TIM6_IRQ	25
Reserved	26
Reserved	27
AES_IRQ	28
ADCC_IRQ	29
QDEC_IRQ	30
Reserved	31

## 2.8 IOMUX

IOMUX 模块提供了灵活的 IO 配置，通过该模块，大部分数字外设可映射至任意 IO。支持任意映射的外设包含：I2C0-1, UART0-1, PWM0-5, SPI0-1 等。部分特殊的外设 IO 是固定的，不支持任意映射，这些特殊的外设包含：SWD, ADC 输入 IO 等。当系统进入 Sleep 时，IOMUX 配置信息将丢失，唤醒后需要重新配置。

**注意：P01 无法作为 IOMUX 的功能。**

IOMUX 配置定义如表 2.4 所示。

表 2.4 IOMUX 配置定义

IOMUX define	IOMUX value	IOMUX description
FMUX_IIC0_SCL	0	I2C0 时钟引脚
FMUX_IIC0_SDA	1	I2C0 数据引脚
FMUX_IIC1_SCL	2	I2C1 时钟引脚
FMUX_IIC1_SDA	3	I2C1 数据引脚
FMUX_UART0_TX	4	UART0 发送引脚
FMUX_UART0_RX	5	UART0 接收引脚
FMUX_RF_RX_EN	6	RF 接收功能调试引脚
FMUX_RF_TX_EN	7	RF 发送功能调试引脚
FMUX_UART1_TX	8	UART1 发送引脚
FMUX_UART1_RX	9	UART1 接收引脚
FMUX_PWM0	10	PWM 通道 0
FMUX_PWM1	11	PWM 通道 1
FMUX_PWM2	12	PWM 通道 2
FMUX_PWM3	13	PWM 通道 3

FMUX_PWM4	14	PWM 通道 4
FMUX_PWM5	15	PWM 通道 5
FMUX_SPI_0_SCK	16	SPI0 时钟引脚
FMUX_SPI_0_SSN	17	SPI0 片选引脚
FMUX_SPI_0_TX	18	SPI0 发送引脚
FMUX_SPI_0_RX	19	SPI0 接收引脚
FMUX_SPI_0_SCK	20	SPI1 时钟引脚
FMUX_SPI_1_SSN	21	SPI1 片选引脚
FMUX_SPI_1_TX	22	SPI1 发送引脚
FMUX_SPI_1_RX	23	SPI1 接收引脚
FMUX_ANT_SEL_0	35	天线选择 0, 定位用
FMUX_ANT_SEL_1	36	天线选择 1, 定位用
FMUX_ANT_SEL_2	37	天线选择 2, 定位用

## 2.9 GPIO

芯片提供 20 个 GPIO，每个 GPIO 引脚都可以由软件配置成输入、输出或大部分数字外设功能端口。GPIO 特性如下：

- 每个 GPIO 可以配置其上下拉电阻，可供选择的上下拉电阻参数为：
  - ✓ 浮空，高阻态
  - ✓ 强上拉，上拉电阻约 150K $\Omega$
  - ✓ 弱上拉，上拉电阻约 1M $\Omega$
  - ✓ 下拉，下拉电阻约 100K $\Omega$
- 所有 GPIO 可支持唤醒输入，通过配置成上升沿或下降沿，可将芯片从 Sleep 模式或 OFF 模式唤醒
- 所有 GPIO 支持外部中断输入，可配置成边沿或电平触发中断。边沿触发包含上升沿、下降沿触发，电平触发包含高电平、低电平触发
- GPIO 输出状态在 Sleep 模式或 OFF 模式可配置保持
- 当 GPIO 配置成外部唤醒输入时，需要开启内部的上下拉电阻，不能配置为高阻态
  - ✓ 当配置为上升沿唤醒时，需要开启内部下拉电阻
  - ✓ 当配置为下降沿唤醒时，需要开启内部上拉电阻

上下拉电阻硬件默认值如下：

- P03、P24、P25：下拉
- 其他 GPIO：浮空

当 GPIO 做输出时，可配置 retention 功能。retention 默认是关闭的。retention 打开时，系统进入系统休眠后，GPIO 的输出特性和输出值保持不变。retention 关闭时，系统休眠时，GPIO 会恢复默认输入态。

**注意：**

- 1) P02、P03 引脚上电默认为 SWD 接口。
- 2) P01 不支持 IOMUX 功能，IOMUX 是指将 GPIO 复用为其他模块引脚。
- 3) BOOT0、P24/BOOT1/AIO2、P25/BOOT2 引脚决定了芯片的工作模式，使用时需注意引脚状态对工作模式的影响。
- 4) P23 引脚不能接快速变化的信号（包含输入信号与输出信号），信号频率需小于 10KHz，否则将影响 RF 接收。

## 2.10 UART

通用同步异步收发器为 MCU 和外部器件连续通信提供了一个通用接口。通过 UART 的 2 根信号线，可实现与外部器件的通信。芯片提供 UART0 与 UART1 两路 UART 接口。UART 接口特性如下：

- 全双工异步通信
- 可编程波特率，最高波特率为  $f_{sys}/16$
- 独立的发送 FIFO 与接收 FIFO，FIFO 深度为  $16*8bit$
- 可编程串口特性
  - ✓ 数据位 5,6,7,8bit 可选
  - ✓ 奇校验、偶校验、无校验可选
  - ✓ 停止位 1bit、1.5bit 或 2bit 可选
- 当系统进入 Sleep 时，UART 配置信息将丢失，唤醒后需要重新配置

UART 外设引脚可映射至任意 IO 口。芯片处于烧录模式下，将采用 UART0 进行通信，此时 UART0 映射至 P09 (UART0\_TX)、P10 (UART0\_RX)。

## 2.11 SPI

芯片提供 SPI0 与 SPI1 两个外设接口，两路 SPI 是互斥的，同一时刻只能一路 SPI 通信。该两个外设接口通过 4 线 SPI 方式可以和外部器件通信，其特性如下：

- 支持主机模式与从机模式
- 主机支持的最大通信速率为  $f_{sys}/2$
- 从机支持的最大通信速率为  $f_{sys}/8$
- 可选择自动或手动控制片选 CS 信号的高低
- 独立的发送 FIFO 与接收 FIFO，FIFO 深度为 8 个字，字长度为 4~16 bits 可配置
- 两路 SPI 互斥，即同一时刻只能一路 SPI 通信
- 当系统进入 Sleep 时，SPI 配置信息将丢失，唤醒后需要重新配置

SPI 外设引脚可映射至任意 IO 口。SPI 模块为了和外设进行数据交换，根据外设工作要求，其输出串行同步时钟极性和相位可以进行配置，时钟极性 (CPOL) 对传输协议没有重大的影响。

- CPOL: 时钟极性选择，为 0 时 SPI 总线空闲为低电平，为 1 时 SPI 总线空闲为高电平
- CPHA: 时钟相位选择，为 0 时在 SCK 第一个跳变沿采样，为 1 时在 SCK 第二个跳变沿采样

不同 CPOL 与 CPHA 配置情况下，其输出波形如图 2.4 至图 2.7 所示。



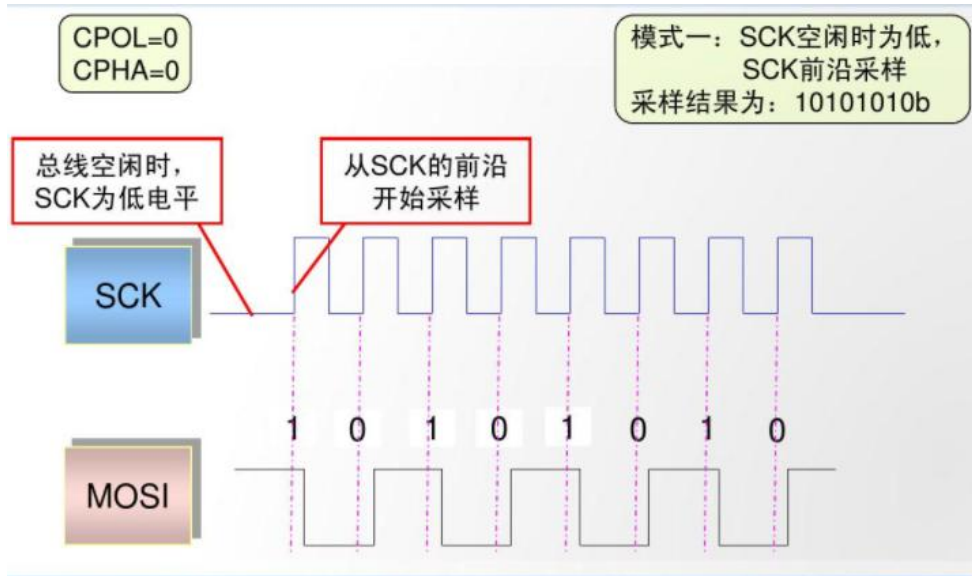


图 2.4 CPOL=0 CPHA=0

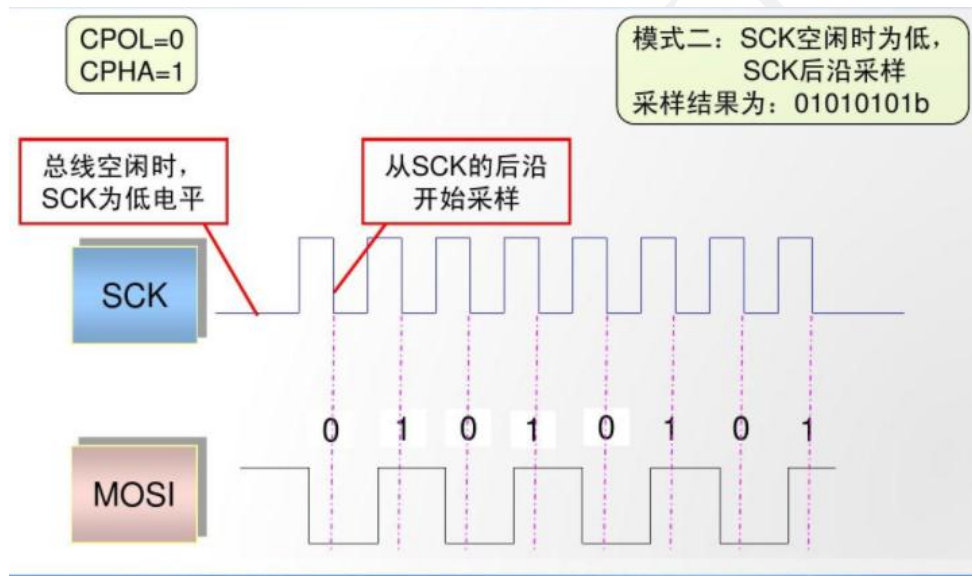


图 2.5 CPOL=0 CPHA=1



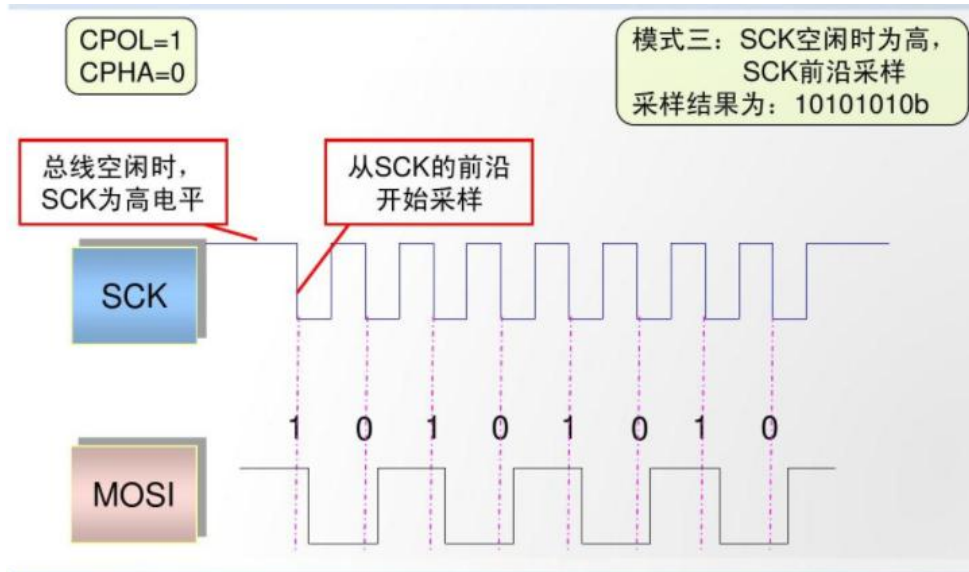


图 2.6 CPOL=1 CPHA=0

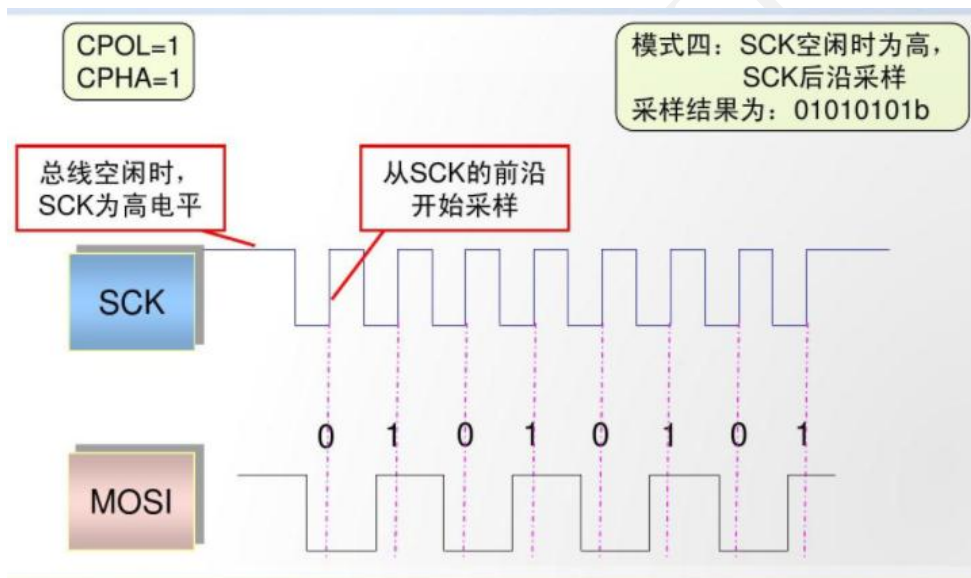


图 2.7 CPOL=1 CPHA=1

## 2.12 I2C

芯片提供 I2C0 与 I2C1 两个外设接口。I2C 模块可以工作在主机模式和从机模式。接口实现了标准模式和快速模式。I2C 接口特性如下：

- 两线 I2C 接口，包含 SCL、SDA 信号
- 支持两种速率模式，标准模式（100Kb/s）与快速模式（400Kb/s）
- 支持 I2C 主机或从机模式
- 7 位或 10 位地址寻址
- 独立的发送 FIFO 与接收 FIFO，FIFO 深度为 8\*8bit
- 不支持 I2C 开漏输出
- 当系统进入 Sleep 时，I2C 配置信息将丢失，唤醒后需要重新配置

I2C 外设引脚可映射至任意 IO 口

## 2.13 PWM

芯片提供了 6 通道 PWM 输出，可输出频率与占空比可调的方波。PWM 模块特性如下：

- PWM 模块时钟频率为 16MHz
- PWM 模块支持预分频，分频系数为：1、2、4、8、16、32、64、128
- 支持向上计数模式（边沿对齐）与向上向下计数模式（中间对齐）。前者支持占空比 0~100%；后者不支持占空比 0%和 100%，需要 GPIO 输出高低电平来辅助实现
- 采用 16 位计数器
- 6 路输出独立配置
- 可配置输出极性，输出比较值，顶端值
- 当系统进入 Sleep 时，PWM 信息将丢失，唤醒后需要重新配置

PWM 外设引脚可映射至任意 IO。PWM 向上计数模式与向上向下计数模式输出波形图如图 2.8 与图 2.9 所示。

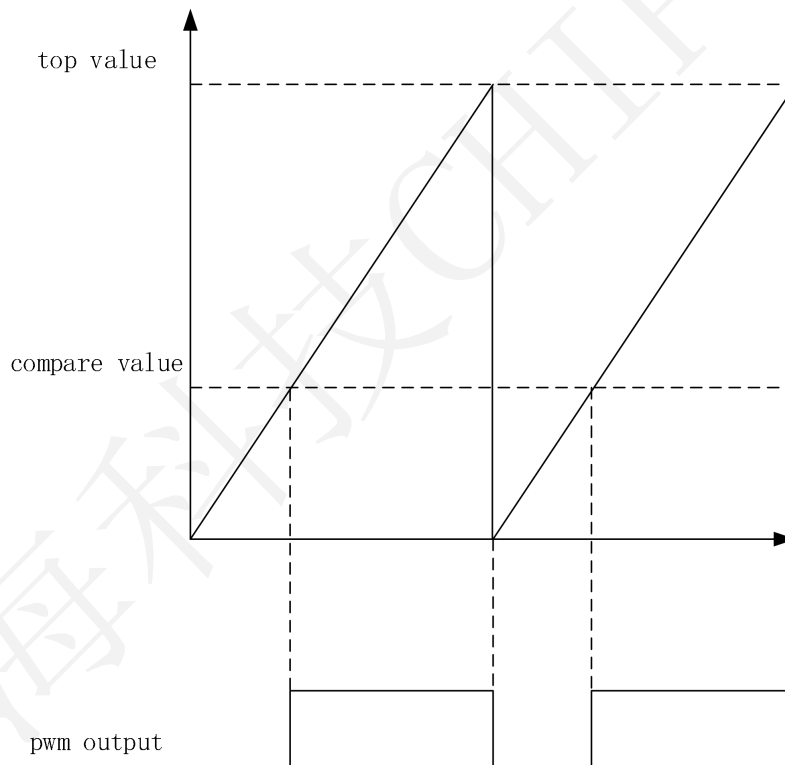


图 2.8 PWM 向上计数模式

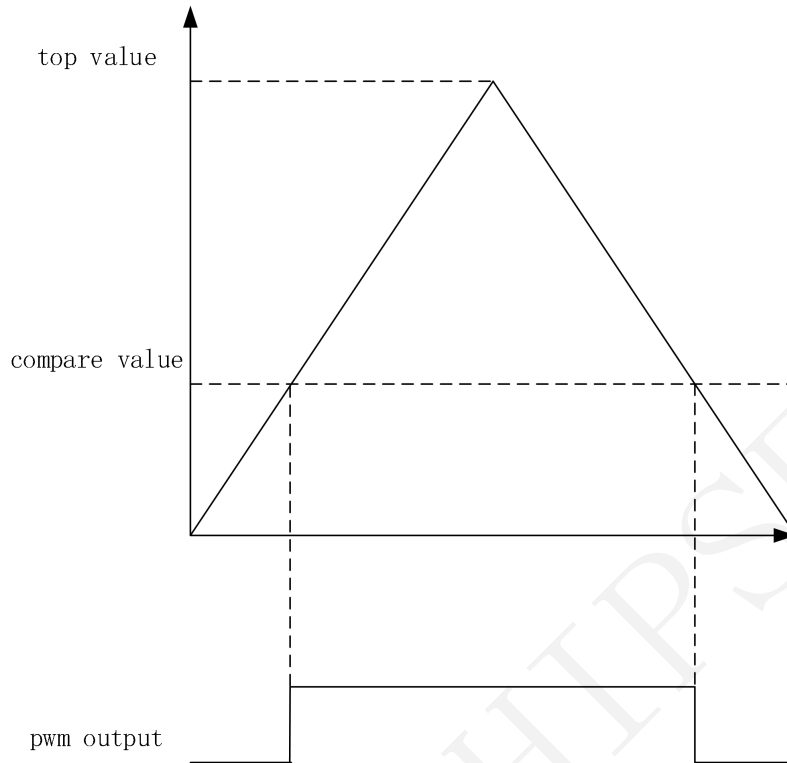


图 2.9 PWM 向上向下计数模式

PWM 占空比与频率如表 2.5 所示。

表 2.5 PWM 占空比与频率

计数模式	占空比	频率(N 为分频系数, N=1,2,4,8,16,32,64,128)
向上计数模式	当 $CMP\_VAL=0$ 时, 占空比 $DUTY=0$ ; 当 $CMP\_VAL \neq 0$ 时, 占空比 $DUTY=(CMP\_VAL+1)/(TOP\_VAL+1)$	$16/N/(TOP\_VAL+1)$
向上向下计数模式	$CMP\_VAL/TOP\_VAL$ , 其中 $CMP\_VAL$ 范围为: $0 < CMP\_VAL < TOP\_VAL$	$8/N/TOP\_VAL$

PWM 注意事项:

- 向上计数模式支持频率范围: 62.5KHz~8MHz。支持分辨率: 0 和 2/65536~65536/65536
- 向上向下计数模式支持频率范围: 31.25KHz~4MHz。支持分辨率: 1/65535~65534/65535

## 2.14 ADC

芯片集成了 12 位通用 SAR-ADC, 支持 6 路单端输入。ADC 特性如下:

- 分辨率 12 位
- ENOB 10.5bit
- 基准电压为 0.8V
- 采样率
  - 手动模式: 默认 80KHz, 同时支持 160KHz 与 320KHz
  - 自动模式: 最大 320KHz 或 256KHz
- 支持 6 路单端输入

- ADC 输入电压范围：
  - ✓ 旁路模式： $0 \leq V_{in} \leq 0.8V$
  - ✓ 衰减模式： $0 \leq V_{in} \leq V_{DD}$
- ADC 输入阻抗：
  - ✓ 旁路 Bypass 模式： $> 10M\Omega$
  - ✓ 衰减 Attenuation 模式： $18.87K\Omega$ （内部采用  $14.15K\Omega$  与  $4.72K\Omega$  电阻分压网络，实现信号 1/4 衰减。芯片内部电阻绝对误差约为  $\pm 15\%$ ，相对误差约为  $\pm 1\%$ 。绝对误差不影响 ADC 精度，相对误差会影响 ADC 精度。）
- 当系统进入 Sleep 时，ADC 配置信息将丢失，唤醒后需要重新配置  
 ADC 的时钟来源于 HCLK，当 HCLK 为 32M、64M 时，ADC 时钟为 1.28Mhz；否则 ADC 时钟为 1Mhz。  
 硬件支持手动模式和自动模式：

1) 手动模式：一次只支持一个单端通道采集。

2) 自动模式：自动扫描所有已启用的多个单端通道，并将转换后的数据存储在相应的内存位置。一次 ADC 采样耗时由 ADC 采样时间和 ADC 转换时间组成，两者均可配，前者是 2T 和 3T，后者 3T 和 2T，T 为 ADC 时钟的周期。

ADC 模块引脚无法任意映射，需要采用固定的引脚，输入引脚配置如表 2.6 所示。

表 2.6 ADC 输入引脚配置

模拟端口	引脚	单端模式	备注
AIO0	P11	√	
AIO1	P23	√	
AIO2	P24	√	
AIO3	P14	√	
AIO4	P15	√	
AIO9	P20	√	

注意事项如下：

1) 不能同时使用内部分压电阻和外部分压电阻。即如使用衰减模式，外部不要使用分压电阻。

2) 当要采集的电压较小时，比如小于 0.8V，也就是在旁路模式量程内，直接使用旁路模式即可。注意采集引脚需要接滤波电容。

3) 当要采集的电压略大时，比如大于 0.8V 但小于 3.2V，可使用衰减模式或外加电阻分压后的旁路模式。ADC 精度取决于电阻的相对精度，衰减模式内部相对精度为  $\pm 1\%$ ，外部电阻也可以选用  $\pm 1\%$  的电阻。

4) 当要采集的电压较大时，比如大于 3.2V，即超过衰减模式的量程，此时必须采用外部电阻分压后的旁路模式。注意采集引脚需要接滤波电容。

在采用 ADC 对锂电池电压采样时，通常采用电阻分压的形式。由于衰减模式输入阻抗低，因此不适合电池电压检测，需要采用旁路模式。3.7V 锂电池电压检测推荐电路如图 2.10 所示。

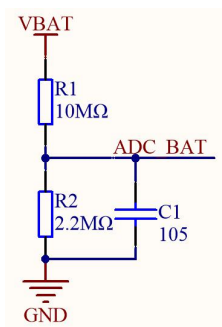


图 2.10 3.7V 锂电池电压检测推荐电路

为了提高 ADC 转换准确性，可从如下方面改进：

- 1) 降低 VDD 电源纹波，从而提高内部 ADC 基准（0.8V）稳定性。
- 2) 由于 RF 工作时需要消耗较大电流，将产生较大纹波，因此可以在广播事件或连接事件产生后进行 AD 采样，以便与 RF 错开工作，避免干扰。
- 3) 为了降低 ADC 输入引脚噪声干扰，需要在芯片输入引脚并联滤波电容，如 103 电容。

## 2.15 Timer

芯片集成 6 个 24 位定时器 Timer，其中 Timer1~4 被蓝牙协议栈、OSAL 调度器等软件资源使用。Timer5~6 可供用户使用。每个 Timer 的特性如下：

- 24 位向下计数 Timer，当计数器为 0 时可配置产生中断
- Timer 运行频率固定为 4MHz，硬件不可分频
- 支持两种工作模式，分别为自由运行模式 与用户定义计数模式（User-defined count mode）
  - ✓ 自由运行模式（Free-running mode）：当计数器递减至 0 时，重新加载初始值为最大值（0xFFFFF）
  - ✓ 用户定义计数模式（User-defined count mode）：当计数器递减至 0 时，重新加载初始值为 TimerNLoadCount 寄存器值
- 当系统进入 Sleep 时，Timer 信息将丢失，唤醒后需要重新配置

## 2.16 RTC

RTC 模块提供了通用低功耗低速时钟源，其采用 32 位计数器。采用低速时钟源作为时钟输入，即时钟源为内部 RC32K 振荡器时钟。RTC 模块在 Sleep 模式下将继续正常工作。

由于 RTC 计数器为 32 位计数器，超出一段时间（36.4 小时）后，计数器将溢出。为了避免计数器溢出导致的日历计时错误，需要采用软件定时判断 RTC 计数器是否溢出，定时时间需要小于 36.4 小时。

采用内部 RC32K 振荡器作为 RTC 时钟，芯片将定时采用 16M 晶振高速时钟对其进行校准，使 RC32K 振荡器的频率为 32.768KHz。

## 2.17 WDT

看门狗 WDT 模块采用低速时钟源作为时钟输入，即时钟源为内部 RC32K 振荡器时钟。看门狗 WDT 模块在 Sleep 模式下将停止工作，Sleep 唤醒后需要重新初始化 WDT。

WDT 计数器采用向下方式计数，当计数器递减至 0 时，将产生超时。执行喂狗动作后，计数器将从最大数重新向下计数。WDT 对超时的处理如下：

- 当配置为超时复位时，超时时间内未喂狗，将直接复位 MCU。

- 当配置为超时中断时，第一次超时将产生中断，若第二次超时前仍未进行喂狗动作，将产生复位。通过配置 TORR 寄存器可配置超时时间，看门狗超时时间可配置为：2s、4s、8s、16s、32s、64s、128s、256s。

## 2.18 DMA

DMA 控制器实现了外设和存储器之间数据的硬件传输。DMA 具有 4 个通道。每个通道连接到特定的外设单元，包括 SPIx、I2Cx 和 UARTx，来管理读写存储器的请求。内部的仲裁器用来处理 DMA 请求的优先级。

DMA 控制器包括循环数据传输模式，当当前数据传输完成时，不需要用户软件参与即可循环至开始位置。

当系统进入 Sleep 时，DMA 配置信息将丢失，唤醒后需要重新配置。

## 2.19 MAC Address

芯片自带 IEEE 全球唯一 6 字节 MAC 地址。MAC 地址 Flash 存储位置为 0x1000 位置。

## 3 电气特性

### 3.1 极限值

表 3.1 CST92F25 极限值

参数	范围	单位
电源 VDD	0~3.6	V
引脚输入电压	-0.3~VDD+0.3	V
工作温度	-40~+105	°C
存贮温度	-40~+125	°C
MSL 湿敏等级	MSL3	

### 3.2 直流特性

表 3.2 直流特性

符号	参数	最小值	典型值	最大值	单位
VDD	工作电源	1.9	3.3	3.6	V
tr_VDD	电源上升时间			100	ms
VIH	数字输入高电平	VDD-0.3	-	VDD+0.3	V
VIL	数字输入低电平	0	-	0.3	V
VOH	数字输出高电平	VDD-0.3	-	VDD+0.3	V
VOL	数字输出低电平	0	-	0.3	V

注意：芯片工作电源 VDD 最大允许纹波电压为 0.6V，当电源波动上升沿上升速率超过 0.6V/100us，芯片将发生复位。

### 3.3 功耗特性

表 3.3 功耗特性

参数		最小值	典型值	最大值	单位
Sleep 模式, 32K RTC 运行, SRAM 内容全部保持, 可被 RTC timer 或 IO 唤醒		4	13	20	uA
OFF 模式, 仅可被 IO 唤醒			0.7	3	uA
MCU 运行电流	系统时钟 16MHz, RF 不工作, with DC-DC		2.2		mA
	系统时钟 48MHz, RF 不工作, with DC-DC		2.8		
	系统时钟 64MHz, RF 不工作, with DC-DC		3.2		
	系统时钟 16MHz, RF 不工作, without DC-DC		3.9		
	系统时钟 48MHz, RF 不工作, without DC-DC		5.2		
RX 模式	系统时钟 64MHz, RF 不工作, without DC-DC		6		mA
	系统时钟 16MHz, with DC-DC		5		
	系统时钟 48MHz, with DC-DC		6		
	系统时钟 64MHz, with DC-DC		6.4		



	系统时钟 16MHz, without DC-DC		8		
	系统时钟 48MHz, without DC-DC		9		
	系统时钟 64MHz, without DC-DC		9.8		
TX 模式	0dBm 输出, 系统时钟 16MHz, with DC-DC		5.5		mA
	0dBm 输出, 系统时钟 48MHz, with DC-DC		6.5		
	0dBm 输出, 系统时钟 64MHz, with DC-DC		7		
	0dBm 输出, 系统时钟 16MHz, without DC-DC		8.5		
	0dBm 输出, 系统时钟 48MHz, without DC-DC		9.3		
	0dBm 输出, 系统时钟 64MHz, without DC-DC		10.2		

### 3.4 Flash 特性

表 3.4 Flash 特性

参数	最小值	典型值	最大值	单位
Page program time		1.2	6	ms
Sector erase time (4KB)		75	500	ms
Block erase time (64KB)		0.35	3	s
Chip erase time		2.3	15	s
Endurance	100 000			erase/program cycles
Data retention period@40°C	20			year

### 3.5 RF 发送特性

表 3.5 RF 发送特性

符号	参数	最小值	典型值	最大值	单位
P <sub>TX</sub>	RF 输出功率	-20	0	5	dBm
P <sub>TX Step</sub>	RF 输出功率步进		3		dBm
Freq	频率范围	2400		2483	MHz

### 3.6 RF 接收特性

表 3.6 RF 接收特性

符号	参数	最小值	典型值	最大值	单位
Receive sensitivity @1Mbps BLE	RF 接收灵敏度@1Mbps BLE		-93		dBm
Receive sensitivity @2Mbps BLE	RF 接收灵敏度@2Mbps BLE		-90		dBm
Maximum input signal level	最大输入信号强度	-10	-5		dBm

### 3.7 ESD 特性

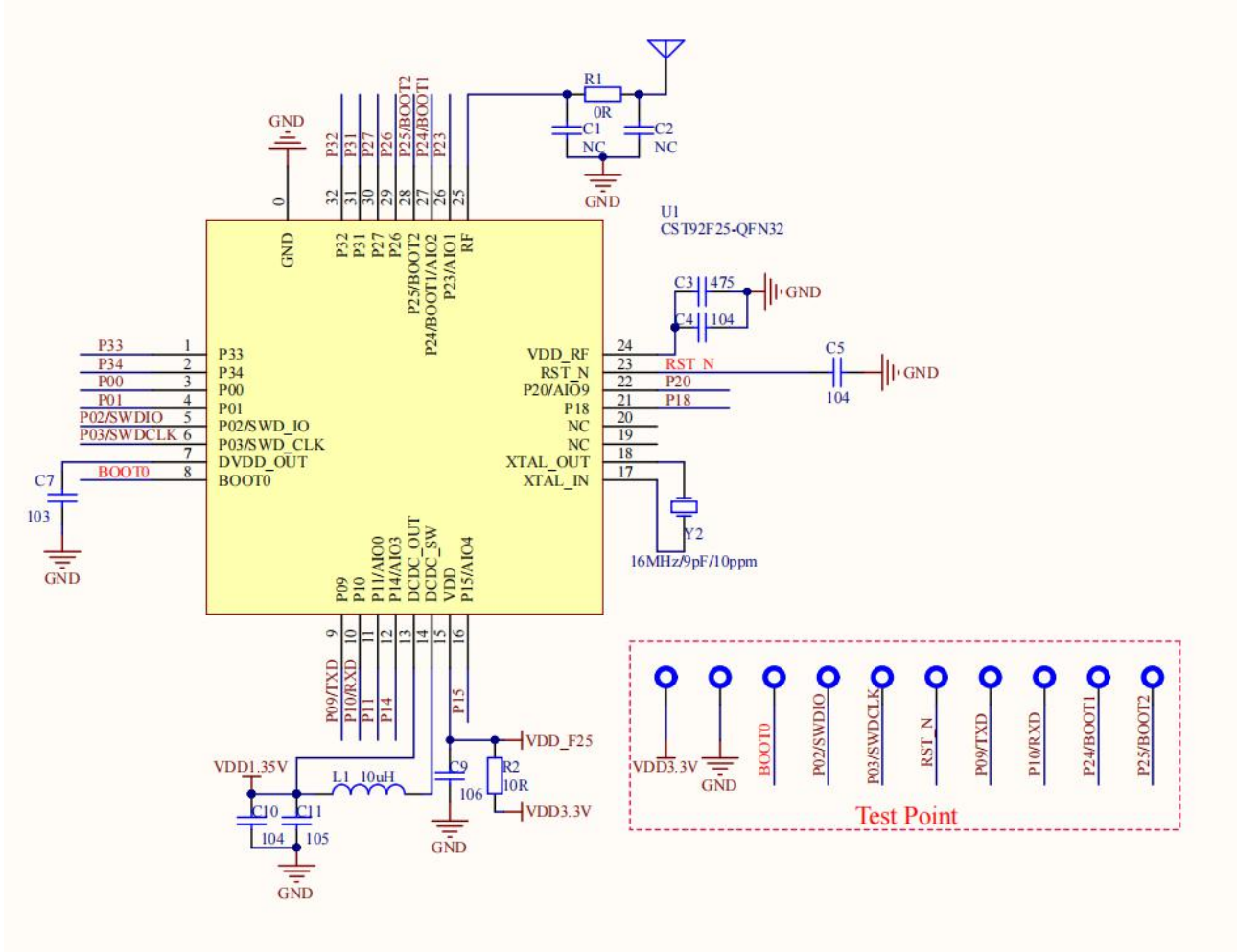


表 3.7 ESD 特性

符号	描述	值	单位
$V_{ESD-HBM}$	ESD 放电人体模型, 基于 MIL-STD-883E, 温度= $23 \pm 5^{\circ}\text{C}$ 相对湿度: $55\% \pm 10\%(\text{RH})$	$\geq 2000$	V
$V_{ESD-CDM}$	ESD 器件放电模型, 基于 JEDEC EIA/JESD22-C101F, 温度 = $23 \pm 5^{\circ}\text{C}$ 相对湿度: $55\% \pm 10\%(\text{RH})$	$\geq 500$	V
$I_{latchup}$	ESD 放电机器模型, 基于 JEDEC STANDARD NO.78C SEPTMBER 2010, 温度 = $23 \pm 5^{\circ}\text{C}$ 相对湿度: $55\% \pm 10\%(\text{RH})$	$\geq 100$	mA

## 4 应用参考原理图与布局布线注意事项

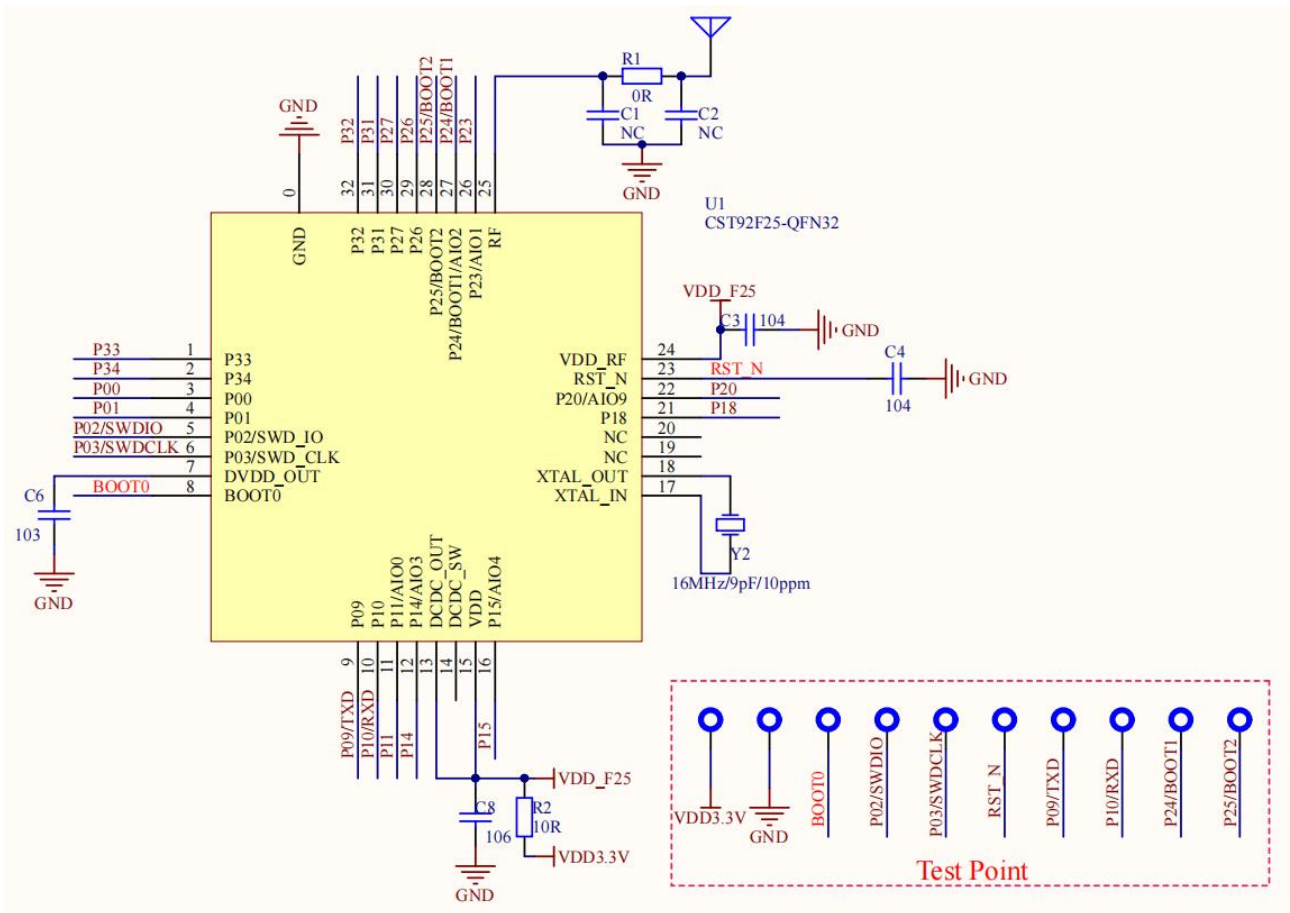
### 4.1 CST92F25-QFN32 with DC-DC



注意:

- 1) 为了增强系统抗 EOS 能力，需要在 3.3V 电源上增加 10Ω 电阻（即增加电阻 R2）。
- 2) 为了芯片电源稳定性，电感 L1（10uH）的额定电流需要大于 300mA。

## 4.2 CST92F25-QFN32 without DC-DC



注意:

为了增强系统抗 EOS 能力，需要在 3.3V 电源上增加 10Ω 电阻（即增加电阻 R2）。

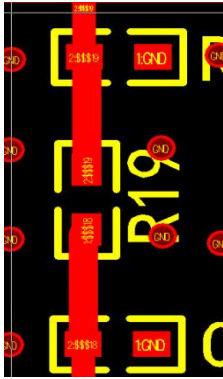
### 4.3 布局布线注意事项

● 天线

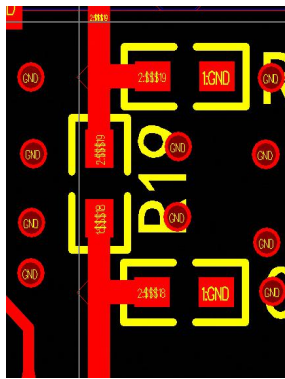
1) RF IC 输出端与天线之间的距离就近摆放，RF IC 输出端到天线的走线尽量短，走线尽可能光滑，线宽与天线引出端一致。

2) RF IC 输出端与天线之间的信号网络，要 50 欧姆阻抗设计，网络下方的地不能被切割。

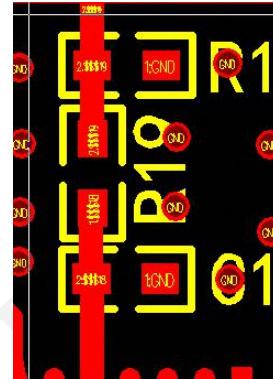
3) 匹配电路的三个器件需相互靠近。



错误示例

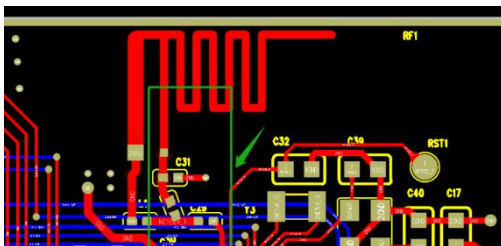


错误示例



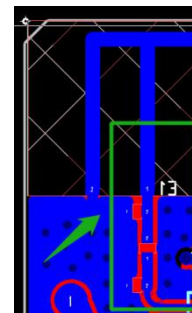
正确示例

4) RF 线边上要密集打孔。



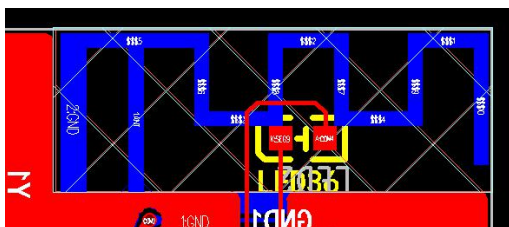
错误示例

(底层蓝色多根信号线走在 RF IC 输出端与天线之间)



正确示例

5) 天线需要有净空区（该区域不走线，不铺铜，不放置元器件），净空区尺寸尽可能大。天线靠 PCB 板边摆放可以获得较佳的净空区，同时要避免天线附近有金属物。



错误示例



正确示例

● 晶振

1) 晶振频率稳定度需保证  $\pm 10\text{ppm}$  以内，否则将产生频偏问题。

2) 不同供应商的晶振，负载电容的大小可能会发生变化，因此需要选择正确负载电容参数（推荐选

择 9pF) 的晶振。

3) 晶振尽量靠近 IC 摆放, 使用 GND 和过孔包住晶振电路。晶振附近尽量不要有其它的走线 (包含顶层与底层)。

4) 晶振的起振时间与晶振 ESR、工作温度、匹配电容有关系。晶振 ESR 过大、工作温度越低、匹配电容越大, 起振时间越长。为了保证晶振很好的起振, 晶振 ESR 推荐参数为:  $10\Omega \leq \text{ESR} \leq 60\Omega$ 。

- 电源

1) 为了保证最佳的滤波效果, 电源退耦电容需要靠近芯片引脚。

2) 电源滤波设计时, 要求电源线先经过滤波电容, 再连接到要供电的电路或引脚。

3) 芯片工作电源 VDD 最大允许纹波电压为 0.6V, 当电源波动上升沿上升速率超过 0.6V/100us, 芯片将发生复位。

4) 为了提高系统的抗 EOS 能力, 强烈建议在 3.3V 电源端串联 10 欧姆限流电阻。

- 电感

为了芯片电源稳定性, 电感的额定电流需要大于 300mA。

## 5 封装信息

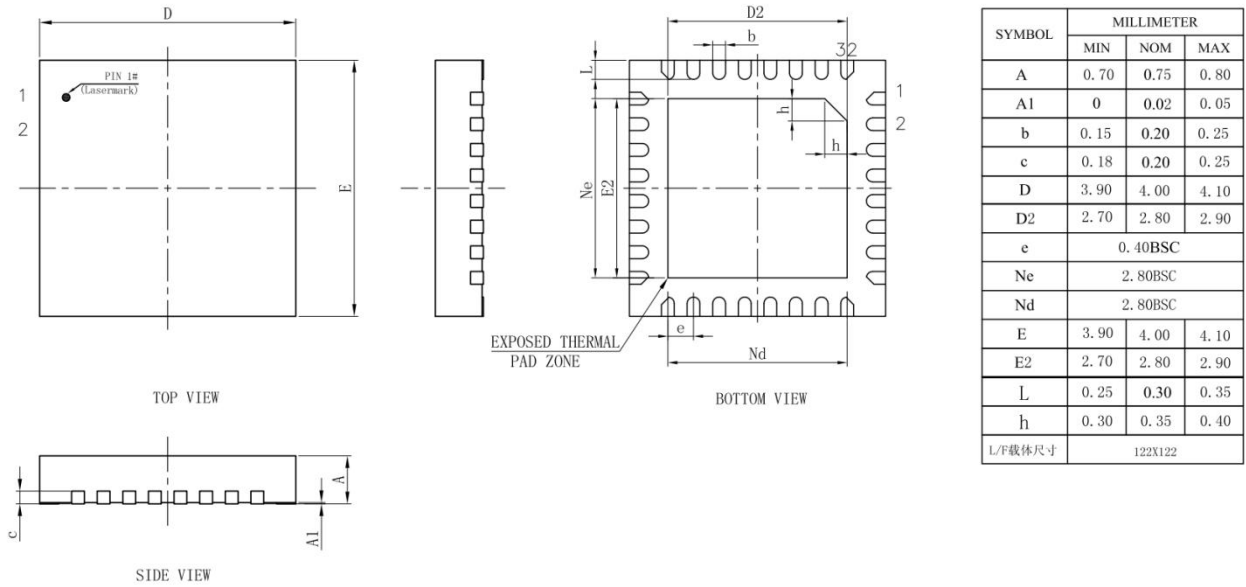


图 5.1 QFN32(4\*4\*0.75mm)封装

## 6 SMT 设计要求

### 6.1 回流焊温度曲线

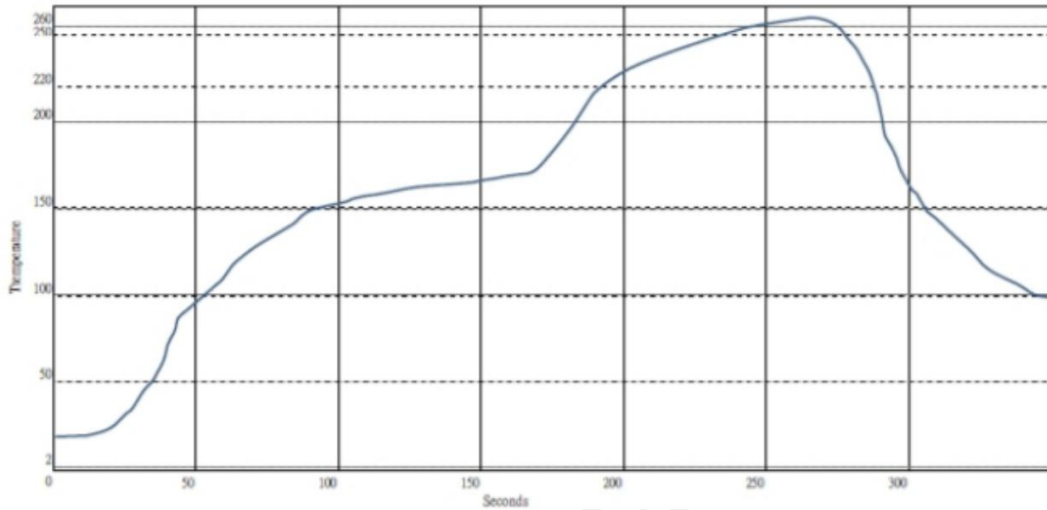


图 6.1 无铅回流焊温度曲线示意图

依照 J-STD-020D-01，GH301 芯片无铅（Pb-Free）回流温度曲线说明见表 6.1。

表 6.1 无铅（Pb-Free）回流温度曲线说明

区间	无铅制程参数（参考）		
A 预热区 (25°C~150°C)	预热时间	80s~120s	在炉内的整个时间不超过 8 分钟
	升温斜率	<3°C/s	
B 恒温区 (150°C~200°C)	恒温时间	60s~120s (建议 100s)	
	升温斜率	<1°C/s	
C 回流区	回流温度	>217°C	
	回流时间	60s~150s	
	升温斜率	<3°C/s	
	峰值温度	230~255°C	
D 冷却区	降温斜率 1 (~217°C)	<6°C/s	
	降温斜率 2 (<217°C)	1°C/s~3°C/s	

请按照 J-STD-020D-01 标准执行。

## 7 订货信息

表 7.1 订货信息

产品型号	引脚数	包装类型	封装类型	环境工作温度
CST92F25-QFN32	32	托盘	QFN32	-40°C ~105°C



## 8 缩略语

缩略语	描述
ADC	模数转换器
AHB	先进高性能总线。
APB	先进外围总线
ARM	英国领先的半导体知识产权提供商的名称
Cortex	ARM 公司一个系列处理器名称
CPU	中央处理器
DMA	直接存储器访问
ESD	静电放电
FLASH	闪存存储器
GPIO	通用输入输出
I2C	由 philips 公司开发的一种简单单、双向二线制同步串行总线
LSB	最低有效位
LVD	低电压复位
MCU	微控制器
MISO	主模式进/从模式出
MOSI	主模式出/从模式进
NRST	低电平复位
NVIC	嵌套向量中断控制器
PCB	印刷电路板
PLL	锁相环，倍频时钟产生器
RAM	随机存取存储器
RTC	实时时钟
SCK	串行时钟
SPI	串行外设接口
SRAM	静态随机存取存储器
SWD	串行线调试
TIM	定时器
UART	通用异步串行接收/发送器



**芯海科技**  
**CHIPSEA**

股票代码:688595

## 免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，芯海科技不对信息的准确性、真实性做任何保证。

芯海科技不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他芯海科技提案、规格书或样品在他处提到的任何保证。

芯海科技不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2021 芯海科技（深圳）股份有限公司。保留所有权利。