



AC5121 数据手册

文档版本	1.2
发布日期	2022-09-27

©2020-2022 杰开科技

本手册包含杰开科技的专有信息。未经授权，严禁复制或披露本手册包含的任何信息。

由于产品版本升级或其他原因，本手册内容会不定期进行更新。

IPMS VIP客户 2024-05-29 15:33:01

修订记录

版本	日期	作者	修订说明
0.1	2020-11-17	ATC	文档初版
0.2	2021-06-09	ATC	AC5121 chip verify 之后的若干更新，如封装正印和标识符、XOSC 启动时间、GPIO 名称等
1.0	2021-09-15	ATC	<ul style="list-style-type: none"> 更新 2.3.1 压力传感器、2.3.2 加速度传感器、2.3.9 供电电流、2.3.10 低频接收器、2.3.13 唤醒&上电时间、5.7 测量单元 新增 8.4 卷带包装方向
1.1	2022-03-08	ATC	<ul style="list-style-type: none"> 2.3.7 LVD 修改为 BOR; 2.3.7 增加 note; 2.3.9 增加 93.6KHz 载波检测时的功耗; 将文档中“battery”“电池”叫法统一为“电池”; 将文档中“LDO”“Regulator”叫法统一为“LDO”。
1.2	2022-09-27	ATC	<ul style="list-style-type: none"> 修改 1.3 订购信息精度描述; 删除 2.3.9 中 LF 接收器载波探测模式下的电流值。

版权声明

本文档包含杰开科技的机密信息。禁止未经授权使用或披露本文档包含的信息。对因未经杰开科技授权而全部或部分披露此文档内容而给杰开科技带来的任何损失或损害，杰开科技将追究责任。

杰开科技保留对此处任何信息进行更改的权利，此处的信息如有变更，恕不另行通知。杰开科技对使用或依赖此处包含的信息不承担任何责任。

本文档的所有信息均“按原样”提供，不提供任何形式的明示、暗示、法定或其他形式的保证。杰开科技明确拒绝对适销性，非侵权性和针对特定用途的适用性方面的所有暗示保证。杰开科技对本文档可能使用、包含或提供的任何第三方软件不提供任何担保，并且用户同意仅向该等第三方寻求与此相关的任何担保索赔。杰开科技对于根据用户规格或为符合特定标准或公开论坛而产生的任何交付物，也不承担任何责任。

文档目录

修订记录.....	2
版权声明.....	3
文档目录.....	4
插图目录.....	7
表格目录.....	8
1 简介	9
1.1 特性.....	9
1.2 功能.....	9
1.3 订购信息	10
2 规格	11
2.1 绝对最大额定值.....	11
2.2 工作范围	12
2.3 特性参数	12
2.3.1 压力传感器	12
2.3.2 加速度传感器	13
2.3.3 温度传感器	13
2.3.4 电池电压传感器	14
2.3.5 热关机.....	14
2.3.6 GPIO	14
2.3.7 电源和电压检测	15
2.3.8 Flash 存储器	15
2.3.9 供电电流	16
2.3.10 低频接收器	17
2.3.11 无线射频	17
2.3.12 RC Oscillator	18
2.3.13 唤醒&上电时间	18
3 管脚说明	19
3.1 管脚配置	19

3.2	管脚说明	19
4	特殊功能	23
4.1	操作模式(Mode)	23
4.2	芯片工作状态	24
4.3	芯片工作状态跳转	26
5	功能	29
5.1	AC5121 框图	29
5.2	唤醒控制器(WUC)	29
5.2.1	间隔 Timer	30
5.2.2	低频接收开关 Timer	30
5.2.3	低频接收器唤醒事件	31
5.2.4	GPIO2 管脚唤醒	31
5.2.5	上电和低电压复位	31
5.2.6	软复位、看门狗复位和 Flash 错误复位	31
5.2.7	热关机	31
5.3	系统控制器(SYC)	32
5.3.1	采样(Sampling) Timer	32
5.4	时钟结构	33
5.5	CPU 区域	34
5.5.1	Timer 模块	34
5.5.2	看门狗	36
5.5.3	硬件 CRC	36
5.5.4	UART 接口	37
5.6	电源和复位	38
5.6.1	电池电压监测	38
5.7	测量单元	39
5.8	RF 发射机	39
5.8.1	编码模块	40
5.8.2	SD-PLL	41
5.8.3	FSK 调制	41

5.8.4	高斯滤波器	41
5.8.5	RF 功率放大器	42
5.8.6	晶体 Oscillator	42
5.9	RF 发送控制器	42
5.10	低频接收器	44
5.10.1	LF 模拟前端	44
5.10.2	LF 数字基带	45
5.10.3	LF 报文格式	46
5.10.4	LF 接收器控制	47
5.11	I/O 端口	48
6	应用原理图	49
6.1	AC5121 典型应用原理图	49
7	参考设计	50
7.1	参考设计原理图	50
7.2	参考设计 PCB TOP 层	51
7.3	参考设计 PCB Bottom 层	52
7.4	参考设计部件 TOP 层	53
7.5	参考设计部件 Bottom 层	54
8	封装信息	55
8.1	封装外形	55
8.2	LGA – 18 – PIN, 5.5 x 4 mm 产品正印	56
8.3	加速度传感器方向	57
8.4	卷带包装方向	57
8.5	存储条件	57

插图目录

图 3-1 管脚配置	19
图 4-1 GPIO 与操作模式	24
图 4-2 Normal Mode 下 state 切换图	27
图 5-1 AC5121 框图	29
图 5-2 AC5121 时钟结构	34
图 5-3 RF 发射机框图	39
图 5-4 RF 编码方案	40
图 5-5 RF 发送控制器流程	43
图 5-6 RF 发送数据帧	44
图 5-7 LF 模拟前端	45
图 5-8 LF 数字基带	46
图 5-9 LF 报文格式	47
图 6-1 AC5121 应用原理图	49
图 7-1 参考设计原理图	50
图 7-2 参考设计 PCB TOP 层	51
图 7-3 参考设计 PCB Bottom 层	52
图 7-4 参考设计部件 TOP 层	53
图 7-5 参考设计部件 Bottom 层	54
图 8-1 LGA-18-PIN, 5.5 x 4 毫米栅格阵列封装外形(非 JEDEC 标准)	55
图 8-2 LGA-18-PIN, 5.5 x 4 mm 正印示例 (封装顶视图)	56
图 8-3 加速度传感器方向示意图	57
图 8-4 卷带包装方向	57

表格目录

表 1-1 产品订购信息	10
表 2-1 绝对最大额定值	11
表 2-2 工作范围	12
表 2-3 压力传感器特性	12
表 2-4 Z sensor 特性	13
表 2-5 X sensor 特性	13
表 2-6 温度传感器特性	13
表 2-7 电池电压传感器特性	14
表 2-8 热关机特性	14
表 2-9 数字 IO 引脚工作范围	14
表 2-10 数字 IO 引脚电气特性	15
表 2-11 电源和电压检测特性	15
表 2-12 Flash 存储器特性	15
表 2-13 供电电流特性	16
表 2-14 低频接收器特性	17
表 2-15 晶体 Oscillator 特性	17
表 2-16 射频发射特性	18
表 2-17 RC Oscillator 特性	18
表 2-18 唤醒&上电时间特性	18
表 3-1 管脚说明	19
表 4-1 GPIO 和操作模式对应关系	23
表 4-2 AC5121 工作状态	25
表 4-3 唤醒/恢复事件标志位	27
表 5-1 Timer 模式 0/1	36
表 5-2 波特率和对应的寄存器设置	38
表 5-3 LF 接收器状态	47
表 6-1 AC5121 应用原理图组件值	49
表 8-1 LGA18 – 18 引脚， 5.5 x 4 毫米栅格阵列封装机械数据	56

1 简介

AC5121 提供了高集成度、并经过校准优化的轮胎压力监测系统（TPMS）传感器模块。凭借其集成的微型控制器，传感器和方便的外围设备，AC5121 只需要添加少量无源元件和一个电池，就可以形成一个完整的 TPMS 传感器组件。

1.1 特性

- 校准的绝对压力传感器
- 用于运动检测和定位的 Z 轴加速度传感器
- 用于定位的 X 轴加速度传感器
- 内置温度传感器、电池电压传感器
- 8051 微控制器和 16 kB 内置 Flash
- 灵活的唤醒以及电源管理系统控制模块
- RF 发射器
- 载波探测和帧数据接收的 LF 接收器

1.2 功能

- 支持对压力、加速度、温度和电池电压进行测量。
- 内置的系统控制器提供灵活的唤醒功能，以减少功耗和电量的使用。
- 校准的周期性 Timer 可以定时定期唤醒 CPU，以执行相关的测量任务和发送 RF 数据。
- 可以使用集成的加速度传感器来检测运动并区分车辆停止与行驶情况。
- 集成微控制器兼容标准 8051 处理器的指令集，并支持 Keil C51 开发工具。
- 提供 16 kB 片上 Flash 存储客户的应用程序代码。
- 集成的各种外设（例如硬件曼彻斯特/双相编码器，CRC 发生器/校验器，UART 接口）可以帮助客户轻松实现 TPMS 应用。
- RF 发射器模块涵盖 315 MHz 和 434 MHz UHF 频段，支持 FSK 和 OOK 调制。RF 发送器包含一个小数频率合成器，可以精确控制载波频率和准确的 FSK 频率调制。集成的 RF 基带编码器和先进的电源管理技术可以将 RF 在传输期间的峰值电流消耗保持在最小。
- 集成的 LF 接收器支持接收诊断或操作状态命令，并支持应用功能，如设定轮胎压力报警范围或轮胎位置定位。
- 内置的固件库能帮助客户高效地使用上述所有硬件模块。

1.3 订购信息

表 1-1 产品订购信息

型号	气压量程	气压精度	Z 轴量程	Z 轴精度	X 轴量程	X 轴精度	封装
AC5121HFC	100~900kPa	±5kPa	±400g	±6g	±120g	±4g	LGA - 18

2 规格

2.1 绝对最大额定值

表 2-1 绝对最大额定值

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
最大供电电压	$V_{DD_{MAX}}$	-0.3	—	3.8	V	—	1.1
ESD HBM	V_{ESD_HBM}	-2000	—	2000	V	所有引脚, EIA/JED-A114-B	1.2
		-4000	—	4000	V	PAOUT 引脚, EIA/JED-A114-B	1.3
ESD CDM	V_{ESD_CDM}	-500	—	500	V	所有引脚, ESDA STM 5.3.1	1.4
		-750	—	750	V	拐角引脚, ESDA STM 5.3.1	1.5
Latch up	I_{LU}	-100	—	100	mA	AEC-Q100(瞬态电流)	1.6
输入电压	V_{IN}	-0.3	—	VDD+0.3	V	GPIO0, GPIO1, GPIO2, GPIO3, GPIO4, GPIO5, GPIO6	1.7
		-0.3	—	1.32	V	XI	1.8
	V_{IN_LF}	-0.3	—	1.32	V	LFP/LFN	1.9
		-0.3	—	0.3	V	LFP 和 LFN 差分输入	1.10
PAOUT 引脚峰值电压	V_{PAOUT_PEAK}	—	—	8	V	匹配网络必须保证 PAOUT 不能超过此电压	1.11
输出短路能力	V_{SC}	0	—	3.8	V	GPIO0, GPIO1, GPIO2, GPIO3, GPIO4, GPIO5, GPIO6 短接到 VDD, GND 或邻近引脚。VDD=3 V 持续 10 分钟; VDDPA 和 PAOUT 只能短接到 VDD, 不能短接 GND; VREG 不能短接到 VDD 或 GND。XO 只能接晶体或悬空, 不能短接到 VDD。	1.12
直流电流	I_{DC}	-10	—	10	mA	所有引脚	1.13
输入气压	P_{in}	0	—	2000	kPa	—	1.14
		2000	—	2500	kPa	持续 2 秒, 不超过 5 次	1.15
静态 Z 加速度	a_{z_static}	—	—	2000	g	Spec: MIL -STD-883 Method 2001, 2000 g for 1min at room temperature	1.16
静态 X 加速度	a_{x_static}	—	—	2000	g	Spec: MIL -STD-883 Method 2001, 2000 g for 1min at room temperature	1.17

机械冲击	a_{shock}	—	—	5000	g	Spec: JESD22-B104, 6 pulses, 5000 g, 0.2 ms	1.18
------	-------------	---	---	------	---	---	------

2.2 工作范围

表 2-2 工作范围

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
供电电压	VDD	V_{UVR}	—	3.6	V	非掉电状态	2.1
		V_{UVRPD}	—	3.6	V	掉电状态	2.2
环境温度	$T_{operating}$	-40	—	125	°C	正常工作	2.3
扩展温度	T_{EXT}	-50	—	150	°C	热关机功能	2.4
Z 轴加速度	$a_{z_operating}$	—	—	1600	g	8 h, 3 Axes	2.5
X 轴加速度	$a_{x_operating}$	—	—	1600	g	8 h, 3 Axes	2.6

2.3 特性参数

2.3.1 压力传感器

表 2-3 压力传感器特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
输入压力范围	P_{in}	100	—	900	kPa	—	3.1
随机误差	P_{random}	-0.608	—	0.608	kPa	95%测量分布	3.2
ADC 解析度	P_{adc_res}	—	—	0.38	kPa/LSB	—	3.3
测量误差	P_{error}	-5	—	5	kPa	-40-90°C, 100-500 kPa	3.4
		-5	—	5	kPa	90-125°C, 100-500 kPa	3.5
	P_{error}	-7	—	7	kPa	-40-90°C, 500-900 kPa	3.6
		-7	—	7	kPa	90-125°C, 500-900 kPa	3.7

2.3.2 加速度传感器

2.3.2.1 Z sensor

表 2-4 Z sensor 特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
输入加速度范围	a_{zin}	-400	—	400	g	—	4.1
随机误差	$a_{zrandom}$	-0.35	—	0.35	g	95%测量分布	4.2
ADC 解析度	a_{zadc_res}	—	0.167	—	g/LSB	—	4.3
测量误差	a_{zerror}	-6	—	6	g	-40-90°C, -20~20 g	4.4
	a_{zerror}	-8	—	8	g	90-125°C, -20~20 g	4.5
	a_{zerror}	-27	—	27	g	-40-125°C, -400~-20 g & 20~400 g	4.6
谐振频率	f_z	—	18	—	kHz	simulation	4.7

2.3.2.2 X sensor

表 2-5 X sensor 特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
输入加速度范围	a_{xin}	-120	—	120	g	—	5.1
随机误差	$a_{xrandom}$	-0.3	—	0.3	g	95%测量分布	5.2
ADC 解析度	a_{xadc_res}	—	0.1	—	g/LSB	—	5.3
测量误差	a_{xerror}	-4	—	4	g	-40-90°C, -10~10 g	5.4
	a_{xerror}	-5	—	5	g	90-125°C, -10~10 g	5.5
	a_{xerror}	-8.4	—	8.4	g	-40-125°C, -120~-10 g & 10~120 g	5.6
谐振频率	f_x	—	7	—	kHz	simulation	5.7

2.3.3 温度传感器

表 2-6 温度传感器特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
温度测量范围	T_{range}	-40	—	125	°C	T_j	6.1
随机误差	T_{random}	-0.3	—	0.3	°C	95%测量分布	6.2
测量误差	T_{error}	-3	—	3	°C	—	6.3

2.3.4 电池电压传感器

表 2-7 电池电压传感器特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
电压测量范围	V_{range}	VUVR	—	3.6	V	—	6.4
测量误差	V_{error}	-3	—	3	%	—	6.5

2.3.5 热关机

表 2-8 热关机特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
热关机高温阈值	$T_{HOT TH}$	—	—	125	°C	Tj	7.1
热关机高温释放	$T_{HOT RE}$	112	—	—	°C	Tj	7.2
迟滞	T_{HYST}	1.5	—	4	°C	Tj	7.3
热关机低温阈值	$T_{COLD TH}$	-40	—	—	°C	Tj	7.4
热关机低温释放	$T_{COLD RE}$	—	—	-28	°C	Tj	7.5

2.3.6 GPIO

2.3.6.1 数字 IO 引脚工作范围

表 2-9 数字 IO 引脚工作范围

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
数字引脚输出电流	$I_{out DIG}$	-4	—	4	mA	GPIO0, GPIO1, GPIO2, GPIO3, GPIO4, GPIO5, GPIO6	8.1
数字引脚输入高电压	V_{IH}	0.7VDD	—	VDD+0.3	V	—	8.2
数字引脚输入低电压	V_{IL}	-0.3	—	0.3VDD	V	—	8.3

2.3.6.2 数字 IO 引脚电气特性

表 2-10 数字 IO 引脚电气特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
数字引脚输出高电压	V_{OH}	0.8VDD	—	—	V	驱动 1mA 负载	9.1
数字引脚输出低电压	V_{OL}	—	—	0.2VDD	V		9.2
数字引脚输入电容	C_{in}	—	—	5	pF	GPIO0, GPIO1, GPIO2, GPIO3, GPIO4, GPIO5, GPIO6	9.3

2.3.7 电源和电压检测

表 2-11 电源和电压检测特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
欠压复位阈值	$V_{UVR}^{(1)}$	1.65	—	1.75	V	监测 VDDA	10.1
	$V_{UVRPD}^{(2)}$	1.55	—	1.65	V	监测 VDDA	10.2
上电释放阈值	V_{POR}	1.75	—	1.85	V	监测 VDDA	10.3
RF 欠压警告阈值	V_{warn}	1.8	—	1.9	V	监测 VDDA	10.4
低压检查阈值	V_{BOR}	0.8	—	0.9	V	监测内部 VREG	10.5

说明:

- (1) V_{UVR} : VDDA 达到该阈值时, 发生欠压复位, 此时芯片内部 LDO(VREG)电源仍在工作;
- (2) V_{UVRPD} : VDDA 达到该阈值时, 发生欠压掉电复位, 此时芯片内部 LDO(VREG)电源关闭。

2.3.8 Flash 存储器

表 2-12 Flash 存储器特性

符号	说明	条件	数值			单位	编号
			最小	典型	最大		
Endurance	循环擦除-编程总次数	$T_j = -40 \sim 125^\circ\text{C}$; $V_{DD} = 1.8 \sim 3.6\text{ V}$	10K	—	—	次	11.1
Data retention	数据保持时间	$T_j = 125^\circ\text{C}$	10	—	—	年	11.2
T_{prog}	写 1 byte 时间	$T_j = -40 \sim 125^\circ\text{C}$; $V_{DD} = 1.8 \sim 3.6\text{ V}$	66.5	70	73.5	us	11.3

符号	说明	条件	数值			单位	编号
			最小	典型	最大		
T_{perase}	一个 page (1 kbytes) 擦除时间	$T_j = -40 \sim 125^\circ\text{C}$; $V_{\text{DD}} = 1.8 \sim 3.6\text{ V}$	23.5	26	29	ms	11.4
T_{merase}	块擦除时间 (仅针对 user code 区)	$T_j = -40 \sim 125^\circ\text{C}$; $V_{\text{DD}} = 1.8 \sim 3.6\text{ V}$	376	416	464	ms	11.5
$T_{\text{read}}^{(1)}$	读 1 byte 时间	$T_j^{(2)} = -40 \sim 125^\circ\text{C}$; $V_{\text{DD}} = 1.8 \sim 3.6\text{ V}$	—	$1 * t_{\text{CPUCLK}}$	—	ns	11.6
备注:							
(1) 仅考虑读 Flash 时间, 不考虑指令执行时间							—
(2) T_j 为结温							

2.3.9 供电电流

表 2-13 供电电流特性

参数	符号	数值			单位	备注	编号
		最小	典型	最大			
Run 状态下电流值	I_{RUN}	—	520	—	uA	+25°C	12.1
		—	610	—	uA	+125°C	12.2
		—	503	—	uA	-40°C	12.3
Power down 状态下电流值	I_{PWD}	—	130	—	nA	+25°C	12.4
		—	2720	—	nA	+125°C	12.5
		—	136	—	nA	-40°C	12.6
Idle 状态下电流值	I_{IDLE}	—	210	—	uA	+25°C	12.7
		—	280	—	uA	+125°C	12.8
		—	205	—	uA	-40°C	12.9
Thermal shutdown 状态下电流值	I_{TSD}	—	41	—	uA	+25°C	12.10
		—	53	—	uA	+125°C	12.11
		—	37	—	uA	-40°C	12.12
LF 接收器载波探测模式下的电流值	I_{LFCD}	—	6.0@93.6KHz	—	uA	+25°C	12.13
		—	7.7@93.6KHz	—	uA	+125°C	12.14
		—	5.9@93.6KHz	—	uA	-40°C	12.15
LF 接收器帧数据接收模式下的电流值	I_{LF}	—	7.8	—	uA	+25°C	12.16
		—	8.6	—	uA	+125°C	12.17
		—	7.5	—	uA	-40°C	12.18

参数	符号	数值			单位	备注	编号
		最小	典型	最大			
RF 发送器在 cpu/fsk 数据传输模式下的电流值	I _{RPTX}	—	7.8	—	mA	+25°C	12.19
		—	—	—	mA	+125°C	12.20
		—	—	—	mA	-40°C	12.21
RF 发送器在 interframe 传输间隔模式下的电流值	I _{TXIF}	—	80	—	uA	+25°C	12.22
		—	—	—	uA	+125°C	12.23
		—	—	—	uA	-40°C	12.24
Deep Idle 模式下的电流值	I _{IDLE}	—	1.6	—	uA	+25°C	12.25
		—	—	—	uA	+125°C	12.26
		—	—	—	uA	-40°C	12.27

2.3.10 低频接收器

表 2-14 低频接收器特性

参数	符号	数值			单位	备注	编号
		最小	典型	最大			
灵敏度 (载波检测模式)	S _{cm}	0.5 (不可检测)	—	3.0 (始终可检测)	mVpp	—	13.1
灵敏度 (数据接收模式)	S _{dr}	0.25 (不可检测)	—	2.5 (始终可检测)	mVpp	—	13.2
载波频率	f _c	121.25	—	128.75	kHz	始终接收	13.3
数据时长	—	248	256	264	us	—	13.4
调制方式	—	—	OOK	—	—	—	13.5
上电时间	—	—	3.9	—	ms	—	13.6
前导码时长	—	2	—	—	ms	—	13.7

2.3.11 无线射频

表 2-15 晶体 Oscillator 特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
频率范围	f _{XTAL}	—	26	—	MHz	—	14.1
启动时间	T _{xtal_start}	—	—	2	ms	—	14.2

表 2-16 射频发射特性

参数	符号	数值			单位	备注	编号
		最小	典型	最大			
发射频率	—	314	—	316	MHz	—	15.1
	—	433	—	435	MHz	—	15.2
射频数据率	—	—	—	20	kbps	—	15.3
射频数据率容差	—	—	—	—	—	—	15.4
射频输出功率	P_{RF}	—	5	8	dBm	8 dBm, $V_{DD} \geq 2.6$ V	15.5
FSK 频移	—	0	+/-40	+/-75	kHz	—	15.6
射频数据占空比	—	45	50	55	%	—	15.7

2.3.12 RC Oscillator

表 2-17 RC Oscillator 特性

参数	符号	数值			单位	注解或测试条件	编号
		最小	典型	最大			
LPOSC 频率范围	$TOL2K_{tot}$	-40	—	40	%	-40 到 125°C	16.1
LFOSC 频率范围	$TOL93.6K_{tot}$	-8	—	12	%	-40 到 125°C	16.2
8 MHz Oscillator 频率范围	$TOL8M_{tot}$	-2.4	—	2.4	%	-40 到 125°C	16.3

2.3.13 唤醒&上电时间

表 2-18 唤醒&上电时间特性

参数	符号	数值			单位	备注	编号
		最小	典型	最大			
上电时间	T_{po}	—	16.8	—	ms	VBAT 电压超过 V_{POR} 到程序运行	17.1
Idle 状态 Sampling 恢复时间	T_{re_idle}	—	30	—	us	恢复事件发生到程序运行	17.2
Deep Idle 状态 Sampling 恢复时间	T_{re_didle}	—	1.2	—	ms	恢复事件发生到程序运行	17.3
TXLP 状态 ITIM 唤醒恢复时间	T_{re_txlp}	—	1.1	—	us	恢复事件发生到程序运行	17.4
Power down 状态 ITIM 唤醒时间	T_{wu_pd}	—	5	—	ms	恢复事件发生到程序运行	17.5
Power down 状态 LF 唤醒时间	T_{wu_pd}	—	5.86	—	ms	恢复事件发生到程序运行	17.6

3 管脚说明

3.1 管脚配置

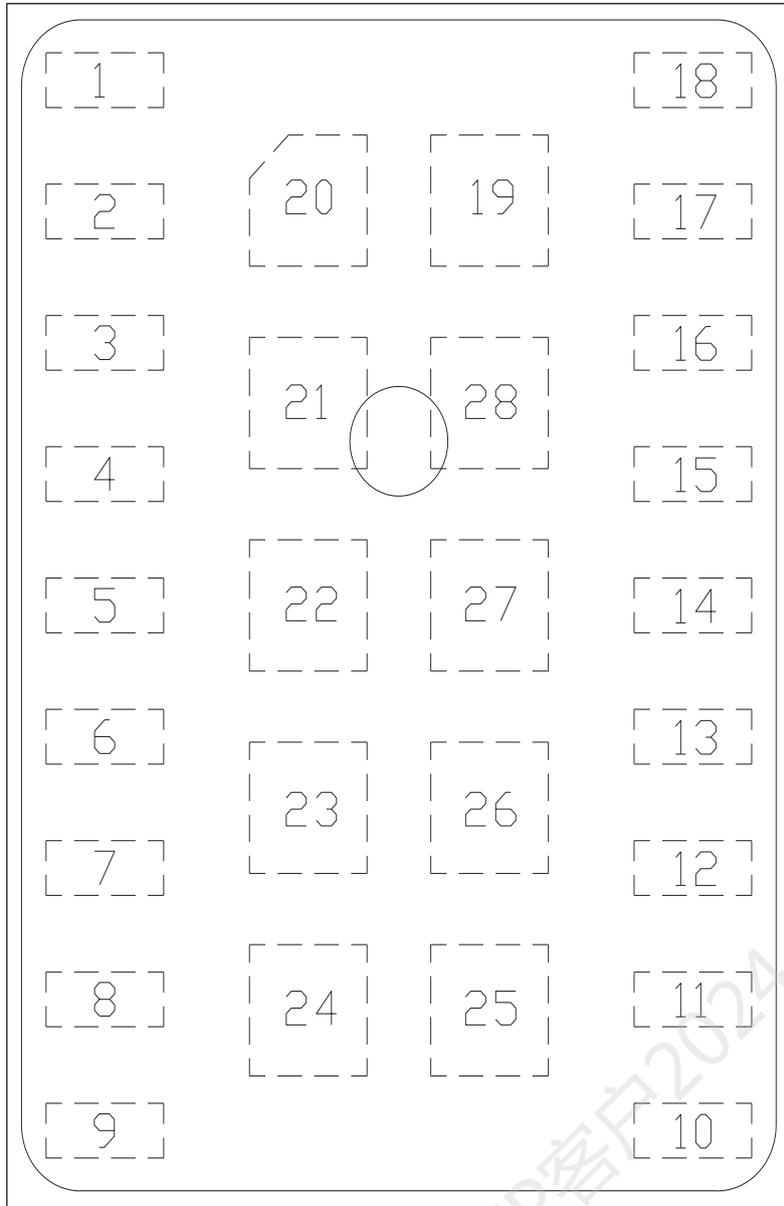


图 3-1 管脚配置

3.2 管脚说明

表 3-1 管脚说明

管脚编号	管脚名称	管脚类型	Buffer 类型	功能说明
1	GPIO2	Digital I/O		GPIO
2	GPIO3	Digital I/O		GPIO
3	GPIO4	Digital I/O		GPIO
4	GPIO5	Digital I/O		GPIO
5	GPIO6	Digital I/O		GPIO
6	VDDPA	Analog output		Regulated voltage for PA
7	PAOUT	Analog output		RF power amplifier output
8	LFP	Analog		LF receiver positive input
9	LFN	Analog		LF receiver negative input
10	XI	Analog		Crystal oscillator input
11	XO	Analog		Crystal oscillator output

12	VDDA	Supply		Analog power supply
13	VREG	Supply		Regulated voltage output (1.2V)
14	GNDD	Supply		Digital Ground
15	VDDD	Supply		Digital power supply
16	RESET	Digital input		External reset input
17	GPIO0	Digital I/O		GPIO
18	GPIO1	Digital I/O		GPIO

19	EP ¹⁾	Supply		Exposed PAD, Analog Ground
----	------------------	--------	--	----------------------------

说明

1) EP, 裸焊盘。在裸焊盘下方的 PCB 板上画一个相似的焊盘, 把裸焊盘焊接到 PCB 板上, 增加机械强度, 并把裸焊盘连接到模拟地。

TPMS VIP客户2024-05-29 15:33:01

4 特殊功能

4.1 操作模式(Mode)

AC5121 可以在以下三种模式下工作：

- Normal Mode
- ISP Mode
- Debug Mode

在上电复位阶段，可以通过外部电路，给对应的 GPIO 引脚稳定的电平，来进入不同的模式。以下为对应 GPIO 的电平与不同工作模式之间的对应关系。

表 4-1 GPIO 和操作模式对应关系

操作模式	GPIO0	GPIO1	GPIO2	说明
Normal Mode	1	1	x	胎压检测系统的正常操作模式，用于启动运行用户应用程序
ISP Mode	1	0	x	用于烧写用户应用程序和用户配置数据等
Debug Mode	0	1	1	用于用户应用程序代码开发与调试



说明

在上电复位时，GPIO0 和 GPIO1 的内部上拉电阻默认使能，如果 GPIO0 和 GPIO1 引脚浮空，则工作模式为 Normal Mode。

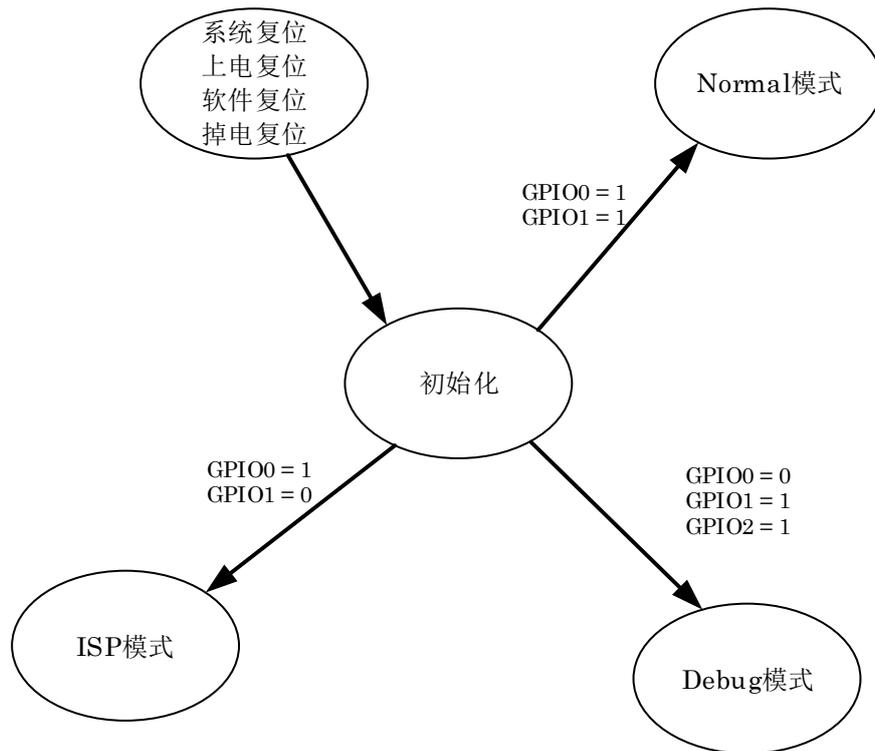


图 4-1 GPIO 与操作模式

4.2 芯片工作状态

在芯片正常工作状态下，可以将部分不需要的模块关电、关闭时钟或进入低功耗模式，以降低芯片功耗。如下表所示，AC5121 根据应用场景分为 6 种工作状态 (state):

- Run
- Idle
- Deep Idle
- TX lower power
- Power down
- Thermal shutdown

表 4-2 AC5121 工作状态

芯片状态	简述	主要工作模块
Run state ¹⁾	上电后默认进入 Run state 应用程序执行	<ul style="list-style-type: none"> • CPU • 8 M Hz RC-oscillator /LFOSC/ LPOSC • 其他 block 按需要打开/使能
Idle state ²⁾	置位 SFR bit CFG1.IDLE 进入 Idle state。 应用程序无法执行，芯片等待唤醒/恢复事件发生。Idle state 下 唤醒/恢复事件可以触发快速恢复。	<ul style="list-style-type: none"> • 8 M Hz RC-oscillator /LFOSC/ LPOSC • Flash 工作在 sleep 模式 • Wakeup/System Controller • 可选: ADC • 可选: TX-state machine, RF- transmitter • 可选: Interval timer/Timer 0/1 • 可选: LF Receiver
Deep Idle state ³⁾	置位 SFR bit CFG1.DIDLE 进 入 Deep Idle state。 应用程序无法执行，芯片等待 Sampling timer 恢复事件以及 其他唤醒事件发生。主要用于周 期性加速度测量。	<ul style="list-style-type: none"> • LFOSC/ LPOSC • Wakeup/System Controller • Acceleration/raw 传感器 • 可选: LF-receiver / LF on-off timer • 可选: Sampling timer • 可选: Interval timer
Power down state ⁴⁾	置位 SFR bit CFG0.PDWN 进 入 Power down state。 应用程序无法执行，芯片等待唤 醒事件。Power down state 为 最低能量消耗状态。	<ul style="list-style-type: none"> • LPOSC • Wakeup Controller • 可选: Interval timer • 可选: LF on-off timer • 可选: LF-receiver with LFOSC
TX lower power state ⁵⁾	置位 SFR bit CFG1.TXLP 进 入 TX lower power state。 应用程式无法执行，芯片等待 RF 传输结束恢复或 Interval timer 计时超时唤醒。其他唤醒 /恢复源被硬件屏蔽。	<ul style="list-style-type: none"> • LFOSC/ LPOSC • Wakeup/System Controller • 可选: LF Receiver / LF on-off timer • TX state machine • RF-transmitter/PLL/PA/26 M crystal oscillator
Thermal shutdown state ⁶⁾	置位 SFR bit CFG0.TSDWN 进入 Thermal shutdown state。 唯一唤醒事件为芯片恢复正常温 度范围。	<ul style="list-style-type: none"> • LPOSC • Interval timer • TSD/T-sensor 受控于 Interval timer • Wakeup Controller



- 1) 在 Run state, CPU 执行 Flash 内程序, wdg 需要作为计时器打开以防止系统死锁。
- 2) 在 Idle state, CPU 停止工作 (时钟关闭), 但其他所有外设可以继续工作, 当芯片从 Idle state 恢复后, 程序从断点继续执行。
- 3) 在 Deep Idle state, CPU 关电, 当芯片从 Deep Idle state 恢复后, 程序从复位点开始执行。
- 4) 在 Power down state, CPU 以及多数外设关电, 当芯片从 Power down state 恢复后, 程序从复位点开始执行。
- 5) TX lower power state (TXLP) 为 RF FSM transmission mode 设计, 当芯片从 TXLP state 恢复后, 程序从复位点开始执行。
- 6) 在 Thermal shutdown state, CPU 及多数外设关电, 该 state 下 temperature detector (TSD) 为唯一可用唤醒源, TSD 在 Interval timer 控制下周期性的开关以降低功耗。

4.3 芯片工作状态跳转

在典型的 TPMS 应用场景中, 芯片生命周期大多数时间将会处于 Power down state。当芯片上电或 system reset 触发一次, 芯片在完成 start-up 流程后将会进入 Run state, Wakeup Controller(WUC) 和 System Controller(SYC) 控制芯片在各种 state 间进行切换。其中, 从 Run state 进入低功耗模式受控于应用程序写相应寄存器位来实现, 从低功耗模式到 Run state 切换由唤醒/恢复事件触发。

需要特别说明的是, TX lower power state 在 RF 传输结束后状态切换有两种不同选择: Power down state/Run state。该状态切换取决于寄存器 CFG1.TXPDEOTR。当 TXPDEOTR=1 时, RF 传输结束后进入 Power down state, 反之进入 Run state。另外还需要留意, Interval timer 计时超时事件是 TX lower power state 下的唤醒事件, 不同于 RF 传输结束, Interval timer 计时超时事件能且只能触发向 Run state 切换。

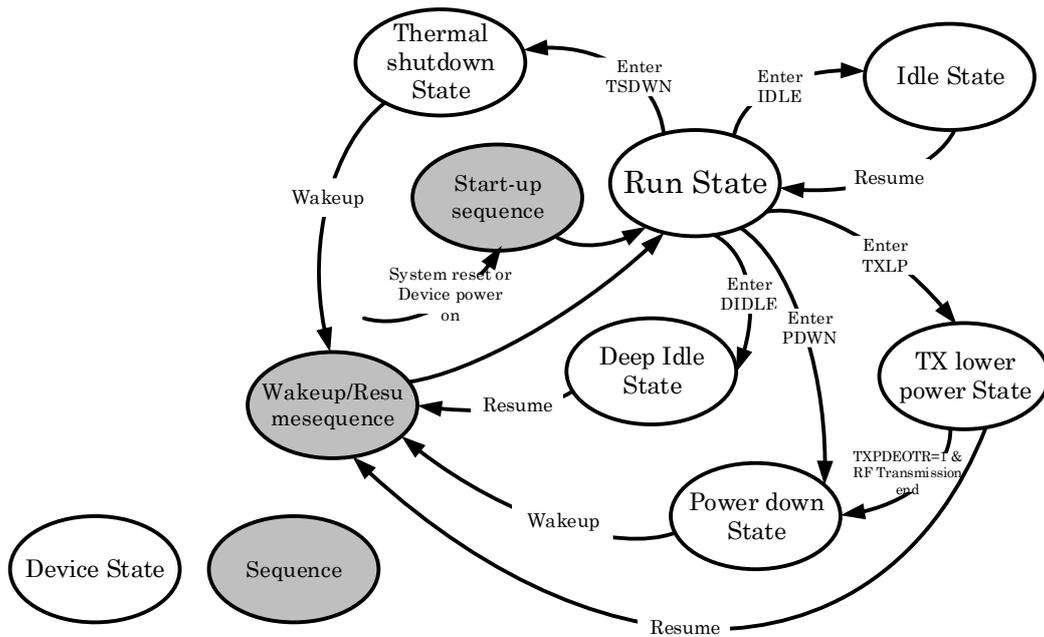


图 4-2 Normal Mode 下 state 切换图

下表简明给出了唤醒/恢复源事件以及相应的标志位。

1. 当唤醒/恢复事件触发时，对应的标志位会相应置起。
2. 部分源事件存在一个相应的 mask bit 用于屏蔽唤醒/恢复事件。需要注意的是，为了保证芯片正常唤醒，部分事件在特定低功耗模式下不可屏蔽。在 TX lower power state 下，为了避免 RF 数据传输被打断，只有 Interval timer 超时、RF 传输结束能触发恢复，其他事件将会被硬件屏蔽。
3. 当源事件被 mask 后，该事件将无法触发唤醒/恢复，但是对应的标志位仍将置起。

对应五种低功耗模式，存在以下五个标志位用于标志芯片从何种低功耗模式唤醒/恢复：

- WUPDWN
- WUTSDWN
- REIDLE
- REDIDLE
- RETXLP

WUPEND 标志位表示存在一个未被屏蔽的唤醒事件，REPEND 标志位标志着存在一个未被屏蔽的恢复事件。

表 4-3 唤醒/恢复事件标志位

Event	Indicator flag	Thermal shutdown	Power down	Deep Idle	TX lower power	Idle	Run
		indicator flag behavior/event generates wake-up/resume					
Interval timer elapsed	WUF.ITIM_FLAG	unchanged/no	raised/yes	raised/yes	raised/yes	raised/yes	raised/n.a.
External signal at GPIO2	WUF.EXT_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF carrier detected	WUF.CD_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF sync match	WUF.SYNC_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF pattern 0 match	WUF.PM0_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF pattern 1 match	WUF.PM1_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF end of message	WUF.EOM_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
LF buffer full	WUF.BF_FLAG	unchanged/no	raised/yes	raised/yes	raised/no	raised/yes	raised/n.a.
Timer 0 underflow	REF.RET0	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
Timer 1 underflow	REF.RET1	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
TX encoder buffer empty	REF.RERFU	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
TX encoder shift register empty	REF.RERFF	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
ADC end of conversion	REF.READC	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
Sampling timer elapsed	REF.RESTF	unchanged/no	unchanged/no	unchanged/no	unchanged/no	raised/yes	raised/n.a.
Sampling timer power-up	REF.RESTFPU	unchanged/no	unchanged/no	raised/yes	n.a./no	n.a./no	n.a./n.a.
RF transmission end	REF.RFTXEND	unchanged/no	unchanged/no	n.a./no	raised/yes	n.a./no	n.a./n.a.
TSD temperature return	(reserved)	raised/yes	n.a./no	n.a./no	n.a./no	n.a./no	n.a./n.a.
Wakeup from power down	SYSST.WUPDWN	—	raised	—	—	—	—
Wakeup from Thermal shutdown	SYSST.WUTSDWN	raised	—	—	—	—	—
Resume from deep idle	DSR1.REIDLE	—	—	raised	—	—	—
Resume from idle	DSR1.REIDLE	—	—	—	—	raised	—
Resume from TX low power	DSR1.RETXLP	—	—	—	raised	—	—
A non-masked wake-up event	DSR0.WUPEND	raised	raised	raised	raised	raised	raised
A non-masked resume event	DSR1.REPEND	—	—	raised	raised	raised	raised

5 功能

5.1 AC5121 框图

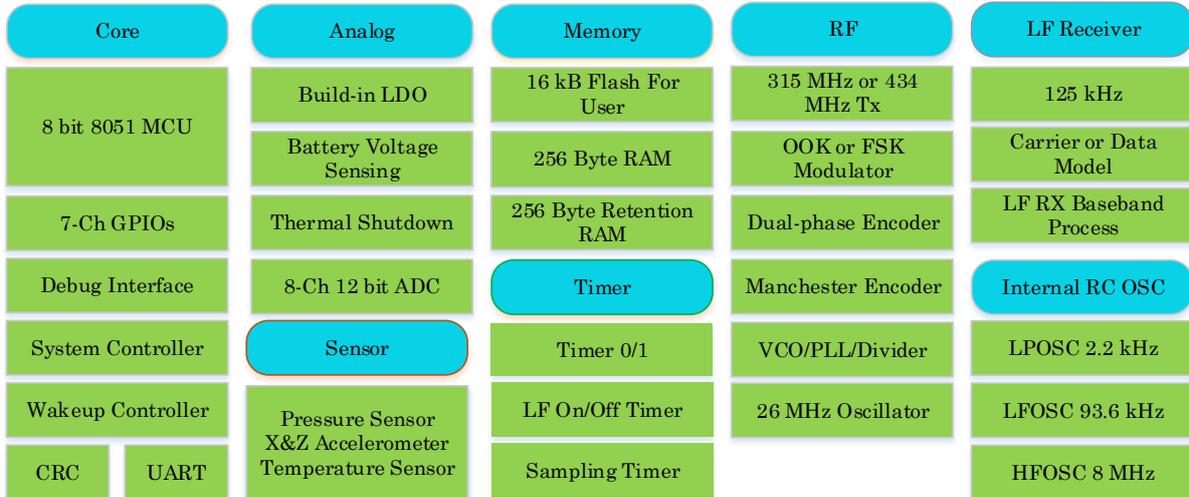


图 5-1 AC5121 框图

5.2 唤醒控制器(WUC)

AC5121 根据应用场景划分了多个低功耗状态。为了获得更好的唤醒/恢复响应速度和更低的功耗，功耗管理模块分为两个部分，并分别工作在不同时钟源下。其中，Wakeup Controller 是芯片功耗控制的主要模块之一，其工作在 LPOSC 时钟域，具有最高的功耗控制优先级。当任意一个未 mask 唤醒事件触发后，Wakeup Controller 控制芯片从低功耗模式唤醒。另一芯片功耗控制模块为 System Controller，其工作在 LFOSC 时钟域，后文将做详细描述。在进入 Power down / Thermal shutdown state 后，多数模块进入关断或低功耗模式。当唤醒事件触发后，Wakeup Controller 首先使能 System Controller，然后芯片在 System Controller 控制下完成各模块上电。唤醒后，代码将从 reset 地址执行。

对 Wakeup Controller 来说，独立唤醒源有：

- 间隔 Timer(Interval timer)
- 低频接收器载波(LF-Receiver: carrier detector)
- 低频接收器同步头(LF-Receiver: sync pattern detector)
- 低频接收器 ID 匹配(LF-Receiver: data pattern matching circuit)
- 低频接收器数据缓存满(LF-Receiver: data buffer full)
- 低频接收器报文结束(LF-Receiver: end of message)
- GPIO2
- 热关机温度检测(Temperature detector when device is in Thermal shutdown)

Reset 控制是 Wakeup Controller 的重要功能之一，芯片 reset 主要有：

- BOR reset(内部 LDO 电压低于预定阈值，即 VREG 电压)

- Power on reset
- Under voltage reset (电池电压低于预定阈值, 即 VDDD/VDDA 电压)
- Software Reset
- Watchdog 计时超时 reset
- Flash Error (ECC2) reset
- Reset pad(低电平)

上述 reset 源, 除 eflash error、WDG reset 外, 其他 reset 不可屏蔽。reset 后芯片重启, 代码从 reset 地址重新执行。寄存器 SYSST 标志 reset 源, 其中 eflash error、WDG reset 屏蔽后, 将不会触发 reset, 但是作为标志相应 reset 标志位会置起。

5.2.1 间隔 Timer

间隔 Timer (Interval timer) 的作用是定时唤醒处于关电状态的设备。间隔 Timer 在任何低功耗状态下都处于活动状态, 并由 LPOSC 时钟计时。间隔 Timer 是一个倒计时定时器, Timer 下溢时触发唤醒事件。尤其是在使用 TX lower power 或 Deep Idle 状态时, 必须通过适当的定时设置确保间隔 Timer 不会中断数据传输或数据采集。

间隔 Timer 分为 12 位前置计数器 (TICK[11:0]) 和 8 位后置计数器 (PERIOD[7:0])。通过直接写入 PERIOD[7:0] 来设置 post counter。请注意, 写入 TICK[11:0] 和 PERIOD[7:0] 设置计数器前、后预加载值, 读取 TICK[11:0] 和 PERIOD[7:0] 提供当前计数器读数。下溢后 Timer 自动重新加载。

在 Thermal shutdown state 时, 间隔 Timer 用于定期检查温度检测器。

- IT0, IT1: 间隔 Timer 前置计数器 (也称为滴答计数器);
- IT2: 间隔 Timer 后置计数器 (也称为周期计数器);
- IT3: 用于打开 Timer 使能;
- CFG0.ITINIT: 指示 Timer 的初始化状态。

5.2.2 低频接收开关 Timer

LF 开关 Timer 用于接通和断开低占空比的 LF 接收器, 以节省功耗。因此, Timer 支持最长 7.4 秒的关闭时间和最长 0.46 秒的打开时间。请注意, LF 接收器开启 3.9 ms 后才能开始工作, 因为 LF 接收器需要一段时间来稳定, 即有效开启时间相应的缩短。

以下是一些用例的最短打开时间:

- LF-CW 信号载波检测: 最小开启时间=3.9 ms+0.1 ms=4 ms;
- 脉冲低频载波的载波检测: 最小开启时间=3.9 ms+4.75 ms=8.7 ms;
- 定期重复 LF 电报的数据接收模式: 最小开启时间=3.9 ms+周期时间。

由于固件功能, 用户不需要直接访问 Timer 寄存器。设置位 ENLFRX 和 ENOOTIM 激活 Timer。软件无法读取 Timer 的当前计数值。

关联寄存器:

- LFRXC、bits ENOOTIM 和 ENLFRX。

5.2.3 低频接收器唤醒事件

LF 接收器产生的唤醒源或者唤醒事件均可被屏蔽。具体的 LF 接收器相关的唤醒事件为：

- 载波探测
- 同步序列的检测
- 唤醒 ID 匹配
- 数据存储器满
- 帧报文结束

5.2.4 GPIO2 管脚唤醒

I/O 端口 GPIO2 允许从外部源进行可屏蔽唤醒。为了使用此唤醒源，GPIO2 需要配置为输入（normal mode, function0/1/4/5, GPIO2_SEL[2:0]=3'b0/3'b1/3'b4/3'b5, GPIO2_DIR=1'b1, GPIO2_IE=1'b1），并且必须启用相应的唤醒（EXT_MASK=0）。

标志 PPS2 用于定义唤醒是在高电平还是低电平触发。如果 PPS2=1，唤醒为在 GPIO2 引脚处低电平触发。

5.2.5 上电和低电压复位

如果电压低于某个阈值 V_{UVRA} 触发系统复位。器件会一直保持复位状态，直到 VDDBAT 引脚的电压超过释放阈值 V_{THR} 。

5.2.6 软复位、看门狗复位和 Flash 错误复位

Software reset 可以通过配置寄存器 bit SRESET 为 1 实现。

Watchdog 计时结束并且软件未及时喂狗的情况下会触发 reset。

Flash error reset 在 flash ECC 检测逻辑发现一个不可纠错的 error 时触发。

此外，芯片设有外部 reset pad。

上述所有 reset 触发后，芯片将重新启动，重新启动流程包括：

- 工作模式选择；
- Flash 重新初始化；
- 完成一系列重启流程后，程序从复位地址开始执行。

5.2.7 热关机

Thermal shutdown state 在芯片温度超过设定范围时软件配置寄存器进入。Thermal shutdown state 下多数模块关闭或进入低功耗模式，Wakeup Controller 等待唤醒事件触发。在该 state 下，温度降低到期望范围内是唯一可以唤醒的条件。Thermal Shut Detector(TSD)在芯片进入 Thermal shutdown state 时检测温度，为降低功耗 TSD 并非一直打开，而是受控于 Interval timer 周期性的打开来检测温度。

当芯片温度恢复，从 Thermal shutdown state 唤醒后，标志位 CFG0.TSDWN 置起。

5.3 系统控制器(SYC)

System Controller 是除 Wakeup Controller 外另一重要功耗管理模块。在 Power down state 和 Thermal shutdown state 下，System Controller 时钟关闭，Wakeup Controller 正常工作并处理唤醒事件。但在 Idle、Deep Idle、TX lower power state 下，System Controller 保持打开用于响应恢复事件。当未 mask 恢复事件、唤醒事件触发时，System Controller 控制完成全芯片模块上电/恢复。

对 System Controller 来说，独立恢复事件有：

- Timer0/1 计时结束(Idle state)
- ADC 转换结束(Idle state)
- Sampling timer 超时(Idle state)
- Sampling timer 上电事件(Deep Idle state)
- 发送编码移位寄存器空/ 发送编码缓存空(Idle state)
- RF 传输结束(TX lower power state)

5.3.1 采样(Sampling) Timer

在某些应用中，周期性测量加速度必须在较长的时间内不断进行。此应用有两个主要要求：功耗消耗低和两次加速度测量之间的保持精确的时间间隔（采样间隔）。为了满足这些要求，需要一个在设备的某种工作状态下运行的 Timer，要求功耗非常低，即 Deep idle 状态。与 power down 状态不同的是，在 Deep idle 状态下，LFOSC 时钟是打开的，以提供采样 Timer 所需的定时精度。

使用采样 Timer，需要在应用程序代码中对其进行校准和启动。随后，必须立即进入 Idle 状态，因为从 Idle 状态恢复（ADC 触发事件）仅在启动 Timer 后 10 us 发生。从空闲状态恢复后，当应用程序代码继续执行时，应首先调用加速度采集功能。此后，可以执行额外的应用程序代码，以便将测量值存储在 retention RAM 中。

如果需要更多的采样，应用程序代码就会进入 Deep Idle 状态，以节省功耗。否则，可以停止采样 Timer 并终止采样操作。上电动作会触发采样 Timer 将芯片从 Deep Idle 状态唤醒。CPU 重新启动，代码执行从重置向量开始执行。此处，应用程序代码必须决定芯片是否从 Deep Idle 状态重新启动。如果是，则进入 Idle 状态，当 Idle 状态结束时进入下一个采样。如果不是，则 CPU 会由于另一个事件而被触发重新启动，然后执行相应的应用程序代码。

两个触发事件的实现允许精确保持采样周期，因为从 Idle 状态恢复不会出现时间延迟，并且 Idle 状态的持续时间为启动时间的可能变化提供了一个缓冲。为了降低功耗，应尽量缩短 Idle 状态持续时间。

关联寄存器：

- STIMCFG0（设置采样 Timer 超时周期低字节）；
- STIMCFG1（设置采样 Timer 超时周期高字节以及采样 Timer 使能位）；

- STIMCFG2（power up 周期配置）。



注意

power up 周期配置值不得超过采样 Timer 超时周期。

5.4 时钟结构

AC5121 内部有 3 个片上 RC OSC 以满足应用需求并获得较低功耗。3 组 RC OSC 为：8 MHz HFOSC、LFOSC、LPOSC。

LPOSC 在包括 Power down state 在内的所有 state 下保持开启，Wakeup Controller、Interval timer 工作在 LPOSC 以获得更低功耗。LFOSC 驱动 System Controller、Sample timer、Interframe timer 等。此外，在 LF 作为 Power down state 唤醒源时，同样为了降低功耗 LFOSC、LF block 受控于 LF on-off timer 周期性打开。8 MHz OSC 在可配置分频系数 DIVIC 分频后作为系统时钟供 CPU 等使用。除 LFOSC 受控于 Wakeup Controller 开关外，其他 OSC 由 System Controller 控制开关，系统时钟分频也由 System Controller 实现。

下图为 AC5121 时钟结构：

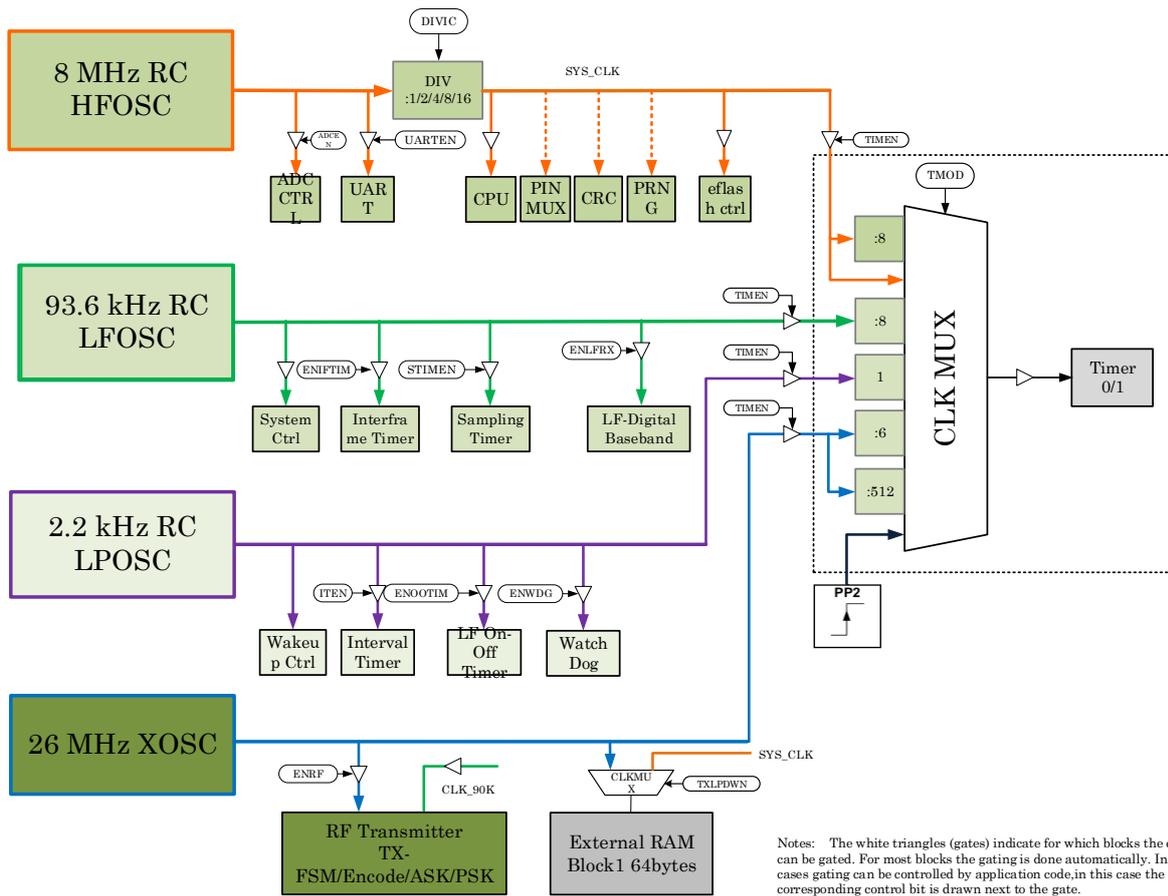


图 5-2 AC5121 时钟结构

上图示意给出了芯片时钟结构。图中白色三角形代表门控时钟，即该时钟可以被关闭以降低功耗，其中部分门控受控于软件，则相应的控制 bit 标志于门控时钟旁。

5.5 CPU 区域

5.5.1 Timer 模块

Timer 模块由 6 个寄存器 TCON、TMOD、TL0、TH0、TL1 和 TH1 组成。Timer 模块使能位 TIMEN 位于寄存器 CFG2 中。那些使用 Timer 的固件程序会在返回到应用程序代码之前禁用 Timer 模块。通常在配置启动 Timer 模块之前使能 TIMEN。如果 Timer 不再使用，则应清除 TIMEN 以降低功耗。

通过相应地设置 TM[2:0]，可以将 Timer 模块配置为 3 种不同的模式（mode 0/mode 1）。

这些模式在 Timer 长度（8 位或 16 位）和 Timer 行为（下溢时 Timer 停止或 Timer 重新加载）方面有所不同。这四个寄存器要么用作向下计数的开始值，要么用于保存重新加载值。在使用上，支持以下 Timer 模式：

- 两个 16 位 Timer，无需重新加载（单次运行）；
- 一个 16 位 Timer，带重新加载；

- 一个不带重新加载的 16 位 Timer 加上一个带重新加载的 8 位 Timer。

表 5-1 详细说明了如何在每种模式下配置寄存器。Timer 模式 7 没有详细说明，因为此模式在应用程序代码中不可用，作为固件用于校准目的。

Timer 模块不允许 CPU 中断，所以 Timer 下溢需要在应用程序中轮询。Timer 模块可以在不同的时钟源进行选择，从而提供了广泛的定时周期，并且允许用晶体 Oscillator 校准内部时钟源。Timer0/1 的时钟源取决于时钟源选择位 T0CLK 和 T1CLK 以及 Timer 模块晶体时钟启用选择位 TCLKM。Timer0/1 可选择以下时钟源：

- 8 MHz RC 除以 1、2、4、8 或 16；
- LPOSC；
- 仅 Timer0：由 Timer1 下溢计时；
- Crystal 时钟除以 6；
- 仅 Timer0：Crystal 时钟除以 512；
- 仅 Timer0：LFOSC 除以 8。



注意

Timer 时钟源不得与用于加载 Timer 寄存器的系统时钟混淆。这个 Timer 模块系统时钟始终为 8 MHz，其除法系数由 DIVIC 定义。

Timer 配置为无需重新加载

如果 Timer 配置为在不重新加载的情况下工作，它将在下溢时停止，并且必须由软件重新启动。启动 Timer 之前，可以加载初始值。当通过设置 Timer 运行位启动时，Timer 开始从初始值计数下降到零。当 Timer 达到零时，下溢事件将在下一个时钟周期产生。下溢时 Timer 运行位被清除。下溢时 Timer 满标志被设置。下次需要再启动 Timer，需要先将满标志位通过软件清除。

Timer 配置为重新加载

如果 Timer 配置为下溢后重新加载操作，则会自动从重新加载寄存器重新加载 Timer，并再次启动计数。在启动 Timer 之前，可以将初始加载值设置为与重新加载值不同。Timer 满标志置起来表示下溢，在此模式下会自动清除。

Timer 模式 0/1

表 5-1 Timer 模式 0/1

Register or Flag Name	Mode 0	Mode 1
TL0	Timer0: 16 位 Timer, 重新加载	Timer0: 16 位 Timer, 无需重新加载
TH0		
TL1	Timer0 重新加载值	Timer1: 8 位 Timer, 重新加载
TH1		Timer1 重新加载值
T0RUN	Timer0 运行使能	Timer0 运行使能
T0FULL	Timer0 满标志	Timer0 满标志
T1RUN	—	Timer1 运行使能
T1FULL	—	Timer1 满标志

Timer 模块相关寄存器:

- TIMER0;
- TIMER1;
- TCON;
- TH0;
- TH1;
- TL0;
- TL1;
- TMOD;
- CFG2 (TIMEN)。

5.5.2 看门狗

看门狗 Timer 由 LPOSC 时钟计时。它在所有运行状态和空闲状态下都处于活动状态。额定超时发生在 4096/2.2 kHz(约 1.86 s)之后。为了避免看门狗 Timer 超时导致的重置事件, 必须通过定期设置 WDRES 标志, 来清除看门狗 Timer 的内部计数器。在应用程序代码中重置看门狗计时器。在 Normal Mode 下, 看门狗默认打开, 在 ISP Mode/Debug Mode 下, 看门狗功能是不活动的, 在 Normal Mode 下, 只有在 Run 状态和 Idle 状态看门狗能工作, 产生复位行为, 其余 Power 状态下看门狗都是关电的。

关联寄存器:

- CFG2 (用于重置看门狗的位 WDRES)。

5.5.3 硬件 CRC

AC5121 带有硬件 CRC-16 模块, 该模块根据 CRC-CCITT(多项式:1021)标准完成任意序列的 16 位 CRC 校验, 用户可以通过寄存器自定义 CRC 初始值。

字节序列的 CRC 校验

在应用程序中也会使用到 CRC 模块。为此，首先需要对 CRC 寄存器 SRL 和 SRH 加载初始值 Seed(自定义值 0xff, 0x00...), 随后 CRC 模块就可以对输入 Byte 数据流进行 CRC 计算, 得到校验结果的高 8 bit 和低 8 bit, 分别存放在寄存器 SRL 和 SRH 中。如果处理完数据串得到结果是 0x0000, 则置起结果有效标志位 VALID。可利用此标志位进行简单的数据校验, 发送端的数据经过 CRC 模块得到的 16bit 校验值, 随后接收端将数据和 16 bit 校验值依次写入 CRC 模块, 若发送端至接收端没有传输数据错误, 则 CRC 结果有效标志位 VALID 会被置起, 否则表示此次传输数据有误。

串行 Bit 流的 CRC 校验

CRC 模块还可以进行串行 Bit 流的 CRC 校验, SDSTB 位是串行 bit 选通信号。对于大于 1 个字节数据流的 CRC 校验, 则可以混合字节和串行 bit 流的处理方式, 先处理开始的一个字节, 然后通过 bit 选通信号选择相应串行 bit 位进行 CRC 校验, 最终结果存放在寄存器 SRL 和 SRH。

与硬件 CRC-16 模块相关联的寄存器:

- CFG0(SDATA, SDSTB, VALID)
- PDAT
- SRL
- SRH

5.5.4 UART 接口

AC5121 集成了一个硬件 UART 接口。注意在应用 UART 之前, 需要软件对 pinmux 进行设置, 设置 GPIO5 作为 UART_RX 以及 GPIO6 作为 UART_TX。UART 接口是全双工的, 即数据发送和接收可以同时工作。UART 接收端支持 2 byte 缓存, 即在软件读取前一次接收的 1 个 byte 数据之前, 还能够再接收一个 byte 数据。

UART 接收端和发送端包含独立的移位寄存器, 两种移位寄存器分别通过 UART_TXBUF 和 UART_RXBUF 进行访问。读取 UART_RXBUF 访问的是接收端的缓存, 往 UART_TXBUF 写数据则访问的是发送端的移位寄存器。

UART 接口支持 8 bit 数据和 1 个 stop bit 位模式, 同时支持奇偶校验。往 UART_TXBUF 写操作会激活发送操作。发送操作完成时, 硬件会把标志位 tx_ready 拉高。接收端的标志位 rx_ready 为高时标志着可以从接收端缓冲寄存器内读取数据。标志位 tx_ready 和 rx_ready 的清除和设置都是硬件自动完成。

UART 接口模块包含一个波特率产生器, 波特率产生器以系统时钟作为时钟, 时钟频率为 8 MHz。波特率产生器是两倍过采样的。用户可以通过设置寄存器 div_int[7:0]和 div_frac[4:0]来获得目标波特率。

下表说明波特率和对应的寄存器设置:

表 5-2 波特率和对应的寄存器设置

BaudRate	f_clk	div_int[7:0]	div_frac[4:0]
19200	8M	208	10
38400	8M	104	5
115200	8M	34	23
921600	8M	4	11

以下 SFR 寄存器作用于 UART 接口模块：

- UART_CTRL (UART control register)
- UART_TXBUF (UART serial transmit register)
- UART_STATUS (UART status register)
- UART_DIV_INT (Integer divide number to baud_rate generator)
- UART_DIV_FRAC (Fractional divide number to baud_rate generator)
- UART_RXBUF (UART serial receive register)

5.6 电源和复位

电源供应与 Reset 生成模块为 AC5121 提供多个电压域，主要有：

- 模拟电路电压域；
- 电池电压域 (VDDD/VDDA)；
- 数字 LDO 电压域；
- RF LDO 电压域；
- Flash 电压域。

Reset 生成模块为全芯片提供 reset 信号：

- Power On Reset；
- BOR Reset (内部 LDO 电压降低超过阈值，即 VREG 电压)；
- Under Voltage Reset (电池电压降低超过阈值，即 VDDA 电压)。

5.6.1 电池电压监测

芯片部分使用场景对电池电压有一定要求：

- RF 数据传输期间；
- Flash 数据读写、编程期间。

供电模块除了在各电压域电压过低时产生 reset 外，在上述应用场景下需要监测电池电压，并产生 warning 信号以提醒应用程序电压降低。

当 RF 有数据需要传输时，需要软件首先使能 TX 电池电压监测模块。RF 数据传输过程中，当检测到电池电压低于需要的阈值范围时，会复位 DSR1.BATTXOK flag 作为 warning 信号。RF 数据传输结束、芯片恢复 run state 后，需要检查该 flag 以确保 RF 数据传输期间电压正常。

置位 CFG1.UVWDET 使能 warning detector，复位 CFG1.UVWDET 关闭 warning detector。

5.7 测量单元

测量单元作为模拟信号和数字信号的接口。多通道选择器选择以下通道之一作为 13 bit ADC 的输入信号源：

- 压力传感器（集成内部 MEMS 芯片）
- Z 轴加速度传感器（集成内部 MEMS 芯片）
- X 轴加速度传感器（集成内部 MEMS 芯片）
- 温度传感器
- 电池电压传感器
- 外部输入通道（用于测量 ADC 性能）

该单元还包括绑线检测电路以检测 MEMS 和 ASIC 之间的电气连接是否完好。

5.8 RF 发射机

下图给出了 RF 发射机的结构框图。发射机包含 CPU 控制模式和发送控制器控制模式两种。由于 CPU 时钟可能会在发送信号频谱中产生毛刺，所以在 CPU 控制模式下，发射机只能在 CPU 处于空闲状态时才能发送数据。

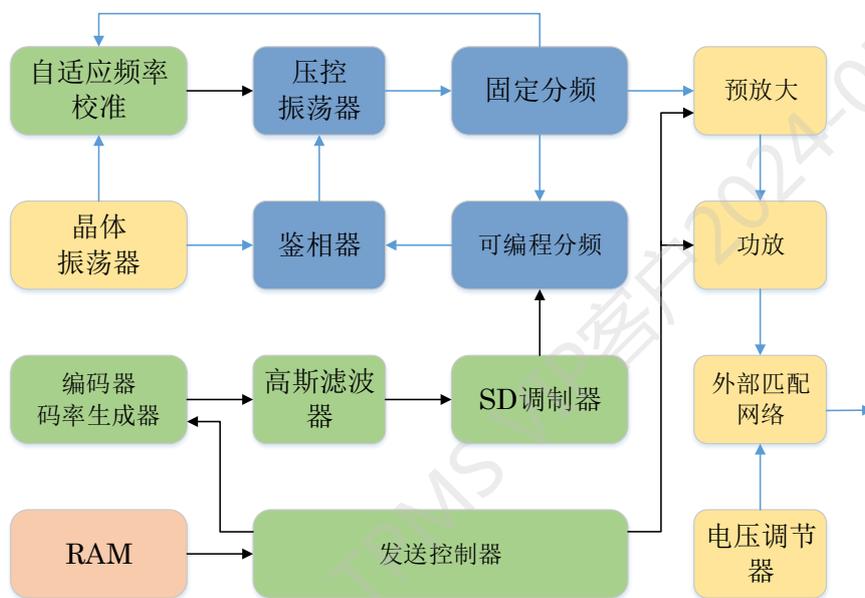


图 5-3 RF 发射机框图

RF 发送器通过数据寄存器 RFD 从 RF 发送控制器中获取发送数据，在 CPU 控制模式下，RFD 寄存器直接由应用代码按 byte 加载，从而实现单 byte 传输。当一个数据字节被加载至寄存器 RFD 后，编码器立刻开始编码操作。

RF 发送端包含一个 PLL 电路单元和一个工作在 26 MHz 的晶体 Oscillator，从而产生相应的载波信号。PLL 中包含一个 SD 小数调制器，可以在 FSK 调制时直接改变 PLL 的频率。发送器支持 315 MHz 和 434 MHz 两个频段。PLL 中 VCO 部分的频率取决于选择的频段、载波频率以及当前温度，VCO 必须在发送之前稳定。

5.8.1 编码模块

编码模块可以自动对数据字节进行曼彻斯特或双相符号编码，从而转换成曼彻斯特或双相符号比特流，编码的顺序由高至低。

编码模块的使用包含 CPU mode 和 FSM mode 两种模式。当采用 CPU mode 模式时，CPU 将数据加载至寄存器 RFD 中。当采用 FSM mode 模式时，必须事先将 RF 数据存储于专用 RAM 中，随后由控制器完成 RF 数据至 RFD 寄存器的搬移操作。

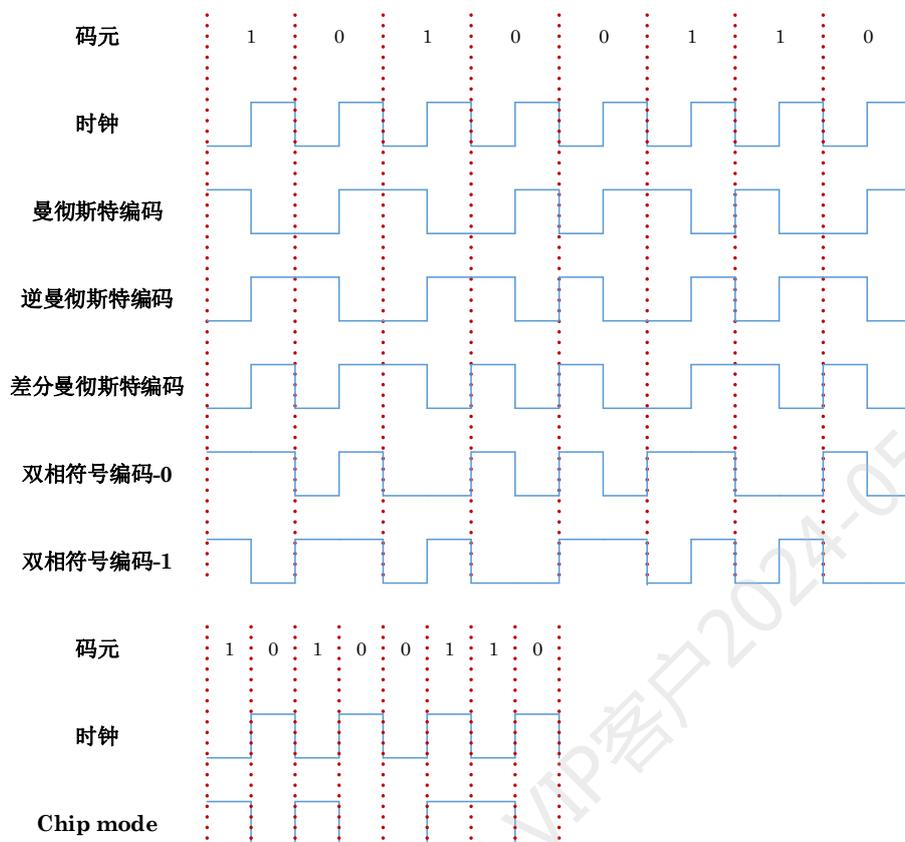


图 5-4 RF 编码方案

寄存器 RFMODE[2:0]用于控制当前的编码类型，不同编码类型情况下，输入与输出信号的时域波形如上图所示。

寄存器 RFDLEN 用于控制 RFD 寄存器中 bit 的发送个数 (MSB first)，默认值为 0，表示默认发送的 bit 数目为 1 bit。

编码模块提供两个状态位，RFBF 信号用于标识 RFD 寄存器为满，即不能对 RFD 寄存器进行写操作，RFSE 信号用于表征所有的 bit 皆发送完成。

编码模块具有监测功能，在 CPU mode 模式下，当 PLL 失锁 (OOL=1) 或者晶体 Oscillator 不稳定 (XFAIL=1) 时，自动让 XOSC、PLL、预放大、RF 功放失效，从而避免带外传输。无论 RF 功放失效是由 PLL 还是晶体 Oscillator 引起的，状态位 PADIS 自动拉高。该监测功能默认关闭，可通过配置寄存器 ENPLLMON 和 XOSCPLLMON 使能。

5.8.2 SD-PLL

传统的 PLL 单元具有一个可以对 PLL 输出时钟进行固定分频的分频器，而 SD-PLL 的分频系数则在一定的范围内变化。Sigma-Delta 调制小数分频器是 SD-PLL 中的关键电路，它利用 Sigma-Delta 调制技术对传统的小数分频器的量化误差进行处理，使该量化误差经多次量化和处理后转换为便于环路滤波的高通型相位噪声，从而即有效地抑制了小数杂散，又获得了小数分频精细分辨率。

Sigma-Delta 调制小数分频器输出一个连续的数据流，数据流中的每一个数据皆表示一个分频系数。基于 PLL 环路的行为，最终的输出频率等于参考时钟与分频系数均值的乘积。

控制信号 PLLINT[5:0] 用于配置输出频率中的整数分频系数部分，控制信号 PLLFRAC[20:0] 则用于控制小数分频系数部分，最终的输出频率为：

$$f_{RF_{center}} = f_{XTAL} \left(PLLINT + \frac{PLLFRAC}{2^{21}} \right)$$

5.8.3 FSK 调制

FSK 调制是 SD-PLL 的一部分，可以对编码后的信号进行调制。当输入信号为低时，生成 FSK 低频信号，反之，生成 FSK 高频信号。FSK 高频及低频信号与中心频率的频差由一个 8 位变量 FDEV 决定。

$$FSK_{HIGH} = f_{RF_{center}} + FDEV \frac{95 f_{XTAL}}{2^{23}}$$

$$FSK_{LOW} = f_{RF_{center}} - FDEV \frac{95 f_{XTAL}}{2^{23}}$$

5.8.4 高斯滤波器

为了降低 FSK 信号的占用带宽，使功率谱密度集中并且减少对邻道的干扰，将 FSK 调制信号通过一个高斯滤波器，可以有效减缓 FSK 调制信号的频率跳变。高斯型低通滤波器的频率特性表达式为：

$$H(f) = \exp \left[-(\ln 2/2)(f/B)^2 \right]$$

式中， B 为滤波器的 3 dB 带宽。高斯滤波器的参数 BT_s 用于描述滤波器的 3 dB 带宽 B 与码元速率的倍数关系。 BT_s 值越小，对带外辐射的抑制越明显，但是引入的码间串扰越大。

在相同的 `chip-rate` 情况下，滤波器的性能随着采样倍数的增加而降低，采样倍数决定于变量 `GFDIV[11:0]`。为了能够在调制成形和 RF 灵敏度下降之间取得折中，采用的采样倍数等于 16，此时 `GFDIV` 与 `BRDIV` 的关系为：

$$GFDIV = \frac{(BRDIV + 1)}{4} - 1$$

5.8.5 RF 功率放大器

采用较class-C具有更高效率的class-E功放，操作模式取决于匹配网络。为了保证RF发送信号的功率不依赖于电池电压并且维持恒定，引入一个稳压电路，提供稳压电源VDDPA。当寄存器 `RG_TPMS_RFREG_BYPASS` 使能，`RFreg`的输出电压就不可调，无限接近芯片系统的供电电压。当未使能时，`RFreg`能输出8档经过校准的电压供给PA使用。

当使用发送控制器控制发送流程时，可以自动实现功放的开启和关闭。如果使用 CPU 模式，功放单元由变量 `ENPA` 控制。

为了降低 RF 发送信号的占用带宽，功放模块不可以瞬时切换。在 FSK 调制和 GFSK 调制中，功放的阻抗缓变，斜变时间由变量 `RTIME` 控制。

5.8.6 晶体 Oscillator

芯片内置皮尔斯振荡电路产生 RF 部分使用的基准时钟信号。`Oscillator` 包含一个快速启动电路，用来加快 `Oscillator` 的启动速度。可以在启动阶段控制 `Oscillator` 的基准电流来优化 `Oscillator` 的启动时间。

在皮尔斯振荡电路中，晶体的负载电容 C_L 和电路并联，因此 C_L 会和晶体内部参数一起影响振荡频率。在典型电路中，晶体两端会各接一个到地的电容 C_{ext} ，因此 $C_L = C_{ext}/2$ 。请注意 PCB 以及芯片管脚上的寄生电容同样需要考虑在 C_{ext} 内。如果需要得到精确的振荡频率，还需要咨询晶体生产商有关内部参数。

5.9 RF 发送控制器

RF 发送控制器用于控制整个 RF 发送流程，可以独立于 CPU 完成 RF 相关 Analog 模块的开断以及 RF 数字控制器的使能。

RF 发送控制器支持发送一个数据帧序列，序列中各个数据帧由一个可定义的精确时延分隔开，该时延称为帧间延迟。帧间延迟可以在应用代码中进行定义，数据帧序列中的某个数据帧发送完成后，帧间 `Timer` 自动开始工作，并且将发送控制器恢复至运行模式。`Payload` 及帧间延迟皆可通过应用代码进行配置，芯片也可以切换回发送低功耗模式（推荐在帧间延迟结束前将芯片切换至低功耗模式）。

如果对帧间延迟的值进行修改，不会影响当前的帧间延迟周期，而是从下一个周期开始有效。当前帧间延迟周期结束时，自动将最新修改的帧间延迟载入相关寄存器，并且循环开始。

如果要退出当前循环，可以通过应用代码将帧间延迟配置为 0，但是该情况下控制器在退出循环之前会多发送一个数据帧。如果通过配置寄存器 `FSMSTOP` 来关闭循环，发送状态机会立即停止。

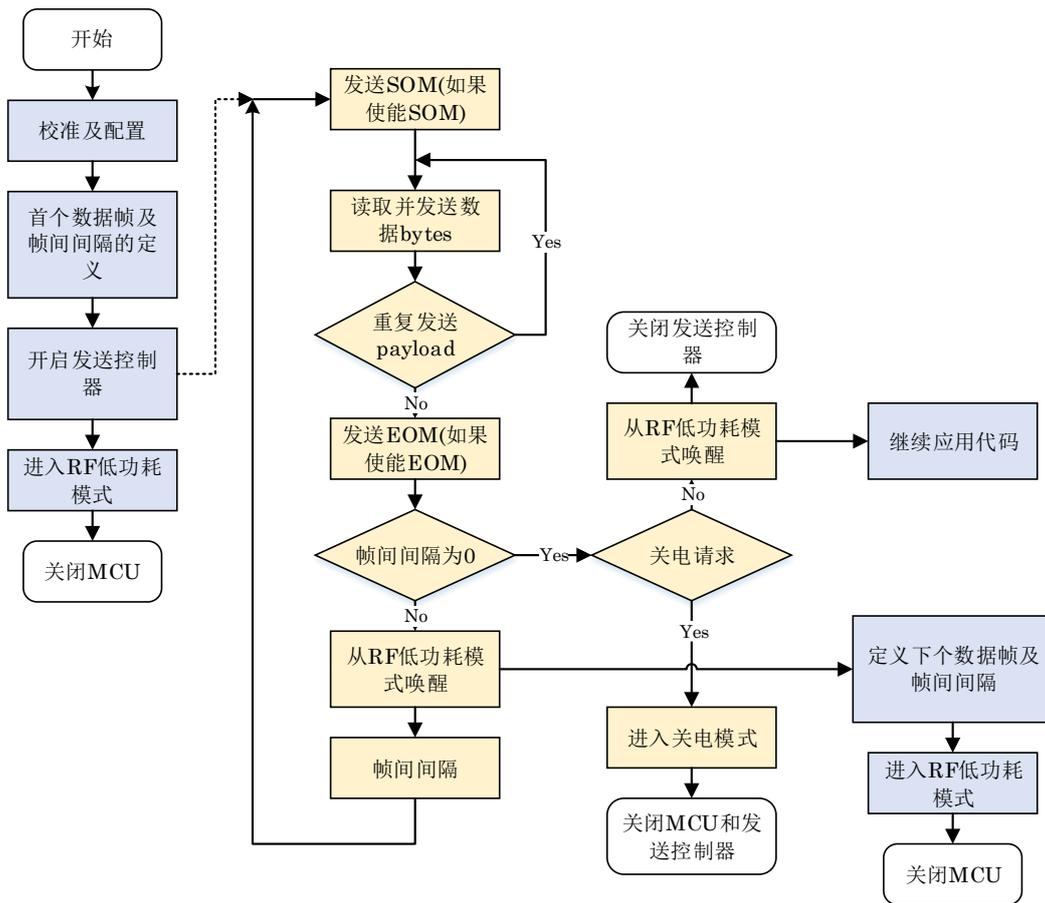


图 5-5 RF 发送控制器流程

RF 数字控制器主要由状态机组成，在 RF 发送控制器的控制下完成 RF 发送流程中编码、调制及滤波等流程。RF 发送帧中的 payload 部分由应用代码生成，存储在起始地址为 0x80 的 RAM 中。在使能 RF 发送控制器之后，将芯片切换至发送低功耗模式以降低功耗，此时 CPU 已经失效。在发送低功耗模式下，RF 数字控制器可访问 RAM，并且自动将 payload 部分的数据字节发送给编码模块。

RF 数字控制器发送的数据帧包含消息头 SOM、重复次数可定义的 payload 以及信息终止符 EOM。SOM 由 1~24 个 bit 构成，EOM 由 1~8 个 bit 组成。当前数据帧发送完成后，RF 发送控制器再根据相关配置，芯片恢复至运行状态或者进入掉电状态。消息头和终止符以 chip-rate 的速率发送，如下图所示。

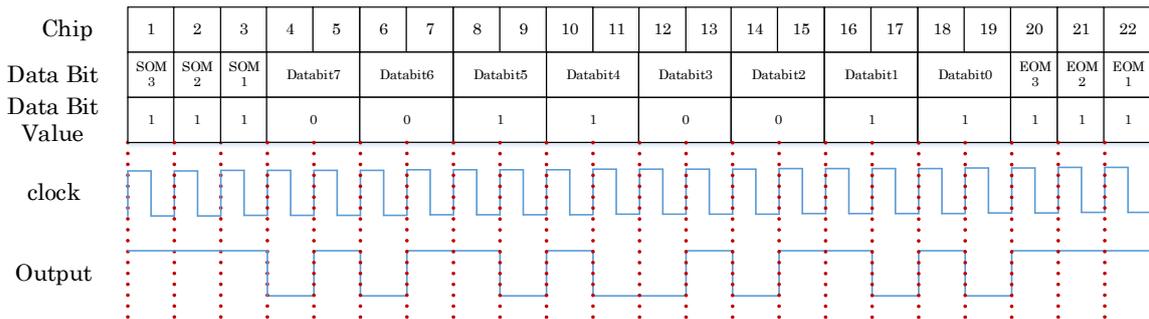


图 5-6 RF 发送数据帧

RF 发送控制器可配置为在 RF 报文发送完成后，即在最后一个传输字节期间测量电池电压是否低于最低阈值。如果报文是由帧间延迟分隔开的多个数据帧组成的，则电压测量只能在最后一帧结束时进行。如果帧间延迟为零，则多帧循环中止，因此 RF 发送控制器可以通过检查帧间延迟是否为零来识别当前帧是否是最后一帧。

5.10 低频接收器

LF 接收器设计用于 125 kHz 的载波频率的接收。该接收器能接收曼彻斯特编码的数据，且典型波特率为 3900 bit/s。LF 接收器可以通过有效载波检测（载波检测模式）或帧数据 ID 匹配（帧数据接收模式）来唤醒 AC5121。

可能的唤醒原因如下：

- 触发压力测量（按需测量压力功能）；
- 触发唯一 ID 号的传输（车轮定位功能）；
- 触发操作模式，例如生产和维护的诊断模式；
- 通过 LF 更新用户配置数据。

LF 接收器在载波检测模式下工作时，可以配置不同的阈值。在检测到有效的载波下，LF 接收器产生可屏蔽的唤醒事件。

LF 接收器可以配置用于帧数据接收。在这种配置中，数字基带对接收到的曼彻斯特编码的数据进行解码并产生唤醒事件。这些唤醒事件包括同步帧头匹配，唤醒 ID 匹配或数据接收（即数据缓冲区满或报文结束）。唤醒事件都有专用的唤醒标志，可独立屏蔽。

除 Thermal shutdown 状态外，LF 接收器可在所有器件状态下有效。在 TX lower power 模式下，由于任何 LF 事件都不会进行额外的操作，以确保连续的 RF 传输。如果在期间发生 LF 事件，只能存储在 WUF 寄存器中。

5.10.1 LF 模拟前端

LF 模拟前端框图如下图所示，主要分成以下几个部分：

- 1、信号放大通路

主要是由三级放大器构成，使得信号可以放大到一定幅度。

2、载波检测通路

主要是差模比较器，在设定的电压偏置下完成载波幅度的比较。

3、数据接收通路

主要是一些检波电路，滤波电路和数据解析电路构成，将载波信息变成数据信息。

4、增益控制通路

通过比较检波电路的输出与预设值，调整输入衰减网络，当输入信号幅度较大时，通过闭环调节减小输入信号幅度。

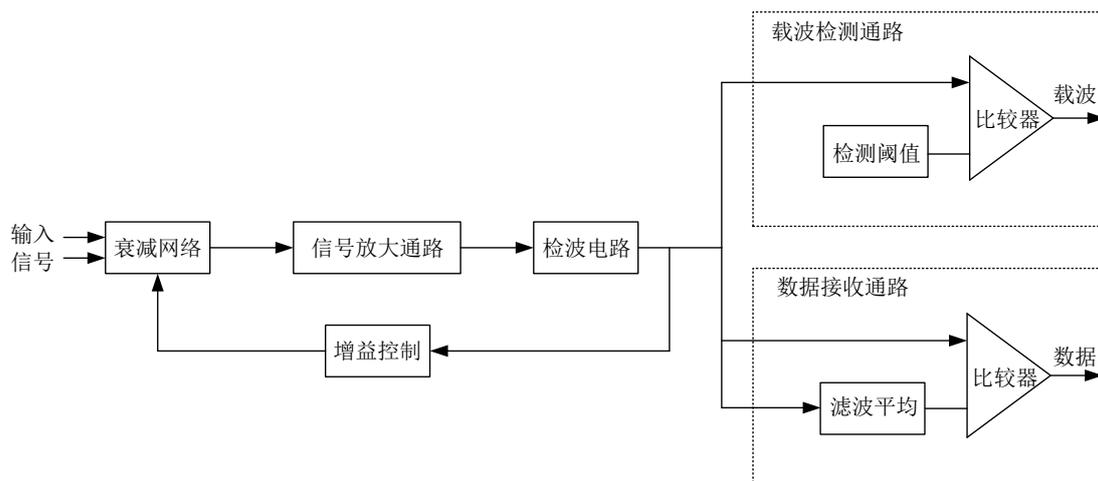


图 5-7 LF 模拟前端

5.10.2 LF 数字基带

低频接收机(LFDBB)用来接收额定的 125 kHz 的载波，同时支持接收经过曼彻斯特编码的 3.9 kHz 波特率的帧数据。低频接收机模块通常用来使 AC5121 从 Power-down 模式下唤醒。唤醒的方式可以是载波检测模式，或者帧数据匹配模式。

LFDBB 的工作时钟为 LFOSC。LFDBB 的功能主要如下：

1. 载波检测
2. 同步序列的检测
3. LF 唤醒 ID 的匹配检测
4. LF 报文的接收包含曼彻斯特解码(Manchester decoder)

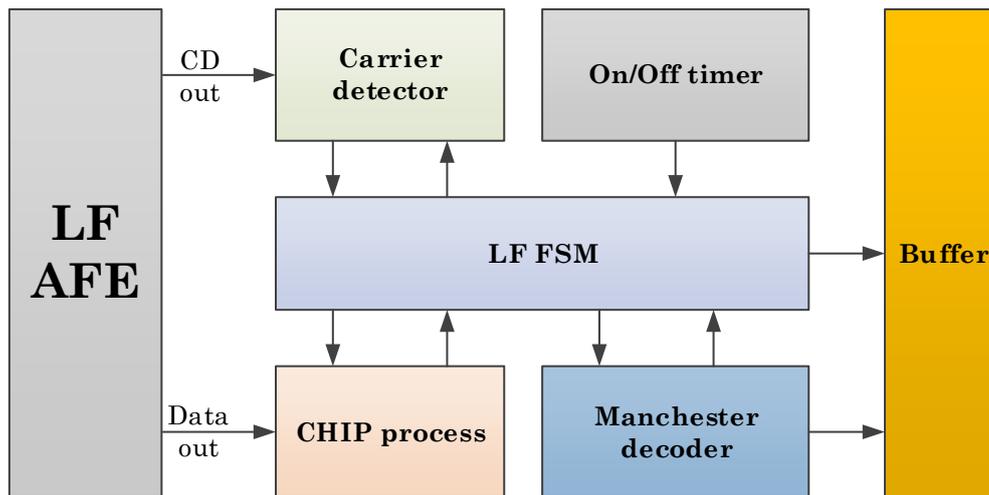


图 5-8 LF 数字基带

LF 唤醒 ID 识别

LF 接收器可以配置为识别一个或两个不同的唤醒 ID。ID 长度是 8 位或 16 位。以下寄存器与此功能相关联：

- LFDPCFG（用于定义 ID 编号（一个或两个）和 ID 长度）；
- LFDP0L 和 LFDP0H（ID0 的定义）；
- LFDP1L 和 LFDP1H（ID1 的定义）。

同步模式

LF 接收器期望固定的同步序列不能改变。该同步序列包含违反曼彻斯特编码的规则以便区分数据字节。

LF 数据接收

LF 接收器可以接收曼彻斯特编码数据。数据存储在 7 字节数据缓冲区中。如果接收到超过 7 个字节，缓冲区被覆盖（环形缓冲区）。接收器可配置为在数据字节已写入数据缓冲区的用户定义地址后发出唤醒事件。以下寄存器与数据接收相关联：

- LFDRXBYTE0 至 LFDRXBYTE6（数据缓冲区）；
- LFDERRORFLAGS（表示每个数据寄存器的数据是否发生覆盖）；
- LFDSTATUSFLAGS（表示每个数据寄存器中是否存在待处理数据）；
- LFDUFCFG（数据缓冲区唤醒地址的定义）。

5.10.3 LF 报文格式

LF 报文必须以前导码开头，以便让接收器为数据建立适当的阈值来解调。接下来是定义的同步模式。在同步模式之后是可选的 8 或 16 位长的唤醒 ID 和任意数量的数据字节。唤醒 ID 和数据字节均为曼彻斯特编码。

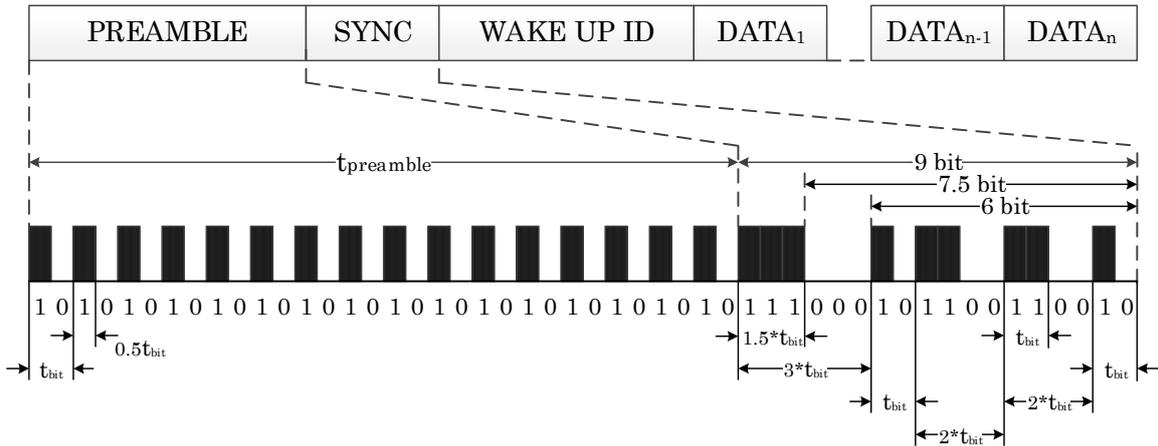


图 5-9 LF 报文格式

其中报文格式的SYNC部分有6bit, 7.5bit, 9bit三种SYNC类型, LF接收机根据LF配置信息进行对应的SYNC的识别。6bit 模式的bit为101100110010, 7.5bit模式的bit为000101100110010, 9bit模式的bit为1110001011001010, 其中bit单位为半个曼彻斯特编码编码长度。

5.10.4 LF 接收器控制

LF 接收器由状态机控制。通过相应地设置 LFBBM 位, 对应的流程以及 LF 接收器会处于不同的操作模式:

- 载波检测模式 (CWDM) ;
- 数据接收模式 (DRM) 。

表 5-3 LF 接收器状态

ENLFRX	ENOOTIM	ON-OFF Timer	LF Receiver
0	0	不使能	一直处于非激活
1	0	不使能	一直处于激活
1	1	ON 周期	激活
1	1	OFF 周期	非激活

在许多应用中, LF 接收器由 ON-OFF Timer 控制, 以减少电流消耗。由于 LF 信号与 LF 接收器定时异步, 因此当 ON 时间过去时, 某些动作不会简单地中断。如果通过设置位 ENLFRX, 则 LF 状态机自动初始化。在某些 LF 唤醒事件之后, 状态机等待用于初始化。在这种情况下, 应用程序代码需要通过设置重新初始化 LF 状态机, 进行 LFINIT 操作。没有重新初始化 LF 接收器就不会触发任何更多的唤醒事件。初始化后自动清除 LFINIT。如果使用 ON-OFF 计时器重新初始化将在 OFF 期间自动执行。注意所有数据接收模式下的唤醒事件通过清除 ENOOTIM 禁用 ON-OFF Timer。因此, 如果使用 ON-OFF Timer, 必须同时设置 ENOOTIM 和 LFINIT 才能在唤醒后完全重新初始化 LF 接收器配置。

在 LF 使能的情况下, FSM 首先会逐步打开相关的 Analog 部分电路。等 Analog 电路稳定后, 就会检查载波的幅度。此时根据软件配置的不同工作模式状态机会进行不同的跳转。

1. 载波检测模式

如果载波幅度满足并且对载波的有效性进行检测，直到满足要求后，会发出唤醒事件，并回到空闲状态。

2. 帧数据接收模式

如果载波幅度满足要求且载波的有效性也满足要求，此时状态机会进行 Data slice 的充电。待 Data slice 稳定后即进行同步序列的搜索。

在帧数据接收的过程中，首先会进行同步序列的搜索。同步序列是固定且不可更改的。在搜索到匹配的同步序列后，会进行 ID 的匹配操作。ID 匹配完成后，开始进行真正的报文数据的接收。报文数据放在 7 byte 的缓存中供软件进行读取。需要注意的是，ID 以及报文均为曼彻斯特编码，因此同步头序列匹配后，曼彻斯特解码模块即会打开。

5.11 I/O 端口

AC5121 具有 7 个通用 I/O 端口，可通过 SFR 在应用程序代码中访问这些端口。端口 GPIO5、GPIO6 分别与 UART_RX 和 UART_TX 共享。用户可以在上电之前，通过将 GPIO0~GPIO3 驱动到不同的值之后上电以进入不同的模式。如果不在上电之前驱动相应的 GPIO，则默认进入 Normal Mode。此外，GPIO2 可配置为外部唤醒源，将设备从 Power down 状态唤醒或从 Idle 状态恢复。GPIO2 唤醒可配置为高或低电平有效。在 AC5121 中，默认设置为 GPIO2 输入为低电平时唤醒，也可以通过配置 SFR 设置为 GPIO2 输入高电平时唤醒。

为了获得对外部电磁场的最佳抗扰度，建议不要连接未使用的 GPIO 引脚并将其配置为输出电平为“1”的输出。

与 I/O 端口相关联的寄存器有：

- GPIO_DIR
- GPIO_OUT
- GPIO_PU
- GPIO_PD
- GPIO_DS
- GPIO_IDR

6 应用原理图

6.1 AC5121 典型应用原理图

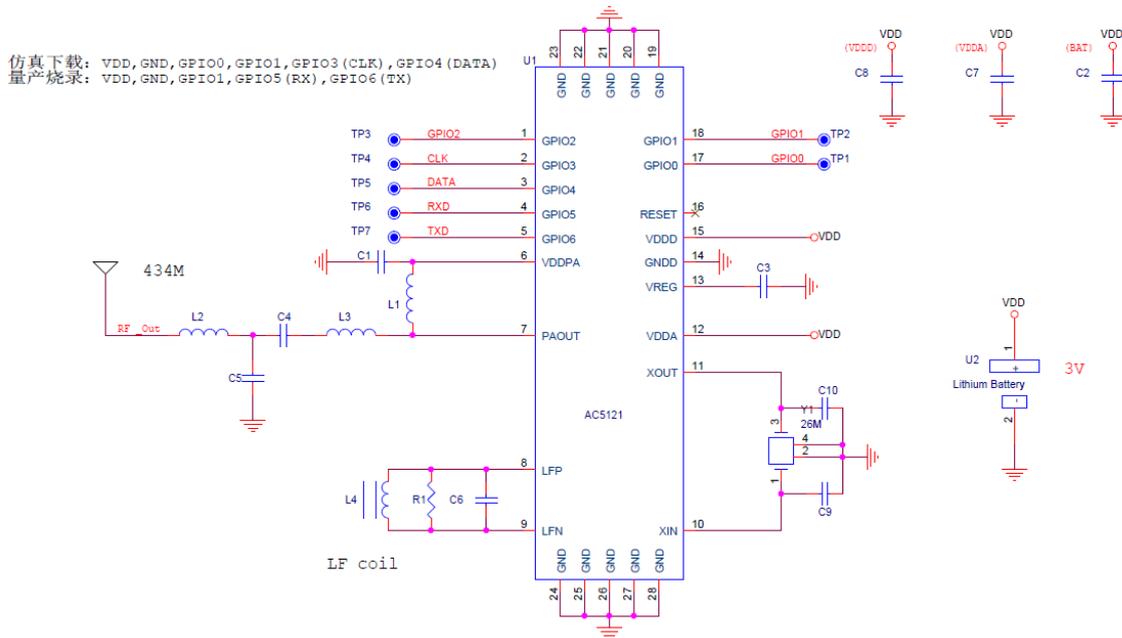


图 6-1 AC5121 应用原理图

表 6-1 AC5121 应用原理图组件值

单元	最小值	标准值	最大值	单位	说明
C1	—	47	—	nF	VDDPA 引脚滤波电容
C2	—	10	—	uF	电池 Bulk 电容
C3	—	100	—	nF	VREG 引脚滤波电容
C4,C5	—	—	—	—	RF 匹配网络, 视天线阻抗和发射频率与功率而定
L1,L2,L3	—	—	—	—	
C6	—	220	—	pF	LF 匹配电容
C7,C8	—	100	—	nF	电源引脚滤波电容
C9,C10	—	10	—	pF	外部负载电容值视晶体型号而定
R1	—	40.2	—	kOhm	LF 匹配电阻
L4	—	7.2	—	mH	e.g.4513TC-725XGL/Coilcraft
Y1	—	26	—	MHz	e.g.TXC-AM26000304

7 参考设计

7.1 参考设计原理图

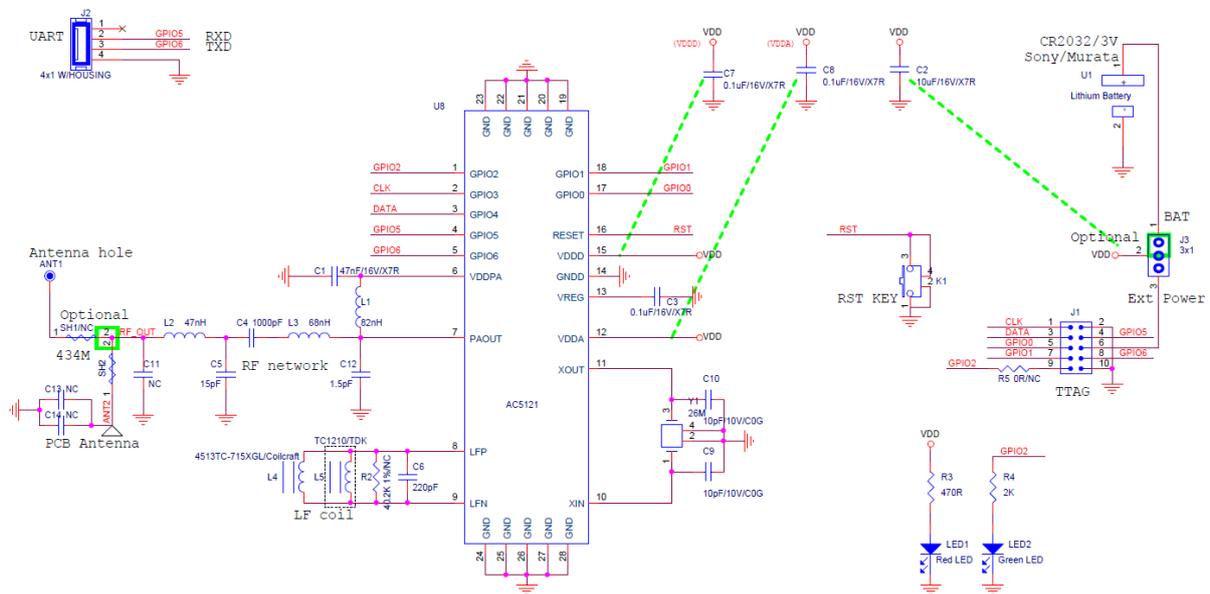


图 7-1 参考设计原理图

7.2 参考设计 PCB TOP 层

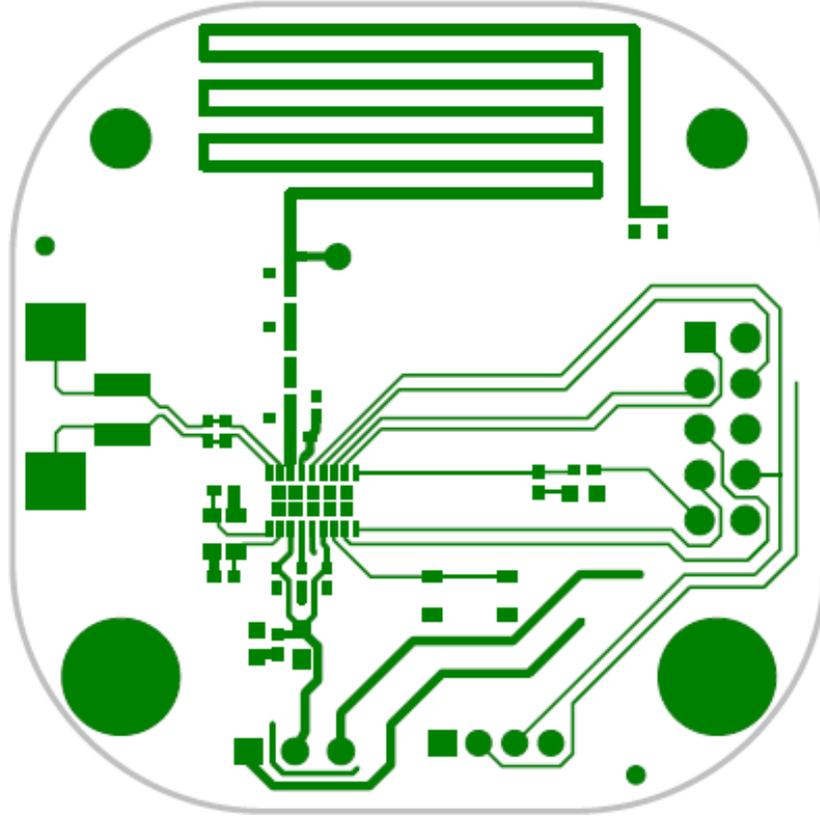


图 7-2 参考设计 PCB TOP 层

7.3 参考设计 PCB Bottom 层



图 7-3 参考设计 PCB Bottom 层

TPMS VIP客户2024-05-29 15:33:02

7.4 参考设计部件 TOP 层

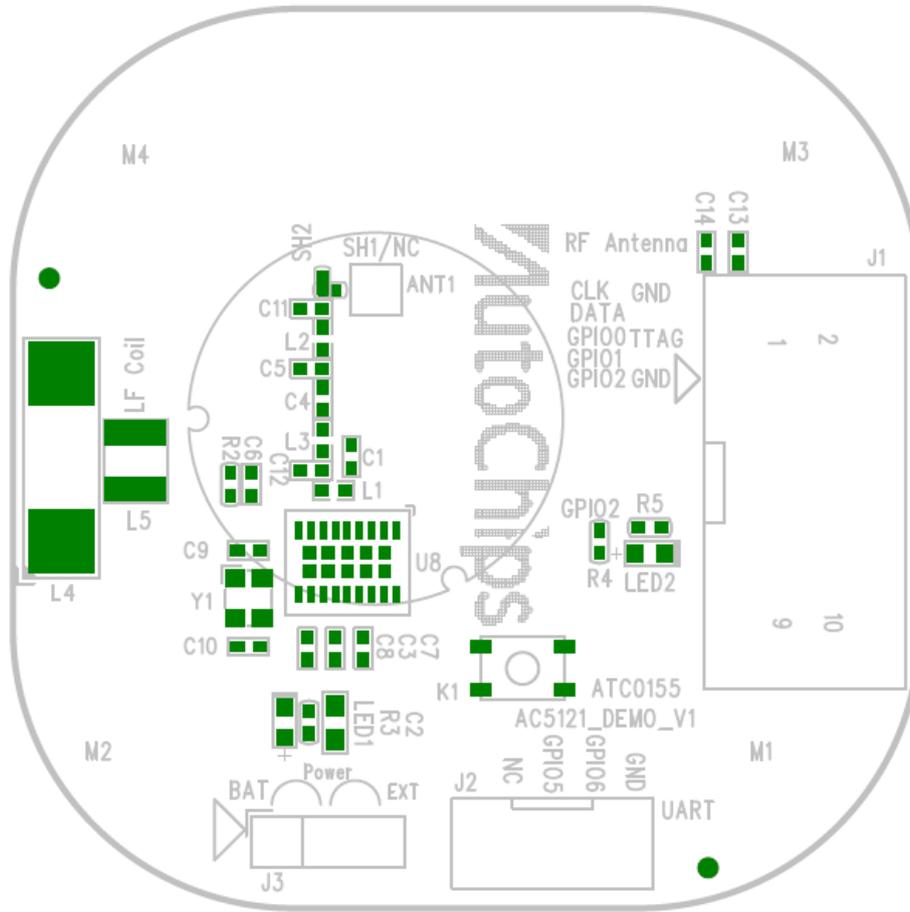


图 7-4 参考设计部件 TOP 层

7.5 参考设计部件 Bottom 层

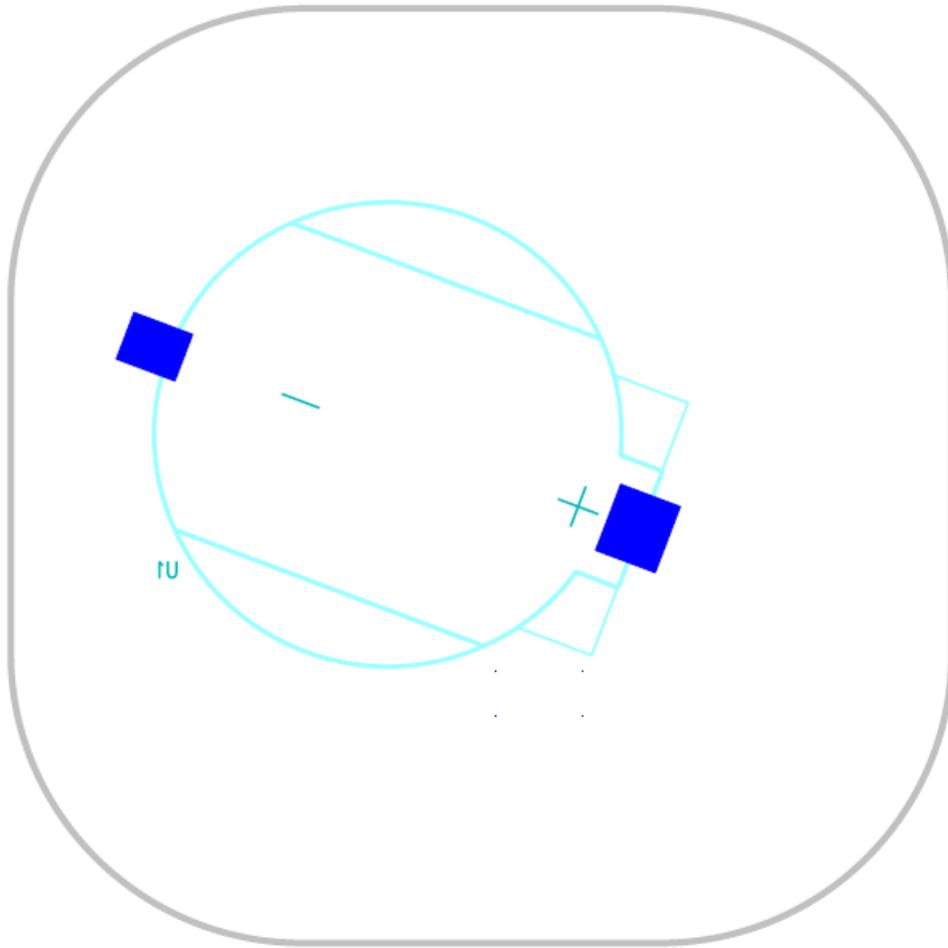


图 7-5 参考设计部件 Bottom 层

8 封装信息

8.1 封装外形

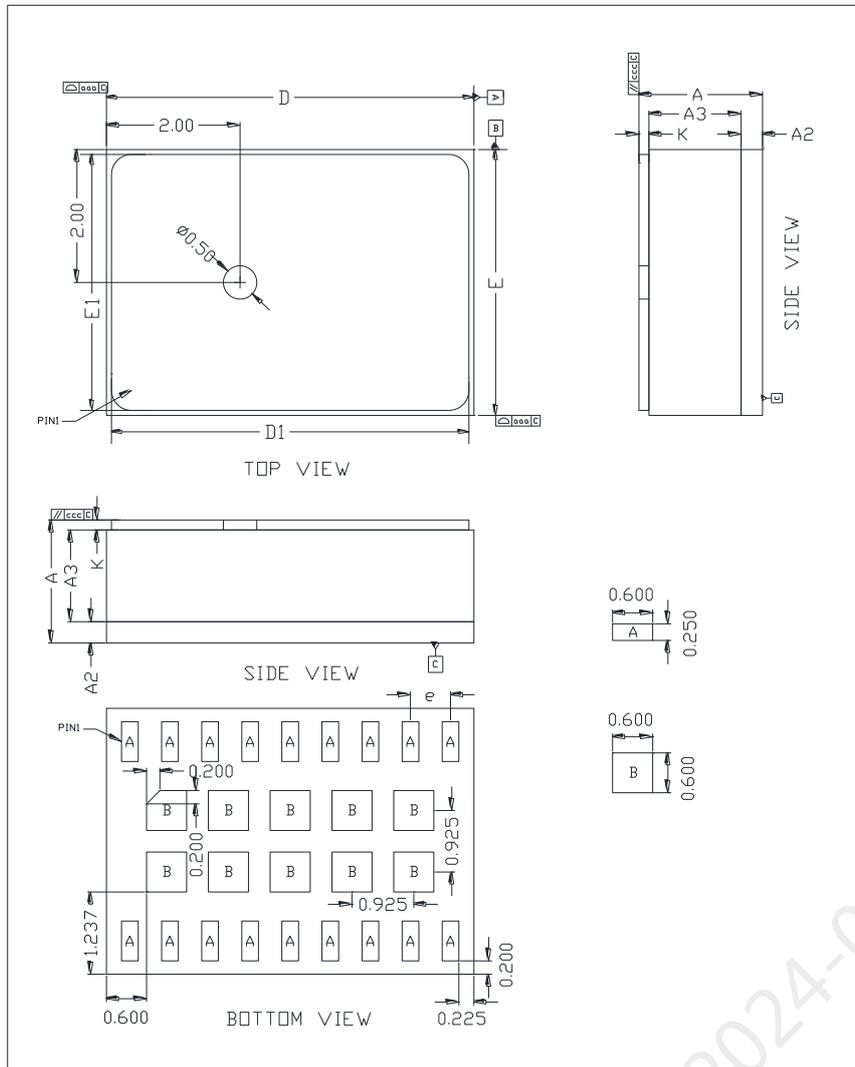


图 8-1 LGA - 18 - PIN, 5.5 x 4 毫米栅格阵列封装外形(非 JEDEC 标准)

说明

1. 该图绘制比例和实物比例有差别；
2. 尺寸以毫米表示和度量。

表 8-1 LGA18 – 18 引脚， 5.5 x 4 毫米栅格阵列封装机械数据

数据项	符号	最小值	标准值	最大值
封装总厚度	A	1.73	1.85	1.97
基板厚度	A2	0.28	0.32	0.36
模塑厚度	A3	1.33	1.38	1.43
盖子厚度	K	0.12	0.15	0.18
封装体长度	D	5.40	5.50	5.60
盖子长度	D1	5.30	5.35	5.40
封装体宽度	E	3.90	4.00	4.10
盖子宽度	E1	3.80	3.85	3.90
引脚间距	e	BSC 0.6		
封装尺寸公差	aaa	0.10		
封装平整度	ccc	0.05		



1. 尺寸以毫米表示和度量。

8.2 LGA – 18 – PIN, 5.5 x 4 mm 产品正印

下图给出了顶部正印方向与引脚 1 标识符位置的示例。

引脚1标识符

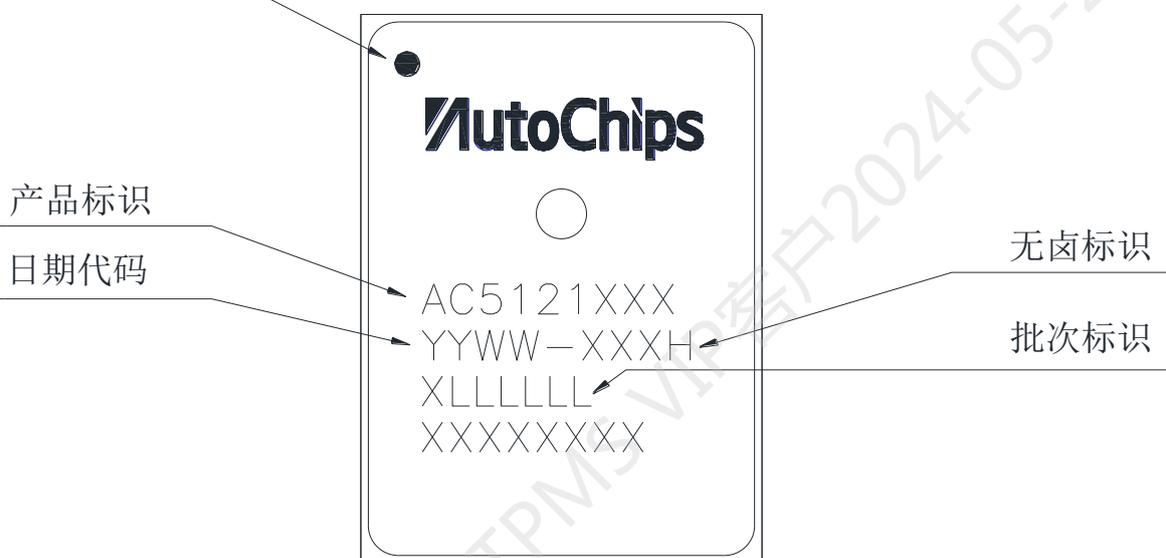


图 8-2 LGA – 18 – PIN, 5.5 x 4 mm 正印示例（封装顶视图）

8.3 加速度传感器方向

下图给出了 X 轴、Z 轴加速度传感器的方向。

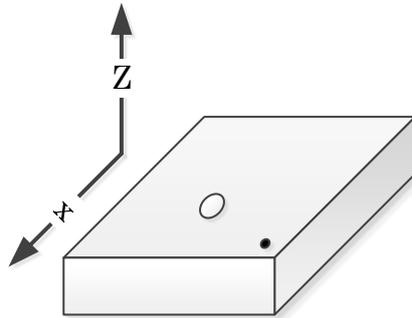


图 8-3 加速度传感器方向示意图

8.4 卷带包装方向

Pin 1 点在左上方，如下图所示：

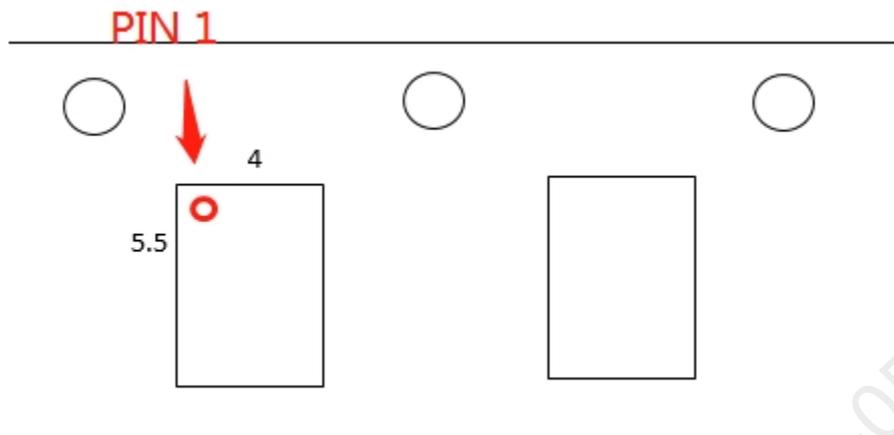


图 8-4 卷带包装方向

8.5 存储条件

密封存储寿命 12 个月，存储条件： $\leq 40^{\circ}\text{C}$ ， $\leq 90\% \text{ R.H.}$ 。

密封开启后在 SMT 车间 168 小时内使用完。