



# LPC5411x

32 位 ARM Cortex-M4/M0+ MCU ; 104 kB SRAM ; 512 kB flash ,  
3 x I2C, 2 x SPI, 4 x USART, 32 位计数器 / 定时器,  
SCTimer/PWM, 12 位 5.0 MSPS ADC

修订版 1 — 2016 年 12 月 23 日

产品数据手册

## 1. 简介

LPC5411x 系列是基于 ARM Cortex-M4 的嵌入式应用微控制器。这些器件包含一个 ARM Cortex-M0+ 协处理器，多达 192 KB 的片上 SRAM，多达 256 的片上闪存，支持免晶振运行的全速 USB 设备接口，带 PDM 麦克风接口和 I2S 的 DMIC 子系统，5 个通用定时器，一个 SCTimer/PWM，一个 RTC/ 警报定时器，一个 24 位多速率定时器 (MRT)，一个窗口看门狗定时器 (WWDT)，8 个灵活串行通信外设（每个可以为 USART、SPI 或 I2C 接口），以及一个 12 位 5.0 M 取样 / 秒 ADC，以及一个温度传感器。

ARM Cortex-M4 是一款 32 位内核，具有低功耗、易调试、支持模块高度集成等多种系统增强优势。ARM Cortex-M4 内核 CPU 采用 3 级流水线和哈佛架构，具有独立的本地指令和数据总线以及用于系统外设的第三总线，同时还包含一个支持不确定分支操作的内部预取单元。ARM Cortex-M4 支持单周期数字信号处理器和 SIMD 指令。内核中集成硬件浮点运算单元。

ARM Cortex-M0+ 协处理器是一款高能效、简单易用的 32 位内核，该产品与 Cortex-M4 内核的代码和工具相互兼容。Cortex-M0+ 协处理器可提供高达 100 MHz 的性能，具有简单指令集和缩减的代码大小。

## 2. 特性和优势

- 双处理器内核：ARM Cortex-M4 和 ARM Cortex-M0+。两个内核均可达到最高 100 MHz 的运行频率。
- ARM Cortex-M4 内核（r0p1 版本）：
  - ◆ ARM Cortex-M4 处理器，运行频率高达 100 MHz。
  - ◆ 浮点运算单元 (FPU) 和存储器保护单元 (MPU)。
  - ◆ ARM Cortex-M4 内置可嵌套中断向量控制器 (NVIC)。
  - ◆ 非屏蔽中断 (NMI) 输入，多种中断源可供选择。
  - ◆ 串行线调试 (SWD)，具有 6 个指令断点，两个语义比较器和 4 个观察点。包含串行线输出，用于增强调试功能。
  - ◆ 系统定时器。



- ARM Cortex-M0+ 内核
  - ◆ ARM Cortex-M0+ 处理器，运行频率高达 100 MHz（使用与 Cortex-M4 相同的时钟），具有单周期乘法器和快速单周期 I/O 端口。
  - ◆ ARM Cortex-M0+ 内置可嵌套中断向量控制器 (NVIC)。
  - ◆ 非屏蔽中断 (NMI) 输入，多种中断源可供选择。
  - ◆ 串行线调试，具有四个中断点和两个观察点。
  - ◆ 系统定时器。
- 片上存储器：
  - ◆ 多达 256 KB 片上闪存程序存储器，带闪存加速器和 256 字节页擦写。
  - ◆ 多达 192 KB 总 SRAM，包含 160 KB 连续主 SRAM 和 I&D 总线上额外的 32 KB SRAM。
- ROM API 支持：
  - ◆ Flash 在应用编程 (ISP) 和在系统编程 (IAP)。
  - ◆ 基于 ROM 的 USB 驱动程序 (HID、CDC、MSC 和 DFU)。支持通过 USB 更新 flash。
  - ◆ 支持通过闪存、USART、SPI 和 I<sup>2</sup>C 中的有效用户代码引导。
  - ◆ 旧式、单图像以及双图像引导。
- 串行接口：
  - ◆ Flexcomm 接口包含 8 个串行外设。每个外设可通过软件选择作为 USART、SPI 或 I<sup>2</sup>C 接口。两个 Flexcomm 接口也包含 I<sup>2</sup>S 接口。每个 Flexcomm 接口包含一个 FIFO，支持该 Flexcomm 接口所支持的 USART、SPI 和 I<sup>2</sup>S。每个 Flexcomm 接口具有多种时钟选项，包含一个共享的分数波特率生成器。
  - ◆ I<sup>2</sup>C 总线接口支持 Fast-Mode 和 Fast-Mode Plus，数据传输率高达 1 Mbit/S，具有多种地址识别和监控模式。两组真正的 I<sup>2</sup>C 焊盘，支持从设备高速模式 (3.4 Mbit/S)。
  - ◆ 免晶振 USB 全速器件接口。
- 数字外设：
  - ◆ DMA 控制器，具有 20 个通道和 20 个可编程触发器，能够访问所有存储器和支持 DMA 的外设。
  - ◆ 多达 48 个通用输入/输出 (GPIO) 引脚。大部分 GPIO 具有可配置的上拉/下拉电阻，可编程开漏模式，以及输入逆变器。
  - ◆ GPIO 寄存器位于 AHB 上，以支持快速存取。
  - ◆ 多达 8 个 GPIO 可选择为引脚中断 (PINT)，由上升沿、下降沿或两种输入沿触发。
  - ◆ 两组 GPIO 中断 (GINT) 支持基于输入状态逻辑 (AND/OR) 组合的中断。

- ◆ CRC 引擎。
- 模拟外设：
  - ◆ 12位ADC，具有12个输入通道以及多个内部和外部触发器输入，采样速率高达5.0 M 采样 / 秒。该 ADC 支持两个独立的转换序列。
  - ◆ 连接至 ADC 的集成式温度传感器。
- DMIC子系统包含一个双通道PDM麦克风接口、灵活抽取器、16条FIFO、可选DC锁定、硬件语音活动检测，以及将经过处理的输出数据流式传输至 I<sup>2</sup>S 的选项。
- 定时器
  - ◆ 5个32位标准通用定时器/计数器，其中4个支持多达4个采集输入和4个比较输出、PWM 模式和外部计数输入。可选择特定的定时器事件，以生成 DMA 请求。第5个定时器没有外部引脚连接，可用于内部定时操作。
  - ◆ 一个 SCTimer/PWM，具有8个输入和8个输出功能（包括采集和匹配）。输入和输出可引至或引自外部引脚，也可接到或来自于内部选定外设。在内部，SCTimer/PWM 支持10个采集/匹配，10个事件和10个状态。
  - ◆ 32位实时时钟(RTC)，以1 S分辨率在始终开启的电源域内运行。RTC中的定时器可用于唤醒所有低功耗模式（包括深度掉电模式），具有1 ms分辨率。
  - ◆ 多通道多速率24位定时器(MRT)，用于在多达4种可编程固定速率下重复生成中断。
  - ◆ 窗口化看门狗定时器(WWDT)。
- 时钟生成：
  - ◆ 12 MHz 内部自激振荡器(FRO)。该振荡器提供可选择的48 MHz或96 MHz输出，以及一个可用作系统时钟的12 MHz输出（从所选的较高频率中分离）。FRO在整个电压和温度范围内调校为±1%精度。
  - ◆ 外部时钟输入的时钟频率高达25 MHz。
  - ◆ 看门狗振荡器(WDTOSC)，频率范围为6 kHz至1.5 MHz。
  - ◆ 32.768 kHz 低功耗 RTC 振荡器。
  - ◆ 系统PLL支持CPU以最高CPU速率工作，无需高频外部时钟。可通过内部FRO 12 MHz输出、外部时钟输入CLKIN或RTC振荡器运行。
  - ◆ 带分频的时钟输出功能。
  - ◆ 用于测量片和片下时钟信号频率的频率测量单元。
- 功率控制：
  - ◆ 可编程PMU（电源管理单元）用于尽可能降低功耗，匹配不同性能水平的需求。
  - ◆ 低功耗模式：睡眠、深度睡眠和深度节电模式。

- ◆ 作为从设备时，可通过 USART、SPI 和 I2C 外设的活动从深度睡眠模式下唤醒。
- ◆ Micro-Tick 定时器通过看门狗振荡器运行，可用于唤醒任何低功耗模式下的器件。
- ◆ 上电复位 (POR)。
- ◆ 带独立阈值的掉电检测 (BOD)，用于中断和强制复位。
- 1.62 V 至 3.6 V 单电源。
- 支持 JTAG 边界扫描。
- 128 位唯一器件识别序列号。
- 工作温度范围为 -40 °C 至 +105 °C。
- 可作为 WLCSP49 和 LQFP64 封装提供。

### 3. 订购信息

表 1. 订购信息

产品型号	封装			版本
	名称	说明		
LPC54113J256UK49	WLCSP49	晶圆级芯片尺寸封装; 49 (7 x 7) 个凸点; 3.436 x 3.436 x 0.525 mm		-
LPC54114J256UK49	WLCSP49	晶圆级芯片尺寸封装; 49 (7 x 7) 个凸点; 3.436 x 3.436 x 0.525 mm		-
LPC54113J128BD64	LQFP64	塑封薄型四方扁平封装; 64 引脚; 主体尺寸 10 x 10 x 1.4 mm		SOT314-2
LPC54113J256BD64	LQFP64	塑封薄型四方扁平封装; 64 引脚; 主体尺寸 10 x 10 x 1.4 mm		SOT314-2
LPC54114J256BD64	LQFP64	塑封薄型四方扁平封装; 64 引脚; 主体尺寸 10 x 10 x 1.4 mm		SOT314-2

#### 3.1 订购选项

表 2. 订购选项

产品型号	flash (单位: KB)	SRAM (单位: KB)					具备FPU的 Cortex-M4	Cortex-M0+	USB FS	GPIO
		SRAMX	SRAM0	SRAM1	SRAM2	总计				
LPC54113J256UK49	256	32	64	64	32	192	1	0	1	37
LPC54114J256UK49	256	32	64	64	32	192	1	1	1	37
LPC54113J128BD64	128	32	64	-	-	96	1	0	1	48
LPC54113J256BD64	256	32	64	64	32	192	1	0	1	48
LPC54114J256BD64	256	32	64	64	32	192	1	1	1	48

### 4. 标记

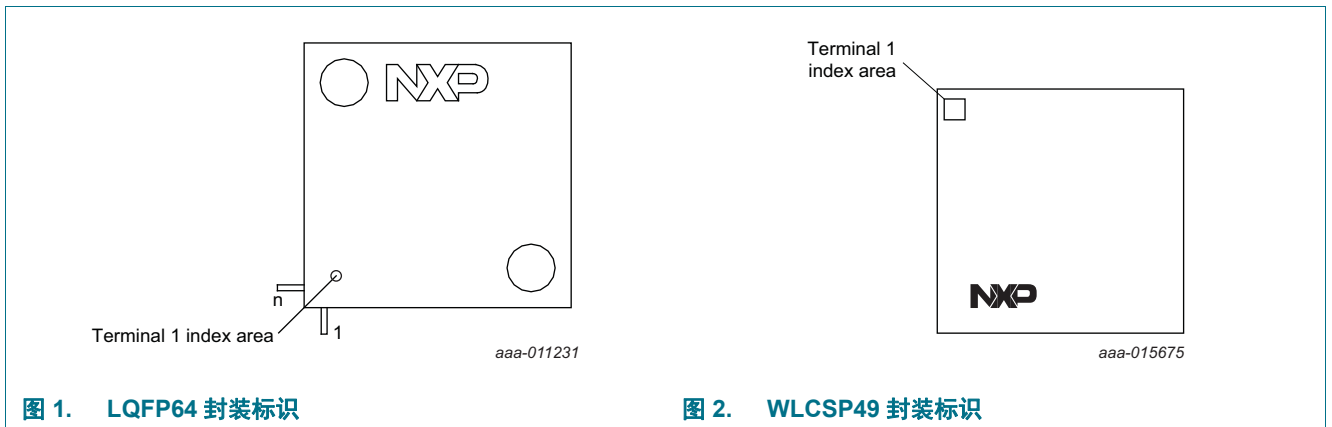


图 1. LQFP64 封装标识

图 2. WLCSP49 封装标识

LPC5411xLQFP64 封装具有下列顶端标记:

- 第一行: LPC5411xJyyy
  - x: 4 = 双核 (M4、M0+)
  - x: 3 = 单核 (M4)
  - yyy: flash 大小
- 第二行: BD64
- 第三行: xxxxxxxxxxxx
- 第四行: xxxyywwx[R]x
  - yyww: 日期代码, 其中 yy = 年, ww = 周。
  - xR = 启动代码版本和器件修订。

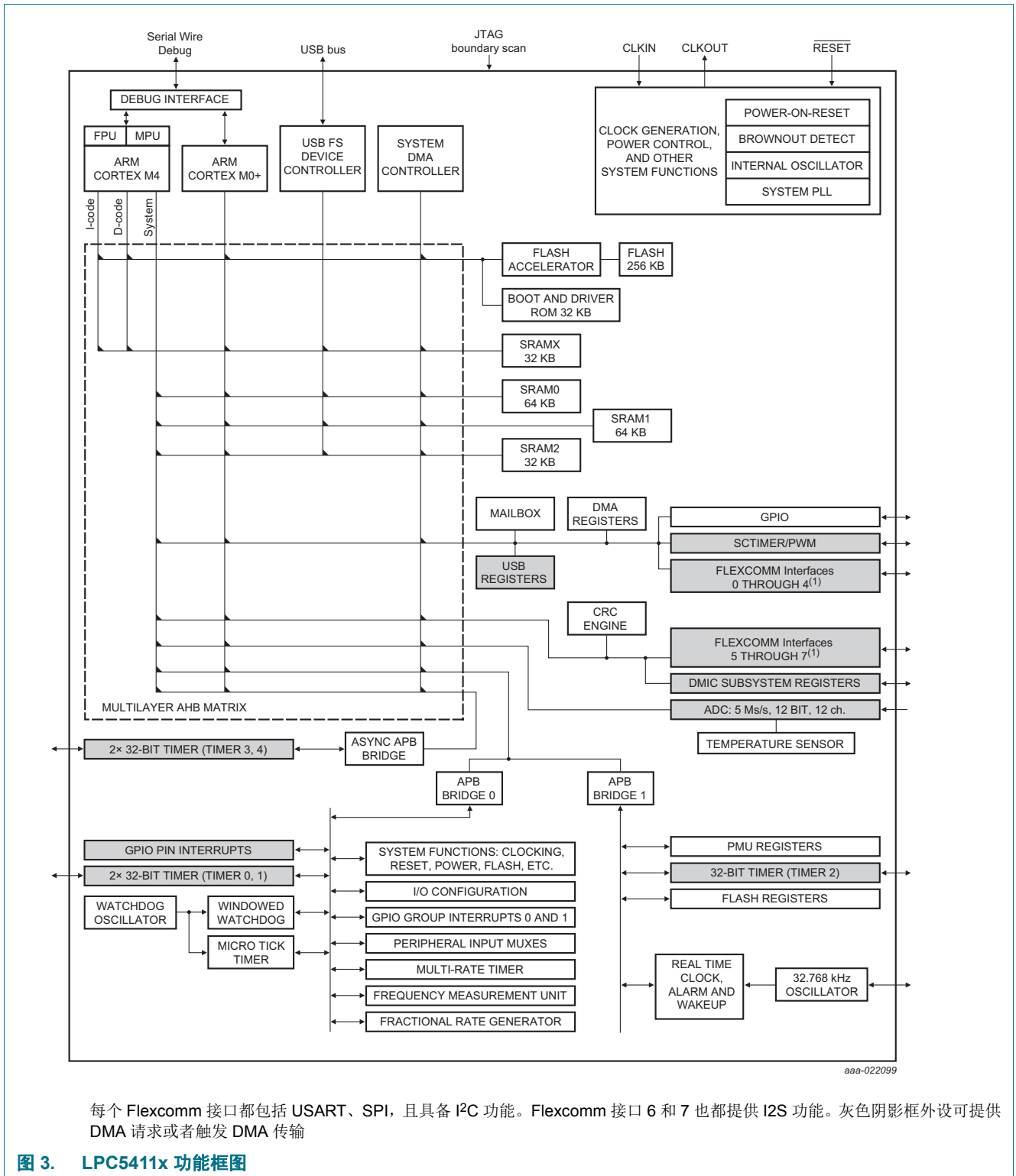
LPC5411xWLCSP49 封装具有下列顶端标记:

- 第一行: LPC5411x
  - x: 4 = 双核 (M4、M0+)
  - x: 3 = 单核 (M4)
- 第二行: JxxxUK49
  - xxx: flash 大小
- 第三行: xxxxxxxx
- 第四行: xxxyyww
  - yyww: 日期代码, 其中 yy = 年, ww = 周。
- 第五行: xxxxx
- 第六行: NXP x[R]x
  - xR = 启动代码版本和器件修订。

表 3. 器件修订表

	修订说明
'0A'	对启动代码版本 18.0 的初始器件修订。

5. 功能框图



每个 Flexcomm 接口都包括 USART、SPI，且具备 I<sup>2</sup>C 功能。Flexcomm 接口 6 和 7 也都提供 I2S 功能。灰色阴影框外设可提供 DMA 请求或者触发 DMA 传输

图 3. LPC5411x 功能框图

## 6. 引脚信息

### 6.1 引脚配置

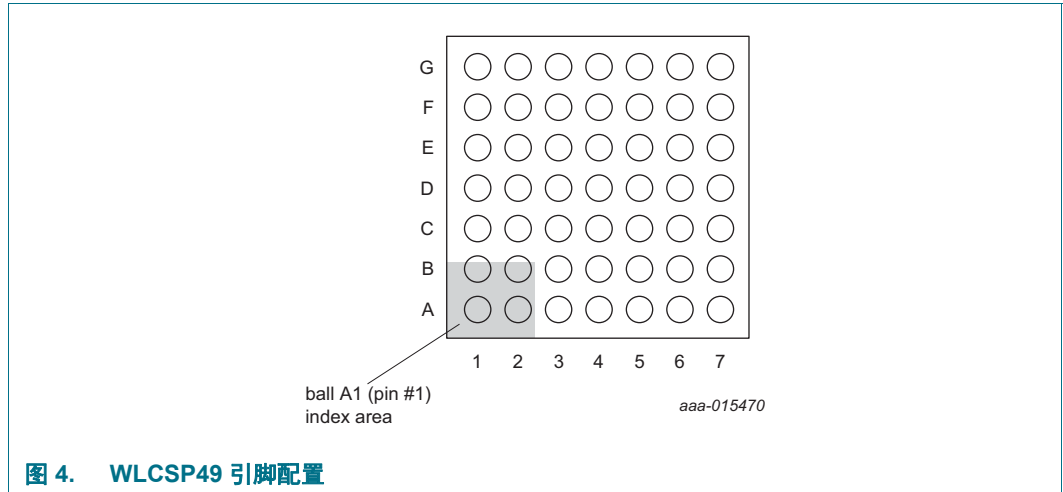


图 4. WLCSP49 引脚配置



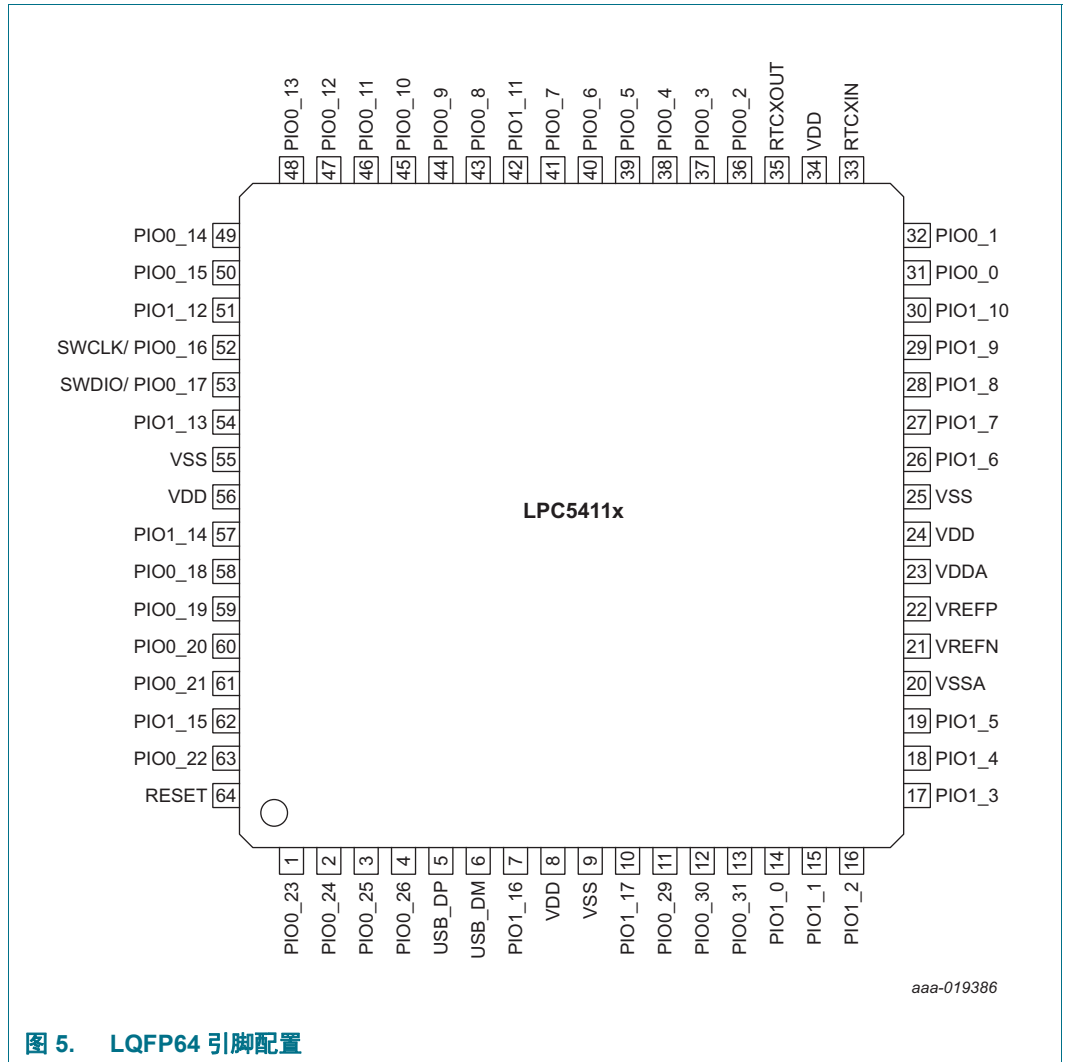


图 5. LQFP64 引脚配置

## 6.2 引脚说明

在 LPC5411x 上，数字引脚可分组至两个端口。每个数字引脚可能会支持最多四个不同的数字功能、一个模拟功能，包括通用 I/O (GPIO)。

表 4. 引脚说明







符号	49-pin	64 引脚	 复位状态	类型	说明	
PIO0_0	A6	31		PU	I/O	<b>PIO0_0</b> — 通用数字输入 / 输出引脚。 注：在 ISP 模式下，此引脚被设置为提供 Flexcomm 接口 0 USART RXD 功能。
					I/O	<b>FC0_RXD_SDA_MOSI</b> — Flexcomm 接口 0: USART RXD、I2C SDA、SPI MOSI。
					I/O	<b>FC3_CTS_SDA_SSEL0</b> — Flexcomm 接口 3 USART CTS、I2C SDA、SPI SSEL0。
					I	<b>CTimer0_CAP0</b> — 32 位 CTimer0 捕获输入 0。
					O	<b>R</b> — 保留。 <b>SCT0_OUT3</b> — SCT0 输出 3。PWM 输出 3。
PIO0_1	B6	32		PU	I/O	<b>PIO0_1</b> — 通用数字输入 / 输出引脚。 注：在 ISP 模式下，此引脚被设置为提供 Flexcomm 接口 0 USART TXD 功能。
					I/O	<b>FC0_TXD_SCL_MISO</b> — Flexcomm 接口 0: USART TXD、I2C SCL、SPI MISO。
					I/O	<b>FC3_RTS_SCL_SSEL1</b> — Flexcomm 接口 3 USART RTS、I2C SCL、SPI SSEL1。
					I	<b>CTimer0_CAP1</b> — 32 位 CTimer0 捕获输入 1。
					O	<b>R</b> — 保留。 <b>SCT0_OUT1</b> — SCT0 输出 1。PWM 输出 1。
PIO0_2	-	36		PU	I/O	<b>PIO0_2</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC0_CTS_SDA_SSEL0</b> — Flexcomm 接口 0 USART CTS、I2C SDA、SPI SSEL0。
					I/O	<b>FC3_SSEL3</b> — Flexcomm 接口 3: SPI SSEL3。
					I	<b>CTimer2_CAP1</b> — 32 位 CTimer2 捕获输入 1。
PIO0_3	-	37		PU	I/O	<b>PIO0_3</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC0_RTS_SCL_SSEL1</b> — Flexcomm 接口 0 USART RTS、I2C SCL、SPI SSEL1。
					I/O	<b>FC2_SSEL2</b> — Flexcomm 接口 2: SPI SSEL2。
					O	<b>CTimer1_MAT3</b> — 32 位 CTimer1 匹配输出 3。
PIO0_4	C7	38		PU	I/O	<b>PIO0_4</b> — 通用数字输入 / 输出引脚。 注：此引脚在复位时的状态与 PIO0_31 和 PIO1_6 共同作用将决定器件的启动源，或者是否调用 ISP 处理程序。查看 UM10914 启动过程章节，了解更多详细信息。
					I/O	<b>FC0_SCK</b> — Flexcomm 接口 0: USART 或 SPI 时钟。
					I/O	<b>FC3_SSEL2</b> — Flexcomm 接口 3: SPI SSEL2。
					I	<b>CTimer0_CAP2</b> — 32 位 CTimer0 捕获输入 2。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 [1]	类型	说明	
PIO0_5	C6	39	[2]	PU	I/O	<b>PIO0_5</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC6_RXD_SDA_MOSI_DATA</b> — Flexcomm 接口 6: USART RXD、I2C SDA、SPI MOSI、I2S 数据。
					O	<b>SCT0_OUT6</b> — SCT0 输出 6。PWM 输出 6。
					O	<b>CTimer0_MAT0</b> — 32 位 CTimer0 匹配输出 0。
PIO0_6	D7	40	[2]	PU	I/O	<b>PIO0_6</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC6_TXD_SCL_MISO_WS</b> — Flexcomm 接口 6: USART TXD、I2C SCL、SPI MISO、I2S WS。
						<b>R</b> — 保留。
					O	<b>CTimer0_MAT1</b> — 32 位 CTimer0 匹配输出 1。
						<b>R</b> — 保留。
I	<b>UTICK_CAP0</b> — Micro-tick 定时器捕获输入 0。					
PIO0_7	D6	41	[2]	PU	I/O	<b>PIO0_7</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC6_SCK</b> — Flexcomm 接口 6: USART、SPI 或 I2S 时钟。
					O	<b>SCT0_OUT0</b> — SCT0 输出 0。PWM 输出 0。
					O	<b>CTimer0_MAT2</b> — 32 位 CTimer0 匹配输出 2。
						<b>R</b> — 保留。
I	<b>CTimer0_CAP2</b> — 32 位 CTimer0 捕获输入 2。					
PIO0_8	D5	43	[2]	PU	I/O	<b>PIO0_8</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC2_RXD_SDA_MOSI</b> — Flexcomm 接口 2: USART RXD、I2C SDA、SPI MOSI。
					O	<b>SCT0_OUT1</b> — SCT0 输出 1。PWM 输出 1。
					O	<b>CTimer0_MAT3</b> — 32 位 CTimer0 匹配输出 3。
PIO0_9	E7	44	[2]	PU	I/O	<b>PIO0_9</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC2_TXD_SCL_MISO</b> — Flexcomm 接口 2: USART TXD、I2C SCL、SPI MISO。
					O	<b>SCT0_OUT2</b> — SCT0 输出 2。PWM 输出 2。
					I	<b>CTimer3_CAP0</b> — 32 位 CTimer3 捕获输入 0。
						<b>R</b> — 保留。
I/O	<b>FC3_CTS_SDA_SSEL0</b> — Flexcomm 接口 3 USART CTS、I2C SDA、SPI SSEL0。					
PIO0_10	E6	45	[2]	PU	I/O	<b>PIO0_10</b> — 通用数字输入 / 输出引脚。
					I/O	<b>FC2_SCK</b> — Flexcomm 接口 2: USART 或 SPI 时钟。
					O	<b>SCT0_OUT3</b> — SCT0 输出 3。PWM 输出 3。
					O	<b>CTimer3_MAT0</b> — 32 位 CTimer3 匹配输出 0。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	<a href="#">[2]</a>	复位状态 <a href="#">[1]</a>	类型	说明
PIO0_11	E5	46	<a href="#">[2]</a>	PU	I/O	<b>PIO0_11</b> — 通用数字输入/输出引脚。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 3 SPI SCK 功能。
					I/O	<b>FC3_SCK</b> — Flexcomm 接口 3: USART 或 SPI 时钟。
					I/O	<b>FC6_RXD_SDA_MOSI_DATA</b> — Flexcomm 接口 6: USART RXD、I2C SDA、SPI MOSI、I2S 数据。
					O	<b>CTimer2_MAT1</b> — 32 位 CTimer2 匹配输出 1。
PIO0_12	F7	47	<a href="#">[2]</a>	PU	I/O	<b>PIO0_12</b> — 通用数字输入/输出引脚。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 3 SPI MOSI 功能。
					I/O	<b>FC3_RXD_SDA_MOSI</b> — Flexcomm 接口 3: USART RXD、I2C SDA、SPI MOSI。
					I/O	<b>FC6_TXD_SCL_MISO_WS</b> — Flexcomm 接口 6: USART TXD、I2C SCL、SPI MISO、I2S WS。
					O	<b>CTimer2_MAT3</b> — 32 位 CTimer2 匹配输出 3。
PIO0_13	G7	48	<a href="#">[2]</a>	PU	I/O	<b>PIO0_13</b> — 通用数字输入/输出引脚。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 3 SPI MISO 功能。
					I/O	<b>FC3_TXD_SCL_MISO</b> — Flexcomm 接口 3: USART TXD、I2C SCL、SPI MISO。
					O	<b>SCT0_OUT4</b> — SCT0 输出 4。PWM 输出 4。
					O	<b>CTimer2_MAT0</b> — 32 位 CTimer2 匹配输出 0。
PIO0_14/ TCK	F6	49	<a href="#">[2]</a>	PU	I/O	<b>PIO0_14</b> — 通用数字输入/输出引脚。在边界扫描模式下: TCK (测试时钟输入)。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 3 SPI SSELN0 功能。
					I/O	<b>FC3_CTS_SDA_SSEL0</b> — Flexcomm 接口 3 USART CTS、I2C SDA、SPI SSEL0。
					O	<b>SCT0_OUT5</b> — SCT0 输出 5。PWM 输出 5。
					O	<b>CTimer2_MAT1</b> — 32 位 CTimer2 匹配输出 1。
						<b>R</b> — 保留。
I/O	<b>FC1_SCK</b> — Flexcomm 接口 1: USART 或 SPI 时钟。					
PIO0_15/ TDO	G6	50	<a href="#">[2]</a>	PU	I/O	<b>PIO0_15</b> — 通用数字输入/输出引脚。在边界扫描模式下: TDO (测试数据输出)。
					I/O	<b>FC3_RTS_SCL_SSEL1</b> — Flexcomm 接口 3 USART RTS、I2C SCL、SPI SSEL1。
					I/O	<b>SWO</b> — 串行线跟踪输出。
					O	<b>CTimer2_MAT2</b> — 32 位 CTimer2 匹配输出 2。
						<b>R</b> — 保留。
I/O	<b>FC4_SCK</b> — Flexcomm 接口 4: USART 或 SPI 时钟。					

表 4. 引脚说明 (续)

符号	49-pin	64 引脚		复位状态 [1]	类型	说明
SWCLK/ PIO0_16	F5	52	[2]	PU	I/O	PIO0_16 — 通用数字输入 / 输出引脚。
					I/O	FC3_SSEL2 — Flexcomm 接口 3: SPI SSEL2。
					I/O	FC6_CTS_SDA_SSEL0 — Flexcomm 接口 6 USART CTS、I2C SDA、SPI SSEL0。
					O	CTimer3_MAT1 — 32 位 CTimer3 匹配输出 1。
						R — 保留。
					I/O	SWCLK — 串行线时钟。JTAG 测试时钟。这是启动后的默认功能。
						R — 保留。
SWDIO/ PIO0_17	G5	53	[2]	PU	I/O	PIO0_17 — 通用数字输入 / 输出引脚。
					I/O	FC3_SSEL3 — Flexcomm 接口 3: SPI SSEL3。
					I/O	FC6_RTS_SCL_SSEL1 — Flexcomm 接口 6 USART RTS、I2C SCL、SPI SSEL1。
					O	CTimer3_MAT2 — 32 位 CTimer3 匹配输出 2。
						R — 保留。
					I/O	SWDIO — 串行线调试 I/O。这是启动后的默认功能。
PIO0_18/ TRST	G4	58	[2]	PU	I/O	PIO0_18 — 通用数字输入 / 输出引脚。在边界扫描模式下: $\overline{\text{TRST}}$ (测试复位)。
					I/O	FC5_TXD_SCL_MISO — Flexcomm 接口 5: USART TXD、I2C SCL、SPI MISO。
					O	SCT0_OUT0 — SCT0 输出 0。PWM 输出 0。
					O	CTimer0_MAT0 — 32 位 CTimer0 匹配输出 0。
PIO0_19/ TDI	G3	59	[2]	PU	I/O	PIO0_19 — 通用数字输入 / 输出引脚。在边界扫描模式下: TDI (测试数据输入)。
					I/O	FC5_SCK — Flexcomm 接口 5: USART 或 SPI 时钟。
					O	SCT0_OUT1 — SCT0 输出 1。PWM 输出 1。
					O	CTimer0_MAT1 — 32 位 CTimer0 匹配输出 1。
PIO0_20/ TMS	F3	60	[2]	PU	I/O	PIO0_20 — 通用数字输入 / 输出引脚。在边界扫描模式下: TMS (测试模式选择)。
					I/O	FC5_RXD_SDA_MOSI — Flexcomm 接口 5: USART RXD、I2C SDA、SPI MOSI。
					I/O	FC0_SCK — Flexcomm 接口 0: USART 或 SPI 时钟。
					I	CTimer3_CAP0 — 32 位 CTimer3 捕获输入 0。
PIO0_21	E3	61	[2]	PU	I/O	PIO0_21 — 通用数字输入 / 输出引脚。
					O	CLKOUT — 时钟输出。
					I/O	FC0_TXD_SCL_MISO — Flexcomm 接口 0: USART TXD、I2C SCL、SPI MISO。
					O	CTimer3_MAT0 — 32 位 CTimer3 匹配输出 0。
PIO0_22	G2	63	[2]	PU	I/O	PIO0_22 — 通用数字输入 / 输出引脚。
					I	CLKIN — 时钟输入。
					I/O	FC0_RXD_SDA_MOSI — Flexcomm 接口 0: USART RXD、I2C SDA、SPI MOSI。
					O	CTimer3_MAT3 — 32 位 CTimer3 匹配输出 3。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚		复位状态 [1]	类型	说明
PIO0_23	F2	1	[3]	Z	I/O	<b>PIO0_23</b> — 通用数字输入/输出引脚。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 1 I2C SCL 功能。
					I/O	<b>FC1_RTS_SCL_SSEL1</b> — Flexcomm 接口 1: USART CTS、I2C SCL、SPI SSEL1。
					R	保留。
					I	<b>CTimer0_CAP0</b> — 32 位 CTimer0 捕获输入 0。
					R	保留。
PIO0_24	F1	2	[3]	Z	I/O	<b>PIO0_24</b> — 通用数字输入/输出引脚。在 ISP 模式下, 此引脚被设置为提供 Flexcomm 1 I2C SDA 功能。
					I/O	<b>FC1_CTS_SDA_SSEL0</b> — Flexcomm 接口 1: USART CTS、I2C SDA、SPI SSEL0。
					R	保留。
					I	<b>CTimer0_CAP1</b> — 32 位 CTimer0 捕获输入 1。
					R	保留。
PIO0_25	E2	3	[3]	Z	I/O	<b>PIO0_25</b> — 通用数字输入/输出引脚。
					I/O	<b>FC4_RTS_SCL_SSEL1</b> — Flexcomm 接口 4: USART CTS、I2C SCL、SPI SSEL1。
					I/O	<b>FC6_CTS_SDA_SSEL0</b> — Flexcomm 接口 6: USART CTS、I2C SDA、SPI SSEL0。
					I	<b>CTimer0_CAP2</b> — 32 位 CTimer0 捕获输入 2。
					R	保留。
PIO0_26	E1	4	[3]	Z	I/O	<b>PIO0_26</b> — 通用数字输入/输出引脚。
					I/O	<b>FC4_CTS_SDA_SSEL0</b> — Flexcomm 接口 4: USART CTS、I2C SDA、SPI SSEL0。
					R	保留。
					I	<b>CTimer0_CAP3</b> — 32 位 CTimer0 捕获输入 3。
					R	保留。
PIO0_29/ ADC0_0	D3	11	[4]	PU	I/O;	<b>PIO0_29/ADC0_0</b> — 通用数字输入/输出引脚。如果在此引脚的 IOCON 寄存器中将 AI DIGIMODE 位设置为 0, 则为 ADC 输入通道 0。
					I/O	<b>FC1_RXD_SDA_MOSI</b> — Flexcomm 接口 1: USART RXD、I2C SDA、SPI MOSI。
					O	<b>SCT0_OUT2</b> — SCT0 输出 2。PWM 输出 2。
					O	<b>CTimer0_MAT3</b> — 32 位 CTimer0 匹配输出 3。
					R	保留。
					I	<b>CTimer0_CAP1</b> — 32 位 CTimer0 捕获输入 1。
					R	保留。
O	<b>CTimer0_MAT1</b> — 32 位 CTimer0 匹配输出 1。					

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 [4]	类型	说明	
PIO0_30/ ADC0_1	C1	12	[4]	PU	I/O; AI	<b>PIO0_30/ADC0_1</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 1。
					I/O	<b>FC1_TXD_SCL_MISO</b> — Flexcomm 接口 1: USART TXD、I2C SCL、SPI MISO。
					O	<b>SCT0_OUT3</b> — SCT0 输出 3。PWM 输出 3。
					O	<b>CTimer0_MAT2</b> — 32 位 CTimer0 匹配输出 2。
					R	保留。
					I	<b>CTimer0_CAP2</b> — 32 位 CTimer0 捕获输入 2。
PIO0_31/ ADC0_2	C2	13	[4]	PU	I/O; AI	<b>PIO0_31/ADC0_2</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 2。 <b>注:</b> 此引脚还可用于在器件复位后调用 ISP 模式。ISP 模式的备用启用源也使用 PIO0_4 和 PIO1_6。查看 UM10914 启动过程章节, 了解更多详细信息。
					O	<b>PDM0_CLK</b> — 适合数字麦克风的 PDM 接口 0 使用的时钟。
					I/O	<b>FC2_CTS_SDA_SSEL0</b> — Flexcomm 接口 2 USART CTS、I2C SDA、SPI SSEL0。
					I	<b>CTimer2_CAP2</b> — 32 位 CTimer2 捕获输入 2。
					R	保留。
					I	<b>CTimer0_CAP3</b> — 32 位 CTimer0 捕获输入 3。
					O	<b>CTimer0_MAT3</b> — 32 位 CTimer0 匹配输出 3。
PIO1_0/ ADC0_3	C3	14	[4]	PU	I/O; AI	<b>PIO1_0/ADC0_3</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 3。
					I	<b>PDM0_DATA</b> — 适合数字麦克风的输入 PDM 接口 0 使用的数据。
					I/O	<b>FC2_RTS_SCL_SSEL1</b> — Flexcomm 接口 2 USART RTS、I2C SCL、SPI SSEL1。
					O	<b>CTimer3_MAT1</b> — 32 位 CTimer3 匹配输出 1。
					R	保留。
PIO1_1/ ADC0_4	B1	15	[4]	PU	I/O; AI	<b>PIO1_1/ADC0_4</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 4。
					R	保留。
					I/O	<b>SWO</b> — 串行线跟踪输出。
					O	<b>SCT0_OUT4</b> — SCT0 输出 4。PWM 输出 4。
					I/O	<b>FC5_SSEL2</b> — Flexcomm 接口 5: SPI SSEL2。
					I/O	<b>FC4_TXD_SCL_MISO</b> — Flexcomm 接口 4: USART TXD、I2C SCL、SPI MISO。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 [4]	类型	说明	
PIO1_2/ ADC0_5	A1	16	[4]	PU	I/O; AI	<b>PIO1_2/ADC0_5</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 5。
					I/O	<b>MCLK</b> — I2S 和 / 或数字麦克风的 MCLK 输入或输出。
					I/O	<b>FC7_SSEL3</b> — Flexcomm 接口 7: SPI SSEL3。
					O	<b>SCT0_OUT5</b> — SCT0 输出 5。PWM 输出 5。
					I/O	<b>FC5_SSEL3</b> — Flexcomm 接口 5: SPI SSEL3。
					I/O	<b>FC4_RXD_SDA_MOSI</b> — Flexcomm 接口 4: USART RXD、I2C SDA、SPI MOSI。
PIO1_3/ ADC0_6	B2	17	[4]	PU	I/O; AI	<b>PIO1_3/ADC0_6</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 6。
						<b>R</b> — 保留。
					I/O	<b>FC7_SSEL2</b> — Flexcomm 接口 7: SPI SSEL2。
					O	<b>SCT0_OUT6</b> — SCT0 输出 6。PWM 输出 6。
						<b>R</b> — 保留。
					I/O	<b>FC3_SCK</b> — Flexcomm 接口 3: USART 或 SPI 时钟。
PIO1_4/ ADC0_7	A2	18	[4]	PU	I/O; AI	<b>PIO1_4/ADC0_7</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 7。
					O	<b>PDM1_CLK</b> — 适合数字麦克风的 PDM 接口 1 使用的时钟。
					I/O	<b>FC7_RTS_SCL_SSEL1</b> — Flexcomm 接口 7: USART RTS、I2C SCL、SPI SSEL1。
					O	<b>SCT0_OUT7</b> — SCT0 输出 7。PWM 输出 7。
						<b>R</b> — 保留。
					I/O	<b>FC3_TXD_SCL_MISO</b> — Flexcomm 接口 3: USART TXD、I2C SCL、SPI MISO。
PIO1_5/ ADC0_8	B3	19	[4]	PU	I/O; AI	<b>PIO1_5/ADC0_8</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 8。
					I	<b>PDM1_DATA</b> — 适合数字麦克风输入 PDM 接口 1 使用的数据。也包括旁通模式下的 PDM 时钟输入。
					I/O	<b>FC7_CTS_SDA_SSEL0</b> — Flexcomm 接口 7: USART CTS、I2C SDA、SPI SSEL0。
					I	<b>CTimer1_CAP0</b> — 32 位 CTimer1 捕获输入 0。
						<b>R</b> — 保留。
					O	<b>CTimer1_MAT3</b> — 32 位 CTimer1 匹配输出 3。
	<b>R</b> — 保留。					
O	<b>USB_FRAME</b> — 从主机信号派生而来的 USB 帧起始信号。					



表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 [4]	类型	说明
PIO1_6/ ADC0_9	A5	26	[4]	PU	I/O; AI <b>PIO1_6/ADC0_9</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 9。 <b>注:</b> 此引脚以及 PIO0_31 和 PIO0_4, 也用于器件复位后 ISP 模式的备用启用源。查看 UM10914 启动过程章节, 了解更多详细信息。 <b>R</b> — 保留。
					I/O <b>FC7_SCK</b> — Flexcomm 接口 7: USART、SPI 或 I2S 时钟。
					I <b>CTimer1_CAP2</b> — 32 位 CTimer1 捕获输入 2。 <b>R</b> — 保留。
					O <b>CTimer1_MAT2</b> — 32 位 CTimer1 匹配输出 2。 <b>R</b> — 保留。
					I <b>USB_VBUS</b> — 监控是否存在 USB 总线供电。要进行 USB 复位, 该信号必须为高电平。
PIO1_7/ ADC0_10	B5	27	[4]	PU	I/O; AI <b>PIO1_7/ADC0_10</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 10。 <b>R</b> — 保留。
					I/O <b>FC7_RXD_SDA_MOSI_DATA</b> — Flexcomm 接口 7: USART RXD、I2C SDA、SPI MOSI、I2S 数据。
					O <b>CTimer1_MAT2</b> — 32 位 CTimer1 匹配输出 2。 <b>R</b> — 保留。
					I <b>CTimer1_CAP2</b> — 32 位 CTimer1 捕获输入 2。
PIO1_8/ ADC0_11	C5	28	[4]	PU	I/O; AI <b>PIO1_8/ADC0_11</b> — 通用数字输入 / 输出引脚。如果在此引脚的 IOCON 寄存器中将 DIGIMODE 位设置为 0, 则为 ADC 输入通道 11。 <b>R</b> — 保留。
					I/O <b>FC7_TXD_SCL_MISO_WS</b> — Flexcomm 接口 7: USART TXD、I2C SCL、SPI MISO、I2S WS。
					O <b>CTimer1_MAT3</b> — 32 位 CTimer1 匹配输出 3。 <b>R</b> — 保留。
					I <b>CTimer1_CAP3</b> — 32 位 CTimer1 捕获输入 3。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 [1]	类型	说明	
PIO1_9	-	29	[2]	PU	I/O	<b>PIO1_9</b> — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	<b>FC3_RXD_SDA_MOSI</b> — Flexcomm 接口 3: USART RXD、I2C SDA、SPI MOSI。
					I	<b>CTimer0_CAP2</b> — 32 位 CTimer0 捕获输入 2。 R — 保留。
						R — 保留。
					O	<b>USB_UP_LED</b> — USB 端口 2 GoodLink LED 指示器。器件配置之后 (非控制端点使能), 其指示值低。器件未配置或者全局挂起时, 其指示值高。
PIO1_10	-	30	[2]	PU	I/O	<b>PIO1_10</b> — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	<b>FC6_TXD_SCL_MISO_WS</b> — Flexcomm 接口 6: USART TXD、I2C SCL、SPI MISO、I2S WS。
					O	<b>SCT0_OUT4</b> — SCT0 输出 4。PWM 输出 4。
					I/O	<b>FC1_SCK</b> — Flexcomm 接口 1: USART 或 SPI 时钟。 R — 保留。
						R — 保留。
					I	<b>USB_FRAME</b> — 从主机信号派生而来的 USB 帧起始信号。
PIO1_11	-	42	[2]	PU	I/O	<b>PIO1_11</b> — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	<b>FC6_RTS_SCL_SSEL1</b> — Flexcomm 接口 6 USART RTS、I2C SCL、SPI SSEL1。
					I	<b>CTimer1_CAP0</b> — 32 位 CTimer1 捕获输入 0。
					I/O	<b>FC4_SCK</b> — Flexcomm 接口 4: USART 或 SPI 时钟。 R — 保留。
						R — 保留。
					I	<b>USB_VBUS</b> — 监控是否存在 USB 总线供电。要进行 USB 复位, 该信号必须为高电平。
PIO1_12	-	51	[2]	PU	I/O	<b>PIO1_12</b> — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	<b>FC5_RXD_SDA_MOSI</b> — Flexcomm 接口 5: USART RXD、I2C SDA、SPI MOSI。
					O	<b>CTimer1_MAT0</b> — 32 位 CTimer1 匹配输出 0。
					I/O	<b>FC7_SCK</b> — Flexcomm 接口 7: USART、SPI 或 I2S 时钟。
					I	<b>UTICK_CAP2</b> — Micro-tick 定时器捕获输入 2。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态	类型	说明	
PIO1_13	-	54	[2]	PU	I/O	PIO1_13 — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	FC5_TXD_SCL_MISO — Flexcomm 接口 5: USART TXD、I2C SCL、SPI MISO。
					O	CTimer1_MAT1 — 32 位 CTimer1 匹配输出 1。
					I/O	FC7_RXD_SDA_MOSI_DATA — Flexcomm 接口 7: USART RXD、I2C SDA、SPI MOSI、I2S 数据。
PIO1_14	-	57	[2]	PU	I/O	PIO1_14 — 通用数字输入 / 输出引脚。 R — 保留。
					I/O	FC2_RXD_SDA_MOSI — Flexcomm 接口 2: USART RXD、I2C SDA、SPI MOSI。
					O	SCT0_OUT7 — SCT0 输出 7。PWM 输出 7。
					I/O	FC7_TXD_SCL_MISO_WS — Flexcomm 接口 7: USART TXD、I2C SCL、SPI MISO、I2S WS。
PIO1_15	-	62	[2]	PU	I/O	PIO1_15 — 通用数字输入 / 输出引脚。 O
					O	PDM0_CLK — 适合数字麦克风的 PDM 接口 0 使用的时钟。
					O	SCT0_OUT5 — SCT0 输出 5。PWM 输出 5。
					I	CTimer1_CAP3 — 32 位 CTimer1 捕获输入 3。
PIO1_16	-	7	[2]	PU	I/O	FC7_CTS_SDA_SSEL0 — Flexcomm 接口 7: USART CTS、I2C SDA、SPI SSEL0。
					I	PIO1_16 — 通用数字输入 / 输出引脚。 I
					O	PDM0_DATA — 适合数字麦克风输入 PDM 接口 0 使用的数据。
					O	CTimer0_MAT0 — 32 位 CTimer0 匹配输出 0。
PIO1_17	-	10	[2]	PU	I	CTimer0_CAP0 — 32 位 CTimer0 捕获输入 0。
					I/O	FC7_RTS_SCL_SSEL1 — Flexcomm 接口 7: USART RTS、I2C SCL、SPI SSEL1。
					R — 保留。	
					R — 保留。	
USB_DP	D2	5	[6]	F	I/O	MCLK — I2S 和 / 或数字麦克风的 MCLK 输入或输出。
					I	UTICK_CAP3 — Micro-tick 定时器捕获输入 3。
USB_DM	D1	6	[6]	F	I/O	USB0 双向 D+ 线。
RESETN	G1	64	[6]	PU	I	USB0 双向 D- 线路。
RTCXIN	A7	33	-	-	I	外部复位输入：此引脚上的低电平可复位器件，导致 I/O 端口和外设呈现默认状态，并且处理器从地址 0 开始执行。将器件从深度掉电模式中唤醒。
RTCXOUT	B7	35	-	-	I	RTC 振荡器输入。
					I	RTC 振荡器输出。

表 4. 引脚说明 (续)

符号	49-pin	64 引脚	复位状态 <sup>[1]</sup>	类型	说明
VREFP	B4	22	-	-	ADC 正基准电压。
VREFN	-	21	-	-	ADC 负基准电压。
V <sub>DDA</sub>	A4	23	-	-	模拟供电电压。
V <sub>DD</sub>	C4, F4	8, 24, 34, 56	-	-	1.62 V 至 3.6 V 单电源给内部数字功能和 I/O 供电。
V <sub>SS</sub>	D4, E4	9, 25, 55	-	-	地线。
V <sub>SSA</sub>	A3	20	-	-	模拟接地。

- [1] PU = 输入模式，已使能上拉电阻（上拉电阻将引脚拉高至 V<sub>DD</sub>）。Z = 高阻抗；上拉电阻或下拉电阻已禁用，AI = 模拟输入，I = 输入，O = 输出，F = 悬空。复位状态反映引脚在复位时无启动代码操作的状态。不同电源模式下的引脚状态请参见 [6.2.2 章“不同电源模式下的引脚状态”](#)。有关未使用引脚的端接请参见 [6.2.1 章“未使用引脚的端接”](#)。
- [2] 具有可编程干扰滤波器的 5 V 兼容焊盘（V<sub>DD</sub> 存在时，容限为 5 V；V<sub>DD</sub> 不存在时，容限不超过 3.6 V）；提供具有 TTL 电平和迟滞的数字 I/O 功能；标准驱动强度。请参见 [表 31](#)。输入滤波器抑制的峰值或干扰脉冲宽度为 3 ns 至 16 ns（仿真值）。
- [3] 真开漏引脚。I2C 总线引脚符合 I2C 总线规范，支持 I2C 标准模式、I2C 快速模式和 I2C 超快速模式。此引脚要求进行外部上拉，以提供输出功能。电源关闭时，此引脚处于悬空状态，不会干扰 I2C 线路。开漏配置适用于此引脚上的所有功能。
- [4] 5 V 兼容引脚提供带有可配置模式、可配置迟滞和模拟输入的标准数字 I/O 功能。配置为模拟输入时，引脚的数字部分禁用，且引脚并非 5 V 兼容。
- [5] 复位焊盘。带干扰滤波器和迟滞功能的 5 V 兼容焊盘。输入滤波器抑制的尖峰或干扰脉冲宽度为 3 ns 至 20 ns（仿真值）。
- [6] 5 V 兼容的透明模拟焊盘。

### 6.2.1 未使用引脚的端接

表 5 显示如何端接未在应用中使用的引脚。在很多情况下，未使用的引脚需要通过外部连接，或者通过软件正确配置，以便最大程度降低器件的总功耗。

带 GPIO 功能的未使用引脚应配置为输出，将其设为低电平，且禁用它们的内部上拉电阻。如需将 GPIO 引脚配置为输出并驱动至低电平，可在 IOCON 寄存器中选择 GPIO 功能，选择 GPIO DIR 寄存器中的输出，然后针对该引脚将 0 写入 GPIO PORT 寄存器。在引脚的 IOCON 寄存器中禁用上拉电阻。

此外，建议将所有较小封装上未外焊的 GPIO 引脚配置为输出驱动至低电平，且禁用内部上拉电阻。

表 5. 未使用引脚的端接

引脚	默认状态 <sup>[1]</sup>	未使用引脚的端接建议
复位	I; PU	如果应用程序不使用 $\overline{\text{RESET}}$ 引脚，可将其保持未连接状态。
所有 PION_m (非开漏)	I; PU	如果驱动至低电平且通过软件配置为 GPIO 输出和上拉禁用，则可以保持不连接状态。
PION_m (I2C 开漏)	IA	如果驱动至低电平且通过软件配置为 GPIO 输出，则可以保持不连接状态。
USB_DP	F	如果未使用 USB 接口，则引脚可保持未连接状态，但深度掉电模式除外，在该模式下，引脚必须从外部拉至低电平。
USB_DM	F	如果未使用 USB 接口，则引脚可保持未连接状态，但深度掉电模式除外，在该模式下，引脚必须从外部拉至低电平。
RTCXIN	-	连接至地面。接地时，禁用 RTC 振荡器。
RTCXOUT	-	可保持未连接状态。
VREFP	-	连接至 $V_{DD}$ 。
VREFN	-	连接至 $V_{SS}$ 。
$V_{DDA}$	-	连接至 $V_{DD}$ 。
$V_{SSA}$	-	连接至 $V_{SS}$ 。

[1] I = 输入，IA = 无效（无上拉/下拉使能），PU = 上拉使能，F = 悬空

### 6.2.2 不同电源模式下的引脚状态

表 6. 不同电源模式下的引脚状态

引脚	活动	睡眠	深度睡眠	深度掉电模式
PION_m 引脚（非 I2C）	如 IOCON <sup>[1]</sup> 中的配置。默认：内部上拉使能			悬空。
PIO0_23 至 PIO0_26（开漏 I2C 总线引脚）	如 IOCON <sup>[1]</sup> 中的配置。			悬空。
复位	复位功能使能。默认：输入、内部上拉使能。			

[1] 在睡眠和深度睡眠模式下保留默认和编程引脚状态。

## 7. 功能说明

### 7.1 架构概述

ARM Cortex-M4 包含 3 条 AHB-Lite 总线：1 条系统总线、I-code 和 D-code 总线。一条总线专门用于指令提取 (I-code)，一条总线专门用于数据访问 (D-code)。如果并发操作针对不同器件，使用两条内核总线可允许进行同步操作。

LPC5411x 使用多层 AHB 矩阵，以一种灵活的方式将 ARM Cortex-M4 总线及其他总线主机连接到外围设备，从而优化性能，具体的实现方式是让不同的总线主机能够同时访问该矩阵的不同从机端口上的外围设备。

### 7.2 ARM Cortex-M4 处理器

ARM Cortex-M4 是一种通用的 32 位微处理器，它可提供高性能和极低的功耗。ARM Cortex-M4 具备许多新的特性，其中包括一个 Thumb-2 指令集、低中断延迟、硬件乘法和除法、可中断 / 可连续的多个加载和存储指令、中断的自动状态保存和恢复、中断控制器与唤醒中断控制器的紧密集成，以及能够同步访问的多条核心总线。

采用 3 级流水线技术，所有处理和存储器系统都能够连续操作。通常，在执行某一条指令时，它的下一条指令正被解码，第三条指令正从存储器中获取。

### 7.3 ARM Cortex-M4 集成了浮点单元 (FPU)

FPU 完全支持单精度加、减、乘、除、累积和平方根操作。它还可用于固定点和浮点数据格式以及浮点常数指令之间的转换。

FPU 可提供浮点计算功能，符合 ANSI/IEEE 标准 754-2008、针对二进制浮点运算的 IEEE 标准（被称为 IEEE 754 标准）。

### 7.4 ARM Cortex-M0+ 协处理器

ARM Cortex-M0+ 协处理器可提供高性能和极低的功耗。该处理器利用 2 级流水线技术 von Neumann 架构和一个小型但非常强大的指令集，提供高端处理硬件。该处理器包含一个单周期乘法器、一个带 32 个中断的 NVIC 和一个单独的系统节拍定时器。

### 7.5 存储器保护单元 (MPU)

Cortex-M4 包含一个内存保护单元 (MPU)，可通过保护用户应用中的关键数据来提高嵌入式系统的可靠性。

MPU 可通过禁用访问相互数据、禁用访问内存区域、允许将内存区域定义为只读以及检测可能会导致系统故障的异常内存访问来分别处理任务。

MPU 会将内存分成截然不同的区域并通过防止不允许的访问来设置保护。MPU 支持最多八个区域，每个区域都可分割成八个分区。访问未在 MPU 区域中定义的或者未得到区域设置允许的内存位置会导致发生“内存管理故障”异常。

## 7.6 Cortex-M4 的可嵌套中断向量控制器 (NVIC)

NVIC 是 Cortex-M4 的主要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

### 7.6.1 特性

- 控制系统的异常及外设中断。
- 40 个矢量中断插槽。
- 8 个可编程的中断优先级，带硬件优先级屏蔽。
- 可利用向量表偏移寄存器 (VTOR) 再定位的向量表。
- 非屏蔽中断 (NMI)。
- 软件中断生成功能。

### 7.6.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。

## 7.7 Cortex-M0+ 的可嵌套中断向量控制器 (NVIC)

NVIC 是 Cortex-M0+ 的必要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

### 7.7.1 特性

- 控制系统的异常及外设中断。
- 32 个矢量中断插槽。
- 4 个可编程的中断优先级，带硬件优先级屏蔽。
- 可利用 VTOR 再定位的向量表。
- 非屏蔽中断 (NMI)。
- 软件中断生成功能。

### 7.7.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。

## 7.8 系统节拍定时器 (SysTick)

ARM Cortex-M4 和 ARM Cortex-M0+ 内核具有一个旨在生成一个 SYSTICK 专用异常的系统节拍定时器 (SysTick)。SysTick 的时钟源可以是系统时钟或 SYSTICK 时钟。

## 7.9 片内静态 RAM

LPC5411x 支持高达 192 kB 的 SRAM，并提供独立的总线主机访问以实现更高的吞吐量，以及单独的功率控制以实现低功耗操作。

## 7.10 片上 flash

LPC5411x 支持高达 256 KB 片上 flash 存储器。

## 7.11 片上 ROM

32 KB 片上 ROM 包含引导加载程序和下列应用程序编程接口 (API):

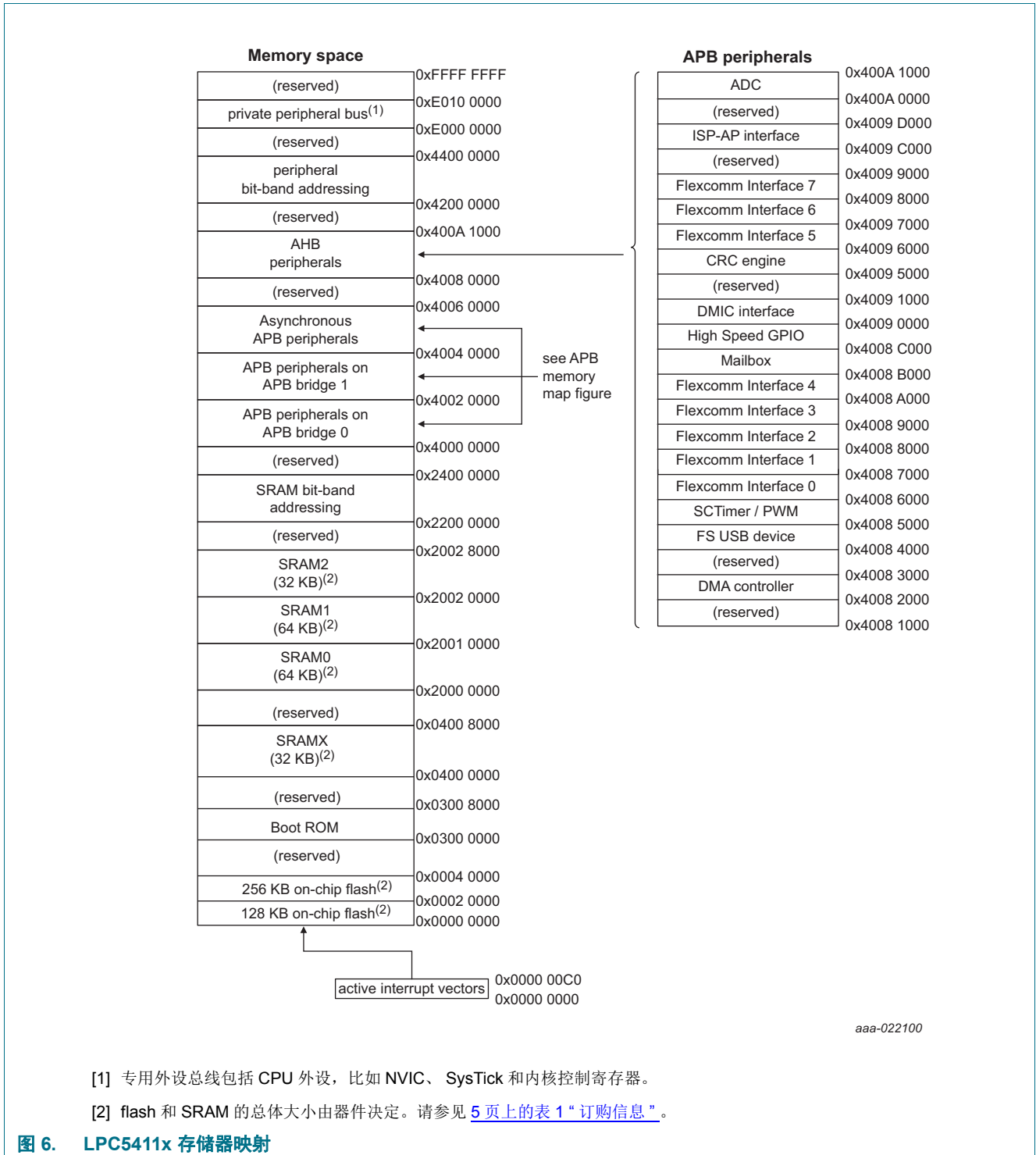
- 在系统编程 (ISP) 和在应用编程 (IAP) 支持 flash 编程。
- 基于 ROM 的 USB 驱动程序 (HID、CDC、MSC 和 DFU)。支持通过 USB 更新 flash。
- 支持通过闪存、USART、SPI 和 I<sup>2</sup>C 中的有效用户代码引导。
- 旧式、单图像以及双图像引导。



## 7.12 存储器映射

LPC5411x 包含几个不同的存储器区域。APB 外设区域尺寸为 64 KB，划分后最多支持 32 个外设。为每个外设分配 4 KB 空间，简化地址解码。

[图 6](#) 从用户程序角度显示复位后整个地址空间的整体映射。



[1] 专用外设总线包括 CPU 外设，比如 NVIC、SysTick 和内核控制寄存器。

[2] flash 和 SRAM 的总体大小由器件决定。请参见 5 页上的表 1 “订购信息”。

图 6. LPC5411x 存储器映射

APB bridge 0			APB bridge 1		
31-15	(reserved)	0x4001 FFFF	31-21	(reserved)	0x4003 FFFF
14	Micro-tick timer	0x4000 F000	20	Flash controller	0x4003 5000
13	Multi-rate timer	0x4000 E000	19-13	(reserved)	0x4003 4000
12	Watchdog timer	0x4000 D000	12	RTC	0x4002 D000
11-10	(reserved)	0x4000 C000	11-9	(reserved)	0x4002 C000
9	CTIMER 1	0x4000 A000	8	CTIMER 2	0x4002 9000
8	CTIMER 0	0x4000 9000	7-0	(reserved)	0x4002 8000
7-6	(reserved)	0x4000 8000			0x4002 0000
5	Input muxes	0x4000 6000			
4	Pin Interrupts (PINT)	0x4000 5000			
3	GINT 1	0x4000 4000			
2	GINT 0	0x4000 3000			
1	IOCON	0x4000 2000			
0	Syscon	0x4000 1000			
		0x4000 0000			

Asynchronous APB bridge		
31-10	(reserved)	0x4005 FFFF
9	CTIMER 4	0x4004 A000
8	CTIMER 3	0x4004 9000
7-1	(reserved)	0x4004 8000
0	Asynch. Syscon	0x4004 1000
		0x4004 0000

aaa-016687

图 7. LPC5411x APB 存储器映射

## 7.13 电源控制

LPC5411x 支持多种电源控制功能。在工作模式下，当芯片运行时，可以对所选外设的电源和时钟进行调节，从而降低功耗。此外，处理器还有四种特殊的低功耗模式，可让不同外设分别运行在：睡眠模式、深度睡眠模式、深度掉电模式，并由功耗模式配置 API 激活。

### 7.13.1 睡眠模式

在睡眠模式下，CPU 的系统时钟停止，且在复位或中断出现之前都不能执行指令。在睡眠模式下，外设功能（如果被选择用于计时）可以继续运行，并可能产生中断使处理器继续运行。睡眠模式消除了处理器本身、存储器系统和相关控制器，以及内部总线和未使用外设的动态功耗。处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，引脚的逻辑电平保持静态。

### 7.13.2 深度睡眠模式

深度睡眠模式下，处理器的系统时钟如睡眠模式中一样被禁用。所有模拟模块都默认掉电，但若需要用作唤醒源时，可通过电源 API 选定并保持运行。主时钟以及所有外设时钟都被禁用。FRO 被禁用。flash 存储器处于待机模式。

深度睡眠模式消除了模拟外设使用的所有功耗以及处理器自身、存储器系统及其相关控制器和内部总线所使用的所有动态功耗。处理器的状态和寄存器、外设寄存器和内部 SRAM 的值都会保留，引脚的逻辑电平保持静态。

GPIO 引脚中断、GPIO 组中断，以及选定的外设（如 USB、DMIC、SPI、I2C、USART、WWDT、RTC、Micro-tick 定时器以及 BOD）可在深度睡眠下保持运行。FRO、RTC 振荡器以及看门狗振荡器可继续运行。某些情况下，DMA 可在深度睡眠模式下运行。更多详情请参见 LPC5411x 用户手册。

### 7.13.3 深度掉电模式

在深度掉电模式下，整个芯片的电源关闭，但 RTC 电源域和 **RESET** 引脚除外。LPC5411x 可以通过 **RESET** 引脚和 RTC 警报从深度掉电模式唤醒。RTC 控制寄存器中的 **ALARM1HZ** 标志可生成一个 RTC 唤醒中断请求，此请求可唤醒器件。在深度掉电模式中，不保留 SRAM 和寄存器的内容。深度掉电模式下，所有功能引脚都是三态的。

[表 7](#) 显示低功耗模式下的外设配置。

**表 7. 低功耗模式下的外设配置**

外设	降低功耗模式		
	睡眠	深度睡眠	深度掉电模式
FRO	软件已配置	软件已配置	关断
闪存	软件已配置	待机	关断
BOD	软件已配置	软件已配置	关断
PLL	软件已配置	关断	关断
看门狗振荡器和 WWDT	软件已配置	软件已配置	关断
Micro-tick 定时器	软件已配置	软件已配置	关断
DMA	活动	有些可针对操作进行配置，参见 <a href="#">7.13.2 章</a>	关断
USART	软件已配置	关闭；但可以在同步从机模式或 32 kHz 时钟模式创建唤醒中断。	关断
SPI	软件已配置	关闭；但可以在从机模式创建唤醒中断。	关断
I2C	软件已配置	关闭；但可以在从机模式创建唤醒中断。	关断
USB	软件已配置	软件已配置	关断
DMIC	软件已配置	软件已配置	关断
其他数字外设	软件已配置	关断	关断
RTC 振荡器	软件已配置	软件已配置	软件已配置

[表 8](#) 显示低功耗模式的唤醒源。

**表 8. 低功耗模式的唤醒信号源**

电源模式	唤醒源	条件
睡眠	任何中断	NVIC 中使能中断。
	HWWAKE	某些 Flexcomm 接口和 DMIC 子系统活动。

表 8. 低功耗模式的唤醒信号源 (续)

电源模式	唤醒源	条件
深度睡眠	引脚中断	在 NVIC 和 STARTER0 和 / 或 STARTER1 寄存器中使能引脚中断。
	BOD 中断	<ul style="list-style-type: none"> <li>在 NVIC 和 STARTER0 寄存器中使能中断。</li> <li>在 BODCTRL 寄存器中使能中断。</li> <li>使用电源 API 配置 BOD 并保持在此模式中运行。</li> </ul>
	BOD 复位	在 BODCTRL 寄存器中使能复位。
	看门狗中断	<ul style="list-style-type: none"> <li>在 PDRUNCFG0 寄存器中使能看门狗振荡器。</li> <li>在 NVIC 和 STARTER0 寄存器中使能看门狗中断。</li> <li>在 WWDT MOD 寄存器中使能看门狗并输入。</li> <li>在 WWDT MOD 寄存器中使能中断。</li> <li>使用电源 API 配置 WDTOSC 并保持在此模式运行。</li> </ul>
	看门狗复位	<ul style="list-style-type: none"> <li>在 PDRUNCFG0 寄存器中使能看门狗振荡器。</li> <li>在 WWDT MOD 寄存器中使能看门狗和看门狗复位并输入。</li> </ul>
	复位引脚	始终可用。
	RTC 1 Hz 报警定时器	<ul style="list-style-type: none"> <li>在 RTCOSCCTRL 寄存器中使能 RTC 1 Hz 振荡器。</li> <li>在 AHBCLKCTRL0 寄存器中使能 RTC 总线时钟。</li> <li>将超时值写入 RTC COUNT 寄存器以启动 RTC 报警定时器。</li> <li>在 STARTER0 寄存器中使能 RTCALARM 中断。</li> </ul>
	RTC 1 kHz 定时器超时和警告	<ul style="list-style-type: none"> <li>在 RTC CTRL 寄存器中使能 RTC 1 Hz 振荡器和 RTC 1 kHz 振荡器。</li> <li>在 RTC WAKE 寄存器中写入一个值，以启动 RTC 1 kHz 定时器。</li> <li>在 STARTER0 寄存器中使能 RTC 唤醒中断。</li> </ul>
	Micro-tick 定时器 (用于从深度睡眠模式进行超低功耗唤醒)	<ul style="list-style-type: none"> <li>在 PDRUNCFG0 寄存器中使能看门狗振荡器。</li> <li>通过写入 AHBCLKCTRL1 寄存器使能 Micro-tick 定时器。</li> <li>通过写入 UTICK CTRL 寄存器启动 Micro-tick 定时器。</li> <li>在 STARTER0 寄存器中使能 Micro-tick 定时器中断。</li> </ul>
	I <sup>2</sup> C 中断	来自从机模式 I <sup>2</sup> C 的中断。
	SPI 中断	来自从机模式 SPI 的中断。
	USART 中断	来自从机模式或 32 kHz 模式 USART 的中断。
	USB 需要时钟中断	检测到需要时钟的活动时，通过 USB 中断。
	DMA 中断	有关与 DMA 相关的中断详情。
HWWAKE	某些 Flexcomm 接口和 DMIC 子系统活动。	
深度掉电模式	RTC 1 Hz 报警定时器	<ul style="list-style-type: none"> <li>在 RTC CTRL 寄存器中使能 RTC 1 Hz 振荡器。</li> <li>将超时值写入 RTC COUNT 寄存器以启动 RTC 报警定时器。</li> </ul>
	RTC 1 kHz 定时器超时和报警	<ul style="list-style-type: none"> <li>在 RTCOSCCTRL 寄存器中使能 RTC 1 Hz 振荡器和 RTC 1 kHz 振荡器。</li> <li>在 AHBCLKCTRL0 寄存器中使能 RTC 总线时钟。</li> <li>在 RTC WAKE 寄存器中写入一个值，以启动 RTC 1 kHz 定时器。</li> </ul>
	复位引脚	始终可用。

## 7.14 通用 I/O (GPIO)

LPC5411x 支持两个总共带有 48 个 GPIO 引脚的 GPIO 端口。

没有连接到特定外围设备功能的器件引脚由 GPIO 寄存器进行控制。引脚可动态配置为输入或输出。独立的寄存器允许同时设置或清除任意数量的输出。无论为该引脚选择哪个外设，都可回读端口引脚的当前电平。

查看[表 4](#)，了解复位时的默认状态。

### 7.14.1 特性

- 加速 GPIO 功能：
  - GPIO 寄存器位于 AHB，这样可实现最快的 I/O 时序。
  - 掩码寄存器允许把端口位集视作一组处理，保留其他位不变。
  - 所有 GPIO 寄存器都是可进行字节和半字寻址的。
  - 整个端口值可写在一个指令中。
- 位级设置、清除及切换寄存器允许单一的指令集，以及清除或切换一个端口中任何数量的位。
- 各个位的方向控制。
- 复位后所有 I/O 均会默认为输入。
- 可选择所有 GPIO 引脚，以创建一个边沿或电平触发的 GPIO 中断请求。
- 可以通过任意一个引脚或几个引脚触发一组 GPIO 中断。

## 7.15 引脚中断 / 模式引擎

引脚中断模块可配置所有数字引脚中的多达 8 个引脚，从而提供连接 NVIC 的 8 个外部中断。模式匹配引擎能与软件配合使用，根据引脚输入创建复合状态机。任何数字引脚除了能通过开关矩阵选择功能外，还可通过 SYSCON 模块配置为引脚中断或模式匹配引擎的输入。控制引脚中断或模式匹配引擎的寄存器位于 I/O+ 总线上，便于快速单周期访问。

### 7.15.1 特性

- 引脚中断：
  - 可从端口 0 和 1 上的所有 GPIO 引脚中最多选择 8 个引脚，作为边沿触发或电平触发中断请求。需要为每个请求在 NVIC 中创建一个单独的中断。
  - 边沿触发中断引脚可以在上升沿和 / 或下降沿产生中断。
  - 电平触发中断引脚可以在高电平或低电平有效时产生中断。
  - 电平触发中断引脚可以在高电平或低电平有效时产生中断。
  - 引脚中断可将器件从睡眠模式和深度睡眠模式中唤醒。
- 模式匹配引擎：
  - 可从端口 0 和 1 上的所有数字引脚中选择最多 8 个引脚，组成布尔表达式。布尔表达式由特定电平和 / 或这些引脚的多种组合转换所组成。
  - 组成特定布尔表达式的每一个位逻辑片最小项（乘数项）都可以产生其自身的专用中断请求。
  - 任意模式匹配事件还能够被编程以生成 RXEV 通知给 CPU。RXEV 信号可连接至一个引脚。
  - 模式匹配能与软件配合使用，根据引脚输入创建复合状态机。
  - 模式匹配引擎可协助仅从激活或睡眠模式唤醒。

## 7.16 AHB 外设

### 7.16.1 DMA 控制器

DMA 控制器允许外设到存储器、存储器到外设和存储器到存储器之间的传输。每个 DMA 流都可以为单个源和目标提供单向 DMA 传输。

#### 7.16.1.1 特性

- 20 条通道，其中 19 条连接至外设 DMA 请求。这些通道都通过 Flexcomm 接口（USART、SPI、I<sup>2</sup>C 和 I2S）和数字麦克风接口接入。
- DMA 操作可由片上或片外事件触发。
- 用户可以选择每路通道的优先级（最高 8 个优先级）。
- 连续优先级仲裁。
- 含 4 个条目的地址高速缓存。
- 数据总线的高效利用。
- 单次传输支持多达 1024 字。
- 地址递增选项支持打包和 / 或拆包数据。

## 7.17 数字串行外围设备

### 7.17.1 USB2.0 器件控制器

#### 7.17.1.1 特性

- USB2.0 全速器件控制器。
- 支持十个物理（五个逻辑）端点，包括一个控制端点。
- 支持单双缓冲。
- 支持 Crystal-less 操作，也支持使用 USB 帧校准 FRO。
- 每个非控制端点都支持批量、中断或等时端点类型。
- 支持连接电源管理 (LPM)。

### 7.17.2 DMIC 子系统

#### 7.17.2.1 特性

- 1 个或 2 个总线的左侧和 / 或右侧通道的脉冲密度调制 (PDM) 数据输入。
- 灵活抽取。
- 针对每个通道的 16 条目 FIFO。
- 可选择隔直或未加改变的直流偏置。
- 可在不唤醒 CPU 的情况下，利用 DMA 在深度睡眠模式下传输数据，然后自动返回深度睡眠模式。
- 在 Flexcomm 接口 7 上，可直接将数据传输至 I<sup>2</sup>S。



### 7.17.3 Flexcomm 串行通信接口

每个 Flexcomm 接口都提供外设功能选择，用户必须先选择功能，然后才能配置和使用。

#### 7.17.3.1 特性

- 具备异步操作或同步主机或从机操作的 USART。
- SPI 主机或从机，具备多达四种从机选择。
- I<sup>2</sup>C，包括独立的主机、从机以及监控功能。
- Flexcomm 接口 6 和 7 支持 I<sup>2</sup>S 功能。
- USART、SPI 和 I<sup>2</sup>S 的流量数据使用 Flexcomm 接口 FIFO。I<sup>2</sup>C 功能不使用 FIFO。

### 7.17.4 USART

#### 7.17.4.1 特性

- 主机或从机操作的同步模式。包括数据阶段选择和连续时钟选项。
- 异步模式中的最大比特率为 6.25 Mb/s。
- 同步主机模式下，最大数据传输速率为 20 Mbit/s，同步从机模式下，则为 16 Mbit/s。
- 带软件地址比较的多处理器 / 多点（9 位）模式。
- RS-485 收发器输出使能。
- 用于自动波特率检测的自动波特率模式。
- 奇偶生成及校验：奇数、偶数或无。
- 在异步模式下，软件可选 5-16 个时钟的过采样。
- 一个发送和一个接收数据缓冲区。
- 用于自动流控制的 RTS/CTS 硬件信号。可以通过增量 CTS 检测、发送禁用控制和任意 GPIO 用作 RTS 输出实现软件流控制。
- 还可从单个寄存器读取接收数据和状态。
- 中止产生及检测。
- 接收数据为 3 个样本“投票”中的 2 个。当有一个样本不一样的时候，状态标志置位。
- 具备自动波特率功能的内置波特率发生器。
- 小数速率分频器在所有 USART 中共享。
- 以下中断可用：达到 FIFO 接收级别、达到 FIFO 发送级别、发送器空闲、接收器断变更检测、成帧错误、奇偶校验错误、上溢、下溢、增量 CTS 检测、接收器样本噪声检测。
- 用于测试数据和流量控制的环回模式。
- 在同步从机模式中，从深度睡眠唤醒器件。
- 特殊工作模式允许将 32.768 kHz RTC 振荡器用作 UART 时钟，从而实现高达 9600 波特的操作。当器件处于深度睡眠时，可以使用此模式，并且在收到字符时，可以唤醒器件。
- USART 发送与接收功能可配合系统 DMA 控制器使用。
- USART 同步从机模式上的活动允许在任意使能中断上从深度睡眠模式唤醒。

### 7.17.5 SPI 串行 I/O 控制器

#### 7.17.5.1 特性

- 主机和从机操作。
- 对于 SPI 功能，在主机模式下，最大数据传输速率为 71 Mbit/s，在从机模式下，则为 15 Mbit/s。
- 直接支持 1 至 16 位的数据帧。软件或 DMA 设置支持更大的帧。
- 主机和从机操作。
- 无需读取输入数据即可将数据发送至从机。这在设置 SPI 存储器的时候很有用。
- 控制信息还可与数据一同写入。这样便实现了极为丰富的操作，包括“任意长度”的帧。
- 4 个从机选择输入 / 输出，极性可选且使用灵活。
- 处于从机模式时，SPI 上的活动允许在任意使能中断上从深度睡眠模式唤醒。

**注：**不支持 Texas Instruments SSI 和 National Microwire 模式。

### 7.17.6 I<sup>2</sup>C 总线接口

I<sup>2</sup>C 总线是双向的，仅使用以下两根线进行 I<sup>2</sup>C 控制：串行时钟线 (SCL) 和串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I<sup>2</sup>C 是一种多主机总线，可由所连接的多个总线主机进行控制。

#### 7.17.7 特性

- 独立的主机、从机和监控器功能。
- 支持的总线速度：
  - 标准模式，最高 100 kb/s。
  - 快速模式，最高 400 kb/s。
  - 超快速模式下，最高 1 Mbits/s（在特定的 I<sup>2</sup>C 引脚上）。
  - 高速模式下，3.4 Mbits/s（仅作为从机）（在特定的 I<sup>2</sup>C 引脚上）。
- 支持多主机和带从机功能的多主机。
- 硬件支持多个 I<sup>2</sup>C 从机地址。
- 可以通过一个位屏蔽或一个地址范围选择性验证一个从机地址，从而响应多个 I<sup>2</sup>C 总线地址。
- 通过软件辅助支持 10 位寻址。
- 支持系统管理总线 (SMBus)。
- 用于主机、从机和监控器功能的单独 DMA 请求。
- 不需要芯片时钟就能接收和比较从机地址，因而此事件可以从深度睡眠模式唤醒器件。

### 7.17.8 I<sup>2</sup>S 总线接口

I<sup>2</sup>S 总线为流数据传输应用（例如数字音频或数据收集）提供一个标准通信接口。I<sup>2</sup>S 总线规范定义一种 3 线串行总线，包含一个数据、一个时钟以及一个字选择 / 帧触发信号，提供单声道或双声道（单声道或立体声）音频数据传输及其他配置。在 LPC5411x 中，I<sup>2</sup>S 功能包含在 Flexcomm 接口 6 和 Flexcomm 接口 7 中。这些 Flexcomm 接口每个都采用四对 I<sup>2</sup>S 通道。

一个 Flexcomm 接口中的 I<sup>2</sup>S 接口至少提供一对通道，可以配置为主机或从机。如果存在其他通道对，则始终作为从机操作。一个 Flexcomm 接口中的所有通道对共用一组 I<sup>2</sup>S 信号，一起配置，用以执行发送或接收操作，它们采用相同的模式、相同的数据配置以及相同的帧配置。所有这些通道对都可以参与执行时分复用 (TDM) 安排。对于需要 MCLK 输入和 / 或输出的案例，这种操作会在系统级时钟方案的 I<sup>2</sup>S 数据块外部施行。

#### 7.17.8.1 特性

- 一个 Flexcomm 接口可能采用一对或多对 I<sup>2</sup>S 通道，第一对可能用作主机或从机，而余下的则用作从机。对所有通道对实施集体配置，将它们用于发送或接收，以及共享属性。每个 Flexcomm 接口都有指定的通道对数，可能从 0 对到 4 对。
- 在一个 Flexcomm 接口中，针对所有通道的可配置数据的大小为 4 位到 32 位。每对通道也可单独配置，以用作单个通道（与立体声操作相反的单声道）。
- 一个 Flexcomm 接口中的所有通道对都共用单个位时钟 (SCK)、字选择 / 帧触发器 (WS) 以及数据行 (SDA)。
- 一个 Flexcomm 接口中的所有 I<sup>2</sup>S 数据传输使用 Flexcomm 接口 FIFO。FIFO 的深度为 8 个条目。
- 左对齐和右对齐数据模式。
- DMA 支持采用 FIFO 触发。
- 支持具备多个立体声插槽和 / 或单声道插槽的 TDM（时分复用）。每对通道都可作为任意数据插槽使用。在同一 TDM 数据行中，多对通道可作为不同的插槽使用。
- 位时钟和 WS 可选择性地反相。
- 支持的采用频率由特定的器件配置和应用限制（例如：系统时钟频率、PLL 可用性等）决定，但通常支持标准音频数据传输速率。参见 I<sup>2</sup>S 章节 (UM10914) 下的数据传输速率部分，计算时钟和采样速率。

**注：** Flexcomm 接口功能时钟频率不得高于 48 MHz。

## 7.18 标准计数器 / 定时器 (CTimer0 至 4)

LPC5411x 包括五种 32 位通用定时器 / 计数器。

定时器 / 计数器旨在对系统导出的时钟或外部提供的时钟的周期进行计数。它可根据四个匹配寄存器选择产生中断、产生定时 DMA 请求，或者在指定的定时器值执行其他操作。每个定时器 / 计数器还包括两个捕获输入，用来在输入信号跃迁时捕获定时器值，同时可根据需要产生一个中断。

### 7.18.1 特性

- 一个带有可编程 32 位前置分频器的 32 位定时器 / 计数器。
- 计数器或定时器操作。
- 每个定时器拥有四个 32 位捕获通道，可以在输入信号跃迁时生成定时器值快照。捕获事件也可能产生一个中断。
- 可以配置定时器和预分频器以便在指定捕获事件上清除。此功能允许通过清除输入脉冲前沿的定时器并捕获后沿的定时器值，轻松测量脉冲宽度。
- 四个 32 位匹配寄存器允许：
  - 连续操作，可选择在匹配时产生中断。
  - 在与可选中断生成相匹配时停止定时器运行。
  - 在与可选中断生成相匹配时进行定时器复位。
- 与匹配寄存器对应，每个定时器拥有四个外部输出，它们具有如下功能：
  - 匹配时设置低电平。
  - 匹配时设置高电平。
  - 匹配时切换。
  - 匹配时不执行任何操作。
- 最多有两个匹配寄存器可用来产生定时 DMA 请求。
- PWM 模式在 PWM 输出中使用最多三个匹配通道。

### 7.18.2 SCTimer/PWM 子系统

SCTimer/PWM 是一种灵活的定时器模块，它可以创建复杂的 PWM 波形，执行其他高级时序和控制操作（在最少或无 CPU 干预的情况下）。

在单向或双向模式中，SCTimer/PWM 可以当做单个 32 位计数器使用，或者当做两个单独的 16 位计数器使用。它支持一系列匹配寄存器（可与计数数值进行对比），以及捕获寄存器（在检测到某些预限定条件时可记录当前的计数数值）。

SCTimer/PWM 模块支持多个独立事件，用户可基于某些参数组合（包括其中一个匹配寄存器上的匹配、和 / 或其中一个 SCTimer/PWM 输入或输出上的转换、计数方向及其他因素）来定义这些事件。

SCTimer/PWM 模块执行的每种操作都是对其中某个用户定义事件的直接响应，而且不需要任何软件开销。任何事件都能够被使能，以便：

- 开始、停止或挂起计数器。
- 限制计数器：在单向模式中清除计数器，或在双向模式中改变其方向。
- 置位、清除或切换任何 SCTimer/PWM 输出。
- 强制进入任何捕获寄存器捕获计数数值。
- 生成一个 DMA 请求中断。

#### 7.18.2.1 特性

- SCTimer/PWM 支持：
  - 八个输入。
  - 八个输出。
  - 十个匹配 / 捕获寄存器。
  - 十个事件。
  - 十种状态。
- 计数器 / 定时器特性：
  - 每一个 SCTimer/PWM 都可配置为 2 个 16 位计数器或 1 个 32 位计数器。
  - 计数器由系统时钟或所选输入来进行计时。
  - 数量可配置的匹配寄存器和捕获寄存器。总共 5 个匹配和捕获寄存器。
  - 十个事件。
  - 十种状态。
  - 匹配和 / 或输入或输出转换时触发以下事件：中断；停止、限制、挂起定时器或改变计数方向；切换输出；改变状态。
  - 计数器值可以载入捕获寄存器，由匹配或输入 / 输出切换触发。
- PWM 特性：
  - 计数器可以与匹配寄存器一同使用，以便切换输出，并创建与时间成比例的 PWM 信号。
  - 最多 8 个单边沿或 4 个双边沿 PWM 输出，具有独立的占空比和相同的 PWM 周期长度。
- 事件创建特性：

- 以下条件定义了一次事件：计数器匹配条件、输入（或输出）条件（如上升沿或下降沿或电平）、匹配和 / 或输入 / 输出条件组合。
- 所选事件可以限制、挂起、启动或停止计数器操作，或者改变其方向。
- 事件触发状态改变、输出切换、中断和 DMA 事务。
- 匹配寄存器 0 可用作自动限值。
- 在双向模式中，事件可以根据计数方向使能。
- 可以保持匹配事件，直至发生另一个符合条件的事件。
- 状态控制特性：
  - 状态由计数器运行时的事件状态决定。
  - 事件的发生导致状态改变。
  - 每一个事件都能分配至一个或多个状态。
  - 状态变量可以对多个计数器周期进行排序。

### 7.18.3 窗口化看门狗定时器 (WWDT)

看门狗定时器用于在可编程时间内复位或中断进入错误状态的微控制器。看门狗定时器使能时，如果用户程序未能在预定时间内馈入（或重新载入）看门狗，则会生成看门狗复位。

#### 7.18.3.1 特性

- 如果在可编程超时周期内未重新载入，则可在内部复位芯片。
- 可选的窗口操作需要在最短与最长时间周期（这两者均可编程设定）范围内重新载入。
- 可在看门狗超时之前的可编程时间生成可选的警报中断。
- 带内部固定预分频器的可编程 24 位定时器。
- 时间周期可选，从 1,024 个看门狗时钟 ( $T_{WDCLK} \times 256 \times 4$ ) 到超过 6,700 万个看门狗时钟 ( $T_{WDCLK} \times 2^{24} \times 4$ )，步长为 4 个看门狗时钟。
- “安全”看门狗操作。一旦使能，则要求禁用硬件复位或看门狗复位。
- 喂狗序列不正确会立即导致看门狗事件（使能状态下）。
- 可选择保护看门狗重新载入值，使其只能在“警报中断”时间后才能改变。
- 指示看门狗复位的标志。
- 看门狗时钟 (WDCLK) 是一种可选频率源，范围为 6 kHz 至 1.5 MHz。随着温度、电压和硅加工的变化，该时钟的精度限制在  $\pm 40\%$  范围内。
- 看门狗定时器可配置为在深度睡眠模式下运行。
- 调试模式。

### 7.18.4 RTC 定时器

RTC 数据块有两个定时器：主 RTC 定时器和高分辨率 / 唤醒定时器。主 RTC 定时器是一个 32 位定时器，使用一个 1 Hz 的时钟，并作为实时时钟连续运行。当定时器值达到匹配值时，会产生中断。如果使能，警报中断还可从任意低功耗模式唤醒器件。

高分辨率或唤醒定时器是一个 16 位定时器，使用一个 1 kHz 时钟并作为单次掉电定时器使用。加载定时器时，会开始向下计数至零，这时会产生中断。中断可用于从任意低功耗模式唤醒器件。此定时器用于从深度睡眠或深度掉电模式定时唤醒。如果未使用，可禁用此高分辨率唤醒定时器，从而节省功耗。

RTC 定时器使用 32.768 kHz 时钟输入来创建一个 1 Hz 或 1 kHz 时钟。

#### 7.18.4.1 特性

- RTC 振荡器拥有以下时钟输出：
  - 32.768 kHz 时钟，可选系统时钟和 CLKOUT 引脚。
  - 用于 RTC 计时的 1 Hz 时钟。
  - 用于高分辨率 RTC 计时的 1 kHz 时钟。
- 用于警报生成的 32 位、1 Hz RTC 计数器和相关匹配寄存器。
- 在 1 kHz 时计时的单独的 16 位高分辨率 / 唤醒定时器，用于 1 ms 分辨率，最大定时溢出的周期超过 1 分钟。
- RTC 警报和高分辨率 / 唤醒定时器超时，每个定时器都生成独立的中断请求。任意一个超时都可将器件从包括深度掉电模式在内的任何低功耗模式唤醒。

### 7.18.5 多速率定时器 (MRT)

多速率定时器 (MRT) 提供四通道重复中断定时器。每一个通道均可采用独立的时间间隔编程，并且每一个通道的工作都独立于其他通道。

#### 7.18.5.1 特性

- 24 位中断定时器。
- 4 个通道独立从单独设置的值开始递减计数。
- 重复中断、单次中断和单次总线中断模式。



### 7.18.6 Micro-tick 定时器 (UTICK)

超低功耗 Micro-tick 定时器，通过看门狗振荡器运行，可用于将器件从低功耗模式中唤醒。

#### 7.18.6.1 特性

- 超简单定时器。
- 写入一次以启动。
- 中断或软件轮询。
- 可通过外部引脚变换触发的四个捕获寄存器。

### 7.19 12 位模数转换器 (ADC)

ADC 支持 12 位分辨率和高达 5.0 MSPS 的快速转换速率。模数转换序列可通过多个源触发。潜在触发源有 SCTimer/PWM、外部引脚以及 ARM TXEV 中断。

ADC 支持各种时钟方案，带同步至系统时钟的时钟和用于高速转换的单独异步时钟

ADC 集成硬件阈值比较功能，带过零检测。阈值交叉中断可从内部连接至 SCTimer/PWM 输入，在 ADC 和 SCTimer/PWM 之间支持紧凑定时控制。

#### 7.19.1 特性

- 12 位逐次逼近型模数转换器。
- 多达 12 个引脚的多路输入。
- 两个可配置转换序列具有独立的触发。
- 可选自动阈值上 / 下限比较和过零检测。
- 测量范围： $V_{REFN}$  至  $V_{REFP}$ （不超过  $V_{DDA}$  电压电平）。
- 12 位转换率为 5.0 MHz。可选择在更高转换率的条件下提供更低分辨率。
- 用于单个或多个输入的突发转换模式。
- 同步或异步操作。异步操作可提供选择 ADC 时钟频率的最大灵活性，同步模式可实现最小触发器延迟并可消除不确定性和抖动以响应触发器。
- 温度传感器作为备选输入连接，供 ADC 通道 0 使用。

### 7.20 温度传感器

温度传感器变送器使用一个内部 pn-junction 二极管基准，输出补充绝对温度 ( $V_{CTAT}$ ) 电压。输出电压与器件温度成反比，随温度变化而变化，其绝对精确度高于  $\pm 3\text{ }^{\circ}\text{C}$ （相对于整个温度范围， $-40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$ ）。温度传感器几乎为直线，只具备较小的曲率。输出电压测量选取了不同的温度范围，且采用了适合的线性最小二乘行。

上电之后，必须允许温度传感器输出先达到稳定值，然后才能用作准确的 ADC 输入。



如果是由 ADC 实施温度传感器准确测量，则 ADC 必须配置为单通道突发模式。九级转换（或更多）突发的最终值提供准确结果。

## 7.21 系统控制

### 7.21.1 时钟源

LPC5411x 支持两个外部和三个内部时钟源：

- 自由运行振荡器 (FRO)。
- 看门狗振荡器 (WDTOSC)。
- 来自数字 I/O 引脚 CLKIN 的外部时钟源。
- 外部 RTC 32.768 kHz 时钟。
- 系统 PLL 的输出。

#### 7.21.1.1 FRO

内部 FRO 可以用作系统 PLL 的 CPU 时钟或时钟源。上电或任何芯片复位后，LPC5411x 会使用一个内部 12 MHz FRO 作为时钟源。软件稍后可能会切换到其他可用时钟源之一。可选的 48 MHz 或 96 MHz FRO 也可用作时钟源。

48 MHz FRO 可用作 USB 的时钟源。

FRO 在整个电压和温度范围内调校为  $\pm 1\%$  精确度。

#### 7.21.1.2 看门狗振荡器 (WDTOSC)

看门狗振荡器是一个低功耗内部振荡器。WDTOSC 可用于提供 WWDT 和整个芯片的时钟。看门狗振荡器具备可选频率，范围为 6 kHz 至 1.5 MHz。

#### 7.21.1.3 时钟输入

外部方波时钟源（最高 25 MHz）可以由数字 I/O 引脚 CLKIN 来输入。

#### 7.21.1.4 RTC 振荡器

当 PLL 输入或输出被选为主时钟的时钟源时，外部 RTC (32.768 kHz) 可用于创建主时钟。

#### 7.21.1.5 系统 PLL

系统 PLL 支持 CPU 以最高 CPU 速率工作，无需高频外部时钟。系统 PLL 可通过内部 FRO 12 MHz 输出、外部时钟输入 CLKIN 或 RTC 振荡器运行。

系统 PLL 接受范围在 32 kHz 至 25 MHz 之间的输入时钟频率。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。PLL 可通过软件使能或禁用。

### 7.21.2 时钟生成

系统控制模块可生成时钟。可支持许多时钟变化。图 8 概述了潜在的时钟选项。

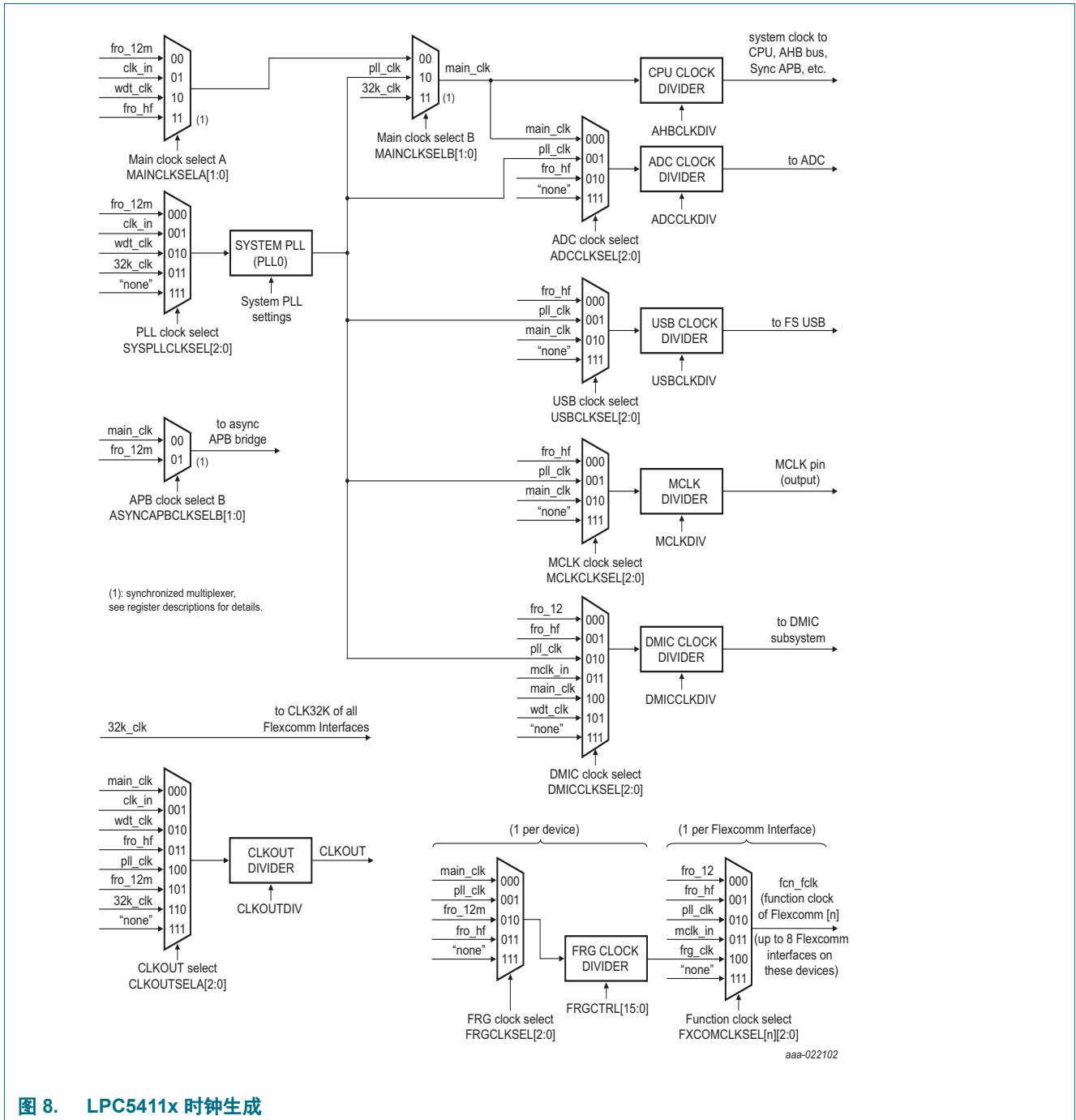


图 8. LPC5411x 时钟生成

表 9 描述了时钟示意图上的信号。

表 9. 时钟示意图信号名称说明

名称	说明
32k_clk	RTC 振荡器的 32 kHz 输出。在 RTCOSCCTRL 寄存器中，32 kHz 时钟必须使能。
clk_in	这是源自 CLK_IN 引脚功能的内部时钟。必须通过在 IOCON 数据块中选定该功能，以将其连接到引脚。
frg_clk	小数速率发生器的输出。
fro_12m	当前选定的片上 FRO 振荡器的 12 MHz 输出。
fro_hf	当前选定的 FRO 高速输出。可能为 96 MHz，也可能为 48 MHz。
main_clk	主时钟会被 CPU 和 AHB 总线使用，也可能被其他器件使用。
mclk_in	MCLK 输入功能，通过在 IOCON 数据块中选定该功能，从而将其连接到引脚。
pll_clk	PLL 的输出。
wdt_clk	看门狗振荡器的输出，它具有一个可选的目标频率。此外，还必须在 PDRINCFG0 寄存器中将其使能。
"none"	一个取消连接源，当关联多路复用器的输入未使用时，应选中此源，以节省能耗。

### 7.21.3 欠压检测

LPC5411x 集成一个监视器，来监控  $V_{DD}$  引脚上的电压。如果此电压下降到固定水平以下，则 BOD 设置一个用于查询或引发中断的标志。此外，还可选择一个单独的阈值水平从而引起芯片复位和中断。

### 7.21.4 安全

LPC5411x 包含可在复位后由软件使能的窗口化看门狗定时器 (WWDT)。一旦使能后，WWDT 将保持锁定并且在发生复位之前不得以任何方式进行修改、

## 7.22 代码安全性（代码读取保护 - CRP）


LPC5411x 的功能允许用户在系统中提供不同的安全等级，以便限制针对片上 flash 的访问，以及限制使用串行线调试器 (SWD) 和在系统编程 (ISP)。需要时，通过在指定 flash 位置对特定模式进行编程来调用 CRP。IAP 命令不受 CRP 影响。

此外，复位时可以通过拉低 LPC5411x 上的引脚来调用 ISP 输入。此引脚叫做 ISP 输入引脚。

提供 3 级代码读取保护：

1. CRP1 禁用通过 SWD 访问芯片，允许使用有限的 ISP 命令集进行部分闪存更新（闪存扇区 0 除外）。此模式在要求 CRP 且需要更新闪存字段但不能擦除所有扇区时有用。
2. CRP2 禁用通过 SWD 访问芯片，仅允许更少的 ISP 命令集进行完整闪存擦除和更新。
3. CRP3 可全面禁用任何通过 SWD 和 ISP 的芯片访问。是否通过 IAP 调用来提供（如果需要）flash 更新机制，或者通过重新调用 ISP 命令从而利用 USART 来使能 flash 更新，由用户应用决定。

- 除了 3 个 CRP 等级外，可以禁用针对有效用户代码的 ISP 入口引脚采样（No\_ISP 模式）。详情请参见 LPC5411x 用户手册。

注意事项	
	如果选择了 3 级代码读取保护 (CRP3)，该器件以后将无法执行厂商测试。

### 7.23 仿真和调试

调试和跟踪功能集成到 ARM Cortex-M4 和 ARM Cortex-M0+ 中。支持串行线调试和追踪功能。ARM Cortex-M4 经过配置后可支持多达 8 个断点和 4 个观察点。ARM Cortex-M0+ 配置为支持最多 4 个断点和 2 个观察点。此外，还可提供 JTAG 边界扫描模式。

支持 ARM SYSREQ 复位，并引发处理器复位外设，执行引导代码，从地址 0x0000 0000 重新启动并在用户入口点中断。

SWD 引脚和与其他数字 I/O 引脚多路复用。一旦复位，这些引脚可默认假设为 SWD 功能。

## 8. 限值

表 10. 限值

依照“绝对最大额定值体系 (IEC 60134)”。<sup>[1]</sup>

符号	参数	条件		最小值	最大值	单位
V <sub>DD</sub>	电源电压（内核和外部供电轨）	引脚 V <sub>DD</sub> 上	[2]	-0.5	4.6	V
V <sub>DDA</sub>	模拟供电电压	引脚 V <sub>DDA</sub> 上		-0.5	4.6	V
V <sub>ref</sub>	参考电压	在 VREFP 引脚上	-	-0.5	4.6	V
V <sub>I</sub>	输入电压	仅当 V <sub>DD</sub> > 1.8 V 时有效； 5 V 兼容的 I/O 引脚	[6][7]	-0.5	+5.0	V
V <sub>I</sub>	输入电压	I2C 开漏引脚上	[5]	-0.5	+5.0	V
		USB_DM、 USB_DP 引脚		-0.5	+5.0	V
V <sub>IA</sub>	模拟输入电压	针对模拟功能配置的数字引脚上	[8][9]	-0.5	V <sub>DD</sub>	V
I <sub>DD</sub>	总电源电流	每个电源引脚	[3]	-	60	mA
I <sub>SS</sub>	总接地电流	每个接地引脚	[3]	-	60	mA
I <sub>latch</sub>	I/O 闩锁电流	-(0.5V <sub>DD</sub> ) < V <sub>I</sub> < (1.5V <sub>DD</sub> ) ; T <sub>j</sub> < 125 °C		-	100	mA
V <sub>i(rcx)</sub>	32.768 kHz 振荡器输入电压		[2]	-0.5	4.6	V
T <sub>stg</sub>	存储温度		[10]	-65	+150	°C
T <sub>j(max)</sub>	最大结点温度			-	+150	°C
P <sub>tot(pack)</sub>	总功耗（每个封装）	基于封装的热传递，不是器件的功耗		-	1.5	W
V <sub>ESD</sub>	静电放电电压	人体模型；所有引脚	[4]		4000	V

[1] 以下情况适用于极限值：

- a) 该产品包含专门设计用以保护其内部器件的电路，用来防止过量静电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
  - b) 参数在工作温度范围内有效，除非另有说明。所有电压都是相对于 V<sub>SS</sub> 而言的，除非另有说明。
  - c) 限制值仅为应力额定值，不建议在这些值下操作器件，也不保证会正常运行。功能操作的条件如表 20 中所示。
- [2] 最大工作电压以上（参见表 20）和地以下的电压最大值 / 最小值可在短时间内 (< 10 ms) 施加于器件上，而不会导致无法恢复的故障。故障包括器件损失可靠性和缩短使用寿命。
- [3] 峰值电流的上限为对应最大电流的 25 倍。
- [4] 人体放电模型：相当于通过 1.5 kΩ 的串行电阻对 100 pF 电容放电。
- [5] V<sub>DD</sub> 存在或不存在。符合 I<sup>2</sup>C 总线标准。当 V<sub>DD</sub> 掉电时，此引脚上可施加 5.5 V。
- [6] 适用于所有 5 V 兼容 I/O 引脚，真正开漏引脚除外。
- [7] 包括 3 态模式下输出上的电压。
- [8] 可短时间施加超过 3.6 V 的 ADC 输入电压，而不会导致瞬时不可恢复故障。器件寿命期内，持续暴露于 4.6 V 升压下的总时间必须少于 10<sup>6</sup> s。长时间向 ADC 输入端施加升压会影响器件的可靠性，缩短其寿命。
- [9] 建议在模拟输入引脚和电压电源引脚之间连接一个过压保护二极管。
- [10] 取决于封装类型。

## 9. 热学特性

芯片结温的平均值  $T_j$  (°C) 可以通过下式计算:

$$T_j = T_{amb} + (P_D \times R_{th(j-a)}) \quad (1)$$

- $T_{amb}$  = 环境温度 (°C),
- $R_{th(j-a)}$  = 封装结至环境热阻 (°C/W)
- $P_D$  = 内部和 I/O 功耗的总和

内部功耗等于  $I_{DD}$  和  $V_{DD}$  的乘积。I/O 引脚的 I/O 功耗往往较小，很多时候都可以忽略不计。不过，它在某些应用中可能比较重要。

**表 11. 热阻**

符号	参数	条件	最大值 / 最小值	单位
<b>LQFP64 封装</b>				
$R_{th(j-a)}$	结到环境热阻	JEDEC (4.5 英寸 × 4 英寸); 静止空气	58 ± 15 %	°C/W
		单层 (4.5 英寸 × 3 英寸); 静止空气	81 ± 15 %	°C/W
$R_{th(j-c)}$	结到外壳热阻		18 ± 15 %	°C/W
<b>WLCSP49 封装</b>				
$R_{th(j-a)}$	结到环境热阻	JEDEC (4.5 英寸 × 4 英寸); 静止空气	41 ± 15 %	°C/W
$R_{th(j-c)}$	结到外壳热阻		0.3 ± 15 %	°C/W

## 10. 静态特性

### 10.1 一般工作条件

表 12. 一般工作条件

除非另有说明,  $T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
$f_{clk}$	时钟频率	内部 CPU/ 系统时钟	-	-	100	MHz
$V_{DD}$	电源电压 (内核和外部供电轨)		1.62	-	3.6	V
$V_{DDA}$	模拟供电电压		1.62	-	3.6	V
$V_{refp}$	ADC 正基准电压	$V_{DDA} \geq 2\text{ V}$	2.0	-	$V_{DDA}$	V
		$V_{DDA} < 2\text{ V}$	$V_{DDA}$	-	$V_{DDA}$	V
<b>RTC 振荡器引脚</b>						
$V_{i(rtcx)}$	32.768 kHz 振荡器输入电压	引脚 RTCXIN 上	-0.5	-	+3.6	V
$V_{o(rtcx)}$	32.768 kHz 振荡器输出电压	引脚 RTCXOUT 上	-0.5	-	+3.6	V

[1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得。

## 10.2 CoreMark 数据

表 13. CoreMark 得分

 $T_{amb} = 25^{\circ}\text{C}$ ,  $V_{DD} = 3.3\text{V}$ 

参数	条件		典型值	单位
<b>ARM Cortex-M4 处于工作模式； ARM Cortex-M0+ 处于睡眠模式</b>				
CoreMark 得分	从 SRAMX 执行 CoreMark 代码；			
	CCLK = 12 MHz	[1][2][3][5][6]	2.6	(迭代 /s) /MHz
	CCLK = 48 MHz	[1][2][3][5][6]	2.6	(迭代 /s) /MHz
	CCLK = 96 MHz	[1][2][3][5][6]	2.6	(迭代 /s) /MHz
CoreMark 得分	从 flash 执行 CoreMark 代码；			
	CCLK = 12 MHz ; 1 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	2.6	(迭代 /s) /MHz
	CCLK = 48 MHz ; 3 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	2.4	(迭代 /s) /MHz
	CCLK = 96 MHz ; 6 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	2.1	(迭代 /s) /MHz
<b>ARM Cortex-M0+ 处于工作模式； ARM Cortex-M4 处于睡眠模式</b>				
CoreMark 得分	从 SRAMX 执行 CoreMark 代码；			
	CCLK = 12 MHz	[1][2][3][5][6]	2.0	(迭代 /s) /MHz
	CCLK = 48 MHz	[1][2][3][5][6]	2.0	(迭代 /s) /MHz
	CCLK = 96 MHz	[1][2][3][5][6]	2.0	(迭代 /s) /MHz
CoreMark 得分	从 flash 执行 CoreMark 代码；			
	CCLK = 12 MHz ; 1 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	2.0	(迭代 /s) /MHz
	CCLK = 48 MHz ; 3 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	1.9	(迭代 /s) /MHz
	CCLK = 96 MHz ; 6 个系统时钟的 flash 访问时间。	[1][2][3][4][6]	1.7	(迭代 /s) /MHz

[1] 时钟源 FRO。禁用 PLL。

[2] 通过对典型样本进行测试台测量来描述特性。

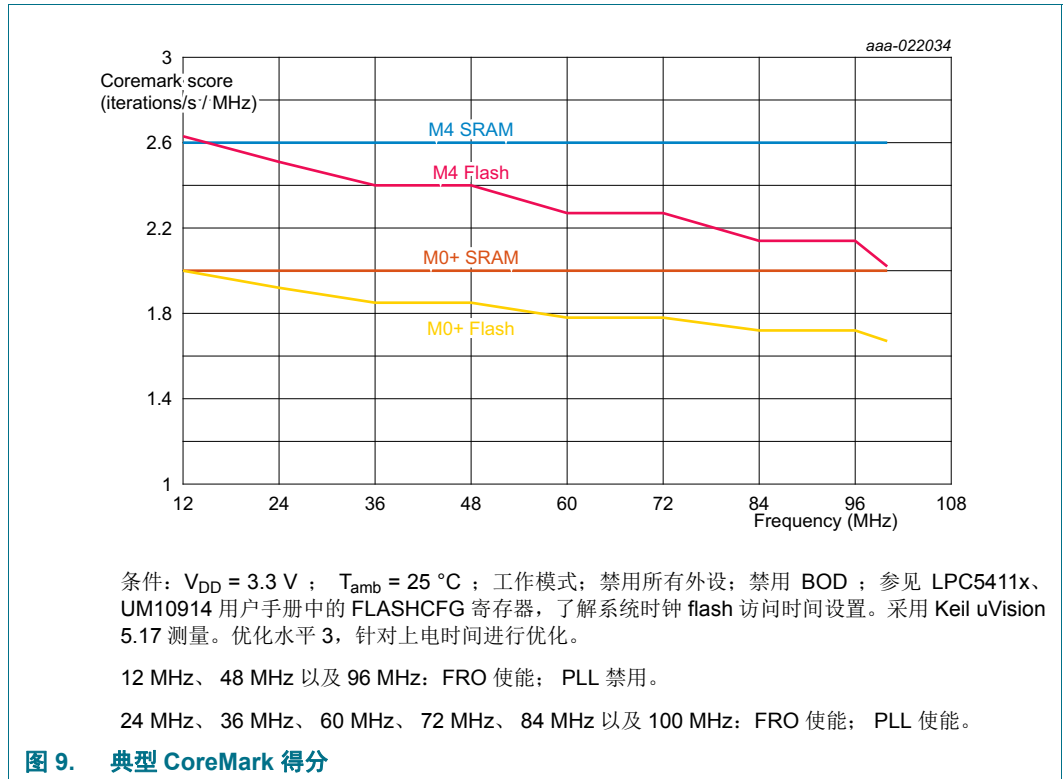
[3] 编译器设置：Keil  $\mu$ Vision v.5.17，优化等级 3，针对上电时间进行优化。

[4] 参见 LPC5411x 用户手册中的 FLASHCFG 寄存器，了解系统时钟 flash 访问时间设置。

[5] flash 已掉电

[6] SRAM1 和 SRAM2 已掉电。SRAM0 和 SRAMX 已上电。





### 10.3 功耗

在下列条件下测量工作、睡眠和深度睡眠模式下的功耗：

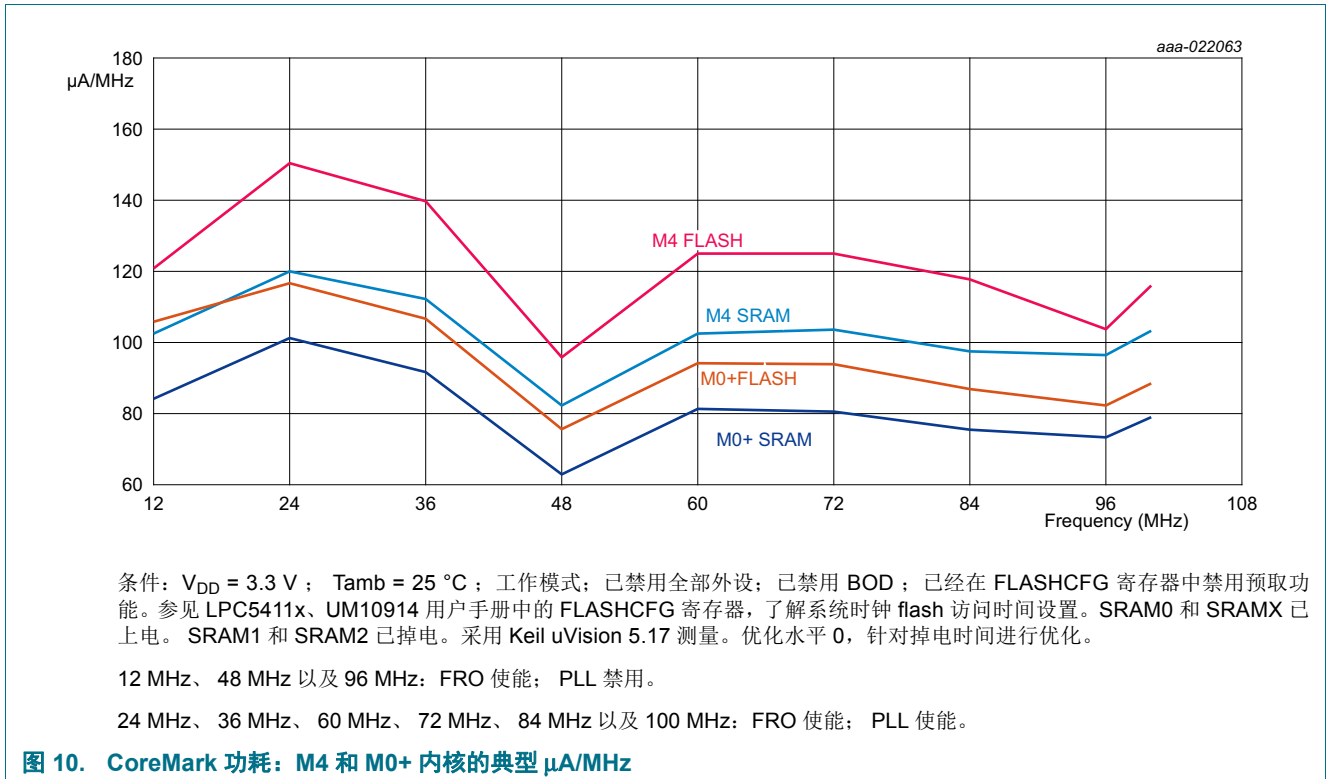
- 在 IOCON 模块中禁用上拉电阻，将所有引脚配置为 GPIO。
- 使用 GPIO DIR 寄存器将 GPIO 引脚配置为输出。
- 向 GPIO CLR 寄存器写入 1，驱动输出至低电平。
- 禁用所有外设。

**表 14. 静态特性：处于工作模式的功耗**

除非另有说明， $T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
<b>ARM Cortex-M0+ 处于工作模式； ARM Cortex-M4 处于睡眠模式</b>							
I <sub>DD</sub>	电源电流	从 SRAMX 执行 CoreMark 代码； flash 掉电 CCLK = 12 MHz	[2][3][4][6][7]	-	1.1	-	mA
		CCLK = 48 MHz	[2][3][4][6][7]	-	3.0	-	mA
		CCLK = 96 MHz	[2][3][4][6]	-	7.1	-	mA
I <sub>DD</sub>	电源电流	从 flash 执行 CoreMark 代码； CCLK = 12 MHz； 1 个系统时钟的 flash 访问时间。	[2][3][4][5][7]	-	1.3	-	mA
		CCLK = 48 MHz； 3 个系统时钟的 flash 访问时间。	[2][3][4][5][7]	-	3.6	-	mA
		CCLK = 96 MHz； 7 个系统时钟的 flash 访问时间。	[2][3][4][5]	-	8.0	-	mA
<b>ARM Cortex-M4 处于工作模式； ARM Cortex-M0+ 处于睡眠模式</b>							
I <sub>DD</sub>	电源电流	从 SRAMX 执行 CoreMark 代码； flash 掉电 CCLK = 12 MHz	[2][3][4][6][7]	-	1.3	-	mA
		CCLK = 48 MHz	[2][3][4][6][7]	-	3.9	-	mA
		CCLK = 96 MHz	[2][3][4][6]	-	9.3	-	mA
I <sub>DD</sub>	电源电流	从 flash 执行 CoreMark 代码； CCLK = 12 MHz； 1 个系统时钟的 flash 访问时间。	[2][3][4][5][7]	-	1.5	-	mA
		CCLK = 48 MHz； 3 个系统时钟的 flash 访问时间。	[2][3][4][5][7]	-	4.6	-	mA
		CCLK = 96 MHz； 7 个系统时钟的 flash 访问时间。	[2][3][4][5]	-	9.9	-	mA

- [1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C)、3.3V 下测得的。
- [2] 时钟源 FRO。禁用 PLL。
- [3] 通过对典型样本进行测试台测量来描述特性。
- [4] 编译器设置：Keil μVision v.5.17，优化等级 0，针对掉电时间进行优化。
- [5] 在 FLASHCFG 寄存器上禁用预取功能。SRAM0 已上电。SRAM1、SRAM2 和 SRAMX 已掉电。禁用所有外设时钟。
- [6] flash 已掉电；SRAM0 和 SRAMX 已上电；SRAM1 和 SRAM2 已掉电。禁用所有外设时钟。
- [7] 利用低功耗调节模式来描述特性。



**表 15. 静态特性: 处于睡眠模式的功耗**

除非另有说明,  $T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$ 。  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
<b>ARM Cortex-M4 处于睡眠模式; ARM Cortex-M0+ 处于睡眠模式</b>							
$I_{DD}$	电源电流	CCLK = 12 MHz	[2][3]	-	900	-	$\mu\text{A}$
		CCLK = 48 MHz	[2][3]	-	1.6	-	mA
		CCLK = 96 MHz	[2][3]	-	3.0	-	mA

- [1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C)、3.3V 下测得的。
- [2] 通过对典型样本进行测试台测量来描述特性。
- [3] 时钟源 FRO。禁用 PLL。所有 SRAM 均上电。编译器设置: Keil  $\mu\text{Vision}$  v.5.17, 优化等级 0, 针对掉电时间进行优化。

表 16. 静态特性：深度睡眠模式和深度掉电模式下的功耗

$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ ,  $1.62\text{ V} \leq V_{DD} \leq$ ; 除非另有说明。

符号	参数	条件	最小值	典型值 <a href="#">[1][2]</a>	最大值 <a href="#">[3]</a>	单位	
I <sub>DD</sub>	电源电流	深度睡眠模式。flash 已掉电。					
		SRAM0 (32 kB) 已上电。T <sub>amb</sub> = 25 °C	-	10	17	μA	
		SRAM0 (32 kB) 已上电。T <sub>amb</sub> = 105 °C			167		
		SRAM0 (64 kB)、SRAM1 (64 kB) 已上电。	-	13	-	μA	
		SRAM0 (64 kB)、SRAM1 (64 kB)、SRAM2 (32 kB) 已上电。	-	14	-	μA	
		SRAM0 (64 kB)、SRAM1 (64 kB)、SRAM2 (32 kB)、SRAMX (32 kB) 已上电。	-	16	-	μA	
		深度掉电模式； RTC 振荡器输入已接地（已禁用 RTC 振荡器）。					
		T <sub>amb</sub> = 25 °C	-	290	330	nA	
		T <sub>amb</sub> = 105 °C	-	-	6	μA	
RTC 振荡器以外部晶振运行。	-	390	-	nA			

[1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C) 下测得的。

[2] 通过对典型样本进行测试台测量来描述特性。V<sub>DD</sub> = 1.62 V。

[3] 数据基于特性结果，未在生产中测试。V<sub>DD</sub> = 2.0 V。

表 17. 静态特性：深度睡眠模式和深度掉电模式下的功耗

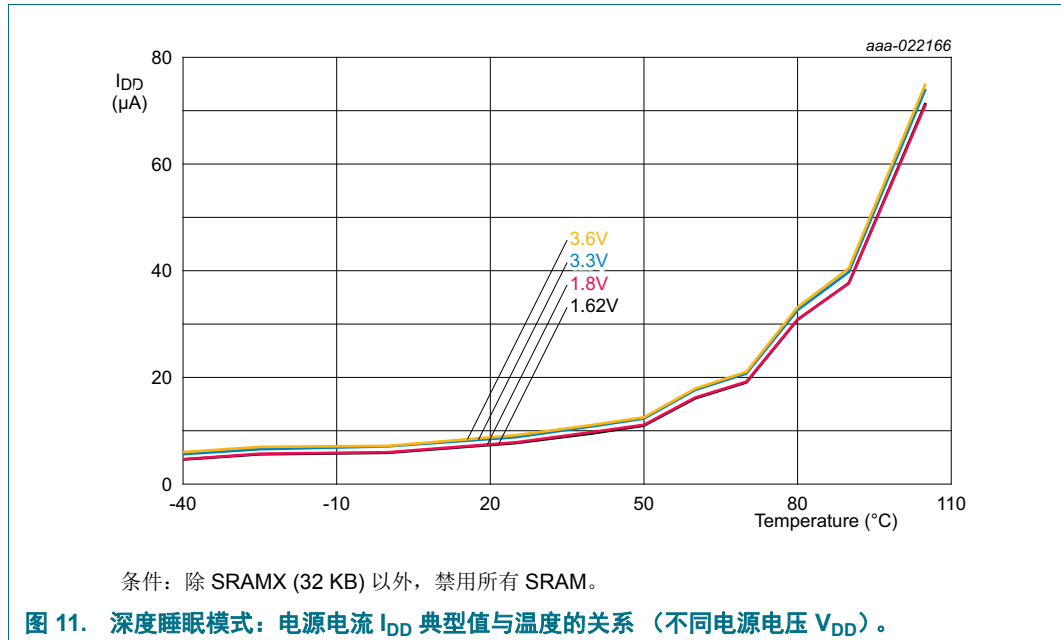
$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ ， $2.7\text{ V} \leq$ 。除非另有说明， $V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值 <a href="#">[1][2]</a>	最大值 <a href="#">[3]</a>	单位	
$I_{DD}$	电源电流	深度睡眠模式。flash 已掉电。					
		SRAM0 (32 kB) 已上电。 $T_{amb} = 25\text{ °C}$	-	12	19	$\mu\text{A}$	
		SRAM0 (32 kB) 已上电。 $T_{amb} = 105\text{ °C}$	-	-	182		
		SRAM0 (64 kB)、SRAM1 (64 kB) 已上电。	-	15	-	$\mu\text{A}$	
		SRAM0 (64 kB)、SRAM1 (64 kB)、SRAM2 (32 kB) 已上电。	-	16	-	$\mu\text{A}$	
		SRAM0 (64 kB)、SRAM1 (64 kB)、SRAM2 (32 kB)、SRAMX (32 kB) 已上电。	-	18	-	$\mu\text{A}$	
		深度掉电模式； RTC 振荡器输入已接地（已禁用 RTC 振荡器）。					
		$T_{amb} = 25\text{ °C}$	-	360	470	nA	
		$T_{amb} = 105\text{ °C}$	-	-	10	$\mu\text{A}$	
RTC 振荡器以外部晶振运行。	-	450	-	nA			

[1] 无法保证得到典型额定值。上表列出的典型值是在室温 (25 °C) 下测得的。

[2] 通过对典型样本进行测试台测量来描述特性。  $V_{DD} = 3.3\text{ V}$ 。

[3] 在生产中测试，  $V_{DD} = 3.6\text{ V}$ 。



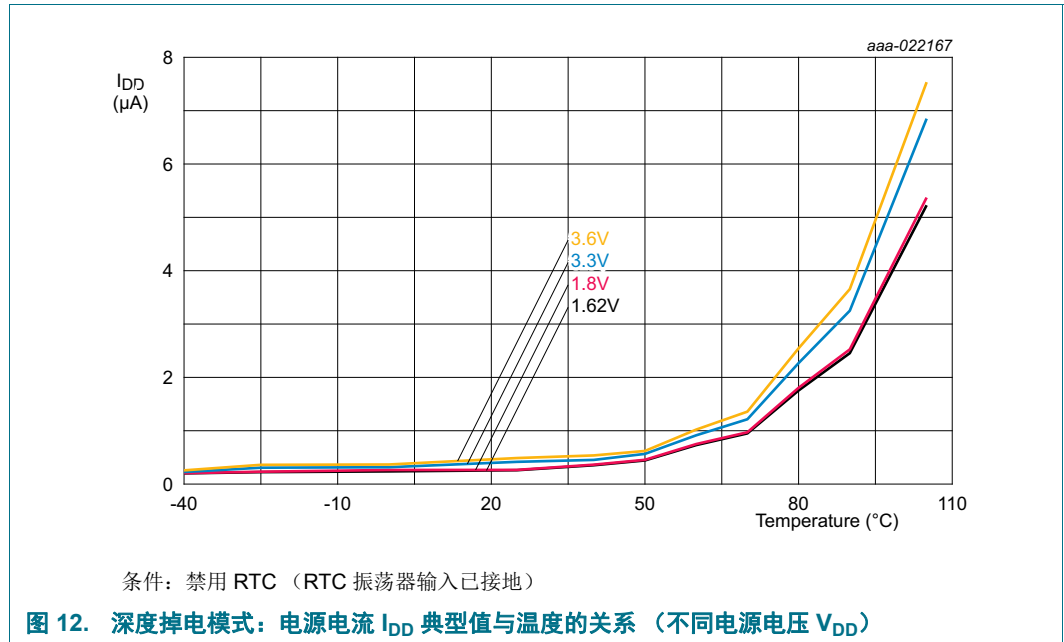


表 18. 典型外设功耗 [1][2][3]

$V_{DD} = 3.3\text{ V}$ ;  $T_{amb} = 25\text{ }^{\circ}\text{C}$

外设	$I_{DD}(\mu\text{A})$
FRO (12 MHz、48 MHz、96 MHz)	100.0
WDT OSC	2.0
Flash	200.0
BOD	2.0

- [1] 根据外设模块在 PDRUNCFG0/1 寄存器中使能以及禁用时电源电流之差, 测量每个外设的电源电流。所有其他模块均为禁用, 且未执行任何访问外设的代码。
- [2] 显示系统时钟频率为 12 MHz、48 MHz 和 96 MHz 时的电源电流。
- [3] 无法保证得到典型额定值。通过对典型样本进行基准测量来描述特性。

表 19. 典型 AHB/APB 外设功耗 [3][4][5]

$T_{amb} = 25\text{ }^{\circ}\text{C}$ ,  $V_{DD} = 3.3\text{ V}$ ;

外设	uA/MHz 中的 $I_{DD}$	uA/MHz 中的 $I_{DD}$	uA/MHz 中的 $I_{DD}$
<b>AHB 外设</b>	<b>CPU: 12 MHz, 同步 APB 总线: 12 MHz</b>	<b>CPU: 48 MHz, 同步 APB 总线: 48 MHz</b>	<b>CPU: 96MHz, 同步 APB 总线: 96 MHz</b>
USB	2.09	2.09	2.09
温度传感器	0.02	0.01	0.01
DMIC	0.17	0.17	0.17
GPIO0	[1] 0.65	0.65	0.65
GPIO1	[1] 0.56	0.56	0.56
DMA	0.34	0.43	0.43

表 19. 典型 AHB/APB 外设功耗 [3][4][5] (续)

$T_{amb} = 25\text{ }^{\circ}\text{C}$ ,  $V_{DD} = 3.3\text{ V}$ ;

外设		uA/MHz 中的 $I_{DD}$	uA/MHz 中的 $I_{DD}$	uA/MHz 中的 $I_{DD}$
CRC		0.50	0.54	0.54
邮箱		0.12	0.12	0.12
ADC0		1.65	1.67	1.67
SCTimer/PWM		4.01	4.05	4.04
Flexcomm 接口 0 (USART、SPI、I <sup>2</sup> C)		1.1	1.2	1.2
Flexcomm 接口 1 (USART、SPI、I <sup>2</sup> C)		1.2	1.2	1.2
Flexcomm 接口 2 (USART、SPI、I <sup>2</sup> C)		1.2	1.2	1.2
Flexcomm 接口 3 (USART、SPI、I <sup>2</sup> C)		1.1	1.1	1.1
Flexcomm 接口 4 (USART、SPI、I <sup>2</sup> C)		1.2	1.2	1.2
Flexcomm 接口 5 (USART、SPI、I <sup>2</sup> C)		1.3	1.3	1.3
Flexcomm 接口 6 (USART、SPI、I <sup>2</sup> C、I <sup>2</sup> S)		1.3	1.3	1.3
Flexcomm 接口 7 (USART、SPI、I <sup>2</sup> C、I <sup>2</sup> S)		1.3	1.3	1.4
<b>同步 APB 外设</b>		<b>CPU: 12 MHz, 同步 APB 总线: 12 MHz</b>	<b>CPU: 48 MHz, 同步 APB 总线: 48 MHz</b>	<b>CPU: 96MHz, 同步 APB 总线: 96 MHz</b>
INPUTMUX	[1]	0.87	0.93	0.93
IOCON	[1]	5.04	5.12	5.12
PINT		1.26	1.26	1.26
GINT		1.20	1.20	1.20
WWDT		0.28	0.32	0.32
RTC		0.65	0.65	0.66
MRT		0.26	0.34	0.34
UTICK		0.13	0.16	0.16
CTimer0		0.52	0.50	0.50
CTimer1		0.39	0.46	0.47
CTimer2		0.48	0.52	0.52
小数速率发生器		0.46	0.44	0.44
<b>异步 APB 外设</b>		<b>CPU: 12 MHz, 异步 APB 总线: 12 MHz</b>	<b>CPU: 48 MHz, 同步 APB 总线: 12 MHz[2]</b>	<b>CPU: 96MHz, 异步 APB 总线: 12 MHz[2]</b>
CTimer3		0.36	0.36	0.36
CTimer4		0.37	0.38	0.38

- [1] 完成配置时关闭外设。
- [2] 为优化系统功耗，可以在 CPU 频率较高时，使用固定的低频率异步 APB 总线。
- [3] 根据外设模块在 ASYNCAPBCLKCTRL、AHBCLKCTRL0/1 和 PDRUNCFG0 寄存器中使能以及禁用时电源电流之差，测量每个外设的电源电流。所有其他模块均为禁用，且未执行任何访问外设的代码。
- [4] 显示系统时钟频率为 12 MHz、48 MHz 和 96 MHz 时的电源电流。
- [5] 无法保证得到典型额定值。通过对典型样本进行基准测量来描述特性。

## 10.4 引脚特性

表 20. 静态特性：引脚特性

除非另有说明， $T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。除非另有说明， $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明，在生产中测试的值。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
<b>RESET 引脚</b>						
$V_{IH}$	高电平输入电压		$0.8 \times V_{DD}$	-	5.0	V
$V_{IL}$	低电平输入电压		-0.5	-	$0.3 \times V_{DD}$	V
$V_{hys}$	迟滞电压		[14] $0.05 \times V_{DD}$	-	-	V
<b>标准 I/O 引脚</b>						
输入特性						
$I_{IL}$	低电平输入电流	$V_I = 0\text{ V}$ ；禁用片上上拉电阻。	-	3.0	180	nA
$I_{IH}$	高电平输入电流	$V_I = V_{DD}$ ； $V_{DD} = 3.6\text{ V}$ ；针对 RESETN 引脚。		3.0	180	nA
$I_{IH}$	高电平输入电流	$V_I = V_{DD}$ ；禁用片上下拉电阻	-	3.0	180	nA
$V_I$	输入电压	配置引脚以提供数字功能； $V_{DD} > 1.8\text{ V}$	[3] 0	-	5.0	V
		$V_{DD} = 0\text{ V}$	0	-	3.6	V
$V_{IH}$	高电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	1.5	-	5.0	V
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	2.0	-	5.0	V
$V_{IL}$	低电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	-0.5	-	+0.4	V
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-0.5	-	+0.8	V
$V_{hys}$	迟滞电压		[14] $0.1 \times V_{DD}$	-	-	V
输出特性						
$V_O$	输出电压	激活输出	0	-	$V_{DD}$	V
$I_{OZ}$	断态输出电流	$V_O = 0\text{ V}$ ； $V_O = V_{DD}$ ；已禁用片上上拉 / 下拉电阻	-	3	180	nA
$V_{OH}$	高电平输出电压	$I_{OH} = -4\text{ mA}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	$V_{DD} - 0.4$	-	-	V
		$I_{OH} = -6\text{ mA}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	$V_{DD} - 0.4$			
$V_{OL}$	低电平输出电压	$I_{OL} = 4\text{ mA}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	-	-	0.4	V
		$I_{OL} = 6\text{ mA}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	0.4	V
$I_{OH}$	高电平输出电流	$V_{OH} = V_{DD} - 0.4\text{ V}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0	-	-	mA
		$V_{OH} = V_{DD} - 0.4\text{ V}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	6.0	-	-	mA
$I_{OL}$	低电平输出电流	$V_{OL} = 0.4\text{ V}$ ； $1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	4.0	-	-	mA
		$V_{OL} = 0.4\text{ V}$ ； $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	6.0	-	-	mA
$I_{OHS}$	高电平短路输出电流 拉高；接地；	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	[2][4] -	-	35	mA
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	87	mA
$I_{OLS}$	低电平短路输出电流 拉低；连接至 $V_{DD}$	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	[2][4] -	-	30	mA
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	-	-	77	mA
弱输入上拉 / 下拉特性						



表 20. 静态特性：引脚特性 (续)

除非另有说明,  $T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。除非另有说明,  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明, 在生产中测试的值。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
$I_{pd}$	下拉电流	$V_I = V_{DD}$	25		80	$\mu\text{A}$	
		$V_I = 5\text{ V}$	[2]	80	100	$\mu\text{A}$	
$I_{pu}$	上拉电流	$V_I = 0\text{ V}$	-25		-80	$\mu\text{A}$	
		$V_{DD} < V_I < 5\text{ V}$	[2][7]	6	30	$\mu\text{A}$	
<b>I<sup>2</sup>C 开漏引脚</b>							
$V_{IH}$	高电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	$0.7 \times V_{DD}$	-	-	V	
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	$0.7 \times V_{DD}$	-	-	V	
$V_{IL}$	低电平输入电压	$1.62\text{ V} \leq V_{DD} < 2.7\text{ V}$	0	-	$0.3 \times V_{DD}$	V	
		$2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	0	-	$0.3 \times V_{DD}$	V	
$V_{hys}$	迟滞电压		$0.1 \times V_{DD}$	-	-	V	
$I_{LI}$	输入泄漏电流	$V_I = V_{DD}$	[5]	-	2.5	3.5	$\mu\text{A}$
		$V_I = 5\text{ V}$		-	5.5	10	$\mu\text{A}$
$I_{OL}$	低电平输出电流	$V_{OL} = 0.4\text{ V}$ ; 针对标准模式或快速模式的引脚配置	4.0	-	-	mA	
		$V_{OL} = 0.4\text{ V}$ ; 针对超快速模式的引脚配置	20	-	-	mA	
<b>USB_DM 和 USB_DP 引脚</b>							
$V_I$	输入电压		0	-	$V_{DD}$	V	
$V_{IH}$	高电平输入电压		2.0	-	-	V	
$V_{IL}$	低电平输入电压		-	-	0.8	V	
$V_{hys}$	迟滞电压		0.4	-	-	V	
$Z_{out}$	输出阻抗		[11]	33.0	-	44	$\Omega$
$V_{OH}$	高电平输出电压		[12]	2.8	-	-	V
$V_{OL}$	低电平输出电压		[13]	-	-	0.3	V
$I_{OH}$	高电平输出电流	$V_{OH} = V_{DD} - 0.3\text{ V}$	[9][10]	38	-	74	mA
		$V_{OH} = V_{DD} - 0.3\text{ V}$	[10][11]	6.0	-	9.0	mA
$I_{OL}$	低电平输出电流	$V_{OL} = 0.3\text{ V}$	[9][10]	38	-	74	mA
		$V_{OL} = 0.3\text{ V}$	[10][11]	6.0	-	9.0	mA
$I_{OLS}$	低电平短路输出电流	拉低; 面板接地	[10]	-	-	100	mA
$I_{OHS}$	高电平短路输出电流	拉高; 面板接地	[10]	-	-	100	mA

表 20. 静态特性：引脚特性 (续)

除非另有说明,  $T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$ 。除非另有说明,  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。除非另有说明, 在生产中测试的值。

符号	参数	条件	最小值	典型值 [1]	最大值	单位	
<b>引脚电容</b>							
$C_{io}$	输入 / 输出电容	I <sup>2</sup> C 总线引脚	[8]	-	-	6.0	pF
		仅带有数字功能的引脚	[6]	-	-	2.0	pF
		带模拟和数字功能的引脚	[6]	-	-	7.0	pF

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。
- [2] 基于特性。未经过生产测试。
- [3] 相对于接地而言。
- [4] 只要电流限制不超过器件允许的最大电流即可。
- [5] 到  $V_{SS}$ 。
- [6] 指定的值为模拟值和绝对值, 包括封装 / 引线电容。
- [7] 弱上拉电阻器与  $V_{DD}$  轨连接, 并将 I/O 引脚上拉至  $V_{DD}$  电位。
- [8] 指定的值为模拟值, 不包括封装 / 断线电容。
- [9] 未配备  $33\ \Omega \pm 2\%$  外部串联电阻器。
- [10] 指定的参数值为模拟值和绝对值。
- [11] 配备  $33\ \Omega \pm 2\%$  外部串联电阻器。
- [12] 配备  $15\ \text{K}\Omega \pm 5\%$  电阻器 (针对  $V_{SS}$ )。
- [13] 配备  $1.5\ \text{K}\Omega \pm 5\%$  电阻器, 外部上拉值为  $3.6\text{ V}$ 。
- [14] 设计保证, 未在生产中测试。

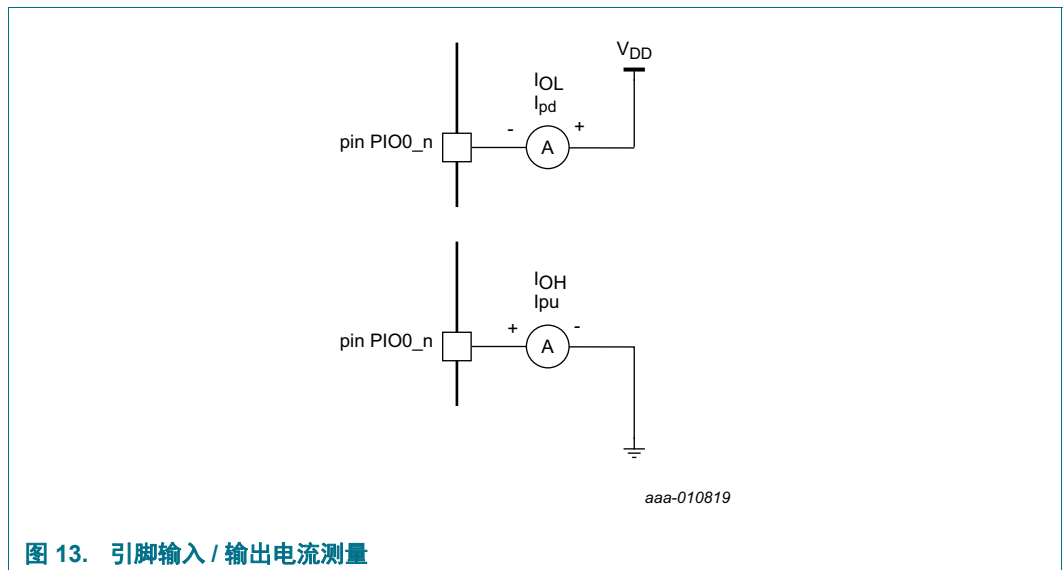
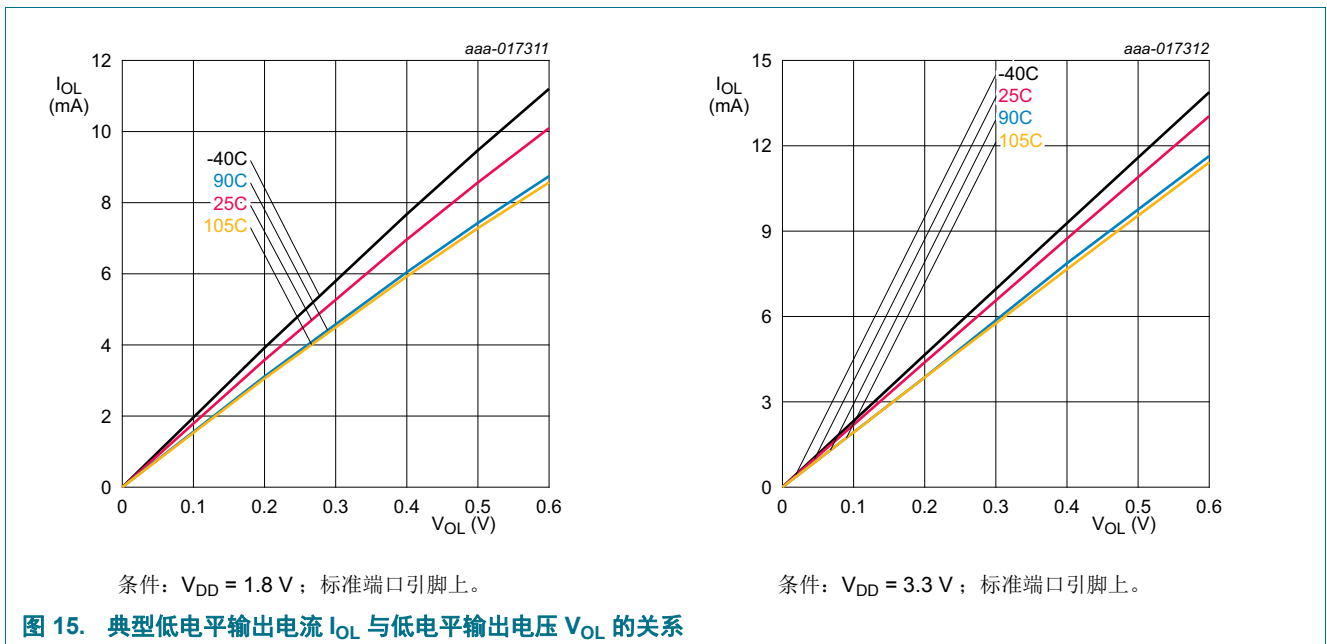
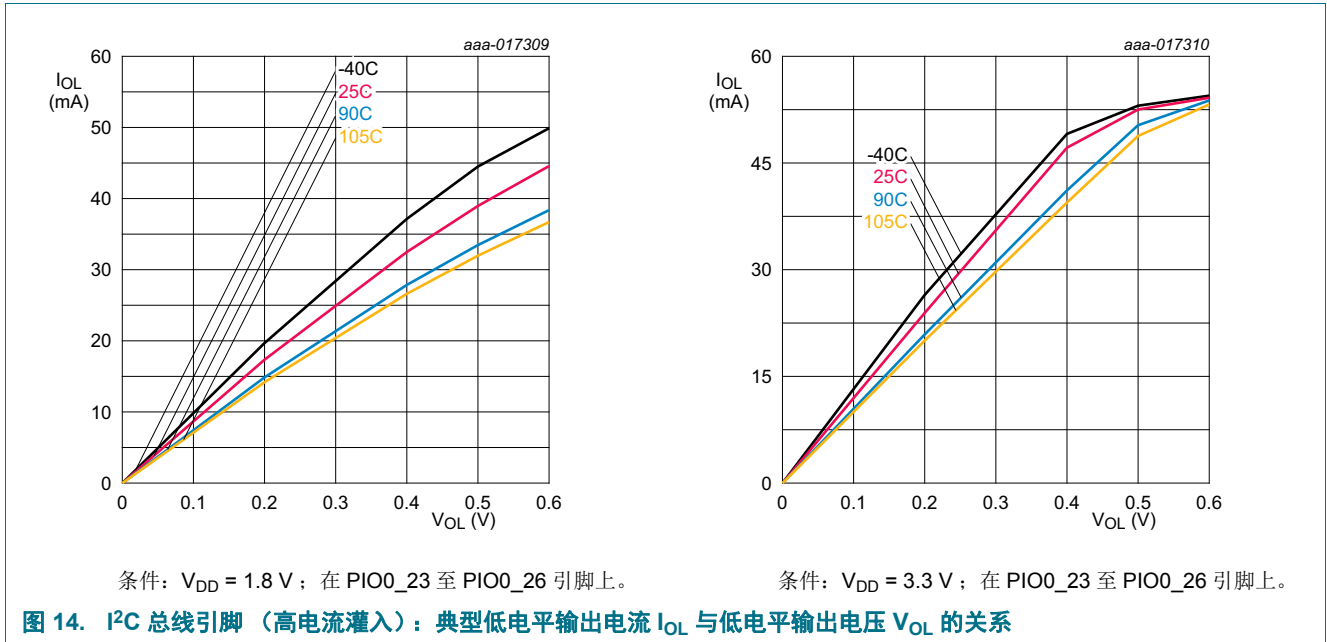
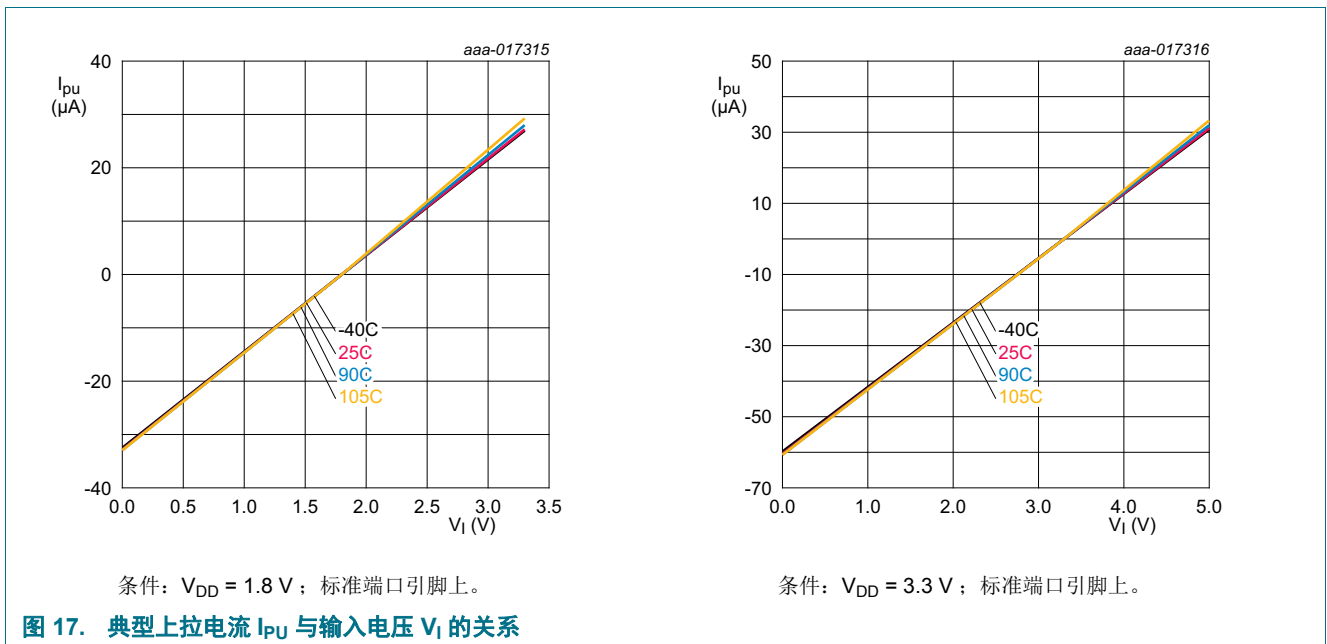
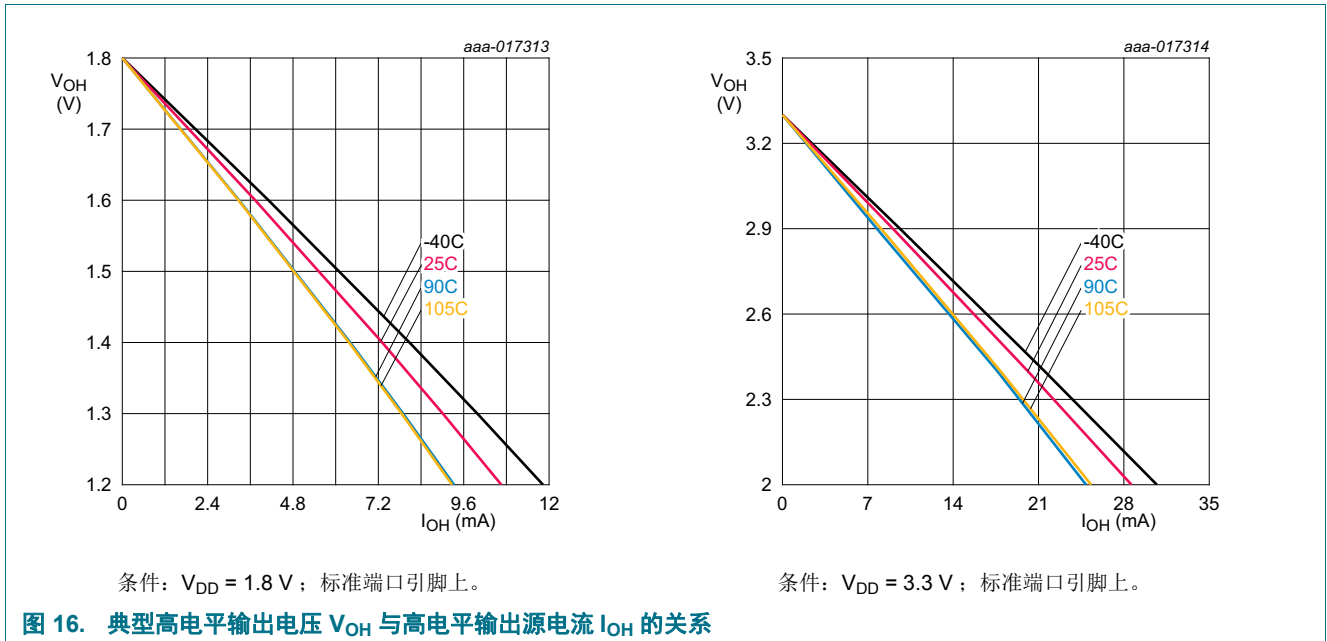
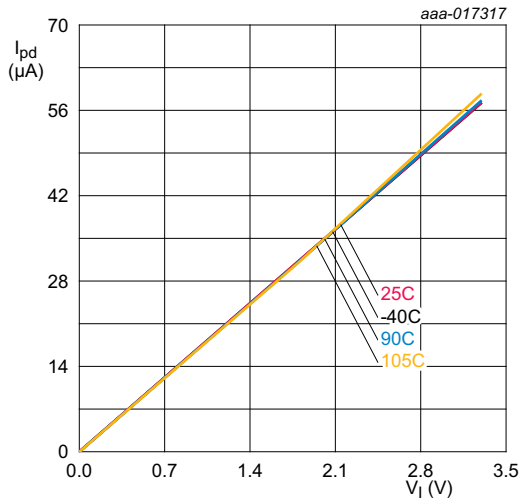


图 13. 引脚输入 / 输出电流测量

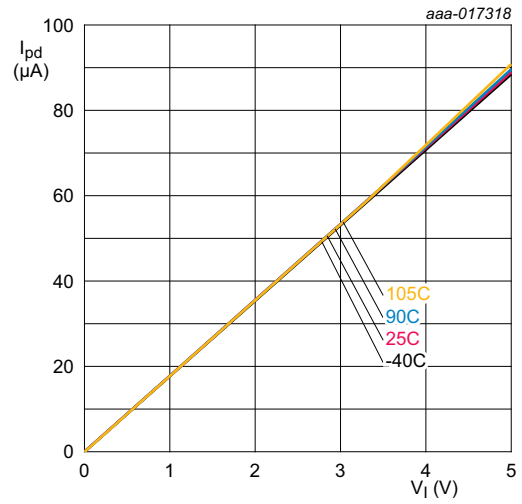
10.4.1 电气引脚特性







条件:  $V_{DD} = 1.8V$ ; 标准端口引脚上。



条件:  $V_{DD} = 3.3V$ ; 标准端口引脚上。

图 18. 下拉电流  $I_{PD}$  典型值与输入电压  $V_I$  的关系

## 11. 动态特性

### 11.1 Flash 存储器

表 21. Flash 特性

除非另有说明,  $T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。除非另有说明,  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
$N_{endu}$	耐久性	扇区擦除 / 编程	[2]	10000	-	-	周期
		页面擦除 / 编程; 扇区中的页面		1000	-	-	周期
$t_{ret}$	保持时间	通电		10	-	-	年
		未通电		10	-	-	年
$t_{er}$	擦除时间	页面、扇区或连续多扇区		-	100	-	ms
$t_{prog}$	编程时间		[3]	-	1	-	ms

[1] 无法保证得到典型额定值。

[2] 擦除数量 / 程序周期。

[3] 给出将 512 个字节从 RAM 写入 flash 的编程时间。必须以 512 字节的数据块将数据写入 flash。

### 11.2 I/O 引脚

表 22. 动态特性: I/O 引脚 [1]

除非另有说明,  $T_{amb} = -40\text{ °C}$  to  $+85\text{ °C}$ ; 除非另有说明,  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件		最小值	典型值	最大值	单位
<b>标准 I/O 引脚 - 正常的驱动性能</b>							
$t_r$	上升时间	引脚配置为输出; SLEW = 1 (快速模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.0	-	2.5	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		1.6	-	3.8	ns
$t_f$	下降时间	引脚配置为输出; SLEW = 1 (快速模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	0.9	-	2.5	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		1.7	-	4.1	ns
$t_r$	上升时间	引脚配置为输出; SLEW = 0 (标准模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.9	-	4.3	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		2.9	-	7.8	ns
$t_f$	下降时间	引脚配置为输出; SLEW = 0 (标准模式); $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$	[2][3]	1.9	-	4.0	ns
		$1.62\text{ V} \leq V_{DD} \leq 1.98\text{ V}$		2.7	-	6.7	ns
$t_r$	上升时间	引脚配置为输入	[4]	0.3	-	1.3	ns
$t_f$	下降时间	引脚配置为输入	[4]	0.2	-	1.2	ns

[1] 仿真数据。

- [2] 用 5pF 的 10 厘米 50Ω PCB 布线来模拟输入。在总输出信号电平 80 % 和 20 % 之间，测量上升和下降时间。
- [3] 压摆率在 IOCON 数据块的 SLEW 位中进行配置。参见 *LPC5411x UM10914* 用户手册。
- [4]  $C_L = 20$  pF。在总输入信号电平 90 % 和 10 % 之间，测量上升和下降时间。

### 11.3 唤醒过程

**表 23. 动态特性：从低功耗模式的典型唤醒时间**

$V_{DD} = 3.3$  V； $T_{amb} = 25$  °C；将 FRO 用作系统时钟。

符号	参数	条件		最小值	典型值 [1]	最大值	单位
t <sub>wake</sub>	唤醒时间	从睡眠模式	[2][3]	-	2.0	-	μs
		从深度睡眠模式	[2][5]	-	19	-	μs
		从深度掉电模式；已禁用 RTC；使用 RESET 引脚。	[4][5]	-	1.2	-	ms

- [1] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。
- [2] 测量的唤醒时间是指从触发 GPIO 输入引脚以从低功耗模式唤醒器件到在中断服务程序 (ISR) 唤醒处理程序中设置 GPIO 输出引脚的时间。
- [3] 使能 FRO，关闭所有外设。禁用 PLL。
- [4] 禁用 RTC。从深度掉电模式唤醒，导致器件完成整个复位过程。测量的唤醒时间是指触发  $\overline{\text{RESET}}$  引脚以唤醒器件和在复位处理程序中设置 GPIO 输出引脚之间的时间。
- [5] FRO 已禁用。

## 11.4 系统 PLL

表 24. PLL 锁定时间和电流

$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ 。

符号	参数	条件		最小值	典型值	最大值	单位
<b>PLL 配置：输入频率 12 MHz；输出频率 75 MHz</b>							
$t_{lock(PLL0)}$	PLL 锁定时间	遵循 PLL 设置流程	[2]	-	-	400	$\mu\text{s}$
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	550	$\mu\text{A}$
<b>PLL 配置：输入频率 12 MHz；输出频率 100 MHz</b>							
$t_{lock(PLL0)}$	PLL 锁定时间	遵循 PLL 设置流程	[2]	-	-	400	$\mu\text{s}$
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	750	$\mu\text{A}$
<b>PLL 配置：输入频率 32.768 MHz；输出频率 75 MHz</b>							
$t_{lock(PLL0)}$	PLL 锁定时间	-	[1]	-	-	6250	$\mu\text{s}$
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	450	$\mu\text{A}$
<b>PLL 配置：输入频率 32.768 MHz；输出频率 100 MHz</b>							
$t_{lock(PLL0)}$	PLL 锁定时间	-	[1]	-	-	6250	$\mu\text{s}$
$I_{DD(PLL)}$	PLL 电流	锁定时	[1][3]	-	-	560	$\mu\text{A}$

[1] 数据基于特性结果，未在生产中测试。

[2] PLL 设置需要高速启动和转换至正常模式。仅当在正常模式设置后应用高速启动设置时，锁定时间才会有效。设置 PLL 的过程描述可参见 LPC5411x 用户手册。

[3] 使用最低 CCO 频率来测量 PLL 电流，获取所需的输出频率。



表 25. PLL 的动态特性 [1]

$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ 。  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位	
<b>参考时钟输入</b>							
$F_{in}$	输入频率	-	32.768 kHz	-	25 MHz	-	
<b>时钟输出</b>							
$f_o$	输出频率	针对 PLL clkout 输出 [2]	1.2	-	150	MHz	
$d_o$	输出占空比	针对 PLL clkout 输出	46	-	54	%	
$f_{CCO}$	CCO 频率	-	-	-	150	MHz	
<b>锁定检测器输出</b>							
$\Delta_{lock}(PFD)$	PFD 锁定标准	-	1 [3]	2	4	ns	
<b><math>f_{out} = f_{CCO} = 100\text{ MHz}</math> 时的动态参数；标准带宽设置</b>							
$J_{rms-interval}$	RMS 间隔抖动	$f_{ref} = 10\text{ MHz}$	[4][5]	-	15	30	ps
$J_{pp-period}$	峰值间，周期抖动	$f_{ref} = 10\text{ MHz}$	[4][5]	-	40	80	ps

- [1] 数据基于特性结果，未在生产中测试。  
 [2] 不含当 PLL 未锁定时可能会发生的欠冲和过冲。  
 [3] PFD (clkref 和 clkfb) 输入之间的相位差异小于 PFD 锁定标准，这意味着锁定输出为高电平。  
 [4] 实际抖动取决于基板噪声的幅度和频谱。  
 [5] 来自晶体振荡器的输入时钟的峰值间抖动小于 250 ps。

## 11.5 FRO

表 26. 动态特性：FRO

$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ ；  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数	最小值 [2]	典型值 [1]	最大值 [2]	单位
$f_{osc}(FRO)$	FRO 时钟频率	11.88	12	12.12	MHz
$f_{osc}(FRO)$	FRO 时钟频率	47.52	48	48.48	MHz
$f_{osc}(FRO)$	FRO 时钟频率	95.04	96	96.96	MHz

- [1] 已在生产中测试。列出的值是在室温 (25 °C) 下测得的。  
 [2] 数据基于特性结果，未在生产中测试。

## 11.6 RTC 振荡器

参见 13.5 章，将 RTC 振荡器连接至外部时钟源。

表 27. 动态特性：RTC 振荡器

$T_{amb} = -40\text{ °C}$  至  $+105\text{ °C}$ ；  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$  [1]

符号	参数	最小值	典型值	最大值	单位
$f_i$	输入频率	-	32.768	-	kHz

- [1] 参数在工作温度范围内有效，除非另有说明。

## 11.7 看门狗振荡器

表 28. 动态特性：看门狗振荡器

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$  ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$

符号	参数		最小值	典型值 [1]	最大值	单位
$f_{osc(int)}$	内部看门狗振荡器频率	[2]	6	-	1500	kHz
$D_{clkout}$	clkout 占空比		48	-	52	%
$J_{PP-CC}$	峰值间周期抖动	[3][4]	-	1	20	ns
$t_{start}$	启动时间	[4]	-	4	-	$\mu\text{s}$

[1] 无法保证得到典型额定值。列出的数值在标称电源电压下测得。

[2] 随工艺和温度 ( $T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$ ) 而变化的典型频率变化为  $\pm 40\%$ 。

[3] 实际抖动取决于基板噪声的幅度和频谱。

[4] 设计保证。未经过生产采样测试。

## 11.8 I2C 总线

表 29. 动态特性：I2C 总线引脚 [1]

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$  ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。 [2]

符号	参数		条件	最小值	最大值	单位
$f_{SCL}$	SCL 时钟频率		标准模式	0	100	kHz
			快速模式	0	400	kHz
			超快速模式	0	1	MHz
$t_f$	下降时间	[4][5][6][7]	SDA 和 SCL 信号的	-	300	ns
			标准模式			
			快速模式	$20 + 0.1 \times C_b$	300	ns
	超快速模式	-	120	ns		
$t_{LOW}$	SCL 时钟的低电平周期		标准模式	4.7	-	$\mu\text{s}$
			快速模式	1.3	-	$\mu\text{s}$
			超快速模式	0.5	-	$\mu\text{s}$
$t_{HIGH}$	SCL 时钟的高电平周期		标准模式	4.0	-	$\mu\text{s}$
			快速模式	0.6	-	$\mu\text{s}$
			超快速模式	0.26	-	$\mu\text{s}$
$t_{HD;DAT}$	数据保持时间	[3][4][8]	标准模式	0	-	$\mu\text{s}$
			快速模式	0	-	$\mu\text{s}$
			超快速模式	0	-	$\mu\text{s}$
$t_{SU;DAT}$	数据建立时间	[9][10]	标准模式	250	-	ns
			快速模式	100	-	ns
			超快速模式	50	-	ns

[1] 设计保证。未经过生产测试。

[2] 参数在工作温度范围内有效，除非另有说明。详情参见 I<sup>2</sup>C 总线规范 UM10204。

[3]  $t_{HD;DAT}$  是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。

[4] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的  $V_{IH}$ （最小值）），以便桥接 SCL 下降沿的未定义区域。

- [5]  $C_b$  = 一条总线的总电容（以 pF 为单位）。如果与采用 Hs 模式的器件混用，则允许使用更快的下降时间。
- [6] SDA 和 SCL 总线的最大  $t_f$  被指定为 300 ns。SDA 输出阶段的最大下降时间  $t_f$  被指定为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出指定的最大  $t_f$ 。
- [7] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，那么设计者在考虑总线时序时应虑及这种情况。
- [8] 标准模式和快速模式的最大  $t_{HD;DAT}$  可以分别为 3.45  $\mu$ s 和 0.9  $\mu$ s，但必须小于按跃迁时间计算的  $t_{VD;DAT}$  或  $t_{VD;ACK}$  的最大值。只有在器件没有延长 SCL 信号的低电平周期 ( $t_{LOW}$ ) 时，才必须满足此最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。
- [9]  $t_{SU;DAT}$  是根据 SCL 的上升沿测量得出的数据建立时间；适用于数据传输和确认。
- [10] 快速模式 I<sup>2</sup>C 总线器件可在标准模式 I<sup>2</sup>C 总线系统中使用，但必须满足  $t_{SU;DAT} = 250$  ns 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会自动默认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线  $t_r(max) + t_{SU;DAT} = 1000 + 250 = 1250$  ns（根据标准模式 I<sup>2</sup>C 总线规格），然后才能释放 SCL 线。此外，应答时序也必须满足此建立时间。

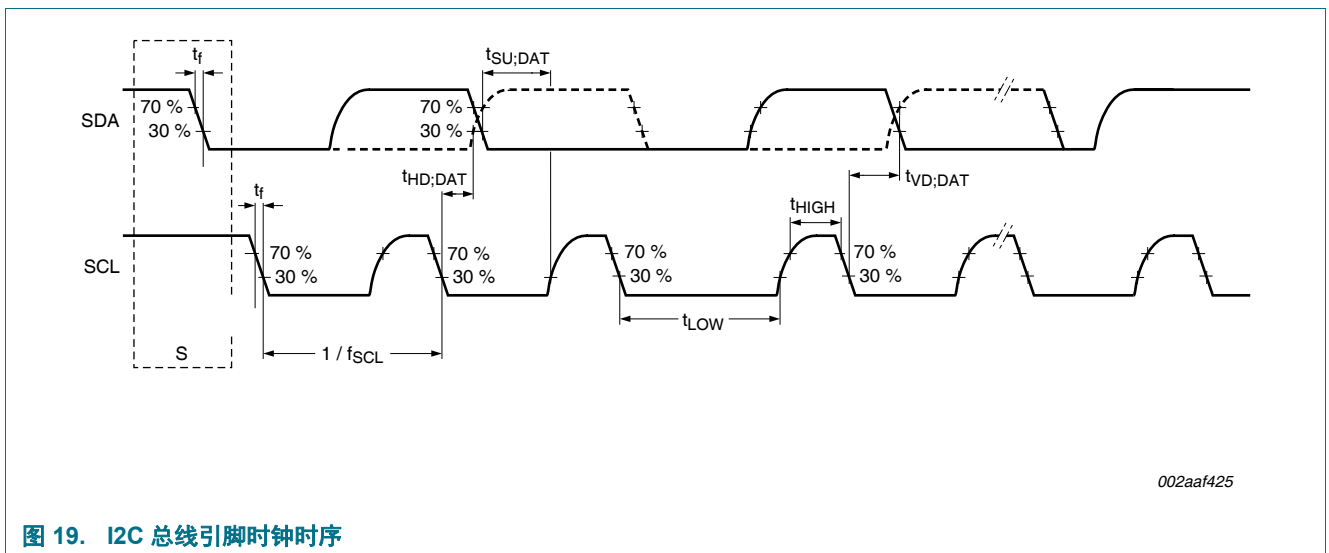


图 19. I<sup>2</sup>C 总线引脚时钟时序

## 11.9 I<sup>2</sup>S 总线接口

表 30. 动态特征：I<sup>2</sup>S 总线接口引脚 [1][4]

$T_{amb} = -40$  °C 至 105 °C； $V_{DD} = 1.62$  V 至 3.6 V； $C_L = 30$  pF 所有引脚上的均衡负载；输入压摆率 = 1 ns，所有引脚的压摆率设置为标准模式；参数在上升沿或下降沿的 90% 和 10% 电平处采样。

符号	参数	条件	最小值	典型值 [3]	最大值	单位
<b>通用输入和输出</b>						
$t_{WH}$	脉冲宽度高	在引脚 I2Sx_TX_SCK 和 I2Sx_RX_SCK 上				
		CCLK = 1 MHz 至 12 MHz	-	20	-	ns
		CCLK = 48 MHz 至 60 MHz	-	20	-	ns
		CCLK = 96 MHz	-	20	-	ns
$t_{WL}$	脉冲宽度低	在引脚 I2Sx_TX_SCK 和 I2Sx_RX_SCK 上				
		CCLK = 1 MHz 至 12 MHz	-	20	-	ns
		CCLK = 48 MHz 至 60 MHz	-	20	-	ns
		CCLK = 96 MHz	-	20	-	ns
<b>输出； 1.62 V ≤ V<sub>DD</sub> ≤ 2.0 V</b>						

表 30. 动态特征：I<sup>2</sup>S 总线接口引脚 [14] (续)

$T_{amb} = -40\text{ °C}$  至  $105\text{ °C}$ ； $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ ； $C_L = 30\text{ pF}$  所有引脚上的均衡负载；输入压摆率 =  $1\text{ ns}$ ，所有引脚的压摆率设置为标准模式；参数在上升沿或下降沿的 90% 和 10% 电平处采样。

符号	参数	条件	最小值	典型值 [3]	最大值	单位
$t_{v(Q)}$	数据输出有效时间	引脚 I2S 上 Sx_TX_SDA [2]				
		CCLK = 1 MHz 至 12 MHz	31	-	58	ns
		CCLK = 48 MHz 至 60 MHz	27	-	52	ns
		CCLK = 96 MHz	26	-	50	ns
		引脚 I2S 上 Sx_TX_WS				
		CCLK = 1 MHz 至 12 MHz	35		60	ns
		CCLK = 48 MHz 至 60 MHz	29		53	ns
		CCLK = 96 MHz	28		51	ns
<b>输入； <math>1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}</math></b>						
$t_{su(D)}$	数据输入建立时间	引脚 I2S 上 Sx_RX_SDA [2]				
		CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns
		CCLK = 96 MHz	3	-	-	ns
		引脚 I2S 上 Sx_RX_WS				
		CCLK = 1 MHz 至 12 MHz	1	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{h(D)}$	数据输入保持时间	引脚 I2S 上 Sx_RX_SDA [2]				
		CCLK = 1 MHz 至 12 MHz	4	-	-	ns
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns
		CCLK = 96 MHz	3	-	-	ns
		引脚 I2S 上 Sx_RX_WS				
		CCLK = 1 MHz 至 12 MHz	6	-	-	ns
		CCLK = 48 MHz 至 60 MHz	4	-	-	ns
		CCLK = 96 MHz	4	-	-	ns
<b>输出； <math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></b>						
$t_{v(Q)}$	数据输出有效时间	引脚 I2S 上 Sx_TX_SDA [2]				
		CCLK = 1 MHz 至 12 MHz	15		34	ns
		CCLK = 48 MHz 至 60 MHz	12		26	ns
		CCLK = 96 MHz	10		24	ns
		引脚 I2S 上 Sx_TX_WS				
		CCLK = 1 MHz 至 12 MHz	25	-	44	ns
		CCLK = 48 MHz 至 60 MHz	22	-	34	ns
		CCLK = 96 MHz	20	-	32	ns

表 30. 动态特征: I<sup>2</sup>S 总线接口引脚 [1][4] (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $105\text{ }^{\circ}\text{C}$ ;  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ ;  $C_L = 30\text{ pF}$  所有引脚上的均衡负载; 输入压摆率 =  $1\text{ ns}$ , 所有引脚的压摆率设置为标准模式; 参数在上升沿或下降沿的 90% 和 10% 电平处采样。

符号	参数	条件	最小值	典型值 [3]	最大值	单位	
输入; $2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}$							
$t_{su(D)}$	数据输入建立时间	引脚 I2S 上 Sx_RX_SDA [2]					
		CCLK = 1 MHz 至 12 MHz	1	-	-	ns	
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns	
		CCLK = 96 MHz	1	-	-	ns	
		引脚 I2S 上 Sx_RX_WS					
		CCLK = 1 MHz 至 12 MHz	2	-	-	ns	
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns	
		CCLK = 96 MHz	1	-	-	ns	
$t_{h(D)}$	数据输入保持时间	引脚 I2S 上 Sx_RX_SDA [2]					
		CCLK = 1 MHz 至 12 MHz	4	-	-	ns	
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns	
		CCLK = 96 MHz	2	-	-	ns	
		引脚 I2S 上 Sx_RX_WS					
		CCLK = 1 MHz 至 12 MHz	5	-	-	ns	
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns	
		CCLK = 96 MHz	2	-	-	ns	

- [1] 数据基于特性结果; 未在生产中测试。
- [2] I<sup>2</sup>S 总线接口的时钟 BASE\_APB1\_CLK = 100 MHz; I<sup>2</sup>S 总线接口的外设时钟 PCLK = BASE\_APB1\_CLK / 4。I<sup>2</sup>S 时钟周期时间  $T_{cy(clk)} = 40.69\text{ ns}$ ; 与 I<sup>2</sup>S 总线规范中的 SCK 信号对应。
- [3] 无法保证得到典型额定值。
- [4] Flexcomm 接口功能时钟频率不得高于 48 MHz。参见 I<sup>2</sup>S 章节 (UM10914) 下的数据传输速率部分, 计算时钟和采样速率。

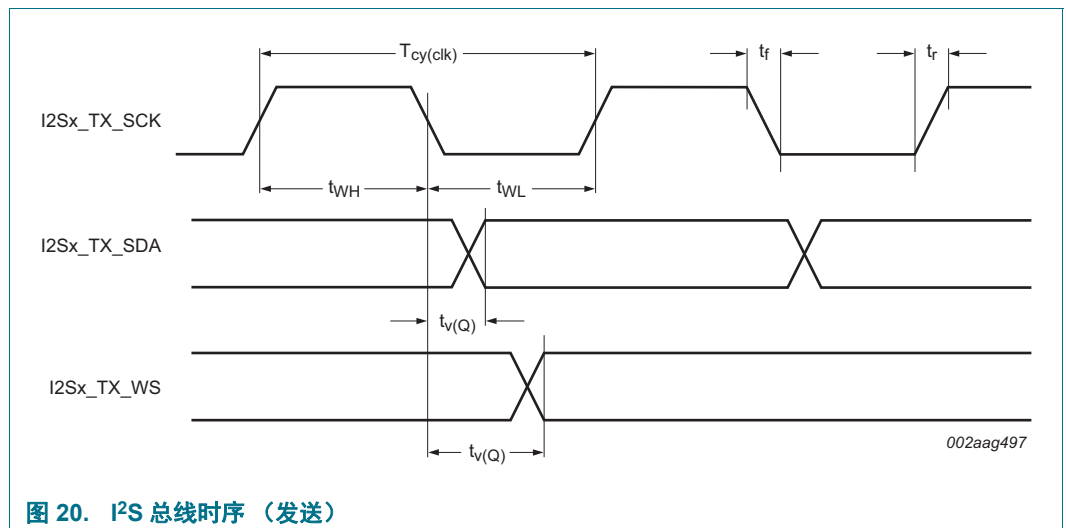


图 20. I<sup>2</sup>S 总线时序 (发送)

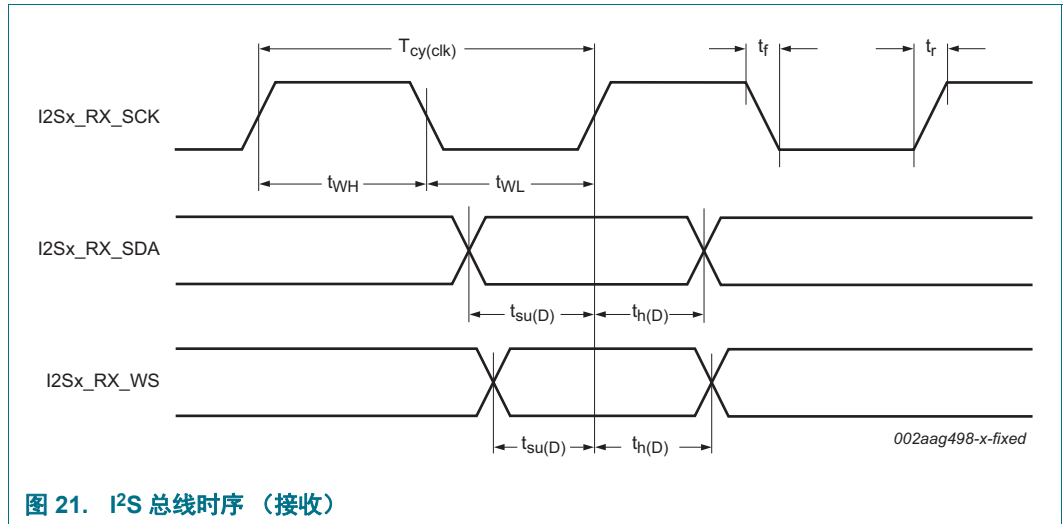


图 21. I<sup>2</sup>S 总线时序 (接收)

## 11.10 SPI 接口

实际 SPI 比特率取决于外部追踪、外部器件、系统时钟 (CCLK) 和电容负载引入的延迟。不包含外部器件和 PCB 引入的延迟，支持的 SPI 主机模式最大比特率为 71 Mb/s，支持的 SPI 从机模式最大比特率为 15 Mb/s。

表 31. SPI 动态特性 [1]

$T_{amb} = -40\text{ °C}$  至  $105\text{ °C}$ ； $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ ； $C_L = 30\text{ pF}$  所有引脚上的均衡负载；输入压摆率 =  $1\text{ ns}$ ，所有引脚的压摆率设置为标准模式；参数在上升沿或下降沿的 90 % 和 10 % 电平处采样。

符号	参数	条件	最小值	典型值 [2]	最大值	单位
<b>SPI 主机 <math>1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}</math></b>						
$t_{DS}$	数据建立时间	CCLK = 1 MHz 至 12 MHz	0	-	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	-	ns
		CCLK = 96 MHz	0	-	-	ns
$t_{DH}$	数据保持时间	CCLK = 1 MHz 至 12 MHz	7	-	-	ns
		CCLK = 48 MHz 至 60 MHz	7	-	-	ns
		CCLK = 96 MHz	7	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	-	5	ns
		CCLK = 48 MHz 至 60 MHz	0	-	3	ns
		CCLK = 96 MHz	0	-	2	ns
<b>SPI 从机 <math>1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}</math></b>						
$t_{DS}$	数据建立时间	CCLK = 1 MHz 至 12 MHz	1	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{DH}$	数据保持时间	CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns
		CCLK = 96 MHz	3	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	30	-	58	ns
		CCLK = 48 MHz 至 60 MHz	23	-	48	ns
		CCLK = 96 MHz	21	-	45	ns
<b>SPI 主机 <math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></b>						
$t_{DS}$	数据建立时间	CCLK = 1 MHz 至 12 MHz	3	-	-	ns
		CCLK = 48 MHz 至 60 MHz	4	-	-	ns
		CCLK = 96 MHz	4	-	-	ns
$t_{DH}$	数据保持时间	CCLK = 1 MHz 至 12 MHz	11	-	-	ns
		CCLK = 48 MHz 至 60 MHz	11	-	-	ns
		CCLK = 96 MHz	10	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	0	-	5	ns
		CCLK = 48 MHz 至 60 MHz	0	-	3	ns
		CCLK = 96 MHz	0	-	3	ns

表 31.SPI 动态特性 [\[1\]](#) (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $105\text{ }^{\circ}\text{C}$ ;  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ ;  $C_L = 30\text{ pF}$  所有引脚上的均衡负载; 输入压摆率 =  $1\text{ ns}$ , 所有引脚的压摆率设置为标准模式; 参数在上升沿或下降沿的 90% 和 10% 电平处采样。

符号	参数	条件	最小值	典型值 <a href="#">[2]</a>	最大值	单位
<b>SPI 从机 <math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></b>						
$t_{DS}$	数据建立时间	CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{DH}$	数据保持时间	CCLK = 1 MHz 至 12 MHz	1	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{V(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	20	-	44	ns
		CCLK = 48 MHz 至 60 MHz	15	-	32	ns
		CCLK = 96 MHz	13	-	30	ns

[1] 数据基于特性结果; 未在生产中测试。

[2] 无法保证得到典型额定值。

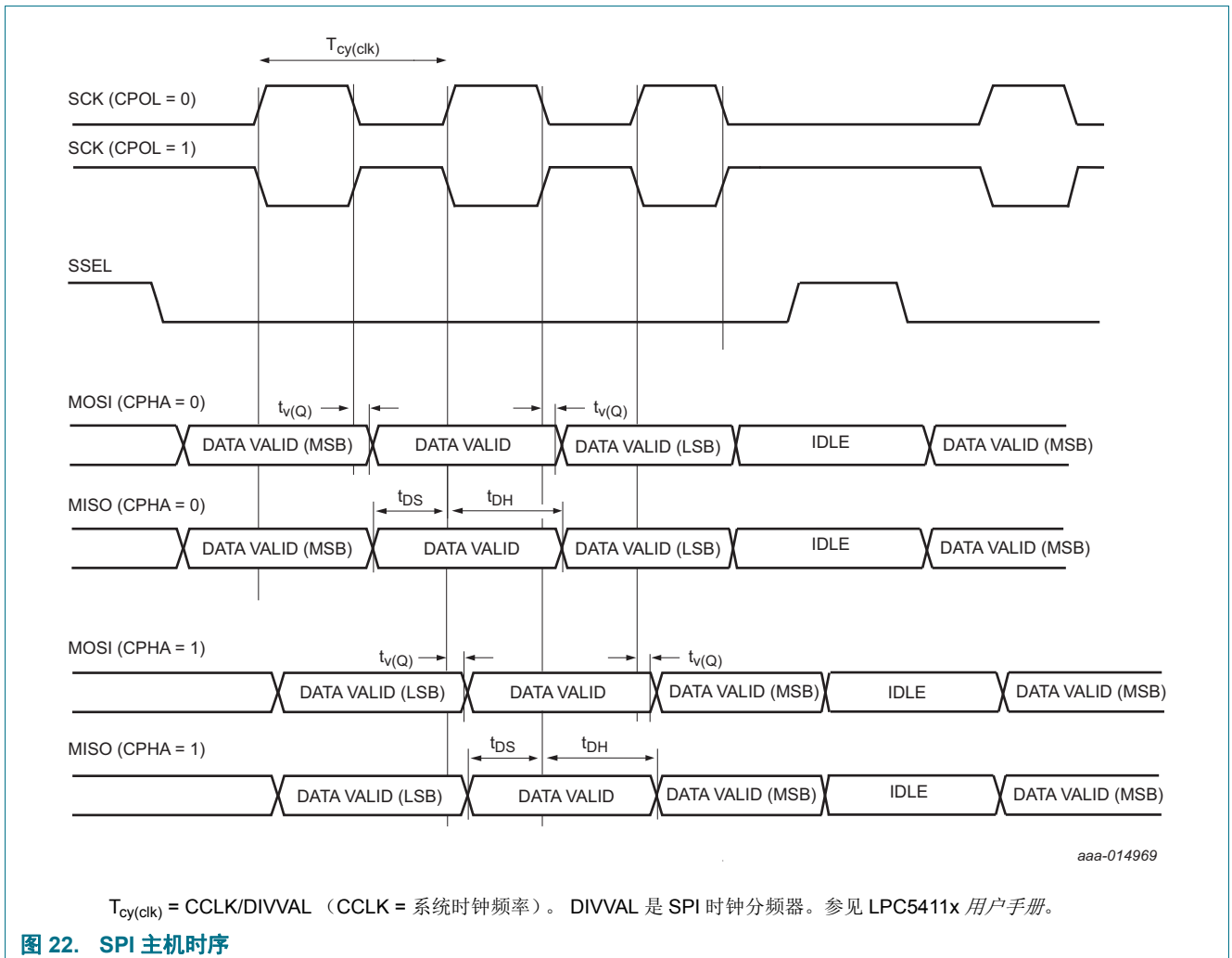


图 22. SPI 主机时序



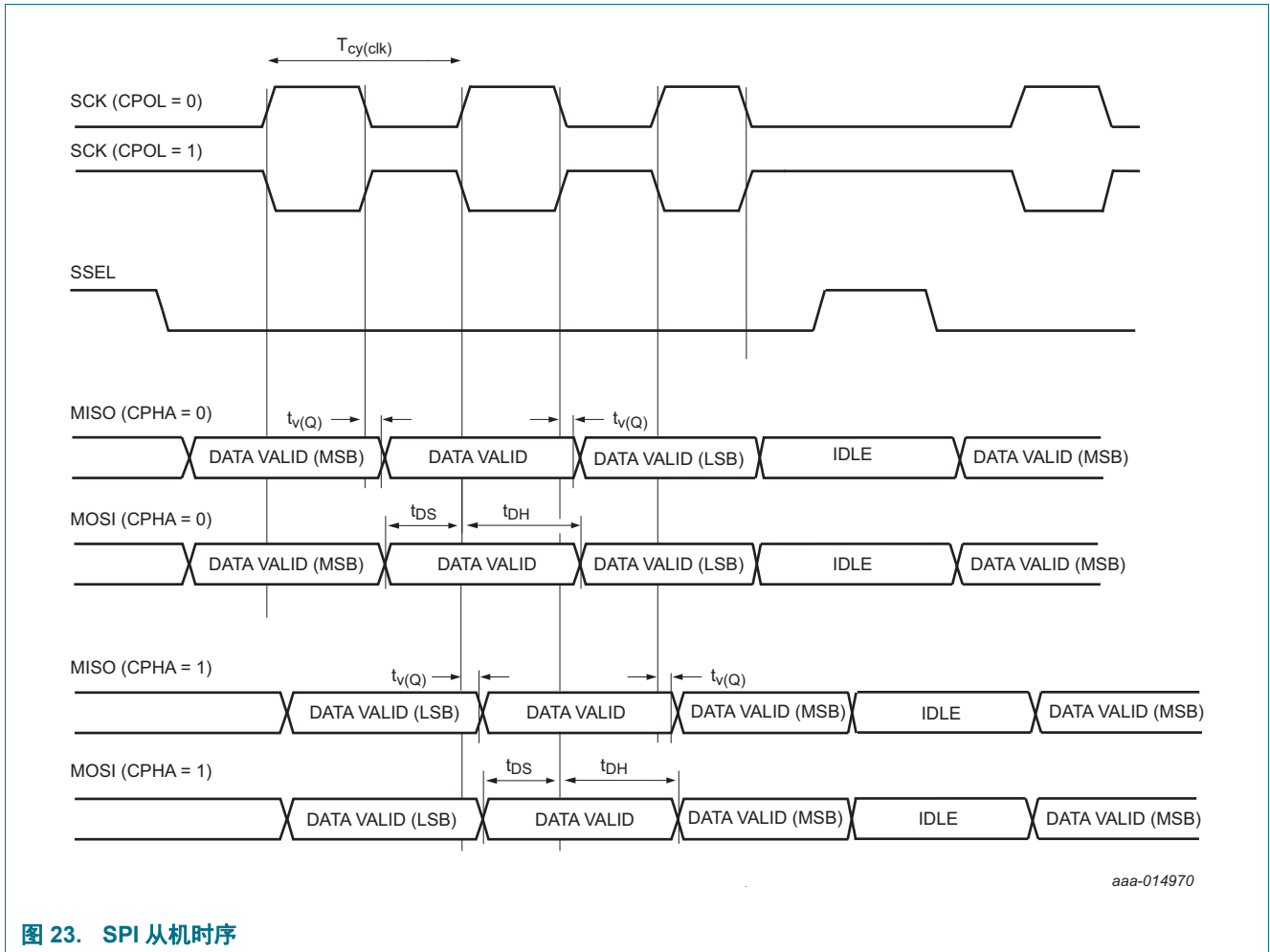


图 23. SPI 从机时序

### 11.11 USART 接口

实际 USART 比特率取决于外部追踪、外部器件、系统时钟 (CCLK) 和电容负载引入的延迟。不包含外部器件和 PCB 引入的延迟，支持的 USART 主机同步模式最大比特率为 20 Mb/s，支持的 USART 从机同步模式最大比特率为 16 Mb/s。

表 32. USART 动态特性 [1]

$T_{amb} = -40\text{ °C}$  至  $105\text{ °C}$ ； $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$ ； $C_L = 30\text{ pF}$  所有引脚上的均衡负载；输入压摆率 =  $1\text{ ns}$ ，所有引脚的压摆率设置为标准模式；参数在上升沿或下降沿的 90% 和 10% 电平处采样。

符号	参数	条件	最小值	典型值 [2]	最大值	单位
<b>USART 主机（同步模式）<math>1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}</math></b>						
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	45	-	-	ns
		CCLK = 48 MHz 至 60 MHz	39	-	-	ns
		CCLK = 96 MHz	38	-	-	ns
$t_{h(D)}$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	-	ns
		CCLK = 96 MHz	0	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	2	-	9	ns
		CCLK = 48 MHz 至 60 MHz	1	-	5	ns
		CCLK = 96 MHz	1	-	4	ns
<b>USART 从机（同步模式）<math>1.62\text{ V} \leq V_{DD} \leq 2.0\text{ V}</math></b>						
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	1	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{h(D)}$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	3	-	-	ns
		CCLK = 96 MHz	3	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	30	-	55	ns
		CCLK = 48 MHz 至 60 MHz	23	-	46	ns
		CCLK = 96 MHz	22	-	46	ns
<b>USART 主机（同步模式）<math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></b>						
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	35	-	-	ns
		CCLK = 48 MHz 至 60 MHz	27	-	-	ns
		CCLK = 96 MHz	25	-	-	ns
$t_{h(D)}$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	0	-	-	ns
		CCLK = 48 MHz 至 60 MHz	0	-	-	ns
		CCLK = 96 MHz	0	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	2	-	9	ns
		CCLK = 48 MHz 至 60 MHz	2	-	5	ns
		CCLK = 96 MHz	1	-	4	ns

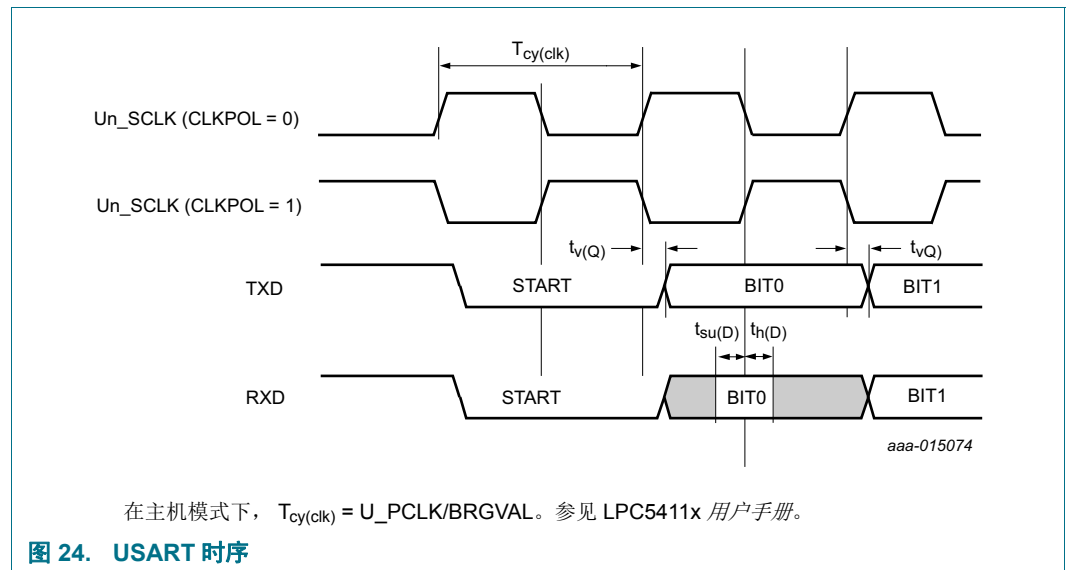
表 32.USART 动态特性 [1] (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $105\text{ }^{\circ}\text{C}$  ;  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$  ;  $C_L = 30\text{ pF}$  所有引脚上的均衡负载; 输入压摆率 =  $1\text{ ns}$ , 所有引脚的压摆率设置为标准模式; 参数在上升沿或下降沿的 90 % 和 10 % 电平处采样。

符号	参数	条件	最小值	典型值 [2]	最大值	单位
<b>USART 从机 (同步模式) <math>2.7\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math></b>						
$t_{su(D)}$	数据输入建立时间	CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{h(D)}$	数据输入保持时间	CCLK = 1 MHz 至 12 MHz	2	-	-	ns
		CCLK = 48 MHz 至 60 MHz	1	-	-	ns
		CCLK = 96 MHz	1	-	-	ns
$t_{v(Q)}$	数据输出有效时间	CCLK = 1 MHz 至 12 MHz	19	-	42	ns
		CCLK = 48 MHz 至 60 MHz	14	-	31	ns
		CCLK = 96 MHz	13	-	28	ns

[1] 数据基于特性结果; 未在生产中测试。

[2] 无法保证得到典型额定值。



### 11.12 SCTimer/PWM 输出时序

表 33.SCTimer/PWM 输出动态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $105\text{ }^{\circ}\text{C}$  ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$   $C_L = 30\text{ pF}$ 。任意两个 SCT 固定引脚输出信号 (流程、电压和温度范围内) 的仿真压摆; 在信号的 10 % 和 90 % 电平处进行采样; 由设计保证的值。

符号	参数	条件	最小值	典型值	最大值	单位
$t_{sk(o)}$	输出压摆时间	-	-	-	2.7	ns

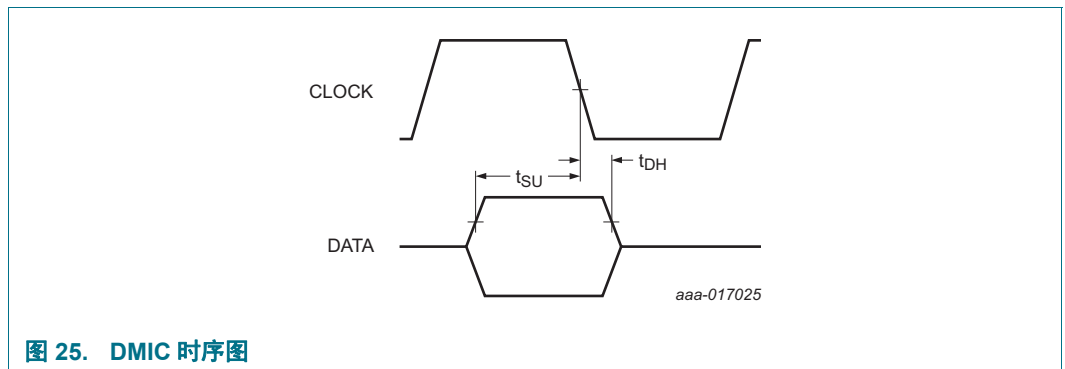
### 11.13 DMIC 子系统

表 34. 动态特性

$T_{amb} = -40\text{ °C}$  至  $105\text{ °C}$  ;  $V_{DD} = 1.62\text{ V}$  至  $3.6\text{ V}$  ;  $C_L = 30\text{ pF}$  所有引脚上的均衡负载; 输入压摆率 =  $1\text{ ns}$ , 所有引脚的压摆率设置为标准模式; 旁通位 = 0 ; 参数在上升沿或下降沿的 90 % 和 10 % 电平处采样。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
$t_{DS}$	数据建立时间	CCLK = 1 MHz 至 12 MHz	-	23	-	ns
		CCLK = 48 MHz 至 60 MHz	-	13	-	ns
		CCLK = 96 MHz	-	9	-	ns
$t_{DH}$	数据保持时间	CCLK = 1 MHz 至 12 MHz	-	0	-	ns
		CCLK = 48 MHz 至 60 MHz	-	0	-	ns
		CCLK = 96 MHz	-	0	-	ns

[1] 基于模拟值, 适用范围: 2.7 V 至 3.6 V。



### 11.14 USB 接口特性

表 35. 动态特性: USB 引脚 (全速)

$C_L = 50\text{ pF}$  ; 除非另外说明,  $R_{pu} = 1.5\text{ k}\Omega$  ( $D+$  上) 至  $V_{DD}$  ;  $3.0\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
$t_r$	上升时间	10 % 至 90 %	4.0	-	20	ns
$t_f$	下降时间	10 % 至 90 %	4.0	-	20	ns
$t_{FRFM}$	差分上升和下降时间	$t_r / t_f$	90	-	111.11	%
$V_{CRS}$	输出信号交叉电压		1.3	-	2.0	V
$t_{FEOPT}$	EOP 的来源 SE0 间隔	参见 图 26	160	-	175	ns
$t_{FDEOP}$	针对差分跃迁到 SE0 跃迁的来源抖动	参见 图 26	-2	-	+5	ns
$t_{JR1}$	接收器抖动到下次跃迁		-18.5	-	+18.5	ns
$t_{JR2}$	针对配对跃迁的接收器抖动	10 % 至 90 %	-9	-	+9	ns
$t_{EOPR1}$	接收器中的 EOP 宽度	必须拒绝作为 EOP; 参见 图 26	[1] 40	-	-	ns
$t_{EOPR2}$	接收器中的 EOP 宽度	必须接受作为 EOP; 参见 图 26	[1] 82	-	-	ns

[1] 已描述特性, 但未作为生产测试进行实施。设计保证。

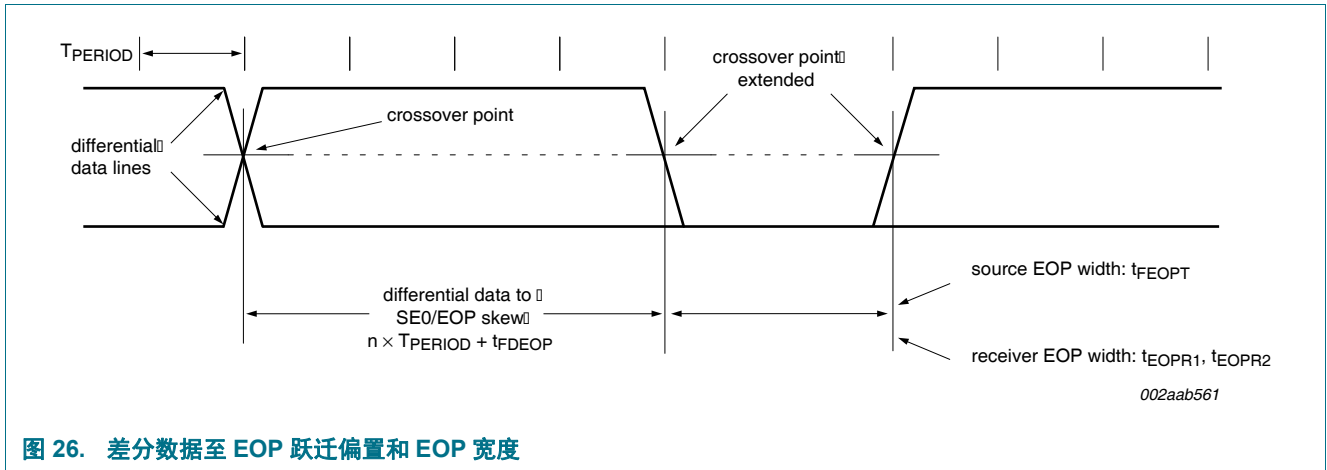


图 26. 差分数据至 EOP 跃迁偏置和 EOP 宽度

## 12. 模拟特性

### 12.1 BOD

表 36. BOD 静态特性

$T_{amb} = 25\text{ }^{\circ}\text{C}$  ; 数据基于特性结果, 未在生产中测试。

符号	参数	条件	最小值	典型值	最大值	单位
$V_{th}$	阈值电压	中断电平 0				
		断言	-	1.97	-	V
		解除置位	-	2.11	-	V
$V_{th}$	阈值电压	中断级别 1				
		断言	-	2.36	-	V
		解除置位	-	2.51	-	V
		复位级别 1				
		断言	-	1.77	-	V
		解除置位	-	1.92	-	V
$V_{th}$	阈值电压	中断级别 2				
		断言	-	2.66	-	V
		解除置位	-	2.80	-	V
		复位级别 2				
		断言	-	1.92	-	V
		解除置位	-	2.06	-	V
$V_{th}$	阈值电压	中断级别 3				
		断言	-	2.95	-	V
		解除置位	-	3.09	-	V
		复位级别 3				
		断言	-	2.21	-	V
		解除置位	-	2.36	-	V

## 12.2 12 位 ADC 特性

表 37.12 12 位 ADC 静态特性

$T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $+105\text{ }^{\circ}\text{C}$ ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ ;  $V_{SSA} = VREFN = GND$ 。ADC 在  $T_{amb} = 25\text{ }^{\circ}\text{C}$  时校准。

符号	参数	条件	最小值	典型值 <sup>[2]</sup>	最大值	单位
$V_{IA}$	模拟输入电压		[3] 0	-	$V_{DDA}$	V
$C_{ia}$	模拟输入电容		[4] -	5	-	pF
$f_{clk(ADC)}$	ADC 时钟频率			-	80	MHz
$f_s$	采样频率		-	-	5.0	MSPS
$E_D$	微分线性误差	$1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ $1.62\text{ V} \leq VREFP \leq 3.6\text{ V}$ $f_{clk(ADC)} \leq 72\text{ MHz}$	[1][5] -	$\pm 3.0$	-	LSB
		$2.0\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ $2.0\text{ V} \leq VREFP \leq 3.6\text{ V}$ $f_{clk(ADC)} = 80\text{ MHz}$	[1][5] -	$\pm 3.0$	-	LSB
		$V_{DDA} = VREFP = 1.62\text{ V}$ $f_{clk(ADC)} = 80\text{ MHz}$	[1][5] -	$\pm 7.1$	-	LSB
$E_{L(adj)}$	积分非线性	$1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ $1.62\text{ V} \leq VREFP \leq 3.6\text{ V}$ $f_{clk(ADC)} \leq 72\text{ MHz}$	[1][6] -	$\pm 5.0$	-	LSB
		$2.0\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ $2.0\text{ V} \leq VREFP \leq 3.6\text{ V}$ $f_{clk(ADC)} = 80\text{ MHz}$	[1][6] -	$\pm 4.0$	-	LSB
		$V_{DDA} = VREFP = 1.62\text{ V}$ $f_{clk(ADC)} = 80\text{ MHz}$	[1][6] -	$\pm 9.0$	-	LSB
$E_O$	偏移误差	使能校准	[1][7] -	$\pm 1.2$	-	mV
$V_{err(FS)}$	满量程误差电压	$1.62\text{ V} \leq V_{DDA} \leq 2.0\text{ V}$ $1.62\text{ V} \leq VREFP \leq 2.0\text{ V}$	[1][8] -	$\pm 3.5$	-	LSB
		$2.0\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ $2.0\text{ V} \leq VREFP \leq 3.6\text{ V}$	-	$\pm 2.0$	-	LSB
$Z_i$	输入阻抗	$f_s = 5.0\text{ MSPS}$	[9][10] 17.0	-	-	k $\Omega$

- [1] 数据基于特性结果；未在生产中测试。
- [2] 无法保证得到典型额定值。列出的值是在室温 (25 °C)、标称电源电压下测得的。
- [3] ADC 通道 6 至 11 输入电阻高于 ADC 通道 0 至 5。
- [4]  $C_{ia}$  代表模拟输入通道的外部电容，采样速度为 5.0 Msamples/s。不含寄生电容。
- [5] 微分线性误差 ( $E_D$ ) 是指实际步长宽度与理想步长宽度之间的差异。请参见图 27。
- [6] 积分非线性 ( $E_{L(adj)}$ ) 是指在对增益和偏移误差进行适当的调整后，实际与理想传递曲线的步长中心之间的峰值差异。请参见图 27。
- [7] 偏移误差 ( $E_O$ ) 是指拟合实际曲线的直线与拟合理想曲线的直线之间的绝对差异。请参见图 27。
- [8] 满量程误差电压或增益误差 ( $E_G$ ) 是指消除了失调误差后拟合实际传递曲线的直线与拟合理想传递曲线的直线之间的差异。请参见图 27。
- [9]  $T_{amb} = 25\text{ }^{\circ}\text{C}$ ；最大采样频率  $f_s = 5.0\text{ MSPS}$ ，模拟输入电容  $C_{ia} = 5\text{ pF}$ 。
- [10] 输入阻抗  $Z_i$  与采样频率和总输入电容（包括  $C_{ia}$  和  $C_{i0}$ ）成反比： $Z_i \propto 1 / (f_s \times C_i)$ 。参见图 20，了解  $C_{i0}$ 。请参见图 28。

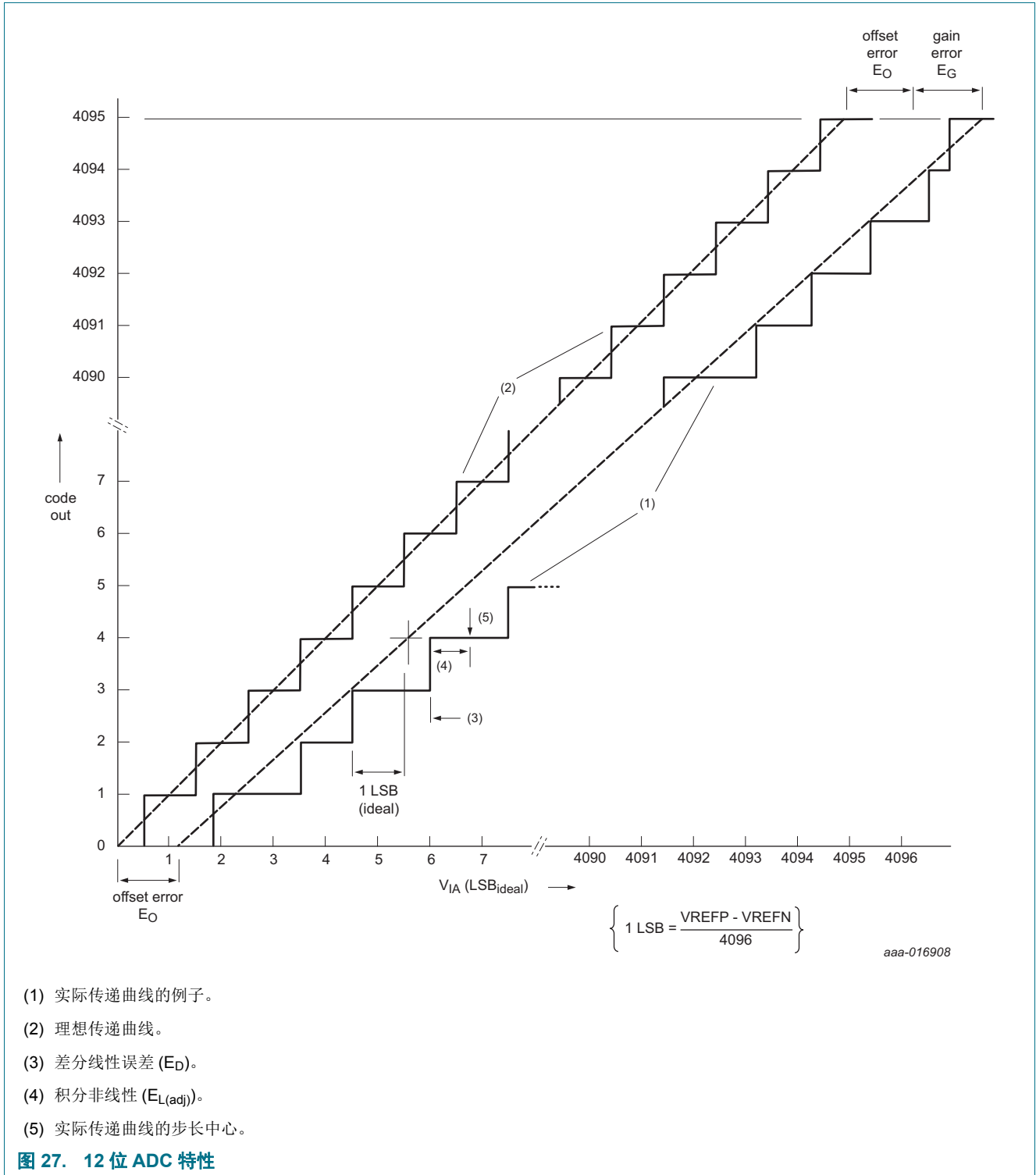




表 38.ADC 采样时间 [1]

 $T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $85\text{ }^{\circ}\text{C}$ ;  $1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 

符号	参数	条件	最小值	典型值	最大值	单位	
<b>ADC 输入 ADC_5 至 ADC_0 (快速通道); ADC 分辨率 = 12 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	20	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		23	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		26	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		31	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		47	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		75	-	-	ns
<b>ADC 输入 ADC_5 至 ADC_0 (快速通道); ADC 分辨率 = 10 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	15	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		18	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		20	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		24	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		38	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		62	-	-	ns
<b>ADC 输入 ADC_5 至 ADC_0 (快速通道); ADC 分辨率 = 8 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	12	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		13	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		15	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		19	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		30	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		48	-	-	ns
<b>ADC 输入 ADC_5 至 ADC_0 (快速通道); ADC 分辨率 = 6 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	9	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		10	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		11	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		13	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		22	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		36	-	-	ns
<b>ADC 输入 ADC_11 至 ADC_6 (慢速通道); ADC 分辨率 = 12 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	43	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		46	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		50	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		56	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		74	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		105	-	-	ns

表 38. ADC 采样时间 [1] (续)

 $T_{amb} = -40\text{ }^{\circ}\text{C}$  至  $85\text{ }^{\circ}\text{C}$ ;  $1.62\text{ V} \leq V_{DDA} \leq 3.6\text{ V}$ ;  $1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}$ 

符号	参数	条件		最小值	典型值	最大值	单位
<b>ADC 输入 ADC_11 至 ADC_6 (慢速通道); ADC 分辨率 = 10 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	35	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		38	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		40	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		46	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		61	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		86	-	-	ns
<b>ADC 输入 ADC_11 至 ADC_6 (慢速通道); ADC 分辨率 = 8 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	27	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		29	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		32	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		36	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		48	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		69	-	-	ns
<b>ADC 输入 ADC_11 至 ADC_6 (慢速通道); ADC 分辨率 = 6 位</b>							
$t_s$	采样时间	$Z_o < 0.05\text{ k}\Omega$	[3]	20	-	-	ns
		$0.05\text{ k}\Omega \leq Z_o < 0.1\text{ k}\Omega$		22	-	-	ns
		$0.1\text{ k}\Omega \leq Z_o < 0.2\text{ k}\Omega$		23	-	-	ns
		$0.2\text{ k}\Omega \leq Z_o < 0.5\text{ k}\Omega$		26	-	-	ns
		$0.5\text{ k}\Omega \leq Z_o < 1\text{ k}\Omega$		36	-	-	ns
		$1\text{ k}\Omega \leq Z_o < 5\text{ k}\Omega$		51	-	-	ns

[1] 通过模拟来描述特性。未经过生产测试。

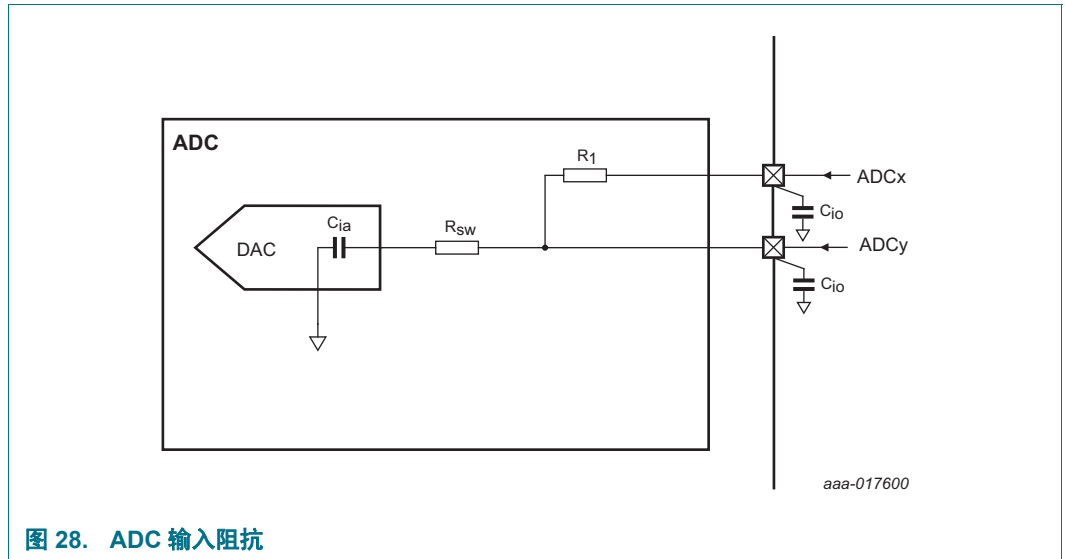
[2] ADC 的默认采样时间为 2.5 ADC 时钟周期。为匹配给定模拟源输出阻抗，可以通过添加最多 7 个 ADC 时钟周期来延长采样时间，最大采样时间可达到 9.5 个 ADC 时钟周期。查看 ADC CTRL 寄存器中的 TSAMP 位。

[3]  $Z_o$  = 模拟源输出阻抗。

## 12.2.1 ADC 输入阻抗

图 28 显示 ADC 输入阻抗。在这张图中：

- ADC<sub>x</sub> 代表慢速 ADC 输入通道 6 至 11。
- ADC<sub>y</sub> 代表快速 ADC 输入通道 0 至 5。
- $R_1$  和  $R_{sw}$  是 ADC 输入通道上的开关电阻。
- 如果已选择快速通道 (ADC 输入 0 至 5)，则 ADC 输入信号会从  $R_{sw}$  传输至采样电容 ( $C_{ia}$ )。
- 如果已选择慢速通道 (ADC 输入 6 至 11)，则 ADC 输入信号会从  $R_1 + R_{sw}$  传输至采样电容 ( $C_{ia}$ )。
- 典型值， $R_1 = 487\ \Omega$ ， $R_{sw} = 278\ \Omega$
- 参见表 20，了解  $C_{io}$ 。
- 参见表 37，了解  $C_{ia}$ 。



### 12.3 温度传感器

表 39. 温度传感器静态和动态特性

$V_{DD} = V_{DDA} = 1.62\text{ V 至 }3.6\text{ V}$

符号	参数	条件		最小值	典型值	最大值	单位
$DT_{\text{sen}}$	传感器温度精确度	$T_{\text{amb}} = -40\text{ °C 至 }+105\text{ °C}$	[1]	-	-	3	°C
$E_L$	线性误差	$T_{\text{amb}} = -40\text{ °C 至 }+105\text{ °C}$		-	-	3	°C
$t_{\text{s(pu)}}$	上电建立时间	至 99% 温度传感器输出值	[2]	-	10	15	μs

[1] 绝对温度准确度。

[2] 基于仿真。

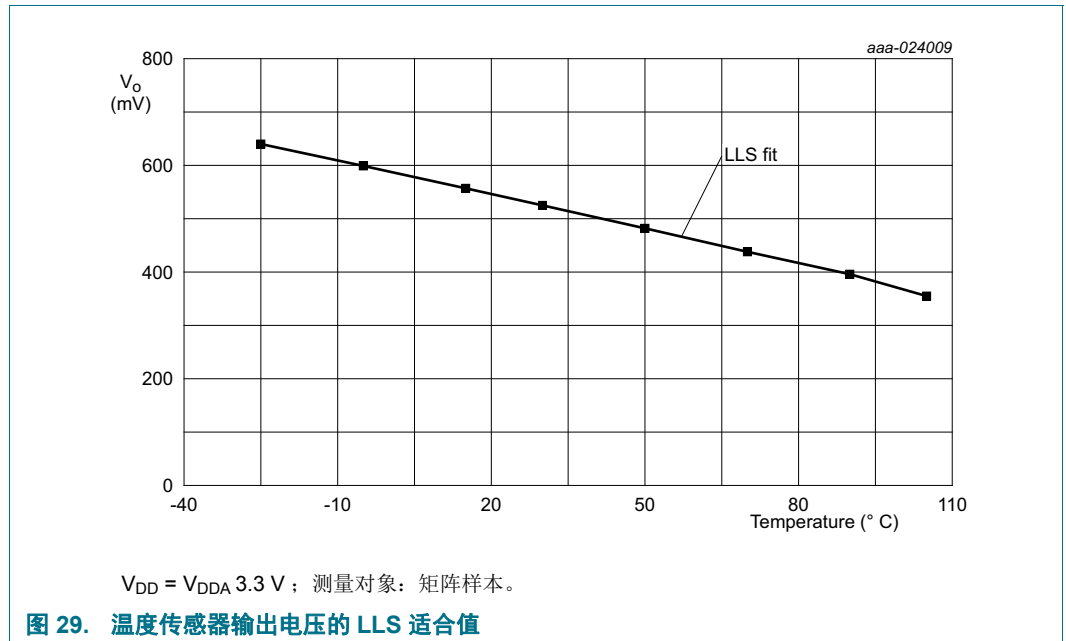
表 40. 温度传感器线性最小二乘 (LLS) 适合参数

$V_{DD} = V_{DDA} = 1.62\text{ V 至 } 3.6\text{ V}$

适合参数	传输距离		最小值	典型值	最大值	单位
LLS 斜率	$T_{\text{amb}} = -40\text{ }^{\circ}\text{C 至 } +105\text{ }^{\circ}\text{C}$	[1]	-	-2.0	-	mV/°C
0 °C 时的 LLS 交调点	$T_{\text{amb}} = -40\text{ }^{\circ}\text{C 至 } +105\text{ }^{\circ}\text{C}$	[1]	-	590.0	-	mV
30 °C 时的值		[2]	521.0	-	540.0	mV

[1] 采用典型样本进行测量。

[2] 针对工艺角中的样本进行测量。



## 13. 应用信息

### 13.1 启动行为

图 30 显示复位后的启动定时。FRO 12 MHz 振荡器提供复位时的默认时钟，并可在电源电压到达工作电压之后短时间内提供干净的系统时钟。

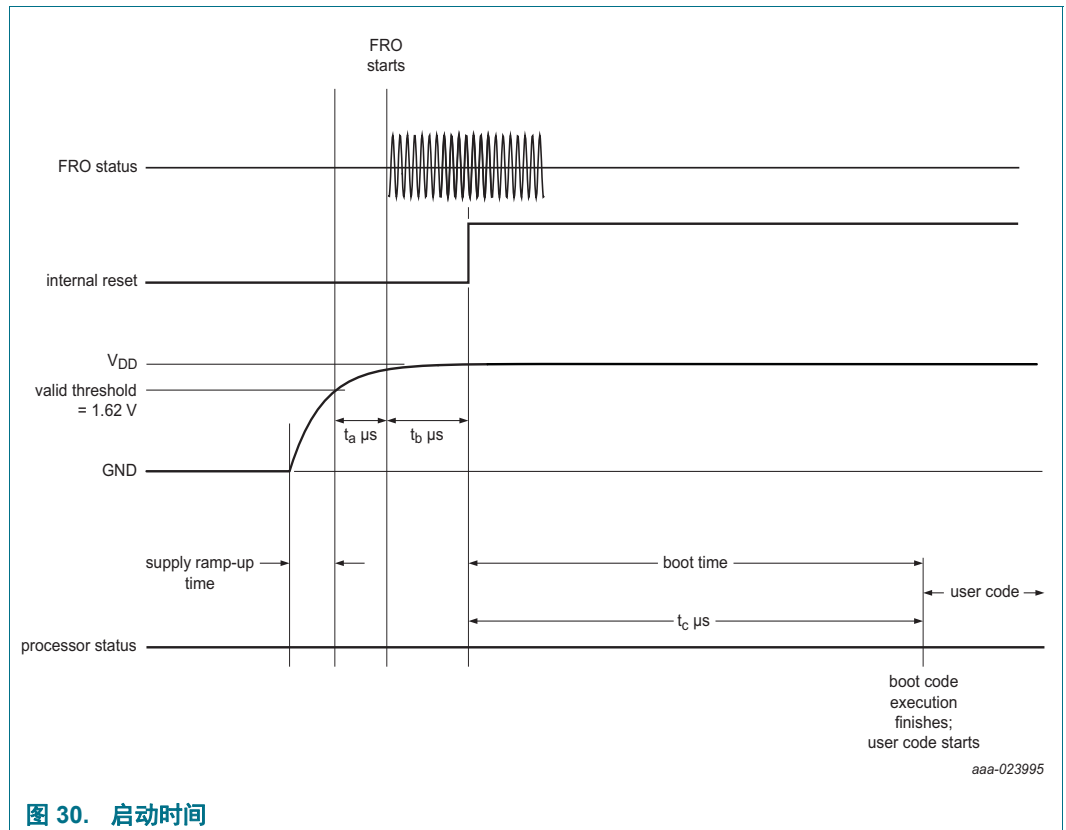


图 30. 启动时间

表 41. 典型的启动时间参数

参数	说明	值
$t_a$	FRO 启动时间	$\leq 20 \mu\text{s}$
$t_b$	内部复位解除置位	$151 \mu\text{s}$
$t_c$	旧式图像	$931 \mu\text{s}$
	无 CRC 的单图像	904
	无 CRC 的双图像	952

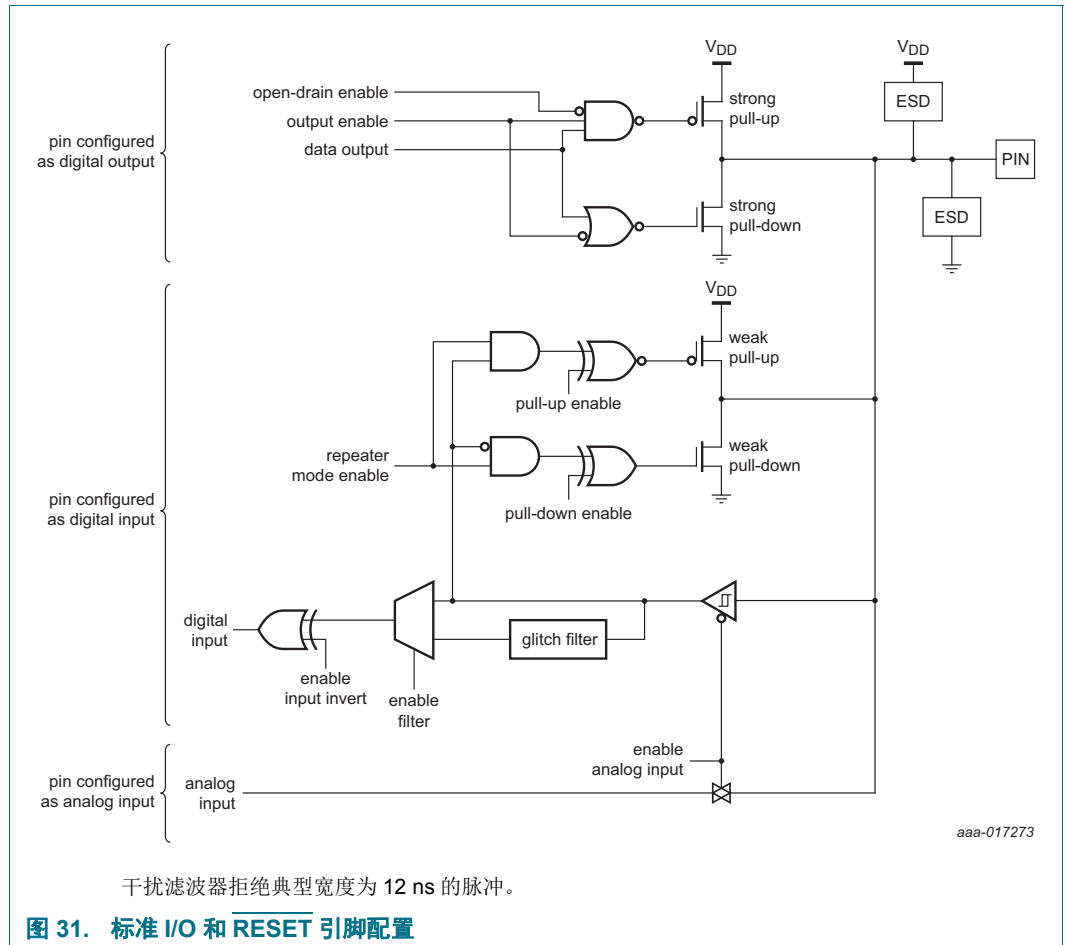
### 13.2 标准 I/O 引脚配置

图 31 显示标准 I/O 引脚的可用引脚模式：

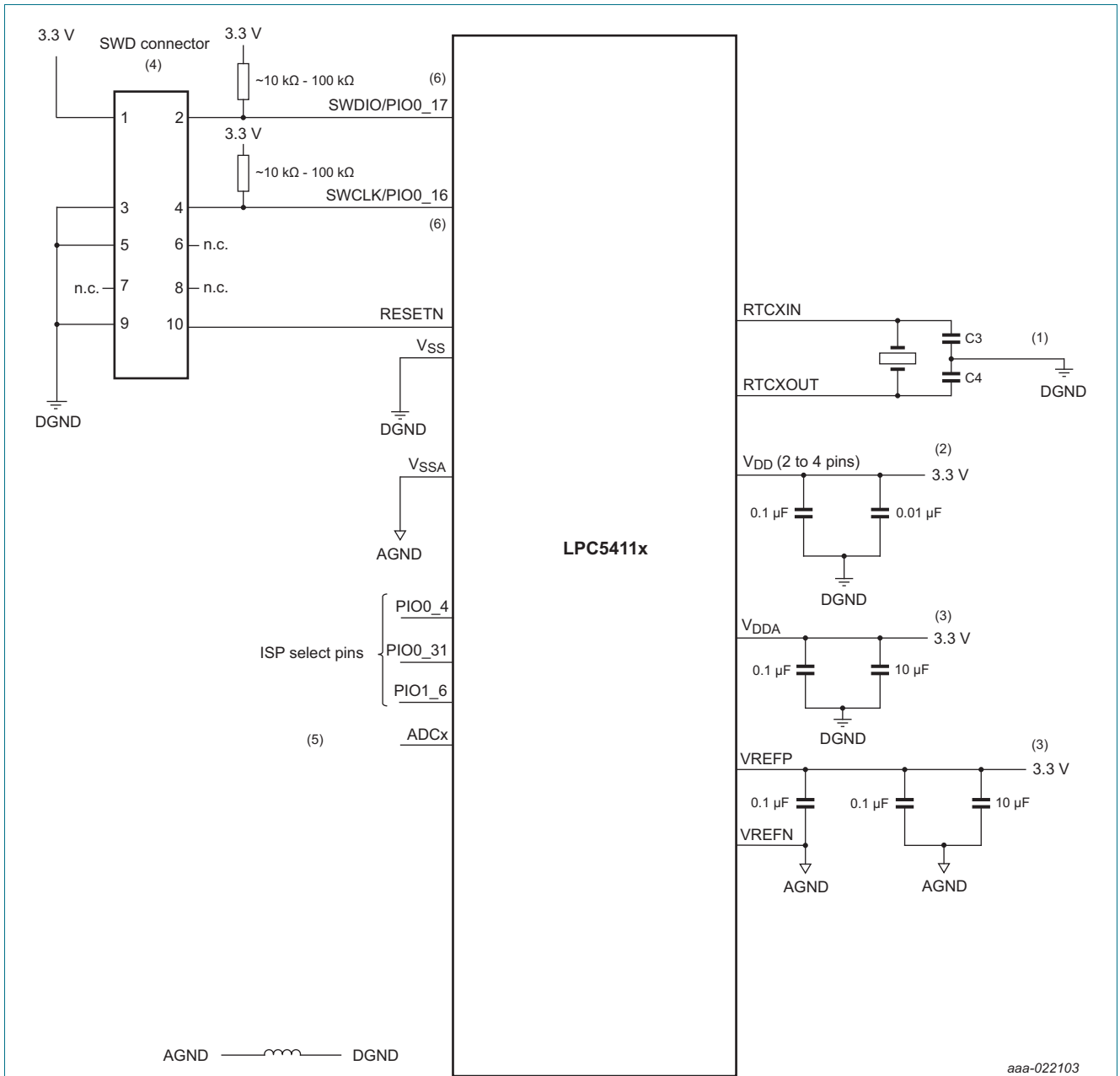
- 数字输出驱动器：使能 / 禁用。
- 数字输入：上拉使能 / 禁用。

- 数字输入：下拉使能 / 禁用。
- 数字输入：中继模式使能 / 禁用。
- Z 模式；高阻抗（没有针对浮点输入的交叉电流）。

标准 I/O 引脚的默认配置为 Z 模式。弱 MOS 器件的驱动能力与上拉电阻和下拉电阻的相当。



13.3 连接电源、时钟和调试功能



- (1) 参见 13.5 章“RTC 振荡器”，了解 C3 和 C4 的值。
- (2) 将 0.1 μF 和 0.01 μF 去耦电容尽可能靠近 V<sub>DD</sub> 引脚放置。在每一个 V<sub>DD</sub> 引脚上添加一组去耦电容。
- (3) 将 0.1 μF 去耦电容尽可能靠近 VREFN 和 V<sub>DDA</sub> 引脚放置。10 μF 旁路电容过滤电源线。如果未使用 ADC，则将 V<sub>DDA</sub> 和 VREFP 与 V<sub>DD</sub> 相连。如果未使用 ADC，则将 VREFN 与 V<sub>SS</sub> 相连。
- (4) 针对 SWD，使用 ARM 10 引脚接口。
- (5) 测量低频信号时，使用低通滤波器移除噪声并改善 ADC 性能。另请参见参考资料 1。
- (6) SWDIO 和 SWCLK 引脚上的外部上拉电阻器是可选的，因为这些引脚具备一个默认使能的内部上拉电阻器。

图 32. 电源、时钟和调试连接

## 13.4 I/O 功耗

I/O 引脚上的功耗会影响器件的整体静态和动态功耗。

如果引脚配置为使能上拉电阻的数字输入，则静态电流可根据引脚上的电压电平来流动。可以使用[表 20](#) 中提供的参数  $I_{pu}$  和  $I_{pd}$  来计算该电流。

如果引脚配置为数字输出，则静态电流源自[表 20](#) 中显示的参数 IOH 和 IOL 以及任何连接至引脚的外部负载。

在一个应用程序中切换 I/O 引脚时，会增加动态功耗，因为  $V_{DD}$  电源为所有连接至引脚的内部和外部电容负载提供充电和放电电流。

针对任意给定切换频率  $f_{sw}$ ，如果外部电容负载 ( $C_{ext}$ ) 已知，I/O 切换电流  $I_{sw}$  的贡献值可以按以下方法计算（参见[表 20](#)，了解内部 I/O 电容）：

$$I_{sw} = V_{DD} \times f_{sw} \times (C_{io} + C_{ext})$$



### 13.5 RTC 振荡器

在 RTC 振荡器电路中，只需将晶体 (XTAL) 和  $C_{X1}$  及  $C_{X2}$  电容与外部 RTCXIN 和 RTCXOUT 引脚相连。请参见图 33。

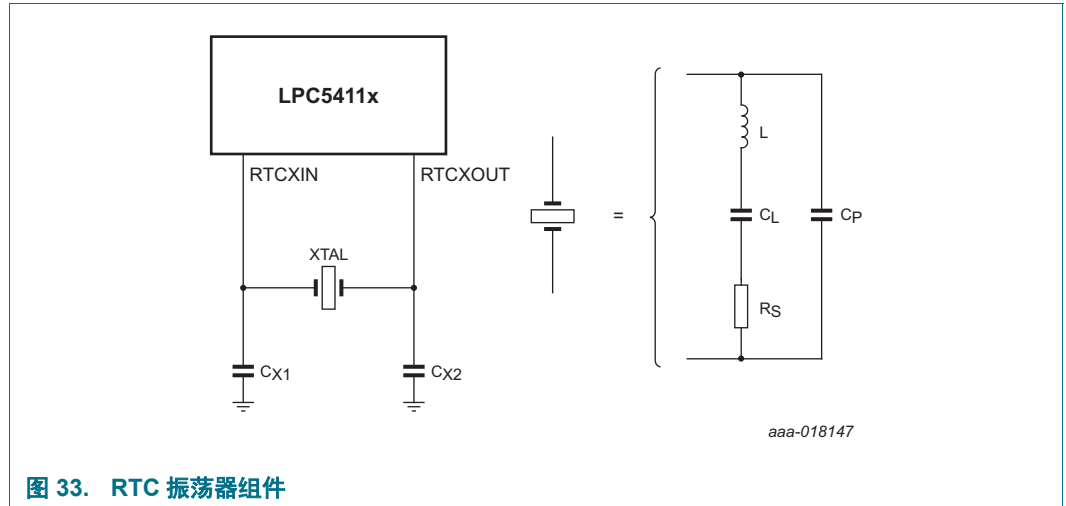


图 33. RTC 振荡器组件

为获得最佳效果，为片上振荡器选择匹配的晶体非常重要。负载电容 ( $C_L$ )、串行电阻 ( $R_S$ ) 和驱动电平 ( $DL$ ) 是选择晶体时需要考虑的重要参数。选择合适的晶体后，外部负载电容  $C_{X1}$  和  $C_{X2}$  的值通常还可按照如下表达式来确定：

$$C_{X1} = C_{X2} = 2C_L - (C_{Pad} + C_{Parasitic})$$

其中：

$C_L$  - 晶体负载电容

$C_{Pad}$  - RTCXIN 和 RTCXOUT 引脚的焊板电容 (~3 pF)。

$C_{Parasitic}$  - 外部电路的寄生电容。

尽管通常可以忽略  $C_{Parasitic}$ ，实际电路板布局和外部组件的位置会影响外部负载电容的最佳值。因此，建议微调实际硬件电路板上的外部负载电容值，从而获得准确的时钟频率。要进行微调，将 RTC 时钟输出至其中一个 GPIO 并优化外部负载电容的值，从而实现最低频率偏差。

### 13.5.1 RTC 印刷电路板 (PCB) 设计指南

- 晶体和外部负载电容应在尽可能靠近芯片的振荡器输入和输出引脚的 PCB 上进行连接。
- 晶体和 PCB 上的外部负载电容与芯片的振荡器输入和输出引脚连接时，应尽可能靠近（20mm 以内）。
- 如果使用第三个谐波晶体，确保负载电容 CX1、CX2 和 CX3 具有一个公共的接地层。
- 环路必须尽可能的小，以使通过 PCB 进行耦合时所产生的噪声和寄生效应尽可能的小。
- 将接地 (GND) 模式布置在晶体单元下。
- 多层 PCB 布线时，不要在晶体单元下布置任何其他信号线路。

### 13.6 推荐的 USB 接口解决方案

USB 器件可作为自供电器件（参见图 34）或总线供电器件（参见图 35）连接至 USB。

在 LPC5411x 上，只有在应用  $V_{DD}$  且处在工作电压级别时，USB\_VBUS 引脚才可具备 5 V 容压。因此，如果 USB\_VBUS 功能连接至 USB 连接器且器件自供电，则在  $V_{DD} = 0$  V 时，必须对 USB\_VBUS 引脚实施保护。

如果  $V_{DD}$  始终处于工作等级，同时  $VBUS = 5$  V，那么 USB\_VBUS 引脚可直接连接到 USB 连接器上的 VBUS 引脚上。

如果系统的  $V_{DD}$  为 0 V，且 VBUS 直接被 VBUS 引脚采用，在这种情况下，必须采取预防措施将电压降低至 3.6 V 以下，其中 3.6V 是 USB\_VBUS 引脚能够采用的最高电压。

方法之一：使用电压分频器将 USB\_VBUS 引脚连接到 USB 连接器的 VBUS 上。电压分频比应保证 USB\_VBUS 引脚高于  $0.7 V_{DD}$ ，以显示逻辑高电平，同时应低于所允许的 3.6 V 最高电压。

对于以下工作条件

$$VBUS_{max} = 5.25 \text{ V}$$

$$V_{DD} = 3.6 \text{ V},$$

电压分频器应提供 3.6 V/5.25 V 或  $\sim 0.686$  V 的降压量。

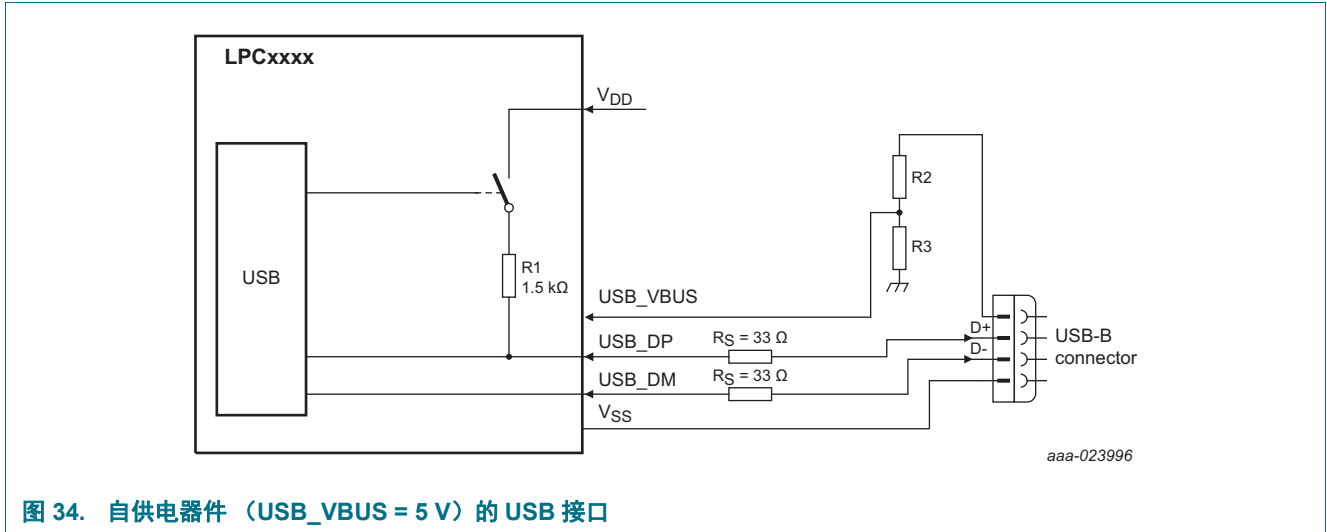
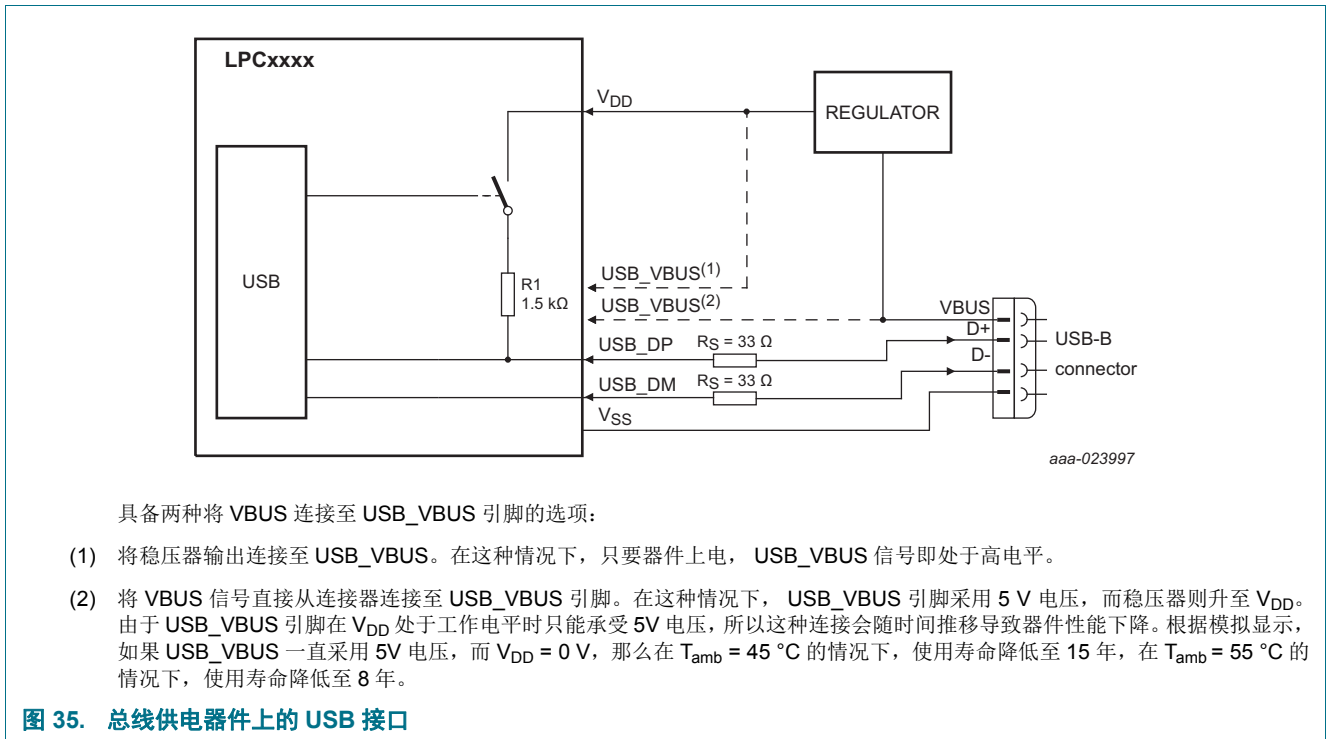


图 34. 自供电器件 (USB\_VBUS = 5 V) 的 USB 接口

可通过在 DEVCMDSTAT 寄存器中设置 DCON 位来使能内部上拉 (1.5 kΩ) 电阻，以便在上电和处理 USB 通信之间出现延迟时防止 USB 超时。不需要外部电路。



具备两种将 VBUS 连接至 USB\_VBUS 引脚的选项：

- (1) 将稳压器输出连接至 USB\_VBUS。在这种情况下，只要器件上电，USB\_VBUS 信号即处于高电平。
- (2) 将 VBUS 信号直接从连接器连接至 USB\_VBUS 引脚。在这种情况下，USB\_VBUS 引脚采用 5 V 电压，而稳压器则升至 VDD。由于 USB\_VBUS 引脚在 VDD 处于工作电平时只能承受 5V 电压，所以这种连接会随时间推移导致器件性能下降。根据模拟显示，如果 USB\_VBUS 一直采用 5V 电压，而 VDD = 0 V，那么在 T<sub>amb</sub> = 45 °C 的情况下，使用寿命降低至 15 年，在 T<sub>amb</sub> = 55 °C 的情况下，使用寿命降低至 8 年。

图 35. 总线供电器件上的 USB 接口

**注：** 如果使用自供电电路时没有连接 VBUS，则在使能 USB\_CONNECT 和 SoftConnect 功能之前，配置 GPIO (PIO1\_6 或 PIO1\_11) 的 USB\_VBUS 引脚，并提供能够通过其他机制检测主机存在状况的软件。在主机不存在的情况下使能 SoftConnect 会导致 USB 一致性错误。

14. 封装尺寸

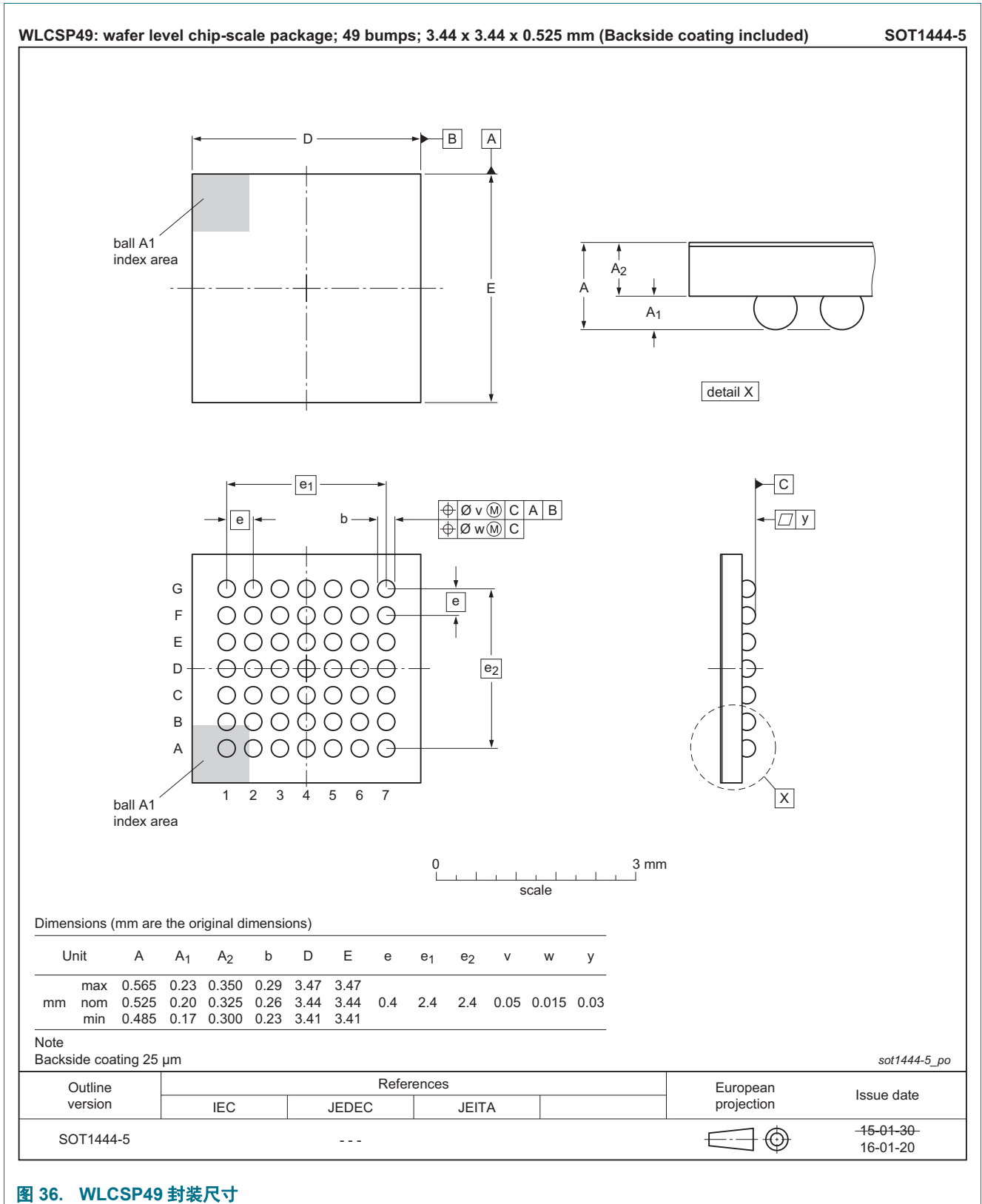
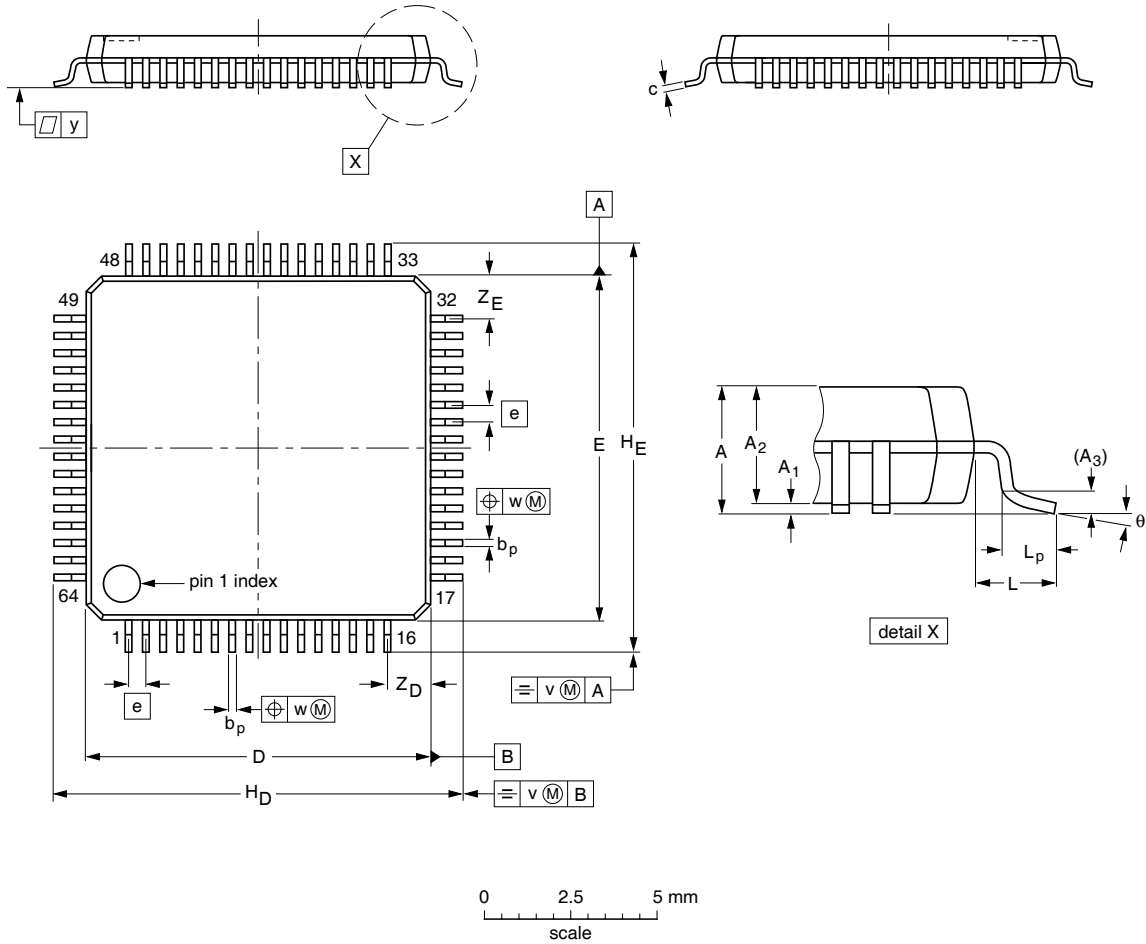


图 36. WLCSP49 封装尺寸

LQFP64: plastic low profile quad flat package; 64 leads; body 10 x 10 x 1.4 mm

SOT314-2



**DIMENSIONS (mm are the original dimensions)**

UNIT	A <sub>0</sub> max.	A <sub>1</sub>	A <sub>2</sub>	A <sub>3</sub>	b <sub>p</sub>	c	D <sup>(1)</sup>	E <sup>(1)</sup>	e	H <sub>D</sub>	H <sub>E</sub>	L	L <sub>p</sub>	v	w	y	Z <sub>D</sub> <sup>(1)</sup>	Z <sub>E</sub> <sup>(1)</sup>	θ
mm	1.6	0.20 0.05	1.45 1.35	0.25	0.27 0.17	0.18 0.12	10.1 9.9	10.1 9.9	0.5	12.15 11.85	12.15 11.85	1	0.75 0.45	0.2	0.12	0.1	1.45 1.05	1.45 1.05	7° 0°

**Note**

1. Plastic or metal protrusions of 0.25 mm maximum per side are not included.

OUTLINE VERSION	REFERENCES				EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	JEITA			
SOT314-2	136E10	MS-026				00-01-19 03-02-25

图 37. LQFP64 封装尺寸

15. 焊接

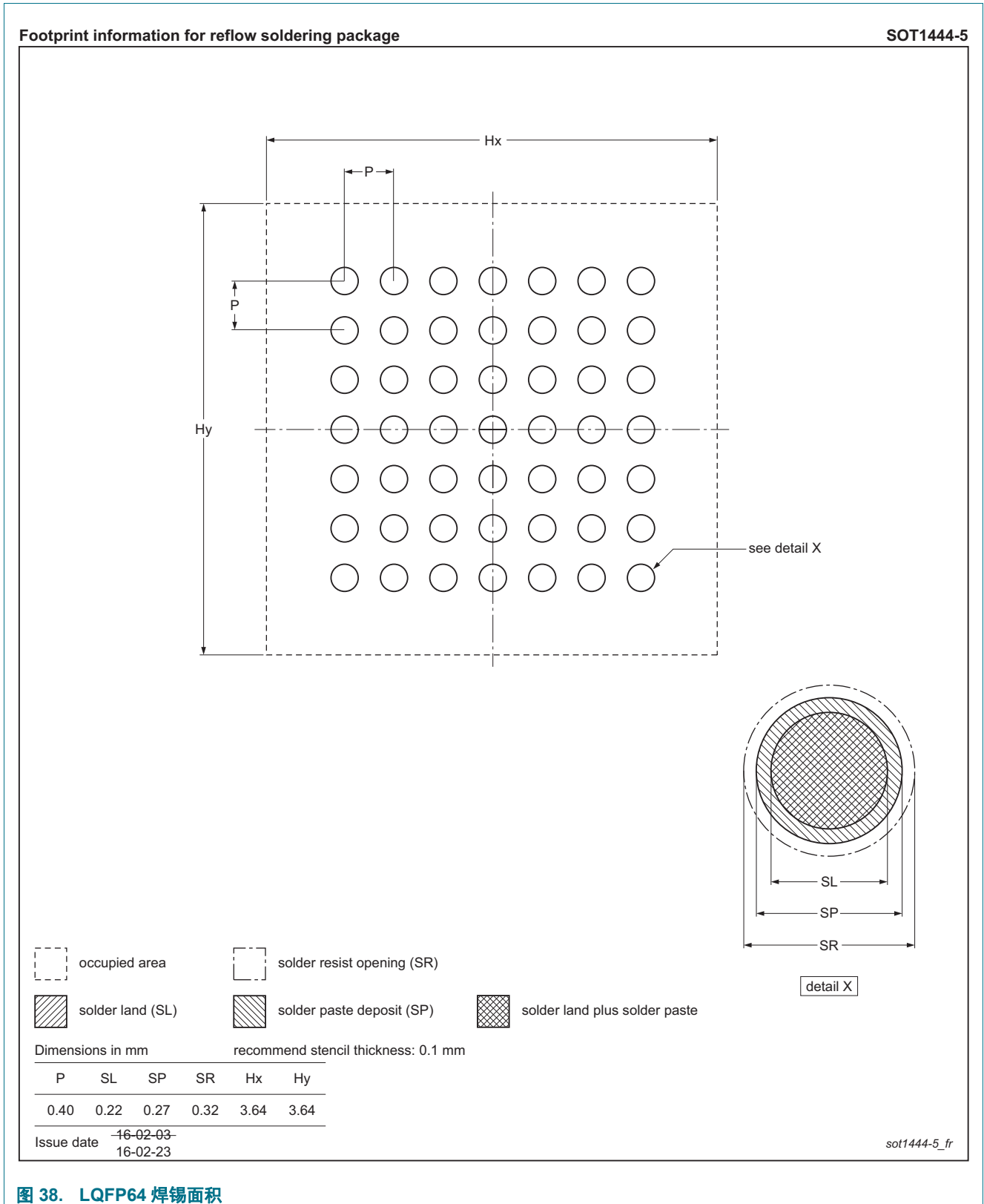


图 38. LQFP64 焊锡面积

## 16. 缩略词

表 42. 缩略词

首字母缩略词	说明
AHB	高级高性能总线
APB	高级外设总线
API	应用程序编程接口
CDC	通信设备类
DMA	直接存储器访问
FRO 振荡器	内部自由运行振荡器，调谐到出厂指定频率
GPIO	通用输入 / 输出
FRO	自由运行振荡器
HID	人机接口设备
LSB	最低有效位
MCU	微控制器
MSC	大容量存储设备
PDM	脉冲密度调制
PLL	锁相环
SPI	串行外设接口
TCP/IP	传输控制协议 / 因特网协议
TTL	晶体管 - 晶体管逻辑
USART	通用同步 / 异步串行接收 / 发送器

## 17. 参考资料

- [1] 技术笔记 - ADC 设计指南：  
[http://www.nxp.com/documents/technical\\_note/TN00009.pdf](http://www.nxp.com/documents/technical_note/TN00009.pdf)

## 18. 修订记录

表 43. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC5411x v.1.6	20160917	产品数据手册	-	LPC5411x v.1.5
变更内容:	<ul style="list-style-type: none"> <li>更新了 <a href="#">2 章“特性和优势”</a>: 被删除文本: 实时时钟 (RTC) 通过列表项目中的 32.768 kHz 时钟运行: Micro-Tick 定时器通过看门狗振荡器运行, 可用于唤醒任何低功耗模式下的器件。请参见</li> <li>在 <a href="#">表 23“动态特性: 从低功耗模式的典型唤醒时间”</a> 中, 删除了在深度睡眠模式下在 flash 和 SRAM 中执行的代码。</li> <li>已更新 <a href="#">表 13“CoreMark 得分”</a>: ARM Cortex-M4 处于工作模式; ARM Cortex-M0+ 处于睡眠模式, 修改了 CCLK = 96 MHz; 5 个系统时钟的 flash 访问时间, CCLK = 96 MHz; 6 个系统时钟的 flash 访问时间。ARM Cortex-M0+ 处于工作模式; ARM Cortex-M4 处于睡眠模式, 修改了 CCLK = 96 MHz; 5 个系统时钟的 flash 访问时间, CCLK = 96 MHz; 6 个系统时钟的 flash 访问时间。</li> <li>在 <a href="#">2 章“特性和优势”</a> 和 <a href="#">7.11 章“片上 ROM”</a> 中增加了文本: 基于 ROM 的 USB 驱动程序 (HID、CDC、MSC、DFU)。</li> <li>在 <a href="#">2 章“特性和优势”</a> 和 <a href="#">7.11 章“片上 ROM”</a> 中, 替换了 ROM API 支持的列表项目: 旧式、单图像以及双图像引导。</li> <li>在 <a href="#">2 章“特性和优势”</a>、<a href="#">7.18.3.1 章“特性”</a> 和 <a href="#">7.21.1.2 章“看门狗振荡器 (WDTOSC)”</a> 中, 修改了时钟生成部分的文本: 修改前是频率范围为 200 kHz 至 1.5 MHz 的看门狗振荡器 (WDTOSC), 修改后是频率范围为 6kHz 至 1.5 MHz 的看门狗振荡器 (WDTOSC)。</li> <li>更新了 <a href="#">表 28“动态特性: 看门狗振荡器”</a>。内部看门狗振荡频率最低值为 6 kHz。</li> <li>更新了 <a href="#">7.13.2 章“深度睡眠模式”</a>。</li> <li>更新了 <a href="#">7 章“功能说明”</a>, 增加了 <a href="#">8 章“限值”</a>。</li> <li>更新了 <a href="#">图 32“电源、时钟和调试连接”</a>。</li> <li>更新了 <a href="#">图 34“自供电器件 (USB_VBUS = 5 V) 的 USB 接口”</a> 和 <a href="#">图 35“总线供电器件上的 USB 接口”</a>。</li> </ul>			
LPC5411x v.1.5	20160718	产品数据手册	-	LPC5411x v.1.4
变更内容:	<ul style="list-style-type: none"> <li>更新了 <a href="#">表 16“静态特性: 深度睡眠模式和深度掉电模式下的功耗”</a>: 深度睡眠模式下、flash 掉电时的 IDD 典型值。</li> </ul>			



表 43. 修订记录 (续)

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC5411x v.1.4	20160711	产品数据手册	-	LPC5411x v.1.3
变更内容:	<ul style="list-style-type: none"> <li>• 更新了表 16“静态特性：深度睡眠模式和深度掉电模式下的功耗”。增加了 I<sub>DD</sub> 供电电流在深度睡眠模式和深度掉电模式下的最大值。</li> <li>• 更新了表 17“静态特性：深度睡眠模式和深度掉电模式下的功耗”。增加了深度睡眠模式和深度掉电模式下的最大值。</li> <li>• 更新了表 30“动态特征：I<sup>2</sup>S 总线接口引脚 [1][4]”。</li> <li>• 更新了表 31“SPI 动态特性 [1]”。</li> <li>• 更新了表 32“USART 动态特性 [1]”。</li> <li>• 更新了表 5“未使用引脚的端接”。增加了 USB_DP 和 USB_DM。</li> <li>• 更新了 USART 功能：在异步模式下，最大比特率为 6.25 Mbit/s，在同步主机模式下，最大数据传输速率为 20 Mbit/s，在同步从机模式下，最大数据传输速率为 16 Mbit/s。请参见 7.17.4 章“USART”。</li> <li>• 为 7.17.5 章“SPI 串行 I/O 控制器”功能添加了一个备注。</li> <li>• 已更新 SPIO 功能。增加了 SPI 功能在主机模式和从机模式下的最大数据传输速率和最小数据传输速率。请参见 7.17.5 章。</li> <li>• 更新了图 8“LPC5411x 时钟生成”。</li> <li>• 在表 16“静态特性：深度睡眠模式和深度掉电模式下的功耗”中增加了一个表注：[3] 数据基于特性结果，未在生产中测试。VDD = 2.0 V。</li> <li>• 将 PLL 部分重命名为系统 PLL。请参见 11.4 章“系统 PLL”。</li> <li>• 增加了 13.1 章“启动行为”。</li> <li>• 更新了图 31“标准 I/O 和 RESET 引脚配置”。</li> <li>• 增加了 13.6 章“推荐的 USB 接口解决方案”。</li> <li>• 增加了表 39“温度传感器静态和动态特性”。</li> <li>• 增加了表 29“动态特性：I<sup>2</sup>C 总线引脚 [1]”。</li> <li>• 更新了表 30“动态特征：I<sup>2</sup>S 总线接口引脚 [1][4]”：输入和输出、t<sub>WH</sub> 以及 t<sub>WL</sub> 典型值通用。</li> <li>• 为 7.17.8 章“I<sup>2</sup>S 总线接口”功能添加了一个备注。</li> <li>• 已更新表 19“典型 AHB/APB 外设功耗 [3][4][5]”： <ul style="list-style-type: none"> <li>– USB、GPIO0、MAILBOX、SCTimer/PWM、PINT、RTC：CPU：12 MHz、同步 APB 总线：12 MHz。</li> <li>– GPIO0 和 GINT：CPU：96MHz，同步 APB 总线：96 MHz。</li> <li>– GINT：CPU：48 MHz，同步 APB 总线：48 MHz。</li> </ul> </li> <li>• 删除部分：上电斜坡条件。</li> <li>• 已更新表 25“PLL 的动态特性 [1]”： <ul style="list-style-type: none"> <li>– 在中将 f<sub>ref</sub> 更改为 Fin；参考频率更改为输入频率。</li> <li>– 已删除 f<sub>refjitter</sub>。</li> </ul> </li> <li>• 更新了表 30“动态特征：I<sup>2</sup>S 总线接口引脚 [1][4]” <ul style="list-style-type: none"> <li>– 删除了上升时间 (t<sub>r</sub>) 和下降时间 (t<sub>f</sub>)。</li> </ul> </li> </ul>			

表 43. 修订记录 (续)

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC5411x v.1.3	20160325	产品数据手册	-	LPC5411x v.1.2
变更内容:	<ul style="list-style-type: none"> <li>更新了 <a href="#">81 页上的表 38 “ADC 采样时间 [1]”</a>。</li> </ul>			
LPC5411x v.1.2	20160224	产品数据手册	-	LPC5411x v.1.1
变更内容:	<ul style="list-style-type: none"> <li>更新了 <a href="#">76 页上的表 34 “动态特性”</a>: <math>V_{DD} = 1.62\text{ V}</math> 至 <math>3.6\text{ V}</math>, 表注为: 基于模拟值, 适用范围: <math>2.7\text{ V}</math> 至 <math>3.6\text{ V}</math>。</li> <li>增加了 <a href="#">53 页上的图 11 “深度睡眠模式: 电源电流 <math>I_{DD}</math> 典型值与温度的关系 (不同电源电压 <math>V_{DD}</math>)”</a> 和 <a href="#">54 页上的图 12 “深度掉电模式: 电源电流 <math>I_{DD}</math> 典型值与温度的关系 (不同电源电压 <math>V_{DD}</math>)”</a>。</li> </ul>			
LPC5411x v.1.1	20160222	产品数据手册	-	LPC5411x v.1
变更内容:	<ul style="list-style-type: none"> <li>更改了图形编号。</li> <li>更新了 <a href="#">5 页上的表 2 “订购选项”</a>。</li> <li>更新了 <a href="#">2 章 “特性和优势”</a> 中的列表项目: 基于 ROM 的 USB 驱动程序 (HID、CDC 和 MSC)。</li> <li>更新了 <a href="#">26 页上的图 6 “LPC5411x 存储器映射”</a>, 增加了 128 KB 片上 flash 和一个备注: flash 和 SRAM 的总体大小取决于器件。</li> <li>增加了 <a href="#">41 页上的 7.21.1.4 章 “RTC 振荡器”</a>。</li> <li>更新了 <a href="#">49 页上的图 9 “典型 CoreMark 得分”</a> 的图注, 增加了 “已禁用所有外设”。</li> <li>增加了图表说明: 除非另有说明, <math>T_{amb} = -40\text{ }^{\circ}\text{C}</math> 至 <math>+105\text{ }^{\circ}\text{C}</math>。 <math>1.62\text{ V} \leq V_{DD} \leq 3.6\text{ V}</math> 至 <a href="#">51 页上的表 15 “静态特性: 处于睡眠模式的功耗”</a>。</li> <li>将 <a href="#">51 页上的图 10 “CoreMark 功耗: M4 和 M0+ 内核的典型 <math>\mu\text{A}/\text{MHz}</math>”</a> 移动到 <a href="#">51 页上的表 15 “静态特性: 处于睡眠模式的功耗”</a> 之后。</li> <li>更新了 <a href="#">54 页上的表 18 “典型外设功耗 [1][2][3]”</a> 的表注。</li> <li>增加了 <a href="#">54 页上的表 19 “典型 AHB/APB 外设功耗 [3][4][5]”</a>。</li> <li>删除了 <a href="#">56 页上的表 20 “静态特性: 引脚特性”</a> “弱输入上拉 / 下拉特性” 的表注: 指定的值为模拟值和绝对值, 包括封装 / 引线电容。</li> <li>将 PLL0 重命名为 PLL。请参见 <a href="#">64 页上的表 24 “PLL 锁定时间和电流”</a>。</li> <li>增加了图表说明: <math>T_{amb} = -40\text{ }^{\circ}\text{C}</math> 至 <math>+105\text{ }^{\circ}\text{C}</math>。 <math>V_{DD} = 1.62\text{ V}</math> 至 <math>3.6\text{ V}</math> 至 <a href="#">65 页上的表 25 “PLL 的动态特性 [1]”</a>。</li> <li>将 <a href="#">65 页上的表 26 “动态特性: FRO”</a> 中的符号更改为 <math>f_{osc(FRO)}</math>。</li> <li>增加了表注: 对 <a href="#">67 页上的表 30 “动态特征: I2S 总线接口引脚 [1][4]”</a>、<a href="#">71 页上的表 31 “SPI 动态特性 [1]”</a> 和 <a href="#">87 页上的表 32 “电源、时钟和调试连接”</a> 中的典型值不做保证。</li> <li>将脚注更新为: 数据基于特性结果, 未在生产中测试。请参见 <a href="#">65 页上的表 26 “动态特性: FRO”</a>。</li> <li>更改了 <a href="#">79 页上的表 37 “12 位 ADC 静态特性”</a> 中 <math>E_D</math> 和 <math>E_{L(adj)}</math> 的条件顺序。</li> </ul>			
LPC5411x v.1	20160216	产品数据手册	-	-

## 19. 法律信息

### 19.1 数据手册状态

文档状态 [1][2]	产品状态 [3]	定义
客观 [ 缩略版 ] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [ 缩略版 ] 数据手册	验证	该文档含有初始规范的数据。
产品 [ 缩略版 ] 数据手册	产量	该文档含有产品规范。

[1] 请在开始或完成设计之前查看最新发布文件。

[2] 有关缩略版数据手册的说明见“定义”部分。

[3] 自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问：<http://www.nxp.com>

### 19.2 定义

**初稿** — 本文仅为初稿版本。内容仍在内部审查，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而导致的后果不承担任何责任。恩智浦半导体对此文档中超出恩智浦半导体信息源的内容不承担责任。

**缩略版数据手册** — 缩略版数据手册为产品型号和标题完全相同的完全版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

**产品规格** — 产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体及客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和质量，则该协议无效。

### 19.3 免责声明

**有限担保和责任** — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此处所含信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此信息而导致的后果不承担任何责任。

在任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总计责任和累积责任仅限于 *恩智浦商业销售条款和条件* 所规定的范围。

**修改权利** — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

**适宜使用** — 恩智浦半导体产品并非设计、授权或担保适用于生命保障、生命关键或安全关键系统或设备，亦非设计、授权或担保适用于在恩智浦半导体产品失效或故障时会导致人员伤亡、死亡或严重财产或环境损害的应用。恩智浦半导体对在此类设备或应用中加入和 / 或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和 / 或使用恩智浦半导体产品而带来的风险。

**应用** — 本文件所载任何产品的应用只用于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

客户负责自行利用恩智浦半导体的产品进行设计和应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行判断恩智浦半导体的产品是否适用于其应用和设计计划，以及是否适用于其第三方客户的规划应用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

对于因客户应用或产品的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、开支或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦不承担与此相关的任何责任。

**限值** — 超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会给器件带来永久性损坏。限值仅为强度额定值，若设备工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文档“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对设备的质量和可靠性造成永久性、不可逆转的影响。

**商业销售条款和条件** — 除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

**无销售或许可要约** — 本文件中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

**出口管制** — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经国家主管部门批准。

**非汽车应用产品** — 除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车器件或应用中包括和 / 或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户 (a) 若使用产品，则恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户使用恩智浦半导体所提供规格以外的产品用于汽车应用，

须自行承担所有风险；并且(c)对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用非汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

## 19.4 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的财产。

I<sup>2</sup>C 总线 — 标志是恩智浦的商标。

## 20. 联系信息

---

有关详细信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：[salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

## 21. 内容

1	简介	1	7.17.5	SPI 串行 I/O 控制器	34
2	特性和优势	1	7.17.5.1	特性	34
3	订购信息	5	7.17.6	I <sup>2</sup> C 总线接口	34
3.1	订购选项	5	7.17.7	特性	34
4	标记	5	7.17.8	I <sup>2</sup> S 总线接口	35
5	功能框图	7	7.17.8.1	特性	35
6	引脚信息	8	7.18	标准计数器 / 定时器 (CTimer0 至 4)	36
6.1	引脚配置	8	7.18.1	特性	36
6.2	引脚说明	10	7.18.2	SCTimer/PWM 子系统	36
6.2.1	未使用引脚的端接	21	7.18.2.1	特性	37
6.2.2	不同电源模式下的引脚状态	21	7.18.3	窗口化看门狗定时器 (WWDT)	38
7	功能说明	22	7.18.3.1	特性	38
7.1	架构概述	22	7.18.4	RTC 定时器	39
7.2	ARM Cortex-M4 处理器	22	7.18.4.1	特性	39
7.3	ARM Cortex-M4 集成了浮点单元 (FPU)	22	7.18.5	多速率定时器 (MRT)	39
7.4	ARM Cortex-M0+ 协处理器	22	7.18.5.1	特性	39
7.5	存储器保护单元 (MPU)	22	7.18.6	Micro-tick 定时器 (UTICK)	40
7.6	Cortex-M4 的可嵌套中断向量控制器 (NVIC)	23	7.18.6.1	特性	40
7.6.1	特性	23	7.19	12 位模数转换器 (ADC)	40
7.6.2	中断源	23	7.19.1	特性	40
7.7	Cortex-M0+ 的可嵌套中断向量控制器 (NVIC)	23	7.20	温度传感器	40
7.7.1	特性	23	7.21	系统控制	41
7.7.2	中断源	23	7.21.1	时钟源	41
7.8	系统节拍定时器 (SysTick)	24	7.21.1.1	FRO	41
7.9	片内静态 RAM	24	7.21.1.2	看门狗振荡器 (WDTOSC)	41
7.10	片上 flash	24	7.21.1.3	时钟输入	41
7.11	片上 ROM	24	7.21.1.4	RTC 振荡器	41
7.12	存储器映射	25	7.21.1.5	系统 PLL	41
7.13	电源控制	27	7.21.2	时钟生成	42
7.13.1	睡眠模式	27	7.21.3	欠压检测	43
7.13.2	深度睡眠模式	27	7.21.4	安全	43
7.13.3	深度掉电模式	28	7.22	代码安全性 (代码读取保护 - CRP)	43
7.14	通用 I/O (GPIO)	30	7.23	仿真和调试	44
7.14.1	特性	30	8	限值	45
7.15	引脚中断 / 模式引擎	30	9	热学特性	46
7.15.1	特性	31	10	静态特性	47
7.16	AHB 外设	31	10.1	一般工作条件	47
7.16.1	DMA 控制器	31	10.2	CoreMark 数据	48
7.16.1.1	特性	31	10.3	功耗	50
7.17	数字串行外围设备	32	10.4	引脚特性	56
7.17.1	USB2.0 器件控制器	32	10.4.1	电气引脚特性	59
7.17.1.1	特性	32	11	动态特性	62
7.17.2	DMIC 子系统	32	11.1	Flash 存储器	62
7.17.2.1	特性	32	11.2	I/O 引脚	62
7.17.3	Flexcomm 串行通信接口	33	11.3	唤醒过程	63
7.17.3.1	特性	33	11.4	系统 PLL	64
7.17.4	USART	33	11.5	FRO	65
7.17.4.1	特性	33	11.6	RTC 振荡器	65

续 &gt;&gt;

11.7	看门狗振荡器 .....	66
11.8	I2C 总线 .....	66
11.9	I <sup>2</sup> S 总线接口 .....	67
11.10	SPI 接口 .....	71
11.11	USART 接口 .....	74
11.12	SCTimer/PWM 输出时序 .....	75
11.13	DMIC 子系统 .....	76
11.14	USB 接口特性 .....	76
<b>12</b>	<b>模拟特性 .....</b>	<b>78</b>
12.1	BOD .....	78
12.2	12 位 ADC 特性 .....	79
12.2.1	ADC 输入阻抗 .....	82
12.3	温度传感器 .....	83
<b>13</b>	<b>应用信息 .....</b>	<b>85</b>
13.1	启动行为 .....	85
13.2	标准 I/O 引脚配置 .....	85
13.3	连接电源、时钟和调试功能 .....	87
13.4	I/O 功耗 .....	88
13.5	RTC 振荡器 .....	89
13.5.1	RTC 印刷电路板 (PCB) 设计指南 .....	90
13.6	推荐的 USB 接口解决方案 .....	90
<b>14</b>	<b>封装尺寸 .....</b>	<b>92</b>
<b>15</b>	<b>焊接 .....</b>	<b>94</b>
<b>16</b>	<b>缩略词 .....</b>	<b>95</b>
<b>17</b>	<b>参考资料 .....</b>	<b>95</b>
<b>18</b>	<b>修订记录 .....</b>	<b>96</b>
<b>19</b>	<b>法律信息 .....</b>	<b>99</b>
19.1	数据手册状态 .....	99
19.2	定义 .....	99
19.3	免责声明 .....	99
19.4	商标 .....	100
<b>20</b>	<b>联系信息 .....</b>	<b>100</b>
<b>21</b>	<b>内容 .....</b>	<b>101</b>

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.

© NXP Semiconductors N.V. 2016.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: [salesaddresses@nxp.com](mailto:salesaddresses@nxp.com)

Date of release: 2016 年 12 月 23 日

Document identifier: LPC5411x