



LPC4350/30/20/10

32 位 ARM Cortex-M4/M0 MCU ; 最高 264 kB SRAM ; 以太网;
2 个高速 USB 控制器; 高级可配置外设

修订版: 3.1 — 2012 年 1 月 5 日

客观数据手册

1. 简介

LPC4350/30/20/10 是针对嵌入式应用的 ARM Cortex-M4 微控制器, 搭载 1 个 ARM Cortex-M0 协处理器、高达 264 kB SRAM、高级可配置外设 (如状态可配置定时器 (SCT) 和串行通用 I/O (SGPIO) 接口)、2 个高速 USB 控制器、以太网、液晶显示器、1 个外部存储控制器和多个数字和模拟外设。LPC4350/30/20/10 系列 CPU 工作频率高达 204MHz。

ARM Cortex-M4 是下一代 32 位微控制器内核, 具有低功耗、易调试、易集成等多种系统增强优势。ARM Cortex-M4 内核 CPU 采用 3 级流水线和哈佛架构, 具有独立的本地指令和数据总线以及用于系统外设的第三总线, 同时还包含一个支持不确定分支操作的内部预取单元。ARM Cortex-M4 支持单周期数字信号处理和 SIMD 指令。内核集成硬件浮点处理器。

ARM Cortex-M0 协处理器是一款易用性能突出的高效 32 位内核, 其代码和工具均与 Cortex-M4 兼容。作为现有 8/16 位微处理器的替代器件, Cortex-M0 协处理器提供高达 204 MHz 的卓越性能, 采用简单的指令集, 代码尺寸也有所降低。

注: 本数据手册描述的是 LPC4350/30/20/10 器件的“A”修订版。与以前的版本相比, 在以下方面进行了更新:

- 工作频率升至 204 MHz。
- 增加了 C_CAN1。
- 引脚多路复用增至 9 级。
- 更新了 GPIO。
- 更新了引脚说明。

2. 特性和优势

- Cortex-M4 处理器内核
 - ◆ ARM Cortex-M4 处理器, 工作频率高达 204 MHz。
 - ◆ ARM Cortex-M4 内置存储器保护单元 (MPU), 支持 8 个区域。
 - ◆ ARM Cortex-M4 内置可嵌套中断向量控制器 (NVIC)。
 - ◆ 硬件浮点单元。
 - ◆ 非屏蔽中断 (NMI) 输入。
 - ◆ JTAG 和串行线调试 (SWD)、串行线路、8 个中断点及 4 个观察点。
 - ◆ 强化的跟踪模块 (ETM) 和强化的跟踪缓冲区 (ETB) 支持。
 - ◆ 系统定时器。
- Cortex-M0 处理器内核
 - ◆ ARM Cortex-M0 协处理器能分担 ARM Cortex-M4 主应用处理器的负荷。



- ◆ 工作频率高达 204 MHz。
- ◆ JTAG、串行线调试和内置 NVIC。
- 片内存储器
 - ◆ 最高 264 kB SRAM，供代码和数据使用。
 - ◆ 多个 SRAM 块，支持独立总线存取。2 个 SRAM 块可以独立进入掉电模式。
 - ◆ 64 kB ROM，含引导代码和片内软件驱动程序。
 - ◆ 128 位通用一次性可编程 (OTP) 存储器。
- 可配置的数字外设
 - ◆ 串行 GPIO (SGPIO) 接口。
 - ◆ 位于 AHB 上的状态可配置定时器 (SCT) 子系统。
 - ◆ 全局输入多路复用器阵列 (GIMA) 允许将多个输入和输出交叉连接至事件驱动型外设 (如定时器、SCT 和 ADC0/1)。
- 串行接口
 - ◆ 四通道 SPI 闪存接口 (SPIFI)，搭载 4 个通道，吞吐量高达 40 Mb/秒。
 - ◆ 10/100T 以太网 MAC，搭载 RMII 和 MII 接口以及 DMA 支持，在低 CPU 负载下也可实现高吞吐量。支持 IEEE 1588 时间戳 / 高级时间戳 (IEEE 1588-2008 v2)。
 - ◆ 1 个高速 USB 2.0 主机 / 设备 / OTG 接口，搭载 DMA 支持和片内高速 PHY。
 - ◆ 1 个高速 USB 2.0 主机 / 设备接口，搭载 DMA 支持、片内全速 PHY 和可连接外部高速 PHY 的 ULPI 接口。
 - ◆ ROM USB 协议栈集成 USB 接口电气测试软件。
 - ◆ 1 个 550 UART，搭载 DMA 支持和全调制解调器接口。
 - ◆ 3 个 550 USART，搭载 DMA 和同步模式支持，并配备 1 个符合 ISO7816 规范的智能卡接口。1 个 USART，搭载 IrDA 接口。
 - ◆ 2 个 C_CAN 2.0B 控制器，各搭载一个通道。
 - ◆ 2 个 SSP 控制器，搭载 FIFO 和多协议支持。2 个 SSP 控制器均支持 DMA。
 - ◆ 1 个 SPI 控制器。
 - ◆ 一个超快速模式 Plus I²C 总线接口，具备监控器模式和符合完整 I²C 总线规范的开漏 I/O 引脚。处理高达 1 Mbit/s 的数据速率。
 - ◆ 一个标准 I²C 总线接口，支持监控器模式，搭载标准 I/O 引脚。
 - ◆ 2 个 I²S 接口，均搭载 DMA 支持及 1 个输入和 1 个输出。
- 数字外设
 - ◆ 外部存储控制器 (EMC)，支持外部 SRAM、ROM、NOR 闪存和 SDRAM 设备。
 - ◆ LCD 控制器具有 DMA 支持以及高达 1024 H × 768 V 的可编程显示分辨率。支持单色和彩色 STN 面板和 TFT 彩色面板；支持 1/2/4/8 bpp 彩色查找表 (CLUT) 和 16/24 位直接像素映射。
 - ◆ 安全数字输入输出 (SD/MMC) 卡接口。
 - ◆ 八通道通用 DMA (GPDMA) 控制器，可以存取 AHB 上的所有存储器和所有支持 DMA 的 AHB 从属存储器。
 - ◆ 多达 164 个通用输入 / 输出 (GPIO) 引脚，搭载可配置上拉 / 下拉电阻和开漏模式。
 - ◆ GPIO 寄存器位于 AHB 上，以支持快速存取。GPIO 端口支持 DMA。
 - ◆ 最多可以从所有 GPIO 引脚中选择 8 个 GPIO 引脚，作为边缘和电平敏感型中断源。
 - ◆ 2 个 GPIO 分组中断模块，支持基于一组 GPIO 引脚的输入状态的可编程范式进行中断。

- ◆ 4 个通用定时器 / 计数器，支持捕获和匹配。
- ◆ 1 个电机控制脉冲宽度调制器 (PWM)，用于三相电机控制。
- ◆ 1 个正交编码器接口 (QEI)。
- ◆ 重复中断定时器 (RI 定时器)。
- ◆ 窗口看门狗定时器 (WWDT)。
- ◆ 独立的电源域搭载超低功耗实时时钟 (RTC)，配有 256 字节的电池供电型备份寄存器。
- ◆ 警报定时器；可通过电池供电。
- 模拟外设
 - ◆ 1 个 10 位 DAC，支持 DMA，数据转换速率最高可达 400 kSamples/s。
 - ◆ 2 个 10 位 ADC，支持 DMA，数据转换速率最高可达 400 kSamples/s。ADC 输入在两个 ADC 之间共用。
- 安全
 - ◆ AES 引擎，可通过片内 API 进行编程。
 - ◆ 2 个 128 位安全 OTP 存储器，供存储 AES 密钥和客户使用。
 - ◆ 每只芯片有唯一的 ID。
- 时钟产生单元
 - ◆ 晶振，工作频率范围为 1 MHz 至 25 MHz。
 - ◆ 12 MHz 内部 RC (IRC) 振荡器，温度及电压可精确到 1 %。
 - ◆ 超低功耗实时时钟 (RTC) 晶振。
 - ◆ 3 个 PLL，使 CPU 可达最高速率，而无需使用高频晶振。第二个 PLL 专门用于高速 USB，第三个 PLL 可用作音频 PLL。
 - ◆ 时钟输出。
- 电源
 - ◆ 采用 3.3 V (2.2 V 至 3.6 V) 单电源供电，搭载片内 DC-DC 转换器，为内核和 RTC 电源域供电。
 - ◆ RTC 电源域可由 3 V 电池单独供电。
 - ◆ 四种低功耗模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。
 - ◆ 可通过多种外设的唤醒中断从睡眠模式唤醒处理器。
 - ◆ 支持通过外部中断和 RTC 电源域中电池供电模块产生的中断从深度睡眠、掉电和深度掉电三种模式唤醒。
 - ◆ 掉电检测，为中断和强制复位设有 4 个独立的阈值。
 - ◆ 上电复位 (POR)。
 - ◆ 提供 256 引脚、180 引脚和 100 引脚 LQFP 封装，以及 208 引脚、144 引脚、和 100 引脚 LQFP 封装。

3. 应用

- 电机控制
- 电源管理
- 白色家电
- RFID 读卡器
- 嵌入式音频应用
- 工业自动化
- 电子计量

4. 订购信息

表 1. 订购信息

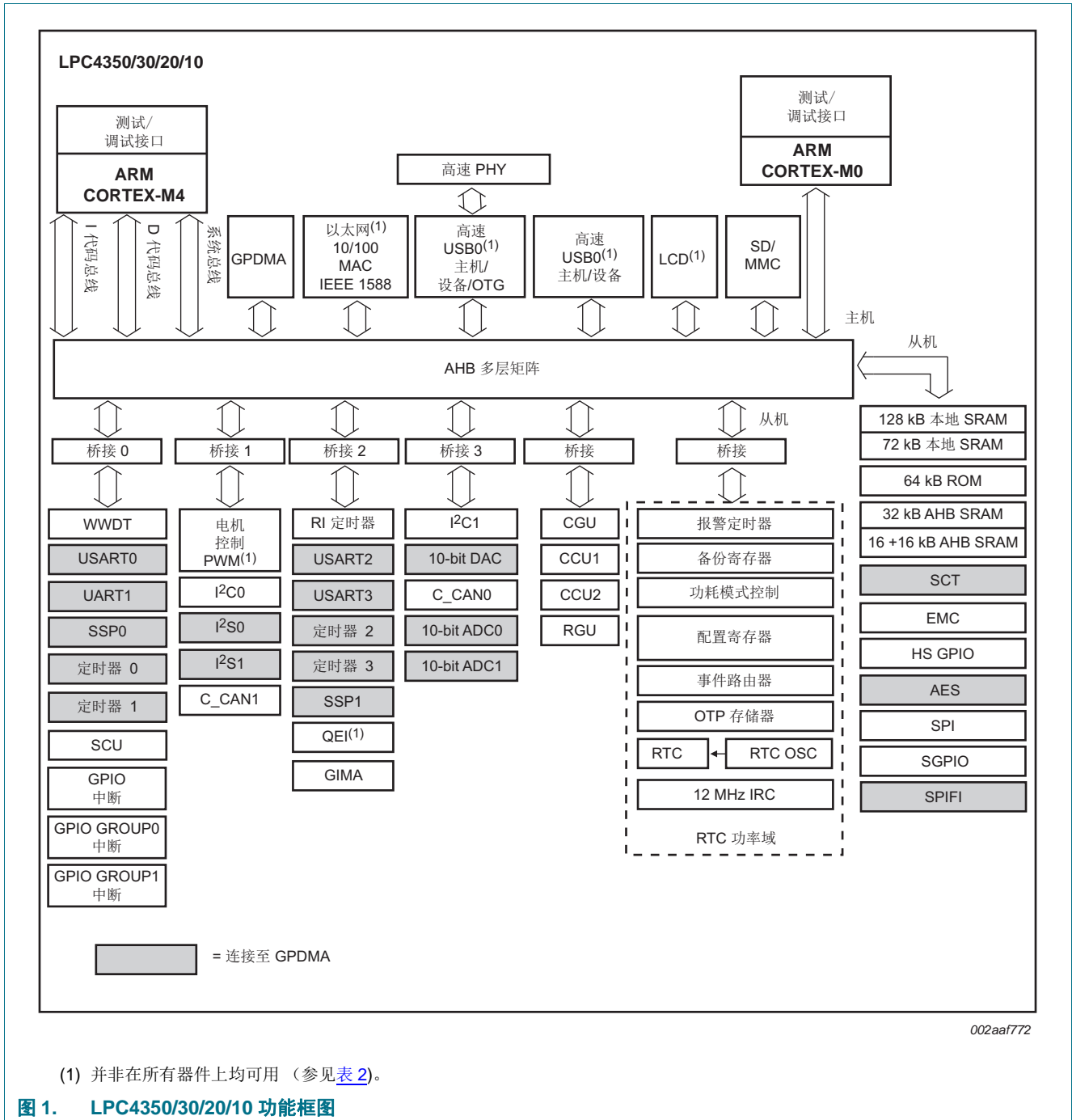
产品型号	封装技术		版本
	名称	描述	
LPC4350FET256	LBGA256	塑封薄型球栅阵列封装； 256 引脚； 主体尺寸 17× 17 × 1 mm	SOT740-2
LPC4350FET180	TFBGA180	薄型小间距球栅阵列封装； 180 引脚	SOT570-3
LPC4350FBD208	LQFP208	塑封薄型四侧扁平封装； 208 引脚； 主体尺寸 28× 28 × 1.4 mm	SOT459-1
LPC4330FET256	LBGA256	塑封薄型球栅阵列封装； 256 引脚； 主体尺寸 17× 17 × 1 mm	SOT740-2
LPC4330FET180	TFBGA180	薄型小间距球栅阵列封装； 180 引脚	SOT570-3
LPC4330FET100	TFBGA100	塑封细间距球栅阵列封装； 100 引脚； 主体尺寸 9× 9 × 0.7 mm	SOT926-1
LPC4330FBD144	LQFP144	塑封薄型四侧扁平封装； 144 引脚； 主体尺寸 20× 20 × 1.4 mm	SOT486-1
LPC4320FET100	TFBGA100	塑封细间距球栅阵列封装； 100 引脚； 主体尺寸 9× 9 × 0.7 mm	SOT926-1
LPC4320FBD144	LQFP144	塑封薄型四侧扁平封装； 144 引脚； 主体尺寸 20× 20 × 1.4 mm	SOT486-1
LPC4320FBD100	LQFP100	塑封薄型四侧扁平封装； 100 引脚； 主体尺寸 14× 14 × 1.4 mm	SOT407-1
LPC4310FET100	TFBGA100	塑封细间距球栅阵列封装； 100 引脚； 主体尺寸 9× 9 × 0.7 mm	SOT926-1
LPC4310FBD144	LQFP144	塑封薄型四侧扁平封装； 144 引脚； 主体尺寸 20× 20 × 1.4 mm	SOT486-1

4.1 订购选项

表 2. 订购选项

产品型号	总 SRAM	LCD	以太网	USB 0 (主机、设备、OTG)	USB1 (主机、设备、/ULPI 接口)	ADC 通道	PWM	QEI	GPIO	封装技术
LPC4350FET256	264 KB	是	是	是	有 / 有	8	是	是	164	LBGA256
LPC4350FET180	264 KB	是	是	是	有 / 有	8	是	是	118	TFBGA180
LPC4350FBD208	264 KB	是	是	是	有 / 有	8	是	是	142	LQFP208
LPC4330FET256	264 KB	否	是	是	有 / 有	8	是	是	164	LBGA256
LPC4330FET180	264 KB	否	是	是	有 / 有	8	是	是	118	TFBGA180
LPC4330FET100	264 KB	否	是	是	有 / 无	4	否	否	49	TFBGA100
LPC4330FBD144	264 KB	否	是	是	有 / 无	8	是	否	83	LQFP144
LPC4320FET100	200 kB	否	否	是	否	4	否	否	49	TFBGA100
LPC4320FBD144	200 kB	否	否	是	否	8	是	否	83	LQFP144
LPC4320FBD100	200 kB	否	否	是	否	5	否	否	49	LQFP100
LPC4310FET100	168 kB	否	否	否	否	4	否	否	49	TFBGA100
LPC4310FBD144	168 kB	否	否	否	否	8	是	否	83	LQFP144

5. 功能框图



6. 引脚信息

6.1 引脚配置

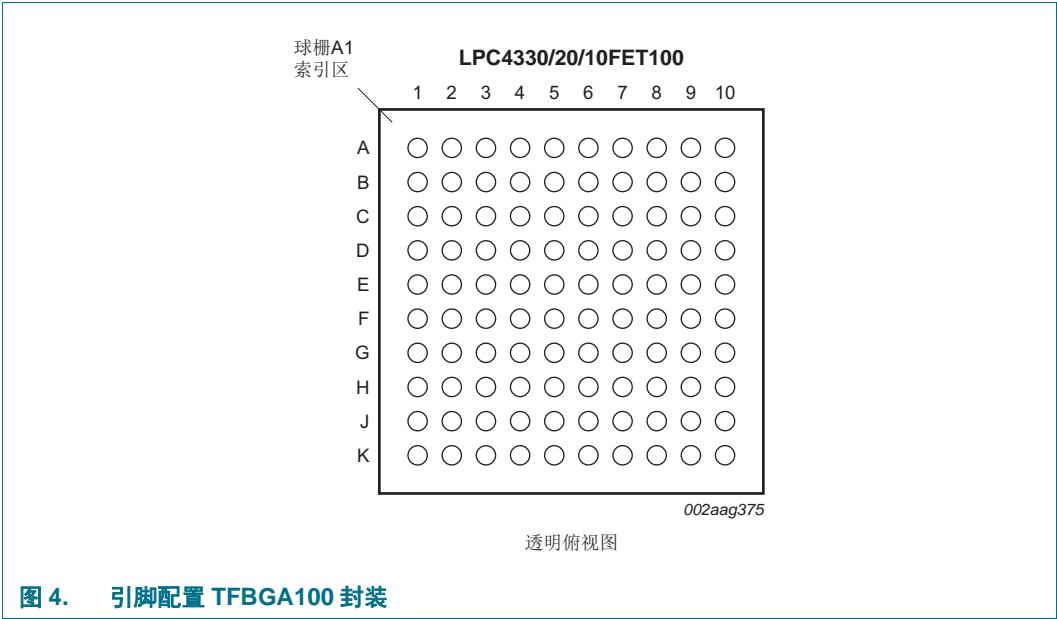
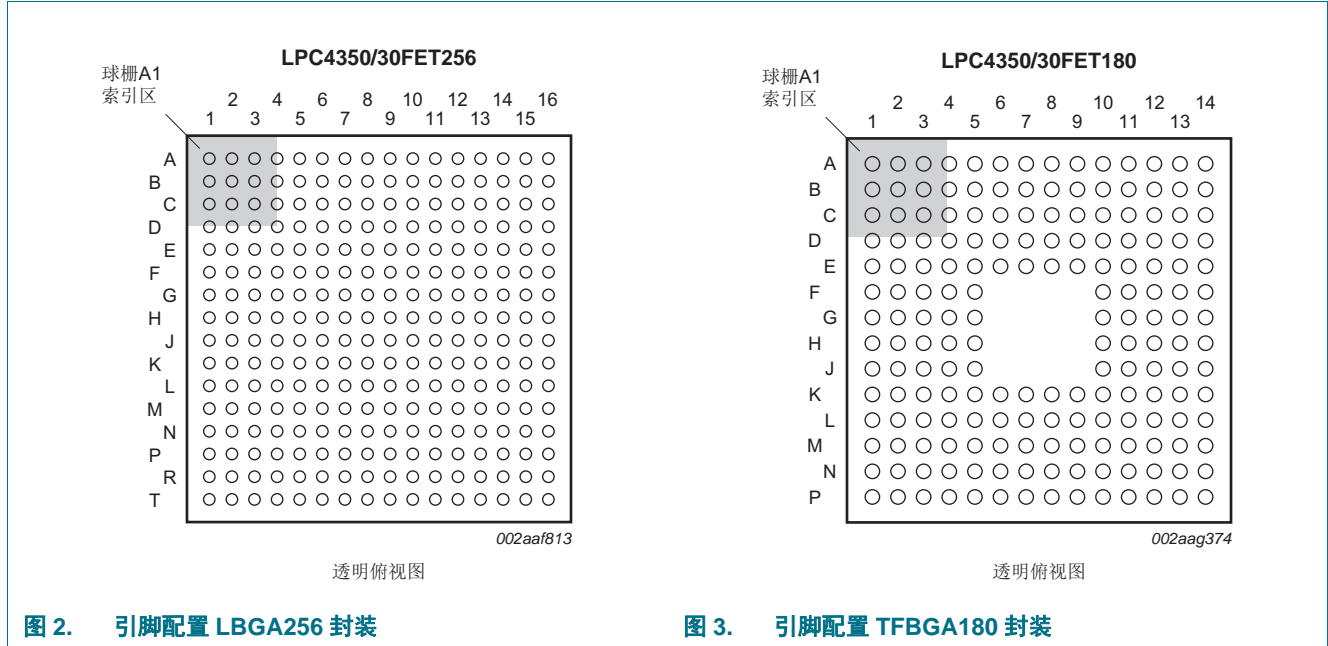


图 4. 引脚配置 TFBGA100 封装

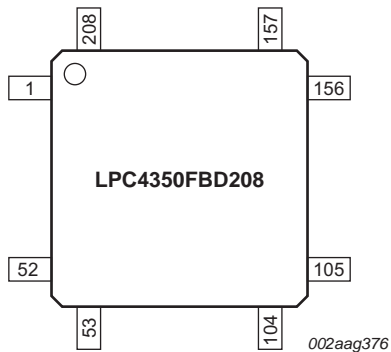


图 5. 引脚配置 LQFP208 封装

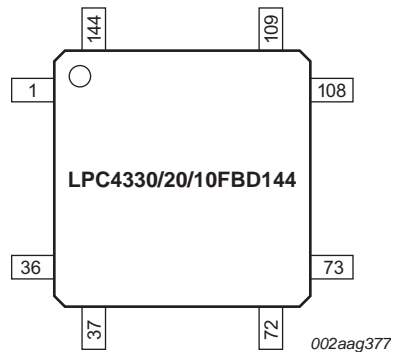


图 6. 引脚配置 LQFP144 封装

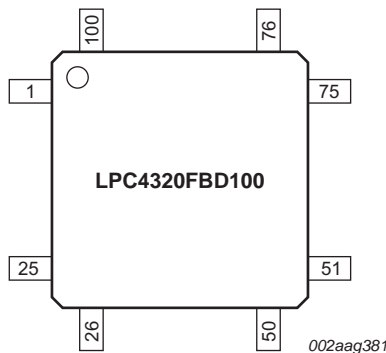


图 7. 引脚配置 LQFP100 封装

6.2 引脚描述

在 LPC4350/30/20/10 上，数字引脚将分组到 16 个端口，即 P0 到 P9 和 PA 到 PF，每个端口最多使用 20 个引脚。每个数字引脚可以支持最多 8 个不同的数字功能，包括通用 I/O (GPIO)，可通过系统配置单元 (SCU) 寄存器选择。引脚名称并不表示所指派的功能。

并非所有封装都提供表 3 列出的所有功能。如需了解是否提供 USB0、USB1、以太网和 LCD 功能，请参见表 2。

表 3. 引脚描述

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
多路复用数字引脚									
P0_0	L3	x	G2	47	32	22	^[3]	I; PU	I/O GPIO0[0] — 通用数字输入 / 输出引脚。 I/O SSP1_MISO — SSP1 主机输入从机输出。 I ENET_RXD1 — 以太网接收数据 1 (RMII/MII 接口)。 I/O SGPIO0 — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O I2S0_TX_WS — 发送字选择。由主机驱动, 由从机接收。对应于 <i>PS 总线规范</i> 中的 WS 信号。 I/O I2S1_TX_WS — 发送字选择。由主机驱动, 由从机接收。对应于 <i>PS 总线规范</i> 中的 WS 信号。
P0_1	M2	x	G1	50	34	23	^[3]	I; PU	I/O GPIO0[1] — 通用数字输入 / 输出引脚。 I/O SSP1_MOSI — SSP1 主机输出从机输入。 I ENET_COL — 以太网冲突检测 (MII 接口)。 I/O SGPIO1 — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 ENET_TX_EN — 以太网发送使能 (RMII/MII 接口)。 I/O I2S1_TX_SDA — I2S1 发送数据。由发送器驱动, 由接收器读取。对应于 <i>PS 总线规范</i> 中的 SD 信号。
P1_0	P2	x	H1	54	38	25	^[3]	I; PU	I/O GPIO0[4] — 通用数字输入 / 输出引脚。 I CTIN_3 — SCT 输入 3。定时器 1 的捕获输入 1。 I/O EMC_A5 — 外部存储器地址线 5。 - R — 保留功能。 - R — 保留功能。 I/O SSP0_SSEL — SSP0 的从机选择。 I/O SGPIO7 — 通用数字输入 / 输出引脚。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_1	R2	x	K2	58	42	28	[3]	I; PU	<p>I/O GPIO0[8] — 通用数字输入 / 输出引脚。启动引脚 (参见表 5)。</p> <p>O CTOUT_7 — SCT 输出 7 定时器 1 的匹配输出 3。</p> <p>I/O EMC_A6 — 外部存储器地址线 6。</p> <p>I/O SGPIO8 — 通用数字输入 / 输出引脚。</p> <p>- R — 保留功能。</p> <p>I/O SSP0_MISO — SSP0 主机输入从机输出。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p>
P1_2	R3	x	K1	60	43	29	[3]	I; PU	<p>I/O GPIO0[9] — 通用数字输入 / 输出引脚。启动引脚 (参见表 5)。</p> <p>O CTOUT_6 — SCT 输出 6 定时器 1 的匹配输出 2。</p> <p>I/O EMC_A7 — 外部存储器地址线 7。</p> <p>I/O SGPIO9 — 通用数字输入 / 输出引脚。</p> <p>- R — 保留功能。</p> <p>I/O SSP0_MOSI — SSP0 主机输出从机输入。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p>
P1_3	P5	x	J1	61	44	30	[3]	I; PU	<p>I/O GPIO0[10] — 通用数字输入 / 输出引脚。</p> <p>O CTOUT_8 — SCT 输出 8 定时器 2 的匹配输出 0。</p> <p>I/O SGPIO10 — 通用数字输入 / 输出引脚。</p> <p>O EMC_OE — 低电平有效输出使能信号。</p> <p>O USB0_IND1 — USB0 端口 LED 指示灯控制输出 1</p> <p>I/O SSP1_MISO — SSP1 主机输入从机输出。</p> <p>- R — 保留功能。</p> <p>O SD_RST — MMC4.4 卡的 SD/MMC 复位信号。</p>
P1_4	T3	x	J2	64	47	32	[3]	I; PU	<p>I/O GPIO0[11] — 通用数字输入 / 输出引脚。</p> <p>O CTOUT_9 — SCT 输出 9 定时器 2 的匹配输出 1。</p> <p>I/O SGPIO11 — 通用数字输入 / 输出引脚。</p> <p>O EMC_BLS0 — 低电平有效“字节通道”选择信号 0。</p> <p>O USB0_IND0 — USB0 端口 LED 指示灯控制输出 0。</p> <p>I/O SSP1_MOSI — SSP1 主机输出从机输入。</p> <p>- R — 保留功能。</p> <p>O SD_VOLT1 — SD/MMC 总线电压选择输出 1。</p>

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_5	R5	x	J4	65	48	33	[3]	I; PU	I/O GPIO1[8] — 通用数字输入 / 输出引脚。
									O CTOUT_10 — SCT 输出 10 定时器 2 的匹配输出 2。
									- R — 保留功能。
									O EMC_CS0 — 低电平有效芯片选择 0 信号。
									O USB0_PWR_FAULT — 端口电源故障信号，指示过流状态；该信号监控 USB 总线上的过流状态（需要外部电路来检测过流条件）。
									I/O SSP1_SSEL — SSP1 的从机选择。
									I/O SGPIO15 — 通用数字输入 / 输出引脚。
P1_6	T4	x	K4	67	49	34	[3]	I; PU	O SD_POW — SD/MMC 电源监控输出。
									I/O GPIO1[9] — 通用数字输入 / 输出引脚。
									I CTIN_5 — SCT 输入 5。定时器 2 的捕获输入 2。
									- R — 保留功能。
									O EMC_WE — 低电平有效写使能信号。
									- R — 保留功能。
									- R — 保留功能。
I/O SGPIO14 — 通用数字输入 / 输出引脚。									
P1_7	T5	x	G4	69	50	35	[3]	I; PU	I/O SD_CMD — SD/MMC 命令信号。
									I/O GPIO1[0] — 通用数字输入 / 输出引脚。
									I U1_DSR — UART1 数据设置就绪输入。
									O CTOUT_13 — SCT 输出 13。定时器 3 的匹配输出 1。
									I/O EMC_D0 — 外部存储器数据线 0。
									O USB0_PPWR — VBUS 驱动信号（发送至外部充电泵或电源管理单元）；指示 Vbus 必须被驱动（有效高电平）。 增加了下拉电阻以在复位时禁用电源开关。与恩智浦 LPC 其它产品使用的 USB_PPWR 相比，该信号拥有相反的极性。
									- R — 保留功能。
- R — 保留功能。									
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_8	R7	x	H5	71	51	36	[3]	I; PU	I/O GPIO1[1] — 通用数字输入 / 输出引脚。 O U1_DTR — UART1 数据终端就绪输出。 O CTOUT_12 — SCT 输出 12。定时器 3 的匹配输出 0。 I/O EMC_D1 — 外部存储器数据线 1。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 O SD_VOLT0 — SD/MMC 总线电压选择输出 0。
P1_9	T7	x	J5	73	52	37	[3]	I; PU	I/O GPIO1[2] — 通用数字输入 / 输出引脚。 O U1_RTS — UART1 请求发送输出。 O CTOUT_11 — SCT 输出 11。定时器 2 的匹配输出 3。 I/O EMC_D2 — 外部存储器数据线 2。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O SD_DAT0 — SD/MMC 数据总线 0。
P1_10	R8	x	H6	75	53	38	[3]	I; PU	I/O GPIO1[3] — 通用数字输入 / 输出引脚。 I U1_RI — UART1 振铃指示器输入。 O CTOUT_14 — SCT 输出 14。定时器 3 的匹配输出 2。 I/O EMC_D3 — 外部存储器数据线 3。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O SD_DAT1 — SD/MMC 数据总线 1。
P1_11	T9	x	J7	77	55	39	[3]	I; PU	I/O GPIO1[4] — 通用数字输入 / 输出引脚。 I U1_CTS — UART1 准许发送输入。 O CTOUT_15 — SCT 输出 15。定时器 3 的匹配输出 3。 I/O EMC_D4 — 外部存储器数据线 4。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O SD_DAT2 — SD/MMC 数据总线 2。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_12	R9	x	K7	78	56	40	③	I; PU	I/O GPIO1[5] — 通用数字输入 / 输出引脚。
									I U1_DCD — UART1 数据载波检测输入。
									- R — 保留功能。
									I/O EMC_D5 — 外部存储器数据线 5。
									I T0_CAP1 — 定时器 0 的捕获输入 1。
									- R — 保留功能。
									I/O SGPIO8 — 通用数字输入 / 输出引脚。
P1_13	R10	x	H8	83	60	41	③	I; PU	I/O GPIO1[6] — 通用数字输入 / 输出引脚。
									O U1_TXD — UART1 的发送器输出。
									- R — 保留功能。
									I/O EMC_D6 — 外部存储器数据线 6。
									I T0_CAP0 — 定时器 0 的捕获输入 0。
									- R — 保留功能。
									I/O SGPIO9 — 通用数字输入 / 输出引脚。
P1_14	R11	x	J8	85	61	42	③	I; PU	I/O GPIO1[7] — 通用数字输入 / 输出引脚。
									I U1_RXD — UART1 的接收器输入。
									- R — 保留功能。
									I/O EMC_D7 — 外部存储器数据线 7。
									O T0_MAT2 — 定时器 0 的匹配输出 2。
									- R — 保留功能。
									I/O SGPIO10 — 通用数字输入 / 输出引脚。
P1_15	T12	x	K8	87	62	43	③	I; PU	I/O GPIO0[2] — 通用数字输入 / 输出引脚。
									O U2_TXD — USART2 的发送器输出。
									I/O SGPIO2 — 通用数字输入 / 输出引脚。
									I ENET_RXD0 — 以太网接收数据 0 (RMII/MII 接口)。
									O T0_MAT1 — 定时器 0 的匹配输出 1。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_16	M7	x	H9	90	64	44	[3]	I; PU	I/O GPIO0[3] — 通用数字输入 / 输出引脚。
									I U2_RXD — USART2 的接收器输入。
									I/O SGPIO3 — 通用数字输入 / 输出引脚。
									I ENET_CRS — 以太网载波感应 (MII 接口)。
									O T0_MAT0 — 定时器 0 的匹配输出 0。
									- R — 保留功能。
									- R — 保留功能。
I ENET_RX_DV — 以太网接收数据有效 (RMII/MII 接口)。									
P1_17	M8	x	H10	93	66	45	[4]	I; PU	I/O GPIO0[12] — 通用数字输入 / 输出引脚。
									I/O U2_UCLK — 同步模式下 USART2 的串行时钟输入 / 输出。
									- R — 保留功能。
									I/O ENET_MDIO — 以太网 MIIM 数据输入和输出。
									I T0_CAP3 — 定时器 0 的捕获输入 3。
									O CAN1_TD — CAN1 发送器输出。
									I/O SGPIO11 — 通用数字输入 / 输出引脚。
- R — 保留功能。									
P1_18	N12	x	J10	95	67	46	[3]	I; PU	I/O GPIO0[13] — 通用数字输入 / 输出引脚。
									I/O U2_DIR — USART2 的 RS-485/EIA-485 输出使能 / 方向控制。
									- R — 保留功能。
									O ENET_TXD0 — 以太网发送数据 0 (RMII/MII 接口)。
									O T0_MAT3 — 定时器 0 的匹配输出 3。
									I CAN1_RD — CAN1 接收器输入。
									I/O SGPIO12 — 通用数字输入 / 输出引脚。
- R — 保留功能。									
P1_19	M11	x	K9	96	68	47	[3]	I; PU	I ENET_TX_CLK (ENET_REF_CLK) — 以太网发送时钟 (MII 接口) 或以太网参考时钟 (RMII 接口)。
									I/O SSP1_SCK — SSP1 的串行时钟。
									- R — 保留功能。
									- R — 保留功能。
									O CLKOUT — 时钟输出引脚。
									- R — 保留功能。
									O I2S0_RX_MCLK — I2S 接收主机时钟。
I/O I2S1_TX_SCK — 发送时钟。由主机驱动, 由从机接收。对应于 I2S 总线规范中的 SCK 信号。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P1_20	M10	x	K10	100	70	48	3	I; PU	I/O GPIO0[15] — 通用数字输入 / 输出引脚。
									I/O SSP1_SSEL — SSP1 的从机选择。
									- R — 保留功能。
									O ENET_TXD1 — 以太网发送数据 1 (RMII/MII 接口)。
									I T0_CAP2 — 定时器 0 的捕获输入 2。
									- R — 保留功能。
									I/O SGPIO13 — 通用数字输入 / 输出引脚。
- R — 保留功能。									
P2_0	T16	x	G10	108	75	50	3	I; PU	I/O SGPIO4 — 通用数字输入 / 输出引脚。
									O U0_TXD — USART0 的发送器输出。
									I/O EMC_A13 — 外部存储器地址线 13。
									O USB0_PPWR — VBUS 驱动信号 (发送至外部充电泵或电源管理单元); 指示 Vbus 必须被驱动 (有效高电平)。 增加了下拉电阻以在复位时禁用电源开关。与恩智浦 LPC 其它产品使用的 USB_PPWR 相比, 该信号拥有相反的极性。
									I/O GPIO5[0] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									I T3_CAP0 — 定时器 3 的捕获输入 0。
O ENET_MDC — 以太网 MIIM 时钟。									
P2_1	N15	x	G7	116	81	54	3	I; PU	I/O SGPIO5 — 通用数字输入 / 输出引脚。
									I U0_RXD — USART0 的接收器输入。
									I/O EMC_A12 — 外部存储器地址线 12。
									O USB0_PWR_FAULT — 端口电源故障信号, 指示过流状态; 该信号监控 USB 总线上的过流状态 (需要外部电路来检测过流条件)。
									I/O GPIO5[1] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									I T3_CAP1 — 定时器 3 的捕获输入 1。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
P2_2	M15	x	F5	121	84	56	^[3]	I; PU	I/O SGPIO6 — 通用数字输入 / 输出引脚。
									I/O U0_UCLK — 同步模式下 USART0 的串行时钟输入 / 输出。
									I/O EMC_A11 — 外部存储器地址线 11。
									O USB0_IND1 — USB0 端口 LED 指示灯控制输出 1。
									I/O GPIO5[2] — 通用数字输入 / 输出引脚。
									I CTIN_6 — SCT 输入 6。定时器 3 的捕获输入 1。
									I T3_CAP2 — 定时器 3 的捕获输入 2。
- R — 保留功能。									
P2_3	J12	x	D8	127	87	57	^[4]	I; PU	I/O SGPIO12 — 通用数字输入 / 输出引脚。
									I/O I2C1_SDA — I ² C1 数据输入 / 输出 (此引脚不使用专用的 I ² C pad)。
									O U3_TXD — USART3 的发送器输出。
									I CTIN_1 — SCT 输入 1。定时器 0 的捕获输入 1。定时器 2 的捕获输入 1。
									I/O GPIO5[3] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O T3_MAT0 — 定时器 3 的匹配输出 0。
O USB0_PPWR — VBUS 驱动信号 (发送至外部充电泵或电源管理单元); 指示 Vbus 必须被驱动 (有效高电平)。 增加了下拉电阻以在复位时禁用电源开关。与恩智浦 LPC 其它产品使用的 USB_PPWR 相比, 该信号拥有相反的极性。									
P2_4	K11	x	D9	128	88	58	^[4]	I; PU	I/O SGPIO13 — 通用数字输入 / 输出引脚。
									I/O I2C1_SCL — I ² C1 时钟输入 / 输出 (此引脚不使用专用的 I ² C pad)。
									I U3_RXD — USART3 的接收器输入。
									I CTIN_0 — SCT 输入 0。定时器 0、1、2、3 的捕获输入 0。
									I/O GPIO5[4] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O T3_MAT1 — 定时器 3 的匹配输出 1。
O USB0_PWR_FAULT — 端口电源故障信号, 指示过流状态; 该信号监控 USB 总线上的过流状态 (需要外部电路来检测过流条件)。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述	
P2_5	K14	x	D10	131	91	61	[4]	I; PU	I/O	SGPIO14 — 通用数字输入 / 输出引脚。
									I	CTIN_2 — SCT 输入 2。定时器 0 的捕获输入 2。
									I	USB1_VBUS — 监控是否存在 USB1 总线供电。 注：要进行 USB 复位，该信号必须为高电平。
									I	ADCTRIG1 — ADC 触发器输入 1。
									I/O	GPIO5[5] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									O	T3_MAT2 — 定时器 3 的匹配输出 2。
									O	USB0_IND0 — USB0 端口 LED 指示灯控制输出 0。
P2_6	K16	x	G9	137	95	64	[3]	I; PU	I/O	SGPIO7 — 通用数字输入 / 输出引脚。
									I/O	U0_DIR — USART0 的 RS-485/EIA-485 输出使能 / 方向控制。
									I/O	EMC_A10 — 外部存储器地址线 10。
									O	USB0_IND0 — USB0 端口 LED 指示灯控制输出 0
									I/O	GPIO5[6] — 通用数字输入 / 输出引脚。
									I	CTIN_7 — SCT 输入 7。
									I	T3_CAP3 — 定时器 3 的捕获输入 3。
-	R — 保留功能。									
P2_7	H14	x	C10	138	96	65	[3]	I; PU	I/O	GPIO0[7] — 通用数字输入 / 输出引脚。如果该引脚在复位时被拉低，则器件使用 USART0 进入 ISP 模式。
									O	CTOUT_1 — SCT 输出 1。定时器 0 的匹配输出 1。
									I/O	U3_UCLK — 同步模式下 USART3 的串行时钟输入 / 输出。
									I/O	EMC_A9 — 外部存储器地址线 9。
									-	R — 保留功能。
									-	R — 保留功能。
									O	T3_MAT3 — 定时器 3 的匹配输出 3。
-	R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P2_8	J16	x	C6	140	98	67	[3]	I; PU	I/O SGPIO15 — 通用数字输入 / 输出引脚。启动引脚 (参见表 5)。
									O CTOUT_0 — SCT 输出 0。定时器 0 的匹配输出 0。
									I/O U3_DIR — USART3 的 RS-485/EIA-485 输出使能 / 方向控制。
									I/O EMC_A8 — 外部存储器地址线 8。
									I/O GPIO5[7] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									
P2_9	H16	x	B10	144	102	70	[3]	I; PU	I/O GPIO1[10] — 通用数字输入 / 输出引脚。启动引脚 (参见表 5)。
									O CTOUT_3 — SCT 输出 3。定时器 0 的匹配输出 3。
									I/O U3_BAUD — USART3 的波特引脚。
									I/O EMC_A0 — 外部存储器地址线 0。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									
P2_10	G16	x	E8	146	104	71	[3]	I; PU	I/O GPIO0[14] — 通用数字输入 / 输出引脚。
									O CTOUT_2 — SCT 输出 2。定时器 0 的匹配输出 2。
									O U2_TXD — USART2 的发送器输出。
									I/O EMC_A1 — 外部存储器地址线 1。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									
P2_11	F16	x	A9	148	105	72	[3]	I; PU	I/O GPIO1[11] — 通用数字输入 / 输出引脚。
									O CTOUT_5 — SCT 输出 5。定时器 1 的匹配输出 1。
									I U2_RXD — USART2 的接收器输入。
									I/O EMC_A2 — 外部存储器地址线 2。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P2_12	E15	x	B9	153	106	73	[3] I; PU	I/O	GPIO1[12] — 通用数字输入 / 输出引脚。 O CTOUT_4 — SCT 输出 4。定时器 1 的匹配输出 0。 - R — 保留功能。 I/O EMC_A3 — 外部存储器地址线 3。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O U2_UCLK — 同步模式下 USART2 的串行时钟输入 / 输出。
P2_13	C16	x	A10	156	108	75	[3] I; PU	I/O	GPIO1[13] — 通用数字输入 / 输出引脚。 I CTIN_4 — SCT 输入 4。定时器 1 的捕获输入 2。 - R — 保留功能。 I/O EMC_A4 — 外部存储器地址线 4。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O U2_DIR — USART2 的 RS-485/EIA-485 输出使能 / 方向控制。
P3_0	F13	x	A8	161	112	78	[3] I; PU	I/O	I2S0_RX_SCK — I2S 接收时钟。由主机驱动，由从机接收。对应于 I ² S 总线规范中的 SCK 信号。 O I2S0_RX_MCLK — I2S 接收主机时钟。 I/O I2S0_TX_SCK — 发送时钟。由主机驱动，由从机接收。对应于 I ² S 总线规范中的 SCK 信号。 O I2S0_TX_MCLK — I2S 发送主机时钟。 I/O SSP0_SCK — SSP0 的串行时钟。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P3_1	G11	x	F7	163	114	79	[3]	I; PU	I/O I2S0_TX_WS — 发送字选择。由主机驱动，由从机接收。对应于 <i>I2S</i> 总线规范中的 WS 信号。
									I/O I2S0_RX_WS — 接收字选择。由主机驱动，由从机接收。对应于 <i>I2S</i> 总线规范中的 WS 信号。
									I CAN0_RD — CAN 接收器输入。
									O USB1_IND1 — USB1 端口 LED 指示灯控制输出 1。
									I/O GPIO5[8] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O LCD_VD15 — LCD 数据。
- R — 保留功能。									
P3_2	F11	x	G6	166	116	80	[3]	I; PU	I/O I2S0_TX_SDA — I2S 发送数据。由发送器驱动，由接收器读取。对应于 <i>I2S</i> 总线规范中的 SD 信号。
									I/O I2S0_RX_SDA — I2S 接收数据。由发送器驱动，由接收器读取。对应于 <i>I2S</i> 总线规范中的 SD 信号。
									O CAN0_TD — CAN 发送器输出。
									O USB1_IND0 — USB1 端口 LED 指示灯控制输出 0。
									I/O GPIO5[9] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O LCD_VD14 — LCD 数据。
- R — 保留功能。									
P3_3	B14	x	A7	169	118	81	[5]	I; PU	- R — 保留功能。
									I/O SPI_SCK — SPI 的串行时钟。
									I/O SSP0_SCK — SSP0 的串行时钟。
									O SPIFI_SCK — SPIFI 的串行时钟。
									O CGU_OUT1 — CGU 备用时钟输出 1。
									- R — 保留功能。
									O I2S0_TX_MCLK — I2S 发送主机时钟。
I/O I2S1_TX_SCK — 发送时钟。由主机驱动，由从机接收。对应于 <i>I2S</i> 总线规范中的 SCK 信号。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P3_4	A15	x	B8	171	119	82	[3]	I; PU	I/O GPIO1[14] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SPIFI_SIO3 — SPIFI 的 I/O 通道 3。 O U1_TXD — UART 1 的发送器输出。 I/O I2S0_TX_WS — 发送字选择。由主机驱动，由从机接收。对应于 <i>PS 总线规范</i> 中的 WS 信号。 I/O I2S1_RX_SDA — I2S1 接收数据。由发送器驱动，由接收器读取。对应于 <i>PS 总线规范</i> 中的 SD 信号。 O LCD_VD13 — LCD 数据。
P3_5	C12	x	B7	173	121	84	[3]	I; PU	I/O GPIO1[15] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SPIFI_SIO2 — SPIFI 的 I/O 通道 2。 I U1_RXD — UART 1 的接收器输入。 I/O I2S0_TX_SDA — I2S 发送数据。由发送器驱动，由接收器读取。对应于 <i>PS 总线规范</i> 中的 SD 信号。 I/O I2S1_RX_WS — 接收字选择。由主机驱动，由从机接收。对应于 <i>PS 总线规范</i> 中的 WS 信号。 O LCD_VD12 — LCD 数据。
P3_6	B13	x	C7	174	122	85	[3]	I; PU	I/O GPIO0[6] — 通用数字输入 / 输出引脚。 I/O SPI_MISO — SPI 主机输入从机输出。 I/O SSP0_SSEL — SSP0 的从机选择。 I/O SPIFI_MISO — SPIFI 四通道模式下的输入 1；SPIFI 输出 IO1。 - R — 保留功能。 I/O SSP0_MISO — SSP0 主机输入从机输出。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P3_7	C11	x	D7	176	123	86	[3]	I; PU	- R — 保留功能。 I/O SPI_MOSI — SPI 主机输出从机输入。 I/O SSP0_MISO — SSP0 主机输入从机输出。 I/O SPIFI_MOSI — SPIFI 四通道模式下的输入 I0；SPIFI 输出 IO0。 I/O GPIO5[10] — 通用数字输入 / 输出引脚。 I/O SSP0_MOSI — SSP0 主机输出从机输入。 - R — 保留功能。 - R — 保留功能。
P3_8	C10	x	E7	179	124	87	[3]	I; PU	- R — 保留功能。 I SPI_SSEL — SPI 的从机选择。请注意，该引脚仅为输入引脚。SPI 在主机模式下不能驱动从机上的 CS 输入。主机模式下，可通过任何 GPIO 引脚为 SPI 选择芯片。 I/O SSP0_MOSI — SSP0 主机输出从机输入。 I/O SPIFI_CS — SPIFI 串行闪存芯片选择。 I/O GPIO5[11] — 通用数字输入 / 输出引脚。 I/O SSP0_SSEL — SSP0 的从机选择。 - R — 保留功能。 - R — 保留功能。
P4_0	D5	x	-	1	1	-	[3]	I; PU	I/O GPIO2[0] — 通用数字输入 / 输出引脚。 O MCOA0 — 电机控制 PWM 通道 0，输出 A。 I NMI — NMI 的外部中断输入。 - R — 保留功能。 - R — 保留功能。 O LCD_VD13 — LCD 数据。 I/O U3_UCLK — 同步模式下 USART3 的串行时钟输入 / 输出。 - R — 保留功能。
P4_1	A1	x	-	3	3	-	[6]	I; PU	I/O GPIO2[1] — 通用数字输入 / 输出引脚。 O CTOUT_1 — SCT 输出 1。定时器 0 的匹配输出 1。 O LCD_VD0 — LCD 数据。 - R — 保留功能。 - R — 保留功能。 O LCD_VD19 — LCD 数据。 O U3_TXD — USART3 的发送器输出。 I ENET_COL — 以太网冲突检测 (MII 接口)。 I ADC0_1 — ADC0 输入通道 1。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LBGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
P4_2	D3	x	-	12	8	-	^[3]	I; PU	I/O GPIO2[2] — 通用数字输入 / 输出引脚。
									O CTOUT_0 — SCT 输出 0。定时器 0 的匹配输出 0。
									O LCD_VD3 — LCD 数据。
									- R — 保留功能。
									- R — 保留功能。
									O LCD_VD12 — LCD 数据。
									I U3_RXD — USART3 的接收器输入。
P4_3	C2	x	-	10	7	-	^[6]	I; PU	I/O GPIO2[3] — 通用数字输入 / 输出引脚。
									O CTOUT_3 — SCT 输出 3。定时器 0 的匹配输出 3。
									O LCD_VD2 — LCD 数据。
									- R — 保留功能。
									- R — 保留功能。
									O LCD_VD21 — LCD 数据。
									I/O U3_BAUD — 波特引脚 USART3
P4_4	B1	x	-	14	9	-	^[6]	I; PU	I/O GPIO2[4] — 通用数字输入 / 输出引脚。
									O CTOUT_2 — SCT 输出 2。定时器 0 的匹配输出 2。
									O LCD_VD1 — LCD 数据。
									- R — 保留功能。
									- R — 保留功能。
									O LCD_VD20 — LCD 数据。
									I/O U3_DIR — USART3 的 RS-485/EIA-485 输出使能 / 方向控制。
I/O SGPIO10 — 通用数字输入 / 输出引脚。									
O DAC — DAC 输出。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P4_5	D2	x	-	15	10	-	[3]	I; PU	I/O GPIO2[5] — 通用数字输入 / 输出引脚。
									O CTOUT_5 — SCT 输出 5。定时器 1 的匹配输出 1。
									O LCD_FP — 帧脉冲 (STN)。垂直同步脉冲 (TFT)。
									- R — 保留功能。
									- R — 保留功能。
P4_6	C1	x	-	17	11	-	[3]	I; PU	I/O SGPIO11 — 通用数字输入 / 输出引脚。
									I/O GPIO2[6] — 通用数字输入 / 输出引脚。
									O CTOUT_4 — SCT 输出 4。定时器 1 的匹配输出 0。
									O LCD_ENAB/LCDM — STN 交流偏置驱动或 TFT 数据使能输入。
									- R — 保留功能。
P4_7	H4	x	-	21	14	-	[3]	O; PU	I/O SGPIO12 — 通用数字输入 / 输出引脚。
									O LCD_DCLK — LCD 面板时钟。
									I GP_CLKIN — CGU 的通用时钟输入。
									- R — 保留功能。
									- R — 保留功能。
P4_8	E2	x	-	23	15	-	[3]	I; PU	I/O I2S1_TX_SCK — 发送时钟。由主机驱动，由从机接收。对应于 I ² S 总线规范中的 SCK 信号。
									I/O I2S0_TX_SCK — 发送时钟。由主机驱动，由从机接收。对应于 I ² S 总线规范中的 SCK 信号。
									- R — 保留功能。
									I CTIN_5 — SCT 输入 5。定时器 2 的捕获输入 2。
									O LCD_VD9 — LCD 数据。
- R — 保留功能。									
I/O GPIO5[12] — 通用数字输入 / 输出引脚。									
O LCD_VD22 — LCD 数据。									
O CAN1_TD — CAN1 发送器输出。									
I/O SGPIO13 — 通用数字输入 / 输出引脚。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述	
P4_9	L2	x	-	48	33	-	[3]	I; PU	-	R — 保留功能。
									I	CTIN_6 — SCT 输入 6。定时器 3 的捕获输入 1。
									O	LCD_VD11 — LCD 数据。
									-	R — 保留功能。
									I/O	GPIO5[13] — 通用数字输入 / 输出引脚。
									O	LCD_VD15 — LCD 数据。
									I	CAN1_RD — CAN1 接收器输入。
P4_10	M3	x	-	51	35	-	[3]	I; PU	-	R — 保留功能。
									I	CTIN_2 — SCT 输入 2。定时器 0 的捕获输入 2。
									O	LCD_VD10 — LCD 数据。
									-	R — 保留功能。
									I/O	GPIO5[14] — 通用数字输入 / 输出引脚。
									O	LCD_VD14 — LCD 数据。
									-	R — 保留功能。
P5_0	N3	x	-	53	37	-	[3]	I; PU	I/O	GPIO2[9] — 通用数字输入 / 输出引脚。
									O	MCOB2 — 电机控制 PWM 通道 2，输出 B。
									I/O	EMC_D12 — 外部存储器数据线 12。
									-	R — 保留功能。
									I	U1_DSR — UART1 数据设置就绪输入。
									I	T1_CAP0 — 定时器 1 的捕获输入 0。
									-	R — 保留功能。
P5_1	P3	x	-	55	39	-	[3]	I; PU	I/O	GPIO2[10] — 通用数字输入 / 输出引脚。
									I	MCI2 — 电机控制 PWM 通道 2，输入。
									I/O	EMC_D13 — 外部存储器数据线 13。
									-	R — 保留功能。
									O	U1_DTR — UART1 数据终端就绪输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									I	T1_CAP1 — 定时器 1 的捕获输入 1。
									-	R — 保留功能。
-	R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P5_2	R4	x	-	63	46	-	③	I; PU	I/O GPIO2[11] — 通用数字输入 / 输出引脚。
									I MCI1 — 电机控制 PWM 通道 1, 输入。
									I/O EMC_D14 — 外部存储器数据线 14。
									- R — 保留功能。
									O U1_RTS — UART1 请求发送输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									I T1_CAP2 — 定时器 1 的捕获输入 2。
P5_3	T8	x	-	76	54	-	③	I; PU	I/O GPIO2[12] — 通用数字输入 / 输出引脚。
									I MCI0 — 电机控制 PWM 通道 0, 输入。
									I/O EMC_D15 — 外部存储器数据线 15。
									- R — 保留功能。
									I U1_RI — UART 1 振铃指示器输入。
									I T1_CAP3 — 定时器 1 的捕获输入 3。
P5_4	P9	x	-	80	57	-	③	I; PU	I/O GPIO2[13] — 通用数字输入 / 输出引脚。
									O MCOB0 — 电机控制 PWM 通道 0, 输出 B。
									I/O EMC_D8 — 外部存储器数据线 8。
									- R — 保留功能。
									I U1_CTS — UART 1 准许发送输入。
									O T1_MAT0 — 定时器 1 的匹配输出 0。
P5_5	P10	x	-	81	58	-	③	I; PU	I/O GPIO2[14] — 通用数字输入 / 输出引脚。
									O MCOA1 — 电机控制 PWM 通道 1, 输出 A。
									I/O EMC_D9 — 外部存储器数据线 9。
									- R — 保留功能。
									I U1_DCD — UART 1 数据载波检测输入。
									O T1_MAT1 — 定时器 1 的匹配输出 1。
- R — 保留功能。									
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P5_6	T13	x	-	89	63	-	[3]	I; PU	I/O GPIO2[15] — 通用数字输入 / 输出引脚。 O MCOB1 — 电机控制 PWM 通道 1, 输出 B。 I/O EMC_D10 — 外部存储器数据线 10。 - R — 保留功能。 O U1_TXD — UART 1 的发送器输出。 O T1_MAT2 — 定时器 1 的匹配输出 2。 - R — 保留功能。 - R — 保留功能。
P5_7	R12	x	-	91	65	-	[3]	I; PU	I/O GPIO2[7] — 通用数字输入 / 输出引脚。 O MCOA2 — 电机控制 PWM 通道 2, 输出 A。 I/O EMC_D11 — 外部存储器数据线 11。 - R — 保留功能。 I U1_RXD — UART 1 的接收器输入。 O T1_MAT3 — 定时器 1 的匹配输出 3。 - R — 保留功能。 - R — 保留功能。
P6_0	M12	x	H7	105	73	-	[3]	I; PU	- R — 保留功能。 O I2S0_RX_MCLK — I ² S 接收主机时钟。 - R — 保留功能。 - R — 保留功能。 I/O I2S0_RX_SCK — 接收时钟。由主机驱动, 由从机接收。对应于 <i>PS</i> 总线规范中的 <i>SCK</i> 信号。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。
P6_1	R15	x	G5	107	74	-	[3]	I; PU	I/O GPIO3[0] — 通用数字输入 / 输出引脚。 O EMC_DYCS1 — SDRAM 芯片选择 1。 I/O U0_UCLK — 同步模式下 USART0 的串行时钟输入 / 输出。 I/O I2S0_RX_WS — 接收字选择。由主机驱动, 由从机接收。对应于 <i>PS</i> 总线规范中的 <i>WS</i> 信号。 - R — 保留功能。 I T2_CAP0 — 定时器 2 的捕获输入 2。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
P6_2	L13	x	J9	111	78	-	^[3] I; PU	I/O	<p>GPIO3[1] — 通用数字输入 / 输出引脚。</p> <p>EMC_CKEOUT1 — SDRAM 时钟使能 1。</p> <p>U0_DIR — USART0 的 RS-485/EIA-485 输出使能 / 方向控制。</p> <p>I2S0_RX_SDA — I2S 接收数据。由发送器驱动, 由接收器读取。对应于 <i>FS 总线规范</i> 中的 SD 信号。</p> <p>- R — 保留功能。</p> <p>T2_CAP1 — 定时器 2 的捕获输入 1。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p>
P6_3	P15	x	-	113	79	-	^[3] I; PU	I/O	<p>GPIO3[2] — 通用数字输入 / 输出引脚。</p> <p>USB0_PPWR — VBUS 驱动信号 (发送到外部充电泵或电源管理单元); 指示 VBUS 必须被驱动 (有效高电平)。</p> <p>增加了下拉电阻以在复位时禁用电源开关。与恩智浦 LPC 其它产品使用的 USB_PPWR 相比, 该信号拥有相反的极性。</p> <p>SGPIO4 — 通用数字输入 / 输出引脚。</p> <p>EMC_CS1 — 低电平有效芯片选择 1 信号。</p> <p>- R — 保留功能。</p> <p>T2_CAP2 — 定时器 2 的捕获输入 2。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p>
P6_4	R16	x	F6	114	80	53	^[3] I; PU	I/O	<p>GPIO3[3] — 通用数字输入 / 输出引脚。</p> <p>CTIN_6 — SCT 输入 6。定时器 3 的捕获输入 1。</p> <p>U0_TXD — USART0 的发送器输出。</p> <p>EMC_CAS — 低电平有效 SDRAM 列地址选通。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p> <p>- R — 保留功能。</p>

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P6_5	P16	x	F9	117	82	55	[3] I; PU	I/O	GPIO3[4] — 通用数字输入 / 输出引脚。 O CTOUT_6 — SCT 输出 6。定时器 1 的匹配输出 2。 I U0_RXD — USART0 的接收器输入。 O EMC_RAS — 低电平有效 SDRAM 行地址选通。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。
P6_6	L14	x	-	119	83	-	[3] I; PU	I/O	GPIO0[5] — 通用数字输入 / 输出引脚。 O EMC_BLS1 — 低电平有效“字节通道”选择信号 1。 I/O SGPIO5 — 通用数字输入 / 输出引脚。 O USB0_PWR_FAULT — 端口电源故障信号，指示过流状态；该信号监控 USB 总线上的过流状态（需要外部电路来检测过流条件）。 - R — 保留功能。 I T2_CAP3 — 定时器 2 的捕获输入 3。 - R — 保留功能。 - R — 保留功能。
P6_7	J13	x	-	123	85	-	[3] I; PU	I/O	- R — 保留功能。 I/O EMC_A15 — 外部存储器地址线 15。 I/O SGPIO6 — 通用数字输入 / 输出引脚。 O USB0_IND1 — USB0 端口 LED 指示灯控制输出 1。 I/O GPIO5[15] — 通用数字输入 / 输出引脚。 O T2_MAT0 — 定时器 2 的匹配输出 0。 - R — 保留功能。 - R — 保留功能。
P6_8	H13	x	-	125	86	-	[3] I; PU	I/O	- R — 保留功能。 I/O EMC_A14 — 外部存储器地址线 14。 I/O SGPIO7 — 通用数字输入 / 输出引脚。 O USB0_IND0 — USB0 端口 LED 指示灯控制输出 0。 I/O GPIO5[16] — 通用数字输入 / 输出引脚。 O T2_MAT1 — 定时器 2 的匹配输出 1。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P6_9	J15	x	F8	139	97	66	[3] I; PU	I/O	GPIO3[5] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 O EMC_DYCS0 — SDRAM 芯片选择 0。 - R — 保留功能。 O T2_MAT2 — 定时器 2 的匹配输出 2。 - R — 保留功能。 - R — 保留功能。
P6_10	H15	x	-	142	100	-	[3] I; PU	I/O	GPIO3[6] — 通用数字输入 / 输出引脚。 O MCABORT — 电机控制 PWM, 低电平有效紧急停机。 - R — 保留功能。 O EMC_DQMOUT1 — SDRAM 和静态设备使用的数据掩码 1。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。
P6_11	H12	x	C9	143	101	69	[3] I; PU	I/O	GPIO3[7] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 O EMC_CKEOUT0 — SDRAM 时钟使能 0。 - R — 保留功能。 O T2_MAT3 — 定时器 2 的匹配输出 3。 - R — 保留功能。 - R — 保留功能。
P6_12	G15	x	-	145	103	-	[3] I; PU	I/O	GPIO2[8] — 通用数字输入 / 输出引脚。 O CTOUT_7 — SCT 输出 7。定时器 1 的匹配输出 3。 - R — 保留功能。 O EMC_DQMOUT0 — 数据屏蔽 0, 用于 SDRAM 和静态设备。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P7_0	B16	x	-	158	110	-	[3]	I; PU	I/O GPIO3[8] — 通用数字输入 / 输出引脚。
									O CTOUT_14 — SCT 输出 14。定时器 3 的匹配输出 2。
									- R — 保留功能。
									O LCD_LE — 行结束信号。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
P7_1	C14	x	-	162	113	-	[3]	I; PU	I/O GPIO3[9] — 通用数字输入 / 输出引脚。
									O CTOUT_15 — SCT 输出 15。定时器 3 的匹配输出 3。
									I/O I2S0_TX_WS — 发送字选择。由主机驱动，由从机接收。对应于 <i>FS 总线规范</i> 中的 WS 信号。
									O LCD_VD19 — LCD 数据。
									O LCD_VD7 — LCD 数据。
									- R — 保留功能。
									O U2_TXD — USART2 的发送器输出。
P7_2	A16	x	-	165	115	-	[3]	I; PU	I/O GPIO3[10] — 通用数字输入 / 输出引脚。
									I CTIN_4 — SCT 输入 4。定时器 1 的捕获输入 2。
									I/O I2S0_TX_SDA — I2S 发送数据。由发送器驱动，由接收器读取。对应于 <i>FS 总线规范</i> 中的 SD 信号。
									O LCD_VD18 — LCD 数据。
									O LCD_VD6 — LCD 数据。
									- R — 保留功能。
									I U2_RXD — USART2 的接收器输入。
P7_3	C13	x	-	167	117	-	[3]	I; PU	I/O GPIO3[11] — 通用数字输入 / 输出引脚。
									I CTIN_3 — SCT 输入 3。定时器 1 的捕获输入 1。
									- R — 保留功能。
									O LCD_VD17 — LCD 数据。
									O LCD_VD5 — LCD 数据。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
P7_4	C8	x	-	189	132	-	^[6]	I; PU	I/O GPIO3[12] — 通用数字输入 / 输出引脚。 O CTOUT_13 — SCT 输出 13。定时器 3 的匹配输出 1。 - R — 保留功能。 O LCD_VD16 — LCD 数据。 O LCD_VD4 — LCD 数据。 O TRACEDATA[0] — 线路数据、位 0。 - R — 保留功能。 - R — 保留功能。 I ADC0_4 — ADC0, 输入通道 4。
P7_5	A7	x	-	191	133	-	^[6]	I; PU	I/O GPIO3[13] — 通用数字输入 / 输出引脚。 O CTOUT_12 — SCT 输出 12。定时器 3 的匹配输出 0。 - R — 保留功能。 O LCD_VD8 — LCD 数据。 O LCD_VD23 — LCD 数据。 O TRACEDATA[1] — 线路数据、位 1。 - R — 保留功能。 - R — 保留功能。 I ADC0_3 — ADC0, 输入通道 3。
P7_6	C7	x	-	194	134	-	^[3]	I; PU	I/O GPIO3[14] — 通用数字输入 / 输出引脚。 O CTOUT_11 — SCT 输出 1。定时器 2 的匹配输出 3。 - R — 保留功能。 O LCD_LP — 行同步脉冲 (STN)。水平同步脉冲 (TFT)。 - R — 保留功能。 O TRACEDATA[2] — 线路数据、位 2。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述									
P7_7	B6	x	-	201	140	-	[6]	I; PU	I/O GPIO3[15] — 通用数字输入 / 输出引脚。									
									O CTOUT_8 — SCT 输出 8 定时器 2 的匹配输出 0。									
									- R — 保留功能。									
									O LCD_PWR — LCD 面板电源使能。									
									- R — 保留功能。									
									O TRACEDATA[3] — 线路数据、位 3。									
									O ENET_MDC — 以太网 MIIM 时钟。									
									I/O SGPIO7 — 通用数字输入 / 输出引脚。									
									I ADC1_6 — ADC1, 输入通道 6。									
									P8_0	E5	x	-	2	-	-	[4]	I; PU	I/O GPIO4[0] — 通用数字输入 / 输出引脚。
O USB0_PWR_FAULT — 端口电源故障信号, 指示过流状态; 该信号监控 USB 总线上的过流状态 (需要外部电路来检测过流条件)。																		
- R — 保留功能。																		
I MC12 — 电机控制 PWM 通道 2, 输入。																		
I/O SGPIO8 — 通用数字输入 / 输出引脚。																		
- R — 保留功能。																		
- R — 保留功能。																		
O T0_MAT0 — 定时器 0 的匹配输出 0。																		
P8_1	H5	x	-	34	-	-	[4]	I; PU										I/O GPIO4[1] — 通用数字输入 / 输出引脚。
																		O USB0_IND1 — USB0 端口 LED 指示灯控制输出 1。
									- R — 保留功能。									
									I MC11 — 电机控制 PWM 通道 1, 输入。									
									I/O SGPIO9 — 通用数字输入 / 输出引脚。									
									- R — 保留功能。									
									- R — 保留功能。									
									O T0_MAT1 — 定时器 0 的匹配输出 1。									
									P8_2	K4	x	-	36	-	-	[4]	I; PU	I/O GPIO4[2] — 通用数字输入 / 输出引脚。
																		O USB0_IND0 — USB0 端口 LED 指示灯控制输出 0。
- R — 保留功能。																		
I MC10 — 电机控制 PWM 通道 0, 输入。																		
I/O SGPIO10 — 通用数字输入 / 输出引脚。																		
- R — 保留功能。																		
- R — 保留功能。																		
O T0_MAT2 — 定时器 0 的匹配输出 2。																		

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P8_3	J3	x	-	37	-	-	[3]	I; PU	I/O GPIO4[3] — 通用数字输入 / 输出引脚。 I/O USB1_ULPI_D2 — ULPI 链路双向数据线 2。 - R — 保留功能。 O LCD_VD12 — LCD 数据。 O LCD_VD19 — LCD 数据。 - R — 保留功能。 - R — 保留功能。 O T0_MAT3 — 定时器 0 的匹配输出 3。
P8_4	J2	x	-	39	-	-	[3]	I; PU	I/O GPIO4[4] — 通用数字输入 / 输出引脚。 I/O USB1_ULPI_D1 — ULPI 链路双向数据线 1。 - R — 保留功能。 O LCD_VD7 — LCD 数据。 O LCD_VD16 — LCD 数据。 - R — 保留功能。 - R — 保留功能。 I T0_CAP0 — 定时器 0 的捕获输入 0。
P8_5	J1	x	-	40	-	-	[3]	I; PU	I/O GPIO4[5] — 通用数字输入 / 输出引脚。 I/O USB1_ULPI_D0 — ULPI 链路双向数据线 0。 - R — 保留功能。 O LCD_VD6 — LCD 数据。 O LCD_VD8 — LCD 数据。 - R — 保留功能。 - R — 保留功能。 I T0_CAP1 — 定时器 0 的捕获输入 1。
P8_6	K3	x	-	43	-	-	[3]	I; PU	I/O GPIO4[6] — 通用数字输入 / 输出引脚。 I USB1_ULPI_NXT — ULPI 链路 NXT 信号。来自 PHY 的数据流控制信号。 - R — 保留功能。 O LCD_VD5 — LCD 数据。 O LCD_LP — 行同步脉冲 (STN)。水平同步脉冲 (TFT)。 - R — 保留功能。 - R — 保留功能。 I T0_CAP2 — 定时器 0 的捕获输入 2。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P8_7	K1	x	-	45	-	-	[3]	I; PU	I/O GPIO4[7] — 通用数字输入 / 输出引脚。
									O USB1_ULPI_STP — ULPI 链路 STP 信号。已确认结束或中断传输至 PHY。
									- R — 保留功能。
									O LCD_VD4 — LCD 数据。
									O LCD_PWR — LCD 面板电源使能。
									- R — 保留功能。
P8_8	L1	x	-	49	-	-	[3]	I; PU	I T0_CAP3 — 定时器 0 的捕获输入 3。
									- R — 保留功能。
									I USB1_ULPI_CLK — ULPI 链路 CLK 信号。PHY 生成的 60 MHz 时钟。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
P9_0	T1	x	-	59	-	-	[3]	I; PU	I/O GPIO4[12] — 通用数字输入 / 输出引脚。
									O MCABORT — 电机控制 PWM，低电平有效紧急停机。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									I ENET_CRS — 以太网载波感应 (MII 接口)。
P9_1	N6	x	-	66	-	-	[3]	I; PU	I/O SGPIO0 — 通用数字输入 / 输出引脚。
									I/O SSP0_SSEL — SSP0 的从机选择。
									I/O GPIO4[13] — 通用数字输入 / 输出引脚。
									O MCOA2 — 电机控制 PWM 通道 2，输出 A。
									- R — 保留功能。
									- R — 保留功能。
I/O I2S0_TX_WS — 发送字选择。由主机驱动，由从机接收。对应于 I2S 总线规范中的 WS 信号。									
I ENET_RX_ER — 以太网接收错误 (MII 接口)。									
I/O SGPIO1 — 通用数字输入 / 输出引脚。									
I/O SSP0_MISO — SSP0 主机输入从机输出。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
P9_2	N8	x	-	70	-	-	[3]	I; PU	I/O GPIO4[14] — 通用数字输入 / 输出引脚。
									O MCOB2 — 电机控制 PWM 通道 2, 输出 B。
									- R — 保留功能。
									- R — 保留功能。
									I/O I2S0_TX_SDA — I2S 发送数据。由发送器驱动, 由接收器读取。对应于 <i>PS 总线规范</i> 中的 SD 信号。
									I ENET_RXD3 — 以太网接收数据 3 (MII 接口)。
									I/O SGPIO2 — 通用数字输入 / 输出引脚。
I/O SSP0_MOSI — SSP0 主机输出从机输入。									
P9_3	M6	x	-	79	-	-	[3]	I; PU	I/O GPIO4[15] — 通用数字输入 / 输出引脚。
									O MCOA0 — 电机控制 PWM 通道 0, 输出 A。
									O USB1_IND1 — USB1 端口 LED 指示灯控制输出 1。
									- R — 保留功能。
									- R — 保留功能。
									I ENET_RXD2 — 以太网接收数据 2 (MII 接口)。
									I/O SGPIO9 — 通用数字输入 / 输出引脚。
O U3_TXD — USART3 的发送器输出。									
P9_4	N10	x	-	92	-	-	[3]	I; PU	- R — 保留功能。
									O MCOB0 — 电机控制 PWM 通道 0, 输出 B。
									O USB1_IND0 — USB1 端口 LED 指示灯控制输出 0。
									- R — 保留功能。
									I/O GPIO5[17] — 通用数字输入 / 输出引脚。
									O ENET_TXD2 — 以太网发送数据 2 (MII 接口)。
									I/O SGPIO4 — 通用数字输入 / 输出引脚。
I U3_RXD — USART3 的接收器输入。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
P9_5	M9	x	-	98	69	-	[3]	I; PU	- R — 保留功能。
									O MCOA1 — 电机控制 PWM 通道 1, 输出 A。
									O USB1_PPWR — VBUS 驱动信号 (发送至外部充电泵或电源管理单元); 指示 Vbus 必须被驱动 (有效高电平)。 增加了下拉电阻以在复位时禁用电源开关。与恩智浦 LPC 其它产品使用的 USB_PPWR 相比, 该信号拥有相反的极性。
									- R — 保留功能。
									I/O GPIO5[18] — 通用数字输入 / 输出引脚。
									O ENET_TXD3 — 以太网发送数据 3 (MII 接口)。
									I/O SGPIO3 — 通用数字输入 / 输出引脚。
O U0_TXD — USART0 的发送器输出。									
P9_6	L11	x	-	103	72	-	[3]	I; PU	I/O GPIO4[11] — 通用数字输入 / 输出引脚。
									O MCOB1 — 电机控制 PWM 通道 1, 输出 B。
									O USB1_PWR_FAULT — 指示过电流状况的 USB1 端口电源故障信号; 此信号监控 USB1 总线上的过电流状况 (检测过电流需要外部电路)。
									- R — 保留功能。
									- R — 保留功能。
									I ENET_COL — 以太网冲突检测 (MII 接口)。
									I/O SGPIO8 — 通用数字输入 / 输出引脚。
I U0_RXD — USART0 的接收器输入。									
PA_0	L12	x	-	126	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									O I2S1_RX_MCLK — I ² S1 接收主机时钟。
									O CGU_OUT1 — CGU 备用时钟输出 1。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PA_1	J14	x	-	134	-	-	[4]	I; PU	I/O GPIO4[8] — 通用数字输入 / 输出引脚。
									I QEI_IDX — 正交编码器接口 INDEX 输入。
									- R — 保留功能。
									O U2_TXD — USART2 的发送器输出。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
PA_2	K15	x	-	136	-	-	[4]	I; PU	I/O GPIO4[9] — 通用数字输入 / 输出引脚。
									I QEI_PHB — 正交编码器接口 PHB 输入。
									- R — 保留功能。
									I U2_RXD — USART2 的接收器输入。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
PA_3	H11	x	-	147	-	-	[4]	I; PU	I/O GPIO4[10] — 通用数字输入 / 输出引脚。
									I QEI_PHA — 正交编码器接口 PHA 输入。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
PA_4	G13	x	-	151	-	-	[3]	I; PU	- R — 保留功能。
									O CTOUT_9 — SCT 输出 9 定时器 2 的匹配输出 1。
									- R — 保留功能。
									I/O EMC_A23 — 外部存储器地址线 23。
									I/O GPIO5[19] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PB_0	B15	x	-	164	-	-	[3]	I; PU	- R — 保留功能。
									O CTOUT_10 — SCT 输出 10 定时器 2 的匹配输出 2。
									O LCD_VD23 — LCD 数据。
									- R — 保留功能。
									I/O GPIO5[20] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PB_1	A14	x	-	175	-	-	[3]	I; PU	- R — 保留功能。
									I USB1_ULPI_DIR — ULPI 链路 DIR 信号。控制 ULP 数据线方向。
									O LCD_VD22 — LCD 数据。
									- R — 保留功能。
									I/O GPIO5[21] — 通用数字输入 / 输出引脚。
									O CTOUT_6 — SCT 输出 6 定时器 1 的匹配输出 2。
									- R — 保留功能。
- R — 保留功能。									
PB_2	B12	x	-	177	-	-	[3]	I; PU	- R — 保留功能。
									I/O USB1_ULPI_D7 — ULPI 链路双向数据线 7。
									O LCD_VD21 — LCD 数据。
									- R — 保留功能。
									I/O GPIO5[22] — 通用数字输入 / 输出引脚。
									O CTOUT_7 — SCT 输出 7。定时器 1 的匹配输出 3。
									- R — 保留功能。
- R — 保留功能。									
PB_3	A13	x	-	178	-	-	[3]	I; PU	- R — 保留功能。
									I/O USB1_ULPI_D6 — ULPI 链路双向数据线 6。
									O LCD_VD20 — LCD 数据。
									- R — 保留功能。
									I/O GPIO5[23] — 通用数字输入 / 输出引脚。
									O CTOUT_8 — SCT 输出 8。定时器 2 的匹配输出 0。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PB_4	B11	x	-	180	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D5 — ULPI 链路双向数据线 5。 O LCD_VD15 — LCD 数据。 - R — 保留功能。 I/O GPIO5[24] — 通用数字输入 / 输出引脚。 I CTIN_5 — SCT 输入 5。定时器 2 的捕获输入 2。 - R — 保留功能。 - R — 保留功能。
PB_5	A12	x	-	181	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D4 — ULPI 链路双向数据线 4。 O LCD_VD14 — LCD 数据。 - R — 保留功能。 I/O GPIO5[25] — 通用数字输入 / 输出引脚。 I CTIN_7 — SCT 输入 7。 O LCD_PWR — LCD 面板电源使能。 - R — 保留功能。
PB_6	A6	x	-	-	-	-	[6]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D3 — ULPI 链路双向数据线 3。 O LCD_VD13 — LCD 数据。 - R — 保留功能。 I/O GPIO5[26] — 通用数字输入 / 输出引脚。 I CTIN_6 — SCT 输入 6。定时器 3 的捕获输入 1。 O LCD_VD19 — LCD 数据。 - R — 保留功能。 I ADC0_6 — ADC0, 输入通道 6。
PC_0	D4	x	-	7	-	-	[6]	I; PU	- R — 保留功能。 I USB1_ULPI_CLK — ULPI 链路 CLK 信号。PHY 生成的 60 MHz 时钟。 - R — 保留功能。 I/O ENET_RX_CLK — 以太网接收时钟 (MII 接口)。 O LCD_DCLK — LCD 面板时钟。 - R — 保留功能。 - R — 保留功能。 I/O SD_CLK — SD/MMC 卡时钟。 I ADC1_1 — ADC1, 输入通道 1。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PC_1	E4	-	-	9	-	-	[3]	I; PU	I/O USB1_ULPI_D7 — ULPI 链路双向数据线 7。
									- R — 保留功能。
									I U1_RI — UART 1 振铃指示器输入。
									O ENET_MDC — 以太网 MIIM 时钟。
									I/O GPIO6[0] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									I T3_CAP0 — 定时器 3 的捕获输入 0。
PC_2	F6	-	-	13	-	-	[3]	I; PU	I/O USB1_ULPI_D6 — ULPI 链路双向数据线 6。
									- R — 保留功能。
									I U1_CTS — UART 1 准许发送输入。
									O ENET_TXD2 — 以太网发送数据 2 (MII 接口)。
									I/O GPIO6[1] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
O SD_RST — MMC4.4 卡的 SD/MMC 复位信号。									
PC_3	F5	-	-	11	-	-	[6]	I; PU	I/O USB1_ULPI_D5 — ULPI 链路双向数据线 5。
									- R — 保留功能。
									O U1_RTS — UART1 的请求发送输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									O ENET_TXD3 — 以太网发送数据 3 (MII 接口)。
									I/O GPIO6[2] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
O SD_VOLT1 — SD/MMC 总线电压选择输出 1。									
PC_4	F4	-	-	16	-	-	[3]	I; PU	I ADC1_0 — ADC1、输入通道 0。
									- R — 保留功能。
									I/O USB1_ULPI_D4 — ULPI 链路双向数据线 4。
									- R — 保留功能。
									ENET_TX_EN — 以太网传输使能 (RMII/MII 接口)。
									I/O GPIO6[3] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
I T3_CAP1 — 定时器 3 的捕获输入 1。									
I/O SD_DAT0 — SD/MMC 数据总线 0。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PC_5	G4	-	-	20	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D3 — ULPI 链路双向数据线 3。 - R — 保留功能。 O ENET_TX_ER — 以太网发送错误 (MII 接口)。 I/O GPIO6[4] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I T3_CAP2 — 定时器 3 的捕获输入 2。 I/O SD_DAT1 — SD/MMC 数据总线 1。
PC_6	H6	-	-	22	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D2 — ULPI 链路双向数据线 2。 - R — 保留功能。 I ENET_RXD2 — 以太网接收数据 2 (MII 接口)。 I/O GPIO6[5] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I T3_CAP3 — 定时器 3 的捕获输入 3。 I/O SD_DAT2 — SD/MMC 数据总线 2。
PC_7	G5	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D1 — ULPI 链路双向数据线 1。 - R — 保留功能。 I ENET_RXD3 — 以太网接收数据 3 (MII 接口)。 I/O GPIO6[6] — 通用数字输入 / 输出引脚。 - R — 保留功能。 O T3_MAT0 — 定时器 3 的匹配输出 0。 I/O SD_DAT3 — SD/MMC 数据总线 3。
PC_8	N4	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 I/O USB1_ULPI_D0 — ULPI 链路双向数据线 0。 - R — 保留功能。 I ENET_RX_DV — 以太网接收数据有效 (RMII/MII 接口)。 I/O GPIO6[7] — 通用数字输入 / 输出引脚。 - R — 保留功能。 O T3_MAT1 — 定时器 3 的匹配输出 1。 I SD_CD — SD/MMC 卡检测输入。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述	
PC_9	K2	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									I	USB1_ULPI_NXT — ULPI 链路 NXT 信号。来自 PHY 的数据流控制信号。
									-	R — 保留功能。
									I	ENET_RX_ER — 以太网接收错误 (MII 接口)。
									I/O	GPIO6[8] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									O	T3_MAT2 — 定时器 3 的匹配输出 2。
O	SD_POW — SD/MMC 电源监控输出。									
PC_10	M5	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									O	USB1_ULPI_STP — ULPI 链接 STP 信号。产生结束或中断到 PHY 的传输。
									I	U1_DSR — UART 1 的数据设置就绪输入。
									-	R — 保留功能。
									I/O	GPIO6[9] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									O	T3_MAT3 — 定时器 3 的匹配输出 3。
I/O	SD_CMD — SD/MMC 命令信号。									
PC_11	L5	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									I	USB1_ULPI_DIR — ULPI 链路 DIR 信号。控制 ULP 数据线方向。
									I	U1_DCD — UART 1 的数据载波检测输入。
									-	R — 保留功能。
									I/O	GPIO6[10] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									-	R — 保留功能。
I/O	SD_DAT4 — SD/MMC 数据总线 4。									
PC_12	L6	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									-	R — 保留功能。
									O	U1_DTR — UART 1 数据终端就绪输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									-	R — 保留功能。
									I/O	GPIO6[11] — 通用数字输入 / 输出引脚。
									I/O	SGPIO11 — 通用数字输入 / 输出引脚。
									I/O	I2S0_TX_SDA — I ² S 发送数据。由发送器驱动, 由接收器读取。对应于 I ² S 总线规范中的 SD 信号。
I/O	SD_DAT5 — SD/MMC 数据总线 5。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PC_13	M1	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									O U1_TXD — UART 1 的发送器输出。
									- R — 保留功能。
									I/O GPIO6[12] — 通用数字输入 / 输出引脚。
									I/O SGPIO12 — 通用数字输入 / 输出引脚。
									I/O I2S0_TX_WS — 发送字选择。由主机驱动，由从机接收。对应于 PS 总线规范中的信号 WS。
									I/O SD_DAT6 — SD/MMC 数据总线 6。
PC_14	N1	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									I U1_RXD — UART 1 的接收器输入。
									- R — 保留功能。
									I/O GPIO6[13] — 通用数字输入 / 输出引脚。
									I/O SGPIO13 — 通用数字输入 / 输出引脚。
									O ENET_TX_ER — 以太网接收错误 (MII 接口)。
									I/O SD_DAT7 — SD/MMC 数据总线 7。
PD_0	N2	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									O CTOUT_15 — SCT 输出 15 定时器 3 的匹配输出 3。
									O EMC_DQMOUT2 — 数据屏蔽 2，用于 SDRAM 和静态设备。
									- R — 保留功能。
									I/O GPIO6[14] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
									I/O SGPIO4 — 通用数字输入 / 输出引脚。
PD_1	P1	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									O EMC_CKEOUT2 — SDRAM 时钟使能 2。
									- R — 保留功能。
									I/O GPIO6[15] — 通用数字输入 / 输出引脚。
									O SD_POW — SD/MMC 电源管理输出。
									- R — 保留功能。
									I/O SGPIO5 — 通用数字输入 / 输出引脚。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PD_2	R1	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_7 — SCT 输出 7。定时器 1 的匹配输出 3。 I/O EMC_D16 — 外部存储器数据线 16。 - R — 保留功能。 I/O GPIO6[16] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO6 — 通用数字输入 / 输出引脚。
PD_3	P4	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_6 — SCT 输出 7。定时器 1 的匹配输出 2。 I/O EMC_D17 — 外部存储器数据线 17。 - R — 保留功能。 I/O GPIO6[17] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO7 — 通用数字输入 / 输出引脚。
PD_4	T2	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_8 — SCT 输出 8。定时器 2 的匹配输出 0。 I/O EMC_D18 — 外部存储器数据线 18。 - R — 保留功能。 I/O GPIO6[18] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO8 — 通用数字输入 / 输出引脚。
PD_5	P6	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_9 — SCT 输出 9。定时器 2 的匹配输出 1。 I/O EMC_D19 — 外部存储器数据线 19。 - R — 保留功能。 I/O GPIO6[19] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO9 — 通用数字输入 / 输出引脚。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PD_6	R6	-	-	68	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_10 — SCT 输出 10。定时器 2 的匹配输出 2。 I/O EMC_D20 — 外部存储器数据线 20。 - R — 保留功能。 I/O GPIO6[20] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO10 — 通用数字输入 / 输出引脚。
PD_7	T6	-	-	72	-	-	[3]	I; PU	- R — 保留功能。 I CTIN_5 — SCT 输入 5。定时器 2 的捕获输入 2。 I/O EMC_D21 — 外部存储器地址线 21。 - R — 保留功能。 I/O GPIO6[21] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO11 — 通用数字输入 / 输出引脚。
PD_8	P8	-	-	74	-	-	[3]	I; PU	- R — 保留功能。 I CTIN_6 — SCT 输入 6。定时器 3 的捕获输入 1。 I/O EMC_D22 — 外部存储器数据线 22。 - R — 保留功能。 I/O GPIO6[22] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO12 — 通用数字输入 / 输出引脚。
PD_9	T11	-	-	84	-	-	[3]	I; PU	- R — 保留功能。 O CTOUT_13 — SCT 输出 13。定时器 3 的匹配输出 1。 I/O EMC_D23 — 外部存储器数据线 23。 - R — 保留功能。 I/O GPIO6[23] — 通用数字输入 / 输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SGPIO13 — 通用数字输入 / 输出引脚。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PD_10	P11	-	-	86	-	-	[3]	I; PU	- R — 保留功能。
									I CTIN_1 — SCT 输入 1。定时器 0 的捕获输入 1。定时器 2 的捕获输入 1。
									O EMC_BLS3 — 低电平有效“字节通道”选择信号 3。
									- R — 保留功能。
									I/O GPIO6[24] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PD_11	N9	x	-	88	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									O EMC_CS3 — 低电平有效芯片选择 3 信号。
									- R — 保留功能。
									I/O GPIO6[25] — 通用数字输入 / 输出引脚。
									I/O USB1_ULPI_D0 — ULPI 链路双向数据线 0。
									O CTOUT_14 — SCT 输出 14。定时器 3 的匹配输出 2。
- R — 保留功能。									
PD_12	N11	x	-	94	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									O EMC_CS2 — 低电平有效芯片选择 2 信号。
									- R — 保留功能。
									I/O GPIO6[26] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O CTOUT_10 — SCT 输出 10。定时器 2 的匹配输出 2。
- R — 保留功能。									
PD_13	T14	x	-	97	-	-	[3]	I; PU	- R — 保留功能。
									I CTIN_0 — SCT 输入 0。定时器 0、1、2、3 的捕获输入 0。
									O EMC_BLS2 — 低电平有效“字节通道”选择信号 2。
									- R — 保留功能。
									I/O GPIO6[27] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									O CTOUT_13 — SCT 输出 13。定时器 3 的匹配输出 1。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PD_14	R13	x	-	99	-	-	[3]	I; PU	- R — 保留功能。 - R — 保留功能。 O EMC_DYCS2 — SDRAM 芯片选择 2。 - R — 保留功能。 I/O GPIO6[28] — 通用数字输入 / 输出引脚。 - R — 保留功能。 O CTOUT_11 — SCT 输出 11。定时器 2 的匹配输出 3。 - R — 保留功能。
PD_15	T15	x	-	101	-	-	[3]	I; PU	- R — 保留功能。 - R — 保留功能。 I/O EMC_A17 — 外部存储器地址线 17。 - R — 保留功能。 I/O GPIO6[29] — 通用数字输入 / 输出引脚。 I SD_WP — SD/MMC 卡写保护输入。 O CTOUT_8 — SCT 输出 8。定时器 2 的匹配输出 0。 - R — 保留功能。
PD_16	R14	x	-	104	-	-	[3]	I; PU	- R — 保留功能。 - R — 保留功能。 I/O EMC_A16 — 外部存储器地址线 16。 - R — 保留功能。 I/O GPIO6[30] — 通用数字输入 / 输出引脚。 O SD_VOLT2 — SD/MMC 总线电压选择输出 2。 O CTOUT_12 — SCT 输出 12。定时器 3 的匹配输出 0。 - R — 保留功能。
PE_0	P14	x	-	106	-	-	[3]	I; PU	- R — 保留功能。 - R — 保留功能。 - R — 保留功能。 I/O EMC_A18 — 外部存储器地址线 18。 I/O GPIO7[0] — 通用数字输入 / 输出引脚。 O CAN1_TD — CAN1 发送器输出。 - R — 保留功能。 - R — 保留功能。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PE_1	N14	x	-	112	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									I/O EMC_A19 — 外部存储器地址线 19。
									I/O GPIO7[1] — 通用数字输入 / 输出引脚。
									I CAN1_RD — CAN1 接收器输入。
									- R — 保留功能。
PE_2	M14	x	-	115	-	-	[3]	I; PU	I ADCTRIG0 — ADC 触发器输入 0。
									I CAN0_RD — CAN 接收器输入。
									- R — 保留功能。
									I/O EMC_A20 — 外部存储器地址线 20。
									I/O GPIO7[2] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PE_3	K12	x	-	118	-	-	[3]	I; PU	- R — 保留功能。
									O CAN0_TD — CAN 发送器输出。
									I ADCTRIG1 — ADC 触发器输入 1。
									I/O EMC_A21 — 外部存储器地址线 21。
									I/O GPIO7[3] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PE_4	K13	x	-	120	-	-	[3]	I; PU	- R — 保留功能。
									I NMI — NMI 的外部中断输入。
									- R — 保留功能。
									I/O EMC_A22 — 外部存储器地址线 22。
									I/O GPIO7[4] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PE_5	N16	-	-	122	-	-	3	I; PU	- R — 保留功能。
									O CTOUT_3 — SCT 输出 3。定时器 0 的匹配输出 3。
									O U1_RTS — UART 1 请求发送输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									I/O EMC_D24 — 外部存储器数据线 24。
									I/O GPIO7[5] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PE_6	M16	-	-	124	-	-	3	I; PU	- R — 保留功能。
									O CTOUT_2 — SCT 输出 2。定时器 0 的匹配输出 2。
									I U1_RI — UART 1 的振铃指示器输入。
									I/O EMC_D25 — 外部存储器数据线 25。
									I/O GPIO7[6] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PE_7	F15	-	-	149	-	-	3	I; PU	- R — 保留功能。
									O CTOUT_5 — SCT 输出 5。定时器 1 的匹配输出 1。
									I U1_CTS — UART1 准许发送输入。
									I/O EMC_D26 — 外部存储器数据线 26。
									I/O GPIO7[7] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
PE_8	F14	-	-	150	-	-	3	I; PU	- R — 保留功能。
									O CTOUT_4 — SCT 输出 4。定时器 0 的匹配输出 0。
									I U1_DSR — UART 1 的数据设置就绪输入。
									I/O EMC_D27 — 外部存储器数据线 27。
									I/O GPIO7[8] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
									- R — 保留功能。
- R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述	
PE_9	E16	-	-	152	-	-	[3]	I; PU	-	R — 保留功能。
									I	CTIN_4 — SCT 输入 4。定时器 1 的捕获输入 2。
									I	U1_DCD — UART 1 的数据载波检测输入。
									I/O	EMC_D28 — 外部存储器数据线 28。
									I/O	GPIO7[9] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									-	R — 保留功能。
PE_10	E14	-	-	154	-	-	[3]	I; PU	-	R — 保留功能。
									I	CTIN_3 — SCT 输入 3。定时器 1 的捕获输入 1。
									O	U1_DTR — UART 1 数据终端就绪输出。也可配置为 UART 1 的 RS-485/EIA-485 输出使能信号。
									I/O	EMC_D29 — 外部存储器数据线 29。
									I/O	GPIO7[10] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									-	R — 保留功能。
PE_11	D16	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									O	CTOUT_12 — SCT 输出 12。定时器 3 的匹配输出 0。
									O	U1_TXD — UART 1 的发送器输出。
									I/O	EMC_D30 — 外部存储器数据线 30。
									I/O	GPIO7[11] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									-	R — 保留功能。
PE_12	D15	-	-	-	-	-	[3]	I; PU	-	R — 保留功能。
									O	CTOUT_11 — SCT 输出 11。定时器 2 的匹配输出 3。
									I	U1_RXD — UART 1 的接收器输入。
									I/O	EMC_D31 — 外部存储器数据线 31。
									I/O	GPIO7[12] — 通用数字输入 / 输出引脚。
									-	R — 保留功能。
									-	R — 保留功能。
-	R — 保留功能。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	复位状态 ^[2]	类型	描述
PE_13	G14	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									O CTOUT_14 — SCT 输出 14 定时器 3 的匹配输出 2。
									I/O I2C1_SDA — I ² C1 时钟输入 / 输出 (此引脚不使用专用的 I ² C pad)。
									O EMC_DQMOUT3 — 数据屏蔽 3, 用于 SDRAM 和静态设备。
									I/O GPIO7[13] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
PE_14	C15	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									O EMC_DYCS3 — SDRAM 芯片选择 3。
									I/O GPIO7[14] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
PE_15	E13	-	-	-	-	-	[3]	I; PU	- R — 保留功能。
									O CTOUT_0 — SCT 输出 0。定时器 0 的匹配输出 0。
									I/O I2C1_SCL — I ² C1 时钟输入 / 输出 (此引脚不使用专用的 I ² C pad)。
									O EMC_CKEOUT3 — SDRAM 时钟使能 3。
									I/O GPIO7[15] — 通用数字输入 / 输出引脚。
									- R — 保留功能。
PF_0	D12	-	-	159	-	-	[3]	O; PU	I/O SSP0_SCK — SSP0 的串行时钟。
									I GP_CLKIN — CGU 的通用时钟输入。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
									- R — 保留功能。
O I2S1_TX_MCLK — I ² S1 发送主机时钟。									

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PF_1	E11	-	-	-	-	-	[3]	I; PU	- R — 保留功能。 - R — 保留功能。 I/O SSP0_SSEL — SSP0 的从机选择。 - R — 保留功能。 I/O GPIO7[16] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO0 — 通用数字输入 / 输出引脚。 - R — 保留功能。
PF_2	D11	-	-	168	-	-	[3]	I; PU	- R — 保留功能。 O U3_TXD — USART3 的发送器输出。 I/O SSP0_MISO — SSP0 的主机输入从机输出。 - R — 保留功能。 I/O GPIO7[17] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO1 — 通用数字输入 / 输出引脚。 - R — 保留功能。
PF_3	E10	-	-	170	-	-	[3]	I; PU	- R — 保留功能。 I U3_RXD — USART3 的接收器输入。 I/O SSP0_MOSI — SSP0 的主机输出从机输入。 - R — 保留功能。 I/O GPIO7[18] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO2 — 通用数字输入 / 输出引脚。 - R — 保留功能。
PF_4	D10	x	H4	172	120	83	[3]	O; PU	I/O SSP1_SCK — SSP1 的串行时钟。 I GP_CLKIN — CGU 的通用时钟输入。 O TRACECLK — 跟踪时钟。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 O I2S0_TX_MCLK — I2S 发送主机时钟。 I/O I2S0_RX_SCK — I2S 接收时钟。由主机驱动，由从机接收。对应于 <i>FS 总线规范</i> 中的 SCK 信号。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PF_5	E9	-	-	190	-	-	[6]	I; PU	- R — 保留功能。 I/O U3_UCLK — 同步模式下 USART3 的串行时钟输入 / 输出。 I/O SSP1_SSEL — SSP1 的从机选择。 O TRACEDATA[0] — 跟踪数据, 位 0。 I/O GPIO7[19] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO4 — 通用数字输入 / 输出引脚。 - R — 保留功能。 I ADC1_4 — ADC1, 输入通道 4。
PF_6	E7	-	-	192	-	-	[6]	I; PU	- R — 保留功能。 I/O U3_DIR — USART3 的 RS-485/EIA-485 输出使能 / 方向控制。 I/O SSP1_MISO — SSP1 的主机输入从机输出。 O TRACEDATA[1] — 线路数据、位 1。 I/O GPIO7[20] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO5 — 通用数字输入 / 输出引脚。 I/O I2S1_TX_SDA — I2S1 发送数据。由发送器驱动, 由接收器读取。对应于 PS 总线规范中的 SD 信号。 I ADC1_3 — ADC1, 输入通道 3。
PF_7	B7	-	-	193	-	-	[6]	I; PU	- R — 保留功能。 I/O U3_BAUD — USART3 的引脚波特率。 I/O SSP1_MOSI — SSP1 的主机输出从机输入。 O TRACEDATA[2] — 线路数据、位 2。 I/O GPIO7[21] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO6 — 通用数字输入 / 输出引脚。 I/O I2S1_TX_WS — 发送字选择。由主机驱动, 由从机接收。对应于 PS 总线规范中的 WS 信号。 I/O ADC1_7 — ADC1, 输入通道 7 或带隙输出。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
PF_8	E6	-	-	-	-	-	[6]	I; PU	<ul style="list-style-type: none"> - R — 保留功能。 I/O U0_UCLK — 同步模式下 USART0 的串行时钟输入 / 输出。 I CTIN_2 — SCT 输入 2。定时器 0 的捕获输入 2。 O TRACEDATA[3] — 跟踪数据，位 3。 I/O GPIO7[22] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO7 — 通用数字输入 / 输出引脚。 - R — 保留功能。 I ADC0_2 — ADC0，输入通道 2。
PF_9	D6	-	-	203	-	-	[6]	I; PU	<ul style="list-style-type: none"> - R — 保留功能。 I/O U0_DIR — USART0 的 RS-485/EIA-485 输出使能 / 方向控制。 O CTOUT_1 — SCT 输出 1 定时器 0 的匹配输出 1。 - R — 保留功能。 I/O GPIO7[23] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I/O SGPIO3 — 通用数字输入 / 输出引脚。 - R — 保留功能。 I ADC1_2 — ADC1，输入通道 2。
PF_10	A3	-	-	205	-	98	[6]	I; PU	<ul style="list-style-type: none"> - R — 保留功能。 O U0_TXD — USART0 的发送器输出。 - R — 保留功能。 - R — 保留功能。 I/O GPIO7[24] — 通用数字输入 / 输出引脚。 - R — 保留功能。 I SD_WP — SD/MMC 卡写保护输入。 - R — 保留功能。 I ADC0_5 — ADC0，输入通道 5。
PF_11	A2	-	-	207	-	100	[6]	I; PU	<ul style="list-style-type: none"> - R — 保留功能。 I U0_RXD — USART0 的接收器输入。 - R — 保留功能。 - R — 保留功能。 I/O GPIO7[25] — 通用数字输入 / 输出引脚。 - R — 保留功能。 O SD_VOLT2 — SD/MMC 总线电压选择输出 2。 - R — 保留功能。 I ADC1_5 — ADC1，输入通道 5。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	LPGA256	TFBGA180	TFBGA100	LQFP208	LQFP144	LQFP100	复位状态	类型	描述
时钟引脚									
CLK0	N5	x	K3	62	45	31	5	O ; PU	<ul style="list-style-type: none"> O EMC_CLK0 — SDRAM 时钟 0。 O CLKOUT — 时钟输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SD_CLK — SD/MMC 卡时钟。 O EMC_CLK01 — SDRAM 时钟 0 和时钟 1 组合。 I/O SSP1_SCK — SSP1 的串行时钟。 I ENET_TX_CLK ENET_REF_CLK — 以太网发送时钟 (MII 接口) 或以太网参考时钟 (RMII 接口)。
CLK1	T10	x	-	-	-	-	5	O ; PU	<ul style="list-style-type: none"> O EMC_CLK1 — SDRAM 时钟 1。 O CLKOUT — 时钟输出引脚。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 O CGU_OUT0 — CGU 备用时钟输出 0。 - R — 保留功能。 O I2S1_TX_MCLK — I2S1 发送主机时钟。
CLK2	D14	x	K6	141	99	68	5	O ; PU	<ul style="list-style-type: none"> O EMC_CLK3 — SDRAM 时钟 3。 O CLKOUT — 时钟输出引脚。 - R — 保留功能。 - R — 保留功能。 I/O SD_CLK — SD/MMC 卡时钟。 O EMC_CLK23 — SDRAM 时钟 2 和时钟 3 组合。 O I2S0_TX_MCLK — I2S 发送主机时钟。 I/O I2S1_RX_SCK — 接收时钟。由主机驱动，由从机接收。对应于 I2S 总线规范中的 SCK 信号。
CLK3	P12	x	-	-	-	-	5	O ; PU	<ul style="list-style-type: none"> O EMC_CLK2 — SDRAM 时钟 2。 O CLKOUT — 时钟输出引脚。 - R — 保留功能。 - R — 保留功能。 - R — 保留功能。 O CGU_OUT1 — CGU 备用时钟输出 1。 - R — 保留功能。 I/O I2S1_RX_SCK — 接收时钟。由主机驱动，由从机接收。对应于 I2S 总线规范中的 SCK 信号。

调试引脚

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	封装						复位状态 [7]	类型	描述	
	LPGA256	TFBGA180 [1]	TFBGA100	LQFP208 [1]	LQFP144	LQFP100 [1]				
DBGEN	L4	x	A6	41	28	18	[3]	I	I	JTAG 接口控制信号，也用于边界扫描。
TCK/SWDCLK	J5	x	H2	38	27	17	[3]	I; F	I	JTAG 接口的测试时钟（默认）或串行 (SW) 时钟。
TRST	M4	x	B4	42	29	19	[3]	I; PU	I	JTAG 接口的测试复位。
TMS/SWDIO	K6	x	C4	44	30	20	[3]	I; PU	I	JTAG 接口的测试模式选择（默认）或 SW 调试数据输入 / 输出。
TDO/SWO	K5	x	H3	46	31	21	[3]	O	O	JTAG 接口的测试数据输出（默认）或 SW 跟踪输出。
TDI	J4	x	G3	35	26	16	[3]	I; PU	I	JTAG 接口的测试数据。
USB0 引脚										
USB0_DP	F2	x	E1	26	18	9	[7]	-	I/O	USB0 双向 D+ 线。
USB0_DM	G2	x	E2	28	20	11	[7]	-	I/O	USB0 双向 D- 线。
USB0_VBUS	F1	x	E3	29	21	12	[7] [8]	-	I/O	VBUS 引脚（上电 USB 线缆）。此引脚包含一个 64kΩ (典型值) 16kΩ 的内部下拉电阻。
USB0_ID	H2	x	F1	30	22	13	[9]	-	I	向收发器指明是连接到器件 A (USB0_ID 低) 还是器件 B (USB0_ID 高)。对于 OTG，该引脚具有一个内部上拉电阻。
USB0_RREF	H1	x	F3	32	24	15	[9]	-		用于基准电流的 12.0 kΩ (精度 1%) 片内接地电阻。
USB1 引脚										
USB1_DP	F12	x	E9	129	89	59	[10]	-	I/O	USB1 双向 D+ 线。
USB1_DM	G12	x	E10	130	90	60	[10]	-	I/O	USB1 双向 D- 线。
I²C 总线引脚										
I2C0_SCL	L15	x	D6	132	92	62	[11]	I; F	I/O	I ² C 时钟输入 / 输出。开漏输出（符合 I ² C 总线规范）。
I2C0_SDA	L16	x	E6	133	93	63	[11]	I; F	I/O	I ² C 数据输入 / 输出。开漏输出（符合 I ² C 总线规范）。
复位和唤醒引脚										
RESET	D9	x	B6	185	128	91	[12]	I; IA	I	外部复位输入；此引脚为 LOW 时将复位设备，导致 I/O 端口和外设呈现默认状态，并且处理器从地址 0 开始执行。
WAKEUP0	A9	x	A4	187	130	93	[12]	I; IA	I	外部唤醒输入；可以产生中断并从任何低功耗模式中唤醒。
WAKEUP1	A10	x	-	-	-	-	[12]	I; IA	I	外部唤醒输入；可以产生中断并从任何低功耗模式中唤醒。
WAKEUP2	C9	x	-	-	-	-	[12]	I; IA	I	外部唤醒输入；可以产生中断并从任何低功耗模式中唤醒。
WAKEUP3	D8	x	-	-	-	-	[12]	I; IA	I	外部唤醒输入；可以产生中断并从任何低功耗模式中唤醒。
ADC 引脚										

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号	封装						复位状态 [9]	类型	描述	
	LPGA256	TFBGA180 [1]	TFBGA100	LQFP208 [1]	LQFP144	LQFP100 [1]				
ADC0_0 ADC1_0/DAC	E3	x	A2	8	6	4	[9]	I; IA	I	ADC 输入通道 0。由 10 位 ADC0/1 和 DAC 共用。
ADC0_1 ADC1_1	C3	x	A1	4	2	1	[9]	I; IA	I	ADC 输入通道 1。由 10 位 ADC0/1 共用。
ADC0_2 ADC1_2	A4	x	B3	206	143	99	[9]	I; IA	I	ADC 输入通道 2。由 10 位 ADC0/1 共用。
ADC0_3/ ADC1_3	B5	x	A3	200	139	96	[9]	I; IA	I	ADC 输入通道 3。由 10 位 ADC0/1 共用。
ADC0_4/ ADC1_4	C6	x	-	199	138	-	[9]	I; IA	I	ADC 输入通道 4。由 10 位 ADC0/1 共用。
ADC0_5/ ADC1_5	B3	x	-	208	144	-	[9]	I; IA	I	ADC 输入通道 5。由 10 位 ADC0/1 共用。
ADC0_6/ ADC1_6	A5	x	-	204	142	-	[9]	I; IA	I	ADC 输入通道 6。由 10 位 ADC0/1 共用。
ADC0_7/ ADC1_7	C5	x	-	197	136	-	[9]	I; IA	I	ADC 输入通道 7。由 10 位 ADC0/1 共用。
RTC										
RTC_ALARM	A11	x	C3	186	129	92	[12]	-	O	RTC 控制输出。
RTCX1	A8	x	A5	182	125	88	[9]	-	I	RTC 32 kHz 超低功耗振荡器电路输入。
RTCX2	B8	x	B5	183	126	89	[9]	-	O	RTC 32 kHz 超低功耗振荡器电路输出。
晶体振荡器引脚										
XTAL1	D1	x	B1	18	12	5	[9]	-	I	振荡器电路和内部时钟发生器电路输入。
XTAL2	E1	x	C1	19	13	6	[9]	-	O	振荡器放大器输出。
电源和接地引脚										
USB0_VDDA 3V3_DRIVER	F3	x	D1	24	16	7	-	-	-	驱动器独立模拟 3.3 V 电源。
USB0_VDDA3V3	G3	x	D2	25	17	8	-	-	-	USB 3.3 V 独立电源电压。
USB0_VSSA_TERM	H3	x	D3	27	19	10	-	-	-	用于终端电阻独立基准的专用模拟接地。
USB0_VSSA_REF	G1	x	F2	31	23	14	-	-	-	基准电流和电压产生的专用独立模拟接地。
VDDA	B4	x	B2	198	137	95	-	-	-	模拟电源和 ADC 参考电压。
VBAT	B10	x	C5	184	127	90	-	-	-	RTC 供电：此引脚上 3.3 V 向 RTC 供电。
VDDREG	F10、 F9、 L8、 L7	x	E4、 E5、 F4	135、 188、 195、 82、 33	94、 131、 59、 25	-	-	-	-	主调压器电源。将 VDDREG 和 VDDIO 引脚都与共同电源连接，以确保两者电源电压的爬坡时间相同。
VPP	E8	-	-	-	-	-	[13]	-	-	OTP 编程电压。

表 3. 引脚描述 (续)

LCD、以太网、USB0 以及 USB1 功能并非在所有器件上都可用。参见表 2。

符号							复位状态		描述
	LPGA256	TFBGA180 ^[1]	TFBGA100	LQFP208 ^[1]	LQFP144	LQFP100 ^[1]	I	O	
VDDIO	D7、 E12、 F7、 F8、 G10、 H10、 J6、 J7、 K7、 L9、 L10、 N7、 N13	x	F10、 K5	6、 52、 57、 102、 110、 155、 160、 202	5、 36、 41、 71、 77、 107、 111、 141	-	[13]	-	I/O 电源。将 VDDREG 和 VDDIO 引脚都与共同电源连接，以确保两者电源电压的爬坡时间相同。
VDD	-	-	-	-	-	3、 24、 27、 49、 52、 74、 77、 97	-	-	主调压器、I/O 和 OTP 的电源。
VSS	G9、 H7、 J10、 J11、 K8	x	-	-	-	2、 26、 51、 76	[14] [15]	-	接地。
VSSIO	C4、 D13、 G6、 G7、 G8、 H8、 H9、 J8、 J9、 K9、 K10、 M13、 P7、 P13	x	C8、 D4、 D5、 G8、 J3、 J6	5、 56、 109、 157	4、 40、 76、 109	-	[14] [15]	-	接地。
VSSA	B2	x	C2	196	135	94	-	-	模拟接地。
未连接	-	B9	-	-	-	-	-	-	n.c.

[1] x = 可用；- = 未引出。

[2] I = 输入，O = 输出，IA = 无源；PU = 使能上拉电阻（弱上拉电阻上拉引脚至 V_{DD(I/O)}）；F = 悬空；复位状态反映了在复位时无启动代码操作的引脚状态。

- [3] 5V 容限的 pad 以及 15ns 的干扰过滤器（如出现 $V_{DD(I/O)}$ 为 5V 容限；如不出现 $V_{DD(I/O)}$ ，则不超过 3.3 V）；提供数字 I/O 功能及 TTL 电平和滞回；普通驱动强度。
- [4] 5V 容限的 pad 以及 15ns 的干扰过滤器（如出现 $V_{DD(I/O)}$ 为 5V 容限；如不出现 $V_{DD(I/O)}$ ，则不超过 3.3 V）；提供数字 I/O 功能及 TTL 电平和滞回；普通驱动强度。
- [5] 5V 容限的 pad 以及 15ns 的干扰过滤器（如出现 $V_{DD(I/O)}$ 为 5V 容限；如不出现 $V_{DD(I/O)}$ ，则不超过 3.3 V）；提供高速数字 I/O 功能及 TTL 电平和滞回。
- [6] 5V 容限的 pad 提供数字 I/O 功能（带有 TTL 电平和滞回），以及模拟输入或输出（如出现 $V_{DD(I/O)}$ 为 5V 容限；如不出现 $V_{DD(I/O)}$ ，则不超过 3.3 V）。当配置为 ADC 输入或 DAC 输出时，引脚非 5 V 容限，必须禁用 pad 的数字部分，方法为：将引脚设置为输入功能并通过引脚的 SFSP 寄存器禁用上拉电阻。
- [7] 5 V 容限的透明模拟 pad。
- [8] 对最大负载 $C_L = 6.5 \mu\text{F}$ ，最大电阻 $R_{pd} = 80 \text{ k}\Omega$ ，VBUS 信号在不受驱动时需要花 2 秒从 $\text{VBUS} = 5\text{V}$ 降至 $\text{VBUS} = 0.2\text{V}$ 。
- [9] 透明模拟 pad。非 5 V 容限。
- [10] 如出现 $V_{DD(I/O)}$ ，pad 提供 5V 容限 USB 功能；如不出现 $V_{DD(I/O)}$ ，不超过 3.3V。其设计符合 USB 规范，2.0 版（仅限于全速和低速模式）。此 pad 无法承受 5 V 电压。
- [11] 容压为 5 V 的开漏数字 I/O pad，符合 I²C 总线超快速模式规范。此 pad 要求进行外部上拉，以提供输出功能。电源关闭后，连接到 I²C 总线的此引脚将处于悬空状态，并且不会干扰 I²C 线路。
- [12] 5 V 容限的 pad 以及 20 ns 的干扰过滤器；提供数字 I/O 功能，带有低上拉电阻和滞回的开漏输出。
- [13] 在 TFBGA100 和 LQFP208 封装中，VPP 内部连接至 VDDIO。
- [14] 在 LQFP144 封装中，VSSIO 和 VSS 连接至同一个接地层。
- [15] 在 TFBGA100 和 LQFP100/208 封装中，VSS 内部连接至 VSSIO。

7. 功能说明

7.1 架构概述

ARM Cortex-M4 处理器包含 3 条 AHB-Lite 总线：系统总线、I-CODE 总线和 D-code 总线。I-code 和 D-code 核心总线允许从不同的从机端口同时访问代码和数据。

LPC4350/30/20/10 使用多层 AHB 矩阵将 ARM Cortex-M4 总线和其他总线主机灵活地连接到外设上，允许该矩阵的不同从机端口上的外设可同时由不同的总线主机进行访问，从而优化性能。

LPC4350/30/20/10 包含了一个 ARM Cortex-M0 协处理器，可减轻 ARM Cortex-M4 主应用处理器的负载。大多数外设中断同时连接到这两个处理器上。两个处理器通过处理器间通信协议互相通信。

7.2 ARM Cortex-M4 处理器

ARM Cortex-M4 内核 CPU 采用 3 级流水线和哈佛架构，具有独立的本地指令和数据总线以及用于系统外设的第三总线，同时还包含一个支持不确定分支操作的内部预取单元。ARM Cortex-M4 支持单周期数字信号处理和 SIMD 指令。内核集成硬件浮点处理器。该款处理器配有最多为 53 个中断的 NVIC。

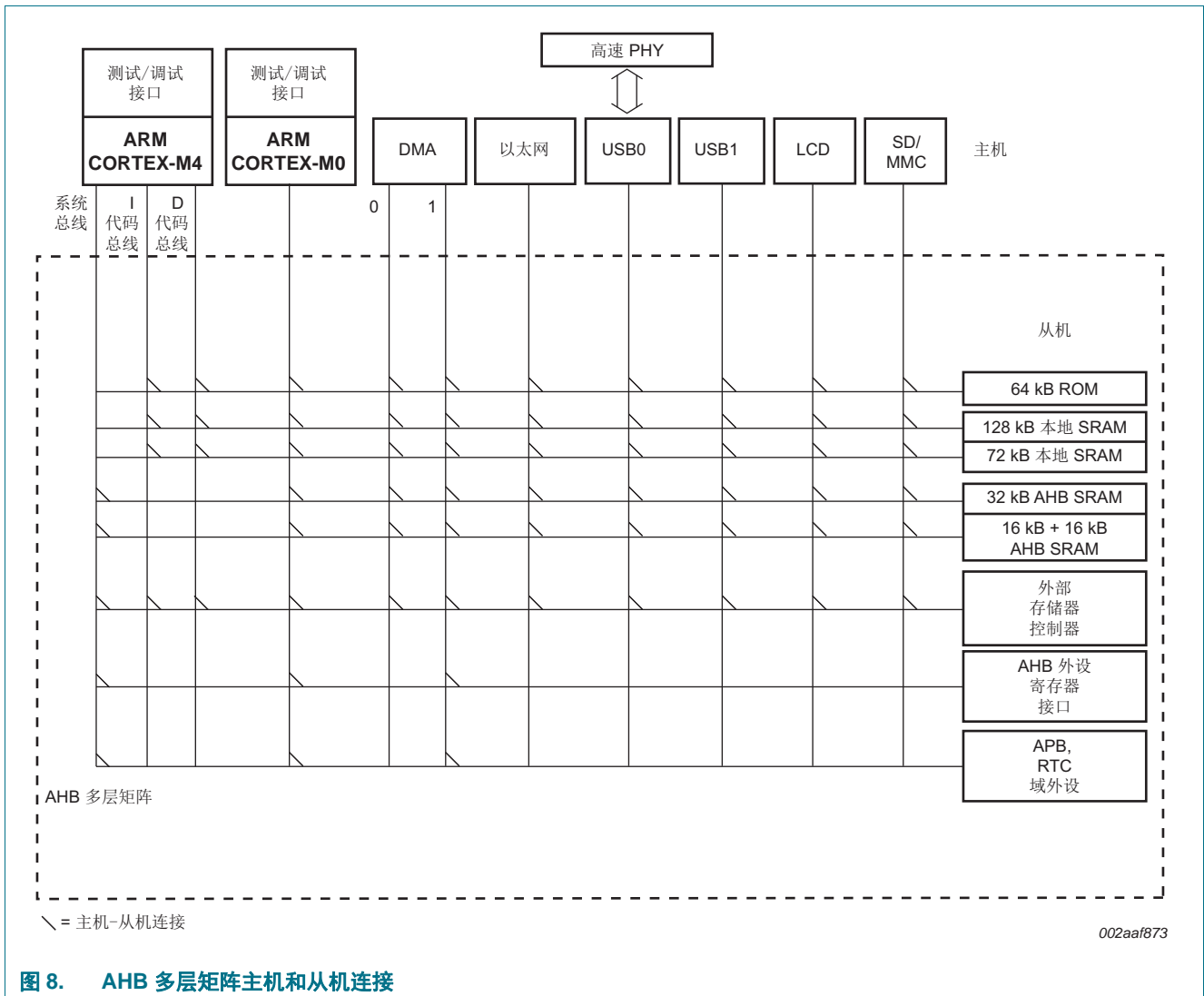
7.3 ARM Cortex-M0 协处理器

ARM Cortex-M0 是一款通用 32 位微处理器，不仅性能高，而且功耗极低。ARM Cortex-M0 协处理器使用 3 级流水线冯诺依曼架构，以及一个小而强大的指令集，提供高端的硬件处理能力。该款协处理器配有 32 个中断的 NVIC。

7.4 处理器间通信

ARM Cortex-M4 和 ARM Cortex-M0 处理器间通信基于将共享 SRAM 用作邮箱。例如，一个处理器在将新消息送到该邮箱后在另一处理器的 NVIC 上产生中断；接收的处理器可以通过在发送处理器的 NVIC 上产生中断进行回复，以确认消息。

7.5 AHB 多层矩阵



7.6 可嵌套中断向量控制器 (NVIC)

NVIC 是 Cortex-M4 的主要组成部分。它与 CPU 紧密结合，降低了中断延时，并让新进中断可以得到高效处理。

ARM Cortex-M0 协处理器拥有 32 个向量中断的 NVIC。Cortex-M0 和 Cortex-M4 NVIC 间共享大多数的外设中断。

7.6.1 特性

- 可控制系统的异常及外设中断。
- 在 LPC4350/30/20/10 中，Cortex-M4 NVIC 支持高达 53 个向量中断。
- 8 个可编程的中断优先级，带硬件优先级屏蔽功能。
- 可再定位的向量表。
- 非屏蔽中断 (NMI)。

- 软件中断生成功能。

7.6.2 中断源

每个外围设备均有一条中断线连接到 NVIC，但可能有好几个中断标志。各个中断标志还可能代表一个以上的中断源。

7.7 事件路由器

事件路由器结合了各种内部信号、中断和外部中断引脚（唤醒 [3:0]），以便在 NVIC（如使能）中创建一个中断，并创建一个发送到 ARM 内核和 CCU 的唤醒信号，用以从睡眠模式、深度睡眠模式、掉电模式和深度掉电模式中唤醒。各个事件均可配置为边沿或电平敏感，并且可在事件路由器中使能或禁用。事件路由器可由电池供电。

如果在事件路由器中使能了以下事件，则这些事件会创建一个唤醒信号和 / 或中断：

- 外部引脚 WAKEUP0/1/2/3 和 $\overline{\text{RESET}}$
- 警报定时器、RTC、WWDT、BOD 中断
- C_CAN 和 QEI 中断
- 以太网、USB0、USB1 信号
- 选定的组合定时器（SCT 和定时器 0/1/3）输出

7.8 全局输入多路复用器阵列 (GIMA)

使用 GIMA，可将信号发送至 SCT、定时器、事件路由器或 ADC 等事件驱动型外围设备目标。

7.8.1 特性

- 来源的单种选择。
- 信号倒相。
- 如果输入事件源比目标时钟快，则可以捕获一个脉冲。
- 使输入事件与目标时钟保持同步。
- 为目标生成单周期脉冲。

7.9 系统节拍定时器 (SysTick)

ARM Cortex-M4 具有一个旨在每隔 10 ms 生成一个 SYSTICK 专用异常的系统节拍定时器 (SysTick)。

7.10 片内静态 RAM

LPC4350/30/20/10 支持高达 200kB 的本地 SRAM 和另外 64kB 的 AHB SRAM，并提供分块的总线主机访问以实现更高的吞吐量，以及单独的功率控制以实现低功耗操作。

7.11 在系统编程 (ISP)

在系统编程 (ISP) 是指利用引导加载程序软件和 USART0 串行端口，对片内 SRAM 存储器进行编程或重新编程。当器件位于最终用户端时，可执行此操作。ISP 可以将数据加载到片内 SRAM 中并执行来自片内 SRAM 的代码。

7.12 Boot ROM

内部 ROM 存储器用于存储 LPC4350/30/20/10 的启动代码。复位之后，ARM 处理器将从此存储器开始执行其代码。

Boot ROM 存储器包括以下特性：

- ROM 存储器的大小为 64 KB。
- 支持从 UART 接口和 NOR 闪存、SPI 闪存等外部静态存储器启动。
- 用于 OTP 编程的 API。
- 包括一个灵活的 USB 设备栈，它支持人机接口设备 (HID)、海量存储设备类 (MSC) 和设备固件升级 (DFU) 驱动程序。

支持 AES 的器件还支持：

- 对引导镜像进行 CMAC 验证。
- 从加密镜像进行安全引导。在开发模式中，也可从纯文本镜像引导。通过对 AES 密钥进行编程可终止开发模式。
- AES 编程的 API。

根据 OTP 位 BOOT_SRC 的值，可使用若干启动模式。如果没有对 OTP 存储器进行编程，或者 BOOT_SRC 位全部为零，则引导模式将由引导引脚 P2_9、P2_8、P1_2 和 P1_1 的状态决定。

表 4. OTP BOOT_SRC 位已编程时的引导模式

启动模式	BOOT_SRC 位 3	BOOT_SRC 位 2	BOOT_SRC 位 1	BOOT_SRC 位 0	描述
引脚状态	0	0	0	0	启动源由 P1_1、P1_2、P2_8 和 P2_9 引脚的复位状态进行定义。参见表 5。
USART0	0	0	0	1	从使用 P2_0 和 P2_1 连接到 USART0 的设备启动。
SPIFI	0	0	1	0	从使用 P3_3 至 P3_8 连接到 SPIFI 接口的四通道 SPI 闪存启动。
EMC 8 位	0	0	1	1	从使用 CS0 和 8 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
EMC 16 位	0	1	0	0	从使用 CS0 和 16 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
EMC 32 位	0	1	0	1	从使用 CS0 和 32 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
USB0	0	1	1	0	从 USB0 启动。
USB1	0	1	1	1	从 USB1 启动。
SPI (SSP)	1	0	0	0	从连接到 P3_3 (SSP0_SCK 功能)、P3_6 (SSP0_MISO 功能)、P3_7 (SSP0_MOSI 功能) 和 P3_8 (SSP0_SSEL 功能) 上的 SSP0 接口的 SPI 闪存进行启动 ^[1] 。
USART3	1	0	0	1	从使用引脚 P2_3 和 P2_4 连接到 USART3 的设备启动。

[1] 启动引导程序对复位时相应的引脚功能编程，以使用 SSP0 或 SPIFI 进行启动。

表 5. OPT_BOOT_SRC 位为零时的引导模式

启动模式	引脚				描述
	P2_9	P2_8	P1_2	P1_1	
USART0	低	低	低	低	从使用 P2_0 和 P2_1 连接到 USART0 的设备启动。
SPIFI	低	低	低	高	从连接到 P3_3 到 P3_8 上的 SPIFI 接口的四通道的 SPI 闪存启动 ^[1] 。
EMC 8 位	低	低	高	低	从使用 CS0 和 8 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
EMC 16 位	低	低	高	高	从使用 CS0 和 16 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
EMC 32 位	低	高	低	低	从使用 CS0 和 32 位数据总线的外部静态存储器（例如 NOR 闪存）启动。
USB0	低	高	低	高	从 USB0 进行引导
USB1	低	高	高	低	从 USB1 启动。
SPI (SSP)	低	高	高	高	从连接到 P3_3（SSP0_SCK 功能）、P3_6（SSP0_MISO 功能）、P3_7（SSP0_MOSI 功能）和 P3_8（SSP0_SSEL 功能）上的 SSP0 接口的 SPI 闪存启动 ^[1] 。
USART3	高	低	低	低	从使用引脚 P2_3 和 P2_4 连接到 USART3 的设备启动。

[1] 启动引导程序对复位时相应的引脚功能编程，以使用 SSP0 或 SPIFI 进行启动。

7.13 存储器映射

图 9 和图 10 显示的存储器映射对 Cortex-M4 和 Cortex-M0 处理器是全局的，而且所有 SRAM 在两个处理器之间共享。每个处理器将自身的 ARM 专用总线存储器映射用于 NVIC 和其他系统功能。

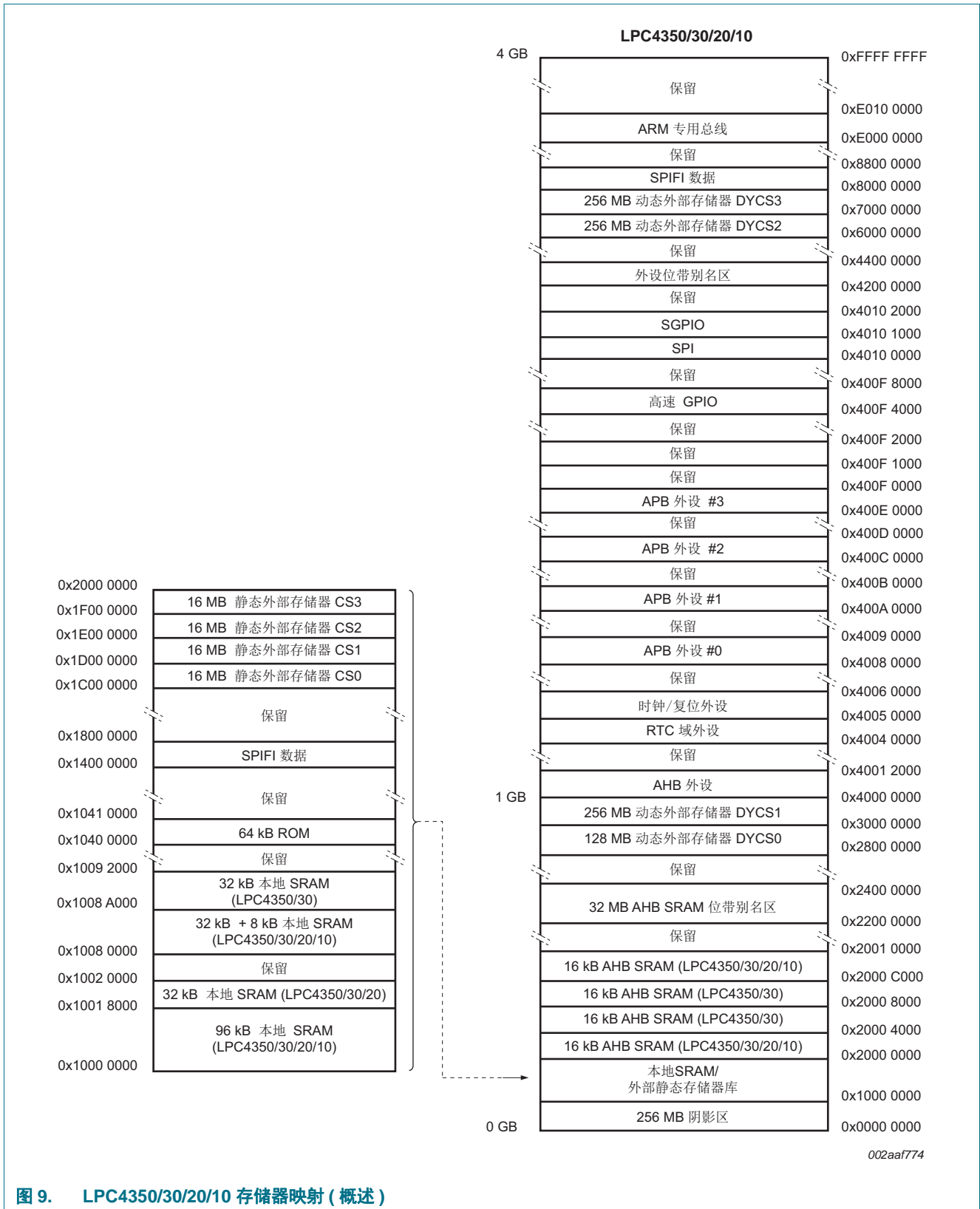


图 9. LPC4350/30/20/10 存储器映射 (概述)

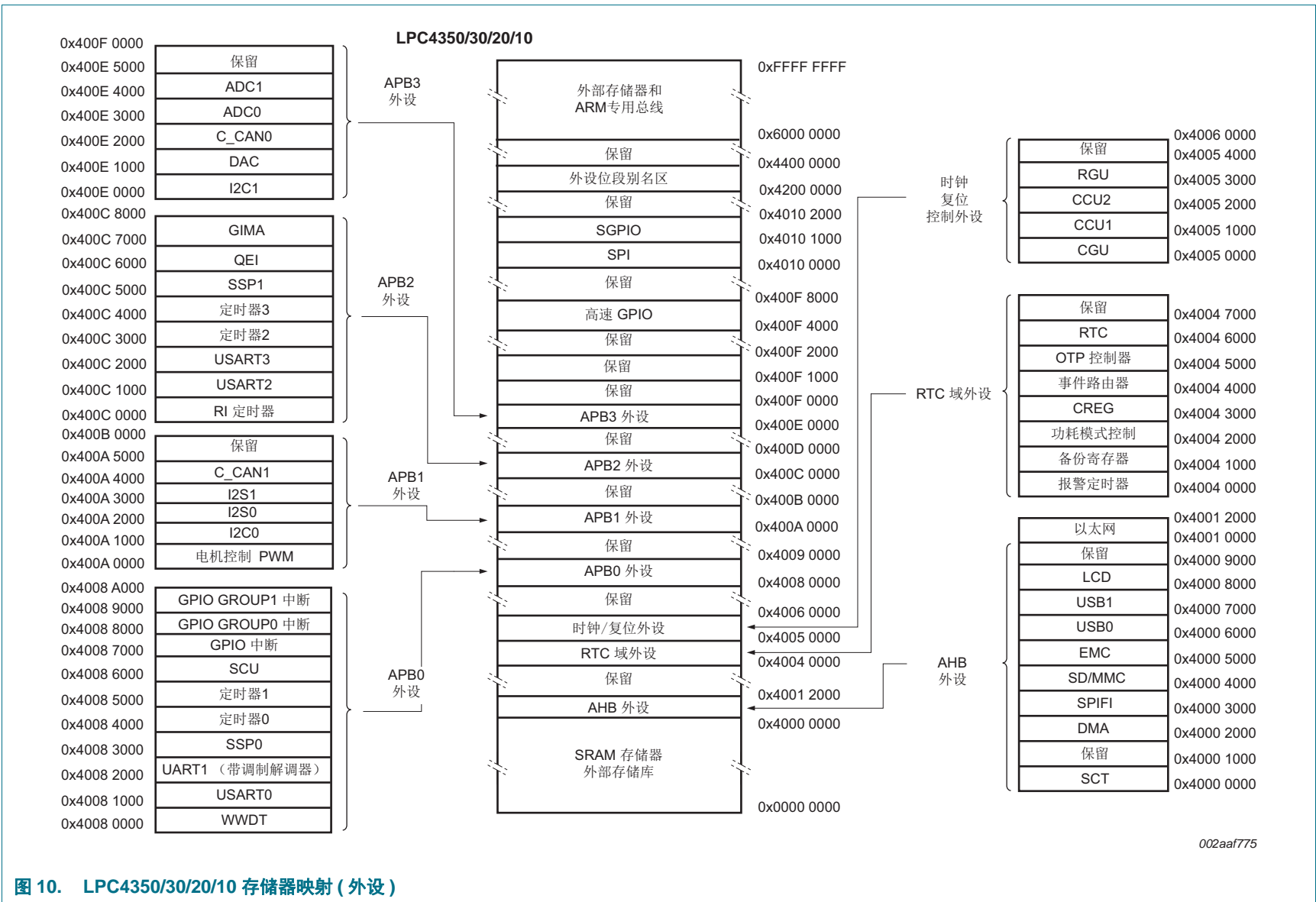


图 10. LPC4350/30/20/10 存储器映射 (外设)

7.14 安全功能

7.14.1 AES 解密引擎

硬件 AES 引擎可使用 AES 算法对数据进行解码。

7.14.1.1 特性

- 外部闪存数据的解码。
- 密钥的安全存储。
- 支持 CMAC 哈希计算，用以验证加密数据。
- 在小端模式下处理数据。这意味着，从闪存读取的第一个字节会被作为最低有效字节集成到 AES 码字中。从闪存读取的第 16 个字节是第一个 AES 码字的最高有效字节。
- 1 个字节 / 时钟周期的 AES 引擎性能。
- 可通过片内 API 进行编程。
- 通过 GPDMA 支持 DMA 传输。

7.14.2 一次性可编程 (OTP) 存储器

OTP 提供通用的 128 位存储器和两个 128 位非易失性存储器来存储 AES 密钥或其他客户数据。

7.15 通用 I/O (GPIO)

LPC4350/30/20/10 提供 8 个 GPIO 端口，每个端口具有多达 31 个 GPIO 引脚。

没有连接到特定外围设备功能的器件引脚由 GPIO 寄存器进行控制。引脚可动态配置为输入或输出。独立的寄存器允许同时设置或清除任意数量的输出。可以读回输出寄存器的值以及端口引脚的当前状态。

复位后所有 GPIO 引脚均会默认为输入，同时会使能上拉电阻。

7.15.1 特性

- 加速 GPIO 功能：
 - GPIO 寄存器位于 AHB，这样可实现最快的 I/O 时序。
 - 掩码寄存器允许把端口位集视作一组处理，保留其他位不变。
 - 所有 GPIO 寄存器都是可进行字节和半字寻址的。
 - 整个端口值可写在一个指令中。
- 位级设置和清除寄存器允许单一的指令集或清除一个端口中任何数量的位。
- 各个位的方向控制。
- 复位后所有 I/O 均会默认为输入。
- 可从所有 GPIO 引脚中选择多达 8 个 GPIO 引脚，以创建一个边沿或电平敏感的 GPIO 中断请求（GPIO 中断）。
- 每个端口中的任何引脚均可触发 GPIO 组中的两个中断（GPIO 组 0 和组 1 中断）。

7.16 可配置的数字外设

7.16.1 状态可配置定时器 (SCT) 子系统

SCT 允许执行各种各样的定时、计数、输出调制和输入捕获操作。SCT 的输入和输出与捕获共享，并与 32 位通用计数器 / 定时器的输入 / 输出相匹配。

SCT 可配置为两个 16 位计数器或一个统一的 32 位计数器。使用两个计数器时，除了计数器值外，下列操作要素对于每个计数器来说都是独立的：

- 状态变量
- 限制、终止、停止和启动条件
- 匹配 / 捕获寄存器的值，以及重新载入或捕获控制值

如果使用两个计数器运行，以下操作要素是 SCT 通用的，但最后三个要素可以使用任一计数器中的匹配条件：

- 时钟选择
- 输入
- 事件
- 输出
- 中断

7.16.1.1 特性

- 两个 16 位计数器或一个 32 位计数器。
- 由总线时钟或所选输入计时的计数器。
- 正计数或倒计数。
- 状态变量可以跨多个计数周期进行定序。
- 事件同时具有指定状态下的输入或输出条件和 / 或计数器匹配项。
- 事件可控制输出和中断。
- 所选事件可以限制、终止、启动或停止计数器操作。
- 提供如下支持：
 - 8 种输入（一种内部连接的输入）
 - 16 个输出
 - 16 个匹配 / 捕获寄存器
 - 16 个事件
 - 32 个状态

7.16.2 串行 GPIO(SGPIO)

串行 GPIO 提供功能增强后的标准 GPIO 功能，以加快串行数据流的处理。

7.16.2.1 特性

- 每个 SGPIO 输入 / 输出位串可被用于执行从串行到并行或并行到串行的数据转换。
- 在每个移位时钟的周期中，各有 32 位 FIFO 的 16 SGPIO 输入 / 输出位串可将引脚移至输入值或将输出值移至引脚。
- 每个位串都是双缓冲。

- 中断可由满 FIFO、移位时钟或模式匹配生成。
- 位串可通过级联来增加缓冲大小。
- 每个位串有一个 32 位的模式匹配过滤器。

7.17 AHB 外围设备

7.17.1 通用 DMA(GPDMA)

DMA 控制器允许外围设备到存储器、存储器到外围设备、外围设备到外围设备，以及存储器到存储器之间的传输。每个 DMA 流为单个来源和目的地提供单向的串行 DMA 传输。例如，一个双向端口需要一个发送流和一个接收流。对主机 1 而言，源和目标区都可以是一个存储区或外设；但对主机 0 而言，仅为存储区。

7.17.1.1 特性

- 八个 DMA 通道。每个通道可支持一个单向传输。
- 16 条 DMA 请求线。
- 单发 DMA 和连发 DMA 请求信号。每个连接到 DMA 控制器的外设可以发出一个连发 DMA 请求或一个单发 DMA 请求。DMA 连发大小通过编程 DMA 控制器进行设置。
- 支持存储器到存储器、存储器到外围设备、外围设备到存储器和外围设备到外围设备的传输。
- 通过使用链表可支持分散或收集 DMA。这意味着源区和目标区不一定要占用连续的存储区。
- 硬件 DMA 通道的优先级。
- AHB 从机 DMA 编程接口。通过 AHB 从机接口对 DMA 控制寄存器写入，从而对 DMA 控制器进行编程。
- 两个用于传输数据的 AHB 总线主机。这些接口在 DMA 请求有效时传输数据。主机 1 可以访问存储器和外设，主机 0 仅可访问存储器。
- 32 位 AHB 主机总线宽度。
- 来源和目标的递增或非递增寻址。
- 可编程的 DMA 连发大小。编程 DMA 连发大小可以提高传输数据的效率。
- 每个通道的内部四字 FIFO。
- 支持 8、16 和 32 位宽的传送。
- 支持大端和小端。DMA 控制在复位时默认为小端模式。
- 在 DMA 完成后或当 DMA 发生错误时，可中断处理器。
- 原始中断状态。屏蔽前，可以读取 DMA 错误和 DMA 计数的原始中断状态。

7.17.2 SPI 闪存接口 (SPIFI)

SPI 闪存接口支持低成本串行闪存存储器连接到 ARM Cortex-M4 处理器，相对于引脚数量更多的并行闪存器件而言，性能损失并不大。

经过几个命令在启动时配置接口后，整个闪存中的内容可以像正常存储器一样由处理器和 / 或 DMA 通道按字节、半字和整字访问。擦除和编程通过简单的命令序列即可处理。

许多串行闪存器件使用半双工命令驱动的 SPI 协议进行器件设置和初始化，然后转为使用半双工命令驱动的 4 位协议进行正常操作。不同的串行闪存厂商和器件接受或需要不同的命令和命令格式。SPIFI 为此提供了足够的支持，可兼容常见的闪存器件，并预留了扩展功能，确保兼容今后的产品。

7.17.2.1 特性

- 主存储器映射中的串行闪存接口。
- 支持经典的 4 位双向串行协议。
- 半双工协议与不同的供应商和器件兼容。
- 数据速率每秒高达 40 Mb。
- 支持 DMA 访问。

7.17.3 SD/MMC 卡接口

SD/MMC 卡接口支持以下模式：

- 安全数字存储器（SD 3.0 版）
- 安全数字 I/O（SDIO 2.0 版）
- 消费类电子产品先进的运输架构（CE-ATA 1.1 版）
- 多媒体卡（MMC 4.4 版）

7.17.4 外部存储控制器（EMC）

LPC4350/30/20/10EMC 是一个存储器控制器外围设备，它支持 RAM、ROM 和闪存等异步静态存储器件。此外，它还用作片外存储器映射的器件和外围设备的接口。

7.17.4.1 特性

- 支持包括单一数据传输速率 SDRAM 在内的动态存储器接口。
- 支持包括 RAM、ROM 和闪存存在内的异步静态存储器件，带有或不带有异步分页模式。
- 低事务延迟。
- 读和写缓冲区用来降低延迟并提高性能。
- 支持具有 8/16/32 根数据线和 24 根地址线的宽范围静态存储器。
- 支持 16 位和 32 位宽片选型 SDRAM 存储器。
- 静态存储器特性包括：
 - 异步页面模式读取
 - 等待状态可编程
 - 总线周转延迟
 - 输出使能和写入使能延迟
 - 更长的等待
- 四种芯片选择用于同步存储器，四种芯片选择用于静态存储器件。
- 掉电模式动态控制 SDRAM 的 EMC_CKEOUT 和 EMC_CLK 信号。
- 软件控制动态存储器的自动刷新模式：
- 控制器支持 2048（A0 至 A10）、4096（A0 至 A11）和 8192（A0 至 A12）行地址同步存储器件。通常为 512 Mb、256 Mb 和 128 Mb 器件，每个设备有 4 个、8 个、16 个或 32 个数据位。
- 如果需要，独立的复位域允许通过芯片复位进行自动刷新。

注：不支持同步静态存储器件（同步连发模式）。

7.17.5 高速 USB 主机 / 设备 / OTG 接口 (USB0)

注：USB0 控制器在器件 LPC4350/30/20 器件上可用。参见表 2。

USB OTG 模块允许 LPC4350/30/20/10 直接连接到 PC 等 USB 主机（在设备模式下）或 USB 设备（在主机模式下）。

7.17.5.1 特性

- 包含符合 UTMI+ 标准的收发器 (PHY)。
- 符合通用串行总线规范 2.0。
- 符合 USB OTG 补充规范。
- 符合增强型主机控制器接口规范。
- 支持 USB 2.0 自动模式发现。
- 支持符合 USB 标准的所有高速外围设备。
- 支持符合 USB 标准的所有全速外围设备。
- 支持 OTG 外围设备的软件主机协商协议 (HNP) 和会话请求协议 (SRP)。
- 支持中断。
- 这个模块有其自己集成的 DMA 引擎。
- ROM USB 协议栈集成 USB 接口电气测试软件。

7.17.6 高速 USB 主机 / 设备的 ULPI(USB1) 接口

注：USB1 控制器在器件 LPC4350/30 上可用。参见表 2。

USB1 接口可用作一个全速 USB 主机 / 设备接口，也可连接到外部 ULPI PHY 以实现高速运行。

7.17.6.1 特性

- 符合通用串行总线规范 2.0。
- 符合增强型主机控制器接口规范。
- 支持 USB 2.0 自动模式发现。
- 如果连接到外部 ULPI PHY，则支持符合 USB 标准的所有高速外围设备。
- 支持符合 USB 标准的所有全速外围设备。
- 支持中断。
- 这个模块有其自己集成的 DMA 引擎。
- ROM USB 协议栈集成 USB 接口电气测试软件。

7.17.7 LCD 控制器

注：LCD 控制器在器件 LPC4350 上可用。参见表 2。

LCD 控制器提供所有必需的控制信号，以直接传送到各种彩色和单色液晶面板。STN（单双面板）和 TFT 面板均可以操作。显示分辨率是可以选择的，最高可达 1024 × 768 像素。提供有若干种彩色模式，最高的一种是 24 位真彩色非调色板模式。使用片内的 512 字节调色板，可在降低总线利用率（即所显示数据的存储器大小）的同时仍能支持大量的颜色。

LCD 接口自带 DMA 控制器，可以不依赖 CPU 和其他系统功能而独立工作。内置的 FIFO 可作为显示数据的缓冲区，提供系统时序灵活性。硬件游标支持还可进一步减少显示所需的 CPU 时间。

7.17.7.1 特性

- 用以访问帧缓冲区的 AHB 主机接口。
- 通过单独的 AHB 从机接口来进行设置和控制。
- 提供了双 16 深度可编程 64 位宽 FIFO，为传入的显示数据提供缓冲支持。
- 通过 4 位或 8 位接口支持单双面板的单色超扭曲向列型 (STN) 显示器。
- 支持单面板和双面板彩色 STN 显示器。
- 支持薄膜晶体管 (TFT) 彩色显示器。
- 可编程显示分辨率包括但不限于：320 × 200，320 × 240，640 × 200，640 × 240，640 × 480，800 × 600，以及 1024 × 768。
- 为单面板显示器提供硬件游标支持。
- 提供 15 灰阶单色、3375 彩色 STN 以及 32 K 彩色调色板式 TFT 支持。
- 为单色 STN 提供每像素 1 位、2 位或 4 位 (bpp) 调色板式显示。
- 为彩色 STN 和 TFT 提供 1 bpp、2 bpp、4 bpp 或 8 bpp 调色板式彩色显示。
- 针对彩色 STN 和 TFT 的 16 bpp 真彩色非调色板显示。
- 针对彩色 TFT 的 24 bpp 真彩色非调色板显示。
- 为不同的显示板提供可编程定时。
- 256 项、16 位调色板 RAM，以一个 128x32-bit RAM 的方式呈现。
- 提供帧、行和像素时钟信号。
- 为 STN 提供交流偏置信号，为 TFT 面板提供数据使能信号。
- 支持大小端格式以及 Windows CE 数据格式。
- LCD 面板时钟可以通过外设时钟或时钟输入引脚来生成。

7.17.8 以太网

注：以太网外设可在器件 LPC4350/30 器件上可用。参见[表 2](#)。

7.17.8.1 特性

- 10/100 Mbit/s
- TCP/IP 硬件校验和
- IP 校验和
- DMA 支持
- 功耗管理远程唤醒帧和魔术包检测
- 同时支持全双工和半双工操作
 - 支持半双工操作的 CSMA/CD 协议。
 - 支持全双工操作的 IEEE 802.3x 流控制。
 - 在全双工操作中，可选择将接收到的暂停控制帧向前发送到用户应用程序。
 - 用于半双工操作的背压支持。
 - 全双工操作中如果流控输入信号消失，自动发送零时间片暂停帧。

- 支持 IEEE1588 时间戳和 IEEE1588 高级时间戳 (IEEE 1588-2008 v2)。

7.18 数字串行外围设备

7.18.1 UART1

LPC4350/30/20/10 包含一个带标准发送与接收数据线的 UART，UART1 还提供有一个完全的调制解调器控制反馈检验接口，并支持 RS-485/9 位模式，从而允许使用 9 位模式进行软件地址检测和自动地址检测。

UART1 包含一个小数波特率生成器。用高于 2 MHz 的任何晶频均可获得标准波特率，如 115200 Bd。

7.18.1.1 特性

- 最大 UART 数据比特率 8MBit/s。
- 16B 的接收与发送 FIFO。
- 寄存器位置符合 16C550 业界标准。
- 接收器 FIFO 的触发点为 1 B、4 B、8 B 和 14 B。
- 内置小数波特率生成器涵盖范围广泛的波特率，不需要特定值的外部晶体。
- 自动波特率功能和 FIFO 控制机制允许实施软件流量控制。
- 配备标准的调制解调器接口信号。此模块还完全支持硬件流量控制。
- 支持 RS-485/9 位 /EIA-485 模式 (UART1)。
- DMA 支持。

7.18.2 USART0/2/3

LPC4350/30/20/10 含有三个 USART。除了标准发送与接收数据线外，USART 还支持同步模式。

USART 包含一个小数波特率生成器。用高于 2 MHz 的任何晶频均可获得标准波特率，如 115200 Bd。

7.18.2.1 特性

- 最大 UART 数据比特率 8MBit/s。
- 16B 的接收与发送 FIFO。
- 寄存器位置符合 16C550 业界标准。
- 接收器 FIFO 的触发点为 1 B、4 B、8 B 和 14 B。
- 内置小数波特率生成器涵盖范围广泛的波特率，不需要特定值的外部晶体。
- 自动波特率功能和 FIFO 控制机制允许实施软件流量控制。
- 支持 RS-485/9 位 /EIA-485 模式。
- USART3 包含一种支持红外线通信的 IrDA 模式。
- 所有 USART 均支持 DMA。
- 支持比特率高达 8Mbit/s 的同步模式。
- 智能卡模式符合 ISO7816 规范

7.18.3 SPI 串行 I/O 控制器

LPC4350/30/20/10 包含一个 SPI 控制器。SPI 一种全双工串行接口，用以处理多个连接到指定总线上的主机和从机。在指定数据传送过程中，接口上只能有一个主机和一个从机进行通信。在数据传送中，主机始终会向从机发送 8 位至 16 位的数据，而从机也始终会向主机发送 8 位至 16 位的数据。

7.18.3.1 特性

- 最大 SPI 数据比特率 < 待定 >
- 符合 SPI 规范
- 同步、串行、全双工通信
- SPI 主机和从机的结合
- 最大数据位速率为输入时钟速率的 1/8。
- 每次可以传送 8 至 16 位

7.18.4 SSP 串行 I/O 控制器

注：LPC4350/30/20/10 包含两个 SSP 控制器。

SSP 控制器能够在 SPI、4 线 SSI 或 Microwire 总线上进行操作。它可与总线上的多个主机和从机进行交互。在指定数据传送过程中，总线上只能有一个主机和一个从机进行通信。SSP 支持全双工传输，4 位至 16 位的数据帧可在主机与从机之间来回流动。在实际应用中，两个数据流往往只有一个会传送有意义的数据。

7.18.4.1 特性

- 最大 SSP 速度 < 待定 > Mbit/s（主机）或 < 待定 > Mbit/s（从机）
- 兼容摩托罗拉 SPI、4 线德州仪器 SSI 和国家半导体 Microwire 总线
- 同步串行通信
- 主机或从机操作
- 同时适用于发送与接收的 8 帧 FIFO
- 4 位至 16 位帧
- GPDMA 支持 DMA 传输

7.18.5 I²C 总线接口

注：每个 LPC4350/30/20/10 均包含两个 I²C 总线接口。

I²C 总线是双向的，仅使用以下两根线进行 I²C 控制：串行时钟线 (SCL) 和串行数据线 (SDA)。每个设备均由一个唯一的地址进行识别，并且可用作一个纯接收器设备（例如，LCD 驱动器）或一个同时具有信息收发功能的发送器（例如，存储器）。发送器和 / 或接收器可在主机或从机模式下工作，具体取决于芯片是需要启动数据传输还是只被寻址。I²C 是一种多主机总线，可由所连接的多个总线主机进行控制。

7.18.5.1 特性

- I²C0 是一种符合 I²C 标准的总线接口（具有开漏引脚）。I²C0 还支持超快速模式，比特率最高为 1 Mbit/s。
- I²C1 使用标准 I/O 引脚，比特率最高为 400 kbit/s（快速 I²C 总线）。
- 易于配置为主机、从机或主机 / 从机。
- 可编程时钟实现了通用速率控制。

- 在主机与从机之间的双向数据传输。
- 多主机总线（无中央主机）。
- 在同时发送的主机之间进行仲裁，从而避免总线上的串行数据的讹误。
- 串行时钟同步允许具有不同位率的设备通过一个串行总线通信。
- 串行时钟同步可用作一种反馈检验机制来挂起和恢复串行传输。
- I²C 总线可用于测试和诊断。
- 所有 I²C 总线控制器均支持多个地址识别和总线监控模式。

7.18.6 I²S 接口

注：每个 LPC4350/30/20/10 包含两个 I²S 总线接口。

I²S 总线提供有一个适合数字音频应用程序的标准通信接口。

I²S 总线规范使用一条数据线、一条时钟线和一个字选择信号定义了一个 3 线串行总线。基本的 I²S 总线连接具有一个主机（它始终作为主机）和一个从机。I²S 总线接口提供了一个独立的发送与接收通道，其中每一个均可用作主机或从机。

7.18.6.1 特性

- 两个 I²S 接口都具有独立的输入/输出通道，其中每一个均可在主机或从机模式下工作。
- 能够处理 8 位、16 位和 32 位字长。
- 支持单声道和立体声音频数据。
- 采样频率范围介于 16 kHz 至 192 kHz 之间（16、22.05、32、44.1、48、96、192）kHz。
- 支持音频主时钟。
- 主机模式下的可配置字选择周期（单独针对 I²S 总线输入和输出）。
- 提供两个 8 字 FIFO 数据缓冲区，其中一个用于发送，另一个用于接收。
- 当缓存级别超过预编程界限时将生成中断要求。
- 两个 DMA 请求每个 I²S 接口都由可编程缓冲区级别控制。这些都是连接到 GPDMA 块。
- 控件包括复位、停止和静音选项（单独针对 I²S 总线输入和 I²S 总线输出）。

7.18.7 C_CAN

注：每个 LPC4350/30/20/10 包含两个 C_CAN 器件。

控制器局域网 (CAN) 定义为串行数据通信的高性能通信协议。C_CAN 控制器可根据 CAN 规范版本 2.0B，完全执行 CAN 协议。C_CAN 控制器支持具有高度可靠性的分布式实时控制，可构建功能强大、低成本多路布线的局域网。

7.18.7.1 特性

- 符合协议版本 2.0 部分 A 和 B。
- 支持最大 1 Mbit/s 的比特率。
- 支持 32 个消息对象。
- 每个消息对象都有自己的标识符掩码。
- 提供可编程 FIFO 模式（消息对象的级联）。
- 提供可屏蔽中断。
- 对于时间触发的 CAN 应用，支持“禁用自动重传 (DAR)”模式。

- 为自检操作提供可编程环回模式。

7.19 计数器 / 定时器和马达控制

7.19.1 32 位通用定时器 / 外部事件计数器

LPC4350/30/20/10 具有四个 32 位定时器 / 计数器。定时器 / 计数器旨在对系统导出的时钟或外部提供的时钟的周期进行计数。它可根据四个匹配寄存器选择产生中断、产生定时 DMA 请求，或者在指定的定时器值执行其他操作。每个定时器 / 计数器还包括两个捕获输入，用来在输入信号跳变时捕获定时器值，同时可根据需要产生一个中断。

7.19.1.1 特性

- 一个带有可编程 32 位前置分频器的 32 位定时器 / 计数器。
- 计数器或定时器操作。
- 每个定时器有两个 32 位捕获通道，可在输入信号跳变时快速捕获定时器值。捕获事件也可能会产生一个中断。
- 四个 32 位匹配寄存器允许：
 - 连续操作，可选择在匹配时产生中断。
 - 在与可选中断生成相匹配时停止定时器运行。
 - 在与可选中断生成相匹配时进行定时器复位。
- 匹配寄存器拥有四个外部输出，它们具有如下功能：
 - 匹配时设置低电平。
 - 匹配时设置高电平。
 - 匹配时切换。
 - 匹配时不执行任何操作。
- 最多有两个匹配寄存器可用来产生定时 DMA 请求。

7.19.2 马达控制 PWM

马达控制 PWM 是一个专门的 PWM，支持三相马达和其他组合。系统会提供反馈输入，以便自动检测转子位置，并利用这些信息来加大或减小速度。此外还会提供中止输入，以便让 PWM 立即释放所有马达驱动输出。与此同时，可就其他通用定时、计数、捕获和比较应用对马达控制 PWM 进行详细的配置。

7.19.3 正交编码器接口 (QEI)

正交编码器，又名双通道增量式编码器，把角位移转换成两个脉冲信号。通过监控脉冲的数量和两个信号的相对相位，用户可以跟踪位置、旋转方向和速度。另外还有第三个通道，或索引信号，可用于复位位置计数器。正交编码器接口会对正交编码器轮产生的数字脉冲进行解码，以便求出位置对时间的积分并确定旋转的方向。此外，QEI 还可捕获编码器轮的速度。

7.19.3.1 特性

- 跟踪编码器位置。
- 根据方向进行递增 / 递减计数。
- 可对 2× 或 4× 位置计数进行编程。
- 使用内置定时器来捕获速度。
- 速度比较功能，可产生“小于”中断。

- 使用 32 位寄存器来保存位置和速度。
- 三个位置比较寄存器，可产生中断。
- 用于记录转数的索引计数器。
- 索引比较寄存器，可产生中断。
- 可结合索引和位置中断来产生整个位移或局部旋转位移的中断。
- 带可编程编码器输入信号延迟的数字滤波器。
- 可接受已解码的信号输入（时钟和方向）。

7.19.4 重复中断 (RI) 定时器

重复中断定时器提供了一个自由运行的 32 位计数器，它将与一个可选值进行比较，在出现匹配时会产生一个中断。可以屏蔽定时器 / 比较的任意位，使其避开匹配检测。重复中断定时器可用于创建一个按预定的时间间隔重复的中断。

7.19.4.1 特性

- 32 位计数器。计数器可自由运行，或通过一个已产生的中断来复位。
- 32 位比较值。
- 32 位比较掩码。计数器值等于比较值时，会在遮蔽后生成中断。这样可实现简单比较无法实现的组合。

7.19.5 窗口化看门狗定时器 (WWDT)

看门狗的用途是，在软件未能在可编程设定的时间窗口内定期为控制器提供服务时复位该控制器。

7.19.5.1 特性

- 如果没有在可编程设定的超时期间内定期重新载入，则产生片内复位。
- 可选的窗口操作需要在最短与最长时间周期（这两者均可编程设定）范围内重新载入。
- 可在看门狗超时之前的可编程时间生成可选的警报中断。
- 可通过软件使能，但需要硬件复位或禁用看门狗复位 / 中断。
- 错误的喂狗时序会令看门狗产生复位或中断（如使能）。
- 具有指示看门狗复位的标志。
- 带内部前置分频器的可编程 24 位定时器。
- 可从 $(T_{cy}(WDCLK) \times 256 \times 4)$ 到 $(T_{cy}(WDCLK) \times 2^{24} \times 4)$ 中选择 $T_{cy}(WDCLK) \times 4$ 倍数的时间周期。

7.20 模拟外设

7.20.1 模数转换器 (ADC0/1)

7.20.1.1 特性

- 10 位逐次逼近型模数转换器。
- 输入在 8 个引脚中多路复用。
- 掉电模式。
- 测量范围：0 至 VDDA。
- 采样频率最高为 400 kSamples/s。

- 用于单个或多个输入的连发转换模式。
- 可选择由ADCTRIG0或ADCTRIG1 引脚、结合定时器输出8或15或者PWM输出MCOA2 跳变来触发转换。
- 每个 A/D 通道的独立结果寄存器可减少中断开销。
- DMA 支持。

7.20.2 数模转换器 (DAC)

7.20.2.1 特性

- 10 位分辨率
- 采用单调性设计（电阻串结构）
- 转换速度可控
- 低功耗

7.21 RTC 电源域中的外围设备

7.21.1 RTC

“实时时钟 (RTC)” 是一组在系统电源开启时计量时间的计数器，电源关闭时也可使用。在 CPU 不访问其寄存器时耗电极低，特别是在低功耗模式下。RTC 时钟由一个会产生 1 Hz 内部时间基准的独立 32 kHz 振荡器进行计时，并由其自己的电源引脚 VBAT 自行供电。

7.21.1.1 特性

- 测量时间流逝，以维护日历和时钟。提供秒、分钟、小时、月日期、月、年、周日期及年日期。
- 超低功耗设计，支持电池供电系统。小于电池操作所需的 <待定>。使用 CPU 电源供电，如果有。
- 专用电池供电引脚。
- RTC 供电独立于芯片其它部分。
- 校准计数器允许使用 1 秒的分辨率进行调整，使每天误差不超过 1 秒。
- 时间寄存器任意方面的增量均可以生成周期性的中断。
- 可为具体日期 / 时间生成报警中断。

7.21.2 警报定时器

警报定时器是一个 16 位定时器，它从 1 kHz 开始按预设值倒数，最多间隔 1 分钟会发出警报。计数器达到 0x00 时触发状态位，并如果使能的话产生中断。

警报定时器是 RTC 电源域的一部分，可由电池供电。

7.22 系统控制

7.22.1 配置寄存器 (CREG)

以下设置在配置寄存器块中进行控制：

- BOD 断路设置
- 振荡器输出
- DMA 至外设复用

- 以太网模式
- 存储器映射
- 定时器 /USART 输入
- 使能 USB 控制器

此外，CREG 块还包含器件识别和器件配置信息。

7.22.2 系统控制单元 (SCU)

系统控制单元决定了数字引脚的功能和电气模式，允许在引脚说明可采用的两种模式（模拟模式和数字模式）之间进行切换。所有引脚默认选择功能 0，并使能上拉电阻。

模拟 I/O（如一组 ADC 和 DAC 引脚）以及大多数 USB 功能均驻留于独立引脚上，并且不通过 SCU 进行控制。

7.22.3 时钟产生单元 (CGU)

时钟产生单元 (CGU) 可产生若干个基准时钟。CGU 输出在频率和相位方面不相关，并且在 CGU 内可以有不同的时钟源。一个 CGU 输出会被发送至 CLKOUT 引脚。

每个时钟区域内可能有多个分支时钟，这就为电源管理提供了灵活的控制。所有分支时钟都是两个时钟控制单元 (CCU) 之一的输出，并且可以单独进行控制。来自同一个基准时钟的分支时钟在频率和相位方面会保持同步。

7.22.4 内部 RC 振荡器 (IRC)

IRC 用作 WWDT 的时钟源，以及 / 或者用作依次驱动 PLL 和 CPU 的时钟。标称的 IRC 频率为 12 MHz。可对 IRC 进行调整，使其在整个电压和温度范围内精确到 1%。

上电或任何芯片复位后，LPC4350/30/20/10 会使用 IRC 作为时钟源。软件稍后可能会切换到其他可用时钟源之一。

7.22.5 PLL0USB（用于 USB0）

PLL0 是一种适用于 USB0 高速控制器的专用 PLL。

PLL0 接受来自外部振荡器的输入时钟频率，范围介于 14 kHz 与 25 MHz 之间。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。CCO 的工作频率范围介于 4.3 MHz 与 550 MHz 之间。

7.22.6 PLL0AUDIO（用于音频）

音频 PLL PLL0AUDIO 是一个步长非常小的通用 PLL。此 PLL 接受来自外部振荡器或内部 IRC 的输入时钟频率。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。 $\Sigma - \Delta$ 转换器会调制 PLL 分频比率，以获得所需的输出频率。输出频率可设置为采样频率 f_s 的倍数，比如： $32 \times f_s$ 、 $64 \times f_s$ 、 $128 \times f_s$ 、 $256 \times f_s$ 、 $384 \times f_s$ 和 $512 \times f_s$ 。采样频率 f_s 的范围介于 16 kHz 与 192 kHz 之间（16、22.05、32、44.1、48、96、192）kHz。也可以是其他多个频率。

7.22.7 系统 PLL1

PLL1 接受来自外部振荡器的输入时钟频率，范围介于 10 MHz 与 25 MHz 之间。输入频率可通过一个电流控制振荡器 (CCO) 倍增至高频。乘数可以是介于 1 至 32 之间的某个整数值。CCO 的工作频率范围介于 156 MHz 与 320 MHz 之间，因此在此锁相环中有一个额外的分频器，用以确保 CCO 位于其频率范围内的同时，PLL 能提供所需的输出频率。输出分频器可设置为按 2、4、8 或 16 分频，以产生输出时钟。由于输出分频器的最小值为 2，因

此这就确保了 PLL 输出有 50 % 的占空比。芯片复位后，PLL 会被关闭和绕过，并且可通过软件使能。程序必须配置并激活 PLL、等待 PLL 锁定，然后连接到 PLL 作为时钟源。PLL 建立时间为 100 μ s。

7.22.8 复位产生单元 (RGU)

RGU 允许为 LPC4350/30/20/10 上的各个模块和外围设备产生独立的复位信号。

7.22.9 功率控制

LPC4350/30/20/10 具有若干个独立的电源域，可控制内核和外围设备的功率（参见图 11）。RTC 及其关联的外围设备（警报定时器、CREG 块、OTP 控制器、备份寄存器和事件路由器）均位于 RTC 电源域中，它可由电池电源或主调压器供电。功率选择开关可确保 RTC 模块始终处于上电状态。

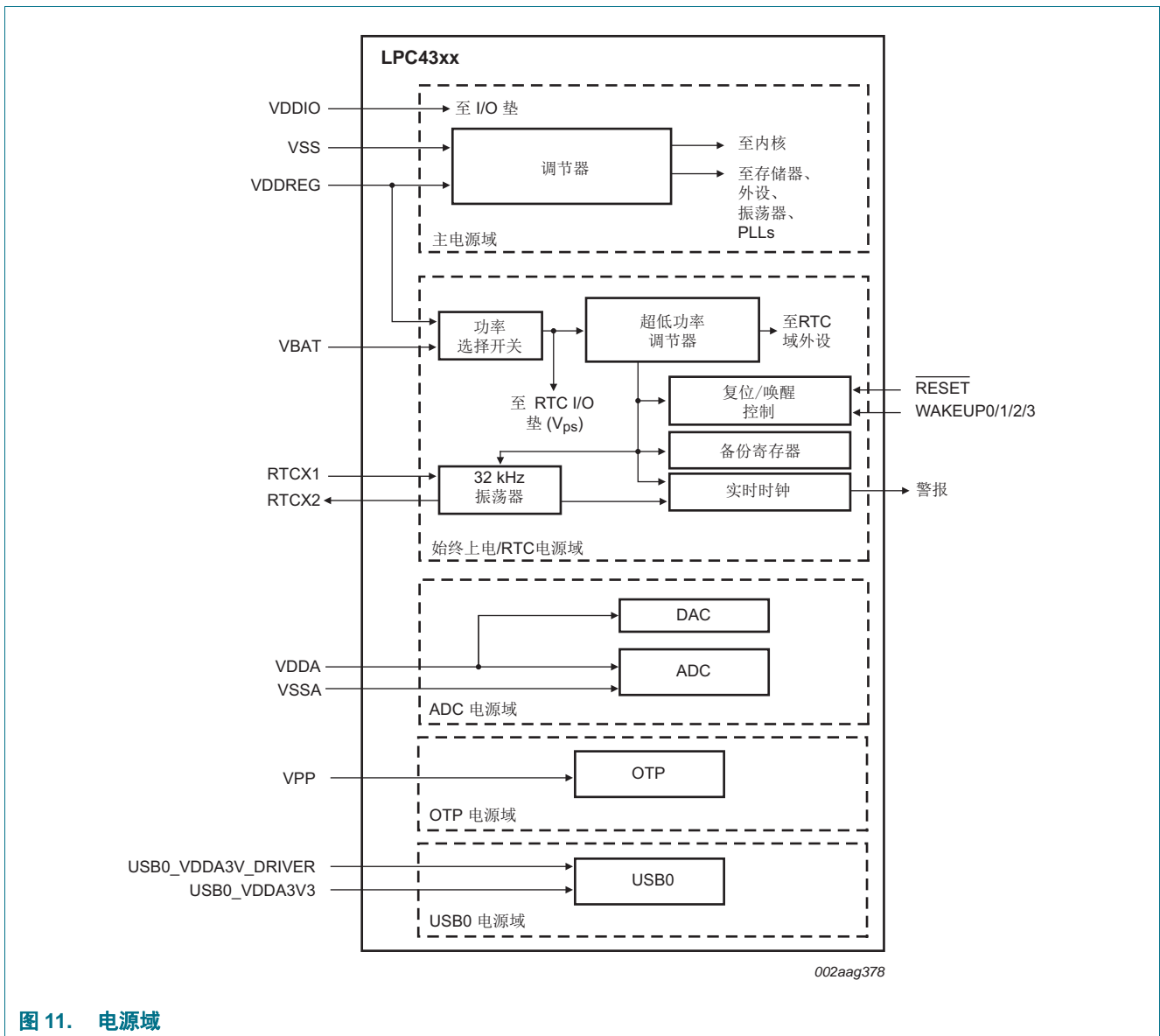


图 11. 电源域

LPC4350/30/20/10 支持 4 种低功耗模式：睡眠模式、深度睡眠模式、掉电模式和深度掉电模式。

LPC4350/30/20/10 可通过唤醒 [3:0] 引脚以及 RTC 电源域中的电池供电块所产生的中断，从深度睡眠模式、掉电模式和深度掉电模式中唤醒。

7.23 串行线调试 /JTAG

调试和跟踪功能集成到 ARM Cortex-M4 中。除了标准 JTAG 调试和并行跟踪功能外，还支持串行调试接口和跟踪功能。ARM Cortex-M4 经过配置后可支持多达 8 个断点和 4 个观察点。

ARM Cortex-M0 协处理器支持 JTAG 边界扫描和串行线调试。

8. 极限值

表 6. 极限值

依照“绝对最大额定值体系 (IEC 60134)”。^[1]

符号	参数	条件	最小值	最大值	单位
$V_{DD(REG)(3V3)}$	调压器的电源电压 (3.3 V)	位于引脚 VDD_REG 上	2.2	3.6	V
$V_{DD(IO)}$	输入 / 输出电源电压	位于引脚 VDDIO 上	2.2	3.6	V
$V_{DDA(3V3)}$	模拟电源电压 (3.3 V)	位于引脚 VDDA 上	2.2	3.6	V
V_{BAT}	电池电源电压	用于 RTC	2.2	3.6	V
$V_{prog(pf)}$	polyfuse 编程电压	位于引脚 VPP 上	2.7	3.6	V
V_I	输入电压	仅当存在 $V_{DD(IO)}$ 电源电压时才有效	^[2] -0.5	5.5	V
		容压为 5 V 的 I/O 引脚 (参见表 3)			
		为模拟功能配置的 ADC/DAC 引脚和数字 I/O 引脚 (参见表 3)	-0.5	$V_{DDA(3V3)}$	V
		USB0 引脚 (参见表 3)	0	5.2	V
		USB1 引脚: USB1_DP 和 USB1_DM (参见表 3)	0	5.2	V
I_{DD}	电源电流	每个电源引脚	^[3] -	100	mA
I_{SS}	接地电流	每个接地引脚	^[3] -	100	mA
I_{latch}	I/O 闩锁电流	$-(0.5V_{DD(IO)}) < V_I < (1.5V_{DD(IO)})$; $T_j < 125\text{ °C}$	-	100	mA
T_{stg}	存储温度		^[4] -65	+150	°C
$P_{tot(pack)}$	总功耗 (每个封装)	基于封装的热传递, 不是器件的功耗	-	1.5	W
V_{ESD}	静电放电电压	人体模型; 所有引脚	^[5] -2000	+2000	V

[1] 以下情况适用于极限值:

- a) 该产品包含专门设计用以保护其内部器件的电路, 用来防止过量静电荷的破坏作用。但建议仍要采取一些常规预防措施避免超过最大额定值。
- b) 参数在工作温度范围内有效, 除非另有说明。所有电压都是相对于 V_{SS} 而言的, 除非另有说明。

[2] 包含三态模式下输出端的电压; 电压为 2.0 V 时速度将会减慢。

[3] 峰值电流的上限为对应最大电流的 25 倍。

[4] 取决于封装类型。

[5] 相当于通过 1.5 k Ω 的串联电阻对 100 pF 电容放电。

9. 热学特性

芯片结温的平均值 T_j (°C) 可使用以下公式进行计算:

$$T_j = T_{amb} + (P_D \times R_{th(j-a)}) \quad (1)$$

- T_{amb} = 环境温度 (°C),
- $R_{th(j-a)}$ = 封装结点到环境的热阻 (°C/W)
- P_D = 内部和 I/O 功耗的总和

内部功耗等于 I_{DD} 和 V_{DD} 的乘积。I/O 引脚的 I/O 功耗往往较小, 很多时候都可以忽略不计。不过, 它在某些应用中可能比较重要。

表 7. 热学特性

$V_{DD} = 2.2 \text{ V}$ 至 3.6 V ; $T_{amb} = -40 \text{ °C}$ 至 $+85 \text{ °C}$, 除非另有说明;

符号	参数	条件	最小值	典型值	最大值	单位
$T_{j(max)}$	最大结点温度		-	-	< 待定 >	°C

10. 静态特性

表 8. 静态特性

 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$, 除非另有说明。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
电源引脚						
$V_{DD(I/O)}$	输入 / 输出电源电压		2.2	-	3.6	V
$V_{DD(REG)(3V3)}$	调压器的电源电压 (3.3 V)		2.2	-	3.6	V
$V_{DDA(3V3)}$	模拟电源电压 (3.3 V)	位于引脚 VDDA 上	2.2	-	3.6	V
V_{BAT}	电池电源电压		2.2	-	3.6	V
$V_{DD(3V3)}$	电源电压 (3.3 V)	位于 V_{DD} 引脚上; 仅限于 LQFP100 封装	2.2	-	3.6	V
$I_{DD(REG)(3V3)}$	调压器的电源电流 (3.3 V)	调压器电源的工作模式; 代码 while(1){ 从 RAM 执行; 禁用所有外围设备				
		CCLK = 12 MHz ; 禁用 PLL1 [2][3]	-	6.5	-	mA
		CCLK = 12 MHz ; 使能 PLL1 [2][4]	-	7.5	-	mA
		CCLK = 120 MHz [2][4]	-	25	-	mA
		CCLK = 156 MHz [2][4]	-	30	-	mA
$I_{DD(REG)(3V3)}$	调压器的电源电流 (3.3 V)	调压器电源低功耗模式; 执行来自 RAM 的 WFE/WFI 指令后; 禁用所有外围设备				
		睡眠模式 [2][4]	-	5.5	-	mA
		深度睡眠模式 [2]	-	75	-	μA
		掉电模式 [2]	-	16	-	μA
		深度掉电模式 [2]	-	0.02	-	μA
I_{BAT}	电池电源电流	深度睡眠模式 [2][5]	-	15	-	μA
		掉电模式 [2][5]	-	15	-	μA
		深度掉电模式 [2][5]	-	3	-	μA
$I_{DD(I/O)}$	I/O 电源电流	深度睡眠模式	-	1	-	μA
		掉电模式	-	1	-	μA
		深度掉电模式	-	0.03	-	μA
$I_{DD(ADC)}$	ADC 电源电流	深度睡眠模式 [7]	-	0.4	-	μA
		掉电模式 [7]	-	0.4	-	μA
		深度掉电模式 [7]	-	0.007	-	μA

表 8. 静态特性 (续)

 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$, 除非另有说明。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
RESET 引脚						
V_{IH}	高电平输入电压		[6] $0.8 \times (V_{ps} - 0.35)$	-	5.5	V
V_{IL}	低电平输入电压		[6] -0.5	-	$0.3 \times (V_{ps} - 0.1)$	V
V_{hys}	滞回电压		[6] $0.05 \times (V_{ps} - 0.35)$	-	-	V
标准 I/O 引脚 - 普通驱动强度						
C_I	输入电容		-	-	2	pF
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 禁用片内上拉电阻	-	3	-	nA
I_{IH}	高电平输入电流	$V_I = V_{DD(I/O)}$; 禁用片内下拉电阻	-	-3	-	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$ 至 $V_{DD(I/O)}$; 禁用片内上拉/下拉电阻; 绝对值	-	3	-	nA
V_I	输入电压	引脚配置为提供数字功能; $V_{DD(I/O)} \geq 2.2\text{ V}$	[8] 0	-	5.5	V
		$V_{DD(I/O)} = 0\text{ V}$	0	-	3.6	V
V_O	输出电压	激活输出	0	-	$V_{DD(I/O)}$	V
V_{IH}	高电平输入电压		$0.7 \times V_{DD(I/O)}$	-	5.5	V
V_{IL}	低电平输入电压		-0.5	-	$0.3 \times V_{DD(I/O)}$	V
V_{hys}	滞回电压		$0.1 \times V_{DD(I/O)}$	-	-	V
V_{OH}	高电平输出电压	$I_{OH} = -6\text{ mA}$	$V_{DD(I/O)} - 0.4$	-	-	V
V_{OL}	低电平输出电压	$I_{OL} = 6\text{ mA}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-6	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	6	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9] -	-	86.5	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9] -	-	76.5	mA
I_{pd}	下拉电流	$V_I = 5\text{ V}$	[11] - [12] [13]	93	-	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$	[11] - [12] [13]	-62	-	μA
		$V_{DD(I/O)} < V_I \leq 5\text{ V}$	-	10	-	μA
R_s	串联电阻	位于 I/O 引脚上, 具有模拟功能; 使能模拟功能		200		Ω
I/O 引脚 - 高驱动强度						
C_I	输入电容		-	-	2	pF

表 8. 静态特性 (续)

 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$, 除非另有说明。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 禁用片内上拉电阻	-	3	-	nA
I_{IH}	高电平输入电流	$V_I = V_{DD(I/O)}$; 禁用片内下拉电阻	-	-3	-	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$ 至 $V_{DD(I/O)}$; 禁用片内上拉/下拉电阻; 绝对值	-	3	-	nA
V_I	输入电压	引脚配置为提供数字功能; $V_{DD(I/O)} \geq 2.2\text{ V}$	[8] 0	-	5.5	V
		$V_{DD(I/O)} = 0\text{ V}$	0	-	3.6	V
		激活输出	0	-	$V_{DD(I/O)}$	V
V_{OH}	高电平输出电压	激活输出	0	-	$V_{DD(I/O)}$	V
V_{IH}	高电平输入电压		$0.7 \times V_{DD(I/O)}$	-	5.5	V
V_{IL}	低电平输入电压		-0.5	-	$0.3 \times V_{DD(I/O)}$	V
V_{hys}	滞回电压		$0.1 \times V_{DD(I/O)}$	-	-	V
I_{pd}	下拉电流	$V_I = V_{DD(I/O)}$	[11] [12] [13] -	62	-	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$	[11] [12] [13] -	-62	-	μA
		$V_{DD(I/O)} < V_I \leq 5\text{ V}$	-	10	-	μA
I/O 引脚 - 高驱动强度: 标准驱动模式						
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-4	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	4	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9] [12] -	-	32	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9] [12] -	-	32	mA
I/O 引脚 - 高驱动强度: 中等驱动模式						
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-8	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	8	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9] [12] -	-	65	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9] [12] -	-	63	mA
I/O 引脚 - 高驱动强度: 高驱动模式						
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-14	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	14	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9] [12] -	-	113	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9] [12] -	-	110	mA

表 8. 静态特性 (续)

 $T_{amb} = -40\text{ °C}$ 至 $+85\text{ °C}$, 除非另有说明。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
I/O 引脚 - 高驱动强度: 超高驱动模式						
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-20	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	20	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9] [12]	-	165	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9] [12]	-	156	mA
I/O 引脚 - 高速						
C_I	输入电容		-	-	2	pF
I_{IL}	低电平输入电流	$V_I = 0\text{ V}$; 禁用片内上拉电阻	-	3	-	nA
I_{IH}	高电平输入电流	$V_I = V_{DD(I/O)}$; 禁用片内下拉电阻	-	-3	-	nA
I_{OZ}	断态输出电流	$V_O = 0\text{ V}$ 至 $V_{DD(I/O)}$; 禁用片内上拉/下拉电阻; 绝对值	-	3	-	nA
V_I	输入电压	引脚配置为提供数字功能; $V_{DD(I/O)} \geq 2.2\text{ V}$ $V_{DD(I/O)} = 0\text{ V}$	[8] 0 0	-	5.5 3.6	V
V_O	输出电压	激活输出	0	-	$V_{DD(I/O)}$	V
V_{IH}	高电平输入电压		$0.7 \times V_{DD(I/O)}$	-	5.5	V
V_{IL}	低电平输入电压		-0.5	-	$0.3 \times V_{DD(I/O)}$	V
V_{hys}	滞回电压		$0.1 \times V_{DD(I/O)}$	-	-	V
V_{OH}	高电平输出电压	$I_{OH} = -8\text{ mA}$	$V_{DD(I/O)} - 0.4$	-	-	V
V_{OL}	低电平输出电压	$I_{OL} = 8\text{ mA}$	-	-	0.4	V
I_{OH}	高电平输出电流	$V_{OH} = V_{DD(I/O)} - 0.4\text{ V}$	-8	-	-	mA
I_{OL}	低电平输出电流	$V_{OL} = 0.4\text{ V}$	8	-	-	mA
I_{OHS}	高电平短路输出电流	拉高; 连接到地	[9]	-	86	mA
I_{OLS}	低电平短路输出电流	拉低; 连接至 $V_{DD(I/O)}$	[9]	-	76	mA
I_{pd}	下拉电流	$V_I = V_{DD(I/O)}$	[11] [12] [13]	-	62	μA
I_{pu}	上拉电流	$V_I = 0\text{ V}$	[11] [12] [13]	-	-62	μA
		$V_{DD(I/O)} < V_I \leq 5\text{ V}$	-	0	-	μA
开漏 I²C0 总线引脚						
V_{IH}	高电平输入电压		$0.7 \times V_{DD(I/O)}$	-	-	V

表 8. 静态特性 (续)

 $T_{amb} = -40\text{ °C}$ 至 $+85\text{ °C}$, 除非另有说明。

符号	参数	条件	最小值	典型值 [1]	最大值	单位
V_{IL}	低电平输入电压		-0.5	0.14	0.3 $V_{DD(I/O)}$	$\times V$
V_{hys}	滞回电压		$0.1 \times V_{DD(I/O)}$	-	-	V
V_{OL}	低电平输出电压	$I_{OLs} = 3\text{ mA}$	-	-	0.4	V
I_{LI}	输入泄漏电流	$V_I = V_{DD(I/O)}$	[10] -	4.5	-	μA
		$V_I = 5\text{ V}$	-	-	10	μA
振荡器引脚						
$V_{i(XTAL1)}$	XTAL1 引脚输入电压		-0.5	-	1.2	V
$V_{o(XTAL2)}$	XTAL2 引脚输出电压		-0.5	-	1.2	V
C_{io}	输入 / 输出电容		[14] -	-	0.8	pF
USB0 引脚 [15]						
R_{pd}	下拉电阻	位于引脚 USB0_VBUS 上	48	64	80	k Ω
V_{IC}	共模输入电压	高速模式	-50	200	500	mV
		全速 / 低速模式	800	-	2500	mV
		线性调频模式	-50	-	600	mV
$V_{i(dif)}$	差分输入电压		100	400	1100	mV
USB1 引脚 (USB1_DP/USB1_DM) [15]						
I_{OZ}	断态输出电流	$0\text{ V} < V_I < 3.3\text{ V}$	[15] -	-	10	μA
V_{BUS}	总线电源电压		-	-	5.25	V
V_{DI}	差分输入灵敏度电压	$ (D+) - (D-) $	0.2	-	-	V
V_{CM}	差分共模电压范围	包括 V_{DI} 范围	0.8	-	2.5	V
$V_{th(rs)se}$	单端接收器切换阈值		0.8	-	2.0	V
V_{OL}	低速 / 全速的低电平输出电压	$R_L, 1.5\text{ k}\Omega$ 至 3.6 V	-	-	0.18	V
V_{OH}	低速 / 全速的高电平输出电压 (驱动)	$R_L, 15\text{ k}\Omega$ 至 GND	2.8	-	3.5	V
C_{trans}	收发器电容	引脚到 GND	-	-	20	pF
Z_{DRV}	无法达到高速的驱动器的输出阻抗	$33\ \Omega$ 串联电阻; 稳态驱动	[16] 36	-	44.1	Ω

[1] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。

[2] $V_{DD(REG)(3V3)} = V_{DD(I/O)} = V_{DDA(3V3)} = 3.3\text{ V}$; $T_{amb} = 25\text{ °C}$ 适用于所有功耗测量。

[3] 禁用 PLL1。正常功率模式。

[4] PLL1 使能。正常功率模式。

[5] 位于引脚 VBAT 上; $T_{amb} = 25\text{ °C}$ 。 $V_{DD(REG)(3V3)}$ 不存在。

[6] V_{ps} 对应于电源开关的输出 (参见图 11), 它由 VBAT 和 $V_{DD(REG)(3V3)}$ 中的较大者确定。

[7] $V_{DDA(3V3)} = 3.3\text{ V}$; $T_{amb} = 25\text{ °C}$ 。

[8] $V_{DD(I/O)}$ 电源电压必须存在。

[9] 只要电流限制不超过器件允许的最大电流即可。

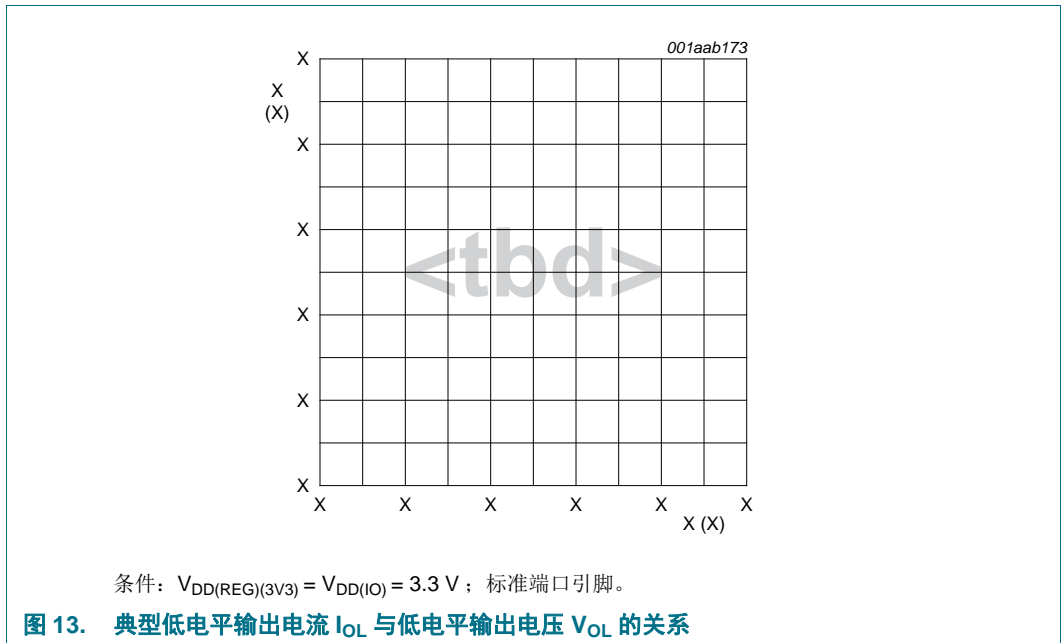
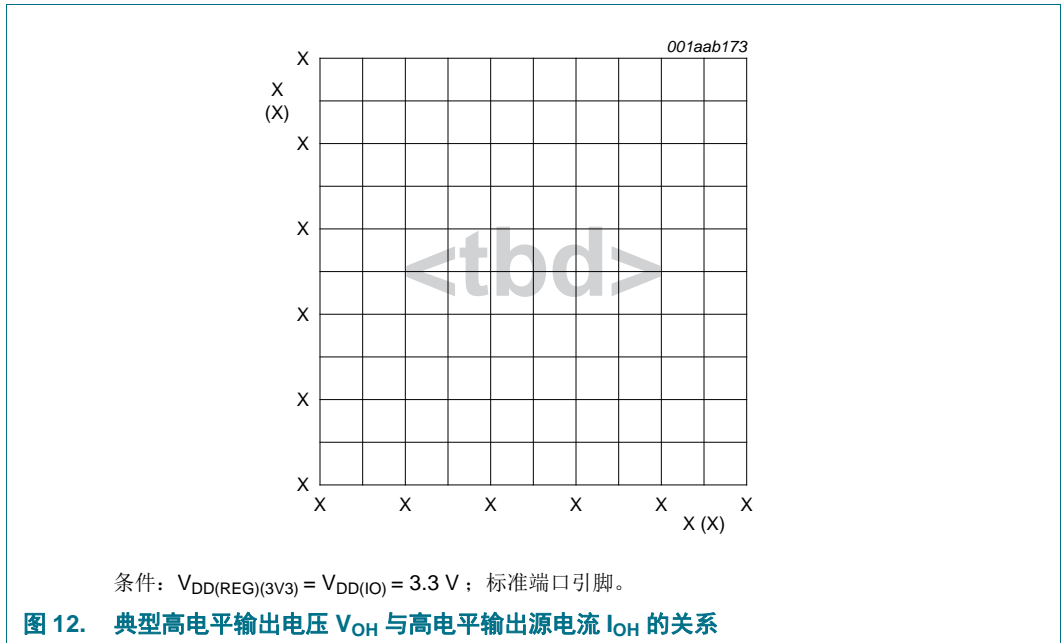
[10] 到 V_{SS} 。

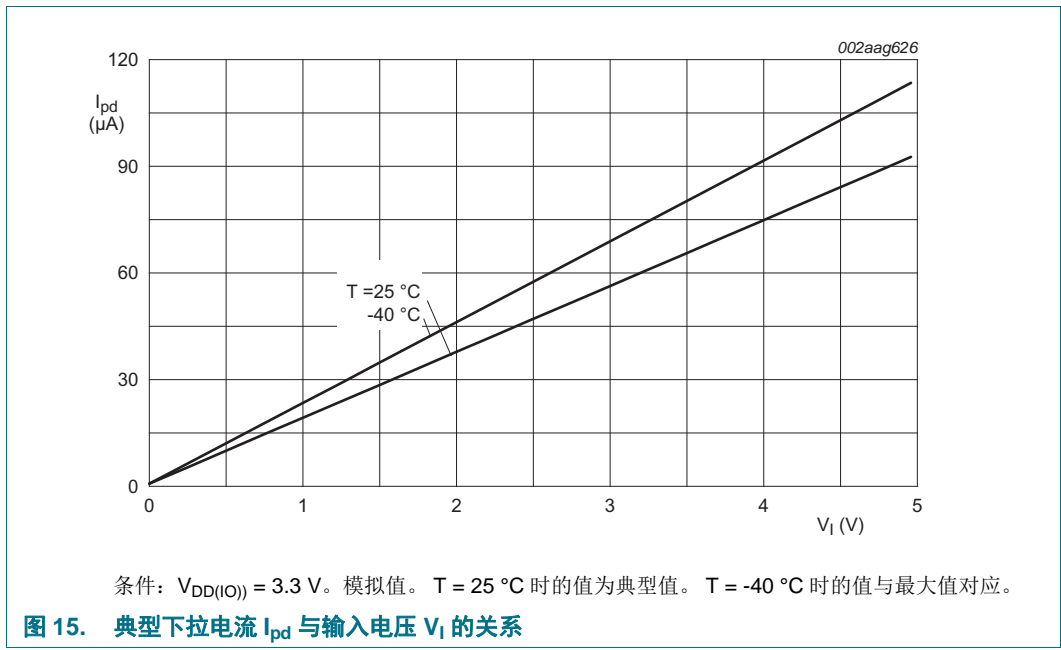
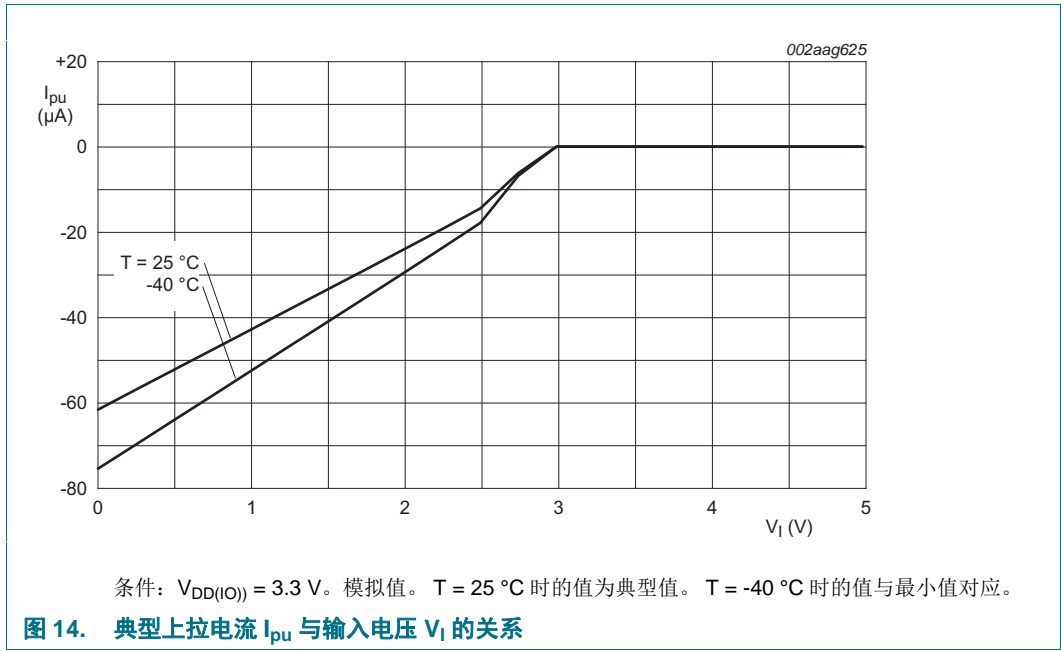
[11] 指定的值为模拟值和绝对值。

[12] 弱上拉电阻器与 $V_{DD(I/O)}$ 轨连接, 并将 I/O 引脚上拉至 $V_{DD(I/O)}$ 电位。

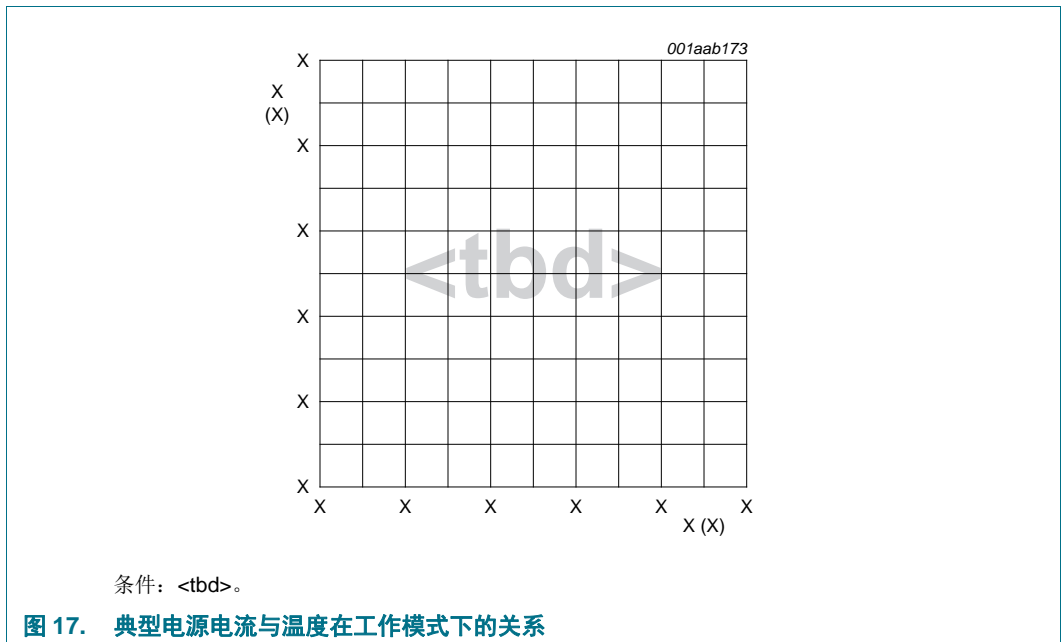
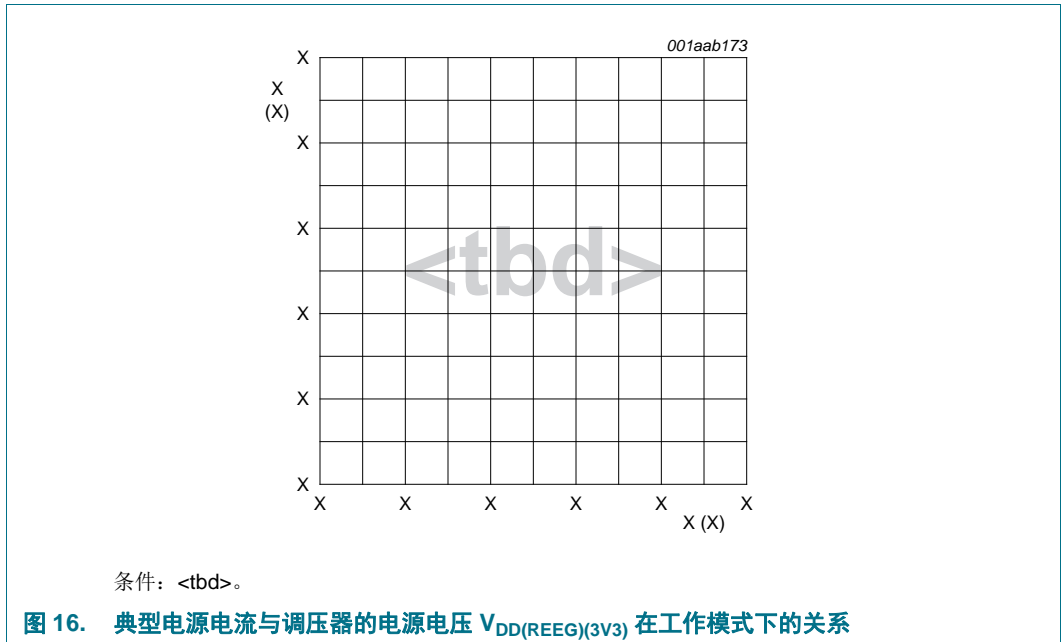
- [13] 外加输入电源超过 $V_{DD(I/O)}$ 时，输入单元禁用弱上拉电阻。
- [14] 指定的参数值为模拟值，不包括结合电容。
- [15] 对于 USB 操作， $3.0\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$ 。设计保证。
- [16] 包括 $33\ \Omega \pm 1\%$ （在 D+ 和 D- 上）的外部电阻。

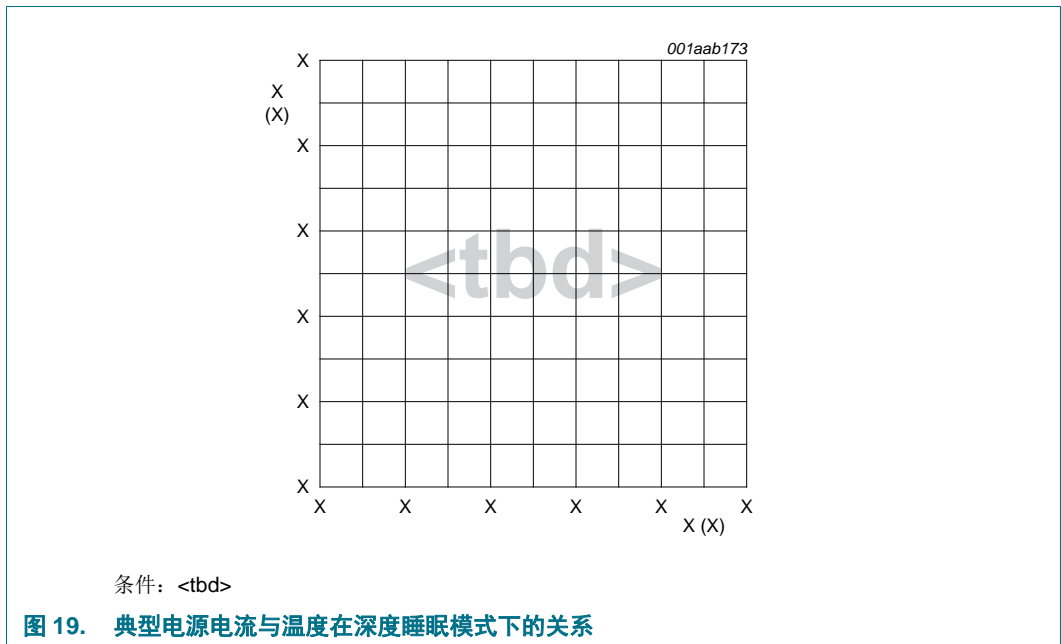
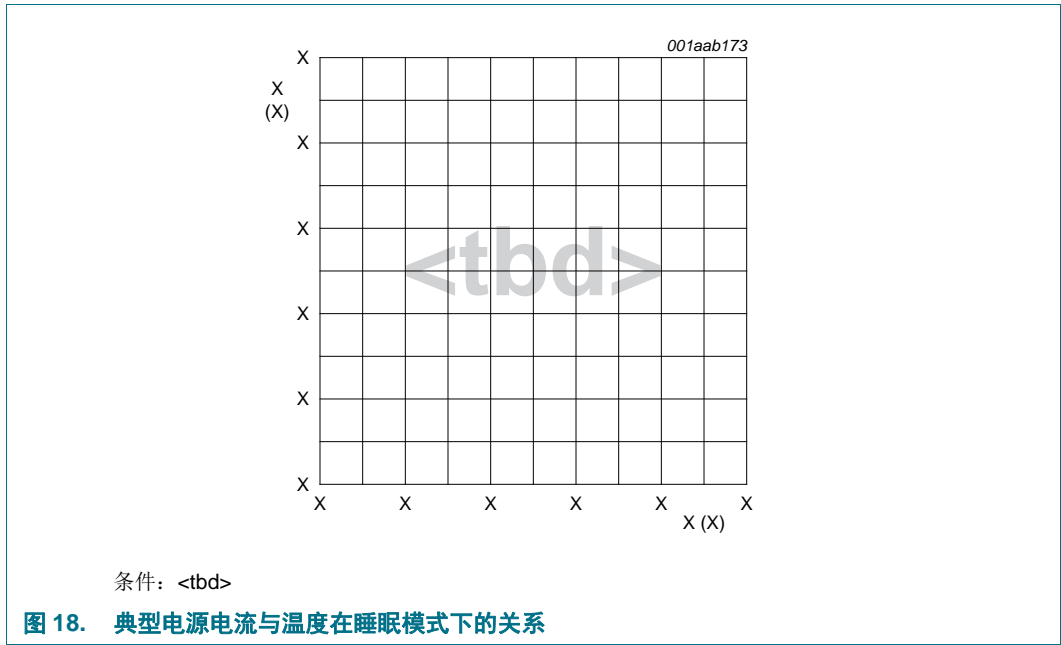
10.1 电气引脚特性





10.2 功耗





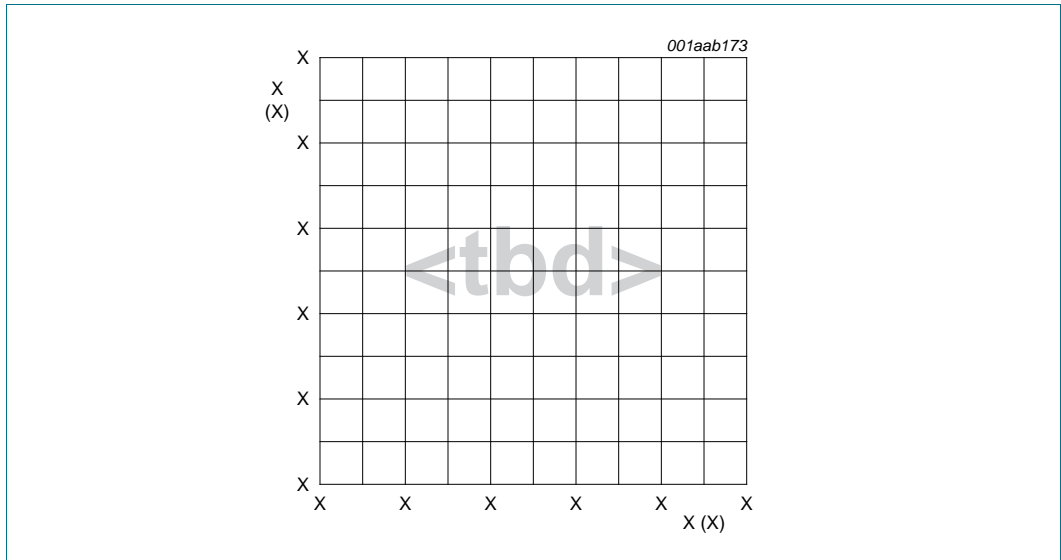


图 20. 典型电源电流与温度在掉电模式下的关系

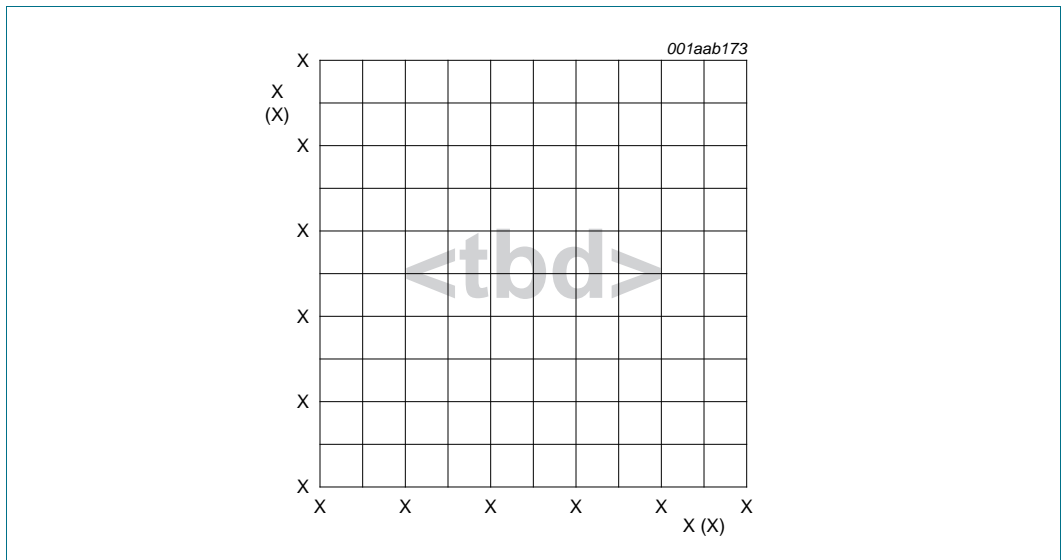


图 21. 典型电源电流与温度在深度掉电模式下的关系

表 9. 各个外围设备的功耗

 $T_{amb} = 25\text{ }^{\circ}\text{C}$; $V_{DD(VEEG)(3V3)} = 3.3\text{ V}$ 。

外设	条件	典型 I_{DD} ^[1]
<td>	<td>	

[1] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。

11. 动态特性

11.1 唤醒时间

表 10. 动态特性：从深度睡眠模式、掉电模式和深度掉电模式唤醒

$T_{amb} = -40\text{ °C}$ 至 $+85\text{ °C}$

符号	参数	条件	最小值	典型值 [1]	最大值	单位
t_{wake}	唤醒时间	从睡眠模式	[2] $3 \times T_{cy(clk)}$	$5 \times T_{cy(clk)}$	-	ns
		从深度睡眠模式和掉电模式	12	51	-	μs
		从深度掉电模式	-	250	-	μs
		复位后	-	250	-	μs

[1] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。

[2] $T_{cy(clk)} = 1/CCLK$, 其中 CCLK 表示 CPU 时钟频率。

11.2 外部时钟

表 11. 动态特性：外部时钟

$T_{amb} = -40\text{ °C}$ 至 $+85\text{ °C}$; 规定范围内的 $V_{DD(I/O)}$ 。 [1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
f_{osc}	振荡器频率		1	-	25	MHz
$T_{cy(clk)}$	时钟周期时间		40	-	1000	ns
t_{CHCX}	时钟高电平时间		$T_{cy(clk)} \times 0.4$	-	$T_{cy(clk)} \times 0.6$	ns
t_{CLCX}	时钟低电平时间		$T_{cy(clk)} \times 0.4$	-	$T_{cy(clk)} \times 0.6$	ns

[1] 参数在工作温度范围内有效，除非另有说明。

[2] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。

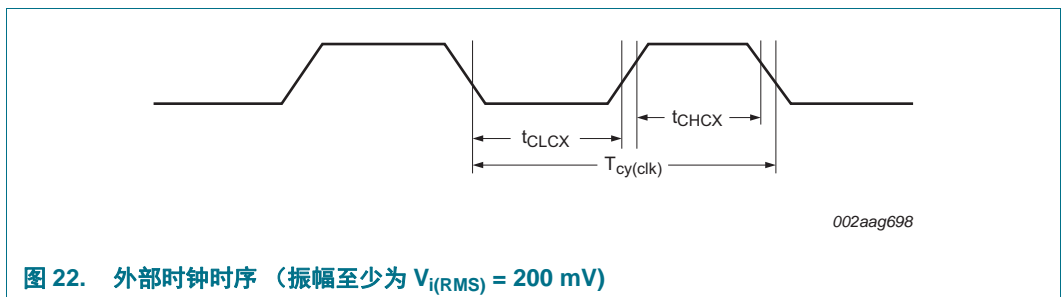


图 22. 外部时钟时序 (振幅至少为 $V_{i(RMS)} = 200\text{ mV}$)

11.3 晶体振荡器

表 12. 动态特性：振荡器

$T_{amb} = -40\text{ °C}$ 至 $+85\text{ °C}$; 规定范围内的 $V_{DD(I/O)}$ 、 $V_{DD(REG)(3V3)}$ 。 [1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
低频模式 (1 MHz - 20 MHz) [3]						
$t_{jit(per)}$	周期抖动时间	5 MHz 晶体	[3][4] -	13.2	-	ps
		10 MHz 晶体	-	6.6	-	ps
		15 MHz 晶体	-	4.8	-	ps

表 12. 动态特性：振荡器 (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ；规定范围内的 $V_{DD(I/O)}$ 、 $V_{DD(REG)(3V3)}$ [1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
高频模式 (20 MHz - 25 MHz)[6]						
$t_{jit(per)}$	周期抖动时间	20 MHz 晶体	[3][4] -	4.3	-	ps
		25 MHz 晶体	-	3.7	-	ps

- [1] 参数在工作温度范围内有效，除非另有说明。
- [2] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。
- [3] 指示 RMS 周期抖动。
- [4] 不包括 PLL 感应的抖动。
- [5] 选择 XTAL_OSC_CTRL 寄存器内的 HF = 0。
- [6] 选择 XTAL_OSC_CTRL 寄存器内的 HF = 1。

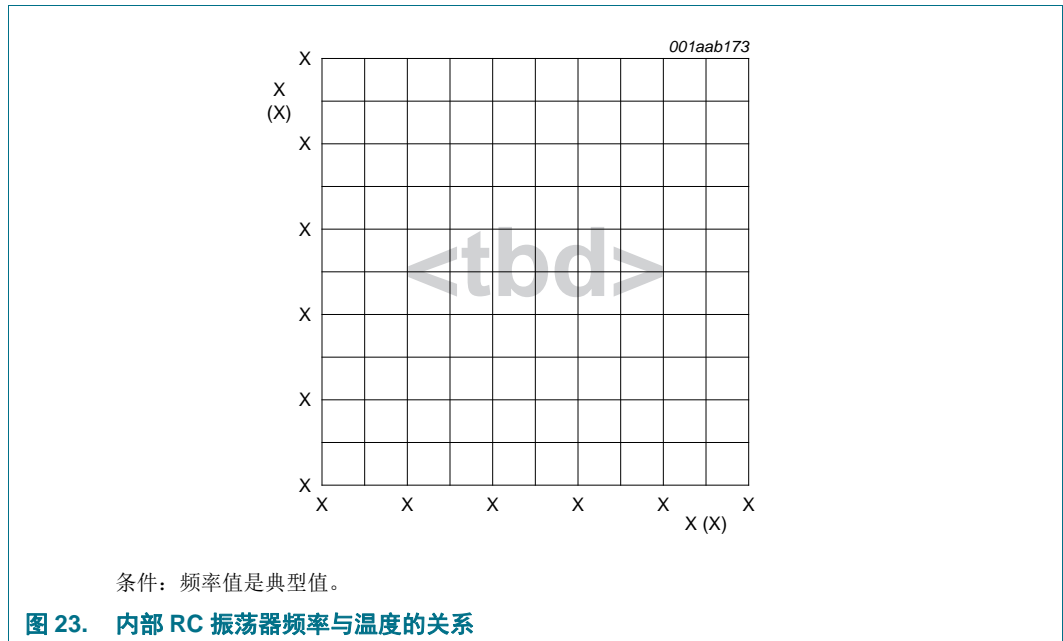
11.4 IRC 和 RTC 振荡器

表 13. 动态特性：IRC 和 RTC 振荡器

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$ ； $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$ 。 [1]

符号	参数	条件	最小值	典型值 [2]	最大值	单位
$f_{osc(RC)}$	内部 RC 振荡器频率	-	11.88	12	12.12	MHz
$f_{i(RTC)}$	RTC 输入频率	-	-	32.768	-	kHz

- [1] 参数在工作温度范围内有效，除非另有说明。
- [2] 无法保证得到典型额定值。上表列出的值是在室温 (25 °C)、标称的电源电压下测得的。



11.5 I²C 总线表 14. 动态特性: I²C 总线引脚
 $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$ 。 [1]

符号	参数	条件	最小值	最大值	单位
f _{SCL}	SCL 时钟频率	标准模式	0	100	kHz
		快速模式	0	400	kHz
		超快速模式	0	1	MHz
t _f	下降时间	[3][4][5][6] SDA 和 SCL 信号的 标准模式	-	300	ns
		快速模式	$20 + 0.1 \times C_b$	300	ns
		超快速模式	-	120	ns
t _{LOW}	SCL 时钟的低电平周期	标准模式	4.7	-	μs
		快速模式	1.3	-	μs
		超快速模式	0.5	-	μs
t _{HIGH}	SCL 时钟的高电平周期	标准模式	4.0	-	μs
		快速模式	0.6	-	μs
		超快速模式	0.26	-	μs
t _{HD;DAT}	数据保持时间	[2][3][7] 标准模式	0	-	μs
		快速模式	0	-	μs
		超快速模式	0	-	μs
t _{SU;DAT}	数据建立时间	[8][9] 标准模式	250	-	ns
		快速模式	100	-	ns
		超快速模式	50	-	ns

[1] 参数在工作温度范围内有效，除非另有说明。

[2] t_{HD;DAT} 是根据 SCL 的下降沿测量得出的数据保持时间；适用于数据传输和确认。

[3] 对于 SDA 信号，器件的内部必须能够提供至少 300 ns 的保持时间（关于 SCL 信号的 V_{IH(min)}），以便桥接 SCL 下降沿的未定义区域。

[4] C_b = 一条总线的总电容（以 pF 为单位）。如果与采用 Hs 模式的器件混用，则允许使用更快的下降时间。

[5] SDA 和 SCL 总线的最大 t_f 被指定为 300 ns。SDA 输出阶段的最大下降时间 t_f 被指定为 250 ns。这将使得串联保护电阻能够在 SDA 和 SCL 引脚与 SDA/SCL 总线之间进行连接，而不会超出指定的最大 t_f。

[6] 在超快速模式中，为输出阶段和总线时序指定的下降时间相同。如果使用串联电阻，那么设计者在考虑总线时序时应考虑及这种情况。

[7] 标准模式和快速模式的最大 t_{HD;DAT} 可以分别为 3.45 μs 和 0.9 μs，但必须小于按跳变时间计算的 t_{VD;DAT} 或 t_{VD;ACK} 的最大值。只有在器件没有延长 SCL 信号的低电平周期 (t_{LOW}) 时，才必须满足此最大值。如果时钟延长了 SCL，则在建立时间之前，数据必须一直有效，然后才能释放时钟。

[8] t_{SU;DAT} 是根据 SCL 的上升沿测量得出的数据建立时间；适用于数据传输和确认。

[9] 快速模式 I²C 总线器件可在标准模式 I²C 总线系统中使用，但必须满足 t_{SU;DAT} = 250 ns 这一要求。如果器件没有延长 SCL 信号的低电平周期，则会默认认为这种情况。如果此类器件没有延长 SCL 信号的低电平周期，则它必须将下一个数据位输出到 SDA 线 t_{r(max)} + t_{SU;DAT} = 1000 + 250 = 1250 ns（根据标准模式 I²C 总线规格），然后才能释放 SCL 线。此外，确认时序也必须满足此建立时间。

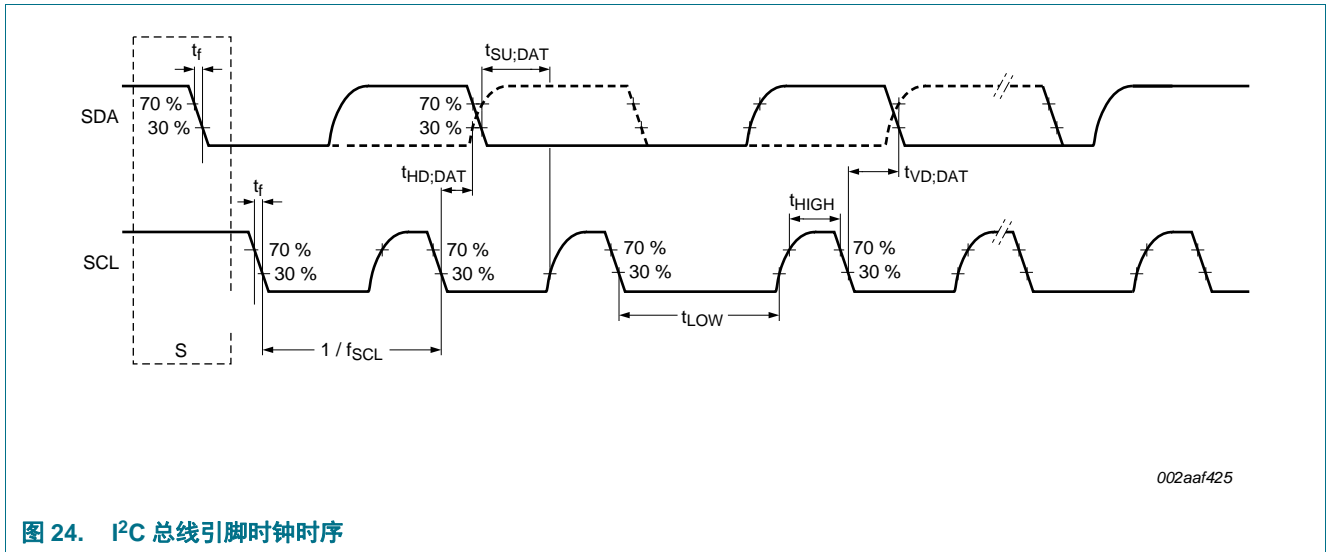


图 24. I²C 总线引脚时钟时序

11.6 I²S 总线接口

表 15. 动态特性: I²S 总线接口引脚

$T_{amb} = 25\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)}(3V3) \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$; $C_L = 20\text{ pF}$ 。条件和数据参考 I2S0 和 I2S1 引脚。模拟值。

符号	参数	条件	最小值	典型值	最大值	单位
通用输入和输出						
t_r	上升时间		-	4	-	ns
t_f	下降时间		-	4	-	ns
t_{WH}	脉冲宽度高	位于 I2Sx_TX_SCK 和 I2Sx_RX_SCK 引脚上	<td>	-	-	-
t_{WL}	脉冲宽度低	位于 I2Sx_TX_SCK 和 I2Sx_RX_SCK 引脚上	-	-	<td>	ns
输出						
$t_{v(Q)}$	数据输出有效时间	位于 I2Sx_TX_SDA 引脚上	-	4.4	-	ns
		位于 I2Sx_TX_WS 引脚上	-	4.3	-	ns
输入						
$t_{su(D)}$	数据输入建立时间	位于 I2Sx_RX_SDA 引脚上	-	0	-	ns
		位于 I2Sx_RX_WS 引脚上		0.20		ns
$t_h(D)$	数据输入保持时间	位于 I2Sx_RX_SDA 引脚上	-	3.7	-	ns
		位于 I2Sx_RX_WS 引脚上	-	3.9	-	ns

[1] I²S 总线接口时钟 BASE_APB1_CLK = 150 MHz; I²S 总线接口外设时钟 PCLK = BASE_APB1_CLK / 12。I²S 时钟周期时间 $T_{cy}(clk) = 79.2\text{ ns}$; 对应于 I²S 总线规格中的 SCK 信号。

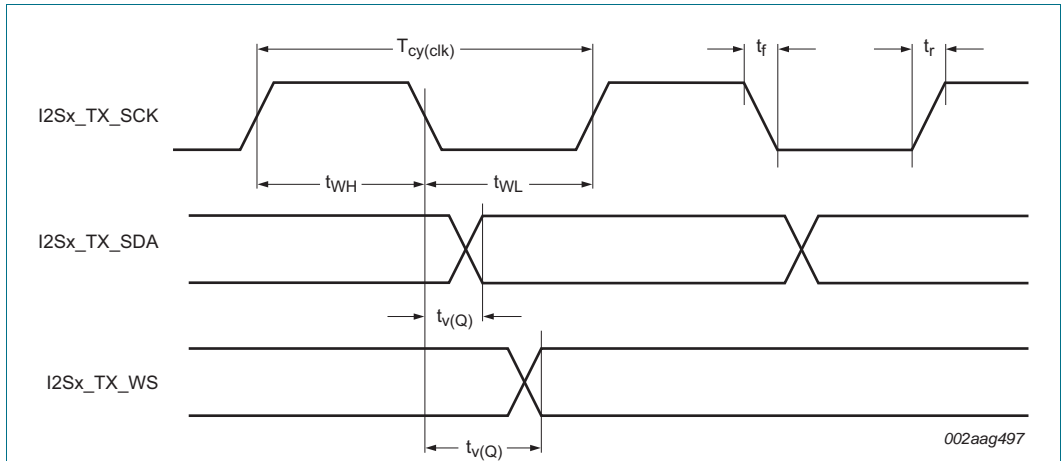


图 25. I²S 总线时序（发送）

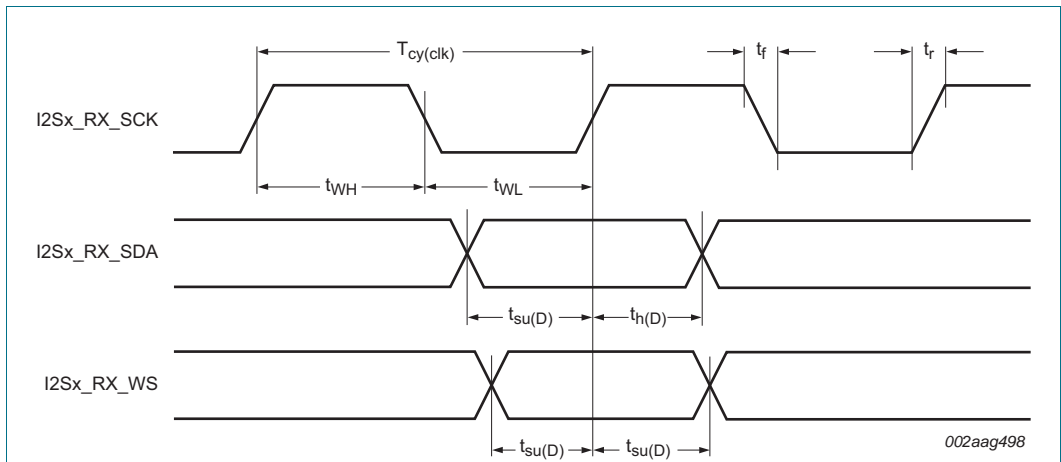


图 26. I²S 总线时序（接收）

11.7 USART 接口

表 16. 动态特性：USART 接口

$T_{amb} = 25\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)}(3V3) \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$; $C_L = 20\text{ pF}$ 。模拟值。

符号	参数	条件	最小值	典型值	最大值	单位
$T_{cy}(clk)$	时钟周期时间	位于 Ux_UCLK 引脚上	-	0.1	-	μs
输出						
$t_{V(Q)}$	数据输出有效时间	位于 Ux_TXD 引脚上	-	6.5	-	ns

11.8 SSP 接口

表 17. 动态特性: SPI 模式下的 SSP 引脚

$T_{amb} = 25\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(IO)} \leq 3.6\text{ V}$ 。模拟值。

符号	参数	条件	最小值	典型值	最大值	单位
$T_{cy}(clk)$	时钟周期时间	全双工模式	[1]	40	-	ns
		仅当发送时	-	20	-	ns
SSP 主机						
t_{DS}	数据建立时间	SPI 模式下	-	8.8	-	ns
t_{DH}	数据保持时间	SPI 模式下	-	-5.0	-	ns
$t_{V(Q)}$	数据输出有效时间	SPI 模式下	-	3.9	-	ns
$t_{h(Q)}$	数据输出保持时间	SPI 模式下	-	0.4	-	ns
SSP 从机						
$T_{cy}(PCLK)$	PCLK 周期时间		10			ns
$T_{cy}(clk)$	时钟周期时间		[2]	-	-	ns
t_{DS}	数据建立时间	SPI 模式下	-	10.5	-	ns
t_{DH}	数据保持时间	SPI 模式下	-	1	-	ns
$t_{V(Q)}$	数据输出有效时间	SPI 模式下	-	4.0	-	ns
$t_{h(Q)}$	数据输出保持时间	SPI 模式下	-	0.2	-	ns

[1] $T_{cy}(clk) = (SSPCLKDIV \times (1 + SCR) \times CPSDVSR) / f_{main}$ 。来自 SPI 比特率的时钟周期时间 $T_{cy}(clk)$ 是主时钟频率 f_{main} 、SSP 外围设备时钟分频器 (SSPCLKDIV)、SSP SCR 参数 (在 SSP0CR0 寄存器中指定) 以及 SSP CPSDVSR 参数 (在 SSP 时钟前置分频寄存器中指定) 的一个函数。

[2] $T_{cy}(clk) = 12 \times T_{cy}(PCLK)$ 。

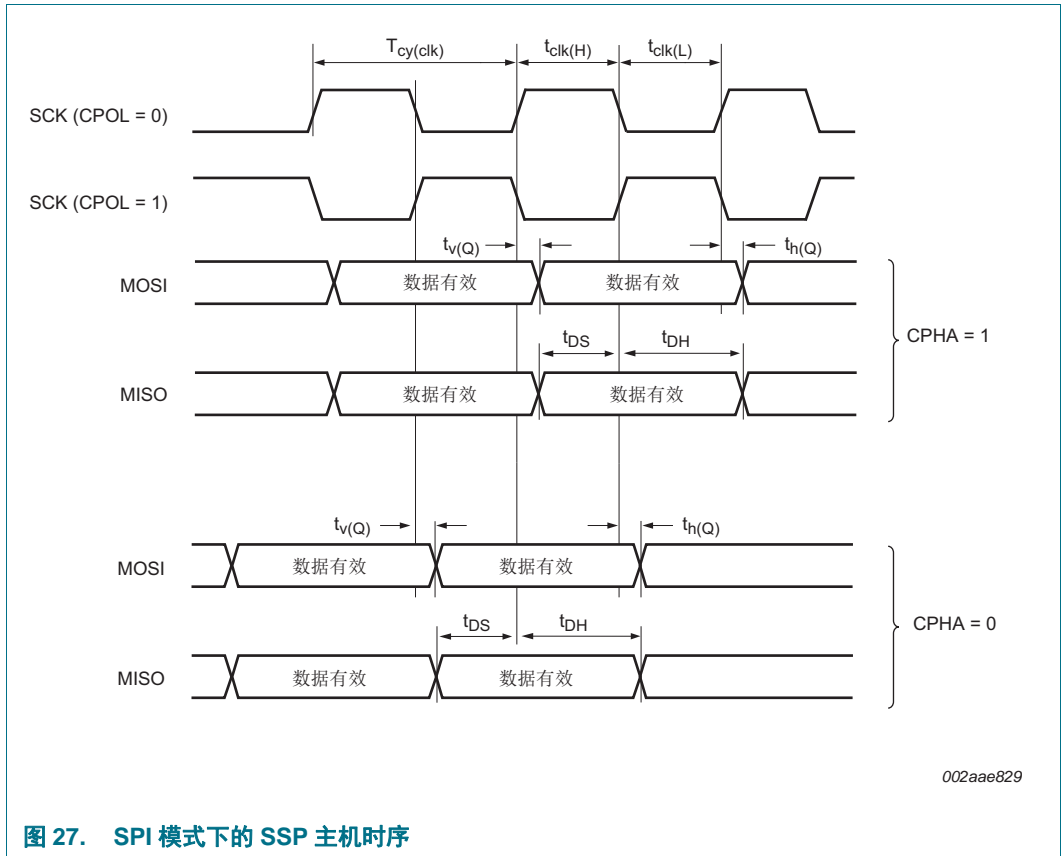


图 27. SPI 模式下的 SSP 主机时序

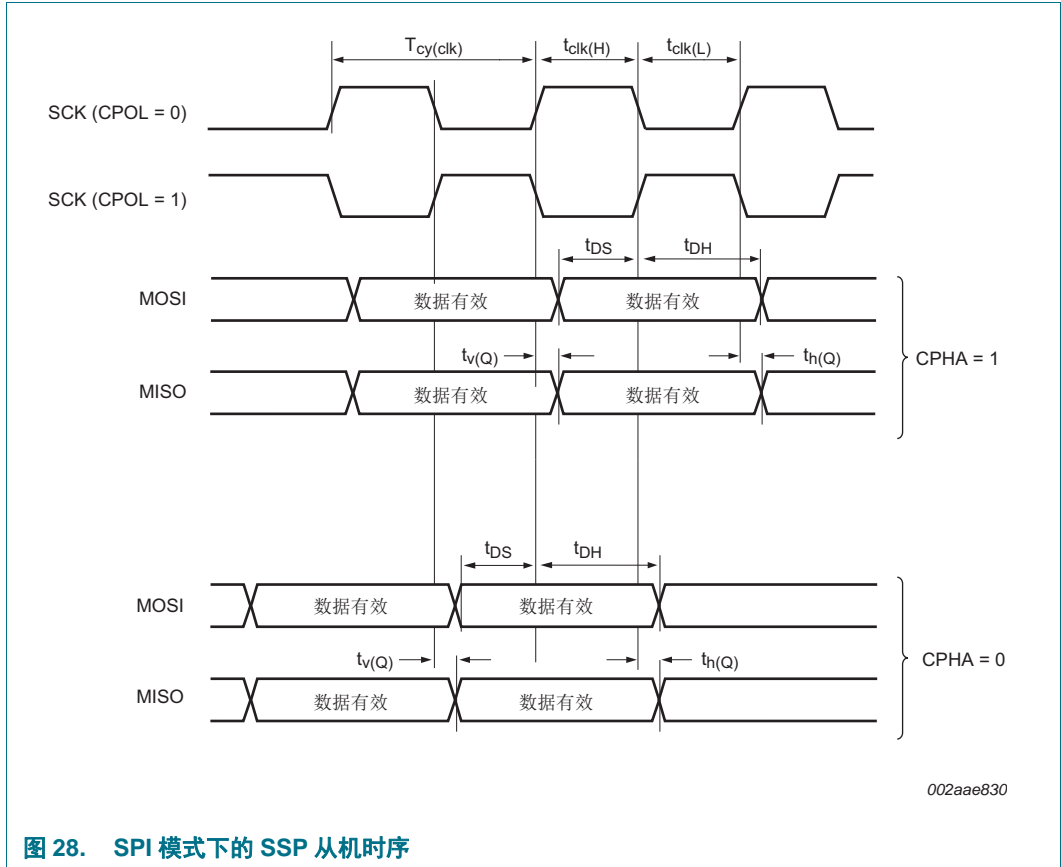


图 28. SPI 模式下的 SSP 从机时序

11.9 外部存储器接口

表 18. 动态特性：静态外部存储器接口

$C_L = 22 \text{ pF}$ ，用于 EMC_Dn $C_L = 20 \text{ pF}$ ，用于所有其他接口； $T_{amb} = -40 \text{ }^\circ\text{C}$ 至 $85 \text{ }^\circ\text{C}$ ； $2.2 \text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6 \text{ V}$ ； $2.7 \text{ V} \leq V_{DD(I/O)} \leq 3.6 \text{ V}$ ；由设计保证的值。

符号	参数 [1]	条件	最小值	典型值	最大值	单位
读周期参数						
t_{CSLAV}	\overline{CS} 低电平至地址有效的时		-3.1	-	1.6	ns
t_{CSLOEL}	\overline{CS} 低电平至 \overline{OE} 低电平的时		[2] $-0.6 + T_{cy(clk)} \times$ WAITOEN	-	$1.3 + T_{cy(clk)} \times$ WAITOEN	ns
$t_{CSLBLSL}$	\overline{CS} 低电平至 \overline{BLS} 低电平的时	PB = 1	-0.7	-	1.8	ns
t_{OELOEH}	\overline{OE} 低电平至 \overline{OE} 高电平的时		[2] $-0.6 +$ $(WAITRD -$ $WAITOEN + 1) \times$ $T_{cy(clk)}$	-	$-0.4 +$ $(WAITRD -$ $WAITOEN + 1) \times$ $T_{cy(clk)}$	ns
t_{am}	存储器访问时间		-	-	$-16 +$ $(WAITRD -$ $WAITOEN + 1) \times$ $T_{cy(clk)}$	ns
$t_{h(D)}$	数据输入保持时间		-16	-	-	ns
$t_{CSHBSLH}$	\overline{CS} 高电平至 \overline{BLS} 高电平的时	PB = 1	-0.4	-	1.9	ns

表 18. 动态特性：静态外部存储器接口 (续)

$C_L = 22 \text{ pF}$, 用于 EMC_Dn $C_L = 20 \text{ pF}$, 用于所有其他接口; $T_{amb} = -40 \text{ }^\circ\text{C}$ 至 $85 \text{ }^\circ\text{C}$; $2.2 \text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6 \text{ V}$; $2.7 \text{ V} \leq V_{DD(IO)} \leq 3.6 \text{ V}$; 由设计保证的值。

符号	参数 [1]	条件	最小值	典型值	最大值	单位
t_{CSHOEH}	$\overline{\text{CS}}$ 高电平至 $\overline{\text{OE}}$ 高电平的时间		-0.4	-	1.4	ns
t_{OEHANV}	$\overline{\text{OE}}$ 高电平至地址无效	PB = 1	-2.0	-	2.6	ns
t_{CSHEOR}	$\overline{\text{CS}}$ 高电平至读结束的时间		[3] -2.0	-	0	ns
t_{CSLSOR}	$\overline{\text{CS}}$ 低电平至读开始的时间		[4] 0	-	1.8	ns
写周期参数						
t_{CSLAV}	$\overline{\text{CS}}$ 低电平至地址有效的时间		-3.1	-	1.6	ns
t_{CSLDV}	$\overline{\text{CS}}$ 低电平至数据有效的时间		-3.1	-	1.5	ns
t_{CSLWEL}	$\overline{\text{CS}}$ 低电平至 $\overline{\text{WE}}$ 低电平的时间	PB = 1	-1.5	-	0.2	ns
$t_{CSLBLSL}$	$\overline{\text{CS}}$ 低电平至 $\overline{\text{BLS}}$ 低电平的时间	PB = 1	-0.7	-	1.8	ns
t_{WELWEH}	$\overline{\text{WE}}$ 低电平至 $\overline{\text{WE}}$ 高电平的时间	PB = 1	[2] $-0.6 + (\text{WAITWR} - \text{WAITWEN} + 1) \times T_{cy(\text{clk})}$	-	$-0.4 + (\text{WAITWR} - \text{WAITWEN} + 1) \times T_{cy(\text{clk})}$	ns
t_{WEHDNV}	$\overline{\text{WE}}$ 高电平至数据无效的时间	PB = 1	[2] $-0.9 + T_{cy(\text{clk})}$	-	$2.3 + T_{cy(\text{clk})}$	ns
t_{WEHEOW}	$\overline{\text{WE}}$ 高电平至写结束的时间	PB = 1	[2] [5] $-0.4 + T_{cy(\text{clk})}$	-	$-0.3 + T_{cy(\text{clk})}$	ns
$t_{CSLBLSL}$	$\overline{\text{CS}}$ 低电平至 $\overline{\text{BLS}}$ 低电平	PB = 0	-0.7	-	1.8	ns
$t_{BLSLBLSH}$	$\overline{\text{BLS}}$ 低电平至 $\overline{\text{BLS}}$ 高电平的时间	PB = 0	[2] $-0.9 + (\text{WAITWR} - \text{WAITWEN} + 1) \times T_{cy(\text{clk})}$	-	$-0.1 + (\text{WAITWR} - \text{WAITWEN} + 1) \times T_{cy(\text{clk})}$	ns
$t_{BLSHEOW}$	$\overline{\text{BLS}}$ 高电平至写结束的时间	PB = 0	[2] [5] $-1.9 + T_{cy(\text{clk})}$	-	$-0.5 + T_{cy(\text{clk})}$	ns
$t_{BLSHDNV}$	$\overline{\text{BLS}}$ 高电平至数据无效的时间	PB = 0	[2] $-2.5 + T_{cy(\text{clk})}$	-	$1.4 + T_{cy(\text{clk})}$	ns
t_{CSHEOW}	$\overline{\text{CS}}$ 高电平至写结束的时间		[5] -2.0	-	0	ns
$t_{BLSHDNV}$	$\overline{\text{BLS}}$ 高电平至数据无效的时间	PB = 1	-2.5	-	1.4	ns
t_{WEHANV}	$\overline{\text{WE}}$ 高电平至地址无效的时间	PB = 1	$-0.9 + T_{cy(\text{clk})}$	-	$2.4 + T_{cy(\text{clk})}$	ns

[1] 对于上升沿, 参数指定为 $V_{DD(IO)}$ 的 40%; 对于下降沿, 参数指定为 $V_{DD(IO)}$ 的 60%。

[2] $T_{cy(\text{clk})} = 1/\text{CCLK}$ (参见《LPC43xx 用户手册》)。

[3] 读结束 (EOR): 最长的 t_{CSHOEH} 、 t_{OEHANV} 和 t_{CSHLSH} 。

[4] 读开始 (SOR): 最长的 t_{CSLAV} 、 t_{CSLOEL} 和 $t_{CSLBLSL}$ 。

[5] 写结束 (EOW): 最早的无效地址或 $\overline{\text{EMC_BLSn}}$ 高电平。

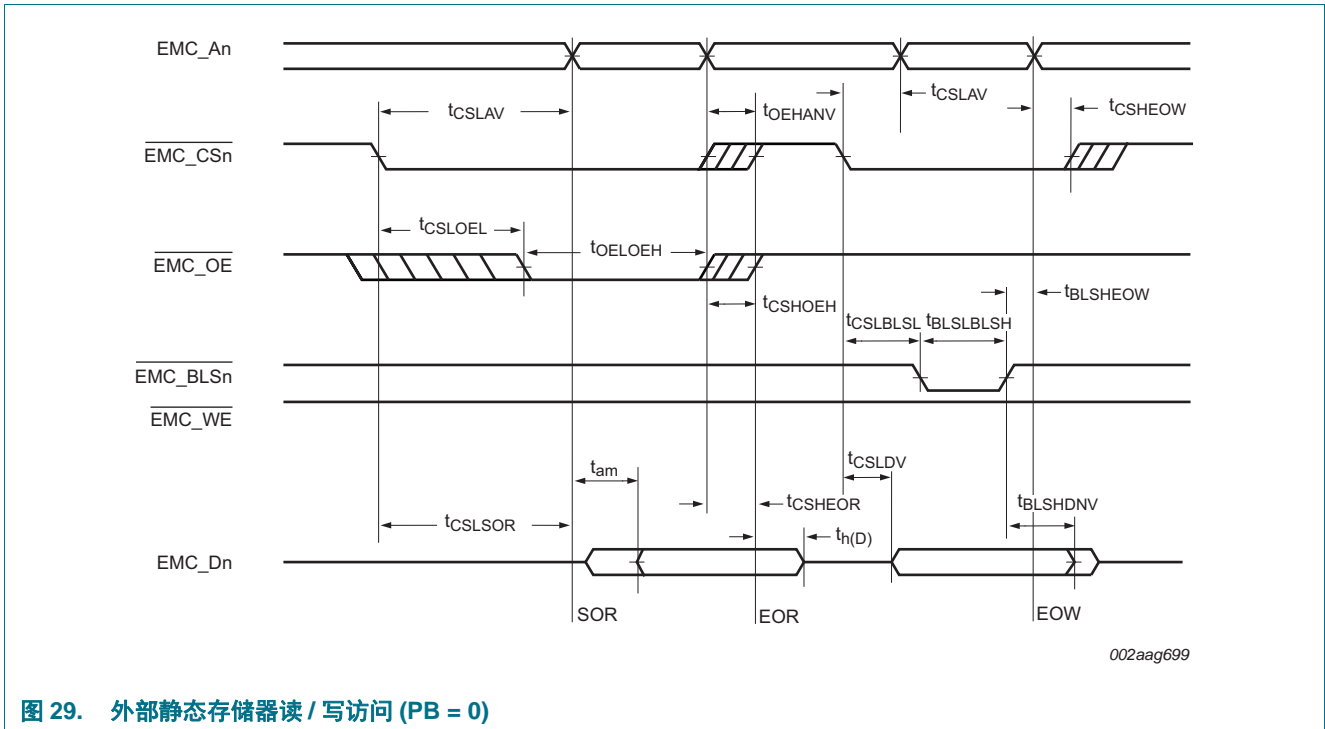


图 29. 外部静态存储器读 / 写访问 (PB = 0)

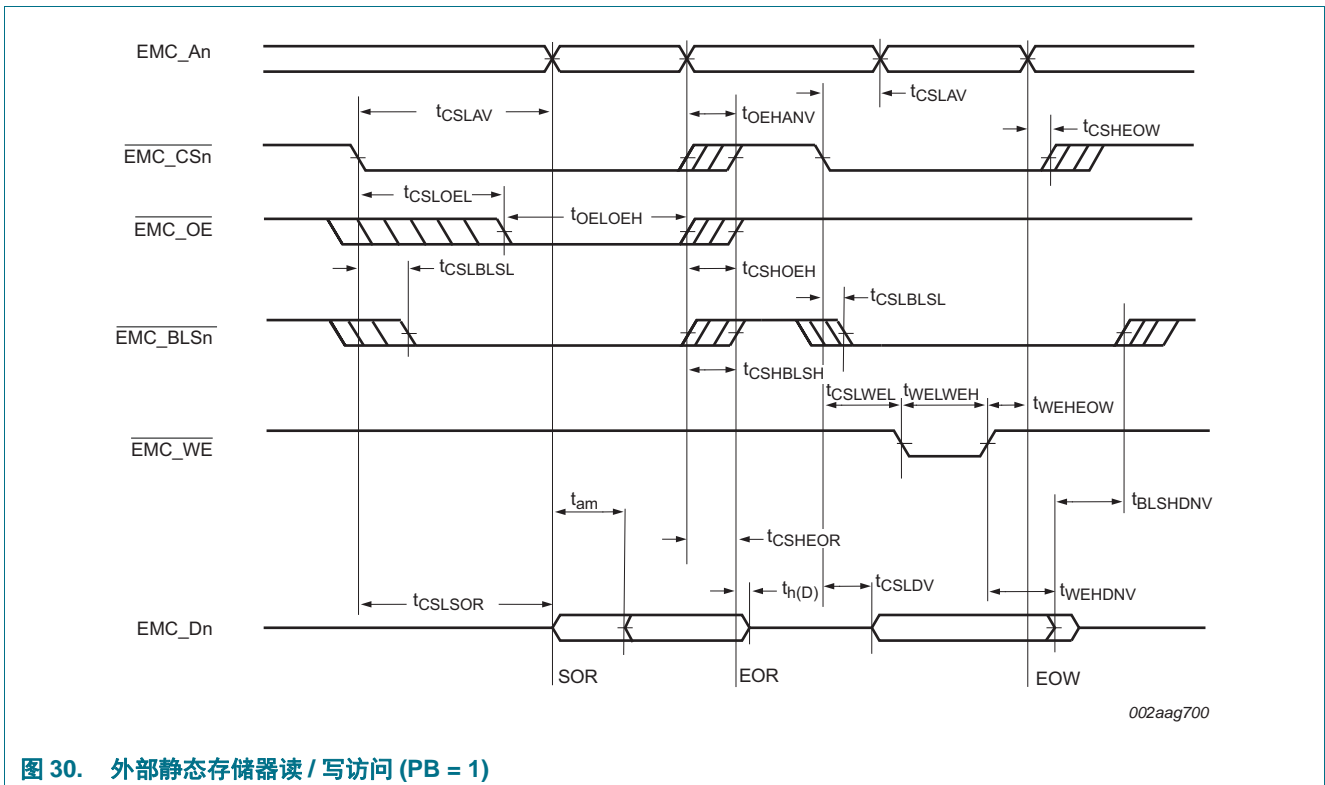


图 30. 外部静态存储器读 / 写访问 (PB = 1)

表 19. 动态特性：动态外部存储器接口

温度和过程范围中的模拟数据； $C_L = 10 \text{ pF}$ ，用于 $\overline{\text{EMC_DYCSn}}$ 、 $\overline{\text{EMC_RAS}}$ 、 $\overline{\text{EMC_CAS}}$ 、 $\overline{\text{EMC_WE}}$ 、 EMC_An ； $C_L = 9 \text{ pF}$ ，用于 EMC_Dn ； $C_L = 5 \text{ pF}$ ，用于 $\overline{\text{EMC_DQMOUTn}}$ 、 EMC_CLKn 、 $\overline{\text{EMC_CKEOUTn}}$ ； $T_{\text{amb}} = -40^\circ\text{C}$ 至 85°C ； $2.2 \text{ V} \leq V_{\text{DD(REG)(3V3)}} \leq 3.6 \text{ V}$ ； $V_{\text{DD(IO)}} = 3.3 \text{ V } 10\%$ ； $RD = 1$ （参见《LPC43xx 用户手册》）； $\text{EMC_CLKn 延迟 } \text{CLK0_DELAY} = \text{CLK1_DELAY} = \text{CLK2_DELAY} = \text{CLK3_DELAY} = 0$ 。

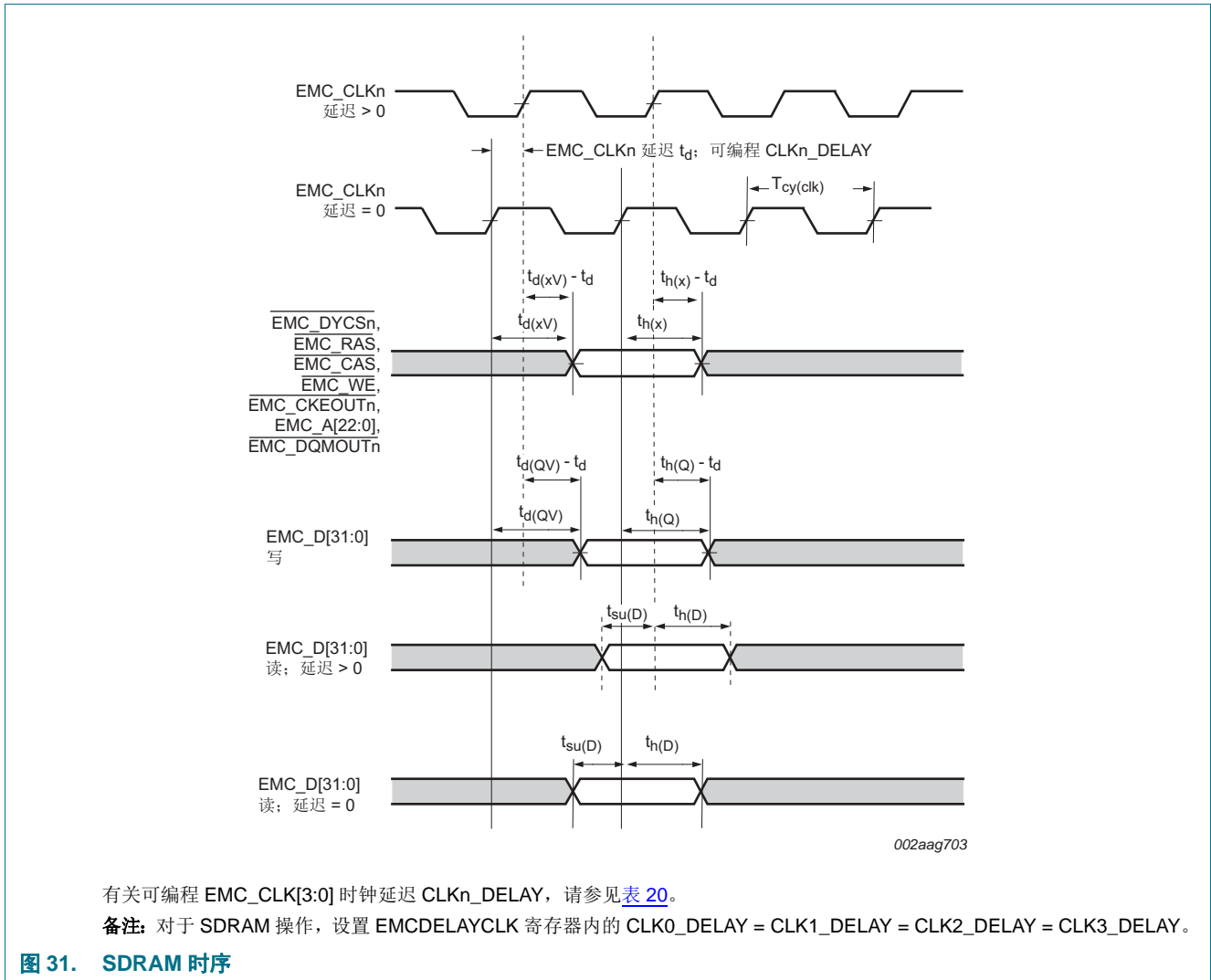
符号	参数	最小值	典型值	最大值	单位
$T_{\text{cy}(\text{clk})}$	时钟周期时间	8.4	-	-	ns
通用读写周期					
$t_{\text{d}}(\text{DYCSV})$	DYCS 有效延迟时间	-	$3.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	$5.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{DYCS})$	DYCS 保持时间	$0.3 + 0.5 \times T_{\text{cy}(\text{clk})}$	$0.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{RASV})$	行地址选通有效延迟时间	-	$3.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	$4.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{RAS})$	行地址选通保持时间	$0.5 + 0.5 \times T_{\text{cy}(\text{clk})}$	$1.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{CASV})$	列地址选通有效延迟时间	-	$2.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	$4.6 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{CAS})$	列地址选通保持时间	$0.3 + 0.5 \times T_{\text{cy}(\text{clk})}$	$0.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{WEV})$	$\overline{\text{WE}}$ 有效延迟时间	-	$3.2 + 0.5 \times T_{\text{cy}(\text{clk})}$	$5.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{WE})$	$\overline{\text{WE}}$ 保持时间	$1.3 + 0.5 \times T_{\text{cy}(\text{clk})}$	$1.4 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{DQMOUTV})$	$\overline{\text{DQMOUT}}$ 有效延迟时间	-	$3.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	$5.0 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{DQMOUT})$	$\overline{\text{DQMOUT}}$ 保持时间	$0.2 + 0.5 \times T_{\text{cy}(\text{clk})}$	$0.8 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{AV})$	地址有效延迟时间	-	$3.8 + 0.5 \times T_{\text{cy}(\text{clk})}$	$6.3 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{A})$	地址保持时间	$0.3 + 0.5 \times T_{\text{cy}(\text{clk})}$	$0.9 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
$t_{\text{d}}(\text{CKEOUTV})$	$\overline{\text{CKEOUT}}$ 有效延迟时间	-	$3.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	$5.1 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{CKEOUT})$	$\overline{\text{CKEOUT}}$ 保持时间	$0.5 \times T_{\text{cy}(\text{clk})}$	$0.7 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns
读周期参数					
$t_{\text{su}}(\text{D})$	数据输入建立时间	-1.5	-0.5	-	ns
$t_{\text{h}}(\text{D})$	数据输入保持时间	-	0.8	2.2	ns
写周期参数					
$t_{\text{d}}(\text{QV})$	数据输出有效延迟时间	-	$3.8 + 0.5 \times T_{\text{cy}(\text{clk})}$	$6.2 + 0.5 \times T_{\text{cy}(\text{clk})}$	ns
$t_{\text{h}}(\text{Q})$	数据输出保持时间	$0.5 \times T_{\text{cy}(\text{clk})}$	$0.7 + 0.5 \times T_{\text{cy}(\text{clk})}$	-	ns

表 20. 动态特性：动态外部存储器接口；EMC_CLK[3:0] 延迟值

$T_{\text{amb}} = -40^\circ\text{C}$ 至 85°C ； $V_{\text{DD(IO)}} = 3.3 \text{ V } 10\%$ ； $2.2 \text{ V} \leq V_{\text{DD(REG)(3V3)}} \leq 3.6 \text{ V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
t_{d}	延迟时间	延迟值 [1] CLKn_DELAY = 0	0.0	0.0	0.0	ns
		CLKn_DELAY = 1 [1]	0.4	0.5	0.8	ns
		CLKn_DELAY = 2 [1]	0.7	1.0	1.7	ns
		CLKn_DELAY = 3 [1]	1.1	1.6	2.5	ns
		CLKn_DELAY = 4 [1]	1.4	2.0	3.3	ns
		CLKn_DELAY = 5 [1]	1.7	2.6	4.1	ns
		CLKn_DELAY = 6 [1]	2.1	3.1	4.9	ns
		CLKn_DELAY = 7 [1]	2.5	3.6	5.8	ns

- [1] 对 EMCDELAYCLK 寄存器中的 EMC_CLKn 延迟值进行编程（参见《LPC43xx 用户手册》）。对于所有 SDRAM 时钟，必须采用同一个延迟值 EMC_CLKn: CLK0_DELAY = CLK1_DELAY = CLK2_DELAY = CLK3_DELAY。



11.10 USB 接口

表 21. 动态特性: USB0 和 USB1 引脚 (全速)

$C_L = 50\text{ pF}$; $R_{pu} = 1.5\text{ k}\Omega$ ($D+$ 上) 至 $V_{DD(I/O)}$; $3.0\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
t_r	上升时间	10 % 至 90 %	8.5	-	13.8	ns
t_f	下降时间	10 % 至 90 %	7.7	-	13.7	ns
t_{FRFM}	差分上升和下降时间	t_r / t_f	-	-	109	%
V_{CRS}	输出信号交叉电压		1.3	-	2.0	V
t_{FEOPT}	EOP 的来源 SE0 间隔	参见图 32	160	-	175	ns
t_{FDEOP}	针对差分跳变到 SE0 跳变的来源抖动	参见图 32	-2	-	+5	ns
t_{JR1}	接收器抖动到下次跳变		-18.5	-	+18.5	ns

表 21. 动态特性: USB0 和 USB1 引脚 (全速) (续)

$C_L = 50 \text{ pF}$; $R_{pu} = 1.5 \text{ k}\Omega$ (D+ 上) 至 $V_{DD(I/O)}$: $3.0 \text{ V} \leq V_{DD(I/O)} \leq 3.6 \text{ V}$ 。

符号	参数	条件	最小值	典型值	最大值	单位
t_{JR2}	针对配对跳变的接收器抖动	10 % 至 90 %	-9	-	+9	ns
t_{EOPR1}	接收器中的 EOP 宽度	必须拒绝作为 EOP ; 参见图 32	[1] 40	-	-	ns
t_{EOPR2}	接收器中的 EOP 宽度	必须接受作为 EOP ; 参见图 32	[1] 82	-	-	ns

[1] 已描述特性, 但未作为生产测试进行实施。设计保证。

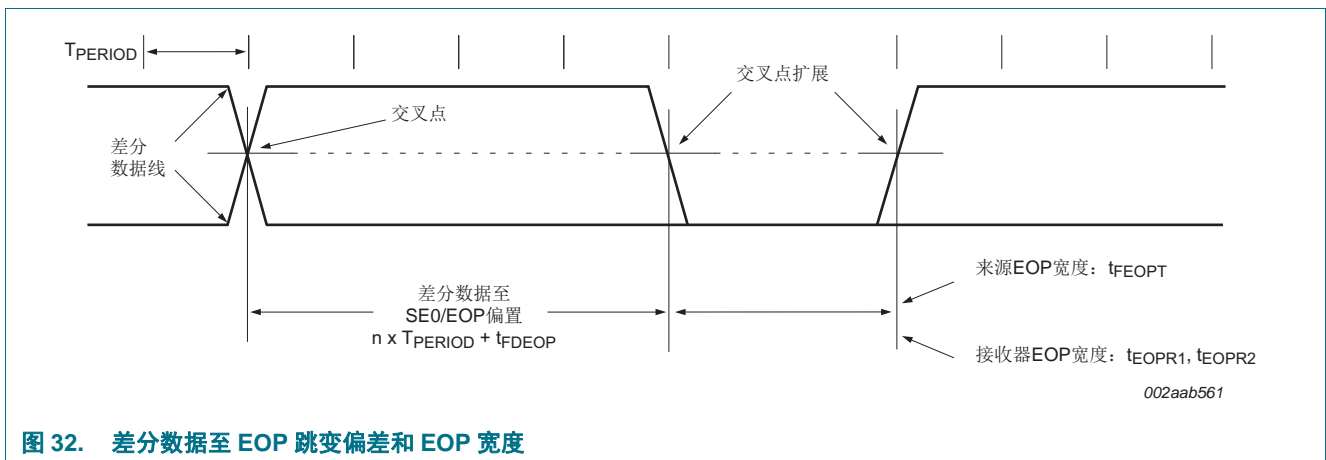


表 22. 静态特性：USB0 PHY 引脚^[1]

符号	参数	条件	最 小 值	典型值	最 大 值	单位
高速模式						
P _{cons}	功耗		[2]	-	68	- MW
I _{DDA(3V3)}	模拟电源电流 (3.3V)	位于 USB0_VDDA3V3_DRIVER 引脚上	[3]	-	-	-
		总电源电流	-	18	-	mA
		发送过程中	-	31	-	mA
		接收过程中	-	14	-	mA
		驱动器为三态	-	14	-	mA
I _{DDD}	数字电源电流		-	7	-	mA
全速 / 低速模式						
P _{cons}	功耗		[2]	-	15	- MW
I _{DDA(3V3)}	模拟电源电流 (3.3V)	位于 USB0_VDDA3V3_DRIVER 引脚上		-	-	-
		总电源电流	-	3.5	-	mA
		发送过程中	-	5	-	mA
		接收过程中	-	3	-	mA
		驱动器为三态	-	3	-	mA
I _{DDD}	数字电源电流		-	3	-	mA
挂起模式						
I _{DDA(3V3)}	模拟电源电流 (3.3V)		-	24	-	μA
		驱动器为三态	-	24	-	μA
		使能 OTG 功能	-	3	-	mA
I _{DDD}	数字电源电流		-	30	-	μA
VBUS 检测器输出						
V _{th}	阈值电压	用于 VBUS 有效	4.4	-	-	V
		用于会话结束	0.2	-	0.8	V
		用于 A 有效	0.8	-	2	V
		用于 B 有效	2	-	4	V
V _{hys}	滞回电压	用于会话结束	-	150	10	mV
		A 有效	-	200	10	mV
		B 有效	-	200	10	mV

[1] 已描述特性，但未作为生产测试进行实施。

[2] 总平均功耗。

[3] 驱动器只在 20% 的时间内处于工作状态。

11.11 以太网

表 23. 动态特性：以太网

$T_{amb} = -40\text{ °C}$ 至 85 °C ; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$ 。由设计保证的值。

符号	参数	条件	最 小 值	最大值	单位
RMII 模式					
f _{clk}	时钟频率	针对 ENET_RX_CLK	[1]	-	50 MHz
δ _{clk}	时钟占空比		[1]	50	50 %

表 23. 动态特性：以太网 (续)

$T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $85\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$ 。由设计保证的值。

符号	参数	条件	最小值	最大值	单位
t_{su}	建立时间	针对 ENET_TXDn、ENET_TX_EN、 ENET_RXDn、ENET_RX_ER、 ENET_RX_DV	4	-	ns
t_h	保持时间	针对 ENET_TXDn、ENET_TX_EN、 ENET_RXDn、ENET_RX_ER、 ENET_RX_DV	2	-	ns
MII 模式					
f_{clk}	时钟频率	针对 ENET_TX_CLK	[1]	-	25 MHz
δ_{clk}	时钟占空比		[1]	50	50 %
t_{su}	建立时间	针对 ENET_TXDn、ENET_TX_EN、 ENET_TX_ER	4	-	ns
t_h	保持时间	针对 ENET_TXDn、ENET_TX_EN、 ENET_TX_ER	2	-	ns
f_{clk}	时钟频率	针对 ENET_RX_CLK	[1]	-	25 MHz
δ_{clk}	时钟占空比		[1]	50	50 %
t_{su}	建立时间	针对 ENET_RXDn、ENET_RX_ER、 ENET_RX_DV	4	-	ns
t_h	保持时间	针对 ENET_RXDn、ENET_RX_ER、 ENET_RX_DV	2	-	ns

- [1] 输出驱动器可驱动一个 $\geq 25\text{ pF}$ 的负载，以容纳超过 12 英寸的 PCB 线路和接收器件的输入电容。
 [2] 时序值的给定范围是从时钟信号波形越过 1.4 V 的点开始，到有效输入或输出电平结束。

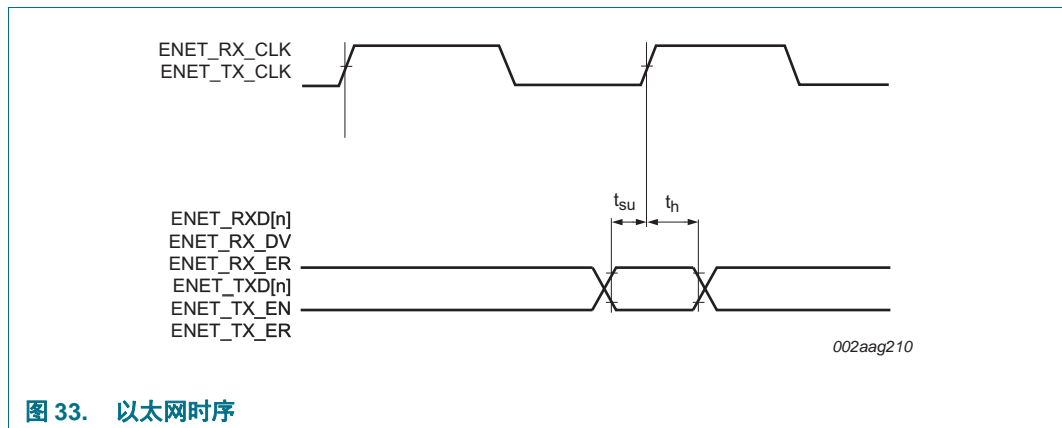


图 33. 以太网时序

11.12 SD/MMC

表 24. 动态特性: SD/MMC

$T_{amb} = 25\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$; $C_L = 20\text{ pF}$ 。模拟值。

符号	参数	条件	最 小 值	典型值	最 大 值	单 位
f_{clk}	时钟频率	位于 SD_CLK 引脚上; 数据传输模式	-	40	<tbd>	MHz
		位于 SD_CLK 引脚上; 识别模式	-	-	<tbd>	MHz
$t_{su(D)}$	数据输入建立时间	位于 SD_CMD、SD_DATn 引脚上作为输入	<tbd>	9.9	-	ns
$t_{h(D)}$	数据输入保持时间	位于 SD_CMD、SD_DATn 引脚上作为输入	<tbd>	0.3	-	ns
$t_{d(QV)}$	数据输出有效延迟时间	位于 SD_CMD、SD_DATn 引脚上作为输出	-	6.9	<tbd>	ns
$t_{h(Q)}$	数据输出保持时间	位于 SD_CMD、SD_DATn 引脚上作为输出	<tbd>	0.3	-	ns

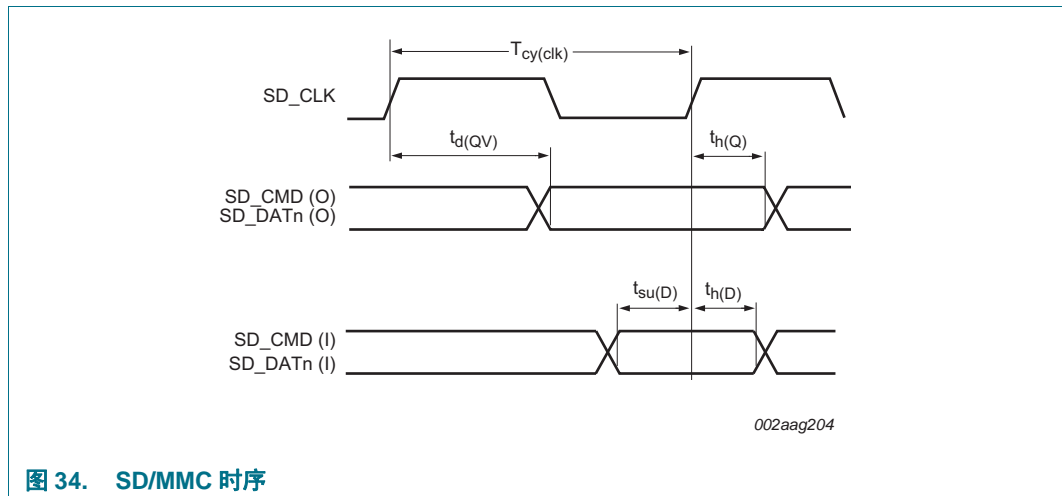


图 34. SD/MMC 时序

11.13 LCD

表 25. 动态特性: LCD

$T_{amb} = 25\text{ }^{\circ}\text{C}$; $2.2\text{ V} \leq V_{DD(REG)(3V3)} \leq 3.6\text{ V}$; $2.7\text{ V} \leq V_{DD(I/O)} \leq 3.6\text{ V}$; $C_L = 20\text{ pF}$ 。模拟值。

符号	参数	条件	最 小 值	典型值	最 大 值	单 位
f_{clk}	时钟频率	位于 LCD_DCLK 引脚上	-	50	<tbd>	MHz
$t_{su(D)}$	数据输入建立时间		<tbd>		-	ns
$t_{h(D)}$	数据输入保持时间		<tbd>	<tbd>	-	ns
$t_{d(QV)}$	数据输出有效延迟时间		-	14.1	<tbd>	ns
$t_{h(Q)}$	数据输出保持时间		<tbd>	<tbd>	-	ns

12. ADC/DAC 电气特性

表 26. ADC 特性

规定范围内的 $V_{DDA(3V3)}$; $T_{amb} = -40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$; ADC 频率 4.5 MHz; 除非另有说明。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IA}	模拟输入电压		0	-	$V_{DDA(3V3)}$	V
C_{ia}	模拟输入电容		-	-	2	pF
E_D	微分线性误差	$2.7\text{ V} \leq V_{DDA(3V3)} \leq 3.6\text{ V}$	[1][2]	0.8	-	LSB
		$2.2\text{ V} \leq V_{DDA(3V3)} < 2.7\text{ V}$	-	1.0	-	LSB
$E_{L(adj)}$	积分非线性	$2.7\text{ V} \leq V_{DDA(3V3)} \leq 3.6\text{ V}$	[3]	0.8	-	LSB
		$2.2\text{ V} \leq V_{DDA(3V3)} < 2.7\text{ V}$	-	1.5	-	LSB
E_O	偏移误差	$2.7\text{ V} \leq V_{DDA(3V3)} \leq 3.6\text{ V}$	[4]	0.15	-	LSB
		$2.2\text{ V} \leq V_{DDA(3V3)} < 2.7\text{ V}$	-	0.15	-	LSB
E_G	增益误差	$2.7\text{ V} \leq V_{DDA(3V3)} \leq 3.6\text{ V}$	[5]	0.3	-	%
		$2.2\text{ V} \leq V_{DDA(3V3)} < 2.7\text{ V}$	-	0.35	-	%
E_T	绝对误差	$2.7\text{ V} \leq V_{DDA(3V3)} \leq 3.6\text{ V}$	[6]	3	-	LSB
		$2.2\text{ V} \leq V_{DDA(3V3)} < 2.7\text{ V}$	-	4	-	LSB
R_{vsi}	电压源接口电阻	参见图 36	-	-	$1/(7 \times f_{clk(ADC)} \times C_{ia})$	k Ω
R_i	输入电阻		[7][8]	-	1.2	M Ω
$f_{clk(ADC)}$	ADC 时钟频率		-	-	4.5	MHz
$f_c(ADC)$	ADC 转换频率	10 位分辨率; 11 个时钟周期	-	-	400	每秒 k 个样本
		2 位分辨率; 3 个时钟周期	-	-	1.5	每秒 M 个样本

[1] ADC 是单调的, 不存在失码的情况。

[2] 微分线性误差 (E_D) 是指实际步长宽度与理想步长宽度之间的差异。参见图 35。

[3] 积分非线性 ($E_{L(adj)}$) 是指在对增益和偏移误差进行适当的调整后, 实际与理想传递曲线的步长中心之间的峰值差异。参见图 35。

[4] 偏移误差 (E_O) 是指拟合实际曲线的直线与拟合理想曲线的直线之间的绝对差异。参见图 35。

[5] 增益误差 (E_G) 是指消除了偏移误差后拟合实际传递曲线的直线与拟合理想传递曲线的直线之间的相对差异百分比。参见图 35。

[6] 绝对误差 (E_T) 是指非校准 ADC 的实际传递曲线与理想传递曲线的步长中心之间的最大差异。参见图 35。

[7] $T_{amb} = 25\text{ }^{\circ}\text{C}$; 最大采样频率 $f_s = 4.5\text{ MHz}$, 模拟输入电容 $C_{ia} = 2\text{ pF}$ 。

[8] 输入电阻 R_i 取决于采样频率 f_s : $R_i = 2\text{ k}\Omega + 1 / (f_s \times C_{ia})$ 。

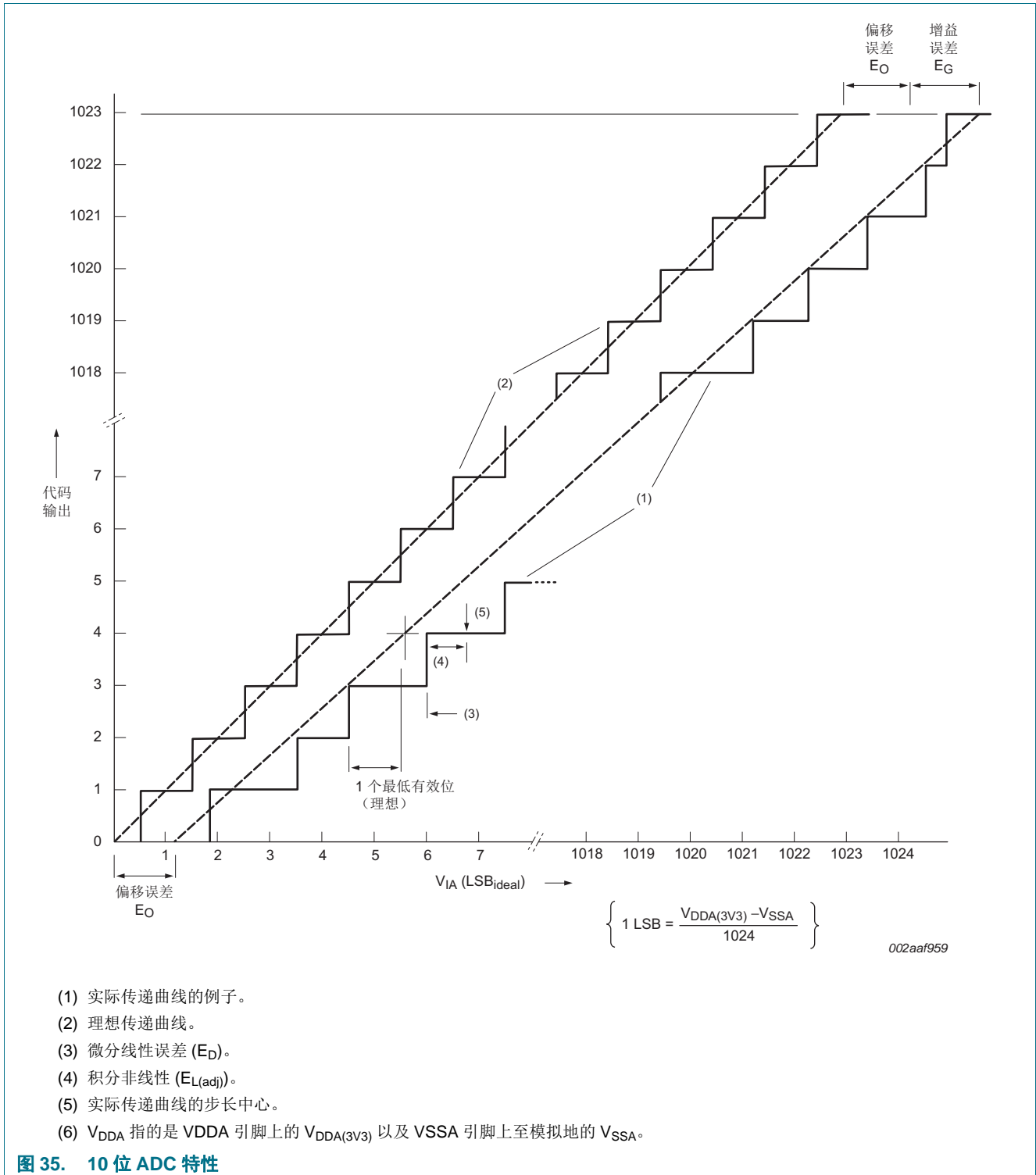


图 35. 10 位 ADC 特性

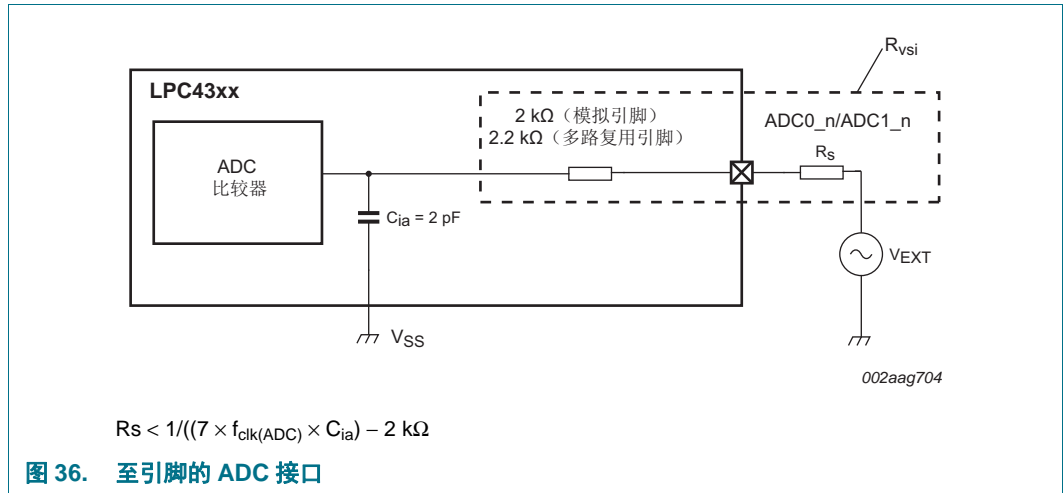


表 27. DAC 特性

规定范围内的 $V_{DDA(3V3)}$; $T_{amb} = -40\text{ }^\circ\text{C}$ 至 $+85\text{ }^\circ\text{C}$; 除非另有说明。

符号	参数	条件	最小值	典型值	最大值	单位
E _D	微分线性误差	$2.7 \text{ V} \leq V_{DDA(3V3)} \leq 3.6 \text{ V}$	[1] -	0.8	-	LSB
		$2.2 \text{ V} \leq V_{DDA(3V3)} < 2.7 \text{ V}$	-	1.0	-	LSB
E _{L(adj)}	积分非线性	$2.7 \text{ V} \leq V_{DDA(3V3)} \leq 3.6 \text{ V}$	[1] -	1.0	-	LSB
		$2.2 \text{ V} \leq V_{DDA(3V3)} < 2.7 \text{ V}$	-	1.5	-	LSB
E _O	偏移误差	$2.7 \text{ V} \leq V_{DDA(3V3)} \leq 3.6 \text{ V}$	[1] -	0.8	-	LSB
		$2.2 \text{ V} \leq V_{DDA(3V3)} < 2.7 \text{ V}$	-	1.0	-	LSB
E _G	增益误差	$2.7 \text{ V} \leq V_{DDA(3V3)} \leq 3.6 \text{ V}$	[1] -	0.3	-	%
		$2.2 \text{ V} \leq V_{DDA(3V3)} < 2.7 \text{ V}$	-	1.0	-	%
C _L	负载电容		-	-	200	pF
R _L	负载电阻		1	-	-	kΩ
t _s	建立时间		[1]	0.4		μs

[1] 在 DAC CR 寄存器中，位 BIAS = 0（参见《LPC43xx 用户手册》）。

[2] 计算的建立时间在最终值的 1/2 LSB 之内。

13. 应用信息

13.1 LCD 面板信号的使用

表 28. STN 单面板模式的 LCD 面板连接

外部引脚	4 位单色 STN 单面板		8 位单色 STN 单面板		彩色 STN 单面板	
	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能
LCD_VD[23:8]	-	-	-	-	-	-
LCD_VD7	-	-	P8_4	UD[7]	P8_4	UD[7]
LCD_VD6	-	-	P8_5	UD[6]	P8_5	UD[6]
LCD_VD5	-	-	P8_6	UD[5]	P8_6	UD[5]
LCD_VD4	-	-	P8_7	UD[4]	P8_7	UD[4]
LCD_VD3	P4_2	UD[3]	P4_2	UD[3]	P4_2	UD[3]
LCD_VD2	P4_3	UD[2]	P4_3	UD[2]	P4_3	UD[2]
LCD_VD1	P4_4	UD[1]	P4_4	UD[1]	P4_4	UD[1]
LCD_VD0	P4_1	UD[0]	P4_1	UD[0]	P4_1	UD[0]
LCD_LP	P7_6	LCDLP	P7_6	LCDLP	P7_6	LCDLP
LCD_ENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM
LCD_FP	P4_5	LCDFP	P4_5	LCDFP	P4_5	LCDFP
LCD_DCLK	P4_7	LCDDCLK	P4_7	LCDDCLK	P4_7	LCDDCLK
LCD_LE	P7_0	LCDLE	P7_0	LCDLE	P7_0	LCDLE
LCD_PWR	P7_7	CDPWR	P7_7	LCDPWR	P7_7	LCDPWR
GP_CLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN

表 29. STN 双面板模式的 LCD 面板连接

外部引脚	4 位单色 STN 双面板		8 位单色 STN 双面板		彩色 STN 双面板	
	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能
LCD_VD[23:16]	-	-	-	-	-	-
LCD_VD15	-	-	PB_4	LD[7]	PB_4	LD[7]
LCD_VD14	-	-	PB_5	LD[6]	PB_5	LD[6]
LCD_VD13	-	-	PB_6	LD[5]	PB_6	LD[5]
LCD_VD12	-	-	P8_3	LD[4]	P8_3	LD[4]
LCD_VD11	P4_9	LD[3]	P4_9	LD[3]	P4_9	LD[3]
LCD_VD10	P4_10	LD[2]	P4_10	LD[2]	P4_10	LD[2]
LCD_VD9	P4_8	LD[1]	P4_8	LD[1]	P4_8	LD[1]
LCD_VD8	P7_5	LD[0]	P7_5	LD[0]	P7_5	LD[0]
LCD_VD7	-	-	-	UD[7]	P8_4	UD[7]
LCD_VD6	-	-	P8_5	UD[6]	P8_5	UD[6]
LCD_VD5	-	-	P8_6	UD[5]	P8_6	UD[5]
LCD_VD4	-	-	P8_7	UD[4]	P8_7	UD[4]
LCD_VD3	P4_2	UD[3]	P4_2	UD[3]	P4_2	UD[3]

表 29. STN 双面板模式的 LCD 面板连接 (续)

外部引脚	4 位单色 STN 双面板		8 位单色 STN 双面板		彩色 STN 双面板	
	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能
LCD_VD2	P4_3	UD[2]	P4_3	UD[2]	P4_3	UD[2]
LCD_VD1	P4_4	UD[1]	P4_4	UD[1]	P4_4	UD[1]
LCD_VD0	P4_1	UD[0]	P4_1	UD[0]	P4_1	UD[0]
LCD_LP	P7_6	LCDLP	P7_6	LCDLP	P7_6	LCDLP
LCD_ENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM
LCD_FP	P4_5	LCDFP	P4_5	LCDFP	P4_5	LCDFP
LCD_DCLK	P4_7	LCDDCLK	P4_7	LCDDCLK	P4_7	LCDDCLK
LCD_LE	P7_0	LCDLE	P7_0	LCDLE	P7_0	LCDLE
LCD_PWR	P7_7	LCDPWR	P7_7	LCDPWR	P7_7	LCDPWR
GP_CLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN

表 30. TFT 面板的 LCD 面板连接

外部引脚	TFT 12 位 (4:4:4 模式)		TFT 16 位 (5:6:5 模式)		TFT 16 位 (1:5:5:5 模式)		TFT 24 位	
	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能
LCD_VD23	PB_0	蓝色 3	PB_0	蓝色 4	PB_0	蓝色 4		蓝色 7
LCD_VD22	PB_1	蓝色 2	PB_1	蓝色 3	PB_1	蓝色 3		蓝色 6
LCD_VD21	PB_2	蓝色 1	PB_2	蓝色 2	PB_2	蓝色 2		蓝色 5
LCD_VD20	PB_3	蓝色 0	PB_3	蓝色 1	PB_3	蓝色 1		蓝色 4
LCD_VD19	-	-	P7_1	蓝色 0	P7_1	蓝色 0		蓝色 3
LCD_VD18	-	-	-	-	P7_2	强度		蓝色 2
LCD_VD17	-	-	-	-	-	-	P7_3	蓝色 1
LCD_VD16	-	-	-	-	-	-	P7_4	蓝色 0
LCD_VD15	PB_4	绿色 3	PB_4	绿色 5	PB_4	绿色 4	PB_4	绿色 7
LCD_VD14	PB_5	绿色 2	PB_5	绿色 4	PB_5	绿色 3	PB_5	绿色 6
LCD_VD13	PB_6	绿色 1	PB_6	绿色 3	PB_6	绿色 2	PB_6	绿色 5
LCD_VD12	P8_3	绿色 0	P8_3	绿色 2	P8_3	绿色 1	P8_3	绿色 4
LCD_VD11	-	-	P4_9	绿色 1	P4_9	绿色 0	P4_9	绿色 3
LCD_VD10	-	-	P4_10	绿色 0	P4_10	强度	P4_10	绿色 2
LCD_VD9	-	-	-	-	-	-	P4_8	绿色 1
LCD_VD8	-	-	-	-	-	-	P7_5	绿色 0
LCD_VD7	P8_4	红色 3	P8_4	红色 4	P8_4	红色 4	P8_4	红色 7
LCD_VD6	P8_5	红色 2	P8_5	红色 3	P8_5	红色 3	P8_5	红色 6
LCD_VD5	P8_6	红色 1	P8_6	红色 2	P8_6	红色 2	P8_6	红色 5
LCD_VD4	P8_7	红色 0	P8_7	红色 1	P8_7	红色 1	P8_7	红色 4
LCD_VD3	-	-	P4_2	红色 0	P4_2	红色 0	P4_2	红色 3
LCD_VD2	-	-	-	-	P4_3	强度	P4_3	红色 2
LCD_VD1	-	-	-	-	-	-	P4_4	红色 1

表 30. TFT 面板的 LCD 面板连接 (续)

外部引脚	TFT 12 位 (4:4:4 模式)		TFT 16 位 (5:6:5 模式)		TFT 16 位 (1:5:5:5 模式)		TFT 24 位	
	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能	用到的 LPC43xx 引脚	LCD 功能
LCD_VD0	-	-	-	-	-	-	P4_1	红色 0
LCD_LP	P7_6	LCDLP	P7_6	LCDLP	P7_6	LCDLP	P7_6	LCDLP
LCD_ENAB/ /LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM	P4_6	LCDENAB/ LCDM
LCD_FP	P4_5	LCDFP	P4_5	LCDFP	P4_5	LCDFP	P4_5	LCDFP
LCD_DCLK	P4_7	LCDDCLK	P4_7	LCDDCLK	P4_7	LCDDCLK	P4_7	LCDDCLK
LCD_LE	P7_0	LCDLE	P7_0	LCDLE	P7_0	LCDLE	P7_0	LCDLE
LCD_PWR	P7_7	LCDPWR	P7_7	LCDPWR	P7_7	LCDPWR	P7_7	LCDPWR
GP_CLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN	PF_4	LCDCLKIN

13.2 晶体振荡器

晶体振荡器由 CGU 中的 XTAL_OSC_CTRL 寄存器进行控制 (参见《LPC43xx 用户手册》)。

晶体振荡器工作频率的范围介于 1 MHz 到 25 MHz。此频率可通过 PLL 提高到更高的频率, 高达 CPU 的最大工作频率。

振荡器有两种工作模式: 从机模式和振荡模式。

- 在从机模式下, 输入时钟信号应通过 100 pF 的电容 (C_C , 图 37 中) 进行耦合, 振幅至少为 200 mV (rms)。在此配置下, XTAL2 引脚可断开。
- 振荡模式中使用的元件和模型如图 38、表 31 和表 32 中所示。如果是基本模式的振荡, 由于反馈电阻集成在芯片上, 因此只有一个晶体以及电容 C_{X1} 和 C_{X2} 需要从外部进行连接 (基本频率由 L 、 C_L 和 R_s 表示)。电容 C_P (如图 38 中所示) 表示并联封装电容, 它不得大于 7 pF。参数 F_c 、 C_L 、 R_s 和 C_P 由晶体制造商提供。

表 31. 振荡模式 (晶体和外部元件参数) 低频模式下 $C_{X1/X2}$ 推荐值

基本振荡频率	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
2 MHz	< 200 Ω	33 pF、33 pF
	< 200 Ω	39 pF、39 pF
	< 200 Ω	56 pF、56 pF
4 MHz	< 200 Ω	18 pF、18 pF
	< 200 Ω	39 pF、39 pF
	< 200 Ω	56 pF、56 pF
8 MHz	< 200 Ω	18 pF、18 pF
	< 200 Ω	39 pF、39 pF
12 MHz	< 160 Ω	18 pF、18 pF
	< 160 Ω	39 pF、39 pF
16 MHz	< 120 Ω	18 pF、18 pF
	< 80 Ω	33 pF、33 pF
20 MHz	< 100 Ω	18 pF、18 pF
	< 80 Ω	33 pF、33 pF

表 32. 振荡模式（晶体和外部元件参数）高频模式下 $C_{X1/X2}$ 推荐值

基本振荡频率	最大晶体串联电阻 R_S	外部负载电容 C_{X1} 、 C_{X2}
15 MHz	< 80 Ω	18 pF、18 pF
20 MHz	< 80 Ω	39 pF、39 pF
	< 100 Ω	47 pF、47 pF

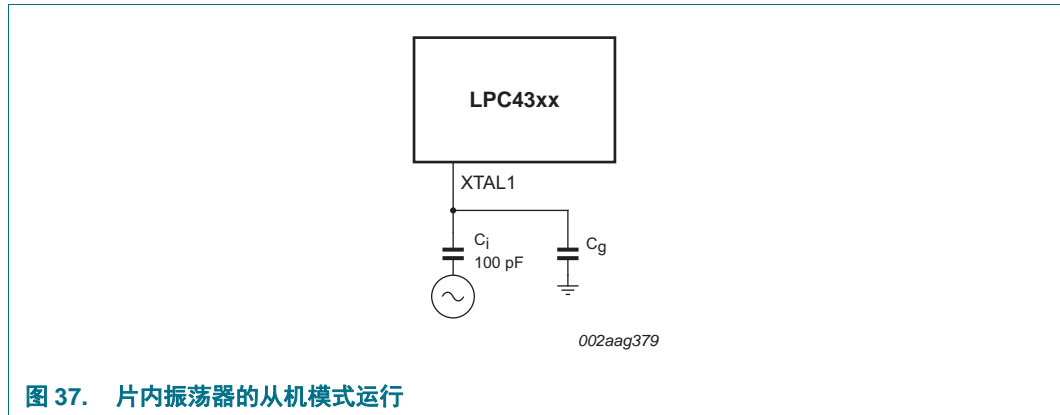
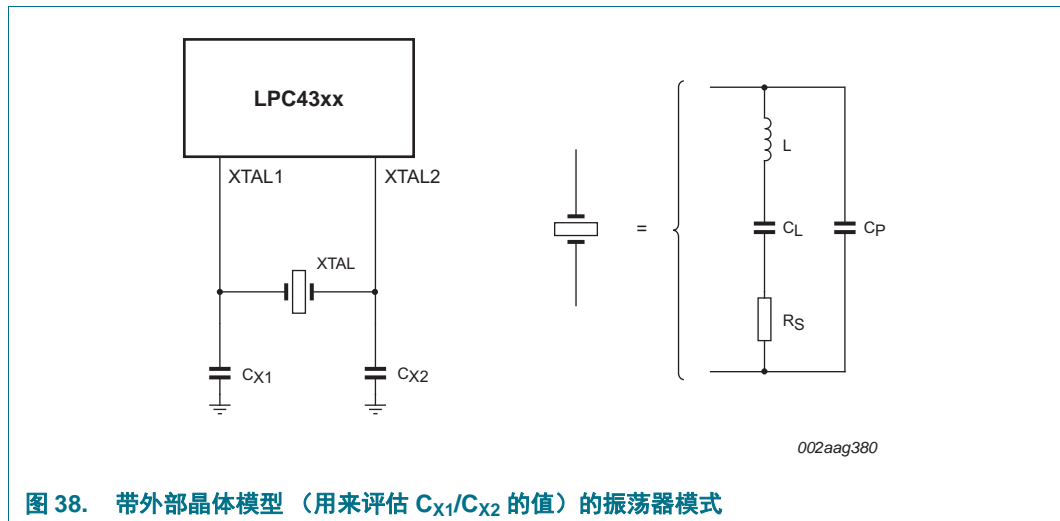


图 37. 片内振荡器的从机模式运行

图 38. 带外部晶体模型（用来评估 C_{X1}/C_{X2} 的值）的振荡器模式

13.3 XTAL 和 RTCX 印刷电路板 (PCB) 布局指南

晶体应在尽可能靠近芯片的振荡器输入和输出引脚的 PCB 上进行连接。请注意，如果使用第三个谐波晶体，则负载电容 C_{X1} 、 C_{X2} 和 C_{X3} 具有一个公共的接地层。外部元件也必须连接到该接地层。循环和寄生效应必须尽可能的小，以使通过 PCB 进行耦合时所产生的噪声尽可能的小。如果 PCB 布局中的寄生现象增多，则选择较小的 C_{X1} 和 C_{X2} 值。

13.4 标准 I/O 引脚配置

图 39 显示标准 I/O 引脚（具有模拟输入功能）的几种可用引脚模式：

- 数字输出驱动器：开漏模式使能 / 禁用
- 数字输入：上拉使能 / 禁用
- 数字输入：下拉使能 / 禁用

- 数字输入：中继模式使能 / 禁用
- 模拟输入

标准 I/O 引脚的默认配置为使能上拉电阻的输入。弱 MOS 器件的驱动能力与上拉电阻和下拉电阻的相当。

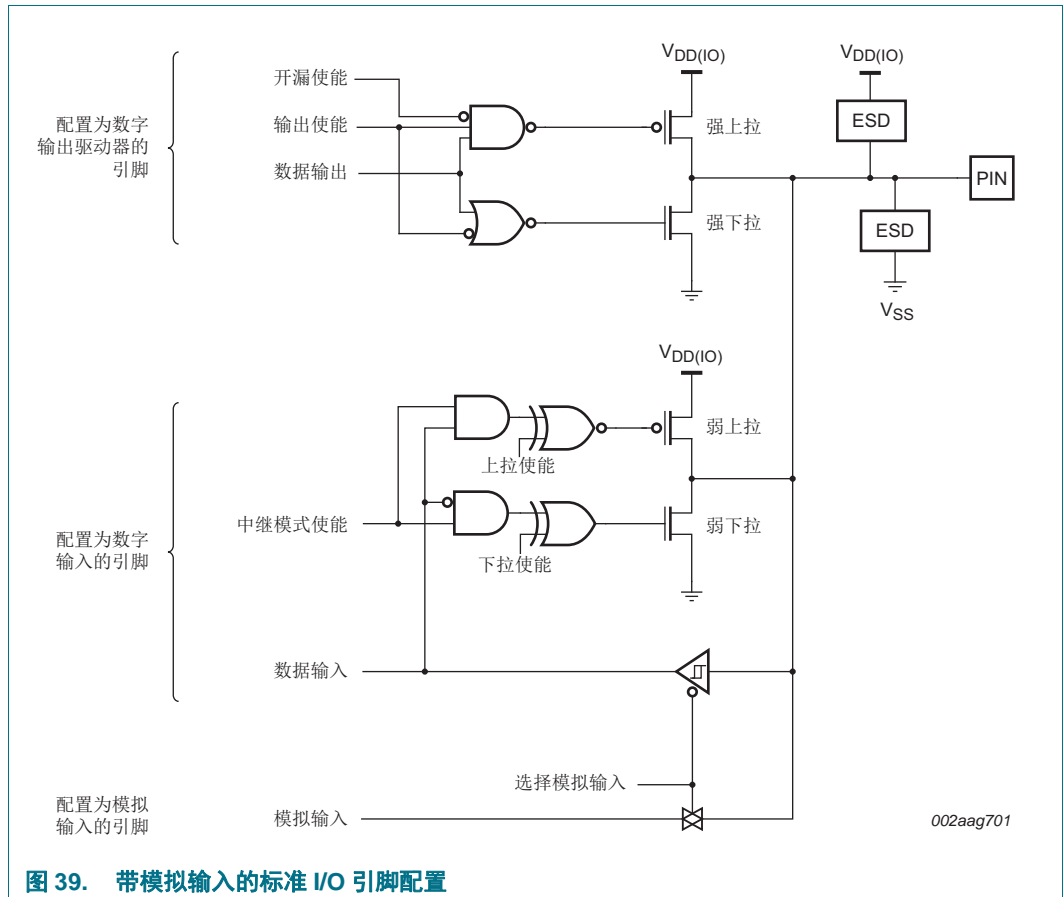
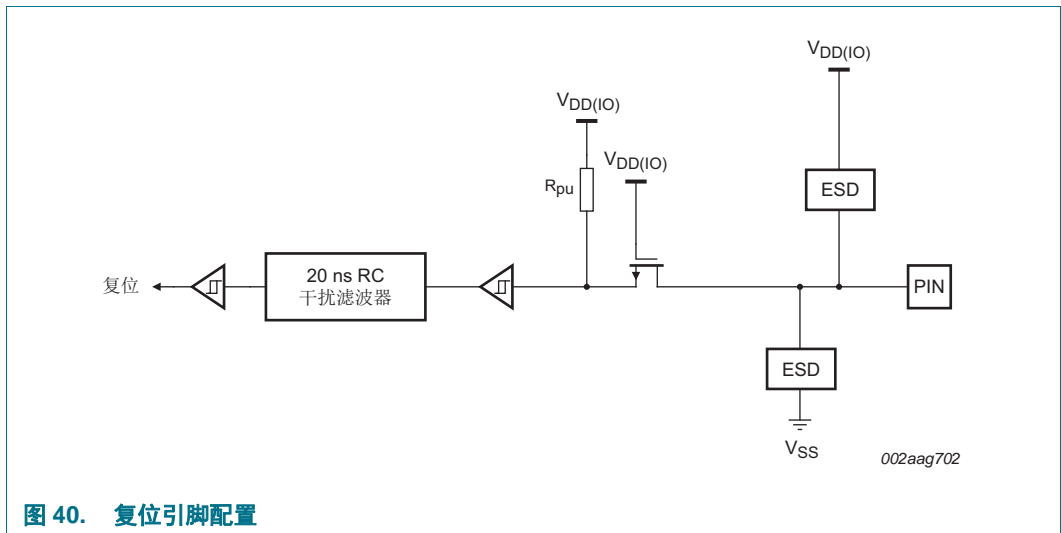


图 39. 带模拟输入的标准 I/O 引脚配置

13.5 复位引脚配置



14. 封装尺寸

LPGA256: 塑封薄型球栅阵列封装; 256 引脚; 主体尺寸 17 x 17 x 1 mm

SOT740-2

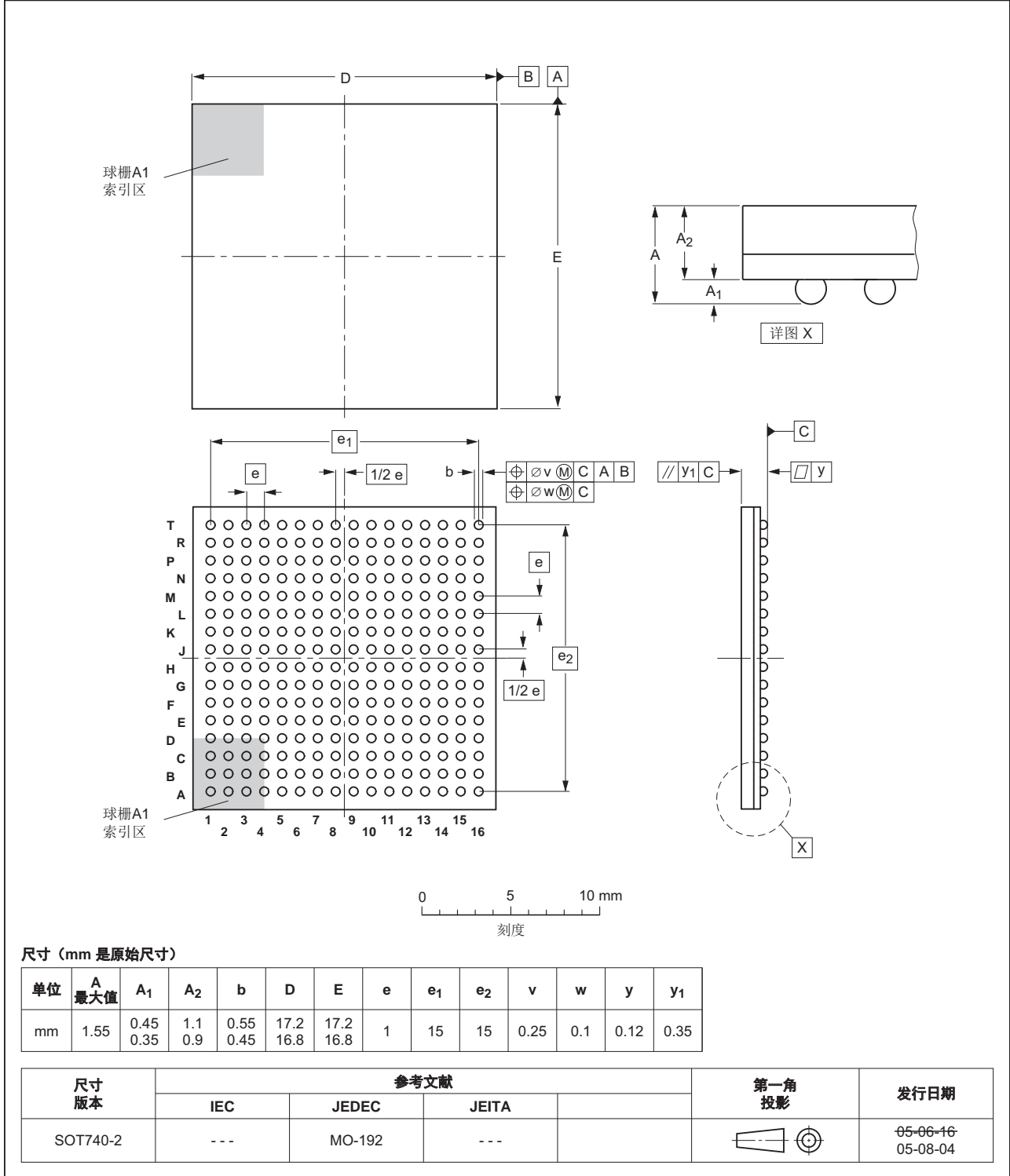


图 41. LPGA256 的封装尺寸

TFBGA180: 细间距球栅阵列封装; 180 引脚

SOT570-3

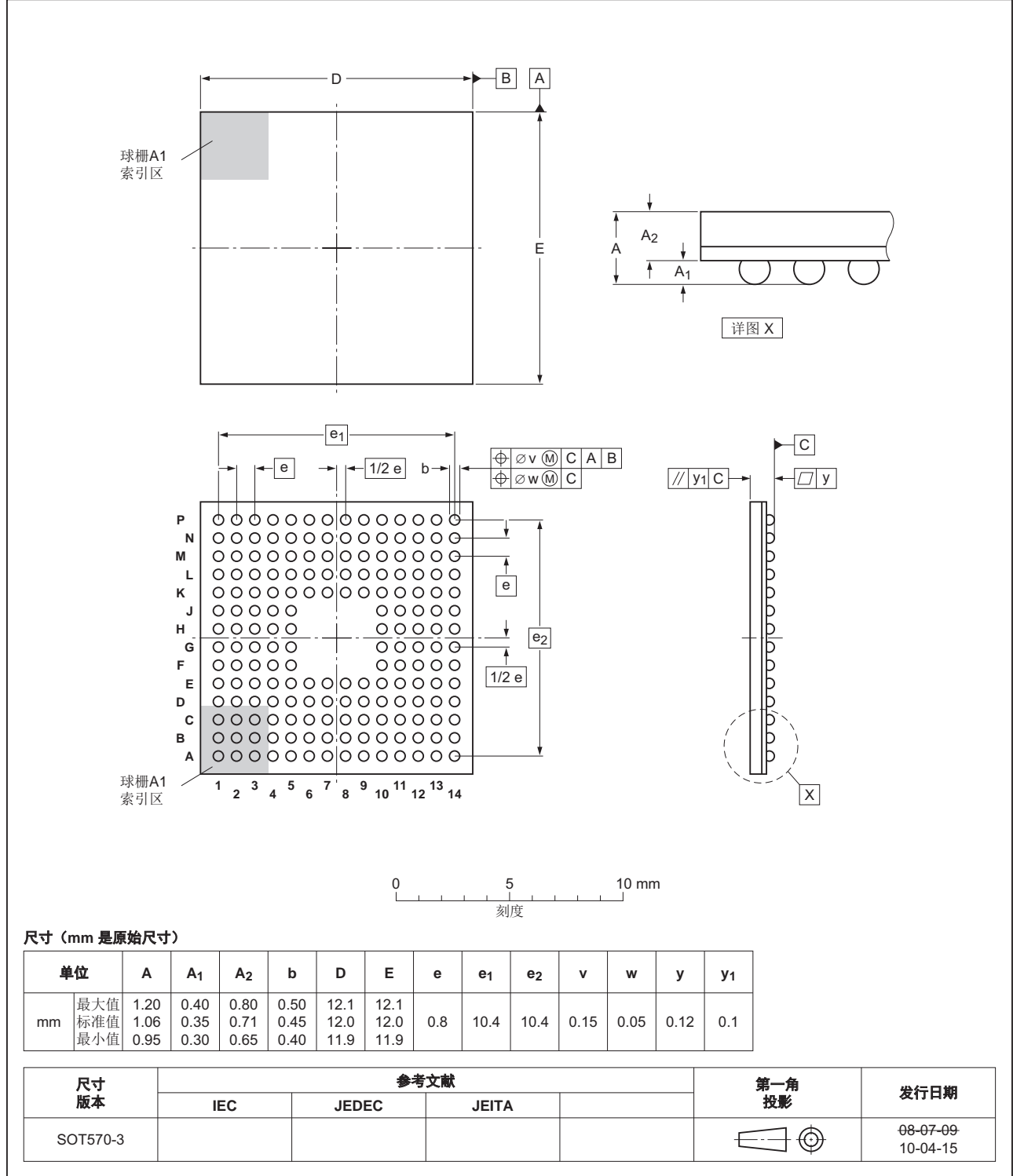


图 42. TFBGA180 的封装尺寸

LQFP208; 塑料薄型四侧扁平封装; 208 引脚; 主体尺寸 28 x 28 x 1.4 mm

SOT459-1

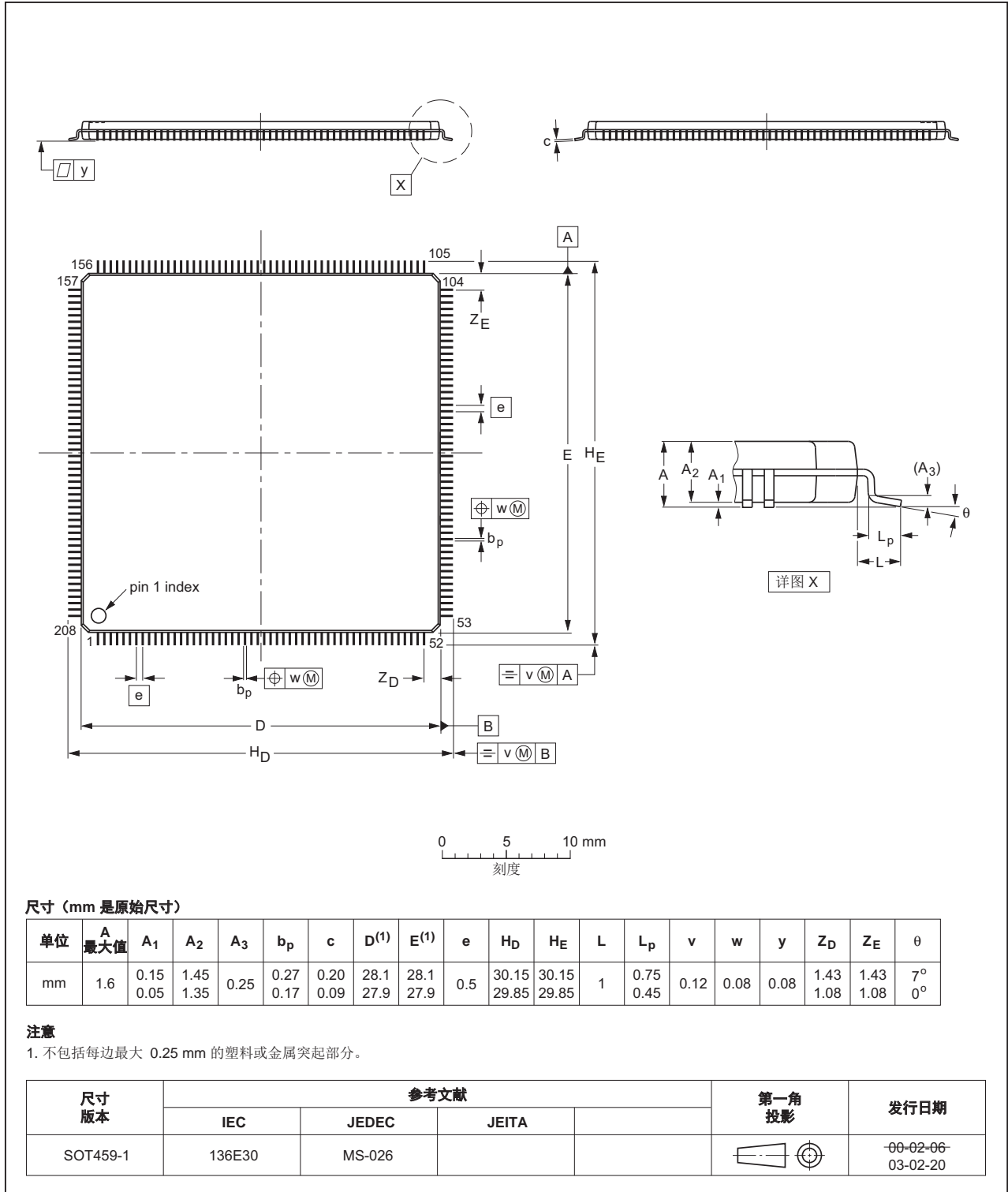


图 43. LQFP208 的封装尺寸

TFBGA100: 塑料细间距球栅阵列封装; 100 引脚; 主体尺寸 9 x 9 x 0.7 mm

SOT926-1

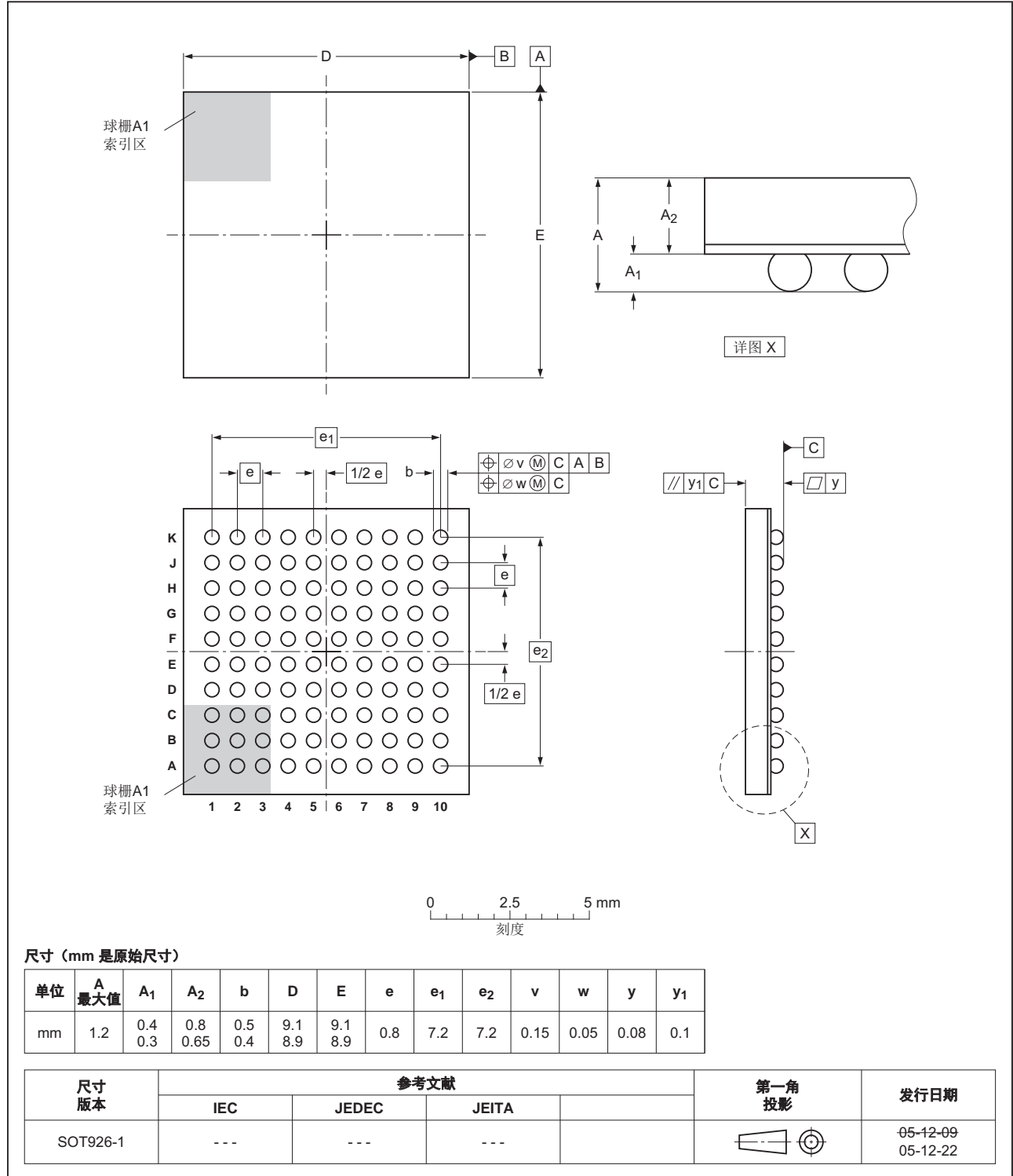
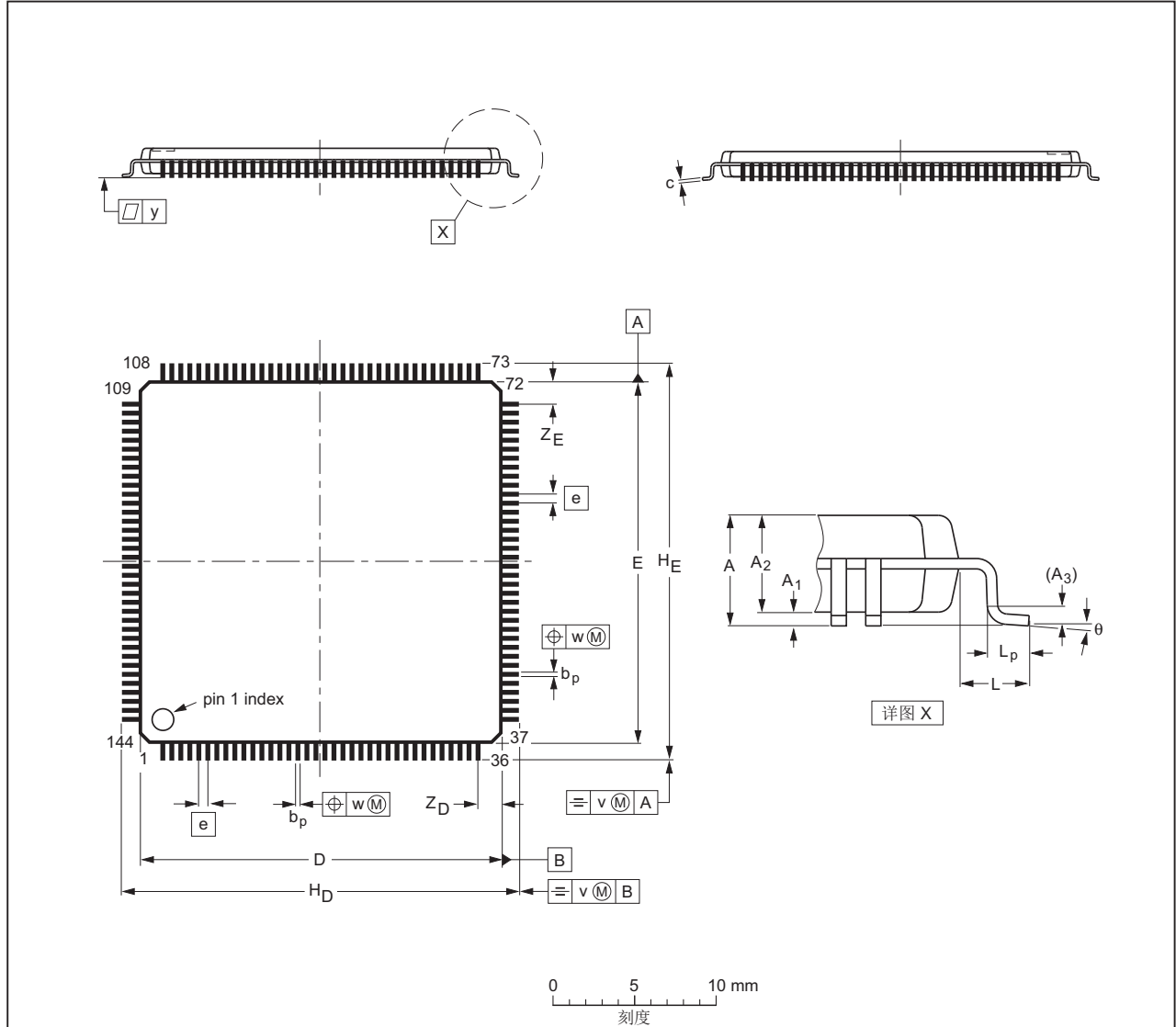


图 44. TFBGA100 的封装尺寸

LQFP144: 塑料薄型四侧扁平封装; 144 引脚; 主体尺寸 20 x 20 x 1.4 mm

SOT486-1



尺寸 (mm 是原始尺寸)

单位	A 最大值	A ₁	A ₂	A ₃	b _p	c	D ⁽¹⁾	E ⁽¹⁾	e	H _D	H _E	L	L _p	v	w	y	Z _D ⁽¹⁾	Z _E ⁽¹⁾	θ
mm	1.6	0.15 0.05	1.45 1.35	0.25	0.27 0.17	0.20 0.09	20.1 19.9	20.1 19.9	0.5	22.15 21.85	22.15 21.85	1	0.75 0.45	0.2	0.08	0.08	1.4 1.1	1.4 1.1	7° 0°

注意

1. 不包括每边最大 0.25 mm 的塑料或金属突起部分。

尺寸版本	参考文献			第一角投影	发行日期
	IEC	JEDEC	JEITA		
SOT486-1	136E23	MS-026			00-03-14 03-02-20

图 45. LQFP144 的封装尺寸

LQFP100: 塑料薄型四侧扁平封装; 100 引脚; 主体尺寸 14 x 14 x 1.4 mm

SOT407-1

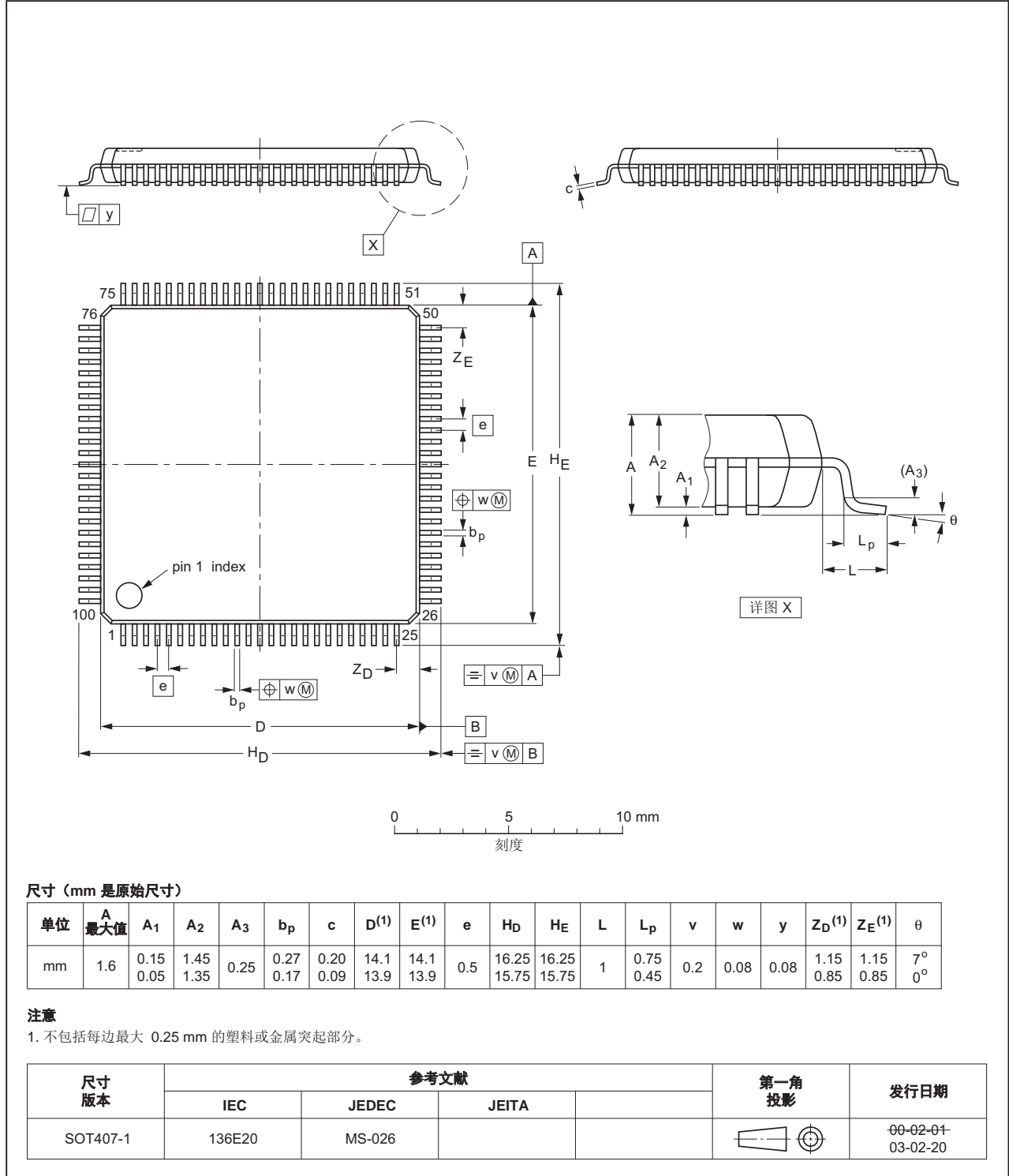


图 46. LQFP100 的封装尺寸

15. 焊接

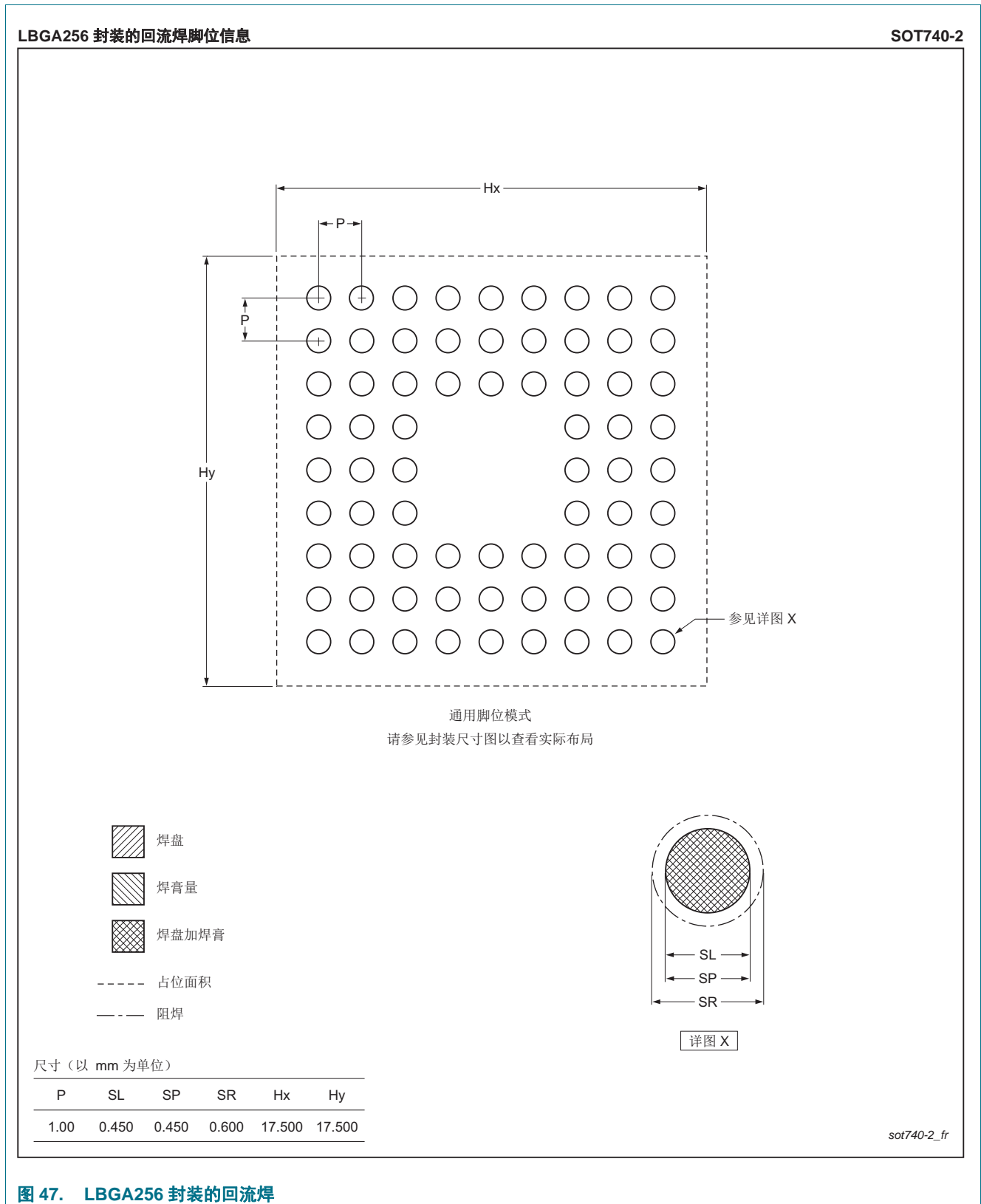
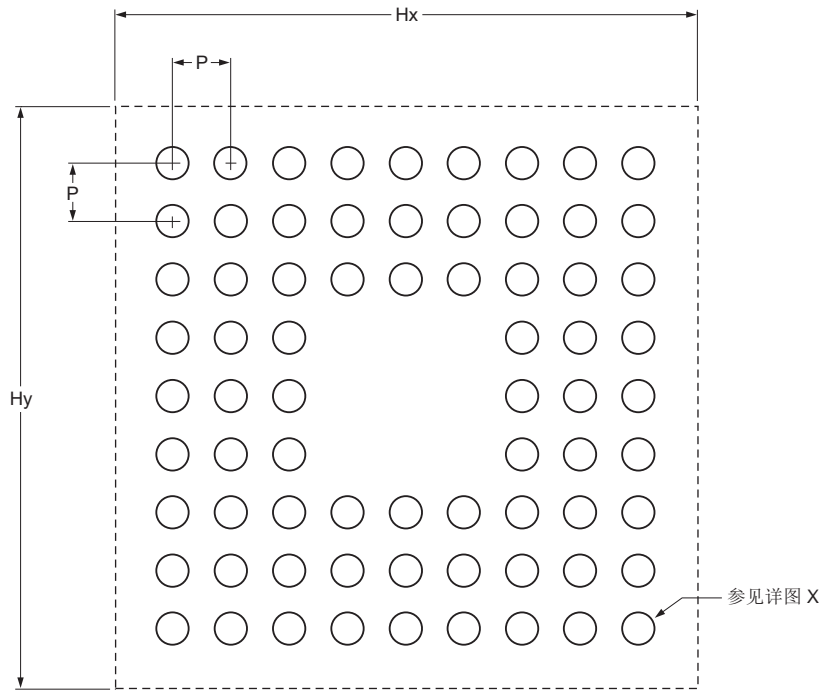





图 47. LBGA256 封装的回流焊

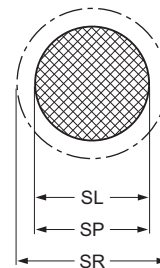
TFBGA180 封装的回流焊脚位信息

SOT570-3



通用脚位模式
请参见封装尺寸图以查看实际布局

-  焊盘
-  焊膏量
-  焊盘加焊膏
- 占位面积
- 阻焊



详图 X

尺寸 (以 mm 为单位)

P	SL	SP	SR	Hx	Hy
0.80	0.400	0.400	0.550	12.575	12.575

sot570-3_fr

图 48. TFBGA180 封装的回流焊

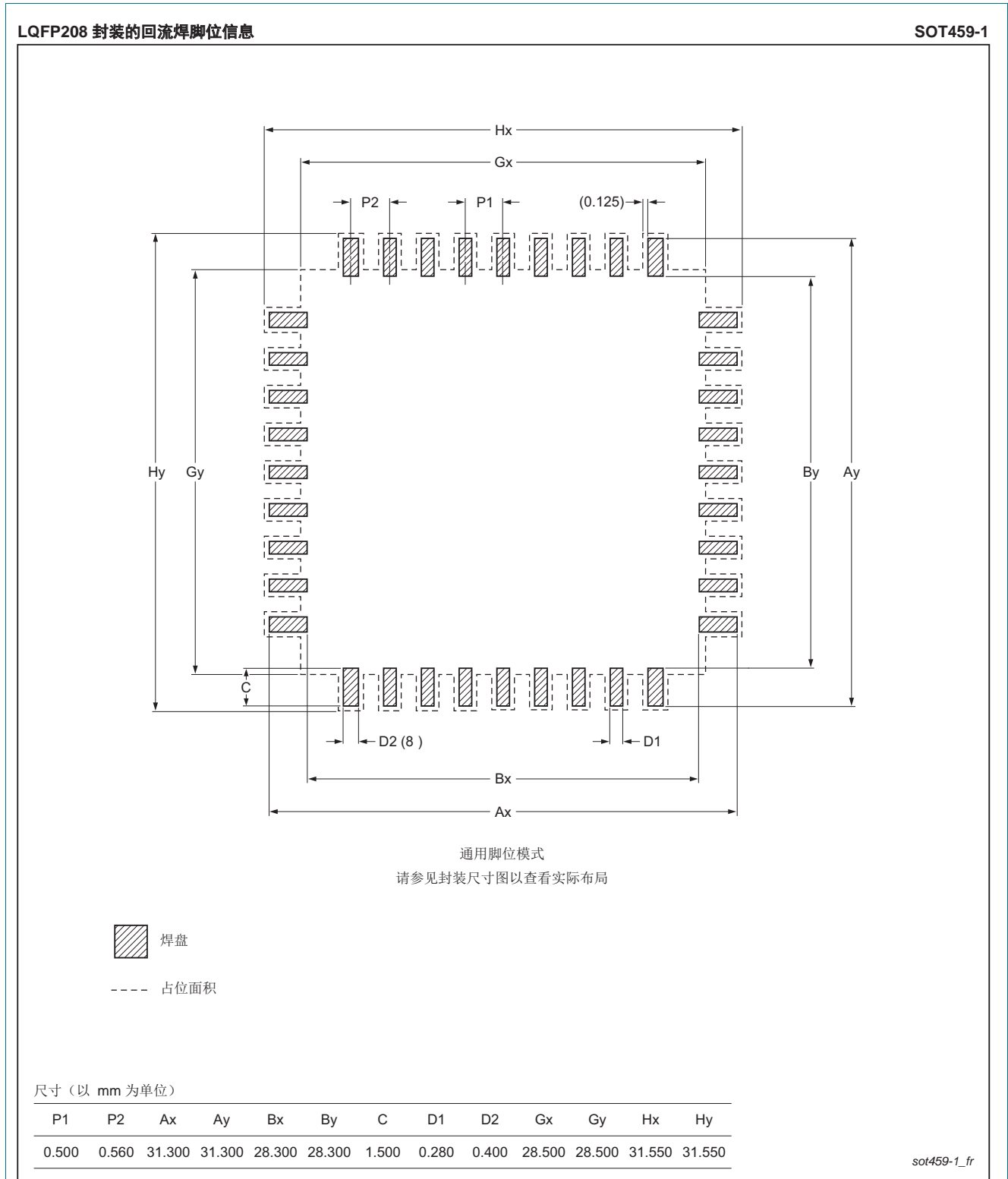


图 49. LQFP208 封装的回流焊

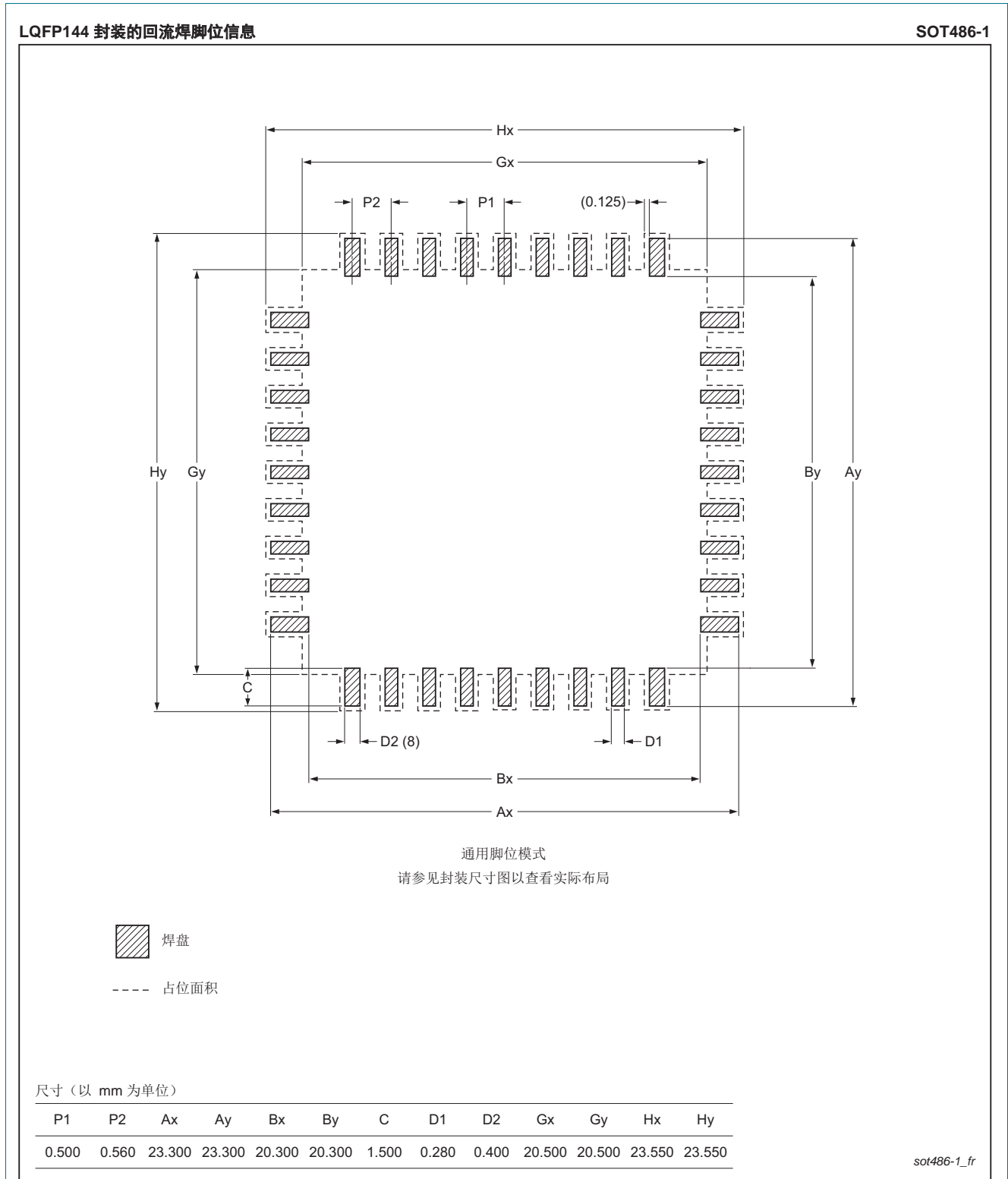
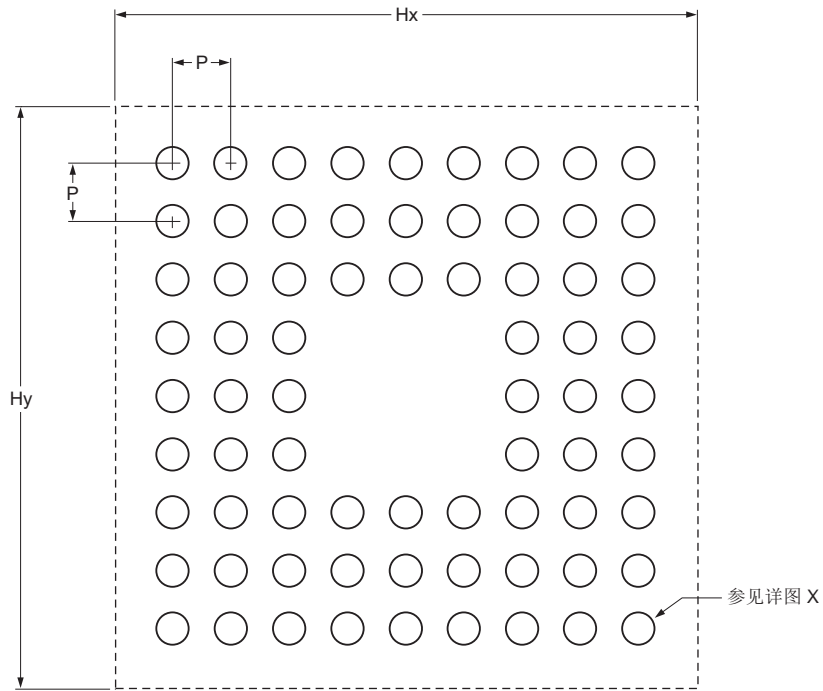







图 50. LQFP144 封装的回流焊

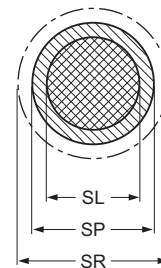
TFBGA100 封装的回流焊脚位信息

SOT926-1



通用脚位模式
请参见封装尺寸图以查看实际布局

-  焊盘
-  焊膏量
-  焊盘加焊膏
-  占位面积
-  阻焊



详图 X

尺寸 (以 mm 为单位)

P	SL	SP	SR	Hx	Hy
0.80	0.330	0.400	0.480	9.400	9.400

sot926-1_fr

图 51. TFBGA100 封装的回流焊

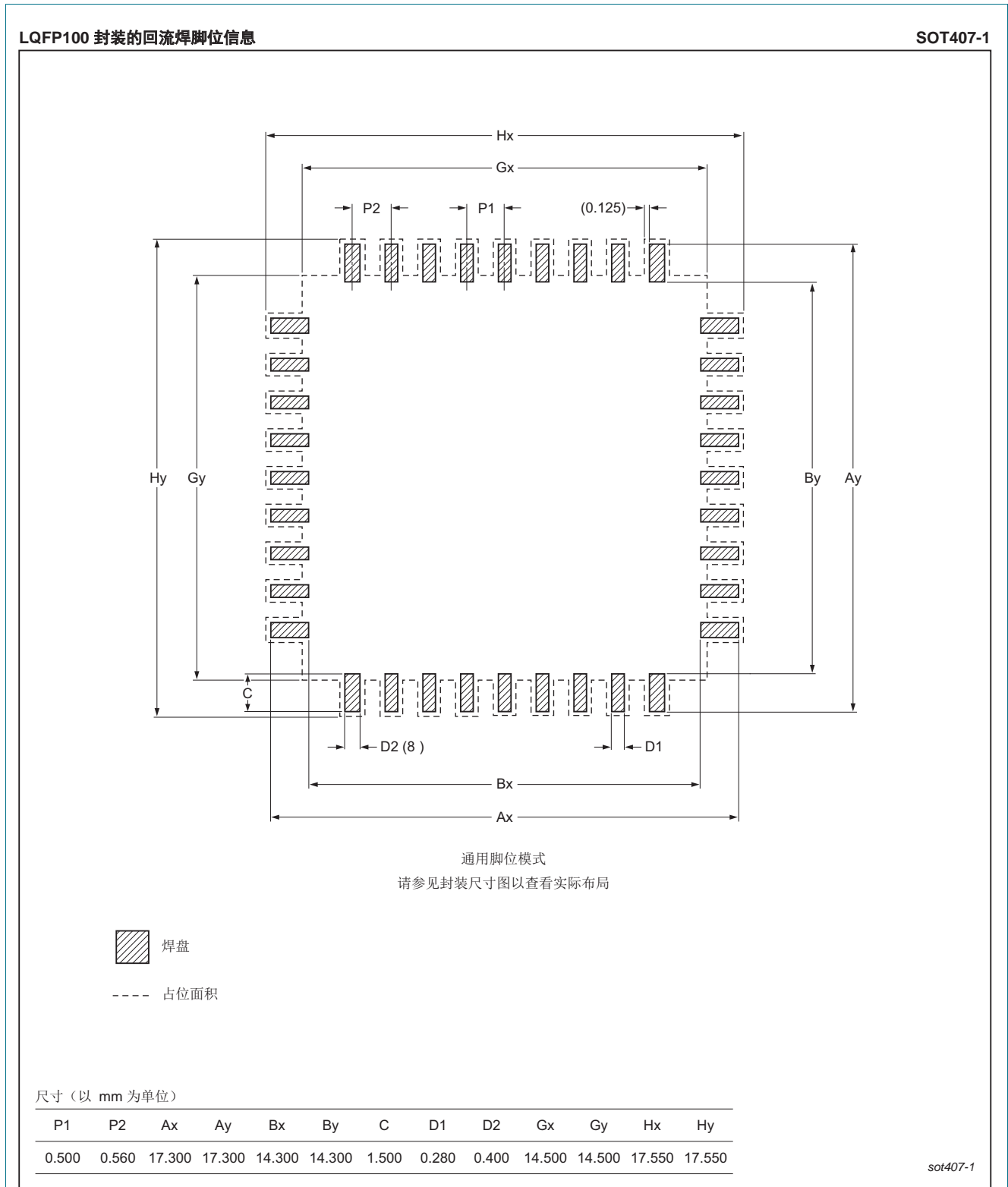


图 52. LQFP100 封装的回流焊

16. 缩略词

表 33. 缩略词

首字母缩略词	描述
ADC	模数转换器
AES	高级加密标准
AHB	高级高性能总线
APB	高级外设总线
API	应用程序编程接口
BOD	掉电检测
CAN	控制器局域网
CMAC	基于密文的消息认证码
CSMA/CD	带检测冲突的载波侦听多路存取
DAC	数模转换器
DC-DC	直流对直流
DMA	直接存储器访问
GPIO	通用输入 / 输出
IRC	内部 RC
IrDA	红外数值标准协会
JTAG	联合测试行动小组
LCD	液晶显示器
LSB	最低有效位
MAC	介质访问控制
MCU	微控制器
MIIM	介质独立接口管理
n.c.	未连接
OHCI	开放式主控制器接口
OTG	移动
PHY	物理层
PLL	锁相环
PMC	电源模式控制
PWM	脉冲宽度调制器
RIT	重复中断定时器
RMII	精简的媒体独立接口
SDRAM	同步动态随机存取存储器
SIMD	单指令多数据
SPI	串行外设接口
SSI	串行同步接口
SSP	同步串口
TCP/IP	传输控制协议 / 因特网协议
TTL	晶体管 - 晶体管逻辑
UART	通用异步收发器
ULPI	UTMI+ 低管脚接口

表 33. 缩略词 (续)

首字母缩略词	描述
USART	通用同步异步收发器
USB	通用串行总线
UTMI	USB2.0 收发器宏单元接口

17. 修订记录

表 34. 修订记录

文档 ID	发布日期	数据手册状态	更改说明	取代版本
LPC4350_30_20_10 v.3.1	20120105	客观数据手册		LPC4350_30_20_10 v.3
变更内容:			<ul style="list-style-type: none"> 表 4 和表 5 中增加了 SPIFI 启动引脚。 	
LPC4350_30_20_10 v.3	20111205	客观数据手册		LPC4350_30_20_10 v.2.1
变更内容:			<ul style="list-style-type: none"> $V_{DDA(3V3)}$ 的最小值更改为 2.2 V。 静态特性表和动态特性表中增加了 $V_{DD(IO)}$ 和 $V_{DD(REG)(3V3)}$ 的范围。 更新了图 29 和图 30。 第 11.7 节规定了 UART 和 USART 的最大比特率。 表 3 (仅该表) 中确定了 $V_{DD(IO)}$ 容压为 5 V 的引脚。 表 8 中增加了 USB1 引脚的引脚特性。 增加了参数 R_{vsi} 的释义 (图 36)。 删除了 ROM 中的 SPIFI 驱动器 (表 4 和表 5)。 整个数据手册中替换了多个 <td>。 表 26 中更新了参数 $C_{ia} = 2$ pF。 表 6 中增加了 ESD 参数。 删除了存储器映射中的 AES。 表 24 中增加了 SD/MMC 时序参数。 表 25 中增加了 LCD 时序参数。 表 20 中更新了 EMC SDRAM 时序参数。 表 17 中增加了 SSP 时序参数。 表 16 中增加了 USART 时序参数。 表 27 中增加了 DAC 特性数据。 DBGEN 引脚复位状态: 删除了 PD (表 3)。 TDO 引脚复位状态: 删除了 PU (表 3)。 USB0_ID 引脚: 更新了引脚说明 (表 3)。 USB0_VBUS 引脚: 更新了引脚说明 (表 3)。 增加了晶体振荡器的动态特性 (第 11.3 节)。 增加了 LQFP208 引脚配置。 增加了 EMC 静态和动态 SRAM 特性数据。 纠正了 LQFP208 封装中 GPIO 的数量 (表 2 中)。 增加了 ADC 特性 (表 26)。 增加了 DAC 特性 (表 27)。 表 3 中更新了 PF_0 和 PF_4 引脚的复位状态。 表 8 中增加了功耗数据。 表 8、图 14 和图 15 中增加了引脚电气特性。 表 3 中引脚功能 USB0_PWR_EN 更改为 USB0_PPWR 并更新了说明。 表 3 中引脚功能 USB1_VBUS_EN 更改为 USB1_PPWR 并更新了说明。 	
LPC4350_30_20_10 v.2.1	20110923	客观数据手册		LPC4350_30_20_10 v.2

表 34. 修订记录 (续)

文档 ID	发布日期	数据手册状态	更改说明	取代版本
变更内容:			<ul style="list-style-type: none"> 表 3 中增加了 LQFP100 封装。 引脚 P2_7 被指定为 ISP 入口引脚。 表 3 和表 5 中纠正了启动引脚。引脚 P2_9 替换引脚 P2_7 作为启动引脚。表 5 中纠正了第 4 个启动引脚 (引脚 P2_9) 的引脚电平。 表 5 中增加了 USART3 启动模式。 增加了 ISP 模式的说明 (第 7.11 节)。 更新了 I/O 引脚的 V_I (参见表 6)。 更新了表 2。 更新了引脚 P2_2 的引脚说明: 功能 CTOUT_6 更改为 CTIN_6。 更新了引脚 PF_9 的引脚说明: 功能 SGPIO7 更改为 SGPIO3。 表 3 中增加了 LQFP208 封装。 图 9 中增加了 SPIFI 存储器。 图 8 中更新了 AHB 多层矩阵连接。 引脚 P7_2, 列 LQFP144: 表 3 中 113 更换为 115。 	
LPC4350_30_20_10 v.2	20110714	客观数据手册		LPC4350_30_20_10 v.1
LPC4350_30_20_10 v.1	20101029	客观数据手册	-	-

18. 法律信息

18.1 数据手册状态

文档状态 [1][2]	产品状态 [3]	定义
客观 [缩略版] 数据手册	开发	该文档包含产品开发客观规范的数据。
初始 [缩略版] 数据手册	验证	该文档含有初始规范的数据。
产品 [缩略版] 数据手册	产量	该文档含有产品规范。

[1] 请在开始或完成设计之前查看最新发布文件。

[2] 有关“缩略版数据手册”的说明见“定义”部分。

[3] 自本文件发布以来，文件中的器件产品状态可能已发生变化；如果存在多个器件，则可能存在差异。欲了解最新产品状态信息，请访问：<http://www.nxp.com>。

18.2 定义

初稿 — 本文仅为初稿版本。其内容仍在内部审核中，尚未正式批准，可能会有进一步修改或补充。恩智浦半导体对本文信息的准确性或完整性不做任何说明或保证，并对因使用此信息而带来的后果不承担任何责任。

缩略版数据手册 — 缩略版数据手册为产品型号和标题完全相同的完整版数据手册的节选。缩略版数据手册仅供快速参考使用，不包括详细和完整的信息。欲了解详细、完整的信息，请查看相关的完整版数据手册，可向当地的恩智浦半导体销售办事处索取。如完整版与缩略版存在任何不一致或冲突，请以完整版为准。

产品规格 — 产品数据手册中提供的信息和数据规定了恩智浦半导体与其客户之间约定的产品规格，恩智浦半导体及客户另行书面说明时除外。在任何情况下，若协议认为恩智浦半导体产品需要具有超出产品数据手册规定的功能和质量，则该协议无效。

18.3 免责声明

有限担保和责任 — 本文中的信息据信是准确和可靠的。但是，恩智浦半导体对此类信息的准确性或完整性不做任何明示或暗示的说明或保证，并对因使用此类信息而带来的后果不承担任何责任。恩智浦半导体不对本文中非源自恩智浦半导体的信息内容负责。

任何情况下，对于任何间接、意外、惩罚性、特殊或衍生性损害（包括但不限于利润损失、积蓄损失、业务中断、因拆卸或更换任何产品而产生的开支或返工费用），无论此等损害是否基于侵权行为（包括过失）、担保、违约或任何其他法理，恩智浦半导体均不承担任何责任。

对于因任何原因给客户带来的任何损害，恩智浦半导体对本文所述产品的总责任和累积责任仅限于恩智浦“*商业销售条款和条件*”所规定的范围。

修改权利 — 恩智浦半导体保留对本文所发布的信息（包括但不限于规格和产品说明）随时进行修改的权利，恕不另行通知。本文件将取代并替换之前就此提供的所有信息。

适宜使用 — 恩智浦半导体产品并非设计、授权或担保适用于生命保障、生命关键或安全关键系统或设备，军事、飞机、太空或生命保障设备，亦非设计、授权或担保适用于在恩智浦半导体产品失效或故障时会导致人员伤亡、死亡或严重财产或环境损害的应用。恩智浦半导体及其供应商对在此类设备或应用中加入和/或使用恩智浦半导体产品不承担任何责任，客户需自行承担因加入和/或使用恩智浦半导体产品而带来的风险。

应用 — 本文件所述任何产品的应用仅限于例证目的。此类应用如不经进一步测试或修改用于特定用途，恩智浦半导体对其适用性不做任何说明或保证。

客户负责自行利用恩智浦半导体的产品进行设计 and 应用，对于应用或客户产品设计，恩智浦半导体无义务提供任何协助。客户须自行负责检验恩智浦半导体的产品是否适用于其规划的应用和产品，以及是否适用于其第三方客户的规划应用和使用。客户须提供适当的设计和操作系统安全保障措施，以降低与应用和产品相关的风险。

对于因客户的应用或产品中的任何缺陷或故障，或者客户的第三方客户的应用或使用导致的任何故障、损害、费用或问题，恩智浦半导体均不承担任何责任。客户负责对自己基于恩智浦半导体的产品的应用和产品进行所有必要测试，以避免这些应用和产品或者客户的第三方客户的应用或使用存在任何缺陷。恩智浦半导体不承担与此相关的任何责任。

极限值 — 超过一个或多个限值（如 IEC 60134 绝对最大额定值体系所规定）会给器件带来永久性损坏。限值仅为强度额定值，若器件工作于这些条件下或者超过“建议工作条件部分”（若有）或者本文件“特性”部分规定的条件下，则不在担保范围之内。持续或反复超过限值将对器件的质量和可靠性造成永久性、不可逆转的影响。

商业销售条款和条件 — 除非有效书面单项协议另有规定，恩智浦半导体的产品的销售遵循关于商业销售的一般条款和条件（见 <http://www.nxp.com/profile/terms>）。如果只达成了单项协议，则该协议的条款和条件适用。恩智浦半导体特此明确反对，应用客户就其购买恩智浦半导体的产品而制定的一般条款和条件。

无销售或许可要约 — 本文档中的任何信息均不得被理解或解释为对承诺开放的销售产品的要约，或者授予、让与或暗示任何版权、专利或其他工业或知识产权的任何许可。

出口管制 — 本文件以及此处所描述的产品可能受出口法规的管制。出口可能需要事先经主管部门批准。

非汽车应用产品 — 除非本数据手册明确表示，恩智浦半导体的本特定产品适用于汽车应用，否则，均不适用于汽车应用。未根据汽车测试或应用要求进行验证或测试。对于在汽车零件或应用中包括和/或使用非汽车应用产品的行为，恩智浦半导体不承担任何责任。

客户将产品用于设计导入以及符合汽车规范和标准的汽车应用时，客户须 (a) 使用产品但恩智浦半导体不对产品的此等汽车应用、用途和规范作任何担保；并且 (b) 若客户超越恩智浦半导体所提供规格使用汽车应用产品，须自行承担所有风险；并且 (c) 对于因客户设计以及客户超出恩智浦半导体标准担保范围和恩智浦半导体所提供规格使用汽车应用产品而导致的任何责任、损害或产品故障索赔，客户须免除恩智浦半导体的全部责任。

18.4 商标

注意：所有引用的品牌、产品名称、服务名称以及商标均为其各自所有者的财产。

IPC 总线 — 标识是 NXP B.V. 的商标。

19. 联系信息

欲获取更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

20. 内容

1	简介	1	7.17.6	高速 USB 主机 / 设备的 ULPI(USB1) 接口	71
2	特性和优势	1	7.17.6.1	特性	71
3	应用	3	7.17.7	LCD 控制器	71
4	订购信息	4	7.17.7.1	特性	72
4.1	订购选项	4	7.17.8	以太网	72
5	功能框图	5	7.17.8.1	特性	72
6	引脚信息	6	7.18	数字串行外围设备	73
6.1	引脚配置	6	7.18.1	UART1	73
6.2	引脚描述	7	7.18.1.1	特性	73
7	功能说明	60	7.18.2	USART0/2/3	73
7.1	架构概述	60	7.18.2.1	特性	73
7.2	ARM Cortex-M4 处理器	60	7.18.3	SPI 串行 I/O 控制器	74
7.3	ARM Cortex-M0 协处理器	60	7.18.3.1	特性	74
7.4	处理器间通信	60	7.18.4	SSP 串行 I/O 控制器	74
7.5	AHB 多层矩阵	61	7.18.4.1	特性	74
7.6	可嵌套中断向量控制器 (NVIC)	61	7.18.5	I ² C 总线接口	74
7.6.1	特性	61	7.18.5.1	特性	74
7.6.2	中断源	62	7.18.6	I ² S 接口	75
7.7	事件路由器	62	7.18.6.1	特性	75
7.8	全局输入多路复用器阵列 (GIMA)	62	7.18.7	C_CAN	75
7.8.1	特性	62	7.18.7.1	特性	75
7.9	系统节拍定时器 (SysTick)	62	7.19	计数器 / 定时器和马达控制	76
7.10	片内静态 RAM	62	7.19.1	32 位通用定时器 / 外部事件计数器	76
7.11	在系统编程 (ISP)	62	7.19.1.1	特性	76
7.12	Boot ROM	63	7.19.2	马达控制 PWM	76
7.13	存储器映射	64	7.19.3	正交编码器接口 (QEI)	76
7.14	安全功能	67	7.19.3.1	特性	76
7.14.1	AES 解密引擎	67	7.19.4	重复中断 (RI) 定时器	77
7.14.1.1	特性	67	7.19.4.1	特性	77
7.14.2	一次性可编程 (OTP) 存储器	67	7.19.5	窗口化看门狗定时器 (WWDT)	77
7.15	通用 I/O (GPIO)	67	7.19.5.1	特性	77
7.15.1	特性	67	7.20	模拟外设	77
7.16	可配置的数字外设	68	7.20.1	模数转换器 (ADC0/1)	77
7.16.1	状态可配置定时器 (SCT) 子系统	68	7.20.1.1	特性	77
7.16.1.1	特性	68	7.20.2	数模转换器 (DAC)	78
7.16.2	串行 GPIO(SGPIO)	68	7.20.2.1	特性	78
7.16.2.1	特性	68	7.21	RTC 电源域中的外围设备	78
7.17	AHB 外围设备	69	7.21.1	RTC	78
7.17.1	通用 DMA(GPDMA)	69	7.21.1.1	特性	78
7.17.1.1	特性	69	7.21.2	警报定时器	78
7.17.2	SPI 闪存接口 (SPIFI)	69	7.22	系统控制	78
7.17.2.1	特性	70	7.22.1	配置寄存器 (CREG)	78
7.17.3	SD/MMC 卡接口	70	7.22.2	系统控制单元 (SCU)	79
7.17.4	外部存储控制器 (EMC)	70	7.22.3	时钟产生单元 (CGU)	79
7.17.4.1	特性	70	7.22.4	内部 RC 振荡器 (IRC)	79
7.17.5	高速 USB 主机 / 设备 / OTG 接口 (USB0)	71	7.22.5	PLL0USB (用于 USB0)	79
7.17.5.1	特性	71	7.22.6	PLL0AUDIO (用于音频)	79

续 ->>

7.22.7	系统 PLL1	79
7.22.8	复位产生单元 (RGU)	80
7.22.9	功率控制	80
7.23	串行线调试 /JTAG	81
8	极限值	82
9	热学特性	83
10	静态特性	84
10.1	电气引脚特性	89
10.2	功耗	91
11	动态特性	95
11.1	唤醒时间	95
11.2	外部时钟	95
11.3	晶体振荡器	95
11.4	IRC 和 RTC 振荡器	96
11.5	I ² C 总线	97
11.6	I ² S 总线接口	98
11.7	USART 接口	99
11.8	SSP 接口	100
11.9	外部存储器接口	102
11.10	USB 接口	106
11.11	以太网	108
11.12	SD/MMC	110
11.13	LCD	110
12	ADC/DAC 电气特性	111
13	应用信息	114
13.1	LCD 面板信号的使用	114
13.2	晶体振荡器	116
13.3	XTAL 和 RTCX 印刷电路板 (PCB) 布局指南	117
13.4	标准 I/O 引脚配置	117
13.5	复位引脚配置	119
14	封装尺寸	120
15	焊接	126
16	缩略词	132
17	修订记录	134
18	法律信息	136
18.1	数据手册状态	136
18.2	定义	136
18.3	免责声明	136
18.4	商标	136
19	联系信息	136
20	内容	137

This translated version is for reference only, and the English version shall prevail in case of any discrepancy between the translated and English versions.

版权所有 2012 恩智浦有限公司 未经许可，禁止转载

注意：关于本文及相关产品的重要说明详见“法律信息”一节。

© NXP B.V. 2012.

保留所有权利。

欲获取更多信息，请访问：<http://www.nxp.com>

欲咨询销售办事处地址，请发送电子邮件至：salesaddresses@nxp.com

发布日期：2012 年 1 月 5 日

文档号：LPC4350_30_20_10