

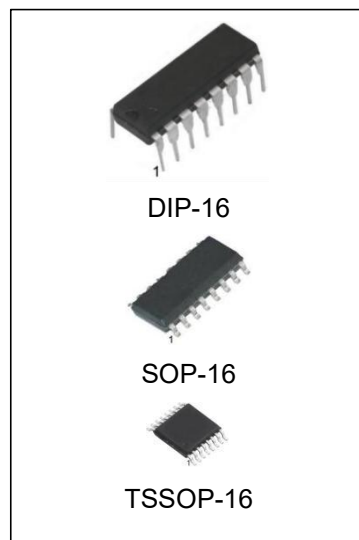
8 位并入串出移位寄存器

概述

74HC165 是一个 8 位串行或并行输入/串行输出移位寄存器。该电路具有一个串行数据输入 (DS)，八个并行数据输入 (D0 ~ D7) 和两个互补的串行输出 (Q7 和 $\bar{Q}7$)。当并行加载输入 (\bar{PL}) 为低电平时，将 D0 到 D7 的数据异步加载到移位寄存器中。当 \bar{PL} 为高电平时，数据在 DS 处串行进入寄存器。当时钟使能输入 (\bar{CE}) 为低电平时，数据在 CP 输入上升沿时移位。 \bar{CE} 上的高电平将禁用 CP 输入。

其主要特点如下：

- 输入电平：CMOS 电平
- 异步 8 位并行加载
- 同步串行输入
- 工作环境温度范围：-40°C ~ +105°C
- 封装形式：DIP-16/SOP-16/TSSOP-16



产品订购信息

产品名称	封装	打印名称	包装	包装数量
74HC165N	DIP-16	74HC165	管装	1000 只/盒
74HC165M/TR	SOP-16	74HC165	编带	2500 只/盘
74HC165MT/TR	TSSOP-16	HC165	编带	2500 只/盘

功能框图

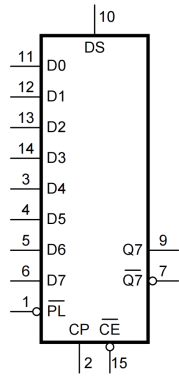


图 1 逻辑符号

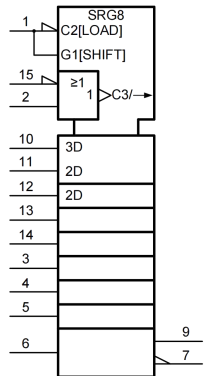


图 2 IEC 逻辑符号

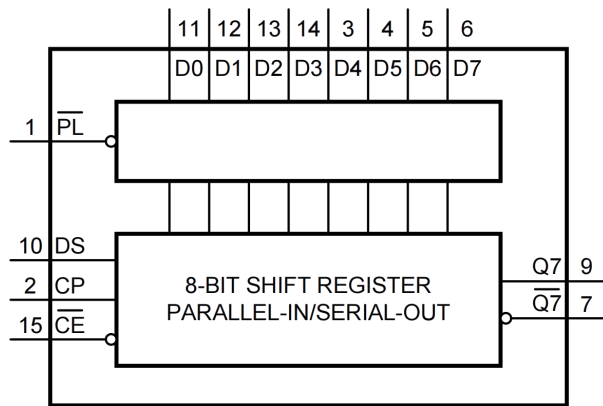


图 3 功能框图

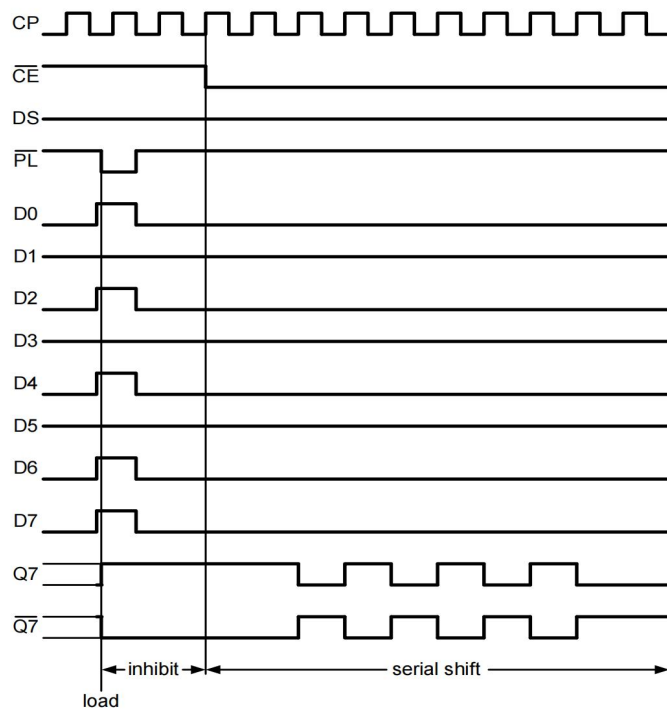


图 4 时序图

功能表

工作模式	输入					Qn 寄存器		输出	
	\overline{PL}	\overline{CE}	CP	DS	D0 to D7	Q0	Q1 to Q6	Q7	$\overline{Q7}$
并行负载	L	X	X	X	L	L	L to L	L	H
	L	X	X	X	H	H	H to H	H	L
串行移位	H	L	↑	l	X	L	q0 to q5	q6	$\overline{q6}$
	H	L	↑	h	X	H	q0 to q5	q6	$\overline{q6}$
	H	↑	L	l	X	L	q0 to q5	q6	$\overline{q6}$
	H	↑	L	h	X	H	q0 to q5	q6	$\overline{q6}$
保持	H	H	X	X	X	q0	q1 to q6	q7	$\overline{q7}$
	H	X	H	X	X	q0	q1 to q6	q7	$\overline{q7}$

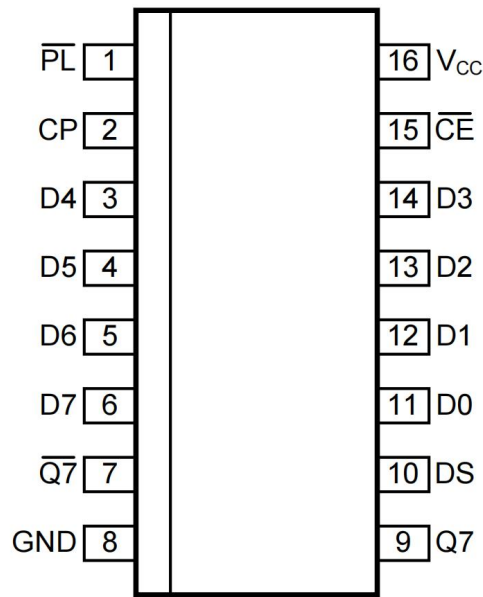
注：H=高电平；L=低电平；↑=上升沿；X=无关。

h=建立时间阶段到上升沿的高电平；

l=建立时间阶段到上升沿的低电平；

q=建立时间阶段到上升沿的输出状态；

引脚排列图



DIP-16/SOP-16/TSSOP-16

引脚说明

引脚	符号	功能
1	\overline{PL}	异步并行负载输入（低电平有效）
2	CP	时钟输入（低到高边沿触发）
3	D4	并行数据输入（也称为 Dn）
4	D5	并行数据输入（也称为 Dn）
5	D6	并行数据输入（也称为 Dn）
6	D7	并行数据输入（也称为 Dn）
7	$\overline{Q7}$	末级互补输出
8	GND	地（0V）
9	Q7	末级串行输出
10	DS	串行数据输入
11	D0	并行数据输入（也称为 Dn）
12	D1	并行数据输入（也称为 Dn）
13	D2	并行数据输入（也称为 Dn）
14	D3	并行数据输入（也称为 Dn）
15	\overline{CE}	时钟使能输入（低电平有效）
16	V_{CC}	电源电压

电特性

极限参数

除非另有规定, $T_{amb}=25^{\circ}\text{C}$

参数名称	符号	条件	最小	最大	单位
电源电压	V_{CC}	—	-0.5	+7	V
输入钳位电流	I_{IK}	$V_I < -0.5\text{V}$ 或 $V_I > V_{CC} + 0.5\text{V}$	—	± 20	mA
输出钳位电流	I_{OK}	$V_O < -0.5\text{V}$ 或 $V_O > V_{CC} + 0.5\text{V}$	—	± 20	mA
输出电流	I_O	$-0.5\text{V} < V_O < V_{CC} + 0.5\text{V}$	—	± 25	mA
电源电流	I_{CC}	—	—	50	mA
地电流	I_{GND}	—	-50	—	mA
总功耗	P_{tot}	—	—	500	mW
贮存温度	T_{stg}	—	-65	+150	$^{\circ}\text{C}$
焊接温度	TL	10 秒	—	245	$^{\circ}\text{C}$

注：极限参数是指无论在任何条件下都不能超过的极限值。万一超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。

DIP16 封装：高于 70°C ， P_{tot} 的值以 12mW/K 线性降低。

SOP16 封装：高于 70°C ， P_{tot} 的值以 8mW/K 线性降低。

(T)SSOP16 封装：高于 60°C ， P_{tot} 的值以 5.5mW/K 线性降低。

推荐使用条件

参数名称	符号	条件	最小	典型	最大	单位
电源电压	V_{CC}	—	2.0	5.0	6.0	V
输入电压	V_I	—	0	—	V_{CC}	V
输出电压	V_O	—	0	—	V_{CC}	V
输入上升和下降转换速率	$\Delta t / \Delta V$	$V_{CC}=2.0\text{V}$	—	—	625	ns/V
		$V_{CC}=4.5\text{V}$	—	1.67	139	ns/V
		$V_{CC}=6.0\text{V}$	—	—	83	ns/V
工作环境温度	T_{amb}	—	-40	—	+105	$^{\circ}\text{C}$

电气特性

直流参数 1

(除非另有规定, $T_{amb}=25^{\circ}\text{C}$, $\text{GND}=0\text{V}$)

参数名称	符号	测试条件	最小	典型	最大	单位	
高电平输入电压	V_{IH}	$V_{CC}=2.0\text{V}$	1.5	1.2	—	V	
		$V_{CC}=4.5\text{V}$	3.15	2.4	—	V	
		$V_{CC}=6.0\text{V}$	4.2	3.2	—	V	
低电平输入电压	V_{IL}	$V_{CC}=2.0\text{V}$	—	0.8	0.5	V	
		$V_{CC}=4.5\text{V}$	—	2.1	1.35	V	
		$V_{CC}=6.0\text{V}$	—	2.8	1.8	V	
高电平输出电压	V_{OH}	$V_i=V_{IH}$ 或 V_{IL}	$I_o=-20\mu\text{A}; V_{CC}=2.0\text{V}$	1.9	2.0	—	V
			$I_o=-20\mu\text{A}; V_{CC}=4.5\text{V}$	4.4	4.5	—	V
			$I_o=-20\mu\text{A}; V_{CC}=6.0\text{V}$	5.9	6.0	—	V
			$I_o=-4.0\text{mA}; V_{CC}=4.5\text{V}$	3.98	4.32	—	V
			$I_o=-5.2\text{mA}; V_{CC}=6.0\text{V}$	5.48	5.81	—	V
低电平输出电压	V_{OL}	$V_i=V_{IH}$ 或 V_{IL}	$I_o=20\mu\text{A}; V_{CC}=2.0\text{V}$	—	0	0.1	V
			$I_o=20\mu\text{A}; V_{CC}=4.5\text{V}$	—	0	0.1	V
			$I_o=20\mu\text{A}; V_{CC}=6.0\text{V}$	—	0	0.1	V
			$I_o=4.0\text{mA}; V_{CC}=4.5\text{V}$	—	0.15	0.26	V
			$I_o=5.2\text{mA}; V_{CC}=6.0\text{V}$	—	0.16	0.26	V
输入漏电流	I_i	$V_i=V_{CC}$ 或 $\text{GND}; V_{CC}=6.0\text{V}$	—	—	± 1	μA	
静态电流	I_{CC}	$V_i=V_{CC}$ 或 $\text{GND}; I_o=0\text{A}; V_{CC}=6.0\text{V}$	—	—	8	μA	
输入电容	C_i	—	—	3.5	—	pF	

直流参数 2

 (除非另有规定, $T_{amb}=-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$, $\text{GND}=0\text{V}$)

参数名称	符号	测试条件	最小	典型	最大	单位	
高电平输入电压	V_{IH}	$V_{CC}=2.0\text{V}$	1.5	—	—	V	
		$V_{CC}=4.5\text{V}$	3.15	—	—	V	
		$V_{CC}=6.0\text{V}$	4.2	—	—	V	
低电平输入电压	V_{IL}	$V_{CC}=2.0\text{V}$	—	—	0.5	V	
		$V_{CC}=4.5\text{V}$	—	—	1.35	V	
		$V_{CC}=6.0\text{V}$	—	—	1.8	V	
高电平输出电压	V_{OH}	$V_I=V_{IH}$ 或 V_{IL}	$I_O=-20\mu\text{A}; V_{CC}=2.0\text{V}$	1.9	—	—	V
			$I_O=-20\mu\text{A}; V_{CC}=4.5\text{V}$	4.4	—	—	V
			$I_O=-20\mu\text{A}; V_{CC}=6.0\text{V}$	5.9	—	—	V
			$I_O=-4.0\text{mA}; V_{CC}=4.5\text{V}$	3.84	—	—	V
			$I_O=-5.2\text{mA}; V_{CC}=6.0\text{V}$	5.34	—	—	V
低电平输出电压	V_{OL}	$V_I=V_{IH}$ 或 V_{IL}	$I_O=20\mu\text{A}; V_{CC}=2.0\text{V}$	—	—	0.1	V
			$I_O=20\mu\text{A}; V_{CC}=4.5\text{V}$	—	—	0.1	V
			$I_O=20\mu\text{A}; V_{CC}=6.0\text{V}$	—	—	0.1	V
			$I_O=4.0\text{mA}; V_{CC}=4.5\text{V}$	—	—	0.33	V
			$I_O=5.2\text{mA}; V_{CC}=6.0\text{V}$	—	—	0.33	V
输入漏电流	I_I	$V_I=V_{CC}$ 或 $\text{GND}; V_{CC}=6.0\text{V}$	—	—	± 1	μA	
静态电流	I_{CC}	$V_I=V_{CC}$ 或 $\text{GND}; I_O=0\text{A}; V_{CC}=6.0\text{V}$	—	—	80	μA	

直流参数 3

 (除非另有规定, $T_{amb}=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$, $\text{GND}=0\text{V}$)

参数名称	符号	测试条件	最小	典型	最大	单位	
高电平输入电压	V_{IH}	$V_{CC}=2.0\text{V}$	1.5	—	—	V	
		$V_{CC}=4.5\text{V}$	3.15	—	—	V	
		$V_{CC}=6.0\text{V}$	4.2	—	—	V	
低电平输入电压	V_{IL}	$V_{CC}=2.0\text{V}$	—	—	0.5	V	
		$V_{CC}=4.5\text{V}$	—	—	1.35	V	
		$V_{CC}=6.0\text{V}$	—	—	1.8	V	
高电平输出电压	V_{OH}	$V_I=V_{IH}$ 或 V_{IL}	$I_O=-20\mu\text{A}; V_{CC}=2.0\text{V}$	1.9	—	—	V
			$I_O=-20\mu\text{A}; V_{CC}=4.5\text{V}$	4.4	—	—	V
			$I_O=-20\mu\text{A}; V_{CC}=6.0\text{V}$	5.9	—	—	V
			$I_O=-4.0\text{mA}; V_{CC}=4.5\text{V}$	3.7	—	—	V
			$I_O=-5.2\text{mA}; V_{CC}=6.0\text{V}$	5.2	—	—	V
低电平输出电压	V_{OL}	$V_I=V_{IH}$ 或 V_{IL}	$I_O=20\mu\text{A}; V_{CC}=2.0\text{V}$	—	—	0.1	V
			$I_O=20\mu\text{A}; V_{CC}=4.5\text{V}$	—	—	0.1	V
			$I_O=20\mu\text{A}; V_{CC}=6.0\text{V}$	—	—	0.1	V
			$I_O=4.0\text{mA}; V_{CC}=4.5\text{V}$	—	—	0.4	V
			$I_O=5.2\text{mA}; V_{CC}=6.0\text{V}$	—	—	0.4	V
输入漏电流	I_I	$V_I=V_{CC}$ 或 $\text{GND}; V_{CC}=6.0\text{V}$	—	—	± 1	μA	
静态电流	I_{CC}	$V_I=V_{CC}$ 或 $\text{GND}; I_O=0\text{A}; V_{CC}=6.0\text{V}$	—	—	160	μA	

交流参数 1

 (除非另有规定, $T_{amb}=25^{\circ}\text{C}$, $\text{GND}=0\text{V}$, $C_L=50\text{pF}$)

参数名称	符号	测试条件	最小	典型	最大	单位	
传输延时	t_{pd}	CP, $\overline{\text{CE}}$ 到 Q7, $\overline{\text{Q7}}$; 见图 6	$V_{CC}=2.0\text{V}$	—	52	165	ns
			$V_{CC}=4.5\text{V}$	—	19	33	ns
			$V_{CC}=5.0\text{V}; C_L=15\text{pF}$	—	16	—	ns
			$V_{CC}=6.0\text{V}$	—	15	28	ns
		$\overline{\text{PL}}$ 到 Q7, $\overline{\text{Q7}}$; 见图 7	$V_{CC}=2.0\text{V}$	—	50	165	ns
			$V_{CC}=4.5\text{V}$	—	18	33	ns
			$V_{CC}=5.0\text{V}; C_L=15\text{pF}$	—	15	—	ns
		D7 到 Q7, $\overline{\text{Q7}}$; 见图 8	$V_{CC}=2.0\text{V}$	—	36	120	ns
			$V_{CC}=4.5\text{V}$	—	13	24	ns
			$V_{CC}=5.0\text{V}; C_L=15\text{pF}$	—	11	—	ns
			$V_{CC}=6.0\text{V}$	—	10	20	ns
		转换时间	t_t	Q7, $\overline{\text{Q7}}$ 输出; 见图 6	$V_{CC}=2.0\text{V}$	—	19
$V_{CC}=4.5\text{V}$	—				7	15	ns
$V_{CC}=6.0\text{V}$	—				6	13	ns
脉冲宽度	t_w	CP 输入高电平或低电平; 见图 6	$V_{CC}=2.0\text{V}$	80	17	—	ns
			$V_{CC}=4.5\text{V}$	16	6	—	ns
			$V_{CC}=6.0\text{V}$	14	5	—	ns
		$\overline{\text{PL}}$ 输入低电平; 见图 7	$V_{CC}=2.0\text{V}$	80	14	—	ns
			$V_{CC}=4.5\text{V}$	16	5	—	ns
			$V_{CC}=6.0\text{V}$	14	4	—	ns
恢复时间	t_{rec}	$\overline{\text{PL}}$ 到 CP, $\overline{\text{CE}}$; 见图 7	$V_{CC}=2.0\text{V}$	100	22	—	ns
			$V_{CC}=4.5\text{V}$	20	8	—	ns
			$V_{CC}=6.0\text{V}$	17	6	—	ns
建立时间	t_{su}	DS 到 CP, $\overline{\text{CE}}$; 见图 9	$V_{CC}=2.0\text{V}$	80	11	—	ns
			$V_{CC}=4.5\text{V}$	16	4	—	ns
			$V_{CC}=6.0\text{V}$	14	3	—	ns
		$\overline{\text{CE}}$ 到 CP 和 CP 到 $\overline{\text{CE}}$; 见图 9	$V_{CC}=2.0\text{V}$	80	17	—	ns
			$V_{CC}=4.5\text{V}$	16	6	—	ns
			$V_{CC}=6.0\text{V}$	14	5	—	ns
		Dn 到 $\overline{\text{PL}}$; 见图 10	$V_{CC}=2.0\text{V}$	80	22	—	ns
			$V_{CC}=6.0\text{V}$	14	6	—	ns
		保持时间	t_h	DS 到 CP, $\overline{\text{CE}}$ 和 Dn 到 $\overline{\text{PL}}$; 见图 9	$V_{CC}=2.0\text{V}$	5	2
$V_{CC}=4.5\text{V}$	5				2	—	ns
$V_{CC}=6.0\text{V}$	5				2	—	ns
$\overline{\text{CE}}$ 到 CP 和 CP 到 $\overline{\text{CE}}$; 见图 9	$V_{CC}=2.0\text{V}$			5	-17	—	ns
	$V_{CC}=4.5\text{V}$			5	-6	—	ns
	$V_{CC}=6.0\text{V}$			5	-5	—	ns
最大频率	f_{max}	CP 输入; 见图 6	$V_{CC}=2.0\text{V}$	6	17	—	MHz
			$V_{CC}=4.5\text{V}$	30	51	—	MHz
			$V_{CC}=5.0\text{V}; C_L=15\text{pF}$	—	56	—	MHz
			$V_{CC}=6.0\text{V}$	35	61	—	MHz
功耗电容	C_{PD}	每个封装; $V_i=\text{GND}\sim V_{CC}$	—	35	—	pF	

注:

- [1] t_{pd} 与 t_{PLH} 和 t_{PHL} 相同。
 [2] t_t 与 t_{THL} 和 t_{TLH} 相同。
 [3] C_{PD} 用于决定动态功率损耗 (P_D 单位为 μW)。
 $P_D = (C_{PD} \times V_{CC}^2 \times f_i \times N) + \sum (C_L \times V_{CC}^2 \times f_o)$, 其中:
 f_i = 输入频率 (MHz);
 f_o = 输出频率 (MHz);
 C_L = 输出负载电容 (pF);
 V_{CC} = 电源电压 (V);
 N = 输入开关数;
 $\sum (C_L \times V_{CC}^2 \times f_o)$ = 输出总和。

交流参数 2

(除非另有规定, $T_{amb} = -40^\circ C \sim +85^\circ C$, $GND = 0V$, $C_L = 50pF$)

参数名称	符号	测试条件	最小	典型	最大	单位	
传输延时	t_{pd}	CP, \overline{CE} 到 Q7, $\overline{Q7}$; 见图 6	$V_{CC} = 2.0V$	—	—	205	ns
			$V_{CC} = 4.5V$	—	—	41	ns
			$V_{CC} = 6.0V$	—	—	35	ns
		\overline{PL} 到 Q7, $\overline{Q7}$; 见图 7	$V_{CC} = 2.0V$	—	—	205	ns
			$V_{CC} = 4.5V$	—	—	41	ns
			$V_{CC} = 6.0V$	—	—	35	ns
		D7 到 Q7, $\overline{Q7}$; 见图 8	$V_{CC} = 2.0V$	—	—	150	ns
			$V_{CC} = 4.5V$	—	—	30	ns
			$V_{CC} = 6.0V$	—	—	26	ns
转换时间	t_t	Q7, $\overline{Q7}$ 输出; 见图 6	$V_{CC} = 2.0V$	—	—	95	ns
			$V_{CC} = 4.5V$	—	—	19	ns
			$V_{CC} = 6.0V$	—	—	16	ns
脉冲宽度	t_w	CP 输入高电平或低电平; 见图 6	$V_{CC} = 2.0V$	100	—	—	ns
			$V_{CC} = 4.5V$	20	—	—	ns
			$V_{CC} = 6.0V$	17	—	—	ns
		\overline{PL} 输入低电平; 见图 7	$V_{CC} = 2.0V$	100	—	—	ns
			$V_{CC} = 4.5V$	20	—	—	ns
			$V_{CC} = 6.0V$	17	—	—	ns
恢复时间	t_{rec}	\overline{PL} 到 CP, \overline{CE} ; 见图 7	$V_{CC} = 2.0V$	125	—	—	ns
			$V_{CC} = 4.5V$	25	—	—	ns
			$V_{CC} = 6.0V$	21	—	—	ns
建立时间	t_{su}	DS 到 CP, \overline{CE} ; 见图 9	$V_{CC} = 2.0V$	100	—	—	ns
			$V_{CC} = 4.5V$	20	—	—	ns
			$V_{CC} = 6.0V$	17	—	—	ns
		\overline{CE} 到 CP 和 CP 到 \overline{CE} ; 见图 9	$V_{CC} = 2.0V$	100	—	—	ns
			$V_{CC} = 4.5V$	20	—	—	ns
			$V_{CC} = 6.0V$	17	—	—	ns
		Dn 到 \overline{PL} ; 见图 10	$V_{CC} = 2.0V$	100	—	—	ns
			$V_{CC} = 4.5V$	20	—	—	ns
			$V_{CC} = 6.0V$	17	—	—	ns
保持时间	t_h	DS 到 CP, \overline{CE} 和 Dn 到 \overline{PL} ; 见图 9	$V_{CC} = 2.0V$	5	—	—	ns
			$V_{CC} = 4.5V$	5	—	—	ns

			V _{CC} =6.0V	5	—	—	ns
			V _{CC} =2.0V	5	—	—	ns
		CE 到 CP 和 CP 到 CE；见图 9	V _{CC} =4.5V	5	—	—	ns
			V _{CC} =6.0V	5	—	—	ns
最大频率	f _{max}	CP 输入；见图 6	V _{CC} =2.0V	5	—	—	MHz
			V _{CC} =4.5V	24	—	—	MHz
			V _{CC} =6.0V	28	—	—	MHz

注：

[1] t_{pd} 与 t_{PLH} 和 t_{PHL} 相同。

[2] t_t 与 t_{THL} 和 t_{TLH} 相同。

交流参数 3

(除非另有规定, T_{amb}=-40°C~+105°C, GND=0V, C_L=50pF)

参数名称	符号	测试条件	最小	典型	最大	单位	
传输延时	t _{pd}	CP, CE 到 Q7, Q7； 见图 6	V _{CC} =2.0V	—	—	250	ns
			V _{CC} =4.5V	—	—	50	ns
			V _{CC} =6.0V	—	—	43	ns
		PL 到 Q7, Q7； 见图 7	V _{CC} =2.0V	—	—	250	ns
			V _{CC} =4.5V	—	—	50	ns
			V _{CC} =6.0V	—	—	43	ns
		D7 到 Q7, Q7； 见图 8	V _{CC} =2.0V	—	—	180	ns
			V _{CC} =4.5V	—	—	36	ns
			V _{CC} =6.0V	—	—	31	ns
转换时间	t _t	Q7, Q7 输出； 见图 6	V _{CC} =2.0V	—	—	110	ns
			V _{CC} =4.5V	—	—	22	ns
			V _{CC} =6.0V	—	—	19	ns
脉冲宽度	t _w	CP 输入高电平或低 电平；见图 6	V _{CC} =2.0V	120	—	—	ns
			V _{CC} =4.5V	24	—	—	ns
			V _{CC} =6.0V	20	—	—	ns
		PL 输入低电平； 见图 7	V _{CC} =2.0V	120	—	—	ns
			V _{CC} =4.5V	24	—	—	ns
			V _{CC} =6.0V	20	—	—	ns
恢复时间	t _{rec}	PL 到 CP, CE； 见图 7	V _{CC} =2.0V	150	—	—	ns
			V _{CC} =4.5V	30	—	—	ns
			V _{CC} =6.0V	26	—	—	ns
建立时间	t _{su}	DS 到 CP, CE； 见图 9	V _{CC} =2.0V	120	—	—	ns
			V _{CC} =4.5V	24	—	—	ns
			V _{CC} =6.0V	20	—	—	ns
		CE 到 CP 和 CP 到 CE；见图 9	V _{CC} =2.0V	120	—	—	ns
			V _{CC} =4.5V	24	—	—	ns
			V _{CC} =6.0V	20	—	—	ns
		Dn 到 PL；见图 10	V _{CC} =2.0V	120	—	—	ns
			V _{CC} =4.5V	24	—	—	ns
			V _{CC} =6.0V	20	—	—	ns

保持时间	t_h	DS 到 CP, \overline{CE} 和 Dn 到 \overline{PL} ; 见图 9	$V_{CC}=2.0V$	5	—	—	ns
			$V_{CC}=4.5V$	5	—	—	ns
			$V_{CC}=6.0V$	5	—	—	ns
		\overline{CE} 到 CP 和 CP 到 \overline{CE} ; 见图 9	$V_{CC}=2.0V$	5	—	—	ns
			$V_{CC}=4.5V$	5	—	—	ns
			$V_{CC}=6.0V$	5	—	—	ns
最大频率	f_{max}	CP 输入; 见图 6	$V_{CC}=2.0V$	5	—	—	MHz
			$V_{CC}=4.5V$	20	—	—	MHz
			$V_{CC}=6.0V$	24	—	—	MHz

注:

[1] t_{pd} 与 t_{PLH} 和 t_{PHL} 相同。

[2] t_t 与 t_{THL} 和 t_{TLH} 相同。

测试线路

交流测试线路

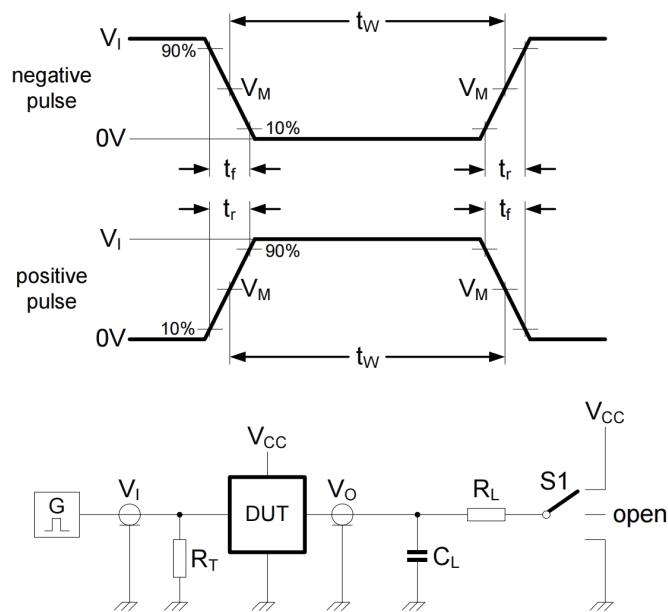


图 5 测量开关时间的测试电路

测试电路的定义:

C_L =负载电容, 包括探针、夹子上的电容

R_T =终端电阻须与信号发生器的输出阻抗 Z_o 匹配

R_L =负载电阻

$S1$ =测试选择开关

交流测试波形

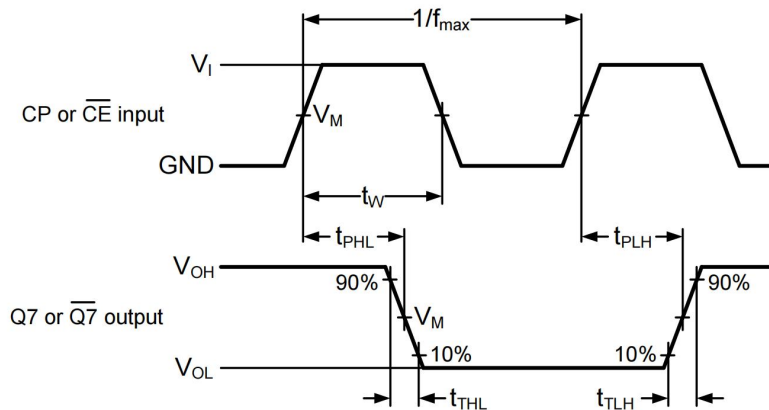


图 6 时钟 (CP) 或时钟使能 (\overline{CE}) 到输出端 (Q7 或 $\overline{Q7}$) 的传输延时、时钟脉宽、输出转换时间和最大时钟频率

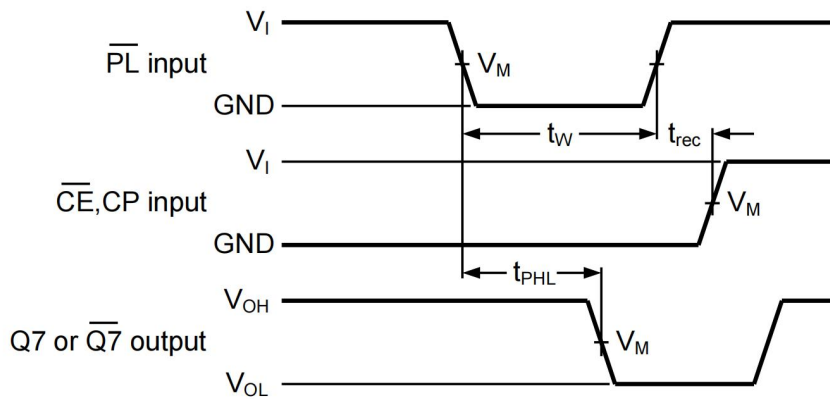


图 7 并行加载 (\overline{PL}) 脉宽, 并行加载到输出端 (Q7 或 $\overline{Q7}$) 的传输延时、并行加载到时钟 (CP) 和时钟使能 (\overline{CE}) 的恢复时间

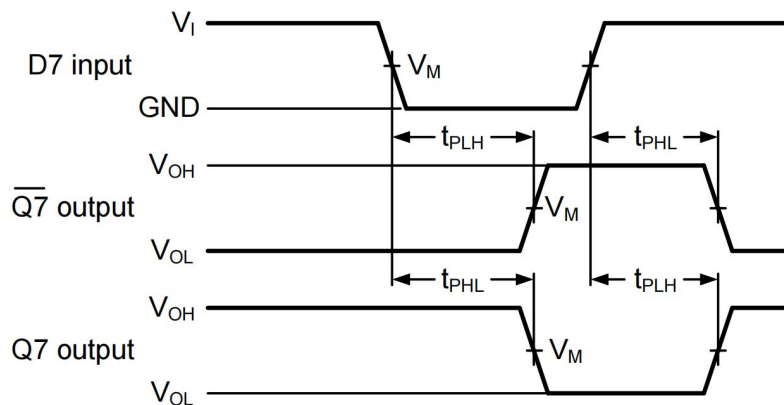
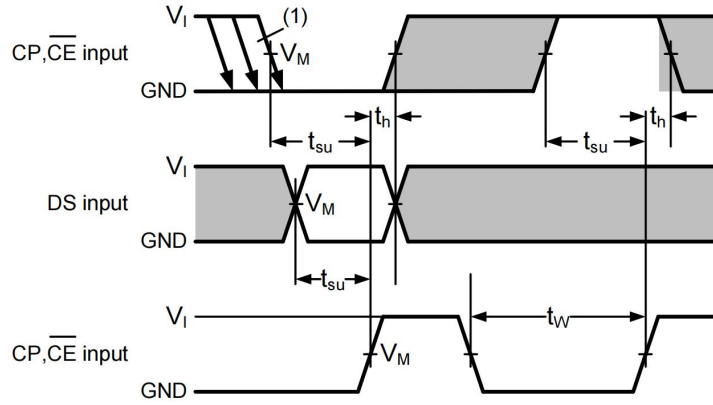


图 8 当 \overline{PL} 为低电平时数据输入 (D7) 到输出 (Q7 或 $\overline{Q7}$) 的传输延时



(1) CE只能在CP为低电平时从低电平变为高电平。

图9 从串行数据输入（DS）到时钟（CP）和时钟使能输入（ \overline{CE} ），从时钟使能输入（ \overline{CE} ）到时钟输入（CP）以及从时钟输入（CP）到时钟使能输入（ \overline{CE} ）的建立时间和保持时间

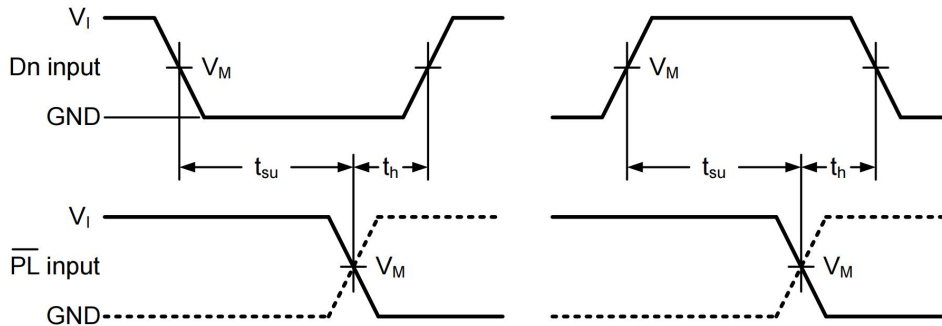


图10 数据输入（Dn）到并联负载输入（ \overline{PL} ）的建立时间和保持时间

测试点

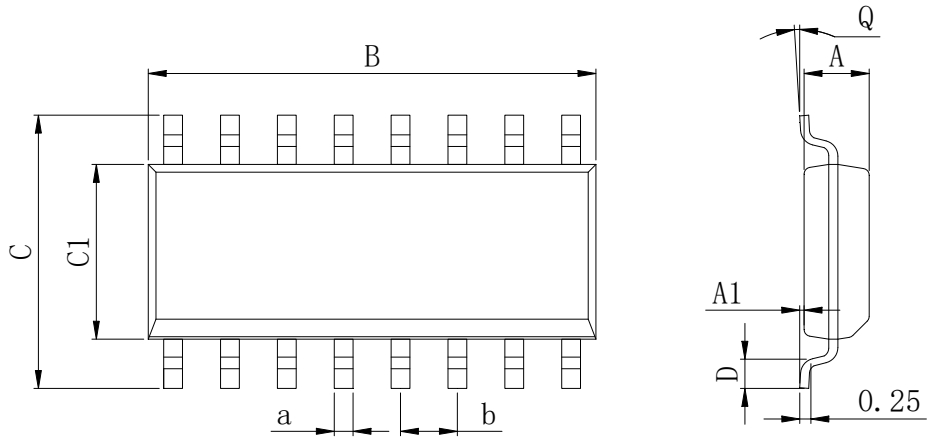
类型	输入		输出
	V_I	V_M	V_M
74HC165	V_{CC}	$0.5 \times V_{CC}$	$0.5 \times V_{CC}$

测试数据

类型	输入		负载		S1 位置
	V_I	t_r, t_f	C_L	R_L	t_{PHL}, t_{PLH}
74HC165	V_{CC}	6.0ns	15pF, 50pF	1k Ω	open

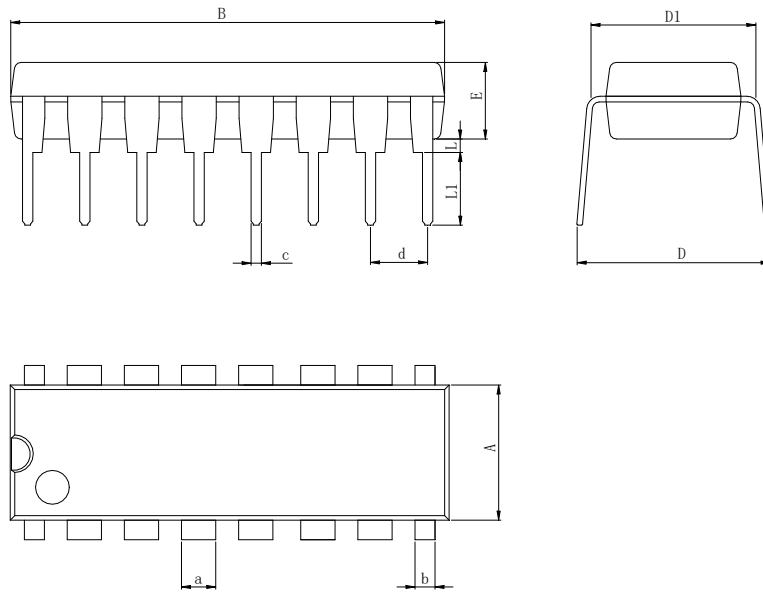
封装外型尺寸

SOP-16



Dimensions In Millimeters(SOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	9.80	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	10.0	6.20	4.00	0.80	8°	0.45	

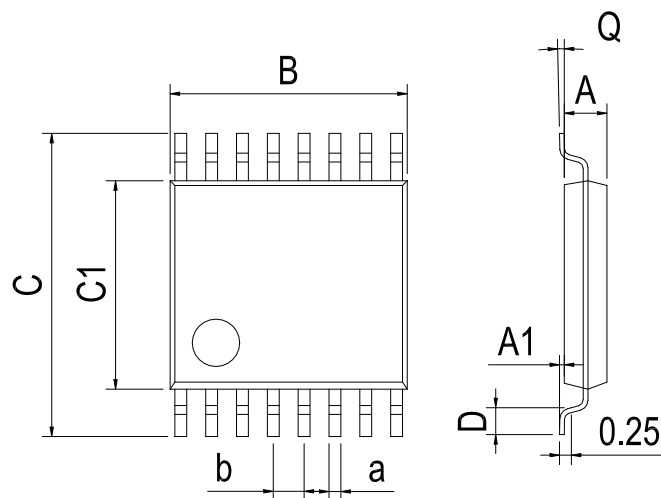
DIP-16



Dimensions In Millimeters(DIP-16)											
Symbol:	A	B	D	D1	E	L	L1	a	b	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.85	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.90	0.50	

封装外型尺寸

TSSOP-16



Dimensions In Millimeters(TSSOP-16)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

修订历史

日期	修改内容	页码
2016-3-15	新修订	1-17
2024-3-23	文档重新格式化	1-17

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。