

产品特性

- 48pin TQFP 封装
- 支持处理器接口：8位 16位对内部存储器访问
- 集成 10/100M 收发器，支持 HP Auto-MDIX 检测
- 用于半双工时，支持 back pressure 流控模式
- 用于全双工时，支持 IEEE802.3x 流控模式
- 支持唤醒帧、link 状态变化、magic packet 事件等远程唤醒
- 支持 100M 光纤接口
- 内建 16K 字节 SRAM
- 内建 3.3V 转 2.5V 稳压器
- 支持 IP/TCP/UDP checksum 产生和检查
- 支持从 EEPROM 自动装载 vendor ID, product ID.
- 可选的 EEPROM 配置
- 低功耗操作模式
- Power reduced mode
- Power down mode
- 可选的 txdrivers1:1 或 1.25:1 变压器
- 兼容 3.3V 和 5V tolerant I/O

产品描述

CBM1001A-Q 是一款集成了 10/100MPHY,MAC 层的高性价比的快速以太网控制器芯片, 内建 16K 字节 SRAM,对外提供了一个通用的处理器访问接口。本芯片具备低功耗, 高性能的优良特性, 支持 3.3V IO 电平, 并可以接受 5V 输入 IO 电压。

CBM1001 支持 8 位和 16 位数据接口, 用于访问内部的 SRAM。内建的 PHY 可以支持 UTP3,4,510Base-T 及 UTP5100Base-TX。完全符合 IEEE802.3u 规格。支持自动协商功能。

产品应用

- 家庭网络设备：机顶盒、个人录像机、数码媒体适配器
- 串行转以太网：门禁控制、LED 显示屏、无线 AP 继电器等
- 并行转以太网：POS/微型打印机、复印机
- USB 转以太网：存储设备、网络打印机
- GPIO 转以太网：家庭网络传感器
- 安全系统：数字录像机、网络摄像机、信息亭
- 工厂和楼宇自动化控制系统
- 医疗监测设备
- 嵌入式服务器

目 录

产品特性.....	1
产品应用.....	1
产品描述.....	1
目录.....	2
功能框图.....	3
引脚配置.....	4
16 位模式.....	4
8 位模式.....	4
引脚简述.....	5
寄存器说明.....	6
MAC 寄存器.....	6
PHY 寄存器.....	8
功能说明.....	8
主机接口.....	8
DMA 控制.....	8
帧发送.....	8
帧接收.....	9
收发器操作.....	9
电气特性.....	10
操作条件.....	10
直流电气特性.....	10
交流特性.....	11
应用指南.....	15
Auto MDIX 应用.....	15
Non auto MDIX 应用.....	15
封装信息.....	16
TQFP-48.....	16
包装/出货信息.....	18

功能框图

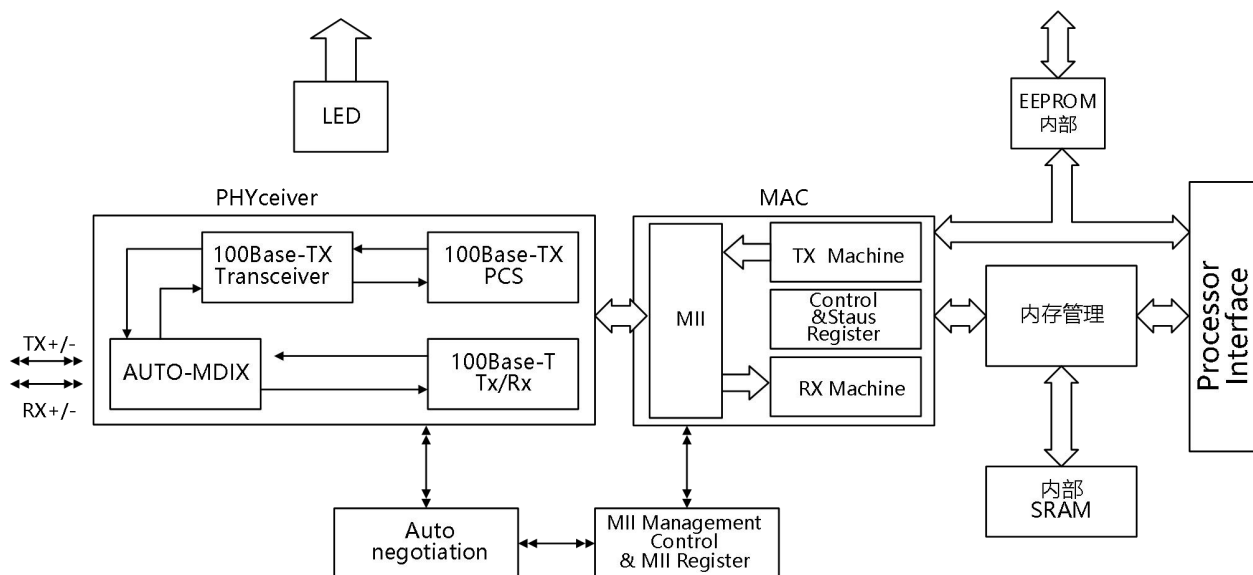


图 1. 逻辑框图

引脚配置

16 位模式

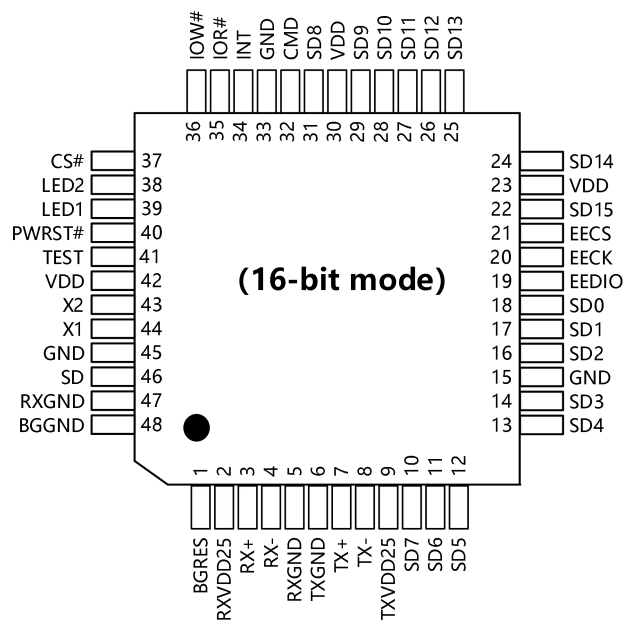


图 2. 16 位模式引脚分配

8 位模式

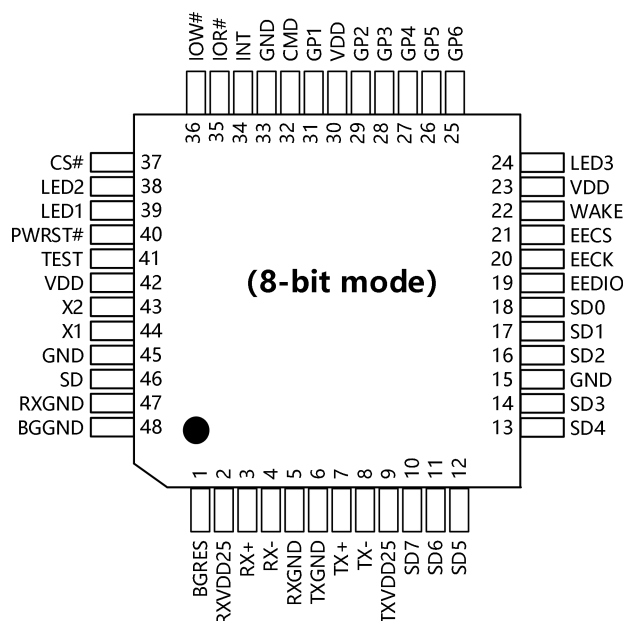


图 3. 8 位模式引脚分配

引脚简述

管脚编号	引脚名称	类型	说明
处理机接口			
35	IOR#	I,PD	处理器读取命令
36	IOW#	I,PD	处理器写入命令
37	CS#	I,PD	端口选择
32	CMD	I,PD	命令类型
34	INT	O,PD	中断请求
18,17,16,14,13,12,	SD0~7	I/O,PD	处理器数据总线位0~7
11,10			
31,29,28,27,26,25,24,22	SD8~15	I/O,PD	处理器数据总线位8~15
8位模式			
22	WAKE	O,PD	当唤醒事件发生时, 发出唤醒信号
24	LED3	O,PD	全双工 LED
25,26,27	GP6~4	O,PD	通用用途的输出销
28,29,31	GP3,GP2,GP1	I/O	通用 I/O 端口
EEPROM接口			
19	EEDIO	I/O,PD	I/O数据到eeprom
20	EECK	O,PD	Eeprom时钟
21	EECS	O,PD	Eeprom的端口选择
时钟接口			
43	X2	O	Crystal 25Mhz out
44	X1	I	Crystal 25Mhz in
LED 接口			
39	LED1	O	Speed LED
38	LED2	O	Link/Active LED
46	SD	I	光纤信号检测系统
48	BGGND	P	带隙接地线
1	BGRES	I/O	带隙销
2	RXVDD25	P	2.5V power output for TP RX
9	TXVDD25	P	2.5V power output for TP TX

3	RX+	I/O	TP RX 输入
4	RX-	I/O	TP RX 输入
5,47	RXGND	P	RX 地
6	TXGND	P	TX 地
7	TX+	I/O	TP TX 输出
8	TX-	I/O	TP TX 输出
其他			
41	TEST	I	测试模式
40	PWRST#	I	上电复位
23,30,42	VDD	P	数字 VDD, 3.3V 电源输入
15,33,45	GND	P	数字 GND

寄存器说明

MAC 寄存器

寄存器	描述	Offset	Default value
NCR	网络寄存器控制	00H	00H
NSR	网络寄存器状态	01H	00H
NCR	TX寄存器控制	02H	00H
TSR I	TX寄存器控制I	03H	00H
TSR II	TX寄存器控制II	04H	00H
RCR	RX寄存器控制	05H	00H
RSR	RX寄存器状态	06H	00H
ROCR	接收溢出计数器寄存器	07H	00H
BPTR	Back pressure threshold register	08H	37H
FCTR	Flow control threshold register	09H	38H
FCR	RX 流量寄存器控制	0AH	00H
EPCR	EEPROM & PHY 寄存器控制	0BH	00H
EPAR	EEPROM & PHY 寄存器地址	0CH	40H
EPDRL	EEPROM & PHY 低字节数据寄存器	0DH	xxH
EPDRH	EEPROM & PHY 高字节数据寄存器	0EH	xxH
WCR	唤醒控制寄存器 (在8位模式下)	0FH	00H
PAR	物理地址寄存器	10H~15H	Determined by eeprom

MAR	Multicast address register	16H-1DH	xxH
GPCR	通用控制寄存器 (单位: 8位模式)	1EH	01H
GPR	通用寄存器	1FH	xxH
TRPAL	TX SRAM 读取指针的地址为低字节	22H	00H
TRPAH	TX SRAM 读取指针的地址为高字节	23H	00H
RWPAL	RX SRAM 写取指针的地址为低字节	24H	00H
RWPAH	RX SRAM 写取指针的地址为高字节	25H	0CH
VID	供应商 ID	28H~29H	0A46H
PID	产品 ID	2AH~2BH	9000H
CHIPR	CHIP 修订版	2CH	19H
TCR2	TX 控制寄存器2	2DH	00H
OCR	操作控制寄存器	2EH	00H
SMCR	专用模式控制寄存器	2FH	00H
ETXCSR	早期传输控制/状态寄存器	30H	00H
TCSCR	传输校验和控制寄存器	31H	00H
RCSCSR	接收校验和控制状态寄存器	32H	00H
MPAR	MII PHY 寄存器地址	33H	00H
LEDCR	LED 引脚控制寄存器	34H	00H
BUSCR	处理器总线控制寄存器	38H	61H
INTCR	INT 引脚控制寄存器	39H	00H
SCCR	控制寄存器上的系统时钟图	50H	00H
RSCCR	恢复系统时钟控制寄存器	51H	XXH
MRCMDX	不带地址增量寄存器的内存数据预取读取命令	F0H	XXH
MRCMDX1	带有地址增量寄存器的内存数据读取命令	F1H	XXH
MRCMD	带有地址增量寄存器的内存数据读取命令	F2H	XXH
MRRL	内存数据读取地址寄存器低字节	F4H	00H
MRRH	内存数据读取地址寄存器高字节	F5H	00H
MWCMDX	不带地址增量寄存器的内存数据写入命令	F6H	XXH
MWCMD	内存数据写入命令地址增量寄存器	F8H	XXH
MWRL	内存数据写入地址寄存器低字节	FAH	00H
MWRH	存储器数据线地址寄存器高字节	FBH	00H
TXPLL	TX 数据包长度为低字节的寄存器	FCH	XXH

TXPLH	TX 数据包长度为高字节的寄存器	FDH	XXH
ISR	中断状态寄存器	FEH	00H
IMR	中断屏蔽寄存器	FFH	00H

PHY 寄存器

ADD	Name	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	CONTROL	Reset	Loop back	Speed select	Auto-N Enable	Power Down	Isotote	Restart	Full Duplex	Col. Test	Reserved						
		0	0	1	1	0	0	0	1	0	000 0000						
01	STATUS	T4 Cap.	TX FDX Cap.	TX HDX Cap.	10 FDX Cap.	10 HDX Cap.	Reserved				Pream. SuPR.	Auto-N Compl.	Remote Fault	Auto-N Cap.	Link Status	Jabber Detect	Extd Cap.
		0	1	1	1	1	0000				1	0	0	1	0	0	1
02	PHYID1	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1
03	PHYID2	1	0	1	1	1	0	Model No.				Version No.					
								01010				0000					
04	Auto-Neg. Advertise	Next Page	FLP Rcv Ack	Remade Fault	Reserved		FC Adv	T4 Adv	TX FDX Adv	TX HDX Adv	10 FDX Adv	10 HDX Adv	Advertised Protocol Selector Field				
05	Link Part Ability	LP Next Page	LP Ack	LP RF	Reserved		LP FC	LP T4	LP TX FDX	LP TX HDX	10 FDX	10 HDX	Link Panter Protocol Selector Field				
06	Auto-Neg. Expansion	Reserved										Pardet Fault	LP Next St Mch	Next Pg Able	Next Rcv	LP AutoN Cap.	
16	Specified config.	BP 4858	BP SCR	BP ALIGN	BP_ADP OK	Reserved	TX	Reserved	Reserved	Force 100LINK	Reserved	Reserved	RPDCTR -EN	Reset St Mch	Pream. Supr.	Sleep mode	Remote LoopOut
17	Specified Con#Stat	100 FDX	100 HDX	10 FDX	10 HDX	Reserved	Reserved	PHY ADDR[4.0]				Auto-N. Monitor Bit[3.0]					
18	10T Con#Stat	Rsvd	LP Enable	HBE Enable	SQUE Enable	JAB Enable	Reserved	Reserved									Potaty Reserse
19	PWDOR	Reserved							PD10DRV	PD1001	Pdchip	Pdaim	Pdaeq	PDdrv	Pdedi	Pdedo	PD10
20	Specified config.	TSTSE1	TSTSE2	FORCE_T XSD	FORCE_FEF	Reserved				Mdx_CNTL	AutoNeg iptik	Mdx_tx value	Mdx_down	MonSet1	MonSet0	Reserved	PD_vatue

功能说明

主机接口

主机接口是一个通用的处理器局部总线接口,采用片选信号 CS#来选中 CBM1001,CS#默认是低有效,可以通过 EEPROM 设定改变极性。主机可通过两路端口,一是 INDEX,二是 DATA,复用 SD 信号,当 CMD=0 时,SD 表示 INDEX 信息;当 CMD=1 时,SD 表示 DATA 信息。INDEX 是要访问的寄存器的地址信息,在访问任何寄存器前,需要先设置 INDEX 信息。

DMA 控制

CBM1001 提供了 DMA 支持,用于简化对内部存储器的访问。在配置存储器的起始地址后,首先发送一个 dummyread/write 命令,装载当前数据到内部数据缓冲器,然后,可以通过 read/write 命令访问目标地址。地址将按照 8 位或 16 位模式自动递增。下一地址的数据被自动装载入数据缓冲器。

内部存储器大小是 16K 字节,前 3K 字节用于发送,后 13KB 字节用于接收。

帧发送

TXSRAM 可以存储两个包,分别命名为 Index I 和 Index II。Index register02h 控制 CRC 和 pads 的插入。状态在 03h 和 04h 寄存器内记录。硬件或软件复位后,发送起始地址位于 00h,Index I 有效。

首先写入数据到 TX SRAM,然后写入数据大小到 byte_count register fch 和 fdh。设置 control register 的 bit1 后,CBM1001 开始发送 index I 包。在 index I 包发送完成前,index II 的包数据可以写

入 TX SRAM,在 index I 发送完成后, 可以马上设置 index II 的 byte_count 和 control register 的 bit1。这样 index I 和 index II 可循环交替发送。

帧接收

RX SRAM 是 ring 的结构。在硬件或软件复位后, RX SRAM 的起始地址位于 C00h 处。每个包拥有 4 字节的 header, 跟随接收到的数据, 包括 CRC 数据。Header 的结构是 01h, status, byte_count low, byte_count high。

收发器操作

- 100BaseTX 操作

发送包括 4B5B encoder, scrambler, parallel to serial converter, NRZ to NRZI 转换, NRZI 到 MLT-3 转换, 最后经 MLT-3 驱动器驱动信号到线缆。

接收包括 signaldecteck,数字自适应均衡器, MLT-3 到 binary 译码器, 时钟恢复模块, NRZI 到 NRZ 译码器, 串行到并行转换器, descrambler 解扰, 编码对齐, 4B5B 译码器。

- 10Base-T 操作

10Base-T 收发器符合 IEEE802.3u 标准, 当 CBM1001 工作在 10base-t 模式, 编码方案是曼彻斯特编码。

电气特性

操作条件

符号	参数	最小值	最大值	单位	条件
D_{VDD}	电源电压	3.135	3.465	V	
T_A	工作环境温度	0	70	°C	
P_D (功率消耗)	100BASE-TX	-	87	mA	3.3V
	10BASE-T TX(100% utilization)	-	92	mA	3.3V
	10BASE-T idle	-	38	mA	3.3V
	自动协商	-	56	mA	3.3V
	断电模式 (无电缆)	-	31	mA	3.3V
	断电模式	-	21	mA	3.3V
	电源关闭模式 (系统时钟关闭)	-	7	mA	3.3V

直流电气特性

标志	限制因素	最小值	典型值	最大值	单位	条件
输入						
V_{IL}	输入电压过低	-	-	0.8	V	
V_{IH}	输入电压过高	2.0	-	-	V	
I_{IL}	输入电压较低的漏电电流	-1	-	-	uA	$V_{IN}=0.0V$
I_{IH}	输入电压较高的漏电电流	-	-	1	uA	$V_{IN}=3.3V$
C_{IN}	输入容量	4	5	6	pf	
输出						
V_{OL}	输出电压为低压	-	-	0.4	V	$I_{OL}=4mA$
V_{OH}	输出电压为高压	2.4	-	-	V	$I_{OH}=-4mA$
接收器						
V_{ICM}	RX+/RX-共模输入电压	-	2.5	-	V	100Ω 终止
发射器						
V_{TD100}	100TX+/- 差动输出电压	1.9	2.0	2.1	V	由极大到极小
V_{TD10}	10TX+/- 差动输出电压	4.4	5	5.6	V	由极大到极小
I_{TD100}	100TX+/- 差动输出电压	19	20	21	mA	绝对值

交流特性

● TP 接口

符号	参数	最小值	典型值	最大值	单位	条件
$T_{TR/F}$	100TX+/- 差异的升降时间	3.0	-	5.0	ns	
T_{TM}	100TX+/- 差分器升降时间不匹配	0	-	0.5	ns	
T_{TDC}	100TX+/- 差动输出占空比周期失真	0	-	0.5	ns	
$T_{\downarrow T}$	100TX+/- 差分输出峰值到峰值抖动	0	-	1.4	ns	
X_{OST}	100TX+/- 差压过频	0	-	5	%	

● 晶振时序

符号	参数	最小值	典型值	最大值	单位	条件
T_{CKC}	OSC 时钟周期	39.998	40	40.002	ns	50ppm
T_{PWH}	OSC 脉冲宽度较高	16	20	24	ns	
T_{PWL}	OSC 脉冲宽度较低	16	20	24	ns	

● 处理器读时序

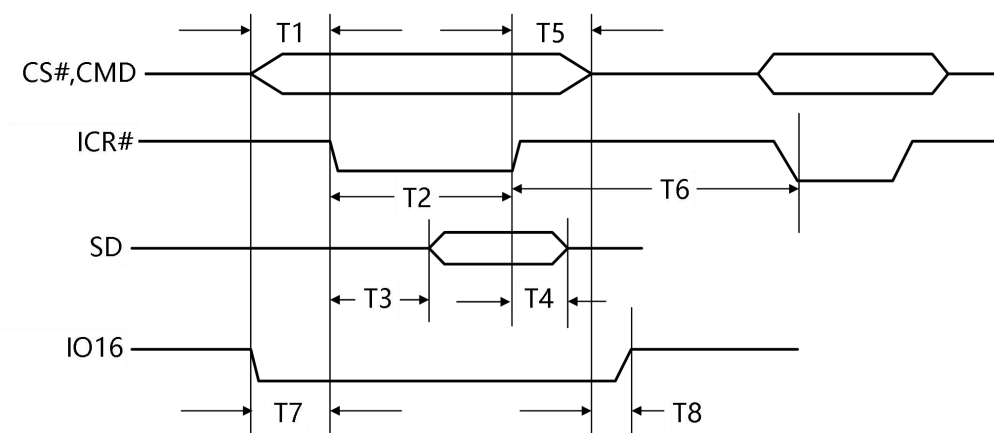


图 4. 处理器读时序图

Symbol	参数	Min	Typ	Max	Unit
T ₁	CS#,CMD valid to IOR# valid	0			ns
T ₂	IOR# width	10			ns
T ₃	System Date(SD) Delay time			3	ns
T ₄	IOR# invalid to System Date(SD) invalid			3	ns
T ₅	IOR# invalid to CS#,CMD invalid	0			ns
T ₆	IOR# invalid to next IOR#/IOW# valid When read CBM1001 register	2			clk*
T ₆	IOR# invalid to next IOR#/IOW# valid When read CBM1001 memory with F2h register	4			clk*
T ₂ +T ₆	IOR# invalid to next IOR#/IOW# valid When read CBM1001 memory with F2h register	1			clk*
T ₇	CS#,CMD valid to IO 16 valid			3	ns
T ₈	CS#,CMD invalid to IO16 invalid			3	ns

● 处理器写时序

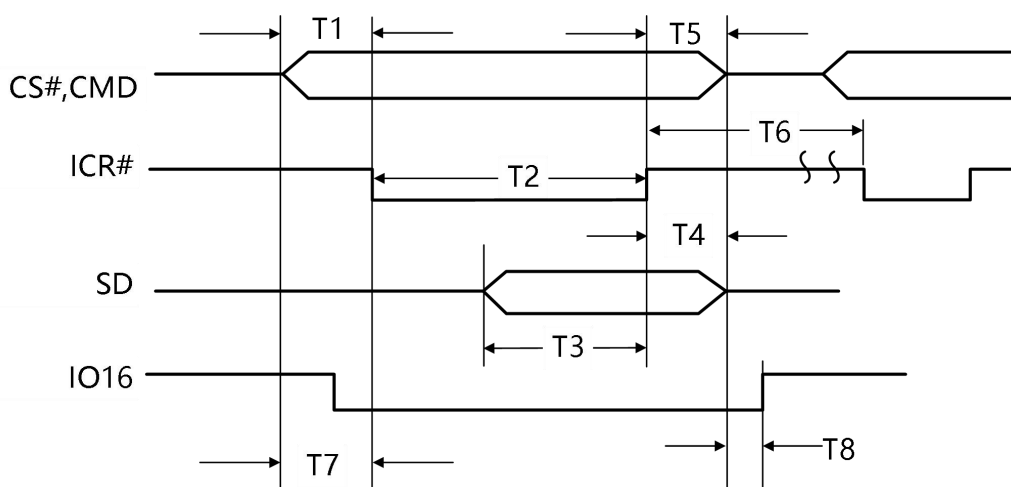


图 5. 处理器写时序图

符号	参数	最小值	典型值	最大值	单位
T ₁	CS#,CMD valid to IOW# valid	0			ns
T ₂	IOW# width	10			ns
T ₃	System Date(SD) Setup time	10			ns
T ₄	System Date(SD) Hold time	3			ns
T ₅	IOW # Invalid to CS#,CMD invalid	0			ns
T ₆	IOW# invalid to next IOW#/IOR# valid When write CBM1001 INDEX port	1			clk*
T ₆	IOW# Invalid to next IOW#/IOR# valid When write CBM1001 memory DATE port	2			clk*
T ₂ +T ₆	IOW# Invalid to next IOR#/IOW# valid When write CBM1001 memory	1			clk*
T ₇	CS#,CMD valid to IO 16 valid			3	ns
T ₈	CS#,CMD invalid to IO16 invalid			3	ns

● EEPROM 接口时序

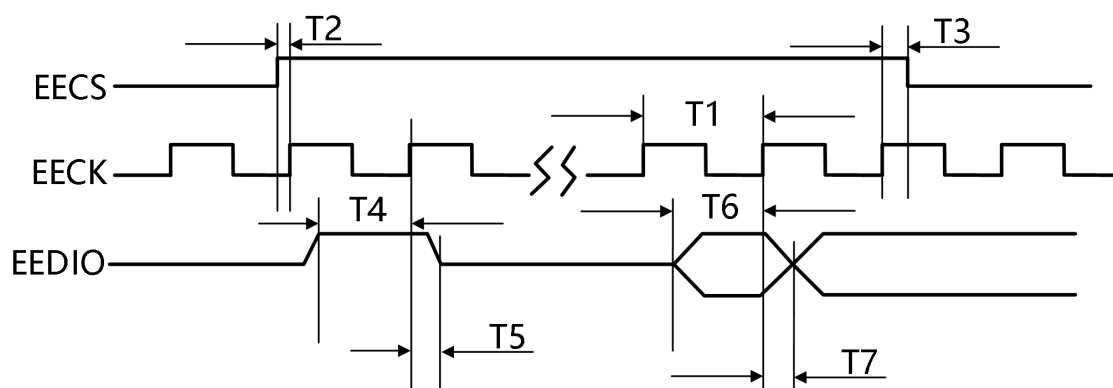


图 6. EEPROM 接口时序图

符号	参数	最小值	典型值	最大值	单位
T ₁	EECK 频率		0.375		MHz
T ₂	EECS 准备时间		500		ns
T ₃	EECS 保持时间		2166		ns
T ₄	EEDIO 未输出的设置时间		480		ns
T ₅	EEDIO 输出时的保持时间		2200		ns
T ₆	EEDIO 输入时的设置时间	8			ns
T ₇	EEDIO 当输入时的保持时间	8			ns

应用指南

Auto MDIX 应用

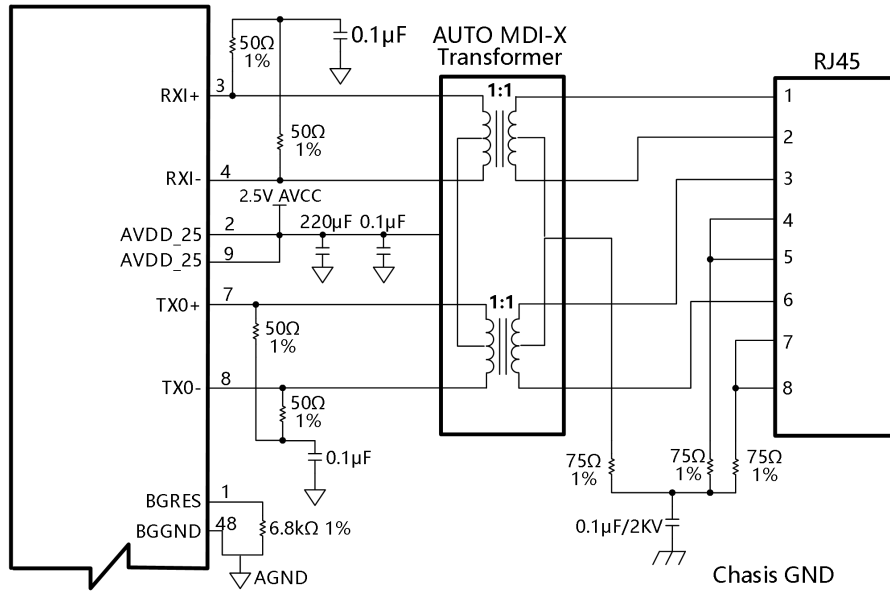


图 7. Auto MIDX 应用图

Non auto MDIX 应用

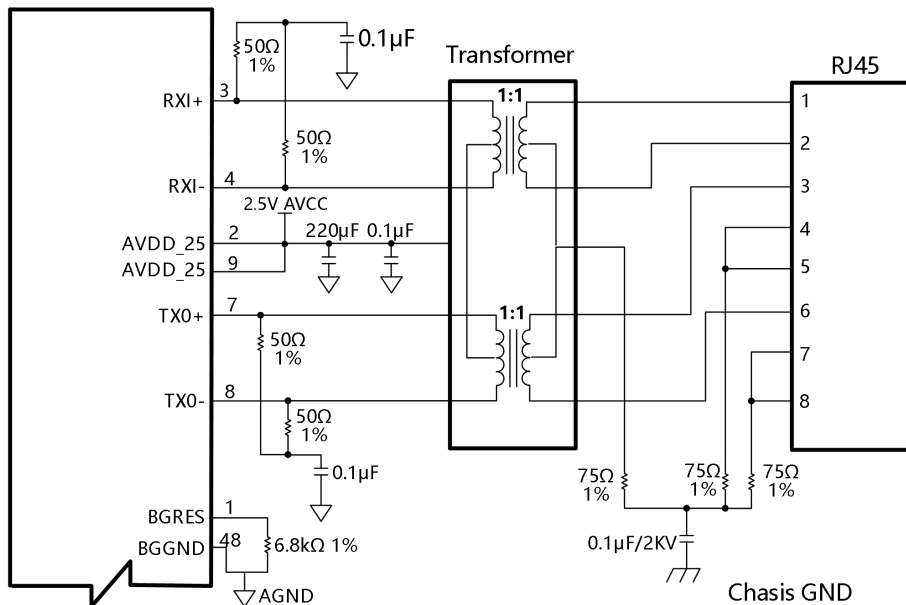


图 8. Non Auto MIDX 应用图

封装信息

TQFP-48

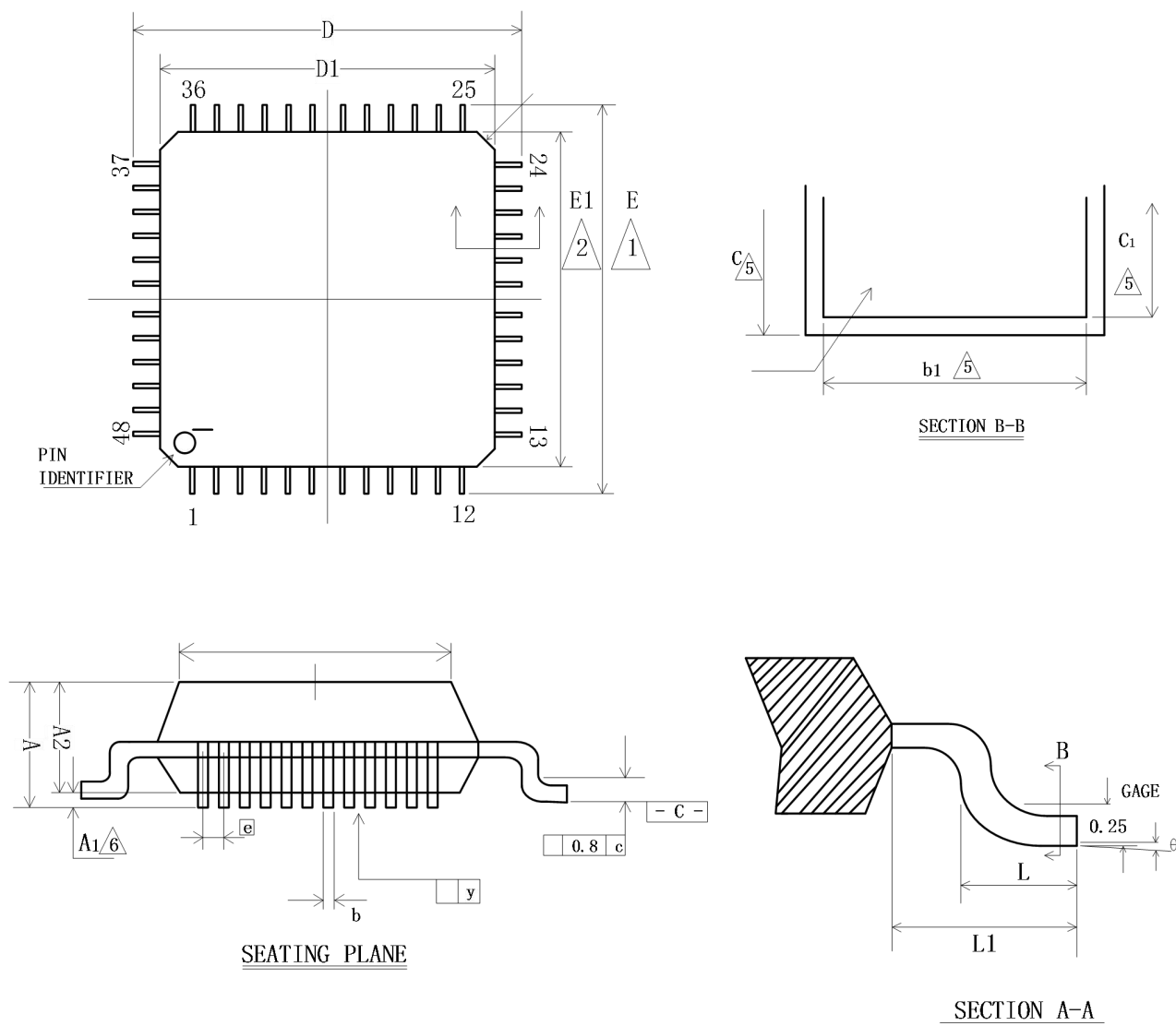


图 9. TQFP-48 封装图

符号	尺寸, 单位: 英寸			尺寸, 单位: 毫米		
	最小值	正常值	最大值	最小值	正常值	最大值
A	-	-	0.063	-	-	1.60
A1	0.002	-	0.006	0.05	-	0.15
A2	0.053	0.055	0.057	1.35	1.40	1.45
b	0.007	0.009	0.011	0.17	0.22	0.27
b1	0.007	0.008	0.009	0.17	0.20	0.23
C	0.004	-	0.008	0.09	-	0.20

C1	0.004	-	0.006	0.09	-	0.16
D	0.354 BSC			9.00 BSC		
D1	0.276 BSC			7.00 BSC		
E	0.354 BSC			9.00 BSC		
E1	0.276 BSC			7.00BSC		
e	0.020 BSC			0.50 BSC		
L	0.018	0.024	0.030	0.45	0.60	0.75
L1	0.039 REF			1.00 REF		
y	0.003 MAX			0.08 MAX		

包装/订购信息

产品型号	温度范围	产品封装	丝印	包装数量
CBM1001A-Q	0°C~70°C	TQFP-48	CBM1001A-Q	托盘装, 1000