

## CA-IS302x 低功耗双向 I<sup>2</sup>C 隔离器

### 1. 产品特性

- 支持 DC 至 2.0MHz 双向数据传输
- 可靠的数字信号电气隔离
  - 较长的工作寿命: > 40 年
  - 提供 3.75kV<sub>RMS</sub> (窄体封装) 和 5.0kV<sub>RMS</sub> (宽体封装) 电气隔离
  - ±150 kV/μs 典型 CMTI
  - 施密特触发输入提高抗干扰能力
  - 较高的电磁抑制, 可承受±10kV 浪涌
  - ±8kV ESD 保护(人体模式)
- 开漏输出:
  - A 侧可支持最高 3.5mA 灌电流
  - B 侧可支持最高 35mA 灌电流
- 3.0V 至 5.5V 宽压工作范围
- 较宽的工作温度范围: -40°C to 125°C
- RoHS 兼容封装:
  - 窄体 SOIC8-NB(S)封装
  - 宽体 SOIC8-WB(G)封装
  - 宽体 SOIC16-WB(W)封装

### 2. 典型应用

- I<sup>2</sup>C, SMBus, PMBus™ 接口
- 电机控制系统
- 医疗设备
- 电池管理系统
- 仪器仪表

### 3. 概述

CA-IS302x 系列产品为完备的双向、双通道数字隔离器, 提供 3.75kV<sub>RMS</sub>(窄体封装)/5kV<sub>RMS</sub>(宽体封装)电气隔离, 以及高达±150kV/μs 的典型 CMTI。所有器件的输入采用施密特触发器, 提高抗干扰能力。每个隔离通道的数字输入与输出通过二氧化硅(SiO<sub>2</sub>)绝缘层隔离, 提供较高的电磁干扰抑制和低 EMI 特性。高集成度设计仅需两个外部 V<sub>DDA</sub>、V<sub>ddb</sub> 旁路电容和上拉电阻, 即可构成 I<sup>2</sup>C 隔离接口。

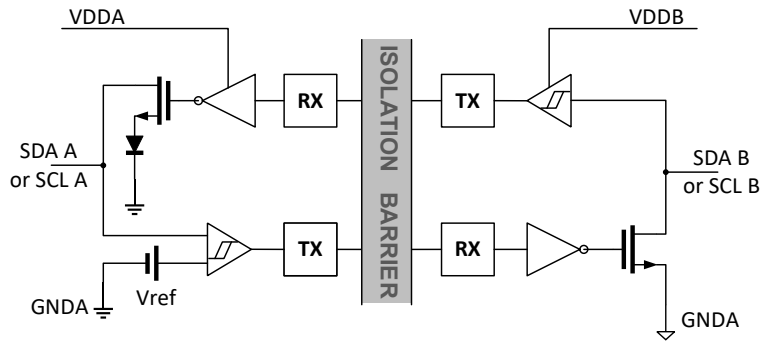
这些双通道数字隔离器可支持 DC 至 2.0MHz 传输速率, CA-IS3020 提供两路双向、开漏输出隔离通道, 用于支持多主机 I<sup>2</sup>C 等需要在同一总线双向传输数据或时钟的双向隔离应用; CA-IS3021 则提供一路单向和一路双向隔离通道, 可支持单主机 I<sup>2</sup>C 隔离应用, 单向通道用作时钟(SCL)隔离, 双向通道用作数据(SDA)隔离。器件 A 侧(V<sub>DDA</sub>)、B 侧(V<sub>ddb</sub>)单独供电, 供电电压范围为 3.0V 至 5.5V。下图提供了 CA-IS302x 一个双向通道的简化框图。

CA-IS302x 系列产品可工作在-40°C 至+125°C 温度范围, 提供 8 引脚窄体 SOIC 封装和 8 引脚宽体 SOIC 及 16 引脚宽体 SOIC 封装。较宽的工作温度范围和较高的隔离耐压, 可理想用于强干扰的工业环境。

器件信息

型号	封装	封装尺寸(标称值)
CA-IS3020 CA-IS3021	SOIC8(S)	4.90mm × 3.90 mm
	SOIC8-WB(G)	5.85 mm × 7.50 mm
	SOIC16-WB(W)	10.30 mm × 7.50 mm

CA-IS302x 简化框图



#### 4. 订购信息

表 4-1. 有效订购型号

型号	双向隔离通道	单向隔离通道	额定耐压(kV <sub>RMS</sub> )	输出类型	封装
CA-IS3020S	2	0	3.75	开漏输出	SOIC8
CA-IS3020G	2	0	5.0	开漏输出	SOIC8-WB
CA-IS3020W	2	0	5.0	开漏输出	SOIC16-WB
CA-IS3021S	1	1	3.75	开漏输出	SOIC8
CA-IS3021G	1	1	5.0	开漏输出	SOIC8-WB
CA-IS3021W	1	1	5.0	开漏输出	SOIC16-WB

## 目录

1. 产品特性.....	1	7.11. 开关特性.....	11
2. 典型应用.....	1	8. 参数测试电路.....	12
3. 概述.....	1	9. 详细说明.....	13
4. 订购信息.....	2	9.1. 隔离 I <sup>2</sup> C.....	13
5. 修订历史.....	3	9.2. 功能框图.....	13
6. 引脚功能描述.....	4	9.3. 工作模式.....	14
7. 产品规格.....	6	10. 应用信息.....	14
7.1. 绝对最大额定值 <sup>1</sup> .....	6	10.1. 工作原理.....	14
7.2. ESD 额定值.....	6	10.2. 典型应用.....	15
7.3. 推荐工作条件.....	6	11. 封装信息.....	17
7.4. 热参数.....	7	11.1. 8 引脚宽体 SOIC 封装.....	17
7.5. 额定功率.....	7	11.2. 8 引脚窄体 SOIC 封装.....	18
7.6. 隔离特性.....	8	11.3. 16 引脚宽体 SOIC 封装.....	19
7.7. 安全相关认证.....	9	12. 焊接信息.....	20
7.8. 电气特性.....	9	13. 卷带信息.....	21
7.9. 电源电流.....	10	14. 重要声明.....	22
7.10. 时序滤波特性.....	10		

### 5. 修订历史

修订版本号	修订内容	修订时间	页码
Version 1.00	N/A		N/A
Version 1.01	更新 POD 和编带信息	2023/02/09	17,18,19,21
Version 1.02	更新 VDE 认证信息	2023/09/13	8,9

## 6. 引脚功能描述

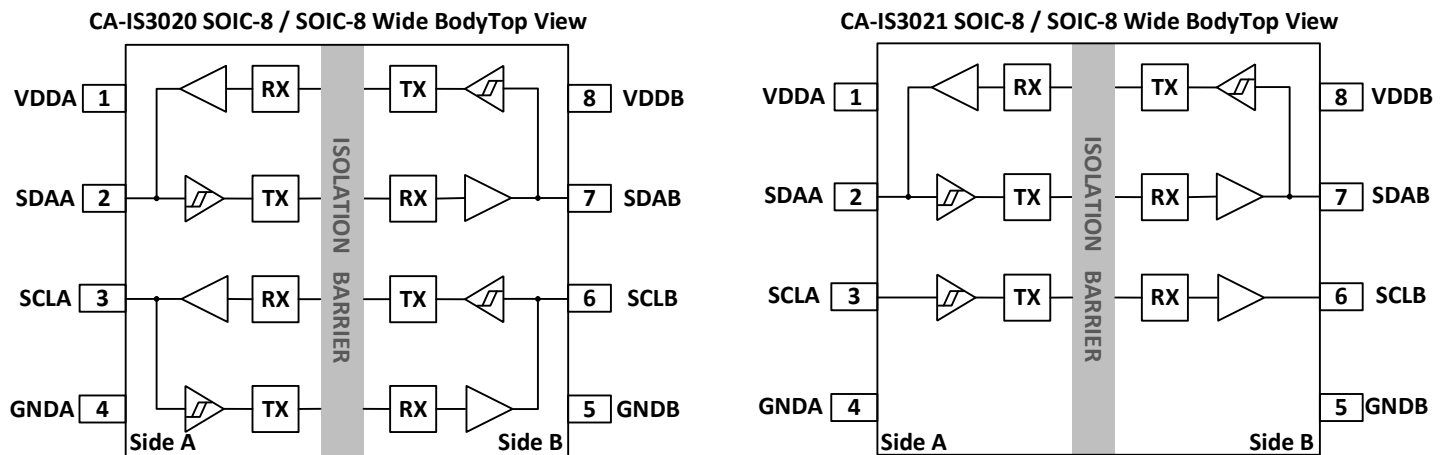


图 6-1. CA-IS3020/21 8 引脚窄体 SOIC 和宽体 SOIC 封装顶部视图

表 6-1. CA-IS3020S/CA-IS3020G 引脚功能描述

引脚名称	引脚编号	类型	描述
VDDA	1	电源	A 侧电源输入。
SDAA	2	输入/输出	A 侧双向数据输入/输出，SDAA 为开漏输出，对应于 SDAB。
SCLA	3	输入/输出	A 侧双向时钟输入/输出，SCLA 为开漏输出，对应于 SCLB。
GNDA	4	地	A 侧接地参考端。
GNDB	5	地	B 侧接地参考端。
SCLB	6	输入/输出	B 侧双向时钟输入/输出，SCLB 为开漏输出，对应于 SCLA。
SDAB	7	输入/输出	B 侧双向数据输入/输出，SDAB 为开漏输出，对应于 SDAA。
VDDB	8	电源	B 侧电源输入。

表 6-2. CA-IS3021S/CA-IS3021G 引脚功能描述

引脚名称	引脚编号	类型	描述
VDDA	1	电源	A 侧电源输入。
SDAA	2	输入/输出	A 侧双向数据输入/输出，SDAA 为开漏输出，对应于 SDAB。
SCLA	3	输入	A 侧时钟输入，对应于 SCLB。
GNDA	4	地	A 侧接地参考端。
GNDB	5	地	B 侧接地参考端。
SCLB	6	输出	B 侧时钟输出，对应于 SCLA。
SDAB	7	输入/输出	B 侧双向数据输入/输出，SDAB 为开漏输出，对应于 SDAA。
VDDB	8	电源	B 侧电源输入。

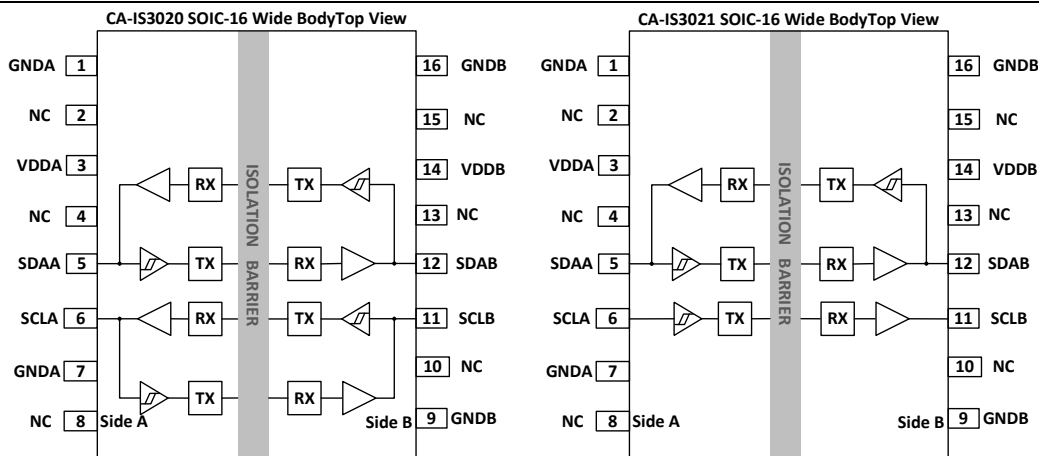


图 6-2. CA-IS3020/21 16 引脚宽体 SOIC 封装顶部视图

表 6-3. CA-IS3020W 引脚功能描述

引脚名称	引脚编号	类型	描述
GNDA	1, 7	地	A 侧接地参考端。
NC	2,4,8	--	没有连接, 请勿在外部连接这些引脚。
VDDA	3	电源	A 侧电源输入。
SDAA	5	输入/输出	A 侧双向数据输入/输出, SDAA 为开漏输出, 对应于 SDAB。
SCLA	6	输入/输出	A 侧双向时钟输入/输出, SCLA 为开漏输出, 对应于 SCLB。
GNDB	9, 16	地	B 侧接地参考端。
NC	10,13,15	--	没有连接, 请勿在外部连接这些引脚。
SCLB	11	输入/输出	B 侧双向时钟输入/输出, SCLB 为开漏输出, 对应于 SCLA。
SDAB	12	输入/输出	B 侧双向数据输入/输出, SDAB 为开漏输出, 对应于 SDAA。
VDDB	14	电源	B 侧电源输入。

表 6-4. CA-IS3021W 引脚功能描述

引脚名称	引脚编号	类型	描述
GNDA	1, 7	地	A 侧接地参考端。
NC	2,4,8	--	没有连接, 请勿在外部连接这些引脚。
VDDA	3	电源	A 侧电源输入。
SDAA	5	输入/输出	A 侧双向数据输入/输出, SDAA 为开漏输出, 对应于 SDAB。
SCLA	6	输入	A 侧时钟输入, 对应于 SCLB。
GNDB	9, 16	地	B 侧接地参考端。
NC	10,13,15	--	没有连接, 请勿在外部连接这些引脚。
SCLB	11	输出	B 侧时钟输出, 对应于 SCLA。
SDAB	12	输入/输出	B 侧双向数据输入/输出, SDAB 为开漏输出, 对应于 SDAA。
VDDB	14	电源	B 侧电源输入。

## 7. 产品规格

### 7.1. 绝对最大额定值<sup>1</sup>

参数	最小值	最大值	单位
V <sub>DDA</sub> , V <sub>DDB</sub> 电源电压 <sup>2</sup>	-0.5	6.0	V
S <sub>DAA</sub> , S <sub>CLA</sub> 输入输出电压	-0.5	V <sub>DDA</sub> +0.5 <sup>3</sup>	V
S <sub>DAB</sub> , S <sub>CLB</sub> 输入输出电压	-0.5	V <sub>DDB</sub> +0.5 <sup>3</sup>	V
I <sub>OA</sub> 输出电流	-20	20	mA
I <sub>OB</sub> 输出电流	-100	100	mA
T <sub>J</sub> 结温		150	°C
T <sub>STG</sub> 存储温度范围	-65	150	°C

#### 注:

1. 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值，并非工作条件，不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性，甚至导致产品损坏。
2. 除总线差分输出/输入电压以外，所有电压值均相对于本地接地端（GNDA 或 GNDB），并且是峰值电压值。
3. 最大电压不得超过 6 V。

### 7.2. ESD 额定值

V <sub>ESD</sub> 静电放电	数值	单位
人体模型 (HBM), 根据 ANSI/ESDA/JEDEC JS-001, 所有引脚 <sup>1</sup>	±8000	V
组件充电模式(CDM), 根据 JEDEC specification JESD22-C101, 所有引脚 <sup>2</sup>	±2000	

#### 注:

1. JEDEC 文件 JEP155 规定 500V HBM 可通过标准 ESD 控制过程，实现安全生产。
2. JEDEC 文件 JEP157 规定 250V CDM 允许使用标准 ESD 控制过程，实现安全生产。

### 7.3. 推荐工作条件

参数	MIN	MAX	单位
V <sub>DDA</sub> , V <sub>DDB</sub> 电源电压	3	5.5	V
V <sub>S<sub>DAA</sub></sub> , V <sub>S<sub>CLA</sub></sub> A 侧输入/输出电压	0	V <sub>DDA</sub>	V
V <sub>S<sub>DAB</sub></sub> , V <sub>S<sub>CLB</sub></sub> B 侧输入/输出电压	0	V <sub>DDB</sub>	V
V <sub>ILA</sub> A 侧低电平输入电压	0	0.5	V
V <sub>IHA</sub> A 侧高电平输入电压	0.7*V <sub>DDA</sub>	V <sub>DDA</sub>	V
V <sub>ILB</sub> B 侧低电平输入电压	0	0.3* V <sub>DDB</sub>	V
V <sub>IHB</sub> B 侧高电平输入电压	0.7*V <sub>DDB</sub>	V <sub>DDB</sub>	V
I <sub>OLA</sub> A 侧低电平输出电流	0.5	3.5	mA
I <sub>OLB</sub> B 侧低电平输出电流	0.5	35	mA
C1 A 侧负载电容		40	pF
C2 B 侧负载电容		400	pF
f <sub>MAX</sub> 信号传输速率 <sup>1</sup>		2	MHz
T <sub>A</sub> 环境温度	-40	125	°C
T <sub>J</sub> 结温	-40	150	°C

#### 注:

1. 该最大信号传输速率是当总线负载电容最大、下拉电流最大条件下，对应的最高传输信号频率，如果系统在该总线节点的负载电容较小，则可以获得更高的信号传输速率。

#### 7.4. 热参数

热参数	CA-IS302x			单位
	S(SOIC)	G(SOIC)	W(SOIC)	
	8 Pins	8 Pins	16 Pins	
$R_{\theta JA}$ IC 结至环境的热阻	109.0	92.3	86.5	°C/W

#### 7.5. 额定功率

参数	测试条件	最小值	典型值	最大值	单位
$P_D$ 芯片最大功耗	$V_{DDA} = V_{DDB} = 5.5 \text{ V}$ , $C_L = 15 \text{ pF}$ , $T_J = 150^\circ\text{C}$ , $C1 = 40\text{pF}$ , $C2 = 400\text{pF}$ , 输入 1MHz、50% 占空比方波			86	mW
$P_{DA}$ A 侧的最大功耗				34	mW
$P_{DB}$ B 侧的最大功耗				52	mW

**7.6. 隔离特性**

参数		测试条件	数值			单位
			G	S	W	
CLR	外部气隙 (间隙) <sup>1</sup>	测量输入端至输出端, 隔空最短距离	8	4	8	mm
CPG	外部爬电距离 <sup>1</sup>	测量输入端至输出端, 沿壳体最短距离	8	4	8	mm
DTI	隔离距离	最小内部间隙 (内部距离)	28	28	28	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>600	>600	>600	V
	材料组	依据 IEC 60664-1	I	I	I	
IEC 60664-1 过压类别	额定市电电压 ≤ 150 V <sub>RMS</sub>		I-IV	I-IV	I-IV	
	额定市电电压 ≤ 300 V <sub>RMS</sub>		I-IV	I-IV	I-IV	
	额定市电电压 ≤ 600 V <sub>RMS</sub>		I-IV	N/A	I-IV	
	额定市电电压 ≤ 1000 V <sub>RMS</sub>		I-III	N/A	I-III	
<b>DIN V VDE V 0884-17:2017-10<sup>2</sup></b>						
V <sub>IORM</sub>	最大重复峰值隔离电压	交流电压(双极)	1414	566	1414	V <sub>PK</sub>
V <sub>IOWM</sub>	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	1000	400	1000	V <sub>RMS</sub>
		直流电压	1414	566	1414	V <sub>DC</sub>
V <sub>IOTM</sub>	最大瞬态隔离电压	V <sub>TEST</sub> = V <sub>IOTM</sub> , t = 60 s (认证); V <sub>TEST</sub> = 1.2 × V <sub>IOTM</sub> , t = 1 s (100% 产品测试)	7070	5300	7070	V <sub>PK</sub>
V <sub>IOSM</sub>	最大浪涌隔离电压 <sup>3</sup>	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V <sub>TEST</sub> = 1.6 × V <sub>IOSM</sub> (认证, G/W) V <sub>TEST</sub> = 1.3 × V <sub>IOSM</sub> (认证, S)	8000	5000	8000	V <sub>PK</sub>
q <sub>pd</sub>	表征电荷 <sup>4</sup>	方法 a, 输入/输出安全测试子类 2/3 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.2 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	≤5	≤5	pC
		方法 a, 环境测试子类 1 后, V <sub>ini</sub> = V <sub>IOTM</sub> , t <sub>ini</sub> = 60 s; V <sub>pd(m)</sub> = 1.6 × V <sub>IORM</sub> , t <sub>m</sub> = 10 s	≤5	≤5	≤5	
		方法 b, 常规测试 (100% 生产测试) 和前期预处理(抽样测试) V <sub>ini</sub> = 1.2 × V <sub>IOTM</sub> , t <sub>ini</sub> = 1 s; V <sub>pd(m)</sub> = 1.875 × V <sub>IORM</sub> , t <sub>m</sub> = 1 s (认证, G/W) V <sub>pd(m)</sub> = 1.5 × V <sub>IORM</sub> , t <sub>m</sub> = 1 s (认证, S)	≤5	≤5	≤5	
C <sub>IO</sub>	栅电容, 输入到输出 <sup>5</sup>	V <sub>IO</sub> = 0.4V × sin(2πft), f = 1 MHz	~0.5	~0.5	~0.5	pF
R <sub>IO</sub>	绝缘电阻 <sup>5</sup>	V <sub>IO</sub> = 500 V, T <sub>A</sub> = 25°C	>10 <sup>12</sup>	>10 <sup>12</sup>	>10 <sup>12</sup>	Ω
		V <sub>IO</sub> = 500 V, 100°C ≤ T <sub>A</sub> ≤ 125°C	>10 <sup>11</sup>	>10 <sup>11</sup>	>10 <sup>11</sup>	
		V <sub>IO</sub> = 500 V at T <sub>S</sub> = 150°C	>10 <sup>9</sup>	>10 <sup>9</sup>	>10 <sup>9</sup>	
	污染度		2	2	2	
<b>UL 1577</b>						
V <sub>ISO</sub>	最大隔离电压	V <sub>TEST</sub> = V <sub>ISO</sub> , t = 60 s (认证), V <sub>TEST</sub> = 1.2 × V <sub>ISO</sub> , t = 1 s (100% 生产测试)	5000	3750	5000	V <sub>RMS</sub>

**注:**

- 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。
- 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。
- 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。
- 表征电荷是由局部放电引起的放电电荷(pd)。
- 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。



### 7.7. 安全相关认证

VDE	UL	CQC
根据 DIN V VDE V 0884-17:2017-10 认证	UL1577 器件认证程序认证	根据 GB 4943.1-2011 认证 和 GB 8898-2011 认证
最大瞬态隔离电压: 5300V <sub>pk</sub> (SOIC8-NB), 7070V <sub>pk</sub> (SOIC8-WB) and 7070V <sub>pk</sub> (SOIC16-WB) 最大重复峰值隔离电压: 566V <sub>pk</sub> (SOIC8-NB), 1414V <sub>pk</sub> (SOIC8-WB) and 1414V <sub>pk</sub> (SOIC16-WB) 最大浪涌隔离电压: 5000V <sub>pk</sub> (SOIC8-NB), 8000V <sub>pk</sub> (SOIC8-WB) and 8000V <sub>pk</sub> (SOIC16-WB)	SOIC8-NB: 3750 V <sub>RMS</sub> ; SOIC8-WB: 5000 V <sub>RMS</sub> ;	SOIC8-NB: 基本绝缘, 最大工作电压 400 V <sub>RMS</sub> ; SOIC8-WB: 加强绝缘, 最大工作电压 600 V <sub>RMS</sub> ;
证书编号: 40052786 证书编号: 40057278	证书编号: E511334	SOIC8-NB: CQC20001267428 SOIC8-WB: CQC20001267438

### 7.8. 电气特性

除非有另有说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
<b>A 侧</b>					
V <sub>ILTA</sub> SDAA 和 SCLA 的低电平输入阈值		470	500	520	mV
V <sub>IHTA</sub> SDAA 和 SCLA 的高电平输入阈值		500	560	620	mV
V <sub>HYSA</sub> 输入阈值迟滞	V <sub>IHTA</sub> - V <sub>ILTA</sub>	40	60	80	mV
V <sub>OLA</sub> 低电平输出电压 <sup>1</sup>	0.5mA ≤ (I <sub>SDAA</sub> 和 I <sub>SCLA</sub> ) ≤ 3.5mA	630	700	760	mV
ΔV <sub>OITA</sub> 低电平输出和高电平输入阈值差值 <sup>1,2</sup>	0.5mA ≤ (I <sub>SDAA</sub> 和 I <sub>SCLA</sub> ) ≤ 3.5mA	100			mV
<b>B 侧</b>					
V <sub>ILTB</sub> SDAB 和 SCLB 的低电平输入阈值		1.13	1.33	1.53	V
V <sub>IHTB</sub> SDAB 和 SCLB 的高电平输入阈值		1.55	1.75	1.97	V
V <sub>HYSB</sub> 输入阈值迟滞	V <sub>IHTB</sub> - V <sub>ILTB</sub>	0.30	0.42	0.54	V
V <sub>OLB</sub> 低电平输出电压	0.5mA ≤ (I <sub>SDAA</sub> 和 I <sub>SCLA</sub> ) ≤ 35mA			0.4	V
<b>A 和 B 两侧</b>					
I <sub>L</sub>   SDAA, SDAB, SCLA, SCLB 输入漏电流	V <sub>SDAA</sub> = V <sub>SCLA</sub> = V <sub>DDA</sub> V <sub>SDAB</sub> = V <sub>SCLB</sub> = V <sub>ddb</sub>			1	μA
C <sub>i</sub> SDAA, SDAB, SCLA, SCLB 对地输入电容			3		pF
CMTI 共模瞬态抑制	见图 8-3	100	150		kV/μs
V <sub>DDUV</sub> 欠压保护阈值电压 <sup>3</sup>		1.95	2.24	2.53	V

- 注:**
- 本参数仅适用于 CA-IS3021 和 CA-IS3021 内部的双向传输通道。
  - ΔV<sub>OITA</sub> = V<sub>OLA</sub> - V<sub>IHTA</sub>, 该参数表示双向传输通道的低电平输出电压与高电平输入电压阈值的最小差值。
  - 芯片任何一个 V<sub>DD</sub> 电源电压小于欠压保护的最小阈值, 都将导致芯片进入欠压锁存模式。只有当两侧 V<sub>DD</sub> 电源电压均大于欠压保护的最大阈值时, 才能保证芯片恢复正常工作。

### 7.9. 电源电流

除非有另有说明，本表格数据均为推荐工作条件下的测试结果。详见测试电路图 8-1

参数	测试条件	电源电流	最小值	典型值	最大值	单位
<b>3 V ≤ V<sub>DDA</sub>, V<sub>DDB</sub> ≤ 3.6 V</b>						
CA-IS3020	V <sub>SDAA</sub> = V <sub>SCLA</sub> = GNDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	4.9	5.7	mA	
		I <sub>DDB</sub>	4.7	5.2		
	V <sub>SDAA</sub> = V <sub>SCLA</sub> = VDDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	2.4	2.8		
		I <sub>DDB</sub>	2.2	2.6		
CA-IS3021	V <sub>SDAA</sub> = V <sub>SCLA</sub> = GNDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	2.9	4.4		
		I <sub>DDB</sub>	2.4	3.7		
	V <sub>SDAA</sub> = V <sub>SCLA</sub> = VDDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	1.7	2.6		
		I <sub>DDB</sub>	1.8	2.8		
<b>4.5 V ≤ V<sub>DDA</sub>, V<sub>DDB</sub> ≤ 5.5 V</b>						
CA-IS3020	V <sub>SDAA</sub> = V <sub>SCLA</sub> = GNDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	5.0	5.7	mA	
		I <sub>DDB</sub>	4.7	5.2		
	V <sub>SDAA</sub> = V <sub>SCLA</sub> = VDDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	2.4	2.8		
		I <sub>DDB</sub>	2.2	2.6		
CA-IS3021	V <sub>SDAA</sub> = V <sub>SCLA</sub> = GNDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = GNDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	3.0	4.5		
		I <sub>DDB</sub>	2.5	3.8		
	V <sub>SDAA</sub> = V <sub>SCLA</sub> = VDDA; V <sub>SDAB</sub> = V <sub>SCLB</sub> = VDDB; R1 = R2 = OPEN; C1 = C2 = OPEN	I <sub>DDA</sub>	1.8	2.7		
		I <sub>DDB</sub>	1.9	2.9		

### 7.10. 时序滤波特性

		最小值	典型值	最大值	单位
t <sub>sp</sub>	输入信号尖峰抑制滤波	10	25		ns

**7.11. 开关特性**

除非另有说明，本表格数据均为推荐工作条件下的测试结果。

参数		测试条件		最小值	典型值	最大值	单位
<b>3 V ≤ V<sub>DDA</sub>, V<sub>DDB</sub> ≤ 3.6 V</b>							
t <sub>f1</sub>	输出信号下降时间 (SDAA, SCLA)	见图 8-2 R1 = 953Ω C1 = 40pF	0.7xV <sub>DDA</sub> 到 0.3x V <sub>DDA</sub>	18	23	28	ns
			0.9 xV <sub>DDA</sub> 到 900mV	32	40	48	
t <sub>f2</sub>	输出信号下降时间 (SDAB, SCLB)	见图 8-2 R2 = 95.3Ω C2 = 400pF	0.7xV <sub>DDB</sub> 到 0.3x V <sub>DDB</sub>	12	16	20	
			0.9x V <sub>DDB</sub> 到 400mV		30	60	
t <sub>PLHA-B</sub>	A 侧到 B 侧, 信号上升沿传输时延	见图 8-2 R1 = 953Ω R2 = 95.3Ω C1 = C2 = 10pF	0.55V 到 0.7x V <sub>DDB</sub>		100	135	
t <sub>PHLA-B</sub>	A 侧到 B 侧, 信号下降沿传输时延		0.7V 到 0.4V		100	130	
PWD <sub>A-B</sub>	脉宽失真,   t <sub>PLHA-B</sub> - t <sub>PHLA-B</sub>				7	30	
t <sub>PLHB-A</sub> <sup>1</sup>	B 侧到 A 侧, 信号上升沿传输时延		0.4xV <sub>DDB</sub> 到 0.7x V <sub>DDA</sub>		80	100	
t <sub>PHLB-A</sub> <sup>1</sup>	B 侧到 A 侧, 信号下降沿传输时延		0.4 x V <sub>DDB</sub> 到 0.9V		90	120	
PWD <sub>B-A</sub> <sup>1</sup>	脉宽失真,   t <sub>PLHA-B</sub> - t <sub>PHLA-B</sub>				5	20	
t <sub>LOOPA</sub> <sup>1</sup>	A 侧环路传输时延		见图 8-2 R1 = 953Ω C1 = 40pF R2 = 95.3Ω C2 = 400pF	0.4V 到 0.3 xV <sub>DDA</sub>		200	
<b>4.5 V ≤ V<sub>DDA</sub>, V<sub>DDB</sub> ≤ 5.5 V</b>							
t <sub>f1</sub>	输出信号下降时间 (SDAA, SCLA)	见图 8-2 R1 = 1430Ω C1 = 40pF	0.7xV <sub>DDA</sub> 到 0.3x V <sub>DDA</sub>	10	12	14	ns
			0.9 xV <sub>DDA</sub> 到 900mV	40	50	60	
t <sub>f2</sub>	输出信号下降时间 (SDAB, SCLB)	见图 8-2 R2 = 143Ω C2 = 400pF	0.7xV <sub>DDB</sub> 到 0.3x V <sub>DDB</sub>	8	10	12	
			0.9x V <sub>DDB</sub> 到 400mV	20	28	36	
t <sub>PLHA-B</sub>	A 侧到 B 侧, 信号上升沿传输时延	见图 8-2 R1 = 1430Ω R2 = 143Ω C1 = C2 = 10pF	0.55V 到 0.7x V <sub>DDB</sub>		100	120	
t <sub>PHLA-B</sub>	A 侧到 B 侧, 信号下降沿传输时延		0.7V 到 0.4V		70	90	
PWD <sub>A-B</sub>	脉宽失真,   t <sub>PLHA-B</sub> - t <sub>PHLA-B</sub>				30	45	
t <sub>PLHB-A</sub> <sup>1</sup>	B 侧到 A 侧, 信号上升沿传输时延		0.4xV <sub>DDB</sub> 到 0.7x V <sub>DDA</sub>		110	130	
t <sub>PHLB-A</sub> <sup>1</sup>	B 侧到 A 侧, 信号下降沿传输时延		0.4 x V <sub>DDB</sub> 到 0.9V		100	150	
PWD <sub>B-A</sub> <sup>1</sup>	脉宽失真,   t <sub>PLHA-B</sub> - t <sub>PHLA-B</sub>				8	20	
t <sub>LOOPA</sub> <sup>1</sup>	A 侧环路传输时延		见图 8-2 R1 = 1430Ω C1 = 40pF R2 = 143Ω C2 = 400pF	0.4V 到 0.3 VDDA		210	
<b>注:</b>							
1. 本参数仅适用于 CA-IS3021 和 CA-IS3021 内部的双向传输通道。							

8. 参数测试电路

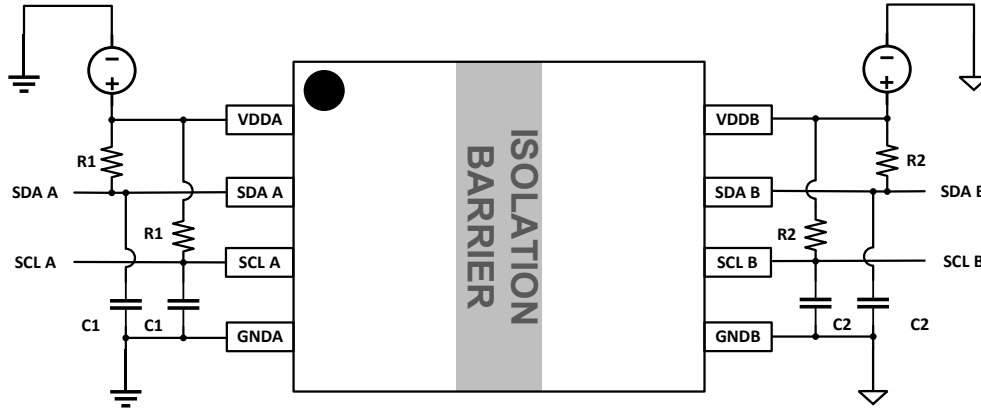


图 8-1. 测试电路

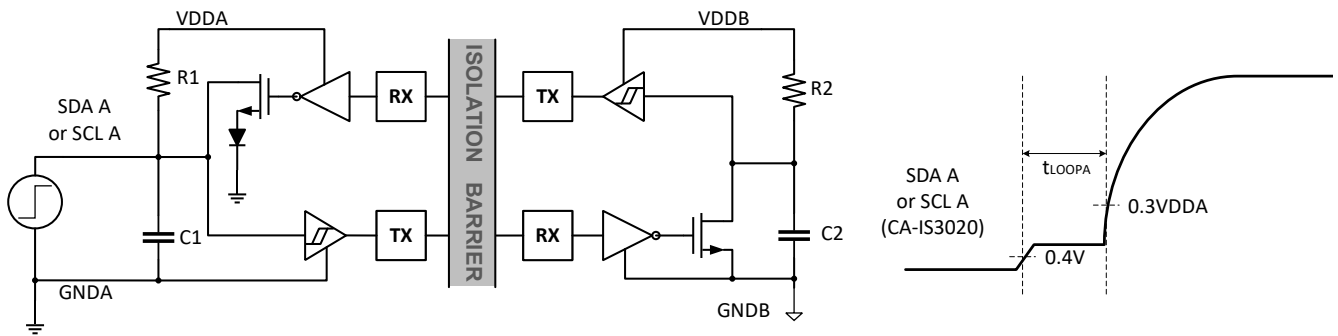


图 8-2.  $t_{LOOPA}$  测试电路与波形

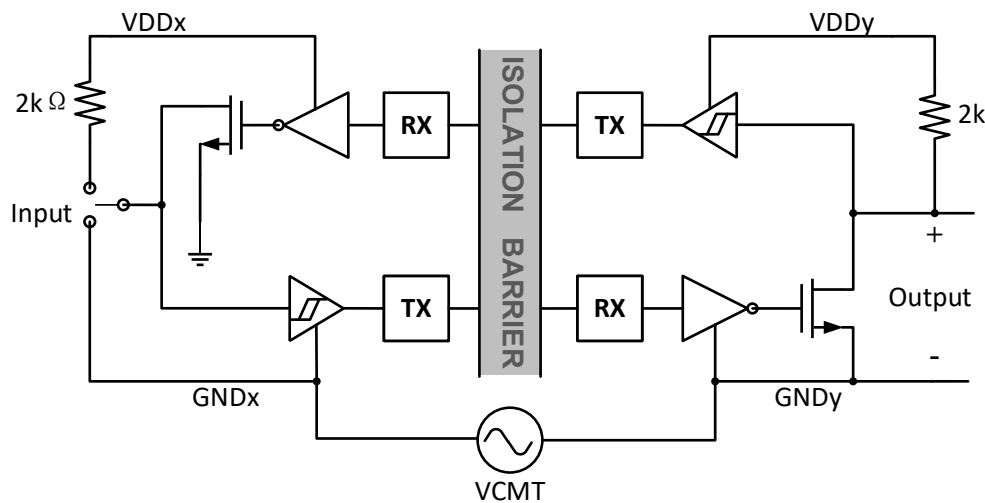


图 8-3. 共模瞬变抗扰度(CMTI)测试电路

## 9. 详细说明

### 9.1. 隔离 I<sup>2</sup>C

CA-IS302x 双通道数字隔离器提供完备的双向数字隔离方案，可承受高达  $3.75\text{kV}_{\text{RMS}}$  (窄体封装)或  $5\text{kV}_{\text{RMS}}$  (宽体封装) 隔离电压，并具有  $\pm 150\text{kV}/\mu\text{s}$  典型 CMTI。这些双向数字隔离器不同于简单的两路单向隔离器并联方案，从根本上解决了低电平闭锁问题，且无需外部防死锁电路，有效节省尺寸和功耗。器件输入采用施密特触发器以提高抗干扰能力，数字通道的逻辑输入与输出之间采用电容隔离( $\text{SiO}_2$ )。该系列产品中，CA-IS3020 提供两路双向传输、开漏输出的数字隔离，以满足多主机 I<sup>2</sup>C 总线的数据、时钟隔离需求；CA-IS3021 包含 1 路单向传输通道和 1 路双向传输通道，分别用于单主机 I<sup>2</sup>C 总线中的时钟(SCL)和数据(SDA)线隔离。所有器件支持高达 2.0MHz 的数据速率，隔离器两侧的逻辑电平分别由电源电压  $V_{\text{DDA}}$ 、 $V_{\text{DDB}}$  确定，供电范围为 3.0V 至 5.5V，表 9-1 列出了 CA-IS302x 的关键特性。

表 9-1. CA-IS302x 关键特性

型号	传输方向	隔离耐压 <sup>1</sup>	最高频率
CA-IS3020	双向(SCL) 双向(SDA)	窄体封装: $3750\text{V}_{\text{RMS}}, 5300\text{V}_{\text{PK}}$ 宽体封装: $5000\text{V}_{\text{RMS}}, 7071\text{V}_{\text{PK}}$	2.0MHz
CA-IS3021	单向(SCL) 双向(SDA)		

注:  
1. 详细信息, 请参考隔离特性表。

### 9.2. 功能框图

CA-IS302x 采用电容隔离技术，与电感隔离相比，可提供更低功耗、更小的传输延时与信号抖动，具有更好的电磁辐射抑制，进而支持更高的信号传输速率。为了构建双向传输通道，CA-IS302x 在每个双向通道集成了两个单向通道，双向通道的输出采用漏极开路输出，以满足标准 I<sup>2</sup>C 接口的要求。图 9-1 和图 9-2 分别给出了 CA-IS3020、CA-IS3021 的内部电路框图。其中，A 侧用于连接 I<sup>2</sup>C 节点的低电容负载，允许最大负载电容为 40pF；B 侧用于连接 I<sup>2</sup>C 总线节点的高电容负载，允许最大负载电容为 400 pF。

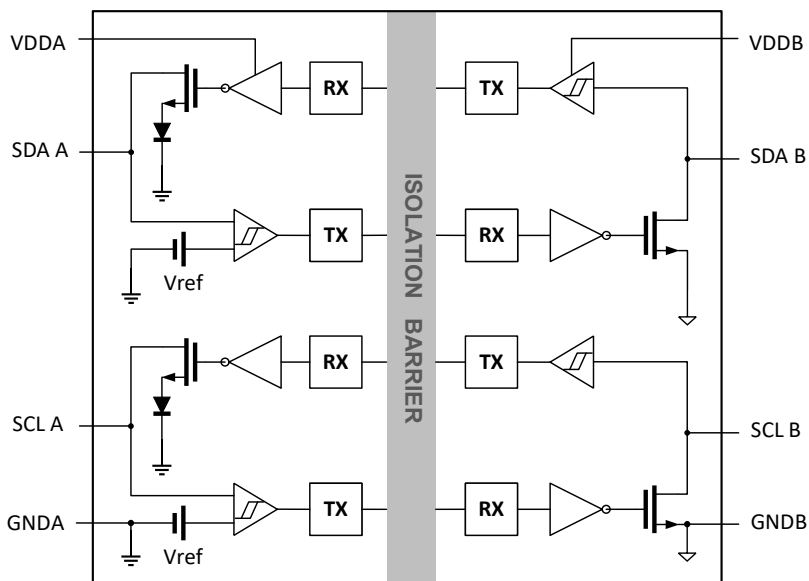


图 9-1. CA-IS3020 功能框图

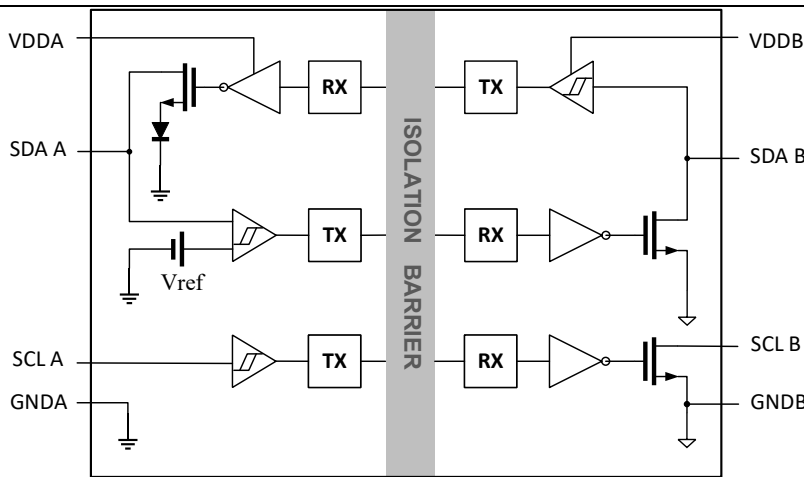


图 9-2. CA-IS3021 功能框图

在双向传输隔离通道中，为了放置总线闭锁，A 侧输出采用一个特殊的缓冲器，将逻辑低电平输出电压调整在大约 700mV，而逻辑低电平输入的最高电压为 400mV。内部迟滞比较器通过检测 SDA A、SCL A 引脚的低电平电压，确定逻辑低电平是来自输入，还是隔离器的输出。通过比较器判断，可以避免将 A 侧输出的低电平错误地作为逻辑低电平输入而接受，并将其传送到 B 侧输出，由此规避了总线闭锁问题。隔离器 B 侧采用传统的缓冲器，不对逻辑低电平电压做任何调整。隔离器一侧的逻辑低电平输入将使另一侧对应引脚的电平拉低。

### 9.3. 工作模式

表 9-2 列出了 CA-IS302x 的工作模式，为了优化工作性能，确保隔离器 A 侧的负载电容( $C_A$ )  $\leq 40\text{pF}$ ，B 侧负载电容( $C_B$ )  $\leq 400\text{pF}$ 。A 侧的最大静态输出负载电流为 3.5mA，而 B 侧的最大静态输出负载电流为 35mA。器件内部对  $V_{DDA}$  和  $V_{DDB}$  电源电压进行监测，判断是否发生欠压条件，欠压检测门限的最小值为 1.95V，最大值为 2.53V。欠压故障可能发生在上电、断电、正常工作时的瞬态负载导致电源电压跌落等情形中。一旦在任何一路电源检测到欠压故障：即  $V_{DDA} \leq 1.95\text{V}$  或/和  $V_{DDB} \leq 1.95\text{V}$ ，所有输出将被置于高阻，由外部开漏输出的上拉电阻拉至高电平。

表 9-2. 真值表<sup>1</sup>

电源电压	输入	输出
$V_{DDA}$ 或 $V_{DDB} < 1.95\text{V}$	X	Hi-Z
$V_{DDA}$ 和 $V_{DDB} > 2.53\text{V}$	L	L
$V_{DDA}$ 和 $V_{DDB} > 2.53\text{V}$	H	Hi-Z
$V_{DDA}$ 和 $V_{DDB} > 2.53\text{V}$	Hi-Z <sup>2</sup>	不确定

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻;
2. 由于 I<sup>2</sup>C 总线要求数据线和时钟线接上拉电阻至  $V_{DD}$ ，高阻为无效输入。

## 10. 应用信息

### 10.1. 工作原理

I<sup>2</sup>C 总线通过 2 线接口实现不同 IC(系统控制器、远端传感器、激励器等电路)之间的数据通信，2 线接口包括一条数据线(SDA)和一条时钟线(SCL)，允许多个从机器件连接在同一总线，且不需要片选信号。由于总线上只有一条数据线，需要工作在半双工模式，即在任意时间段只能发送数据或只能接收数据，数据线需要支持双向传输。而对于多主机系统，则要求数据线和时钟线均支持双向传输。CA-IS302x 系列数字隔离器可提供两路双向传输通道(CA-IS3020)或一路用于数据的双向传输通道和一路用于时钟的单向传输通道(CA-IS3021)，以满足 I<sup>2</sup>C 总线的隔离要求。I<sup>2</sup>C 总线工作在标准

模式、快速模式或高速模式，最大速率分别对应于 100kbps、400kbps 和 1.7Mbps ( $C_{bus} = 400\text{pF}$ )。CA-IS302x 数字隔离器可支持最高 2.0MHz 的工作频率，满足绝大多数 I<sup>2</sup>C 应用的需求。

## 10.2. 典型应用

CA-IS302x 隔离 IC 在两个不同的电源域提供完备的数字隔离，由于切断了接地环路，可以避免较高的共模干扰或故障电压损坏设备。这些器件不需要特殊的上电顺序，A、B 两侧信号的逻辑电平分别由  $V_{DDA}$  和  $V_{ddb}$  确定。SDAA、SCLA、SDAB、SCLB 引脚为开漏输出，需要通过外部上拉电阻连接至相应电源，以确保正确的逻辑高电平输出。B 侧输出可在 35mA 最大灌电流时确保正确的逻辑低电平；A 侧输出允许最大 3.5mA 的灌电流。由此，上拉电阻的最小值应确保 A 侧信号线输入电流  $\leq 3.5\text{mA}$ ，B 侧信号线输入电流  $\leq 35\text{mA}$ 。输入/输出线上拉电阻的最大值则取决于负载电阻和对上升时间的要求。

为了减小电源纹波、降低干扰，电路设计中需要在  $V_{DDA}$  引脚与  $GNDA$  之间， $V_{ddb}$  引脚与  $GNDB$  之间分别安装一个至少  $0.1\mu\text{F}$  的低 ESR 电容。旁路电容应紧靠器件的电源引脚放置。除此之外，建议 PCB 使用尽可能短的输入、输出信号线，不要在信号线上使用过孔，以尽可能减小信号线上的寄生电感。隔离器下方不要布设任何地线或信号线，介于“A”侧和“B”侧之间的任何电气或金属连线都会降低隔离耐压。PCB 设计工程师应遵循这些基本要求，以获得最佳的数字隔离性能。图 10-1 和图 10-2 分别给出了 CA-IS3020 和 CA-IS3021 的典型应用电路。

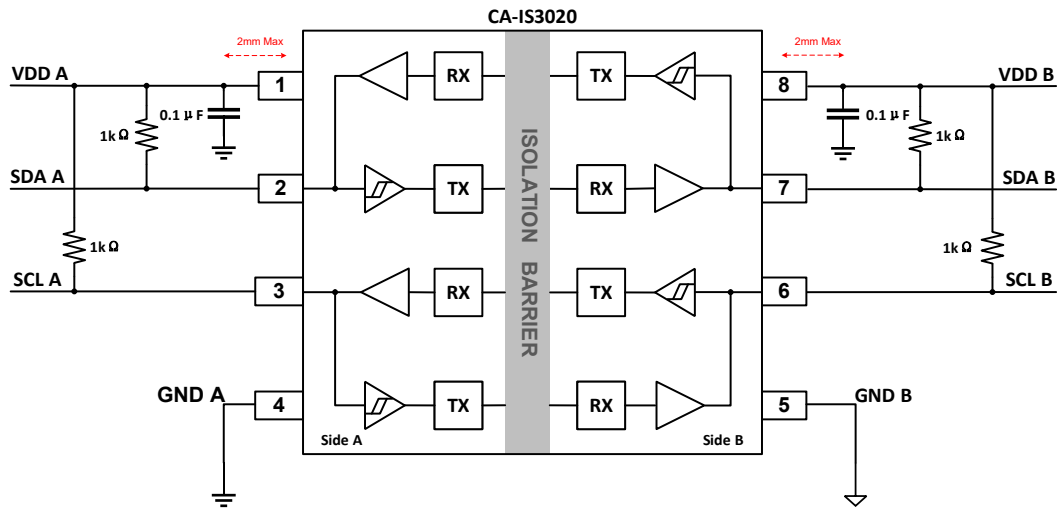


图 10-1. CA-IS3020 隔离 I<sup>2</sup>C 典型应用电路

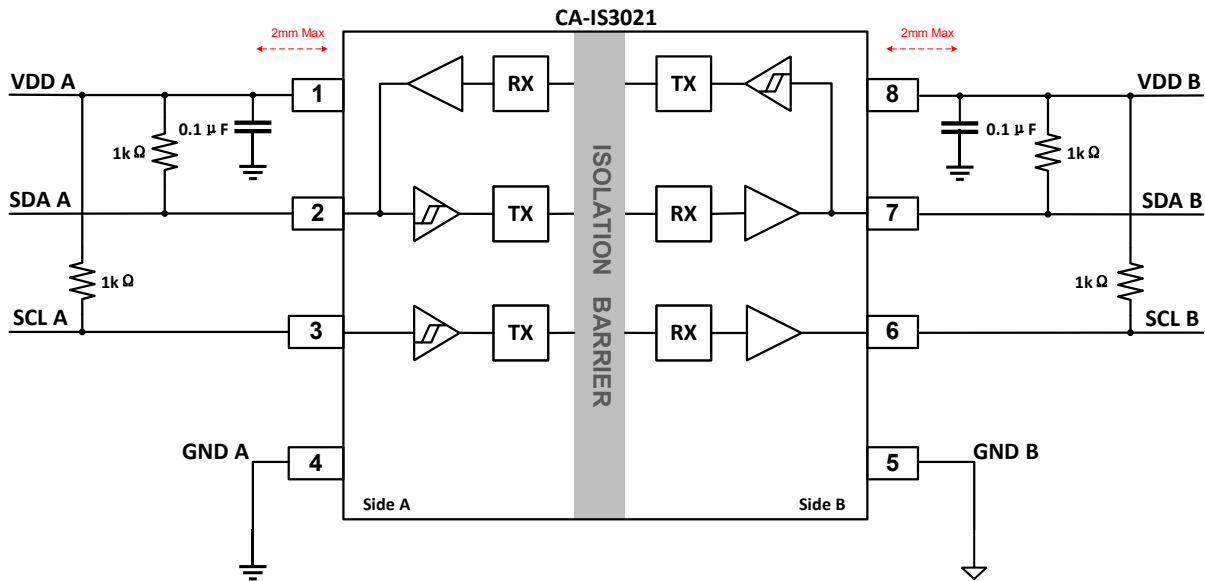


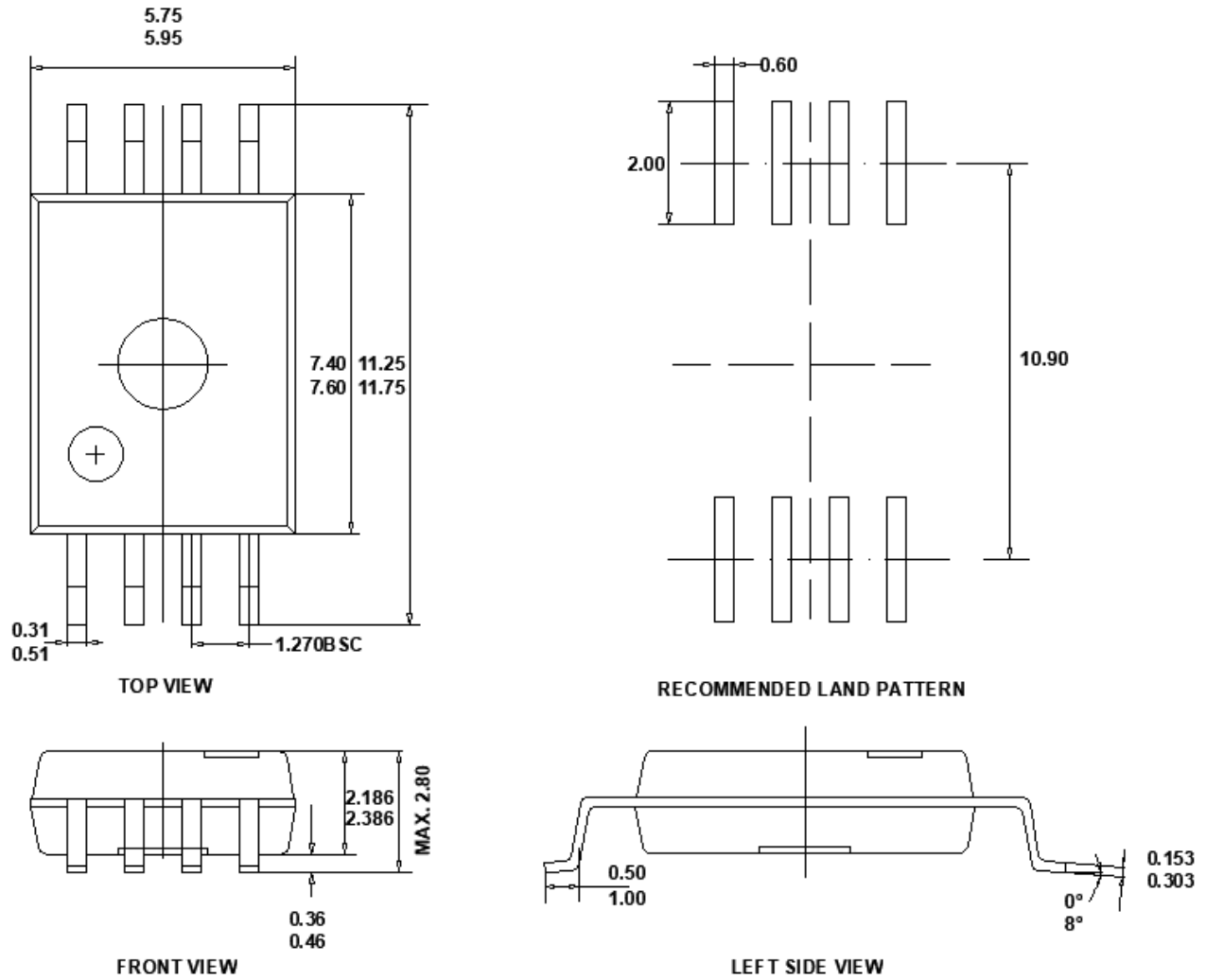
图 10-2. CA-IS3021 隔离 I<sup>2</sup>C 典型应用电路



**11. 封装信息**

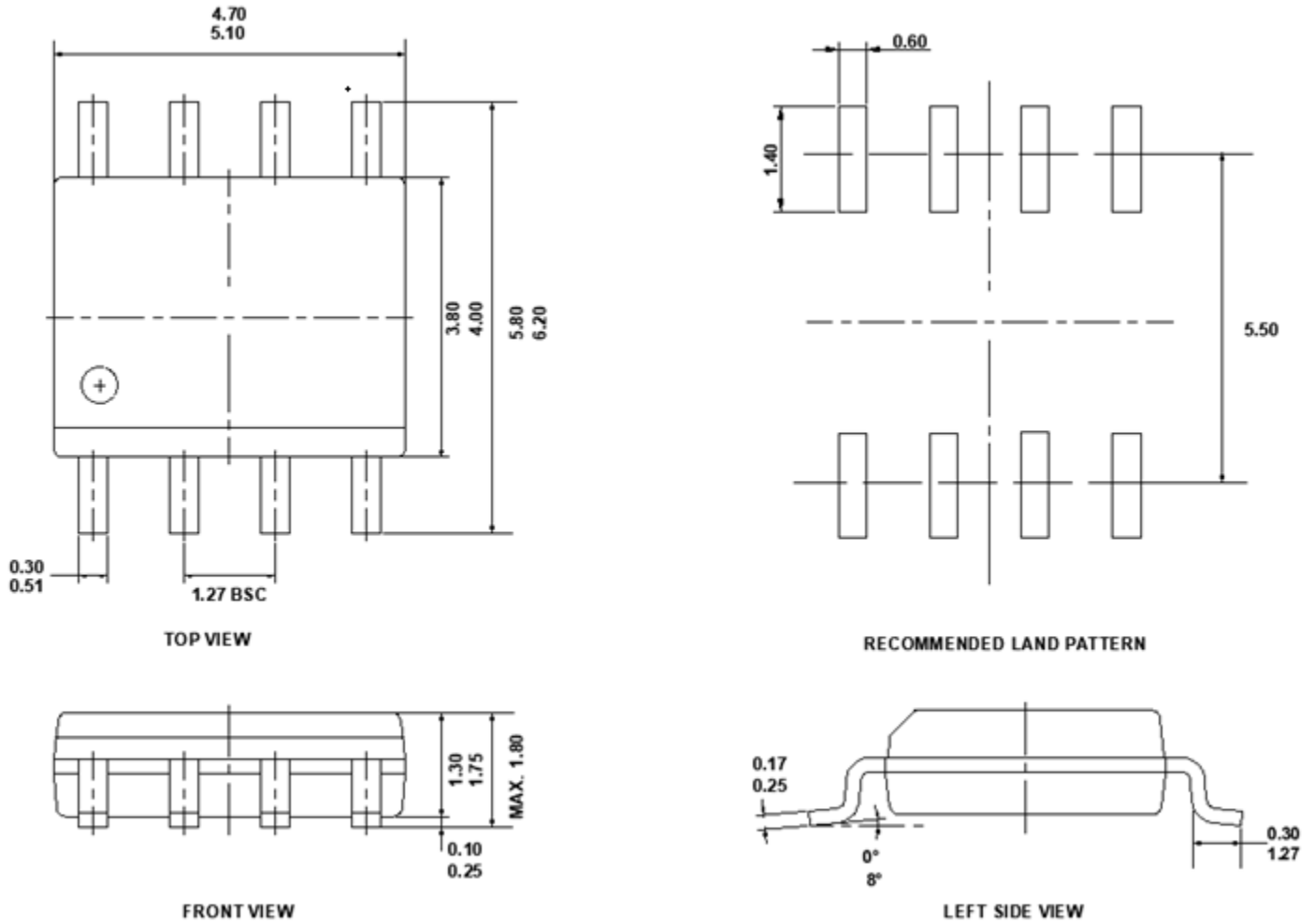
**11.1. 8 引脚宽体 SOIC 封装**

下图给出了 CA-IS302x 系列器件的 8 引脚宽体 SOIC 封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



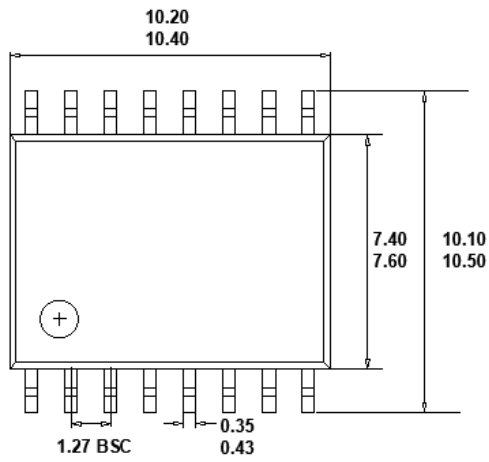
11.2. 8 引脚窄体 SOIC 封装

下图给出了 CA-IS302x 系列器件的 8 引脚窄体 SOIC 封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。

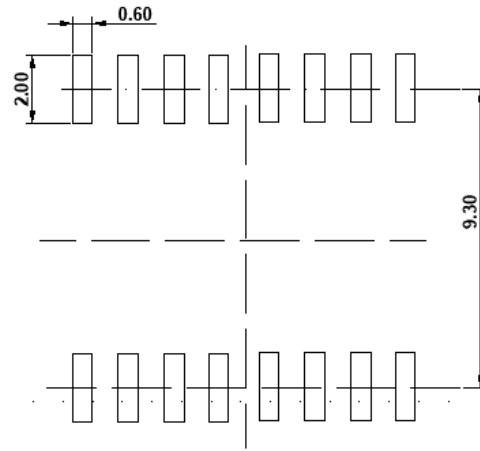


**11.3. 16 引脚宽体 SOIC 封装**

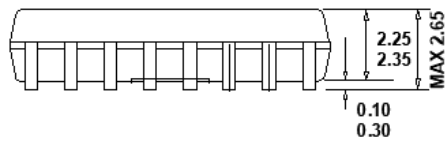
下图给出了 CA-IS302x 系列器件的 16 引脚宽体 SOIC 封装的尺寸图和建议焊盘尺寸图。尺寸以毫米为单位。



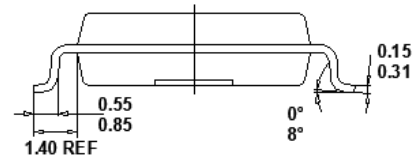
**TOP VIEW**



**RECOMMENDED LAND PATTERN**



**FRONT VIEW**



**LEFT SIDE VIEW**

12. 焊接信息

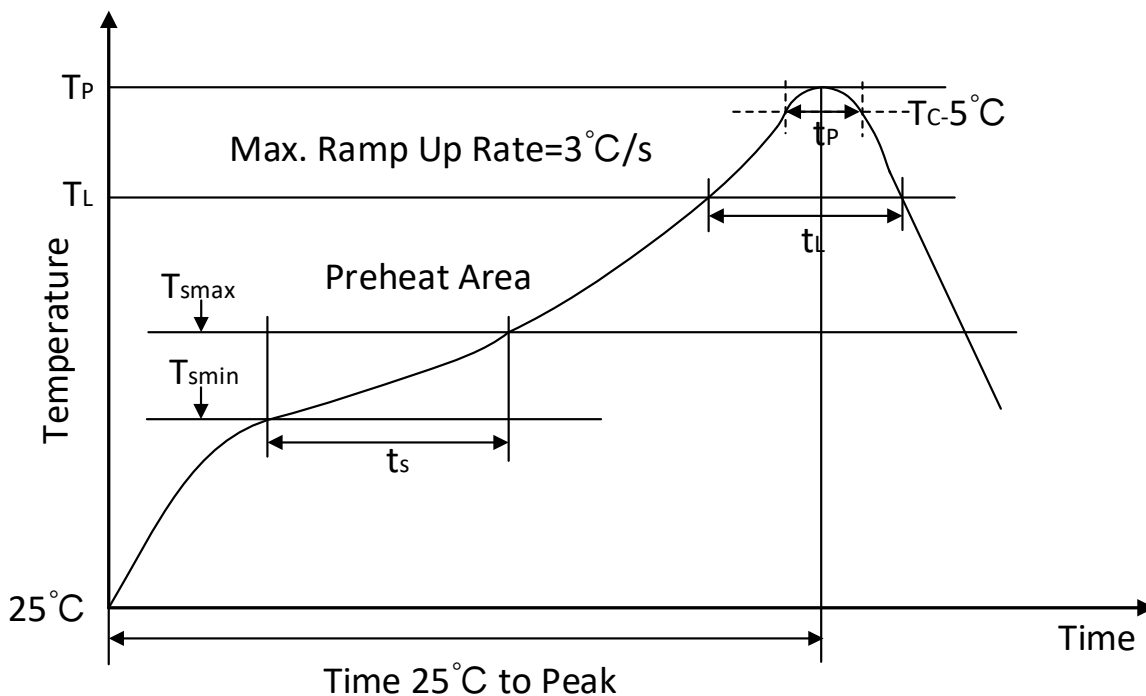


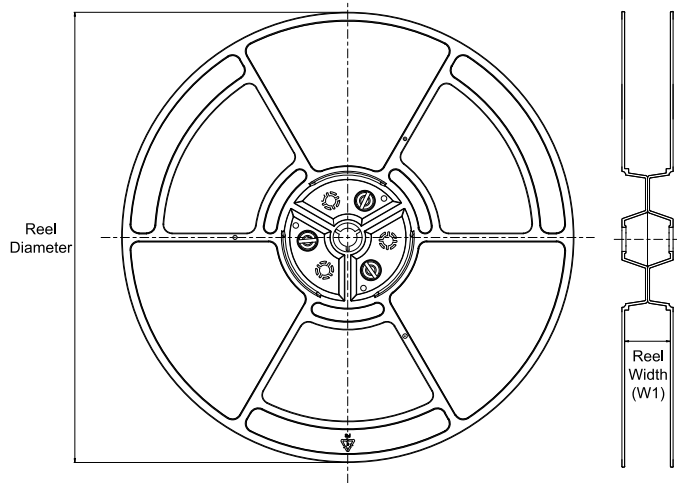
图 12-1. 焊接温度曲线

表 12-2. 焊接温度参数

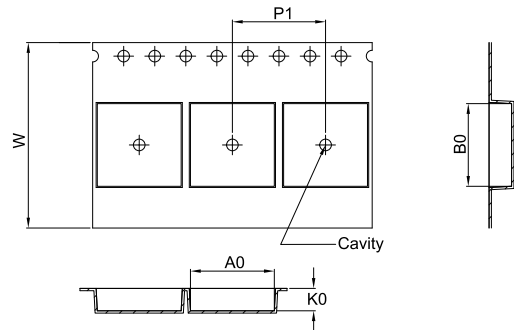
简要说明	无铅焊接
温升速率 (T <sub>L</sub> =217°C 至峰值 T <sub>p</sub> )	最大 3°C/s
T <sub>smin</sub> =150°C 到 T <sub>smax</sub> =200°C 预热时间 t <sub>s</sub>	60~120 秒
温度保持 217°C 以上时间 t <sub>L</sub>	60~150 秒
峰值温度 T <sub>p</sub>	260°C +5/-0°C
小于峰值温度 5°C 以内时间 t <sub>p</sub>	最长 30 秒
降温速率 (峰值 T <sub>p</sub> 至 T <sub>L</sub> =217°C)	最大 6°C/s
常温 25°C 到峰值温度 T <sub>p</sub> 时间	最长 8 分钟

## 13. 卷带信息

## REEL DIMENSIONS

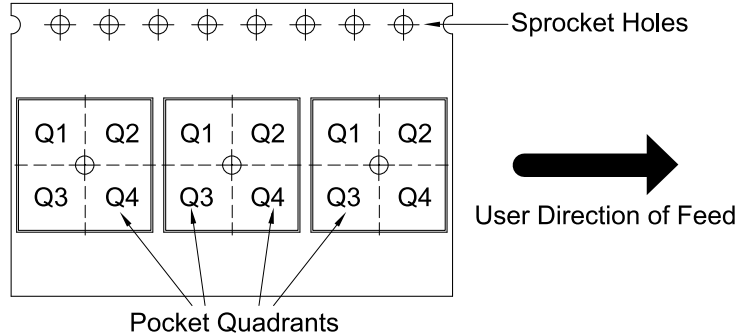


## TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

## QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS3020S	SOIC	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IS3020G	SOIC	G	8	1000	330	16.4	11.95	6.15	3.20	16.00	16.00	Q1
CA-IS3021S	SOIC	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IS3021G	SOIC	G	8	1000	330	16.4	11.95	6.15	3.20	16.00	16.00	Q1
CA-IS3020W	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1
CA-IS3021W	SOIC	W	16	1000	330	16.4	10.90	10.70	3.20	12.00	16.00	Q1

## 14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

### 商标信息

Chipanalog Inc.<sup>®</sup>、Chipanalog<sup>®</sup>为 Chipanalog 的注册商标。



<http://www.chipanalog.com>