

D21X 数据手册

国产自主 64 位 RISC-V

Version 1.0

Mar. 10, 2023

修订记录

版本	日期	修订人	修订说明
V1.0	2023-02-14	yufu.qin	初版
V1.0	2023-03-10	yufu.qin	PA2-PA7, PB2-PB11 PINMUX 功能复用修正

ArtInChip

版权声明

本档是匠芯创科技（“ARTINCHIP”）的原创作品，匠芯创科技拥有该档的全部版权。全部或部分复制必须获得匠芯创科技的书面批准，并向版权所有人明确确认。凡侵犯本公司版权等知识产权的，本公司将保留依法追究其法律责任的权利。

在法律允许的范围内，在此声明：使用前请仔细阅读合同条款和条件以及相关说明，并严格遵守本档中的说明。

匠芯创科技不对不当行为的后果（包括但不限于过电压、超频或温度过高）承担任何责任。

匠芯创科技提供的信息仅作为参考或典型应用，本档中的所有声明、信息和建议不构成任何明示或暗示的担保。

匠芯创科技保留随时更改电路设计和/或规格的权利，恕不另行通知。

客户应全权负责获得实施解决方案/产品可能需要的第三方许可，匠芯创科技不承担任何与第三方许可相关的许可费或特许权使用费。对于任何要求的第三方许可证所涵盖的事项，匠芯创科技不承担任何保证、赔偿或其他义务。

凡以任何方式直接或间接使用本档资料者，视为自愿接受本档声明的约束。

ARTINCHIP

目录

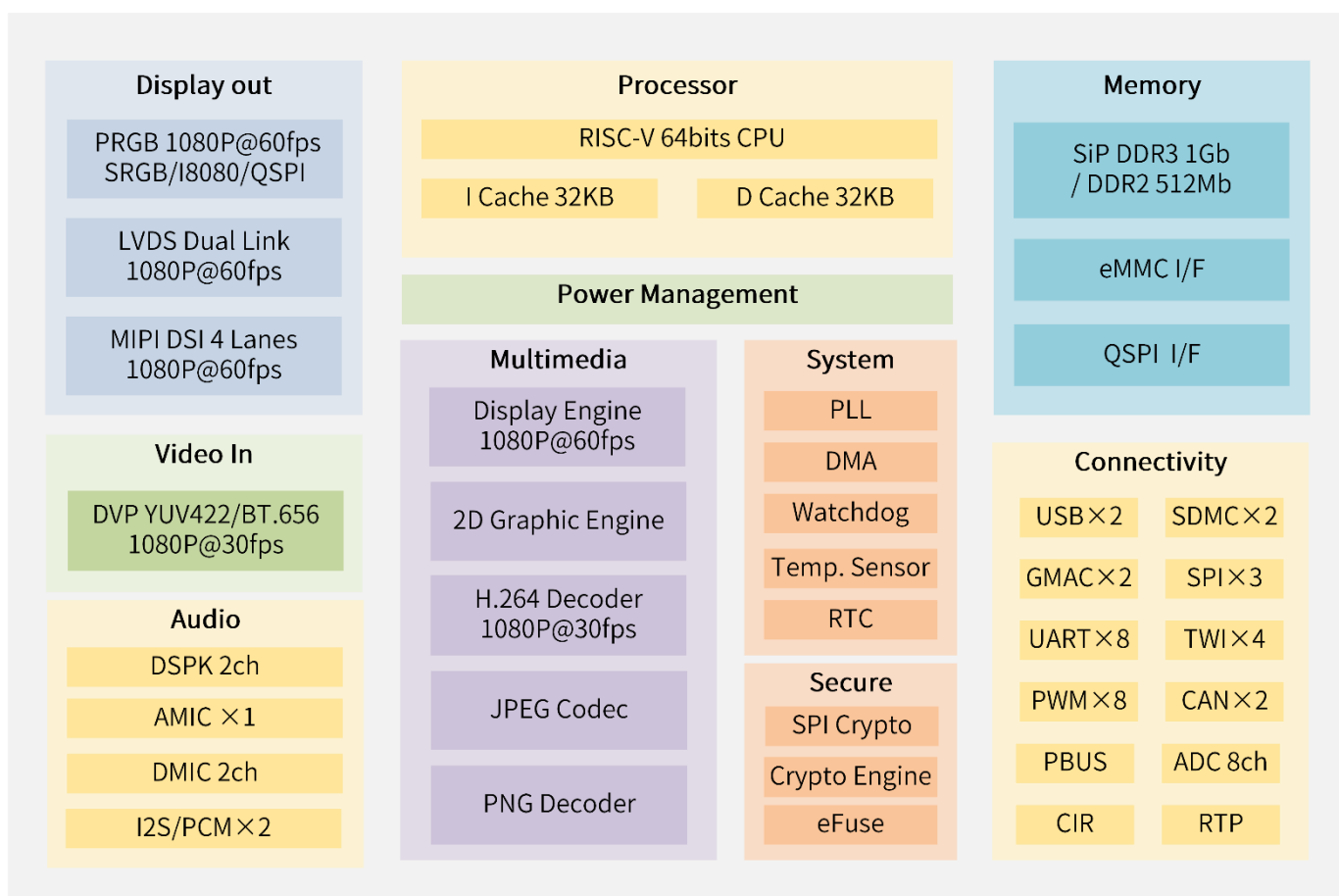
1.	简介	5
1.1.	功能框图	5
1.2.	功能特性	5
1.2.1.	CPU 核	5
1.2.2.	系统启动	5
1.2.3.	系统安全	6
1.2.4.	片内存储	6
1.2.5.	存储接口	6
1.2.6.	图像引擎	6
1.2.7.	显示接口	7
1.2.8.	音频接口	7
1.2.9.	通用接口	7
1.2.10.	计数器	7
1.2.11.	模拟	8
1.2.12.	时钟和电源管理	8
1.3.	产品信息	8
1.4.	产品对比	9
2.	电气特性	10
2.1.	运行条件	10
2.1.1.	最大极限值	10
2.1.2.	建议运行条件	10
2.2.	RTC 供电	10
2.3.	上下电时序及复位	11
2.3.1.	上下电时序	11
2.3.2.	复位源	11
2.4.	内置LDO 电气特性	11
2.4.1.	LDO30	11
2.4.2.	LDO25	11
2.4.3.	LDO1x	11
2.5.	时钟	12
2.5.1.	外部时钟源	12
2.5.2.	内部 PLL 时钟特性	12
2.6.	IO 电气特性	12
2.6.1.	IO DC 特性	12
2.6.2.	IO AC 特性	13
2.7.	时序参数	13
2.7.1.	各模块工作频率	13
2.7.2.	显示接口时序	14
3.	模块列表	16
3.1.	特殊信号处理	16

3.2.	未使用接口处理	16
4.	特别说明	17
4.1.	BOOT 启动流程	17
4.2.	以太网接口说明	18
4.2.1.	百兆以太网 RMII 接口	18
5.	封装信息	19
5.1.	管脚分布	19
5.1.1.	D211BB QFN88	19
5.1.2.	D211DB QFN100	20
5.1.3.	D213EC QFN128	21
5.2.	管脚属性	22
5.2.1.	D211BB	22
5.2.2.	D211DB	25
5.2.3.	D213EC	27
5.3.	功能复用	31
5.4.	管脚/信号描述	34
5.5.	封装尺寸	37
5.5.1.	D211BB	37
5.5.2.	D211DB	39
5.5.3.	D213EC	40

1. 简介

D211 系列是一款高性能的全高清显示和智能控制 SOC，采用国产自主 64 位高算力 RISC-V 内核，内置 16 位 DDR 控制器并提供丰富的互联外设接口，配备了 2D 图像加速引擎和 H.264 解码引擎，可以满足各类交互设计场景和多媒体互动体验，具有高可靠性、高安全性、高开放度的设计标准，可以面向于泛工业领域应用

1.1. 功能框图



1.2. 功能特性

D211 系列芯片处理器是基于 RV64 指令架构，具有以下功能特性：

1.2.1. CPU 核

- 平头哥 C906 单核，RV64IMAFDC 指令架构，600MHz @ 1.2V
- 一级指令缓存 32KB，数据缓存 32KB
- 单精度/双精度浮点单元
- Sv39 内存管理模式，PMP 安全保护
- 核内中断 CLINT 和中断控制器 PLIC

1.2.2. 系统启动

- SD Card -> SPI NAND -> SPI NOR -> eMMC 顺序扫描启动
- 可通过烧写 EFUSE 改变启动顺序

- 可通过 UBOOT 引脚进入 USB 烧写模式

1.2.3. 系统安全

- 支持数字签名安全启动方式
- CE 实现 AES/TDES/RSA 等加解密算法及 SHA/HMAC 校准算法
- SPI_ENC 实现 SPI Nand/SPI Nor 在线解密
- SID 内置熔丝 2048bit，其中 512bit 供自定义使用
- 内置 256bit TRNG 产生器

1.2.4. 片内存储

- BROM 32KB
- SRAM 96KB
- DRAM SiP 16bit KGD，两种规格可选：
 - ◆ DDR2 512Mb，最高频率 528MHz
 - ◆ DDR3 1Gb，最高频率 672MHz
- DRAM 支持展频功能

1.2.5. 存储接口

- QSPI 支持 SPI NAND Flash / SPI Nor Flash
 - ◆ 支持单通道/双通道/四通道
 - ◆ IO 最大速率 SDR 100MHz
 - ◆ Flash 容量不限制
- eMMC5.0/SD3.01/SDIO3.0，总共 3 套
 - ◆ eMMC 8 线/4 线，支持 SDR25/SDR50/DDR50 模式
 - ◆ IO 最大速率 DDR 50MHz，仅支持 3.3V IO 电压

1.2.6. 图像引擎

- DE 显示引擎：
 - ◆ 1 个 UI 图层，1 个 VI 图层，最高性能 1080P60
 - ◆ VI 图层支持 $1/31.999x \sim 32x$ 缩放
 - ◆ 集成误差扩散 Dither 算法
- GE 图像引擎：
 - ◆ 最大输入/输出图像大小 4096x4096
 - ◆ 支持水平和垂直 Flip，90/180/270 度旋转
 - ◆ RGB 格式支持任意角度旋转和 scan order
 - ◆ 支持 $1/16x \sim 16x$ 缩放，采用 6x4 taps 16 phases 滤波算法
 - ◆ 支持命令队列
- VE 视频编解码：
 - ◆ H.264/AVC 解码器，最高性能 1080P30?
 - ◆ MJPEG 基线解码器
 - ◆ PNG 解码器
 - ◆ JPEG 编码器

1.2.7. 显示接口

- 并口 RGB 24bit, IO 速率最高 200MHz, 最高性能 1080P60
- 双 Link LVDS, 接口速率最高 700MHz, 最高性能 1080P60
- MIPI DSI 4 LANE, 接口速率最高 1GHz, 最高性能 1080P60
- 支持 SRGB/I8080/QSPI 屏接口, IO 速率最高 200MHz
- DVP 8bit 输入, IO 速率最高 150MHz, 最高性能 1080P30
- 显示输出接口均支持展频功能

1.2.8. 音频接口

- 集成 1 路 AUDIO ADC, 信噪比 > 90dB
- 2 通道 DMIC 接口输入
- 2 套 I2S, 均支持输入输出, 支持 TDM 模式
- 左右声道数字 PWM 输出 (SPK)

1.2.9. 通用接口

- 2 路 USB, USB0 可配置为 DEVICE/HOST, USB1 做为 HOST
- 2 路 GMAC, 支持 100M RMII/1000M RGMII, 支持 IEEE1588 协议
- 3 路 SPI, 支持 3 线/4 线接口
- 8 路 UART, 兼容工业标准 16550, 波特率精度 <2%
- 4 路 TWI, 支持 7bit 和 10bit 寻址, 最高速率 400Kb/s
- 2 路 CAN, 支持 CAN2.0A 和 CAN2.0B, 可编程通信速率最高 1Mbps
- 1 套 CIR, 支持红外输入和红外输出
- 1 套 PBUS, 用于对外部设备地址空间进行读写访问
- 6 组 GPIO 总共 100 个 IO, 每个 IO 独立配置:
 - ◆ 可选无上下拉/上拉 33K Ω /下拉 33K Ω
 - ◆ 输出驱动 8 个档位可调
 - ◆ 支持二级去抖和中断

1.2.10. 计数器

- GTC 通用计时器
 - ◆ 52 位计时器, 提供系统心跳时钟,
 - ◆ 计时周期大于 35
 - ◆ 调试模式下可配置为暂停计时或继续计时
- WDOG 看门狗
 - ◆ 支持中断和复位, 超时时间 1ms~37 小时可配置
 - ◆ 调试模式下可配置为暂停计时或继续计时
 - ◆ 硬件写保护机制
- RTC 实时时钟
 - ◆ 以秒为单位, 100 年时间跨度, 硬件闹钟设置
 - ◆ 外挂 32.768KHz 晶体, 支持数字校准, 范围 ± 975 ppm
 - ◆ 独立备用供电输入引脚, 实现内置电源切换开关

- ◆ 128bits 用于系统数据备份, 如掉电重点保护数据
- ◆ RTC 模块工作电流 < 3uA
- PWM
 - ◆ 内置 16-bit 计数器
 - ◆ 最大可支持 8 路独立 PWM 或 4 路互补 PWM

1.2.11. 模拟

- 内置 12 通道 12bit GPADC, 采样速率最高 1MSPS
- 内置 12 通道 12bit PSADC, 采样速率最高 1MSPS
- 集成 RTP 电阻触摸屏接口

1.2.12. 时钟和电源管理

- CMU 内置 5 个 PLL:
 - ◆ PLL_INT0 用于 CPU 单独使用
 - ◆ PLL_INT1 用于总线, 内部模块, 及低速接口模块使用
 - ◆ PLL_FRA0 用于存储接口模块使用, 支持展频
 - ◆ PLL_FRA1 用于音频接口模块使用, 支持小数分频
 - ◆ PLL_FRA2 用于屏输出模块使用, 支持展频
- SYSCFG 内置 3 个 LDO:
 - ◆ LD030 (3.0V 100mA), 用于系统复位启动、AUDIO ADC 供电
 - ◆ LD025 (2.5V 50mA), 用于 DDR 模拟电路、EFUSE 供电
 - ◆ LD01x (1.8/1.5V 500mA), 用于 DDR IO 供电
- 内置 THS 温度传感器, 支持高低温中断报警

1.3. 产品信息

型号	特性	封装	温度 (Tj)
D211BBV	64MB DDR2	QFN88, 10x10mm, 0.4mm 间距	-20 至 +105°C
D211BBX	64MB DDR2	QFN88, 10x10mm, 0.4mm 间距	-40 至 +125°C
D211BCV	128MB DDR3	QFN88, 10x10mm, 0.4mm 间距	-20 至 +105°C
D211BCX	128MB DDR3	QFN88, 10x10mm, 0.4mm 间距	-40 至 +125°C
D211DBV	64MB DDR2	QFN100, 12x12mm, 0.4mm 间距	-20 至 +105°C
D211DBX	64MB DDR2	QFN100, 12x12mm, 0.4mm 间距	-40 至 +125°C
D211DCV	128MB DDR3	QFN100, 12x12mm, 0.4mm 间距	-20 至 +105°C
D211DCX	128MB DDR3	QFN100, 12x12mm, 0.4mm 间距	-40 至 +125°C
D213ECV	128MB DDR3	QFN128, 12.3x12.3mm, 0.35mm 间距	-20 至 +105°C
D213ECX	128MB DDR3	QFN128, 12.3x12.3mm, 0.35mm 间距	-40 至 +125°C

1.4. 产品对比

项目	D211BB	D211DB	D213EC
封装选项	QFN88, 10x10mm, 0.4mm 间距	QFN100, 12x12mm, 0.4mm 间距	QFN128, 12.3x12.3mm, 0.35mm 间距
内核	C906 600MHz @ 1.2V	C906 600MHz @ 1.2V	C906 600MHz @ 1.2V
DRAM	DDR2 64MB	DDR2 64MB	DDR3 128MB
RGB	RGB888/666/565	RGB888/666/565	RGB888/666/565
LVDS	x 2	x 2	x 2
MIPI-DSI	x 1	x 1	x 1
RTP	x 1	x 1	x 1
DVP	x 1	x 1	x 1
RTC	x 1	x 1	x 1
eMMC5.0	x 1	x 1	x 1
SD3.01	x 1	x 1	x 1
SDIO3.0	x 1	x 1	x 1
AMIC	x 1	x 1	x 1
DMIC	x 2	x 2	x 2
I2S	-	x 1	x 2
CIR	x 1	x 1	x 1
SPK	x 2	x 2	x 2
SPI	x 4	x 4	x 4
UART	x 8	x 8	x 8
TWI	x 4	x 4	x 4
EMAC-100M	x 1	x 2	x 2
USB2.0	x 1	x 2	x 2
PWM	x 8	x 8	x 8

2. 电气特性

2.1. 运行条件

2.1.1. 最大极限值

符号	描述	最小值	最大值	单位
Tstg	储存温度	-40	125	°C
VCC33_I00	GPIOA/GPIOB/GPIOE 电源	-0.3	3.6	V
VCC33_I01	GPIOC/GPIOD/GPIOF 电源	-0.3	3.6	V
RTC_VCOIN	RTC 电源	-0.3	3.6	V
VCC30_ANA	模拟部分电源	-0.3	3.6	V
LD025	2.5V LDO 输出	-0.3	2.75	V
LD01X	LD01X 输出	-0.3	1.85	V
VCC_DRAM	DRAM 电源	-0.3	1.85	V
VDD11_SYS	内核及系统电源	-0.3	1.32	V
Iio	IO 输入输出电流	-50	50	mA

2.1.2. 建议运行条件

符号	描述	最小值	典型值	最大值	单位
Ta	环境温度	-20		85	°C
VCC33_I00	GPIOA/GPIOB/GPIOE 电源	2.7	3.3	3.6	V
VCC33_I01	GPIOC/GPIOD/GPIOF 电源	2.7	3.3	3.6	V
RTC_VCOIN	RTC 电源	2.7	3.0	3.6	V
VCC30_ANA	模拟部分电源	2.8	3.0	3.15	V
LD025	2.5V LDO 输出	2.45	2.5	2.6	V
LD01X	LD01X 输出	1.35	1.5/1.8	1.85	V
VCC_DRAM	DRAM 电源	1.35	1.5/1.8	1.85	V
VDD11_SYS	内核及系统电源	0.9	1.1/1.2	1.32	V

2.2. RTC 供电

RTC 供电来源于 VCC33-I01 和 VCOIN，内部电路自动检测 VCC33-I01 和 VCOIN 电压，并采用电压高的那一路供电。

- 开机下：VCC33-I01 为 3.3V，VCOIN 接纽扣电池典型为 3.0V，则采用 VCC33-I01 供电
- 关机下：VCC33-I01 未供电，VCOIN 接纽扣电池典型为 3.0V，则采用 VCOIN 供电，典型功耗为 2.8uA

2.3. 上下电时序及复位

2.3.1. 上下电时序

VCC33 和 VDD11 无上下电时序要求。

2.3.2. 复位源

芯片系统有 5 种复位源，以下任何一种复位条件成立，会对芯片产生复位：

- SYS 上电复位：在 VCC33-IO0 上电后产生复位，上电 10ms 内系统自动放开此复位
- RTC 上电复位：在 RTC 上电后（供电来源 VCC33-IO1 和 VCOIN）自动完成复位
- 外部引脚复位：引脚 SYS_RST 输入低电平并持续 2ms 以上产生复位
- 看门狗复位：在 WDOG 超时复位条件满足下立即产生复位
- 调试器复位：在接收到 JTAG IO 上的 RESET 命令后立即产生复位

2.4. 内置LDO 电气特性

2.4.1. LDO30

内置LDO30(VCC30_ANA)，用于系统模拟及GPADC/PSADC/Audio ADC 供电，其电气特性描述如下

符号	描述	最小值	典型值	最大值	单位
Vo	输出电压	2.95	3.00	3.05	V
Io	输出电流	-	-	100	mA
Co	外部去耦电容	-	0.1	-	uF

2.4.2. LDO25

内置LDO25，用于DDR PHY 和EFUSE 供电，其电气特性描述如下

符号	描述	最小值	典型值	最大值	单位
Vo	输出电压	2.45	-	2.55	V
Io	输出电流	-	-	50	mA
Co	外部去耦电容	-	0.1	-	uF

2.4.3. LDO1x

内置LDO1x，用于DDR IO 和合封DDR 颗粒供电，其电气特性描述如下

符号	描述	最小值	典型值	最大值	单位
Vo	输出电压	1.35	-	1.85	V
Io	输出电流	-	-	500	mA
Co	外部去耦电容	-	0.1	-	uF

2.5. 时钟

2.5.1. 外部时钟源

- 32.768kHz 时钟用于低频及RTC。
- 24.000MHz 时钟用于产生主时钟。

符号	描述	最小值	典型值	最大值	单位
OSC_24M	PLL 时钟源	-	24	-	MHz
OSC_32K	RTC 时钟源	-	32768	-	Hz

2.5.2. 内部 PLL 时钟特性

内部PLL 用于产生时钟供给整个芯片，总共5 个PLL

名称	用途	典型频率	展频或小数分频
PLL_INT0	CPU	600MHz@1.2V	不支持
PLL_INT1	AXI/AHB/APB/CE/DE/GE/VE/DVP/PWMCS/UART	1.2GHz	不支持
PLL_FRA0	DRAM/SDMC/SPI	1008MHz	展频
PLL_FRA1	I2S/AUDIO	491.52MHz 451.584MHz	小数分频
PLL_FRA2	LCD/LVDS/MIPI_DSI		展频

2.6. IO 电气特性

2.6.1. IO DC 特性

符号	描述	最小值	典型值	最大值	单位
VIH	高电平输入电压	$0.7 \cdot V_{CC33_IO}$	-	$V_{CC33_IO} + 0.3$	V
VIL	低电平输入电压	-0.3	-	$0.3 \cdot V_{CC33_IO}$	V
RPU	上拉电阻	-	33	-	K Ω
RPD	下拉电阻	-	33	-	K Ω
I _{IH}	高电平输入电流	-	-	10	μ A
I _{IL}	低电平输入电流	-	-	10	μ A
VOH	高电平输出电压	$V_{CC33_IO} - 0.3$	-	V_{CC33_IO}	V
VOL	低电平输出电压	0	-	0.3	V
IOH	高电平驱动能力	8	-	60	mA
IOL	低电平驱动能力	8	-	55	mA
IOZ	三态输出漏电流	-10	-	10	μ A
CIN	输入电容	-	-	5	pF
COUT	输出电容	-	-	5	pF

2.6.2. IO AC 特性

符号	描述	测试条件	最小值	典型值	最大值	单位
f _{max}	最大频率	负载 6pF	-	-	150	MHz
t _r	上升时间	VOL 到 VOH 时间	-	-	1.6	ns
t _f	下降时间	VOH 到 VOL 时间	-	-	1.6	ns

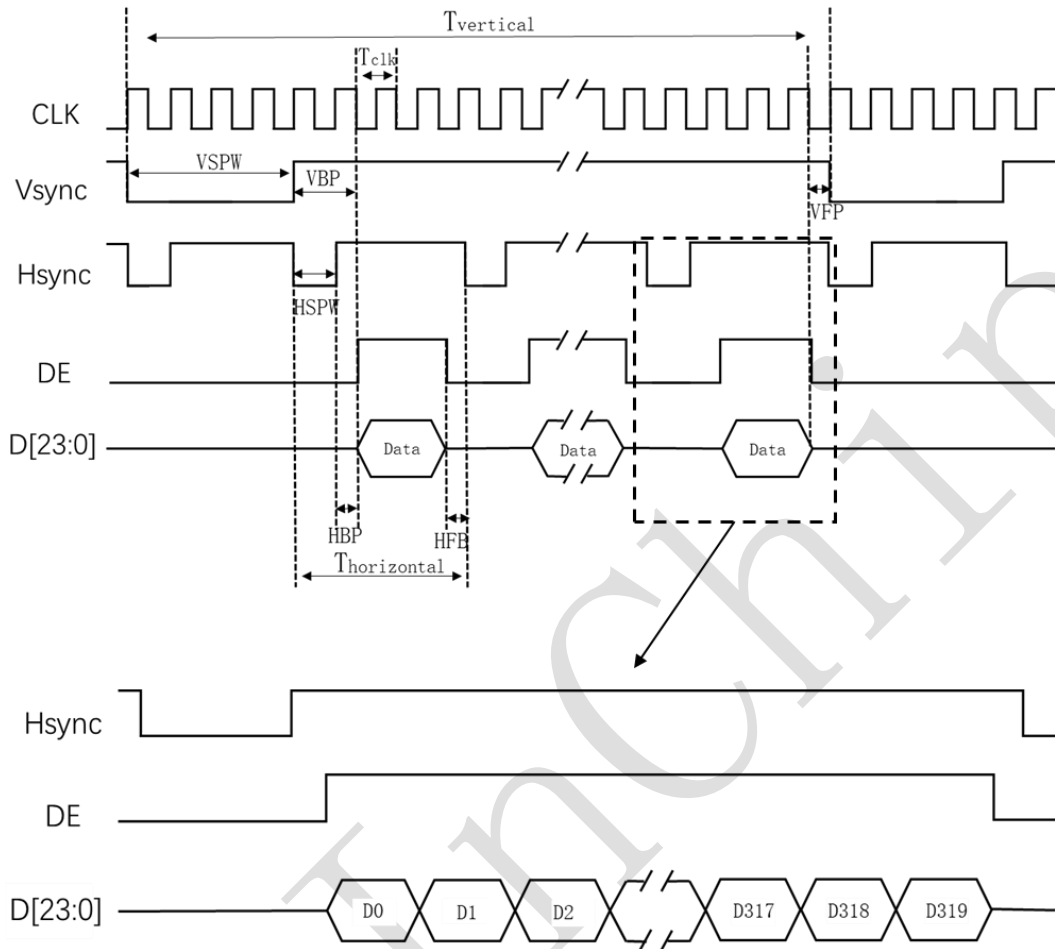
2.7. 时序参数

2.7.1. 各模块工作频率

模块	最小值	典型值	最大值	单位
RGB	-	-	200	MHz
LVDS	-	-	700	MHz
DSI	-	-	1000	MHz
DVP	-	-	150	MHz
SDC0	-	-	50	MHz
SDC1	-	-	50	MHz
SDC2	-	-	50	MHz
QSPI	-	-	100	MHz
PWM	-	-	50	MHz

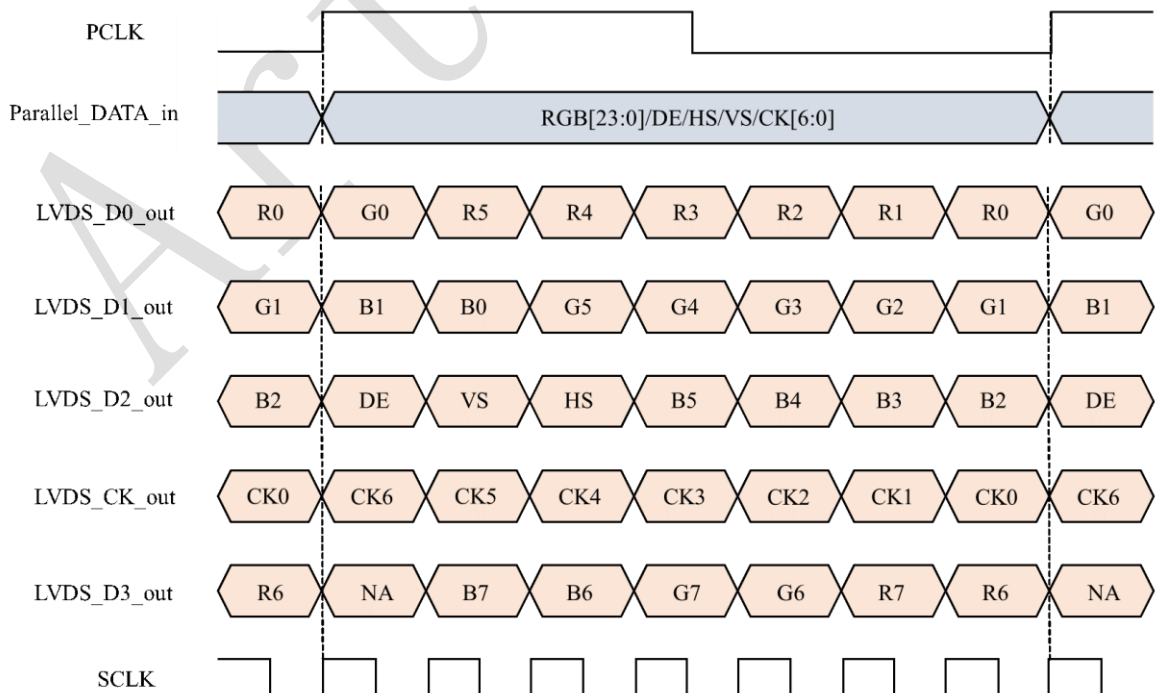
2.7.2. 显示接口时序

2.7.2.1. PRGB 时序



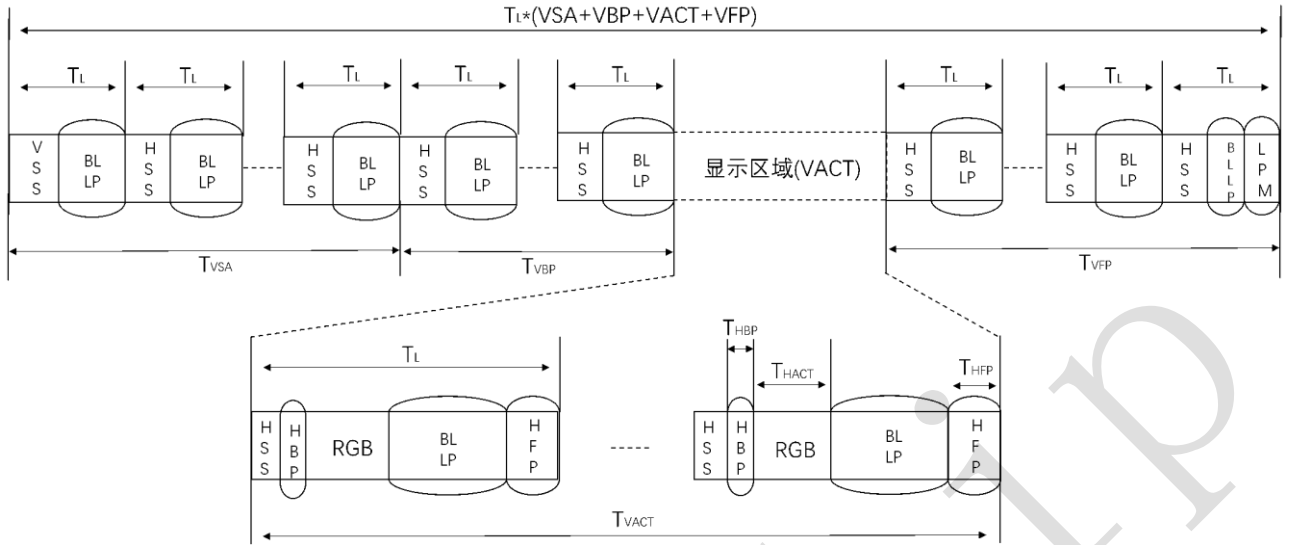
2.7.2.2. LVDS 时序

LVDS 支持Single Link 和Dual Link

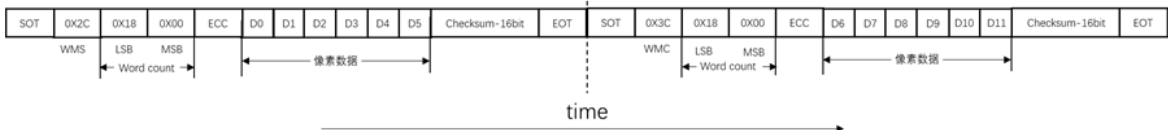
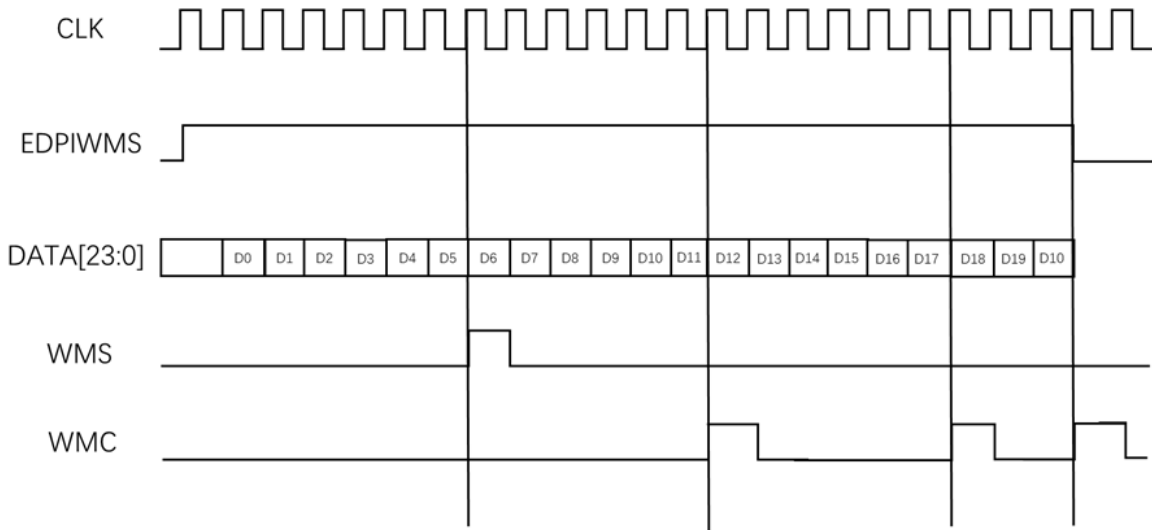


2.7.2.3. MIPI-DSI

MIPI-DSI 支持Video 模式（包括Burst 模式、Sync Pulse 模式和Sync Event 模式）。



Video burst 模式



command 模式

3. 模块列表

3.1. 特殊信号处理

- PA0/AMIC 隔直电容不大于 0.1uF，隔直后接偏置电阻 200Kohm（200Kohm 上拉到 AVCC，200Kohm 下拉到 GND）；
- RESET 引脚内部自带上拉，外部不能外接任何上拉电阻，并且对地接不小于 2.2uF 电容（4.7uF 以内越大越好）；
- RTC_IO 为 OD 输出，使用时需要外挂上拉电阻，上拉电平不超过 5V，可用于唤醒或输出 32K 时钟。

3.2. 未使用接口处理

无

4. 特别说明

4.1. BOOT 启动流程

BROM 程序所在位置从地址0x0000_0000 处开始。芯片在上电复位（POR）之后，即从地址0x0000_0000 处开始执行指令，功能如下：

项目	说明
启动介质（Boot device）选择	通过 eFuse 选择启动介质，在没有设置 eFuse 选择的情况下，按照固定顺序逐个介质尝试启动
支持如下启动介质	eMMC SD Card SPI NAND SPI NOR
安全启动	支持固件签名校验（RSA-2048） 支持加密固件（AES-128） 支持固件防回滚
强制升级	通过 USB 升级协议 通过 SD 卡

BROM 支持多种启动介质。在上电复位之后，BROM 需要确定从哪种启动介质开始启动，确定的规则有两种：

- 默认顺序规则
- eFuse 选定

默认情况下，平台安装下面的顺序逐个尝试启动介质，如果都不成功，则进入 USB 升级模式：

SDMC1(SD) -> SPI NAND -> SPI NOR -> SDMC0(eMMC)

另外一种方式是通过eFuse 的BROM 配置区域，显式的选择启动介质。启动过程中，BROM 会读取对应的配置，尝试从选择的启动介质进行启动。如果启动失败，则进入USB 升级模式。

4.2. 以太网接口说明

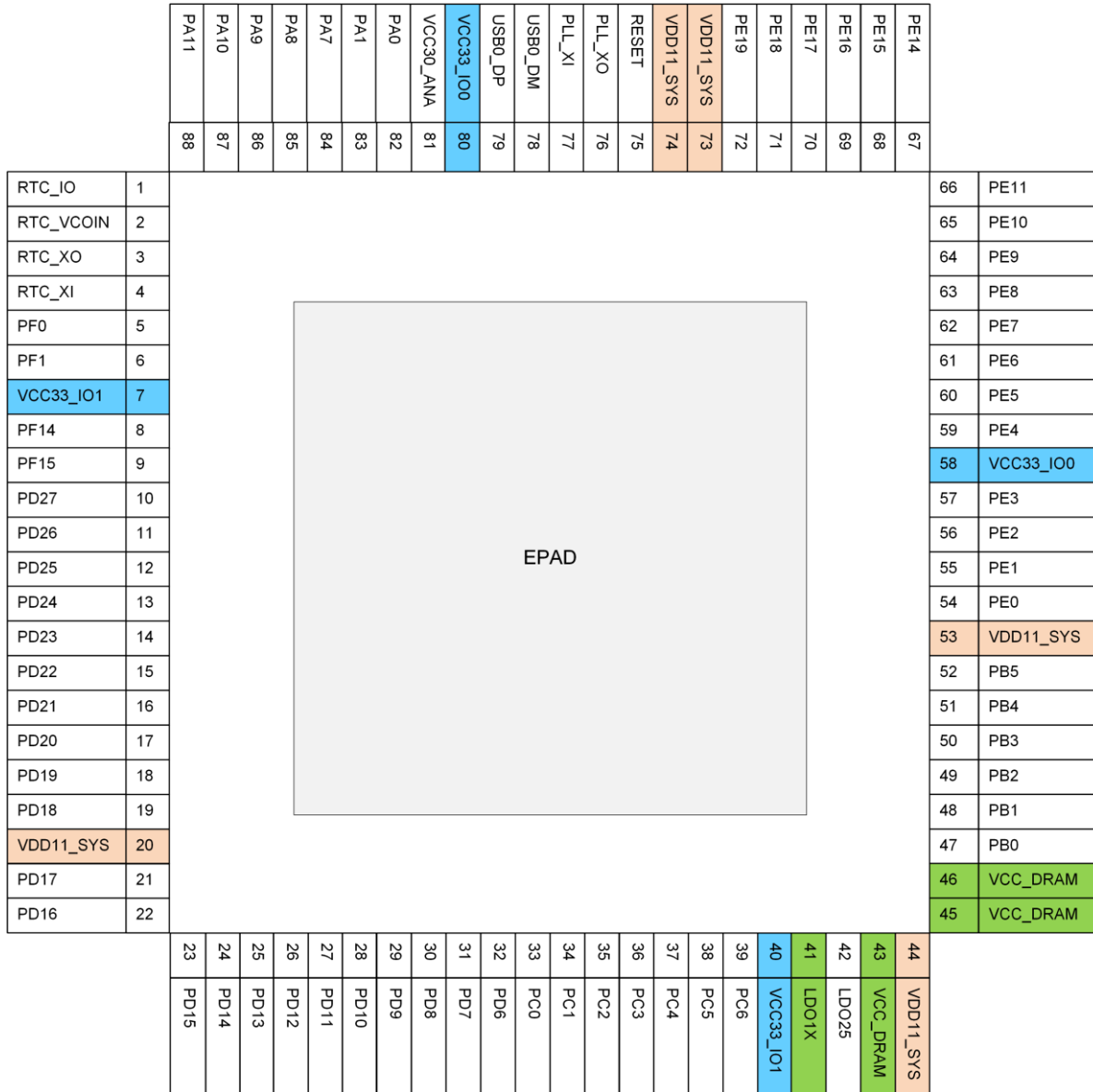
4.2.1. 百兆以太网 RMII 接口

MAC 端信号	RMII 接口	类型	描述	PHY 端信号
GMACx_RXD1	RMII_RXD1	I	数据接收信号线 1	PHY_RXD1
GMACx_RXD0	RMII_RXD0	I	数据接收信号线 0	PHY_RXD0
GMACx_RXCTL	RMII_CRS_DV	I	数据接收有效	PHY_CRS_DV
GMACx_CLKIN	RMII_REF_CLK	I	参考时钟	PHY_TXC (output)
GMACx_TXD1	RMII_TXD1	O	数据发送信号线 1	PHY_TXD1
GMACx_TXD0	RMII_TXD0	O	数据发送信号线 0	PHY_TXD0
GMACx_TXCK	RMII_TXC	O	数据发送时钟	PHY_TXC (input)
GMACx_TXCTL	RMII_TXEN	O	数据发送使能	PHY_TXEN
GMACx_MDC	RMII_MDC	I/O	串行管理接口时钟	PHY_MDC
GMACx_MDIO	RMII_MDIO	I/O	串行管理接口数据	PHY_MDIO
CLK_OUT	CLK_OUT	O	25MHz 时钟	PHY_XTAL2

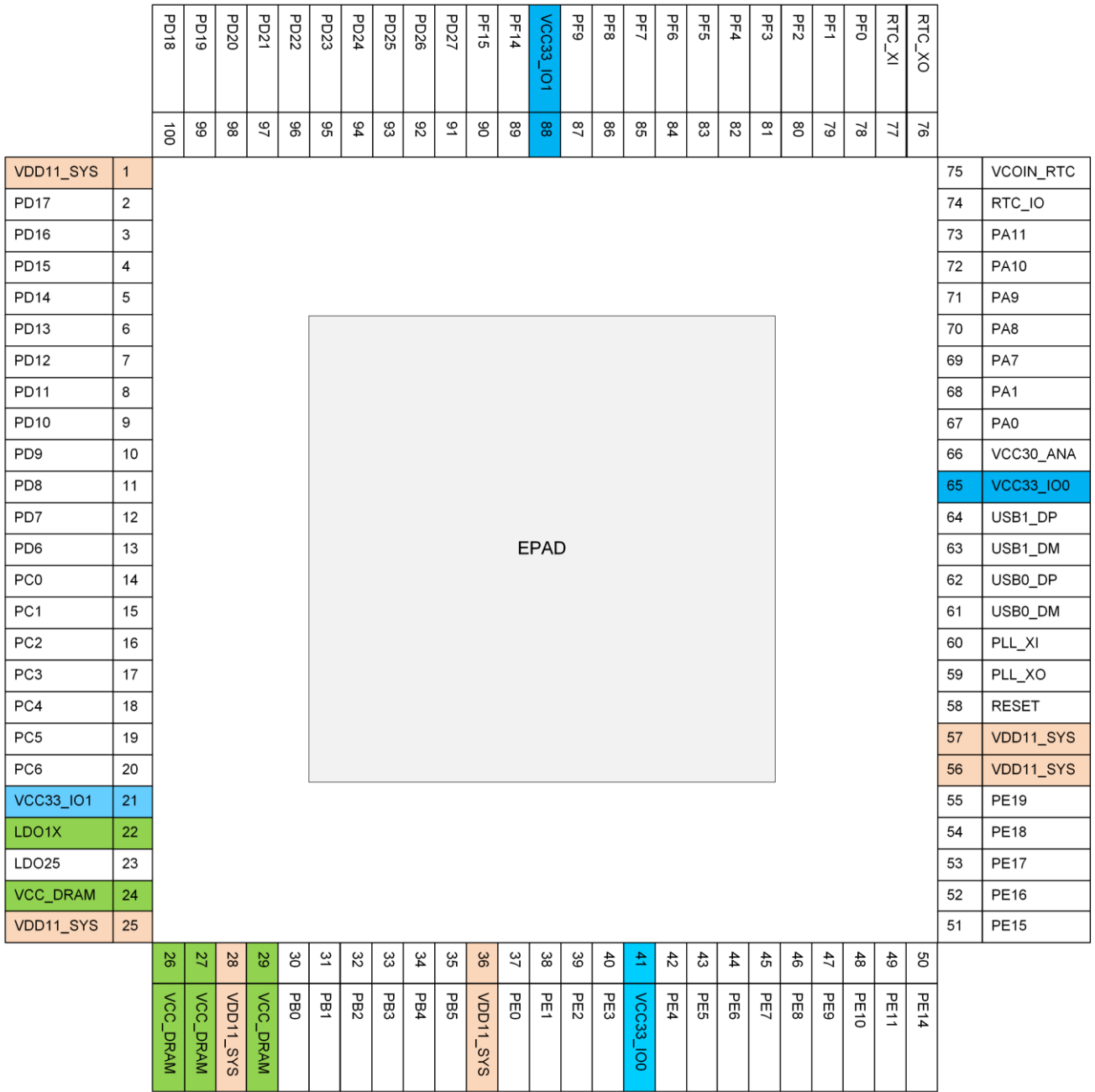
5. 封装信息

5.1. 管脚分布

5.1.1. D211BB QFN88



5.1.2. D211DB QFN100



5.1.3. D213EC QFN128

RTC_IO	97	96	PA11
RTC_VCCOIN	98	95	PA10
RTC_XO	99	94	PA9
RTC_XI	100	93	PA8
PF0	101	92	PA7
PF1	102	91	PA6
PF2	103	90	PA5
PF3	104	89	PA4
PF4	105	88	PA3
PF5	106	87	PA2
PF6	107	86	PA1
PF7	108	85	PA0
PF8	109	84	VCC30_ANA
PF9	110	83	VCC33_I00
PF10	111	82	USB1_DP
PF11	112	81	USB1_DM
PF12	113	80	USB0_DP
VCC33_I01	114	79	USB0_DM
PF13	115	78	PLL_XI
PF14	116	77	PLL_XO
PF15	117	76	RESET
PD27	118	75	VDD11_SYS
PD26	119	74	VDD11_SYS
PD25	120	73	PE19
PD24	121	72	PE18
PD23	122	71	PE17
PD22	123	70	PE16
PD21	124	69	PE15
PD20	125	68	PE14
PD19	126	67	PE13
PD18	127	66	PE12
VDD11_SYS	128	65	PE11
PD17	1	64	PE10
PD16	2	63	PE9
PD15	3	62	PE8
PD14	4	61	PE7
PD13	5	60	PE6
PD12	6	59	PE5
PD11	7	58	PE4
PD10	8	57	VCC33_I00
PD9	9	56	NC
PD8	10	55	PE3
PD7	11	54	PE2
PD6	12	53	PE1
PD5	13	52	PE0
PD4	14	51	PB11
PD3	15	50	NC
PD2	16	49	PB10
PD1	17	48	PB9
PC0	19	47	PB8
PC1	20	46	PB7
PC2	21	45	PB6
PC3	22	44	VDD11_SYS
PC4	23	43	PB5
PC5	24	42	PB4
PC6	25	41	VCC33_I00
PC7	26	40	PB3
VCC33_I01	27	39	PB2
LDO1X	28	38	PB1
LDO25	29	37	PB0
VCC_DRAM	30	36	VCC_DRAM
VDD11_SYS	31	35	VCC_DRAM
VCC_DRAM	32	34	VDD11_SYS
		33	VCC_DRAM

特别说明：#50、#56 NC 管脚不能接任何信号。

5.2. 管脚属性

- [1]: 芯片封装管脚序号。
- [2]: 芯片封装管脚名称。
- [3]: 类型, 指示信号方向。
 - ◆ I——输入;
 - ◆ O——输出;
 - ◆ I/O——输入/输出;
 - ◆ OD——开漏;
 - ◆ A——模拟;
 - ◆ AI——模拟输入;
 - ◆ AO——模拟输出;
 - ◆ P——电源;
 - ◆ G——地;
- [4]: 管脚复位状态, PU 指上拉, PD 指下拉, Z 指高阻态。
- [5]: PU/PD 表示内部存在上下拉电阻, 且上下拉电阻可通过软件开启或关闭。
- [6]: 默认驱动能力大小。GPIO 默认驱动能力20mA, 最大50mA。
- [7]: 电源供电。

5.2.1. D211BB

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
GPIO A						
82	PA0	I/O	Z	PU/PD	20	VCC33_I00
83	PA1	I/O	Z	PU/PD	20	VCC33_I00
84	PA7	I/O	Z	PU/PD	20	VCC33_I00
85	PA8	I/O	Z	PU/PD	20	VCC33_I00
86	PA9	I/O	Z	PU/PD	20	VCC33_I00
87	PA10	I/O	Z	PU/PD	20	VCC33_I00
88	PA11	I/O	Z	PU/PD	20	VCC33_I00
GPIO B						
47	PB0	I/O	Z	PU/PD	20	VCC33_I00
48	PB1	I/O	Z	PU/PD	20	VCC33_I00
49	PB2	I/O	Z	PU/PD	20	VCC33_I00
50	PB3	I/O	Z	PU/PD	20	VCC33_I00
51	PB4	I/O	Z	PU/PD	20	VCC33_I00
52	PB5	I/O	Z	PU/PD	20	VCC33_I00
GPIO C						
33	PC0	I/O	Z	PU/PD	20	VCC33_I01
34	PC1	I/O	Z	PU/PD	20	VCC33_I01

35	PC2	I/O	Z	PU/PD	20	VCC33_I01
36	PC3	I/O	Z	PU/PD	20	VCC33_I01
37	PC4	I/O	Z	PU/PD	20	VCC33_I01
38	PC5	I/O	Z	PU/PD	20	VCC33_I01
39	PC6	I/O	Z	PU/PD	20	VCC33_I01
GPIO D						
32	PD6	I/O	Z	PU/PD	20	VCC33_I01
31	PD7	I/O	Z	PU/PD	20	VCC33_I01
30	PD8	I/O	Z	PU/PD	20	VCC33_I01
29	PD9	I/O	Z	PU/PD	20	VCC33_I01
28	PD10	I/O	Z	PU/PD	20	VCC33_I01
27	PD11	I/O	Z	PU/PD	20	VCC33_I01
26	PD12	I/O	Z	PU/PD	20	VCC33_I01
25	PD13	I/O	Z	PU/PD	20	VCC33_I01
24	PD14	I/O	Z	PU/PD	20	VCC33_I01
23	PD15	I/O	Z	PU/PD	20	VCC33_I01
22	PD16	I/O	Z	PU/PD	20	VCC33_I01
21	PD17	I/O	Z	PU/PD	20	VCC33_I01
19	PD18	I/O	Z	PU/PD	20	VCC33_I01
18	PD19	I/O	Z	PU/PD	20	VCC33_I01
17	PD20	I/O	Z	PU/PD	20	VCC33_I01
16	PD21	I/O	Z	PU/PD	20	VCC33_I01
15	PD22	I/O	Z	PU/PD	20	VCC33_I01
14	PD23	I/O	Z	PU/PD	20	VCC33_I01
13	PD24	I/O	Z	PU/PD	20	VCC33_I01
12	PD25	I/O	Z	PU/PD	20	VCC33_I01
11	PD26	I/O	Z	PU/PD	20	VCC33_I01
10	PD27	I/O	Z	PU/PD	20	VCC33_I01
GPIO E						
54	PE0	I/O	Z	PU/PD	20	VCC33_I00
55	PE1	I/O	Z	PU/PD	20	VCC33_I00
56	PE2	I/O	Z	PU/PD	20	VCC33_I00
57	PE3	I/O	Z	PU/PD	20	VCC33_I00
59	PE4	I/O	Z	PU/PD	20	VCC33_I00
60	PE5	I/O	Z	PU/PD	20	VCC33_I00
61	PE6	I/O	Z	PU/PD	20	VCC33_I00
62	PE7	I/O	Z	PU/PD	20	VCC33_I00

63	PE8	I/O	Z	PU/PD	20	VCC33_I00
64	PE9	I/O	Z	PU/PD	20	VCC33_I00
65	PE10	I/O	Z	PU/PD	20	VCC33_I00
66	PE11	I/O	Z	PU/PD	20	VCC33_I00
67	PE14	I/O	Z	PU/PD	20	VCC33_I00
68	PE15	I/O	Z	PU/PD	20	VCC33_I00
69	PE16	I/O	Z	PU/PD	20	VCC33_I00
70	PE17	I/O	Z	PU/PD	20	VCC33_I00
71	PE18	I/O	Z	PU/PD	20	VCC33_I00
72	PE19	I/O	Z	PU/PD	20	VCC33_I00
GPIO F						
5	PF0	I/O	Z	PU/PD	20	VCC33_I01
6	PF1	I/O	Z	PU/PD	20	VCC33_I01
8	PF14	I/O	Z	PU/PD	20	VCC33_I01
9	PF15	I/O	Z	PU/PD	20	VCC33_I01
RTC						
1	RTC_IO	OD	-	-	-	-
2	RTC_VCOIN	P	-	-	-	-
3	RTC_X0	O	-	-	-	-
4	RTC_XI	I	-	-	-	-
PLL						
75	RESET	I	-	-	-	-
76	PLL_X0	O	-	-	-	-
77	PLL_XI	I	-	-	-	-
USB						
78	USBO_DM	A	-	-	-	-
79	USBO_DP	A	-	-	-	-
Power						
58, 80	VCC33_I00	P	-	-	-	-
7, 40	VCC33_I01	P	-	-	-	-
81	VCC30_ANA	P	-	-	-	-
42	LDO25	P	-	-	-	-
41	LDO1X	P	-	-	-	-
43, 45, 46	VCC_DRAM	P	-	-	-	-
20, 44, 53, 73, 74	VDD11_SYS	P	-	-	-	-

5.2.2. D211DB

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
GPIO A						
67	PA0	I/O	Z	PU/PD	20	VCC33_I00
68	PA1	I/O	Z	PU/PD	20	VCC33_I00
69	PA7	I/O	Z	PU/PD	20	VCC33_I00
70	PA8	I/O	Z	PU/PD	20	VCC33_I00
71	PA9	I/O	Z	PU/PD	20	VCC33_I00
72	PA10	I/O	Z	PU/PD	21	VCC33_I00
73	PA11	I/O	Z	PU/PD	20	VCC33_I00
GPIO B						
30	PB0	I/O	Z	PU/PD	20	VCC33_I00
31	PB1	I/O	Z	PU/PD	20	VCC33_I00
32	PB2	I/O	Z	PU/PD	20	VCC33_I00
33	PB3	I/O	Z	PU/PD	20	VCC33_I00
34	PB4	I/O	Z	PU/PD	20	VCC33_I00
35	PB5	I/O	Z	PU/PD	20	VCC33_I00
GPIO C						
14	PC0	I/O	Z	PU/PD	20	VCC33_I01
15	PC1	I/O	Z	PU/PD	20	VCC33_I01
16	PC2	I/O	Z	PU/PD	20	VCC33_I01
17	PC3	I/O	Z	PU/PD	20	VCC33_I01
18	PC4	I/O	Z	PU/PD	20	VCC33_I01
19	PC5	I/O	Z	PU/PD	20	VCC33_I01
20	PC6	I/O	Z	PU/PD	20	VCC33_I01
GPIO D						
13	PD6	I/O	Z	PU/PD	20	VCC33_I01
12	PD7	I/O	Z	PU/PD	20	VCC33_I01
11	PD8	I/O	Z	PU/PD	20	VCC33_I01
10	PD9	I/O	Z	PU/PD	20	VCC33_I01
9	PD10	I/O	Z	PU/PD	20	VCC33_I01
8	PD11	I/O	Z	PU/PD	20	VCC33_I01
7	PD12	I/O	Z	PU/PD	20	VCC33_I01
6	PD13	I/O	Z	PU/PD	20	VCC33_I01
5	PD14	I/O	Z	PU/PD	20	VCC33_I01
4	PD15	I/O	Z	PU/PD	20	VCC33_I01

3	PD16	I/O	Z	PU/PD	20	VCC33_I01
2	PD17	I/O	Z	PU/PD	20	VCC33_I01
100	PD18	I/O	Z	PU/PD	20	VCC33_I01
99	PD19	I/O	Z	PU/PD	20	VCC33_I01
98	PD20	I/O	Z	PU/PD	20	VCC33_I01
97	PD21	I/O	Z	PU/PD	20	VCC33_I01
96	PD22	I/O	Z	PU/PD	20	VCC33_I01
95	PD23	I/O	Z	PU/PD	20	VCC33_I01
94	PD24	I/O	Z	PU/PD	20	VCC33_I01
93	PD25	I/O	Z	PU/PD	20	VCC33_I01
92	PD26	I/O	Z	PU/PD	20	VCC33_I01
91	PD27	I/O	Z	PU/PD	20	VCC33_I01
GPIO E						
37	PE0	I/O	Z	PU/PD	20	VCC33_I00
38	PE1	I/O	Z	PU/PD	20	VCC33_I00
39	PE2	I/O	Z	PU/PD	20	VCC33_I00
40	PE3	I/O	Z	PU/PD	20	VCC33_I00
42	PE4	I/O	Z	PU/PD	20	VCC33_I00
43	PE5	I/O	Z	PU/PD	20	VCC33_I00
44	PE6	I/O	Z	PU/PD	20	VCC33_I00
45	PE7	I/O	Z	PU/PD	20	VCC33_I00
46	PE8	I/O	Z	PU/PD	20	VCC33_I00
47	PE9	I/O	Z	PU/PD	20	VCC33_I00
48	PE10	I/O	Z	PU/PD	20	VCC33_I00
49	PE11	I/O	Z	PU/PD	20	VCC33_I00
50	PE14	I/O	Z	PU/PD	20	VCC33_I00
51	PE15	I/O	Z	PU/PD	20	VCC33_I00
52	PE16	I/O	Z	PU/PD	20	VCC33_I00
53	PE17	I/O	Z	PU/PD	20	VCC33_I00
54	PE18	I/O	Z	PU/PD	20	VCC33_I00
55	PE19	I/O	Z	PU/PD	20	VCC33_I00
GPIO F						
78	PF0	I/O	Z	PU/PD	20	VCC33_I01
79	PF1	I/O	Z	PU/PD	20	VCC33_I01
80	PF2	I/O	Z	PU/PD	20	VCC33_I01
81	PF3	I/O	Z	PU/PD	20	VCC33_I01
82	PF4	I/O	Z	PU/PD	20	VCC33_I01

83	PF5	I/O	Z	PU/PD	20	VCC33_I01
84	PF6	I/O	Z	PU/PD	20	VCC33_I01
85	PF7	I/O	Z	PU/PD	20	VCC33_I01
86	PF8	I/O	Z	PU/PD	20	VCC33_I01
87	PF9	I/O	Z	PU/PD	20	VCC33_I01
89	PF14	I/O	Z	PU/PD	20	VCC33_I01
90	PF15	I/O	Z	PU/PD	20	VCC33_I01
RTC						
74	RTC_IO	OD	-	-	-	-
75	RTC_VCOIN	P	-	-	-	-
76	RTC_XO	O	-	-	-	-
77	RTC_XI	I	-	-	-	-
PLL						
58	RESET	I	-	-	-	-
59	PLL_XO	O	-	-	-	-
60	PLL_XI	I	-	-	-	-
USB						
61	USB0_DM	A	-	-	-	-
62	USB0_DP	A	-	-	-	-
63	USB1_DM	A	-	-	-	-
64	USB1_DP	A	-	-	-	-
Power						
41,65	VCC33_I00	P	-	-	-	-
21,88	VCC33_I01	P	-	-	-	-
66	VCC30_ANA	P	-	-	-	-
23	LDO25	P	-	-	-	-
22	LDO1X	P	-	-	-	-
24,26,27,29	VCC_DRAM	P	-	-	-	-
1,25,28,36,56,57	VDD11_SYS	P	-	-	-	-

5.2.3. D213EC

引脚[1]	名称[2]	类型[3]	复位状态[4]	上下拉[5]	默认驱动 (mA) [6]	供电[7]
GPIO A						
85	PA0	I/O	Z	PU/PD	20	VCC33_I00
86	PA1	I/O	Z	PU/PD	20	VCC33_I00
87	PA2	I/O	Z	PU/PD	20	VCC33_I00

88	PA3	I/O	Z	PU/PD	20	VCC33_I00
89	PA4	I/O	Z	PU/PD	20	VCC33_I00
90	PA5	I/O	Z	PU/PD	20	VCC33_I00
91	PA6	I/O	Z	PU/PD	20	VCC33_I00
92	PA7	I/O	Z	PU/PD	20	VCC33_I00
93	PA8	I/O	Z	PU/PD	20	VCC33_I00
94	PA9	I/O	Z	PU/PD	20	VCC33_I00
95	PA10	I/O	Z	PU/PD	21	VCC33_I00
96	PA11	I/O	Z	PU/PD	20	VCC33_I00
GPIO B						
37	PB0	I/O	Z	PU/PD	20	VCC33_I00
38	PB1	I/O	Z	PU/PD	20	VCC33_I00
39	PB2	I/O	Z	PU/PD	20	VCC33_I00
40	PB3	I/O	Z	PU/PD	20	VCC33_I00
42	PB4	I/O	Z	PU/PD	20	VCC33_I00
43	PB5	I/O	Z	PU/PD	20	VCC33_I00
45	PB6	I/O	Z	PU/PD	20	VCC33_I00
46	PB7	I/O	Z	PU/PD	20	VCC33_I00
47	PB8	I/O	Z	PU/PD	20	VCC33_I00
48	PB9	I/O	Z	PU/PD	20	VCC33_I00
49	PB10	I/O	Z	PU/PD	20	VCC33_I00
51	PB11	I/O	Z	PU/PD	20	VCC33_I00
50	NC					
56	NC					
GPIO C						
19	PC0	I/O	Z	PU/PD	20	VCC33_I01
20	PC1	I/O	Z	PU/PD	20	VCC33_I01
21	PC2	I/O	Z	PU/PD	20	VCC33_I01
22	PC3	I/O	Z	PU/PD	20	VCC33_I01
23	PC4	I/O	Z	PU/PD	20	VCC33_I01
24	PC5	I/O	Z	PU/PD	20	VCC33_I01
25	PC6	I/O	Z	PU/PD	20	VCC33_I01
26	PC7	I/O	Z	PU/PD	20	VCC33_I01
GPIO D						
18	PD0	I/O	Z	PU/PD	20	VCC33_I01
17	PD1	I/O	Z	PU/PD	20	VCC33_I01
16	PD2	I/O	Z	PU/PD	20	VCC33_I01

15	PD3	I/O	Z	PU/PD	20	VCC33_I01
14	PD4	I/O	Z	PU/PD	20	VCC33_I01
13	PD5	I/O	Z	PU/PD	20	VCC33_I01
12	PD6	I/O	Z	PU/PD	20	VCC33_I01
11	PD7	I/O	Z	PU/PD	20	VCC33_I01
10	PD8	I/O	Z	PU/PD	20	VCC33_I01
9	PD9	I/O	Z	PU/PD	20	VCC33_I01
8	PD10	I/O	Z	PU/PD	20	VCC33_I01
7	PD11	I/O	Z	PU/PD	20	VCC33_I01
6	PD12	I/O	Z	PU/PD	20	VCC33_I01
5	PD13	I/O	Z	PU/PD	20	VCC33_I01
4	PD14	I/O	Z	PU/PD	20	VCC33_I01
3	PD15	I/O	Z	PU/PD	20	VCC33_I01
2	PD16	I/O	Z	PU/PD	20	VCC33_I01
1	PD17	I/O	Z	PU/PD	20	VCC33_I01
127	PD18	I/O	Z	PU/PD	20	VCC33_I01
126	PD19	I/O	Z	PU/PD	20	VCC33_I01
125	PD20	I/O	Z	PU/PD	20	VCC33_I01
124	PD21	I/O	Z	PU/PD	20	VCC33_I01
123	PD22	I/O	Z	PU/PD	20	VCC33_I01
122	PD23	I/O	Z	PU/PD	20	VCC33_I01
121	PD24	I/O	Z	PU/PD	20	VCC33_I01
120	PD25	I/O	Z	PU/PD	20	VCC33_I01
119	PD26	I/O	Z	PU/PD	20	VCC33_I01
118	PD27	I/O	Z	PU/PD	20	VCC33_I01
GPIO E						
52	PE0	I/O	Z	PU/PD	20	VCC33_I00
53	PE1	I/O	Z	PU/PD	20	VCC33_I00
54	PE2	I/O	Z	PU/PD	20	VCC33_I00
55	PE3	I/O	Z	PU/PD	20	VCC33_I00
58	PE4	I/O	Z	PU/PD	20	VCC33_I00
59	PE5	I/O	Z	PU/PD	20	VCC33_I00
60	PE6	I/O	Z	PU/PD	20	VCC33_I00
61	PE7	I/O	Z	PU/PD	20	VCC33_I00
62	PE8	I/O	Z	PU/PD	20	VCC33_I00
63	PE9	I/O	Z	PU/PD	20	VCC33_I00
64	PE10	I/O	Z	PU/PD	20	VCC33_I00

65	PE11	I/O	Z	PU/PD	20	VCC33_I00
66	PE12	I/O	Z	PU/PD	20	VCC33_I00
67	PE13	I/O	Z	PU/PD	20	VCC33_I00
68	PE14	I/O	Z	PU/PD	20	VCC33_I00
69	PE15	I/O	Z	PU/PD	20	VCC33_I00
70	PE16	I/O	Z	PU/PD	20	VCC33_I00
71	PE17	I/O	Z	PU/PD	20	VCC33_I00
72	PE18	I/O	Z	PU/PD	20	VCC33_I00
73	PE19	I/O	Z	PU/PD	20	VCC33_I00
GPIO F						
101	PF0	I/O	Z	PU/PD	20	VCC33_I01
102	PF1	I/O	Z	PU/PD	20	VCC33_I01
103	PF2	I/O	Z	PU/PD	20	VCC33_I01
104	PF3	I/O	Z	PU/PD	20	VCC33_I01
105	PF4	I/O	Z	PU/PD	20	VCC33_I01
106	PF5	I/O	Z	PU/PD	20	VCC33_I01
107	PF6	I/O	Z	PU/PD	20	VCC33_I01
108	PF7	I/O	Z	PU/PD	20	VCC33_I01
109	PF8	I/O	Z	PU/PD	20	VCC33_I01
110	PF9	I/O	Z	PU/PD	20	VCC33_I01
111	PF10	I/O	Z	PU/PD	20	VCC33_I01
112	PF11	I/O	Z	PU/PD	20	VCC33_I01
113	PF12	I/O	Z	PU/PD	20	VCC33_I01
115	PF13	I/O	Z	PU/PD	20	VCC33_I01
116	PF14	I/O	Z	PU/PD	20	VCC33_I01
117	PF15	I/O	Z	PU/PD	20	VCC33_I01
RTC						
97	RTC_IO	OD	-	-	-	-
98	RTC_VCOIN	P	-	-	-	-
99	RTC_XO	O	-	-	-	-
100	RTC_XI	I	-	-	-	-
PLL						
76	RESET	I	-	-	-	-
77	PLL_XO	O	-	-	-	-
78	PLL_XI	I	-	-	-	-
USB						
79	USBO_DM	A	-	-	-	-

80	USB0_DP	A				
81	USB1_DM	A	-	-	-	-
82	USB1_DP	A	-	-	-	-
Power						
41,57,83	VCC33_I00	P	-	-	-	-
27,114	VCC33_I01	P	-	-	-	-
84	VCC30_ANA	P	-	-	-	-
29	LDO25	P	-	-	-	-
28	LDO1X	P	-	-	-	-
30,32,33,35,36	VCC_DRAM	P	-	-	-	-
31,34,44,74,75,128	VDD11_SYS	P	-	-	-	-

5.3. 功能复用

管脚	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8
PA0	GPAI0	PSADC0	TWI0_SCK	UART0_TX	AMIC_IN	IR_TX	
PA1	GPAI1	PSADC1	TWI0_SDA	UART0_RX	AMIC_BIAS	IR_RX	
PA2	GPAI2	PSADC2		UART0_RTS	/		
PA3	GPAI3	PSADC3		UART0_CTS	/		
PA4	GPAI4	PSADC4		UART1_TX	/		
PA5	GPAI5	PSADC5		UART1_RX	/		
PA6	GPAI6	PSADC6	TWI1_SCK	UART1_RTS	/		
PA7	GPAI7	PSADC7	TWI1_SDA	UART1_CTS	/		
PA8	RTP_XP	PSADC8	TWI2_SCK	UART2_TX	JTAG_DO		
PA9	RTP_YP	PSADC9	TWI2_SDA	UART2_RX	JTAG_DI		
PA10	RTP_XN	PSADC10	TWI3_SCK	UART2_RTS	JTAG_MS		
PA11	RTP_YN	PSADC11	TWI3_SDA	UART2_CTS	JTAG_CK		
PB0	SDC0_CMD	SPIO_HOLD	TWI1_SCK	UART7_TX			
PB1	SDC0_CLK	SPIO_WP	TWI1_SDA	UART7_RX			
PB2	SDC0_D3	SPIO_CS		/			
PB3	SDC0_D0	SPIO_MISO		/			
PB4	SDC0_D1	SPIO_MOSI		/			
PB5	SDC0_D2	SPIO_CLK		/			
PB6	SDC0_D4	SPI1_HOLD	TWI2_SCK	UART4_TX		CLK_OUT2	CLK_OUT3
PB7	SDC0_D5	SPI1_WP	TWI2_SDA	UART4_RX			
PB8	SDC0_D6	SPI1_CS	UART4_RTS	UART5_TX		IR_RX	

PB9	SDCO_D7	SPI1_MISO	UART6_RTS	UART5_RX		IR_TX	
PB10	SDCO_DS	SPI1_MOSI		UART6_TX			
PB11	SDCO_RST	SPI1_CLK		UART6_RX			
PC0	SDC1_D1	LCD_D5	SPI2_CLK	UART1_TX	JTAG_MS	PWM0_A	
PC1	SDC1_D0	LCD_D4	SPI2_CS	UART1_RX	JTAG_DI	PWM0_B	
PC2	SDC1_CLK	LCD_D3	SPI2_MOSI	UART1_RTS	UART0_TX	PWM1_A	
PC3	SDC1_CMD	LCD_D2	SPI2_MISO	UART2_TX	JTAG_DO	PWM1_B	
PC4	SDC1_D3	LCD_D1		UART2_RX	UART0_RX	PWM2_A	
PC5	SDC1_D2	LCD0	UART2_RTS	UART3_TX	JTAG_CK	PWM2_B	
PC6	SDC1_DET	CLK_OUT0	DE_TE	UART3_RX		PWM3_A	
PC7				UART3_RTS		PWM3_B	
PD0	LCD_D0	SPI2_CLK			PBUS_AD0		
PD1	LCD_D1	SPI2_CS			PBUS_AD1		
PD2	LCD_D2	SPI2_MOSI	DE_TE		PBUS_AD2		
PD3	LCD_D3	SPI3_CLK			PBUS_AD3		
PD4	LCD_D4	SPI3_CS			PBUS_AD4		
PD5	LCD_D5	SPI3_MOSI			PBUS_AD5		
PD6	LCD_D6	SPI3_MISO	TWI0_SCK	UART1_TX	PBUS_AD6		
PD7	LCD_D7	SPI2_MISO	TWI0_SDA	UART1_RX	PBUS_AD7		
PD8	LCD_D8	LVDS1_D0N	SPI1_HOLD	UART2_TX	PBUS_AD8	APWM0_A	
PD9	LCD_D9	LVDS1_D0P	SPI1_WP	UART2_RX	PBUS_AD9	APWM0_B	
PD10	LCD_D10	LVDS1_D1N	SPI1_CS	UART3_TX	PBUS_AD10	APWM1_A	
PD11	LCD_D11	LVDS1_D1P	SPI1_MISO	UART3_RX	PBUS_AD11	APWM1_B	
PD12	LCD_D12	LVDS1_D2N	SPI1_MOSI	UART4_TX	PBUS_AD12	APWM2_A	
PD13	LCD_D13	LVDS1_D2P	SPI1_CLK	UART4_RX	PBUS_AD13	APWM2_B	
PD14	LCD_D14	LVDS1_CKN	SPI3_CLK	CAP0	PBUS_AD14	QEPO_H0	
PD15	LCD_D15	LVDS1_CKP	SPI3_CS	CAP1	PBUS_AD15	QEPO_H1	
PD16	LCD_D16	LVDS1_D3N	SPI3_MOSI	CAP2	PBUS_CLK	QEPO_H2	
PD17	LCD_D17	LVDS1_D3P	SPI3_MISO	APWM_FLT5	PBUS_NCS	QEPO_A	
PD18	LCD_D18	LVDS0_D0N	DSI_D0N	TWI1_SCK	PBUS_NADV	QEPO_B	
PD19	LCD_D19	LVDS0_D0P	DSI_D0P	TWI1_SDA	PBUS_NWE	QEPO_I	
PD20	LCD_D20	LVDS0_D1N	DSI_D1N	UART7_TX	PBUS_NOE	QEPO_S	
PD21	LCD_D21	LVDS0_D1P	DSI_D1P	UART7_RX	CLK_OUT0	APWM_FLT0	
PD22	LCD_D22	LVDS0_D2N	DSI_CKN	TWI3_SCK	UART6_TX	APWM_FLT1	
PD23	LCD_D23	LVDS0_D2P	DSI_CKP	TWI3_SDA	UART6_RX	APWM_FLT2	
PD24	LCD_DCLK	LVDS0_CKN	DSI_D2N	UART5_TX	SPI1_CLK	APWM_FLT3	
PD25	LCD_HS	LVDS0_CKP	DSI_D2P	UART5_RX	SPI1_CS	APWM_FLT4	

PD26	LCD_VS	LVDS0_D3N	DSI_D3N	PWM3_A	SPI1_MOSI	APWM0_SI	
PD27	LCD_DE	LVDS0_D3P	DSI_D3P	PWM3_B	SPI1_MISO	APWM0_SO	RTC_32K
PE0		DVP_D0	TWIO_SCK		GMAC0_RXD1	APWM3_A	PWM0_A
PE1		DVP_D1	TWIO_SDA		GMAC0_RXD0	APWM3_B	PWM0_B
PE2		DVP_D2		UART4_TX	GMAC0_RXCTL	APWM4_A	PWM1_A
PE3		DVP_D3		UART4_RX	GMAC0_CLKIN	APWM4_B	PWM1_B
PE4		DVP_D4		UART5_TX	GMAC0_TXD1	APWM5_A	PWM2_A
PE5		DVP_D5		UART5_RX	GMAC0_TXD0	APWM5_B	PWM2_B
PE6	SPK0	DVP_D6	UART5_RTS	UART6_TX	GMAC0_TXCK	QEP1_H0	CAP0
PE7	SPK1	DVP_D7	UART7_RTS	UART6_RX	GMAC0_TXCTL	QEP1_H1	CAP1
PE8	I2S0_MCLK	DVP_CK	UART6_RTS	UART7_TX	GMAC0_MDC	QEP1_H2	CAP2
PE9	I2S0_BCLK	DVP_HS	UART6_CTS	UART7_RX	GMAC0_MDIO	QEP1_A	
PE10	I2S0_LRCK	DVP_VS	SPK0		CLK_OUT2	QEP1_B	
PE11	I2S0_DOUT	I2S0_DIN	SPK1	CLK_OUT1	GMAC0_RXD3	QEP1_I	
PE12	I2S0_DIN	SPI3_CLK	DMIC_CLK	TWI2_SCK	GMAC0_RXD2	QEP1_S	
PE13		SPI3_CS	DMIC_D0	TWI2_SDA	GMAC0_RXCK	CAP0	
PE14		SPI3_MOSI		UART3_TX	GMAC0_TXD3	CAP1	
PE15		SPI3_MISO		UART3_RX	GMAC0_TXD2	CAP2	
PE16		SPIO_CLK		TWI3_SCK	GMAC0_TRIG		
PE17		SPIO_CS		TWI3_SDA	GMAC0_PPSO		
PE18		SPIO_MOSI		PWM3_A	GMAC1_TRIG		
PE19		SPIO_MISO		PWM3_B	GMAC1_PPSO		
PF0	SDC2_D1	SPI2_CLK		UART5_TX	GMAC1_RXD1	PBUS_ADO	
PF1	SDC2_D0	SPI2_CS		UART5_RX	GMAC1_RXD0	PBUS_AD1	
PF2	SDC2_CLK	SPI2_MOSI		UART5_RTS	GMAC1_RXCTL	PBUS_AD2	
PF3	SDC2_CMD	SPI2_MISO		UART5_CTS	GMAC1_CLKIN	PBUS_AD3	
PF4	SDC2_D3			UART6_TX	GMAC1_TXD1	PBUS_AD4	
PF5	SDC2_D2			UART6_RX	GMAC1_TXD0	PBUS_AD5	
PF6				UART7_TX	GMAC1_TXCK	PBUS_AD6	
PF7				UART7_RX	GMAC1_TXCTL	PBUS_AD7	
PF8				UART7_RTS	GMAC1_MDC	PBUS_AD8	
PF9				UART7_CTS	GMAC1_MDIO	PBUS_AD9	
PF10	I2S1_MCLK	I2S1_DIN		UART3_CTS	CLK_OUT3	PBUS_AD10	
PF11	I2S1_BCLK		PBUS_AD11	UART3_TX	GMAC1_RXD3	PBUS_CLK	
PF12	I2S1_LRCK		UART4_RTS	UART3_RX	GMAC1_RXD2	PBUS_NCS	
PF13	I2S1_DOUT	I2S1_DIN	UART4_CTS	UART3_RTS	GMAC1_RXCK	PBUS_NADV	
PF14	I2S1_DIN	SPK0	DMIC_D0	UART4_TX	GMAC1_TXD3	PBUS_NWE	

PF15	DE_TE	SPK1	DMIC_CLK	UART4_RX	GMAC1_TXD2	PBUS_NOE	
PU0	USB0_DM		UART0_RX	UART1_RX			
PU1	USB0_DP		UART0_TX	UART1_TX			
PU2	USB1_DM		UART0_RX	UART2_RX			
PU3	USB1_DP		UART0_TX	UART2_TX			

5.4. 管脚/信号描述

管脚/信号名称	描述	类型
DRAM		
LD025	2.5V LDO 输出, 为内部 DRAM 供电, 外接 0.1uF 电容	P
LD01X	LD01X 输出, 可配置, 可接至 VCC_DRAM 为 DRAM 供电	P
VCC_DRAM	DRAM 供电电源	P
SYSTEM		
RESET	复位管脚	I
PLL_XI	24MHz 晶振输入	AI
PLL_XO	24MHz 晶振输出	AO
RESET	复位管脚	I
RTC		
RTC_IO	RTC 唤醒输出	OD
RTC_VCOIN	RTC 纽扣电池供电	P
RTC_XO	32.768KHz 晶振输出	AO
RTC_XI	32.768KHz 晶振输入	AI
USB		
USB0_DM	USB0 数据信号负端	AI/O
USB0_DP	USB0 数据信号正端	AI/O
USB1_DM	USB1 数据信号负端	AI/O
USB1_DP	USB1 数据信号正端	AI/O
RTP		
RTP_XP	RTP X 方向正端	AI
RTP_YP	RTP Y 方向正端	AI
RTP_XN	RTP X 方向负端	AI
RTP_YN	RTP Y 方向负端	AI
ADC, $x = 0 \sim 11$		
GPAIx	模拟采样信号输入	AI
GPADCx	模拟采样信号输入	AI
AMIC		
AMIC_IN	模拟麦克风信号输入	AI

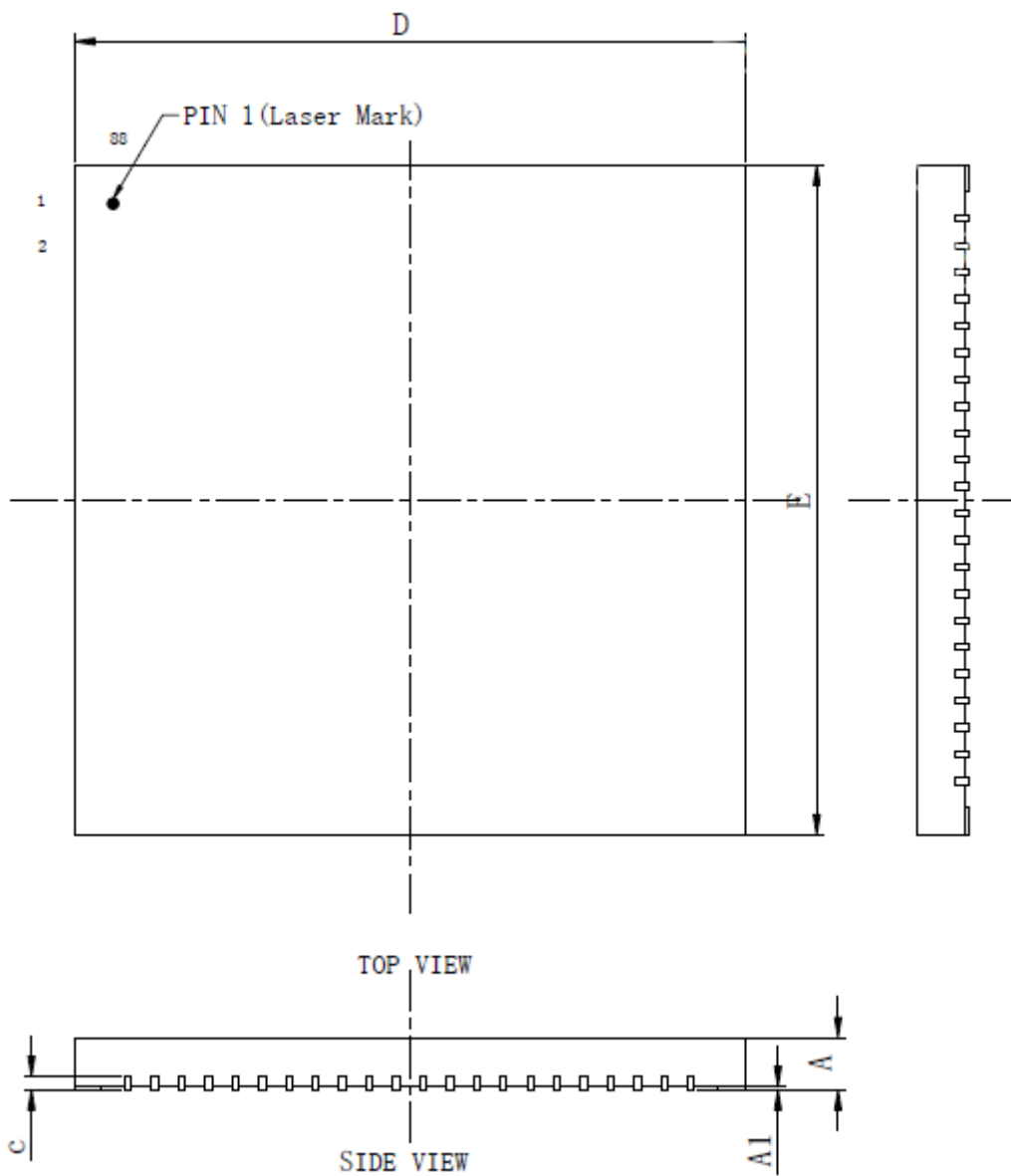
AMIC_BIAS	模拟麦克风偏压输出	A0
MAC, $x = 0 \sim 1$		
GMACx_RXD1	RMII 数据接收信号线 1	I
GMACx_RXD0	RMII 数据接收信号线 0	I
GMACx_RXCTL	RMII 数据接收有效	I
GMACx_CLKIN	RMII 参考时钟	I
GMACx_TXD1	RMII 数据发送信号线 1	O
GMACx_TXD0	RMII 数据发送信号线 0	O
GMACx_TXCK	RMII 发送时钟	O
GMACx_TXCTL	RMII 数据发送使能	O
GMACx_MDC	RMII 串行管理接口时钟	I/O
GMACx_MDIO	RMII 串行管理接口数据	I/O
CLK_OUTx	可配置 25MHz 时钟输出, $x = 0 \sim 3$	O
PWM, $x = 0 \sim 7$		
PWMx_A	PWMx A 通道	O
PWMx_B	PWMx B 通道	O
SPI, $x = 0 \sim 2$		
SPIx_HOLD	SPIx 保持信号, 低电平有效	I/O
SPIx_WP	SPIx 写保护信号, 低电平有效	I/O
SPIx_CS	SPIx 片选信号, 低电平有效	I/O
SPIx_CLK	SPIx 时钟信号	I/O
SPIx_MOSI	SPIx 主机数据输出, 从机数据输入	I/O
SPIx_MISO	SPIx 主机数据输入, 从机数据输出	I/O
UART, $x = 0 \sim 7$		
UARTx_TX	UARTx 数据发送	O
UARTx_RX	UARTx 数据接收	I
UARTx_CTS	UARTx 发送允许	I
UARTx_RTS	UARTx 发送请求	O
TWI, $x = 0 \sim 3$		
TWIx_SCK	TWIx 串行时钟信号	I/O
TWIx_SDA	TWIx 串行数据信号	I/O
CIR		
IR_TX	红外数据发送	O
IR_RX	红外数据接收	I
I2S, $x = 0 \sim 1$		
I2Sx_MCLK	I2Sx 主时钟	O
I2Sx_LRCK	I2Sx 左/右时钟	I/O

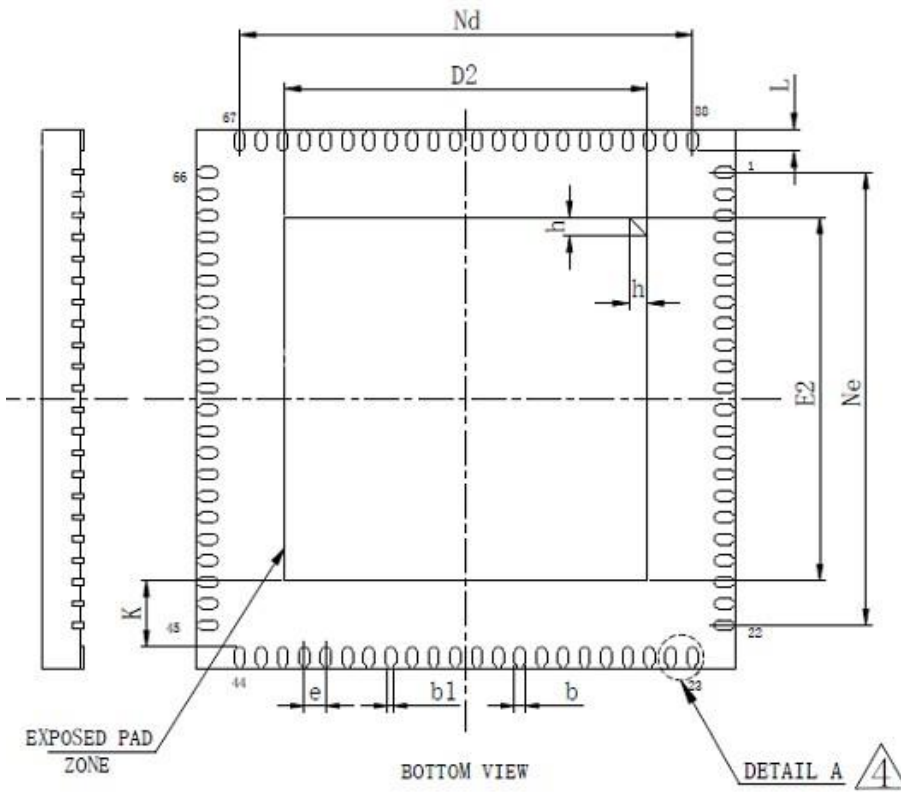
I2S _x _BCLK	I2S _x 位时钟	I/O
I2S _x _DOUT	I2S _x 串行数据输出	O
I2S _x _DIN	I2S _x 串行数据输入	I
SPK		
SPK0	Speaker 信号输出通道 0	I/O
SPK1	Speaker 信号输出通道 1	I/O
SDC, $x = 0 \sim 2$		
SDC _x _CMD	SDC0 控制信号	I/O
SDC _x _CLK	SDC0 时钟信号	O
SDC _x _D[3:0]	SDC0 数据输入输出	I/O
LCD		
LCD_D[23:0]	LCD 数据输出	O
LCD_DCLK	LCD 时钟信号	O
LCD_HS	LCD 行场同步	O
LCD_VS	LCD 列场同步	O
LCD_DE	LCD 数据使能	O
LVDS, $x = 0 \sim 1$		
LVDS _x _CKN	LVDS _x 时钟负端	AI
LVDS _x _CKP	LVDS _x 时钟正端	AI
LVDS _x _DON	LVDS _x 数据 0 负端	AI
LVDS _x _DOP	LVDS _x 数据 0 正端	AI
LVDS _x _D1N	LVDS _x 数据 1 负端	AI
LVDS _x _D1P	LVDS _x 数据 1 正端	AI
LVDS _x _D2N	LVDS _x 数据 2 负端	AI
LVDS _x _D2P	LVDS _x 数据 2 正端	AI
LVDS _x _D3N	LVDS _x 数据 3 负端	AI
LVDS _x _D3P	LVDS _x 数据 3 正端	AI
MIPI DSI		
DSI_CKN	MIPI DSI 时钟负端	AI
DSI_CKP	MIPI DSI 时钟正端	AI
DSI_DON	MIPI DSI 数据 0 负端	AI
DSI_DOP	MIPI DSI 数据 0 正端	AI
DSI_D1N	MIPI DSI 数据 1 负端	AI
DSI_D1P	MIPI DSI 数据 1 正端	AI
DSI_D2N	MIPI DSI 数据 2 负端	AI
DSI_D2P	MIPI DSI 数据 2 正端	AI
DSI_D3N	MIPI DSI 数据 3 负端	AI

DSI_D3P	MIPI DSI 数据 3 正端	AI
DVP		
DVP_CK	DVP 像素时钟	I
DVP_HS	DVP 行场同步	I
DVP_VS	DVP 列场同步	I
DVP_D[7:0]	DVP 数据输入	I

5.5. 封装尺寸

5.5.1. D211BB

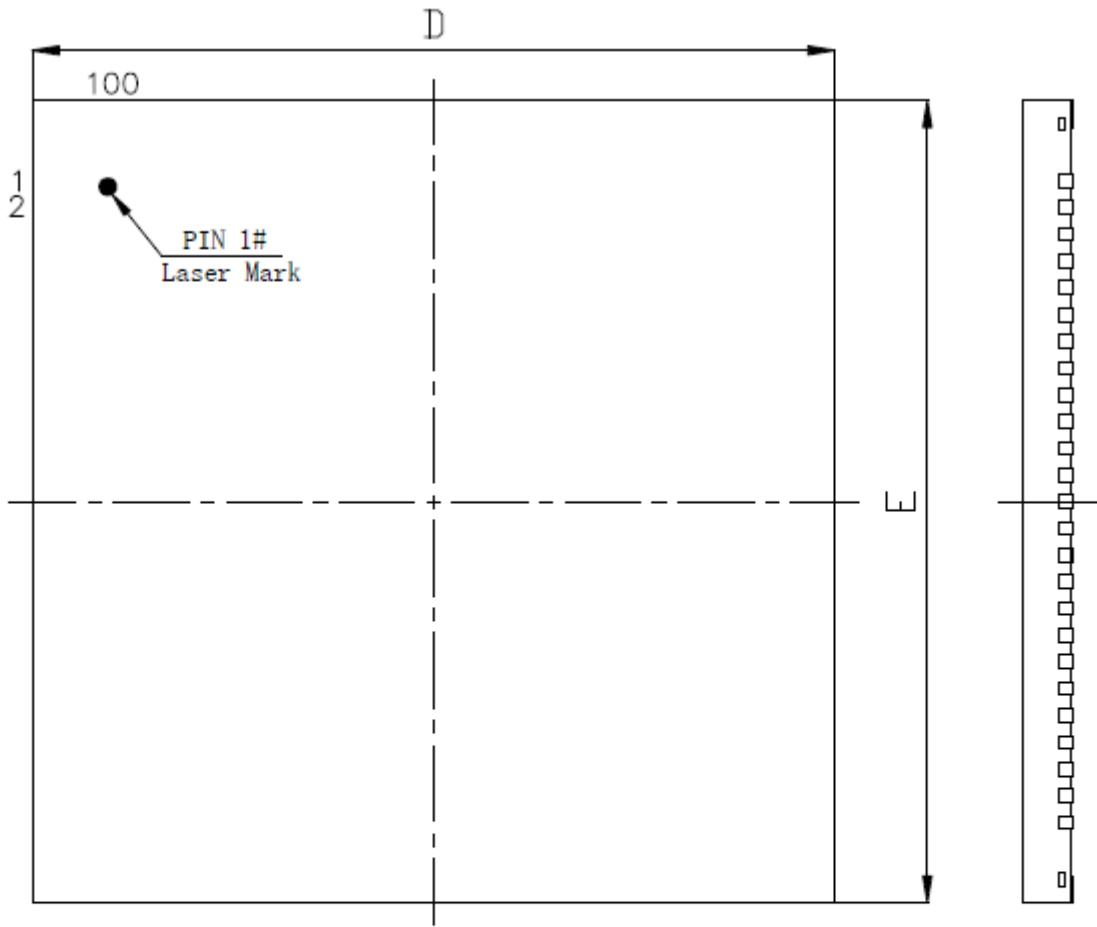




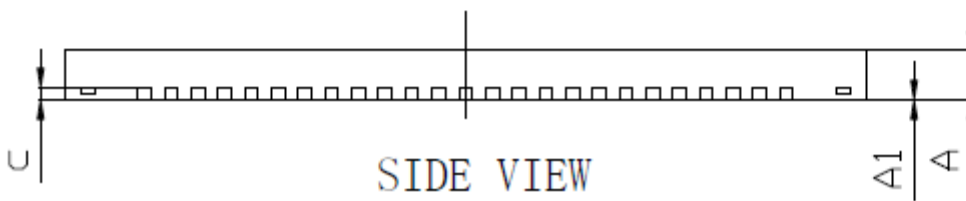
SYMBOL	MILLIMETER			
	MIN	NOM	MAX	
A	0.70	0.75	0.80	△
	0.80	0.85	0.90	
	0.85	0.90	0.95	△
A1	0	0.02	0.05	
b	0.15	0.20	0.25	
b1	0.10REF			△
c	0.18	0.20	0.25	
D	9.90	10.00	10.10	
D2	6.64	6.74	6.84	
e	0.40BSC			
Nd	8.40REF			
E	9.90	10.00	10.10	
E2	6.64	6.74	6.84	
Ne	8.40REF			
L	0.30	0.40	0.50	
K	0.20	-	-	
h	0.30	0.35	0.40	

ARTINCHIP

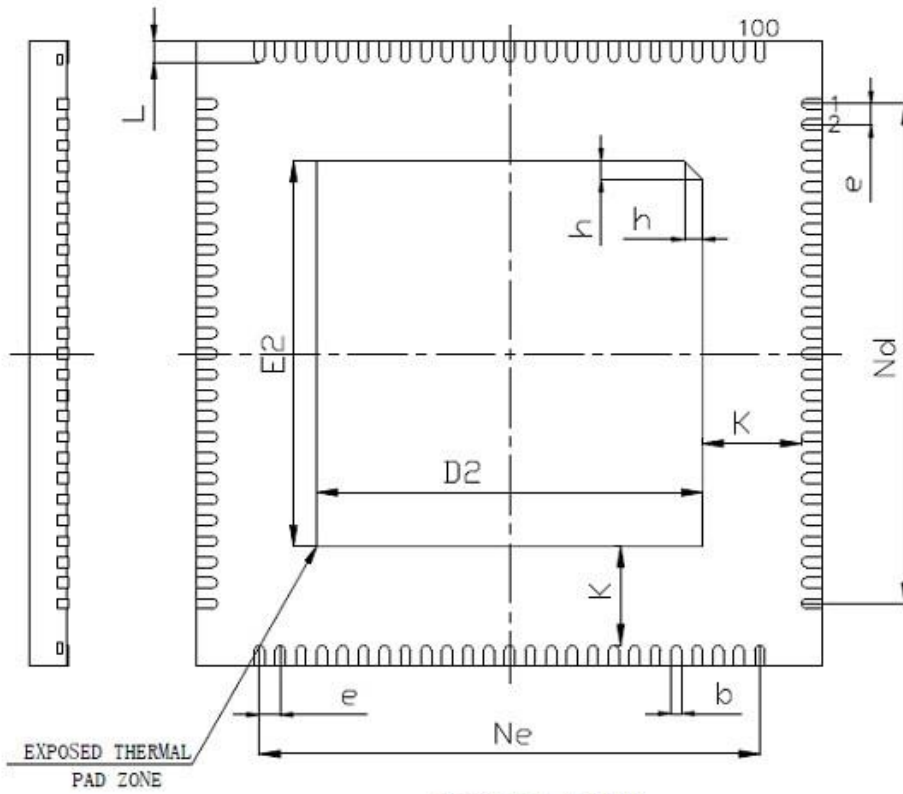
5. 5. 2. D211DB



TOP VIEW



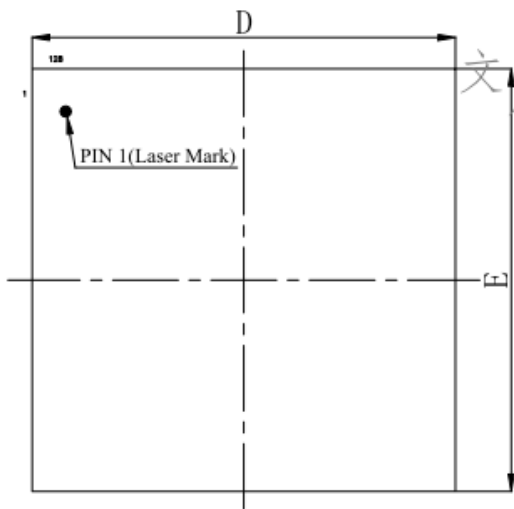
SIDE VIEW



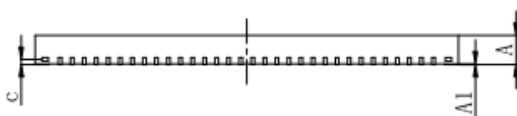
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.80	0.85	0.90
	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.15	0.20	0.25
c	0.203REF		
D	11.90	12.00	12.10
D2	7.30	7.40	7.50
e	0.40BSC		
Ne	9.60BSC		
Nd	9.60BSC		
E	11.90	12.00	12.10
E2	7.30	7.40	7.50
L	0.35	0.40	0.45
h	0.30	0.35	0.40
K	1.90REF		

BOTTOM VIEW

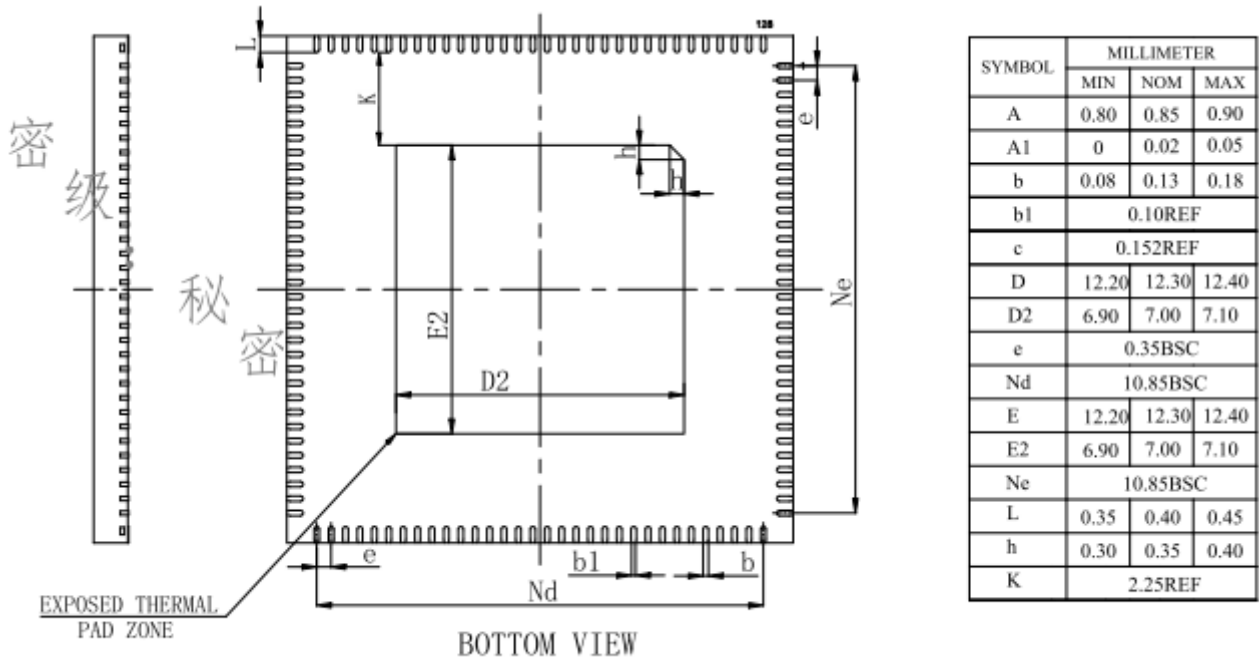
5.5.3. D213EC



TOP VIEW



SIDE VIEW



ARTINCHIP