

1. 特性

- AEC-Q100 (仅限 ADX122Q)
- 超小型 QFN 封装: 2mm × 1.5mm × 0.4mm
- 小型 3mm × 3mm MSOP 封装
- 宽电源范围: 2V 至 5.5V
- 低电流消耗:
 - 连续模式: 仅 150μA
 - 单次模式: 自动关机
- 可编程数据速率高达 3571SPS
- 可选的 50/60Hz 带阻滤波器
- 单周期稳定
- 内部低漂移参考电压
- 内部振荡器
- SPI 兼容接口
- 内部 PGA
- 四个单端或两个差分输入
- 工作温度范围: -40°C 至 125°C

2. 应用

- 温度测量:
 - 热电偶测量
 - 热敏电阻测量
- 便携式仪器
- 电池电压和电流监测
- 工厂自动化和过程控制

3. 说明

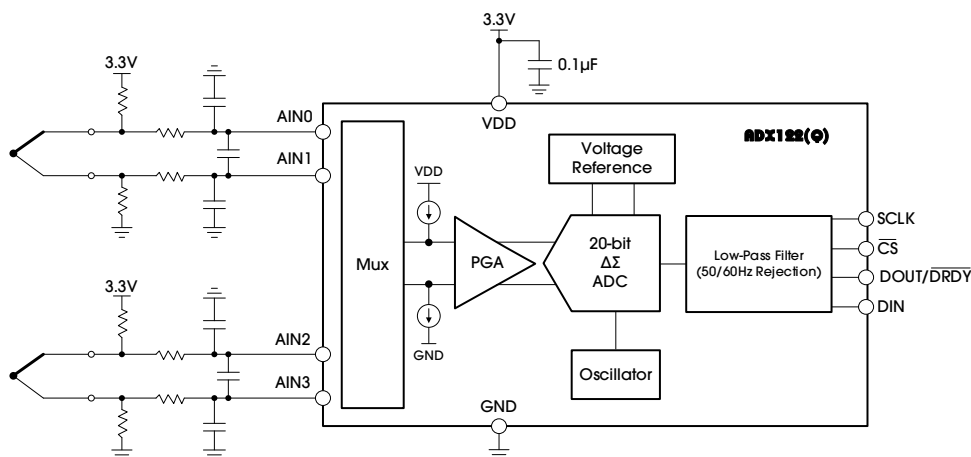
ADX122(Q)是一款精密、低功耗、20 位模数转换器(ADC), 提供测量 MSOP-10 封装或超小型无引线封装中最常见传感器信号所需的所有功能 QFN-10 封装。

ADX122(Q)集成了可编程增益放大器(PGA)、电压基准、振荡器和高精度温度传感器。这些特性以及 2V 至 5.5V 的宽电源范围使 ADX122(Q)非常适合功率受限和空间受限的传感器测量应用。

ADX122(Q)可以以高达每秒 3571 个样本(SPS)的数据速率执行转换。PGA 提供从±256mV 到±6.144V 的输入范围, 允许以高分辨率测量大信号和小信号。输入多路复用器(MUX)允许测量两个差分或四个单端输入。高精度温度传感器可用于系统级温度监测或热电偶冷端补偿。

ADX122(Q)可以在连续转换模式下工作, 也可以在转换后自动关断的单次模式下工作。单次模式显着降低了空闲期间的电流消耗。数据通过串行外设接口(SPI™)传输。ADX122(Q)的额定温度范围为-40°C 至 125°C。有关订购信息, 请参见 Table 1。

K-Type Thermocouple Measurement



Note: SPI is a trademark of Motorola, Inc.

Table 1 lists the order information.

Table 1. Order Information

ORDER NUMBER ⁽¹⁾	CH (#)	BITS	PACKAGE	BODY SIZE (mm)	MARK	ODR (SPS)	INTERFACE	COMPARATOR	TEMP SENSOR	50/60 REJECTION	OP. TEMP (°C)	PKG. OPTION
ADX122AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX122	3571	SPI	No	No	Yes	-40-125	T/R-3000
ADX122QAMSOP10	2(4)	20	MSOP-10	3 × 3	ADX122Q	3571	SPI	No	No	Yes	-40-125	T/R-3000
ADX122AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	122	3571	SPI	No	No	Yes	-40-125	T/R-4000

Table 2. Family Selection Guide

ORDER NUMBER ⁽¹⁾	CH (#)	BITS	PACKAGE	BODY SIZE (mm)	MARK	ODR (SPS)	INTERFACE	COMPARATOR	TEMP SENSOR	50/60 REJECTION	OP. TEMP (°C)	PKG. OPTION
ADX111AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX111	860	I ² C	Yes	No	No	-40-125	T/R-3000
ADX111QAMSOP10	2(4)	16	MSOP-10	3 × 3	ADX111Q	860	I ² C	Yes	No	No	-40-125	T/R-3000
ADX111AQFN10	2(4)	16	QFN-10	2 × 1.5	111	860	I ² C	Yes	No	No	-40-125	T/R-4000
ADX112AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX112	860	SPI	No	Yes	No	-40-125	T/R-3000
ADX112QAMSOP10	2(4)	16	MSOP-10	3 × 3	ADX112Q	860	SPI	No	Yes	No	-40-125	T/R-3000
ADX112AQFN10	2(4)	16	QFN-10	2 × 1.5	112	860	SPI	No	Yes	No	-40-125	T/R-4000
ADX113AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX113	860	I ² C	Yes	No	Yes	-40-125	T/R-3000
ADX114AMSOP10	2(4)	16	MSOP-10	3 × 3	ADX114	3571	SPI	No	Yes	Yes	-40-125	T/R-3000
ADX121AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX121	3571	I ² C	Yes	No	Yes	-40-125	T/R-3000
ADX121AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	121	3571	I ² C	Yes	No	Yes	-40-125	T/R-4000
ADX128AMSOP10 ⁽²⁾	2(4)	20	MSOP-10	3 × 3	ADX128	7143	SPI	No	No	Yes	-40-125	T/R-3000
ADX128AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	128	7143	SPI	No	No	Yes	-40-125	T/R-4000
ADX125AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX125	3571	I ² C	Yes	Yes	Yes	-40-125	T/R-3000
ADX126AMSOP10	2(4)	20	MSOP-10	3 × 3	ADX126	3571	SPI	No	Yes	Yes	-40-125	T/R-3000
ADX125AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	125	3571	I ² C	Yes	Yes	Yes	-40-125	T/R-4000
ADX126AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	126	3571	SPI	No	Yes	Yes	-40-125	T/R-4000
ADX131AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	131	440	I ² C	Yes	No	Yes	-40-125	T/R-4000
ADX132AQFN10 ⁽²⁾	2(4)	20	QFN-10	2 × 1.5	132	440	SPI	No	No	Yes	-40-125	T/R-4000
ADX123AMSOP10 ⁽²⁾	2(4)	20	MSOP-10	3 × 3	ADX123	3571	Daisy Chain	No	No	Yes	-40-125	T/R-3000

Note: Available in the future.

Devices can be ordered via the following two ways:

1. Place orders directly on our website (www.analogsemi.com), or;
2. Contact our sales team by mailing to sales@analogsemi.com.

4. PIN CONFIGURATION AND FUNCTIONS

Figure 1 illustrates the pin configuration.

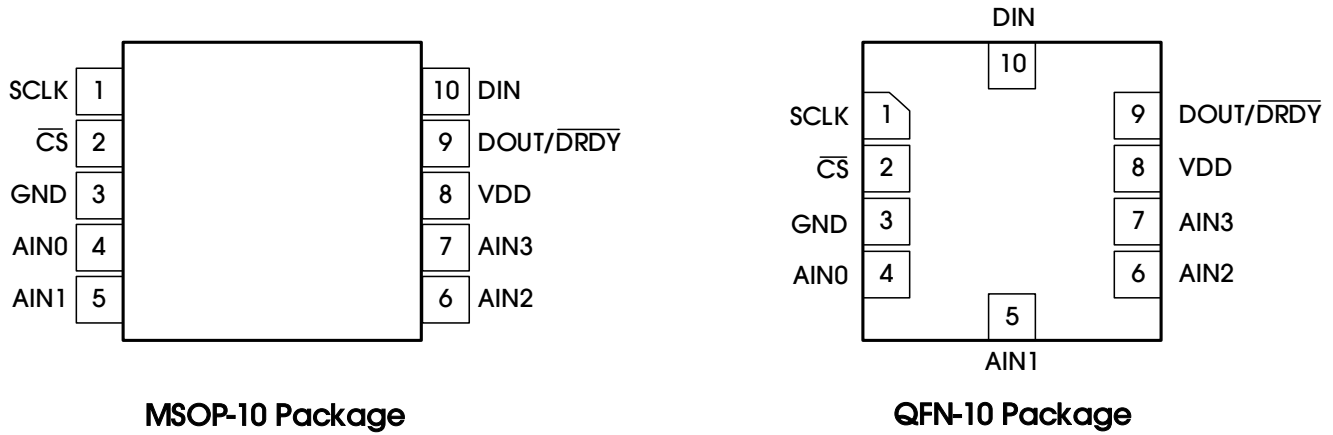


Figure 1. Pin Configuration

Table 3 lists the pin functions.

Table 3. Pin Functions

NAME	POSITION	TYPE	DESCRIPTION
SCLK	1	Digital input	Serial clock input
$\overline{\text{CS}}$	2	Digital input	Chip select; active low. Connect to GND if not used.
GND	3	Supply	Ground
AIN0	4	Analog input	Analog input 0. Leave unconnected or tie to VDD if not used.
AIN1	5	Analog input	Analog input 1. Leave unconnected or tie to VDD if not used.
AIN2	6	Analog input	Analog input 2. Leave unconnected or tie to VDD if not used.
AIN3	7	Analog input	Analog input 3. Leave unconnected or tie to VDD if not used.
VDD	8	Supply	Power supply. Connect a 100nF power supply decoupling capacitor to GND.
$\overline{\text{DOUT/DRDY}}$	9	Digital output	Serial data output combined with data ready; active low.
DIN	10	Digital input	Serial data input

5. SPECIFICATIONS

5.1 ABSOLUTE MAXIMUM RATINGS

Table 4 lists the absolute maximum ratings of the ADX122(Q).

Table 4. Absolute Maximum Ratings

PARAMETER	DESCRIPTION	MIN	MAX	UNITS
Power-Supply Voltage	VDD to GND	-0.3	5.5	V
Analog Input Voltage	AIN0, AIN1, AIN2, AIN3	GND - 0.3	VDD + 0.3	V
Digital Input Voltage	DIN, DOUT/DRDY, SCLK, CS	GND - 0.3	VDD + 0.3	V
Input Current, Continuous	Any pin except power supply pins	-10	10	mA
Temperature	Junction, T _J	-40	150	°C
	Storage, T _{stg}	-60	150	

Note: Stresses beyond those listed under Table 4 may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Table 6. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

5.2 ESD RATINGS

Table 5 lists the ESD ratings of the ADX122(Q).

Table 5. ESD Ratings

PARAMETER	SYMBOL	DESCRIPTION	VALUE	UNITS
Electrostatic Discharge	V _(ESD)	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±6000	V
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1500	

Note 1: The JEDEC document JEP155 indicates that 500V HBM allows safe manufacturing with a standard ESD control process.

Note 2: The JEDEC document JEP157 indicates that 250V CDM allows safe manufacturing with a standard ESD control process.

5.3 RECOMMENDED OPERATING CONDITIONS

Table 6 lists the recommended operating conditions for the ADX122(Q).

Table 6. Recommended Operating Conditions

PARAMETER	DESCRIPTION	SYMBOL	MIN	NOM	MAX	UNITS
POWER SUPPLY						
Power Supply	VDD to GND	VDD	2		5.5	V
ANALOG INPUTS⁽¹⁾						
Full-Scale Input Voltage Range ⁽²⁾	$V_{IN} = V_{(AINP)} - V_{(AINN)}$	FSR	See Table 13			
Absolute Input Voltage		$V_{(AINx)}$	GND		VDD	V
DIGITAL INPUTS						
Input Voltage			GND		VDD	V
TEMPERATURE RANGE						
Operating Ambient Temperature		T_A	-40		125	°C

Note 1: AIN_P and AIN_N denote the selected positive and negative inputs. AIN_x denotes one of the four available analog inputs.

Note 2: This parameter expresses the full-scale range of the ADC scaling. No more than $VDD + 0.3V$ or $5.5V$ (whichever is smaller) must be applied to the analog inputs of the device.

5.4 THERMAL INFORMATION

Table 7 lists the thermal information for the ADX122(Q).

Table 7. Thermal Information

PARAMETER	SYMBOL	MSOP-10	QFN-10	UNITS
Junction-to-Ambient Thermal Resistance	$R_{\theta JA}$	150	119	°C/W
Junction-to-Board Thermal Resistance	$R_{\theta JB}$	90	39	°C/W
Junction-to-Top Characterization Parameter	ψ_{JT}	3	4	°C/W
Junction-to-Board Characterization Parameter	ψ_{JB}	86	39	°C/W
Junction-to-Case (Top) Thermal Resistance	$R_{\theta JC(top)}$	54	60	°C/W
Junction-to-Case (Bottom) Thermal Resistance	$R_{\theta JC(bot)}$	90	45	°C/W

5.5 ELECTRICAL CHARACTERISTICS

Table 8 lists the electrical characteristics of ADX122(Q). Maximum and minimum specifications apply from $T_A = -40^{\circ}\text{C}$ to 125°C . Typical specifications are at $T_A = 25^{\circ}\text{C}$. All specifications are at $V_{DD} = 3.3\text{V}$, data rate = 10SPS, and full-scale range (FSR) = $\pm 2.048\text{V}$, unless otherwise noted.

Table 8. Electrical Characteristics

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
ANALOG INPUTS						
Common-Mode Input Impedance		FSR = $\pm 6.144\text{V}^{(1)}$		9		M Ω
		FSR = $\pm 4.096\text{V}^{(1)}$		7		
		FSR = $\pm 2.048\text{V}$		6		
		FSR = $\pm 1.024\text{V}$		5		
		FSR = $\pm 0.512\text{V}$, FSR = $\pm 0.256\text{V}$		6		
Differential Input Impedance		FSR = $\pm 6.144\text{V}^{(1)}$		26		M Ω
		FSR = $\pm 4.096\text{V}^{(1)}$		17		
		FSR = $\pm 2.048\text{V}$		3		
		FSR = $\pm 1.024\text{V}$		1.5		
		FSR = $\pm 0.512\text{V}$, FSR = $\pm 0.256\text{V}$		900		k Ω
SYSTEM PERFORMANCE						
Resolution (No Missing Codes)			20			Bits
Data Rate	DR		10, ..., 3571			SPS
Data Rate Variation		All data rates	-7%		6%	
Output Noise			See NOISE PERFORMANCE section			
Integral Nonlinearity	INL	DR = 10SPS, FSR = $\pm 2.048\text{V}^{(2)}$, differential inputs		7	12	LSB
		DR = 10SPS, FSR = $\pm 2.048\text{V}^{(2)}$, single-ended inputs		7	15	LSB
Offset Error		FSR = $\pm 2.048\text{V}$, differential inputs	-8	± 1.5	8	LSB
		FSR = $\pm 2.048\text{V}$, single-ended inputs		± 12		
Offset Drift		FSR = $\pm 2.048\text{V}$		0.005		LSB/ $^{\circ}\text{C}$
Offset Power-Supply Rejection		FSR = $\pm 2.048\text{V}$, DC supply variation		4		LSB/V
Offset Channel Match		Match between any two inputs		12		LSB
Gain Error ⁽³⁾		FSR = $\pm 2.048\text{V}$, $T_A = 25^{\circ}\text{C}$		0.01%	0.07%	
Gain Drift ⁽³⁾⁽⁴⁾		FSR = $\pm 0.256\text{V}$		8		ppm/ $^{\circ}\text{C}$
		FSR = $\pm 2.048\text{V}$		8	14	
		FSR = $\pm 6.144\text{V}^{(1)}$		8		
Gain Power-Supply Rejection		$V_{DD} = 3.3\text{V}$ to 5V		61		ppm/V
Gain Match ⁽³⁾		Match between any two gains		0.005%	0.03%	
Gain Channel Match		Match between any two inputs		0.001%	0.01%	
Common-Mode Rejection Ratio	CMRR	At DC, FSR = $\pm 0.256\text{V}$		> 120		dB
		At DC, FSR = $\pm 2.048\text{V}$		114		
		At DC, FSR = $\pm 6.144\text{V}^{(1)}$		105		
		$f_{CM} = 50\text{Hz}$		120		
		$f_{CM} = 60\text{Hz}$		120		
Normal-Mode Rejection Ratio	NMRR	ODR = 20SPS, Filter 50 = 1, Filter 60 = 0, $50\text{Hz} \pm 1\text{Hz}$	72	120		dB
		ODR = 20SPS, Filter 50 = 0, Filter 60 = 1, $60\text{Hz} \pm 1\text{Hz}$	73	128		dB
		ODR = 20SPS, Filter 50 = 1, Filter 60 = 1, 50Hz or $60\text{Hz} \pm 1\text{Hz}$	57	100		dB

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL INPUTS/OUTPUTS						
High-Level Input Voltage	V_{IH}		0.7 VDD		VDD	V
Low-Level Input Voltage	V_{IL}		GND		0.3 VDD	V
High-Level Output Voltage	V_{OH}	$I_{OH} = 1\text{mA}$	0.8 VDD			V
Low-Level Output Voltage	V_{OL}	$I_{OL} = 1\text{mA}$	GND		0.2 VDD	V
Input Leakage, High	I_H	$V_{IL} = 5.5\text{V}$	-10		10	μA
Input Leakage, Low	I_L	$V_{IL} = \text{GND}$	-10		10	μA
POWER SUPPLY						
Supply Current	I_{VDD}	Power down, $T_A = 25^\circ\text{C}$		0.65	1	μA
		Power down			3.5	
		Operating, $T_A = 25^\circ\text{C}$		150	190	
		Operating			250	
Power Dissipation	P_D	VDD = 5V		0.9		mW
		VDD = 3.3V		0.6		
		VDD = 2V		0.3		
TEMPERATURE SENSOR						
Temperature Range			-40		125	$^\circ\text{C}$
Temperature Resolution				0.03125		$^\circ\text{C}/\text{LSB}$
Accuracy		$T_A = 0^\circ\text{C}$ to 70°C		0.2	± 0.5	$^\circ\text{C}$
		$T_A = -40^\circ\text{C}$ to 125°C		0.4	± 1	
		vs supply		0.03125	± 0.25	$^\circ\text{C}/\text{V}$

Note 1: This parameter expresses the full-scale range of the ADC scaling. No more than VDD + 0.3V or 5.5V (whichever is smaller) must be applied to this device.

Note 2: Best-fit INL; covers 99% of full-scale.

Note 3: Includes all errors from onboard PGA and voltage reference.

Note 4: Maximum value specified by characterization.

5.6 TIMING REQUIREMENTS: SERIAL INTERFACE

Table 9 lists the timing requirements for the serial interface. VDD = 2.0V to 5.5V, unless otherwise noted.

Table 9. Timing Requirements: Serial Interface

PARAMETER	SYMBOL	MIN	MAX	UNITS
Delay Time, \overline{CS} Falling Edge to First SCLK Rising Edge ⁽¹⁾	t_{CSSC}	100		ns
Delay Time, Final SCLK Falling Edge to \overline{CS} Rising Edge	t_{SCCS}	100		ns
Pulse Duration, \overline{CS} High	t_{CSH}	200		ns
SCLK Period	t_{SCLK}	250		ns
Pulse Duration, SCLK High	t_{SPWH}	100		ns
Pulse Duration, SCLK Low ⁽²⁾	t_{SPWL}	100		ns
			28	ms
Setup Time, DIN Valid before SCLK Falling Edge	t_{DIST}	50		ns
Hold Time, DIN Valid after SCLK Falling Edge	t_{DIHD}	50		ns
Hold Time, SCLK Rising Edge to DOUT Invalid	t_{DOHD}	0		ns

Note 1: \overline{CS} can be tied low permanently in case the serial bus is not shared with any other device.

Note 2: Holding SCLK low longer than 28ms resets the SPI interface.

5.7 SWITCHING CHARACTERISTICS: SERIAL INTERFACE

Table 10 lists the switching characteristics of serial interface.

Table 10. Switching Characteristics: Serial Interface

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Propagation Delay Time, \overline{CS} Falling Edge to DOUT Driven	t_{CSDOD}	DOUT load = 20pF 100kΩ to GND			100	ns
Propagation Delay Time, SCLK Rising Edge to Valid New DOUT	t_{DOPD}	DOUT load = 20pF 100kΩ to GND	0		50	ns
Propagation Delay Time, \overline{CS} Rising Edge to DOUT High Impedance	t_{CSDOZ}	DOUT load = 20pF 100kΩ to GND			100	ns

Figure 2 shows the serial interface timing.

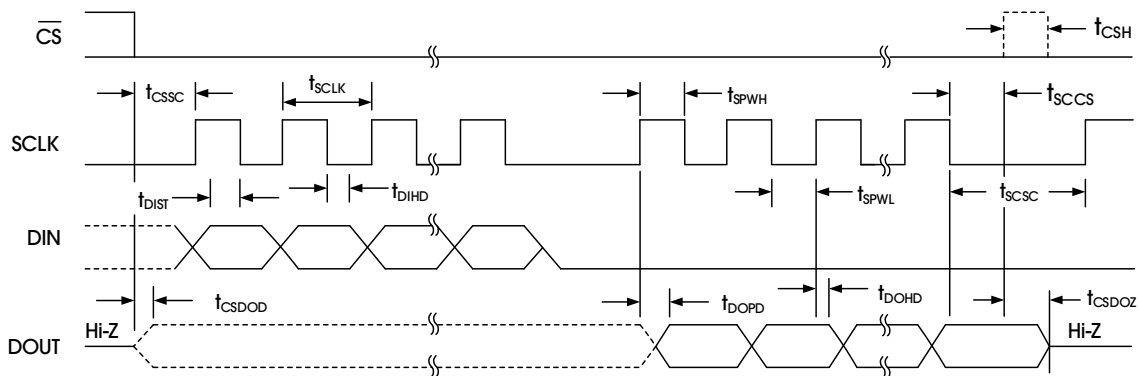


Figure 2. Serial Interface Timing

6. TYPICAL CHARACTERISTICS

$T_A = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $\text{FSR} = \pm 2.048\text{V}$, unless otherwise noted.

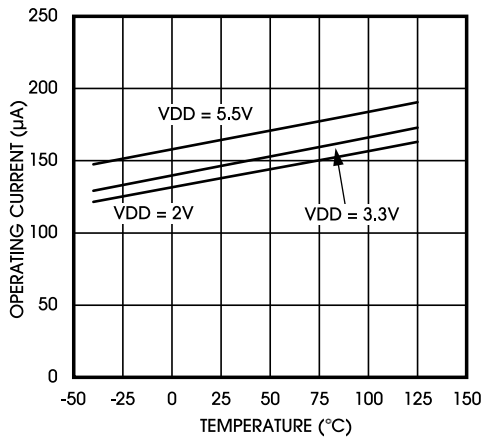


Figure 3. Operating Current vs. Temperature

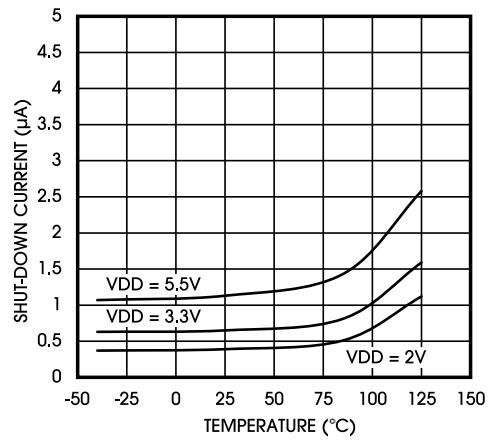


Figure 4. Power-Down Current vs. Temperature

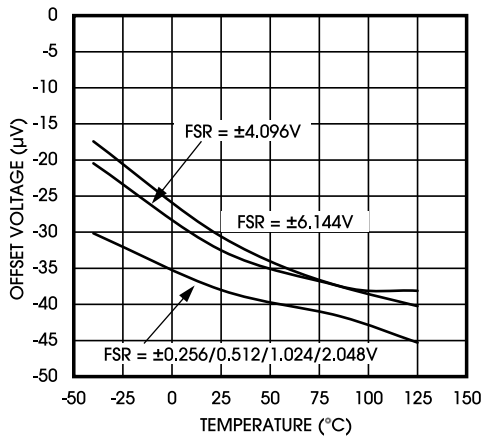


Figure 5. Single-Ended Offset Error vs. Temperature

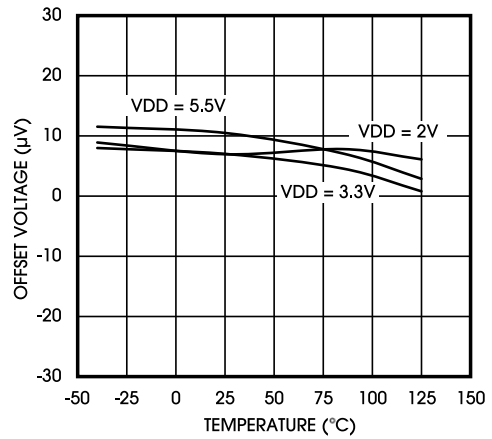


Figure 6. Differential Offset vs. Temperature

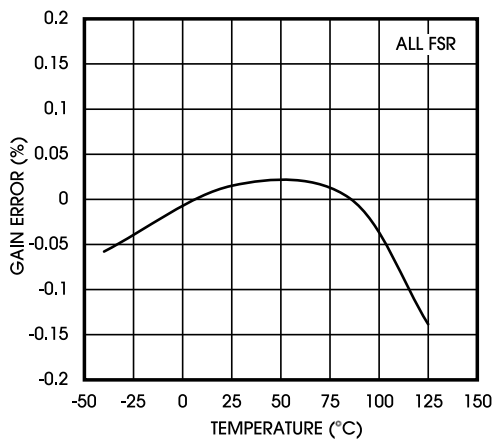


Figure 7. Gain Error vs. Temperature

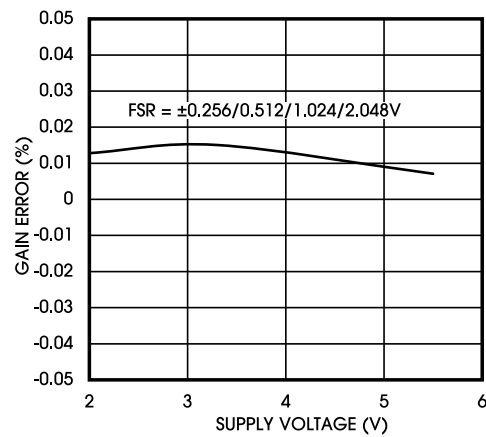


Figure 8. Gain Error vs. Supply Voltage

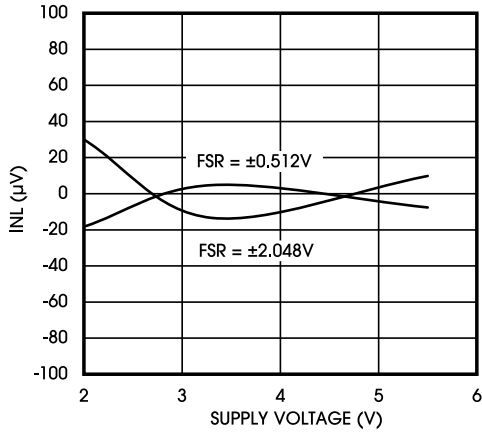


Figure 9. INL vs. Supply Voltage

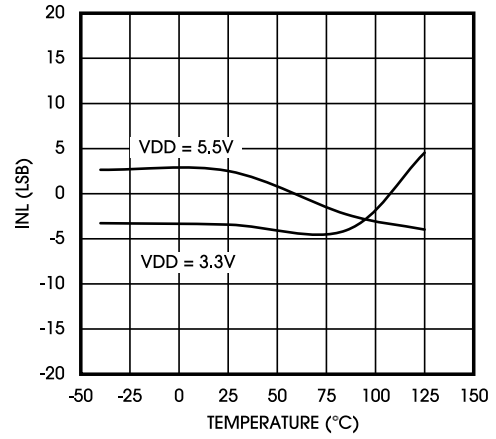


Figure 10. INL vs. Temperature

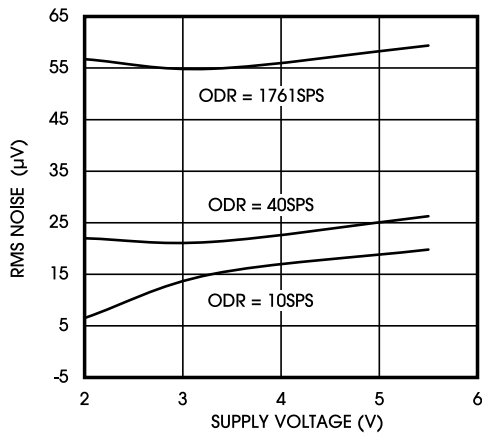


Figure 11. Noise vs. Supply voltage

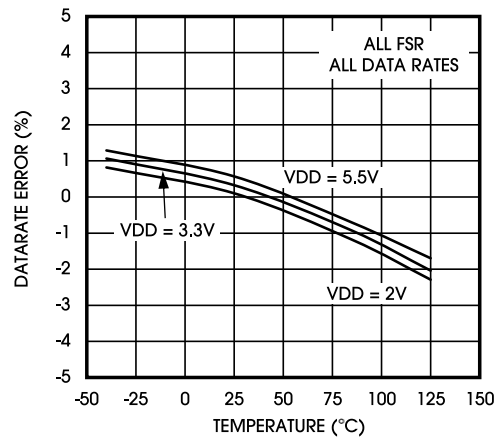


Figure 12. Data Rate vs. Temperature

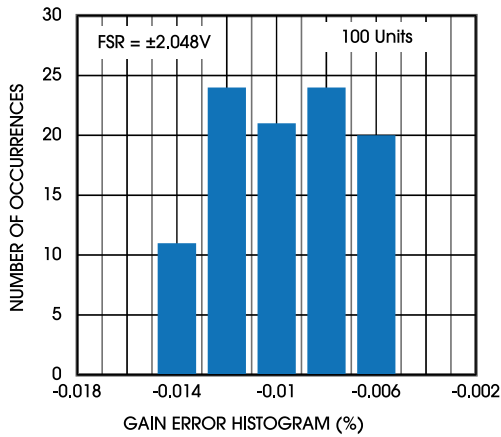


Figure 13. Gain Error Histogram

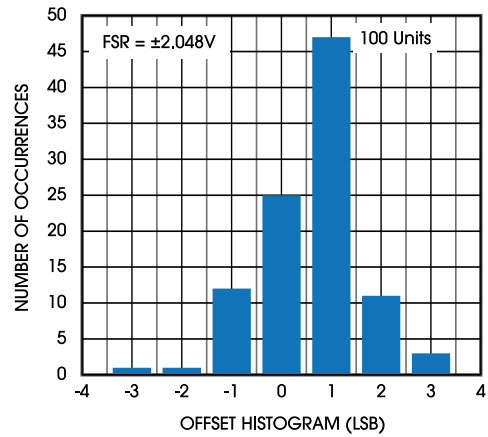


Figure 14. Offset Histogram

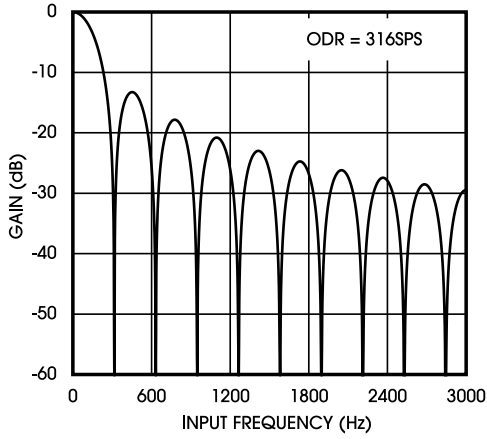


Figure 15. Digital Filter Frequency Response

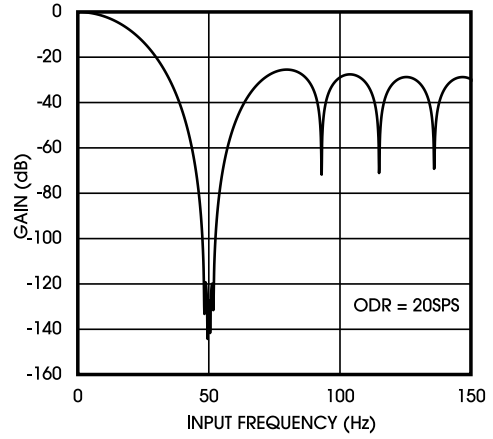


Figure 16. Digital Filter 50Hz Rejection Frequency Response

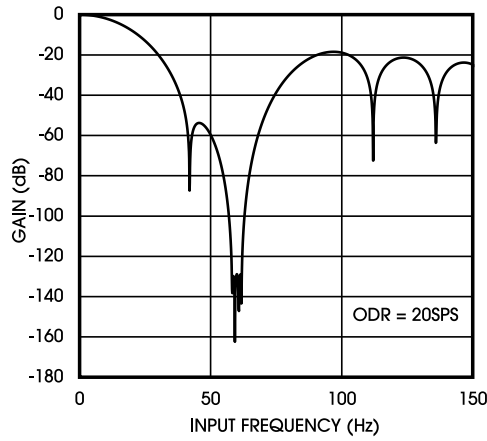


Figure 17. Digital Filter 60Hz Rejection Frequency Response

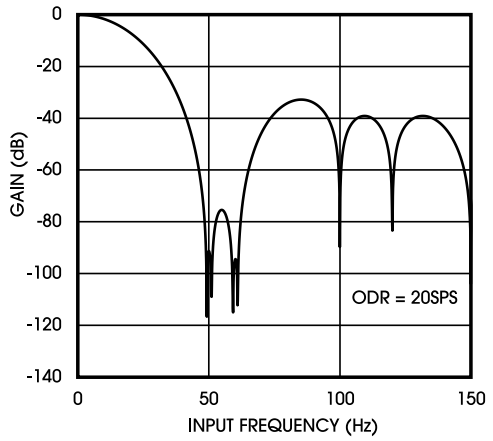


Figure 18. Digital Filter 50 & 60Hz Rejection Frequency Response

7. 参数测量信息

7.1 噪声性能

Delta-sigma ($\Delta\Sigma$)模数转换器(ADC)基于过采样原理。 $\Delta\Sigma$ ADC 的输入信号以高频(调制器频率)采样,随后在数字域中进行滤波和抽取,以产生相应输出数据速率的转换结果。调制器频率与输出数据速率之间的比率称为过采样率(OSR)。通过增加 OSR,从而降低输出数据速率,可以优化 ADC 的噪声性能。换句话说,当降低输出数据速率时,输入参考噪声会下降,因为内部调制器的更多样本被平均以产生一个转换结果。增加增益还可以降低以输入为参考的噪声,这在测量低电平信号时特别有用。

Table 11 和 Table 12 总结了器件噪声性能。数据代表 $T_A = 25^\circ\text{C}$ 且输入在外部短接在一起时的典型噪声性能。Table 11 显示了所示条件下以 μV_{RMS} 为单位的输入参考噪声。请注意, μV_{PP} 值显示在括号中。Table 12 显示了使用 Equation 1 从 μV_{RMS} 值计算的有效位数(ENOB)中的相应数据。使用 Equation 2 从峰峰值噪声值计算的无噪声位显示在括号中。

$$\text{ENOB} = \ln(\text{FSR} / V_{\text{RMS-Noise}}) / \ln(2) \quad (1)$$

$$\text{Noise-Free Bits} = \ln(\text{FSR} / V_{\text{PP-Noise}}) / \ln(2) \quad (2)$$

Table 11. Noise in μV_{RMS} and μV_{PP} at VDD = 3.3V

DATA RATE (SPS)	FSR (Full-Scale Range)											
	$\pm 6.144\text{V}$		$\pm 4.096\text{V}$		$\pm 2.048\text{V}$		$\pm 1.024\text{V}$		$\pm 0.512\text{V}$		$\pm 0.256\text{V}$	
	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}	μV_{RMS}	μV_{PP}
10	50.5	267.2	37.0	196.9	18.7	99.2	9.3	34.4	3.3	19.6	2.2	11.7
20	79.0	363.3	47.3	242.2	27.9	121.1	12.4	55.9	6.0	30.3	3.0	15.1
40	75.6	363.3	47.7	241.4	24.8	121.1	11.7	60.2	5.7	30.1	3.1	14.9
158	71.0	274.2	60.5	232.0	26.6	99.6	12.1	46.7	6.9	26.5	3.7	20.1
316	81.4	349.2	53.7	235.9	24.5	125.4	13.2	56.3	6.3	29.3	5.1	29.0
581	97.9	540.2	62.6	346.9	31.9	174.2	16.0	86.5	8.3	44.5	6.7	37.4
1761	166.5	894.1	107.8	602.3	56.2	310.5	27.1	143.6	13.7	73.4	13.4	73.8
3571	360.2	2007.4	231.9	1259.4	122.0	636.3	59.5	300.4	30.4	163.2	29.6	162.2

Table 12. ENOB from RMS Noise and Noise-Free Bits from Peak-to-Peak Noise at VDD = 3.3V

DATA RATE (SPS)	FSR (Full-Scale Range)											
	$\pm 6.144\text{V}$		$\pm 4.096\text{V}$		$\pm 2.048\text{V}$		$\pm 1.024\text{V}$		$\pm 0.512\text{V}$		$\pm 0.256\text{V}$	
	ENOB	NNOB	ENOB	NNOB	ENOB	NNOB	ENOB	NNOB	ENOB	NNOB	ENOB	NNOB
10	17.9	15.5	17.8	15.3	17.7	15.3	17.7	15.9	18.2	15.7	17.8	15.4
20	17.2	15.0	17.4	15.0	17.2	15.0	17.3	15.2	17.4	15.0	17.4	15.0
40	17.3	15.0	17.4	15.1	17.3	15.0	17.4	15.1	17.5	15.1	17.3	15.1
158	17.4	15.5	17.0	15.1	17.2	15.3	17.4	15.4	17.2	15.2	17.1	14.6
316	17.2	15.1	17.2	15.1	17.3	15.0	17.2	15.2	17.3	15.1	16.6	14.1
581	16.9	14.5	17.0	14.5	17.0	14.5	17.0	14.5	16.9	14.5	16.2	13.7
1761	16.2	13.7	16.2	13.7	16.2	13.7	16.2	13.8	16.2	13.8	15.2	12.8
3571	15.1	12.6	15.1	12.7	15.0	12.7	15.1	12.7	15.0	12.6	14.1	11.6

8. 详细说明

8.1 概述

ADX122(Q)是一款非常小的低功耗 20 位 Δ - Σ ($\Delta\Sigma$)模数转换器(ADC)。ADX122(Q)由增益可调的 $\Delta\Sigma$ ADC 内核、内部电压基准、时钟振荡器和 SPI 组成。该器件也集成了高度线性和精确的温度传感器。所有这些功能都旨在减少所需的外部电路并提高性能。**FUNCTIONAL BLOCK DIAGRAM** 显示了 ADX122(Q)功能框图。

ADX122(Q) ADC 内核测量差分信号 V_{IN} ，它是 $V_{(AINP)}$ 和 $V_{(AINN)}$ 之差。转换器核心由一个差分开关电容 $\Delta\Sigma$ 调制器和一个数字滤波器组成。这种架构具有非常强的抑制共模干扰的能力。输入信号与内部参考电压进行比较。数字滤波器从调制器接收高速比特流并输出与输入电压成比例的代码。

ADX122(Q)有两种可用的转换模式:单次模式和连续转换模式。在单次模式下,ADC 根据请求对输入信号执行一次转换,并将值存储到内部转换寄存器中。然后器件进入断电状态。该模式旨在为仅需要定期转换或转换之间有较长空闲时间的系统提供显著的节能效果。在连续转换模式下,ADC 在前一次转换完成后立即自动开始转换输入信号。连续转换的速率等于编程的数据速率。数据可以随时读取并始终反映最近完成的转换。

8.2 功能模块框图

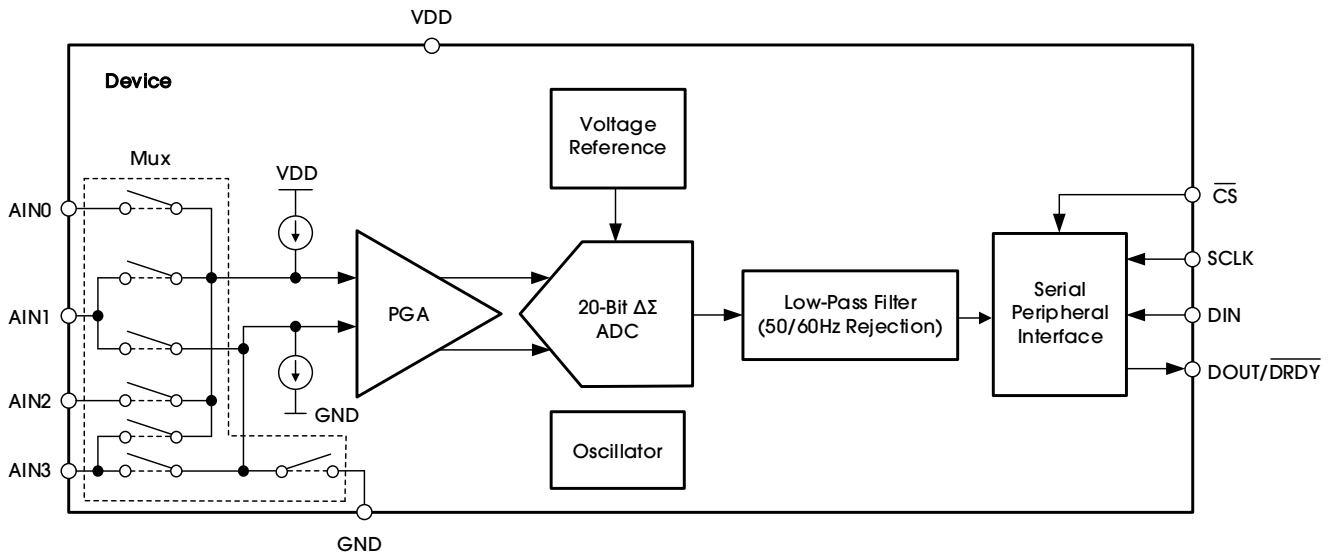


Figure 19. Functional Block Diagram

8.3 特性描述

8.3.1 多路复用器

ADX122(Q)包含一个输入多路复用器(mux)，如 Figure 20 所示。可以测量四个单端或两个差分信号。此外，AIN0、AIN1 和 AIN2 可以与 AIN3 进行差分测量。多路复用器由 CONFIG REGISTER 中的位 MUX(2:0)配置。测量单端信号时，ADC 的负输入通过多路复用器内的开关在内部连接到 GND。

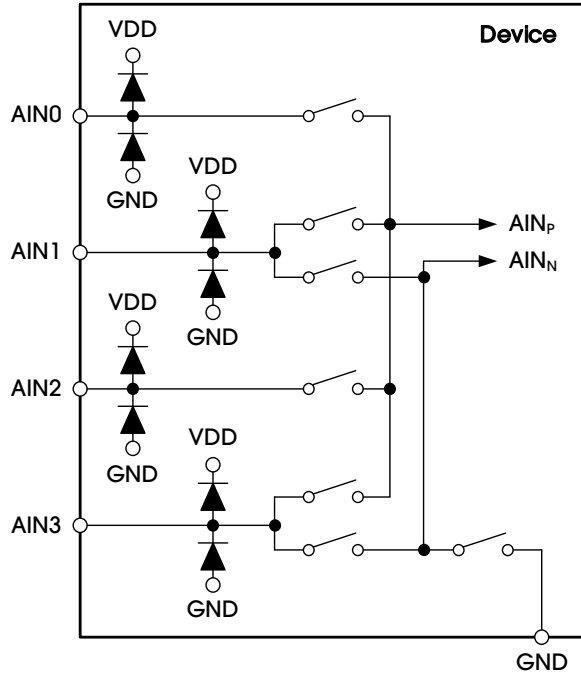


Figure 20. Input Multiplexer

测量单端输入时，设备不输出负码。这些负码表示负差分信号；也就是说， $(V_{(AINP)} - V_{(AINN)}) < 0$ 。连接到 VDD 和 GND 的静电放电(ESD)二极管保护 ADX122(Q)输入。为防止 ESD 二极管导通，请将任何输入的绝对电压保持在 Equation 3 给出的范围内：

$$GND - 0.3V < V_{(AINx)} < VDD + 0.3V \tag{3}$$

如果输入引脚上的电压可能违反这些条件，请使用外部肖特基二极管和串联电阻器将输入电流限制在安全值范围内(参见 Table 4)。

此外，过度驱动 ADX122(Q)上一个未使用的输入可能会影响当前在其他输入引脚上进行的转换。如果可能会过度驱动未使用的输入，请使用外部肖特基二极管对信号进行钳位。

8.3.2 模拟输入

ADX122(Q)使用开关电容器输入级，其中电容器连续充电然后放电以测量 A_{INP} 和 A_{INN} 之间的电压。输入信号的采样频率称为采样频率或调制器频率($f_{(MOD)}$)。ADX122(Q)有一个 1MHz 的内部振荡器，该振荡器进一步除以 4 以产生 250kHz 的调制器频率。此输入级中使用的电容器很小，对于外部电路而言，平均负载呈电阻性。这种结构如 Figure 21 所示。电阻由电容器值和它们的切换速率设置。Figure 22 显示了 Figure 21 中所示开关的设置。在采样阶段，开关 S_1 闭合。该事件对 C_{A1} 充电至 $V_{(A_{INP})}$ ， C_{A2} 充电至 $V_{(A_{INN})}$ ， C_B 充电至 $(V_{(A_{INP})} - V_{(A_{INN})})$ 。在放电阶段， S_1 首先打开，然后 S_2 关闭。然后 C_{A1} 和 C_{A2} 放电至大约 0.7V， C_B 放电至 0V。这种充电从驱动 ADX122(Q)模拟输入的源吸取非常小的瞬态电流。该电流的平均值可用于计算有效阻抗(Z_{eff})，其中 $Z_{eff} = V_{IN} / I_{AVERAGE}$ 。

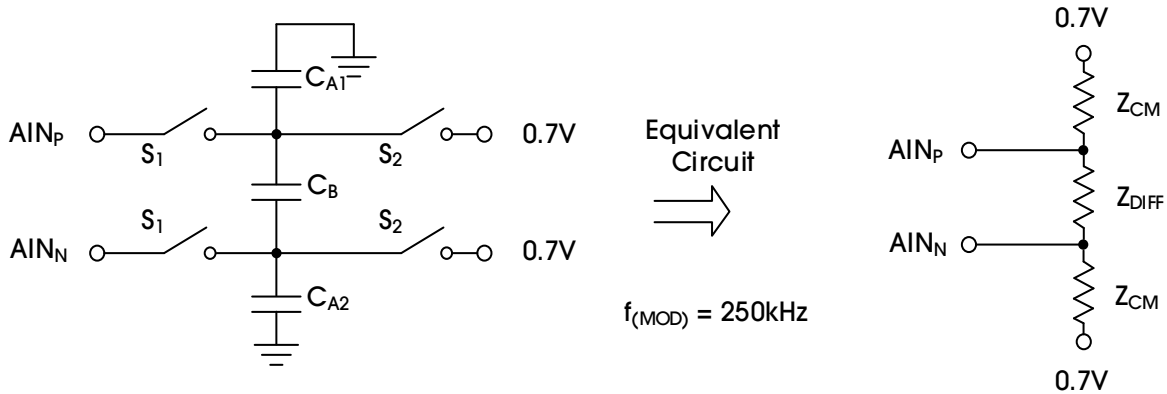


Figure 21. Simplified Analog Input Circuit

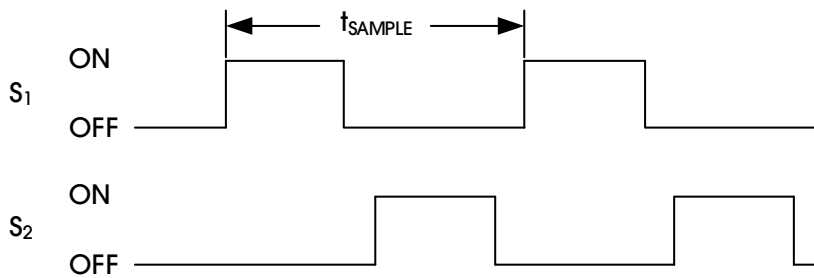


Figure 22. S_1 and S_2 Switch Timing

共模输入阻抗是通过将共模信号施加到短路的 A_{INP} 和 A_{INN} 输入并测量每个引脚消耗的平均电流来测量的。共模输入阻抗根据满量程范围而变化，但默认满量程范围约为 $6M\Omega$ 。在 Figure 21 中，共模输入阻抗为 Z_{CM} 。

差分输入阻抗是通过向 A_{INP} 和 A_{INN} 输入施加差分信号来测量的，其中一个输入保持在 0.7V。流过连接到 0.7V 的引脚的电流是差分电流，并与满量程范围成比例。在 Figure 21 中，差分输入阻抗为 Z_{DIFF} 。

务必考虑输入阻抗的典型值。除非输入源具有低阻抗，否则 ADX122(Q)输入阻抗可能会影响测量精度。对于具有高输出阻抗的源，可能需要缓冲，然而有源缓冲器会引入噪声，还会引入偏移和增益误差。在高精度应用中系统及设计中请考虑所有这些因素。

时钟振荡器频率随温度轻微漂移；因此，输入阻抗也会漂移。对于大多数应用，这种输入阻抗漂移可以忽略不计。

8.3.3 满量程(FSR)和 LSB 大小

可编程增益放大器(PGA)在 ADX122(Q) $\Delta\Sigma$ 内核之前实现。满量程范围由 CONFIG REGISTER 中的三个位(PGA(2:0))配置，可以设置为 $\pm 6.144V$ 、 $\pm 4.096V$ 、 $\pm 2.048V$ 、 $\pm 1.024V$ 、 $\pm 0.512V$ 和 $\pm 0.256V$ 。Table 13 显示了 FSR 以及相应的 LSB 大小。LSB 大小是通过 Equation 4 中所示的公式从满量程电压计算得出的。但是，模拟输入电压绝不能超过 ELECTRICAL CHARACTERISTICS 中给出的模拟输入电压限制。如果使用大于 4V 的 VDD 电源电压，则 $\pm 6.144V$ 满量程范围允许输入电压扩展至电源电压。请注意，在这种情况下，或者只要电源电压低于满量程范围(例如，VDD = 3.3V 且满量程范围 = $\pm 4.096V$)，就无法获得满量程 ADC 输出代码。这种无能意味着失去了一些动态范围。

$$LSB = FSR / 2^{20} \tag{4}$$

Table 13. Full-Scale Range and Corresponding LSB Size

FSR	LSB SIZE
$\pm 6.144V^{(1)}$	11.71875 μV
$\pm 4.096V^{(1)}$	7.8125 μV
$\pm 2.048V$	3.90625 μV
$\pm 1.024V$	1.953125 μV
$\pm 0.512V$	0.9765625 μV
$\pm 0.256V$	0.48828125 μV

注：此参数表示 ADC 缩放的满刻度范围。不得向该器件施加超过 VDD + 0.3V 的电压。

8.3.4 参考电压

ADX122(Q)具有集成电压基准。该设备不能使用外部参考。与初始电压参考精度和参考温度漂移相关的误差包含在 ELECTRICAL CHARACTERISTICS 的增益误差和增益漂移规范中。

8.3.5 振荡器

ADX122(Q)有一个运行频率为 1MHz 的集成振荡器。操作设备不需要外部时钟。请注意，内部振荡器会随温度和时间漂移。输出数据速率将与振荡器频率成比例。

8.3.6 传感器检测电流

ADX122(Q)包含两个恒流发生器，可编程为 0.5 μA 、2 μA 或 10 μA 。一个发生器从 AVDD 向 AINP 提供电流，一个从 AINM 向 AVSS 吸收电流。这些电流可实现开路检测。电流切换到选定的模拟输入对。两个电流都打开或关闭。CONFIG_EXTRA 寄存器中的 SDCS(1:0)位启用/禁用断线检测电流以及设置振幅。在尝试对该通道进行测量之前，使用这些电流来验证外部传感器是否仍在运行。传感器检测电流打开后，它们流入外部传感器电路，可以测量模拟输入通道上的输入电压。如果测得的结果电压接近满量程，用户必须验证为什么会出现这种情况。接近满量程的读数可能意味着前端传感器开路。这也可能意味着前端传感器过载并且输出满量程是合理的，从而将数据钳制为全 1。当转换接近满量程时，用户必须在做出判断之前检查这些情况。如果测得的电压为 0V，则可能是变送器短路了。对于正常操作，这些断线检测电流通过将 SDCS(1:0)位设置为零来关闭。当前源仅在转换正在处理时才起作用。没有选择的通道上不会出现电流源。

8.3.7 内部短路

ADX122(Q)具有用于测试目的的内部短路。可以使用 CONFIG_EXTRA 寄存器中的 IN_SHORT 位配置内部短路。将 IN_SHORT 位设置为 0 以进行正常操作。内部短路由 MUX 执行。在这种模式下, AINP 和 AINN 在 PGA 之前短接; AINO-AIN3 不受影响, 它们都像正常操作一样是高阻抗。对于噪声测试, 建议使用内部短路, 以便排除除来自 ADX122(Q)器件的噪声之外的所有噪声。因此, 测量 ADX122(Q)的噪声性能变得更加容易。

此外, 内部短路可用于诊断。为了确保 ADX122(Q)正常工作, 设置 IN_SHORT 位, 进行测量, 转换数据接近于零。

用户还可以使用此功能来校准偏移和偏移漂移。每当环境温度发生变化时, 设置内部短路, 测量即为偏移值, 并在下面的转换中计算出偏移量。

8.3.8 数字滤波器

ADX122(Q)提供灵活的数字滤波器, 提供可编程输出数据速率。使用 CONFIG REGISTER 中的 DR(2:0)位选择 10SPS、20SPS、40SPS、158SPS、316SPS、581SPS、1761SPS 或 3571SPS 的输出数据速率。

此外, ADX122(Q)提供数字滤波器以抑制 50Hz 正常频率和 60Hz 正常频率。选择一个抑制滤波器或同时启用 50Hz 和 60Hz。如果启用了正常频率抑制滤波器, 则输出数据速率应设置为 20SPS, 任何其他输出数据速率均无效。

ADX122(Q)中的转换在单个周期内稳定下来; 因此, 转换时间等于 $1 / DR$ 。

8.4 器件功能模式

8.4.1 复位和上电

当 ADX122(Q)上电时, 执行复位。作为复位过程的一部分, ADX122(Q)将其在 CONFIG REGISTER 中的所有位设置为各自的默认设置。默认情况下, ADX122(Q)在启动时进入关断状态。设备接口和数字块处于工作状态, 但不执行任何数据转换。ADX122(Q)的初始关断状态旨在减轻对电源要求严格的系统在上电期间遇到浪涌的情况。从上电到准备就绪需要 500 μ s。

8.4.2 操作模式

ADX122(Q)以两种模式之一运行: 连续转换或单次。CONFIG REGISTER 中的模式位选择相应的操作模式。

8.4.2.1 单次模式和关断

当 CONFIG REGISTER 中的 MODE 位设置为 1 时, ADX122(Q)进入关断状态, 并在单次模式下工作。这种关断状态是 ADX122(Q)首次上电时的默认状态。尽管处于关断状态, 设备仍然响应命令。ADX122(Q)保持此关断状态, 直到将 1 写入 CONFIG REGISTER 中的单次(SS)位。当 SS 位有效时, ADC 启动, 将 SS 位重置为 0, 并开始单次转换。当转换数据准备好检索时, 设备再次关断。在转换过程中向 SS 位写入 1 无效。要切换到连续转换模式, 请将 0 写入 CONFIG REGISTER 中的模式位。

8.4.2.2 连续转换模式

在连续转换模式(MODE 位设置为 0)下, ADX122(Q)连续执行转换。转换完成后, ADX122(Q)将结果放入 CONVERSION REGISTER 并立即开始另一次转换。要切换到单次模式, 请将 1 写入 CONFIG REGISTER 中的 MODE 位, 或复位器件。

8.5 编程

8.5.1 串行接口

SPI 兼容串行接口由四个信号($\overline{\text{CS}}$ 、SCLK、DIN 和 $\overline{\text{DOUT/DRDY}}$)或三个信号(在这种情况下为 $\overline{\text{CS}}$ 可能被绑低)。该接口用于读取转换数据、读写寄存器和控制设备操作。

8.5.2 片选($\overline{\text{CS}}$)

片选引脚($\overline{\text{CS}}$)选择 ADX122(Q)进行 SPI 通信。当多个设备共享同一串行总线时，此功能很有用。在串行通信期间保持 $\overline{\text{CS}}$ 为低电平。当 $\overline{\text{CS}}$ 被拉高时，串行接口复位，SCLK 被忽略， $\overline{\text{DOUT/DRDY}}$ 进入高阻态。在此状态下， $\overline{\text{DOUT/DRDY}}$ 无法提供数据就绪指示。在存在多个设备并且必须监视 $\overline{\text{DOUT/DRDY}}$ 的情况下，定期降低 $\overline{\text{CS}}$ 。此时， $\overline{\text{DOUT/DRDY}}$ 引脚要么立即变高以指示没有新数据可用，要么立即变低以指示新数据存在于 **CONVERSION REGISTER** 中并可用于传输。可以随时传输新数据，无需担心数据损坏。当传输开始时，当前结果被锁定在输出移位寄存器中并且在通信完成之前不会改变。该系统避免了任何数据损坏的可能性。

8.5.3 串行时钟(SCLK)

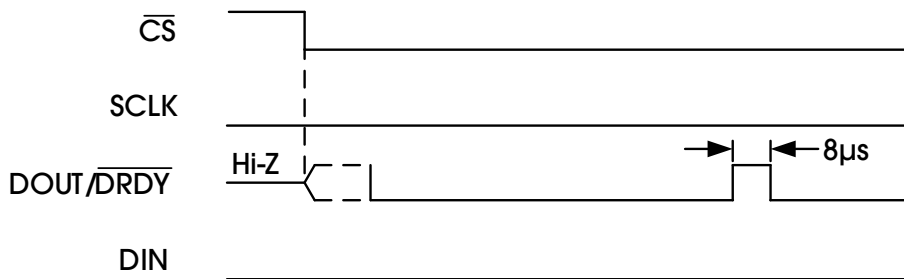
串行时钟(SCLK)具有施密特触发输入，用于将 DIN 和 $\overline{\text{DOUT/DRDY}}$ 引脚上的数据输入和输出 ADX122(Q)。即使输入有迟滞，也建议尽可能保持 SCLK 干净，以防止毛刺意外移动数据。如果 SCLK 保持低电平 28ms，串行接口复位，下一个 SCLK 脉冲开始一个新的通信周期。该超时功能可用于在串行接口传输中断时恢复通信。当串行接口空闲时，保持 SCLK 为低电平。

8.5.4 数据输入(DIN)

数据输入引脚(DIN)与 SCLK 一起用于向 ADX122(Q)发送数据。该器件在 SCLK 下降沿锁存 DIN 上的数据。ADX122(Q)从不驱动 DIN 引脚。

8.5.5 数据输出和数据就绪($\overline{\text{DOUT/DRDY}}$)

数据输出和数据就绪引脚($\overline{\text{DOUT/DRDY}}$)与 SCLK 一起用于从 ADX122(Q)读取转换和寄存器数据。 $\overline{\text{DOUT/DRDY}}$ 上的数据在 SCLK 上升沿移出。 $\overline{\text{DOUT/DRDY}}$ 也用于指示转换完成并且有新数据可用。当新数据准备好检索时，此引脚变为低电平。 $\overline{\text{DOUT/DRDY}}$ 也能够触发微控制器开始从 ADX122(Q)读取数据。在连续转换模式下，如果没有从设备中检索到数据， $\overline{\text{DOUT/DRDY}}$ 在下一个数据就绪信号($\overline{\text{DOUT/DRDY}}$ 低电平)之前 8 μs 再次变为高电平。此转换如 **Figure 23** 所示。在 $\overline{\text{DOUT/DRDY}}$ 返回高电平之前完成数据传输。



Note: $\overline{\text{CS}}$ may be held low. If $\overline{\text{CS}}$ is low, $\overline{\text{DOUT/DRDY}}$ asserts low indicating new data are available.

Figure 23. $\overline{\text{DOUT/DRDY}}$ Behavior without Data Retrieval in Continuous Conversion Mode

当 $\overline{\text{CS}}$ 为高电平时， $\overline{\text{DOUT/DRDY}}$ 默认配置弱内部上拉电阻。此功能降低了 $\overline{\text{DOUT/DRDY}}$ 在电源中间附近浮动并导致主设备漏电流的风险。要禁用此上拉电阻并将设备置于高阻抗状态，请将 **CONFIG REGISTER** 中的 PULL_UP_EN 位设置为 0。

8.5.6 数据格式

ADX122(Q)提供二进制补码格式的 20 位数据。正满量程输入产生 7FFFh 的输出代码，负满量程输入产生 8000h 的输出代码。对于超过满量程的信号，输出会在这些代码处削波。Table 14 总结了不同输入信号的理想输出代码。

Table 14. Input Signal versus Ideal Output Code

INPUT SIGNAL, V_{IN} ($A_{INP} - A_{IN_N}$)	IDEAL OUTPUT CODE (EXCLUDES THE EFFECTS OF NOISE, INL, OFFSET, AND GAIN ERRORS)
$\geq +FS (2^{19} - 1) / 2^{19}$	7FFFFh
$+FS / 2^{19}$	00001h
0	0
$-FS / 2^{19}$	FFFFFh
$\leq -FS$	8000h

Figure 24 shows code transitions versus input voltage.

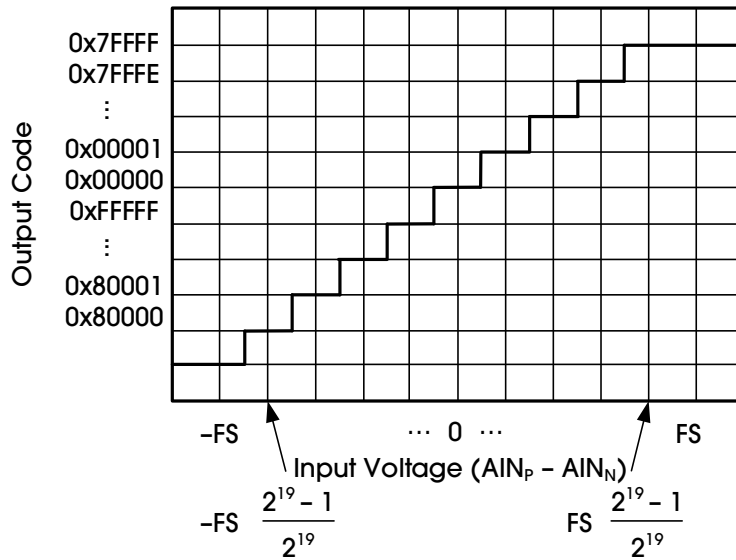


Figure 24. ADX122(Q) Code Transition Diagram

8.5.7 数据检索

对于单次和连续转换模式，ADX122(Q)的数据写入和读取方式相同，无需发出任何命令。ADX122(Q)的工作模式由 CONFIG REGISTER 中的 MODE 位选择。

将 MODE 位设置为 0 可将器件置于连续转换模式。在连续转换模式下，即使 \overline{CS} 很高，设备也会不断地开始新的转换。对于单次模式，将 MODE 位设置为 1。在单次模式下，新的转换仅通过向 SS 位写入 1 来开始。

转换数据总是被缓冲，并保留当前数据直到被新的转换数据替换。因此，可以随时读取数据而不必担心数据损坏。当 $\overline{DOUT}/\overline{DRDY}$ 断言为低电平时，表明新的转换数据已准备就绪，通过在 $\overline{DOUT}/\overline{DRDY}$ 上移出数据来读取转换数据。 $\overline{DOUT}/\overline{DRDY}$ 上数据的 MSB(第 15 位)在第一个 SCLK 上升沿同步输出。在转换结果从 $\overline{DOUT}/\overline{DRDY}$ 输出的同时，新的配置寄存器数据在 SCLK 下降沿锁存到 DIN 上。

ADX122(Q)还提供了在同一数据传输周期内直接回读配置寄存器设置的可能性。一个完整的数据传输周期由 80 位(当使用配置寄存器数据回读时)或 20 位(仅当 \overline{CS} 线可控且未永久保持低电平时使用)组成。

8.5.7.1 80 位数据传输周期

一个 80 位数据传输周期中的数据由四个字节组成：两个字节用于转换结果，另外两个字节用于 **CONFIG REGISTER** 回读。设备始终先读取 **MSB**。

如 **Figure 25** 所示，在一个传输周期内两次写入相同的 **Config** 寄存器设置。如果方便，可在传输周期的前半部分写入一次 **Config** 寄存器设置，然后将 **DIN** 引脚保持为低电平(如 **Figure 26** 所示)或在周期的后半段处于高位。如果不需要更新 **Config** 寄存器，则在整个传输周期内将 **DIN** 引脚保持为低电平或高电平。在 80 位传输周期的前两个字节中写入的配置寄存器设置在同一周期的最后两个字节中被读回。

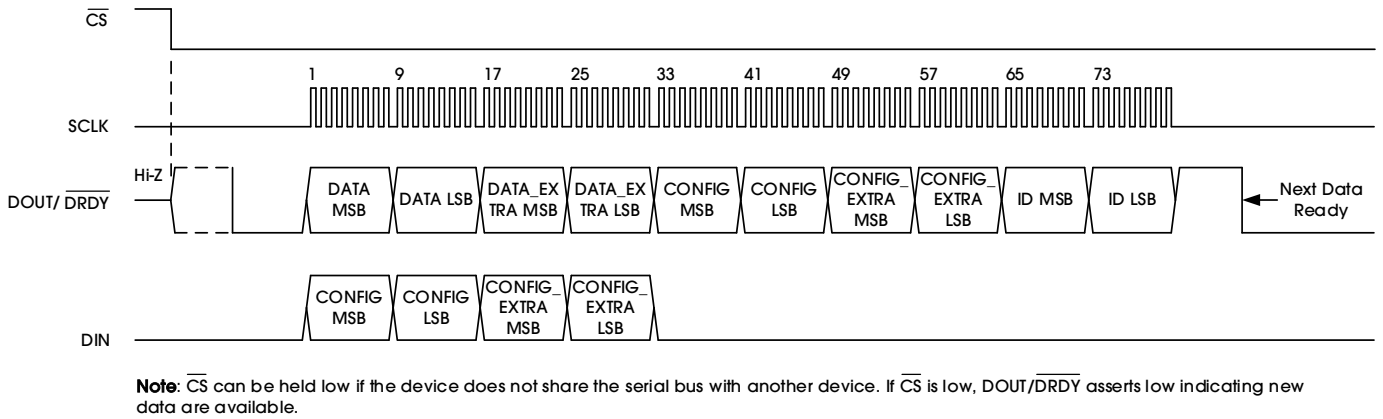


Figure 25. 80-Bit Data Transmission Cycle with Config Register Readback

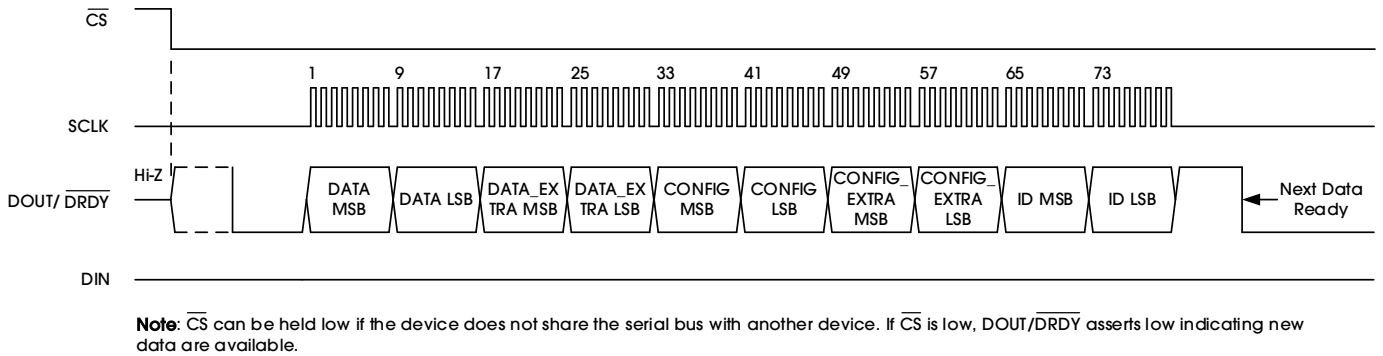


Figure 26. 80-Bit Data Transmission Cycle: DIN Held Low

8.5.7.2 20 位数据传输周期

如果不需要回读配置 **CONFIG REGISTER**，**ADX122(Q)** 转换数据也可以在短短的 20 位数据传输周期内同步输出，如 **Figure 27** 所示。因此， \overline{CS} 必须在第 20 个 **SCLK** 周期后拉高。将 \overline{CS} 设置为高电平可重置 **SPI** 接口。下一次 \overline{CS} 变低时，数据传输在第一个 **SCLK** 上升沿以当前缓冲的转换结果开始。如果 $DOUT/\overline{DRDY}$ 在数据检索开始时为低电平，则转换缓冲区已更新为新结果。否则，如果 $DOUT/\overline{DRDY}$ 为高电平，则读取前一个数据传输周期的相同结果。

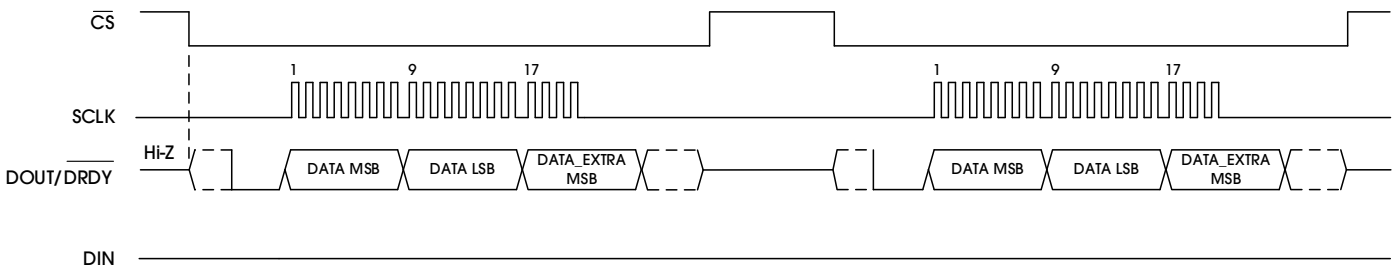


Figure 27. 20-Bit Data Transmission Cycle

9. REGISTER MAPS

The ADX122(Q) has 5 registers that are accessible through the SPI interface.

Table 15. Register Map

ADDRESS	REGISTER	DEFAULT VALUE	READ/WRITE	BIT15	BIT14	BIT13	BIT12	BIT11	BIT10	BIT9	BIT8
				BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
0x00	RESULT	0000h	Read only	D19	D18	D17	D16	D15	D14	D13	D12
				D11	D10	D9	D8	D7	D6	D5	D4
0x01	RESULT_EXTRA	0000h	Read only	D3	D2	D1	D0	RSV	RSV	RSV	RSV
				RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
0x02	CONFIG	854Ah	Read/Write	SS	MUX2	MUX1	MUX0	PGA2	PGA1	PGA0	MODE
				CR2	CR1	CR0	RSV	PULL_UP_EN	NOPI	NOPO	RSV
0x03	CONFIG_EXTRA	0080h	Read/Write	FILT50	FILT60	RSV	RSV	RSV	RSV	RSV	RSV
				RSV	RSV	SDCS1	SDCS0	IN_SHORT	RSV	RSV	RSV
0x04	DEVICE_ID	2000h	Read only	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
				RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV

9.1.1 CONVERSION REGISTER AND CONVERSION_EXTRA REGISTER [RESET = 0000H]

The 20-bit conversion data of the last conversion in binary two's complement format is stored in two registers: CONVERSION register and CONVERSION_EXTRA register. Following power-up, the CONVERSION register is cleared to 0, and remains 0 until the first conversion is completed.

Table 16. CONVERSION Register

15	14	13	12	11	10	9	8
D19	D18	D17	D16	D15	D14	D13	D12
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
D11	D10	D9	D8	D7	D6	D5	D4
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 17. CONVERSION Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15:0	D(15:0)	R	0000h	20-bit conversion result D(19:4)

Table 18. CONVERSION_EXTRA Register

15	14	13	12	11	10	9	8
D3	D2	D1	D0	RSV	RSV	RSV	RSV
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 19. CONVERSION_EXTRA Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15:12	D(3:0)	R	0h	20-bit conversion result D(3:0)
11:0	RSV(11:0)	R	000h	Reserved bit

9.1.2 CONFIG REGISTER [RESET = 854AH]

The 16-bit CONFIG register is used to control the operating mode, input selection, data rate, full-scale range, and DOUT pin pull-up.

Table 20. CONFIG Register

15	14	13	12	11	10	9	8
SS	MUX2	MUX1	MUX0	PGA2	PGA1	PGA0	MODE
R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-1h
7	6	5	4	3	2	1	0
DR2	DR1	DR0	RSV	PULL_UP_EN	NOP1	NOP0	RSV
R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-1h	R/W-1h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 21. CONFIG Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15	SS	R/W	1h	Operational status or single-shot conversion start This bit determines the operational status of the device. SS can only be written when in power-down state and has no effect when a conversion is ongoing. When writing: 0: No effect 1: Start a single conversion (when in power-down state) When reading: 0: Device is currently performing a conversion. 1: Device is not currently performing a conversion.
14:12	MUX(2:0)	R/W	0h	Input multiplexer configuration These bits configure the input multiplexer. 000: AIN _P = AIN ₀ and AIN _N = AIN ₁ (default) 001: AIN _P = AIN ₀ and AIN _N = AIN ₃ 010: AIN _P = AIN ₁ and AIN _N = AIN ₃ 011: AIN _P = AIN ₂ and AIN _N = AIN ₃ 100: AIN _P = AIN ₀ and AIN _N = GND 101: AIN _P = AIN ₁ and AIN _N = GND 110: AIN _P = AIN ₂ and AIN _N = GND 111: AIN _P = AIN ₃ and AIN _N = GND
11:9	PGA(2:0)	R/W	2h	Programmable gain amplifier configuration These bits set the FSR of the programmable gain amplifier. 000: FSR = ±6.144V ⁽¹⁾ 001: FSR = ±4.096V ⁽¹⁾ 010: FSR = ±2.048V (default) 011: FSR = ±1.024V 100: FSR = ±0.512V 101: FSR = ±0.256V 110: FSR = ±0.256V 111: FSR = ±0.256V Note: This parameter expresses the full-scale range of the ADC scaling. Do not apply more than VDD + 0.3V to the analog inputs of the device.
8	MODE	R/W	1h	Device operating mode This bit controls the operating mode. 0: Continuous-conversion mode 1: Single-shot mode or power-down state (default)

BIT	FIELD	TYPE	RESET	DESCRIPTION
7:5	DR(2:0)	R/W	4h	Data rate These bits control the data rate setting. 000: 10SPS 001: 20SPS 010: 40SPS 011: 158SPS 100: 316SPS (default) 101: 581SPS 110: 1761SPS 111: 3571SPS
4	RSV	R/W	0h	Reserved bit
3	PULL_UP_EN	R/W	1h	Pullup enable This bit enables a weak internal pullup resistor on the DOUT/ $\overline{\text{DRDY}}$ pin only when $\overline{\text{CS}}$ is high. When enabled, an internal 400k Ω resistor connects the bus line to supply. When disabled, the DOUT/ $\overline{\text{DRDY}}$ pin floats. 0 = Pullup resistor disabled on DOUT/ $\overline{\text{DRDY}}$ pin 1 = Pullup resistor enabled on DOUT/ $\overline{\text{DRDY}}$ pin (default)
2:1	NOP(1:0)	R/W	1h	No operation The NOP(1:0) bits control whether data are written to the Config register or not. For data to be written to the Config register, the NOP(1:0) bits must be '01'. Any other value results in a NOP command. DIN can be held high or low during SCLK pulses without data being written to the Config register. 00 = Invalid data, do not update the contents of the Config register 01 = Valid data, update the Config register (default) 10 = Invalid data, do not update the contents of the Config register 11 = Invalid data, do not update the contents of the Config register
1	RSV	R/W	1h	Reserved bit

9.1.3 CONFIG_EXTRA REGISTER [RESET = 0080H]

The 16-bit CONFIG_EXTRA register is used to control the digital filter, sensor detect current, and Internal short.

Table 22. CONFIG_EXTRA Register

15	14	13	12	11	10	9	8
FILT50	FILT60	RSV	RSV	RSV	RSV	RSV	RSV
R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h
7	6	5	4	3	2	1	0
RSV	RSV	SDCS1	SDCS0	IN_SHORT	RSV	RSV	RSV
R/W -1h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h	R/W -0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 23. CONFIG_EXTRA Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15	FILT_50HZ	R/W	0h	50Hz Normal mode rejection 0: Disable 1: Enable
14	FILT_60HZ	R/W	0h	60Hz Normal mode rejection 0: Disable 1: Enable
13:6	RSV(7:0)	R/W	2h	Reserved bit, must write 0x02.
5:4	SDCS(1:0)	R/W	0h	Sensor detect current source 00: Sensor Detect OFF (default) 01: Sensor Detect Current = 0.5μA 10: Sensor Detect Current = 2μA 11: Sensor Detect Current = 10μA
3	IN_SHORT	R/W	0h	Short input mode control 0: Follow input MUX configuration register MUX(2:0) 1: AINP and AINN are shorted internally.
2:0	RSV(2:0)	R/W	0h	Reserved bit

9.1.4 DEVICE_ID REGISTER [RESET = 2000H]

The 16-bit DEVICE_ID register is used to recognize device and test communication.

Table 24. DEVICE_ID Register

15	14	13	12	11	10	9	8
ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-1h	R-0h
7	6	5	4	3	2	1	0
RSV	RSV	RSV	RSV	RSV	RSV	RSV	RSV
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 25. DEVICE_ID Register Field Descriptions

BIT	FIELD	TYPE	RESET	DESCRIPTION
15:8	D(15:8)	R	20h	Device_ID value
7:0	RSV(7:0)	R	00h	Reserved bit

10. 应用和实现

注

以下应用部分中的信息不是公司组件规范的一部分，公司不保证其准确性或完整性。公司的客户有责任确定组件是否适合他们的用途。客户应验证和测试他们的设计实施以确认系统功能。

10.1 应用信息

ADX122(Q)是一款精密的 2 位 $\Delta\Sigma$ ADC，提供许多集成功能，可简化最常见传感器类型的测量，包括各种类型的温度和桥式传感器。以下部分给出了在各种情况下使用 ADX122(Q)的示例电路和建议。

10.1.1 串行接口连接

ADX122(Q)的主要串行接口连接如 Figure 28 所示。

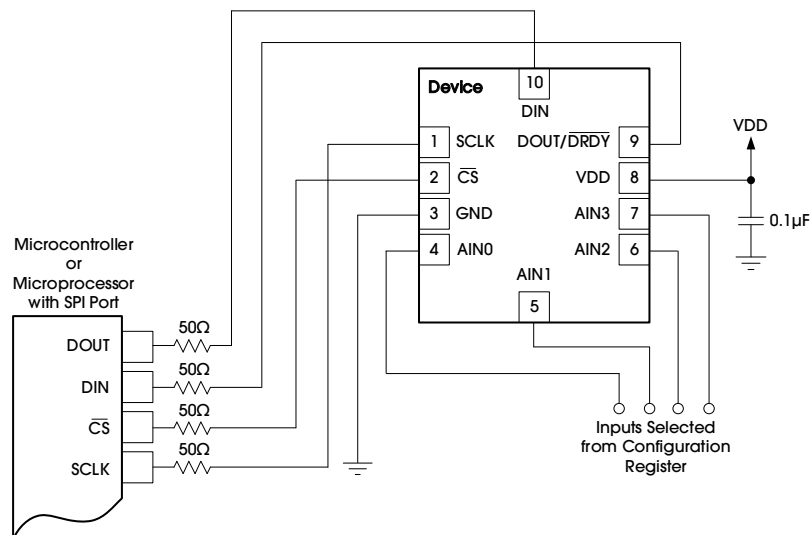


Figure 28. Typical Connections of the ADX122(Q)

大多数微控制器 SPI 外设都可以与 ADX122(Q)配合使用。该接口在 SPI 模式 1 下运行，其中 CPOL = 0 且 CPHA = 1。在 SPI 模式 1 下，SCLK 空闲为低电平，数据仅在 SCLK 上升沿启动或更改；数据由主机和从机在 SCLK 下降沿锁存或读取。有关 ADX122(Q)采用的 SPI 通信协议的详细信息，请参见 TIMING REQUIREMENTS: SERIAL INTERFACE 部分。

在每个数字引脚的串联路径中放置 50Ω 电阻器以提供一些短路保护是一个很好的做法。必须注意仍然满足所有 SPI 时序要求，因为这些额外的串联电阻器以及数字信号线上存在的总线寄生电容可能会压摆信号。

ADX122(Q)的全差分输入非常适合连接到具有适度低源阻抗的差分源(例如热电偶和热敏电阻)。尽管 ADX122(Q)可以读取全差分信号，但由于每个引脚上的 ESD 保护二极管，该器件无法在其任一输入端接受负电压。当输入超过电源电压或低于地电压时，这些二极管会导通以防止 ESD 对器件造成任何损坏。

10.1.2 用于通信的 GPIO 端口

大多数微控制器都具有可编程输入/输出(I/O)引脚，可以在软件中将其设置为输入或输出。如果 SPI 控制器不可用，可以将 ADX122(Q) 连接到 GPIO 引脚并模拟 SPI 总线协议。使用 GPIO 引脚生成 SPI 接口只需要将引脚配置为推或拉输入或输出。此外，如果 SCLK 线保持低电平超过 28ms，则通信超时。这种情况意味着 GPIO 端口必须能够提供脉冲之间不超过 28 毫秒的 SCLK 脉冲。

10.1.3 模拟输入滤波

模拟输入滤波有两个目的：首先，限制采样过程中混叠的影响；其次，减少外部噪声成为测量的一部分。

对于任何采样系统，如果没有适当的抗混叠过滤，就会出现混叠。当输入信号中的频率分量高于 ADC 采样频率(也称为奈奎斯特频率)的一半时，就会发生混叠。这些频率分量折回并出现在实际感兴趣的频带中，低于采样频率的一半。数字滤波器的滤波器响应以采样频率的倍数重复，也称为调制器频率(f_{MOD})，如 Figure 29 所示。高达滤波器响应重复频率的信号或噪声被衰减到一定数量的数字滤波器取决于滤波器架构。输入信号中存在于调制器频率或其倍数附近的任何频率分量都不会衰减并混叠回感兴趣的频带，除非被外部模拟滤波器衰减。

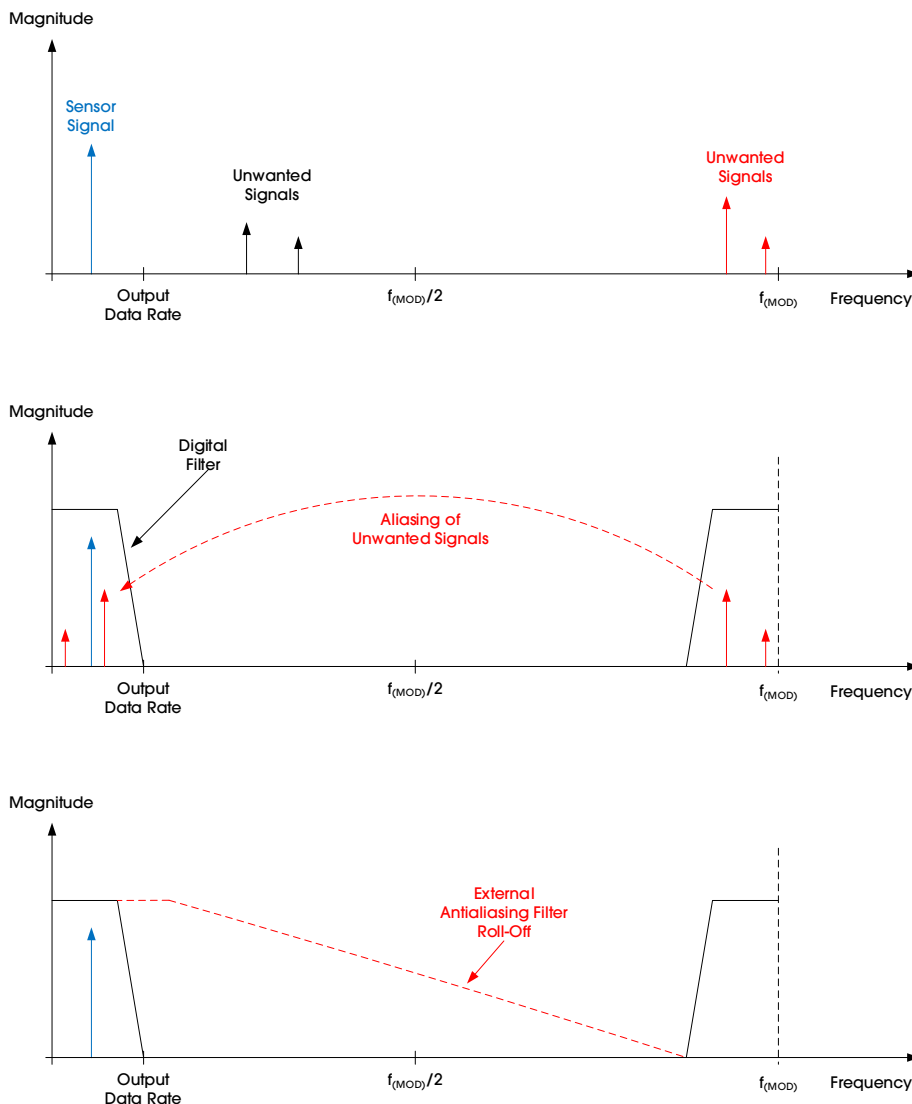


Figure 29. Effect of Aliasing

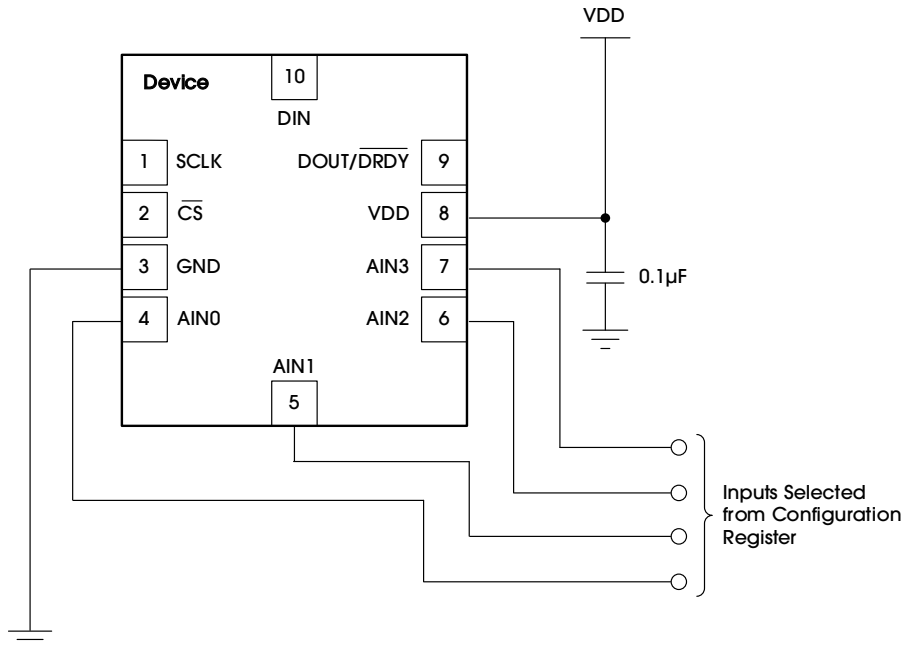
许多传感器信号本质上是带限的；例如，热电偶的输出变化率有限。在这种情况下，当使用 $\Delta\Sigma$ ADC 时，传感器信号不会混叠回通带。但是，沿传感器布线或应用电路拾取的任何噪声都可能混叠到通带中。电源线周期频率和谐波是一种常见的噪声源。电磁干扰(EMI)或射频干扰(RFI)源也可能产生外部噪声，例如附近的电机和手机。另一个噪声源通常以时钟和其他数字信号的形式存在于印刷电路板(PCB)本身。模拟输入滤波有助于消除影响测量结果的不需要的信号。

一阶电阻电容(RC)滤波器(在大多数情况下)足以完全消除混叠，或将混叠的影响降低到传感器本底噪声内的水平。理想情况下，任何超出 $f_{(MOD)} / 2$ 的信号都会衰减到低于 ADC 本底噪声的水平。ADX122(Q)的数字滤波器将信号衰减到一定程度。此外，噪声分量的幅度通常小于实际传感器信号。因此，使用截止频率设置为输出数据速率或 10 倍以上的一阶 RC 滤波器通常是系统设计的良好起点。

10.1.4 单端输入

虽然 ADX122(Q)有两个差分输入，但该器件可以测量四个单端信号。Figure 30 显示了单端连接方案。ADX122(Q)配置为单端测量，方法是配置 MUX 以相对于地测量每个通道。然后根据 CONFIG REGISTER 中的选择从一个输入中读出数据。单端信号的范围可以从 0V 到正电源或 +FS，以较低者为准。不能对该电路施加负电压，因为 ADX122(Q)只能接受相对于地的正电压。ADX122(Q)在输入范围内不会失去线性度。

ADX122(Q)提供 $\pm FS$ 的差分输入电压范围。然而，Figure 30 中所示的单端电路仅使用 ADX122(Q) FS 输入电压范围的正一半，因为不会产生差分负输入。因为只使用了 FS 范围的一半，所以会丢失一位分辨率。为获得最佳噪声性能，建议尽可能使用差分配置。差分配置最大限度地扩大了 ADC 的动态范围，并提供了对共模噪声的强大衰减。



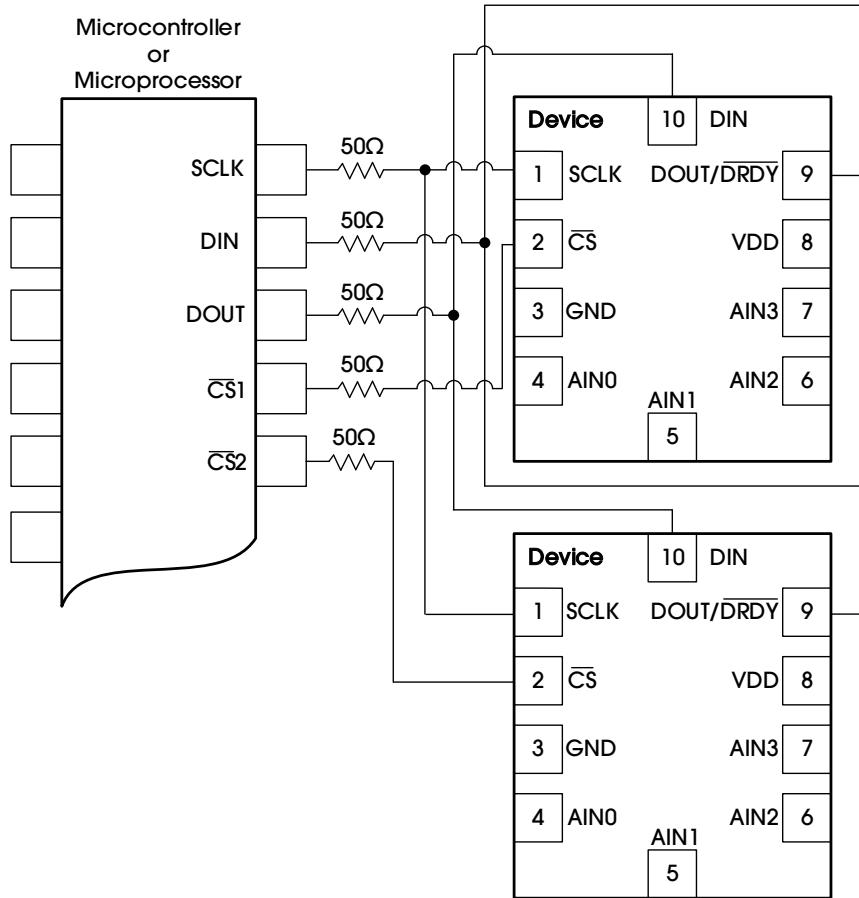
Note: Digital pin connections omitted for clarity.

Figure 30. Measuring Single-Ended Inputs

ADX122(Q)还设计为允许 AIN3 通过调整多路复用器配置作为测量的公共点。AIN0、AIN1 和 AIN2 都可以相对于 AIN3 进行测量。在此配置中，ADX122(Q)可以使用 AIN3 作为公共点的输入工作。这种能力提高了单端配置的可用范围，因为当 $GND < V_{(AIN3)} < VDD$ 时允许负差分电压；但是，不提供共模噪声衰减。

10.1.5 连接多个设备

当将多个 ADX122(Q) 设备连接到单个 SPI 总线时，SCLK、DIN 和 DOUT/DRDY 可以通过使用专用片选(CS)对于每个支持 SPI 的设备。默认情况下，当 ADX122(Q) 的 CS 变高时，DOUT/DRDY 被弱上拉电阻上拉至 VDD。此功能旨在防止 DOUT/DRDY 在中轨附近浮动并导致微控制器输入端漏电流过多。如果 CONFIG REGISTER 中的 PULL_UP_EN 位设置为 0，则当 CS 转换为高电平时，DOUT/DRDY 引脚进入三态模式。当 CS 为高电平时，ADX122(Q) 无法在 DOUT/DRDY 上发出数据就绪脉冲。在使用多个设备时，为了评估新转换何时从 ADX122(Q) 准备就绪，主机可以定期将 CS 放到 ADX122(Q)。当 CS 变为低电平时，DOUT/DRDY 引脚立即驱动为高电平或低电平。如果 DOUT/DRDY 线在低 CS 上变低，则当前有新数据可随时输出。如果 DOUT/DRDY 线变高，则没有新数据可用，ADX122(Q) 返回最后读取的转换结果。可以随时从 ADX122(Q) 检索有效数据，无需担心数据损坏。如果在数据传输期间有新的转换可用，则在启动新的 SPI 传输之前，该转换不可用于回读。



NOTE: Power and input connections omitted for clarity.

Figure 31. Connecting Multiple ADX122(Q)

10.1.6 伪代码示例

Figure 32 中的流程图显示了一个伪代码序列，其中包含在设备和微控制器之间建立通信以从 ADX122(Q) 获取后续读数所需的步骤。例如，默认的 CONFIG REGISTER 设置被更改为将器件设置为 $FSR = \pm 0.512V$ 、连续转换模式和 64SPS 数据速率。

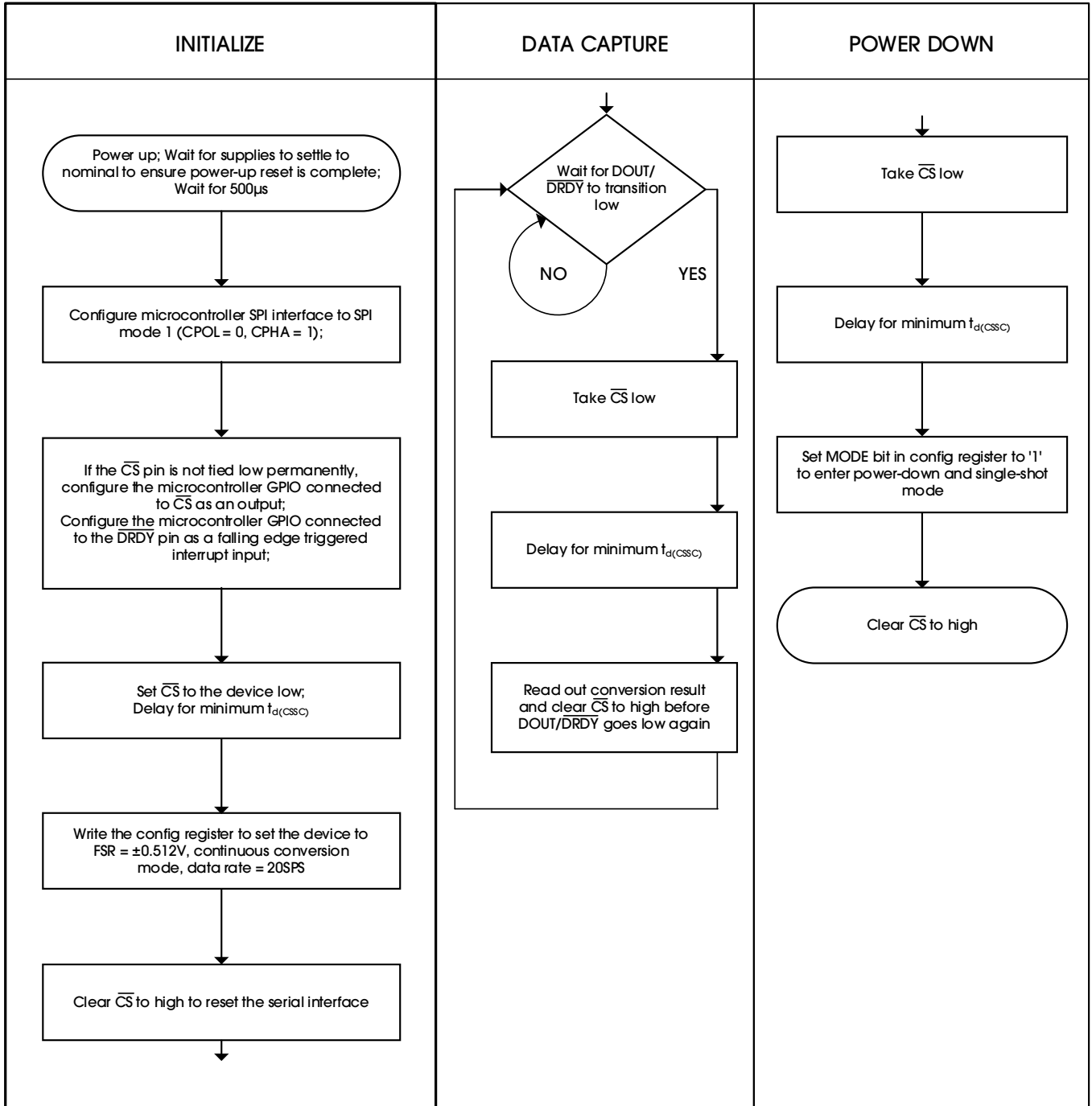


Figure 32. Pseudo Code Example Flow Chart

10.2 典型应用

Figure 33 显示了使用内部高精度温度传感器进行冷端补偿时独立双通道热电偶测量系统的基本连接。除热电偶外，唯一需要的外部电路是偏置电阻、一阶低通、抗混叠滤波器和电源去耦电容器。

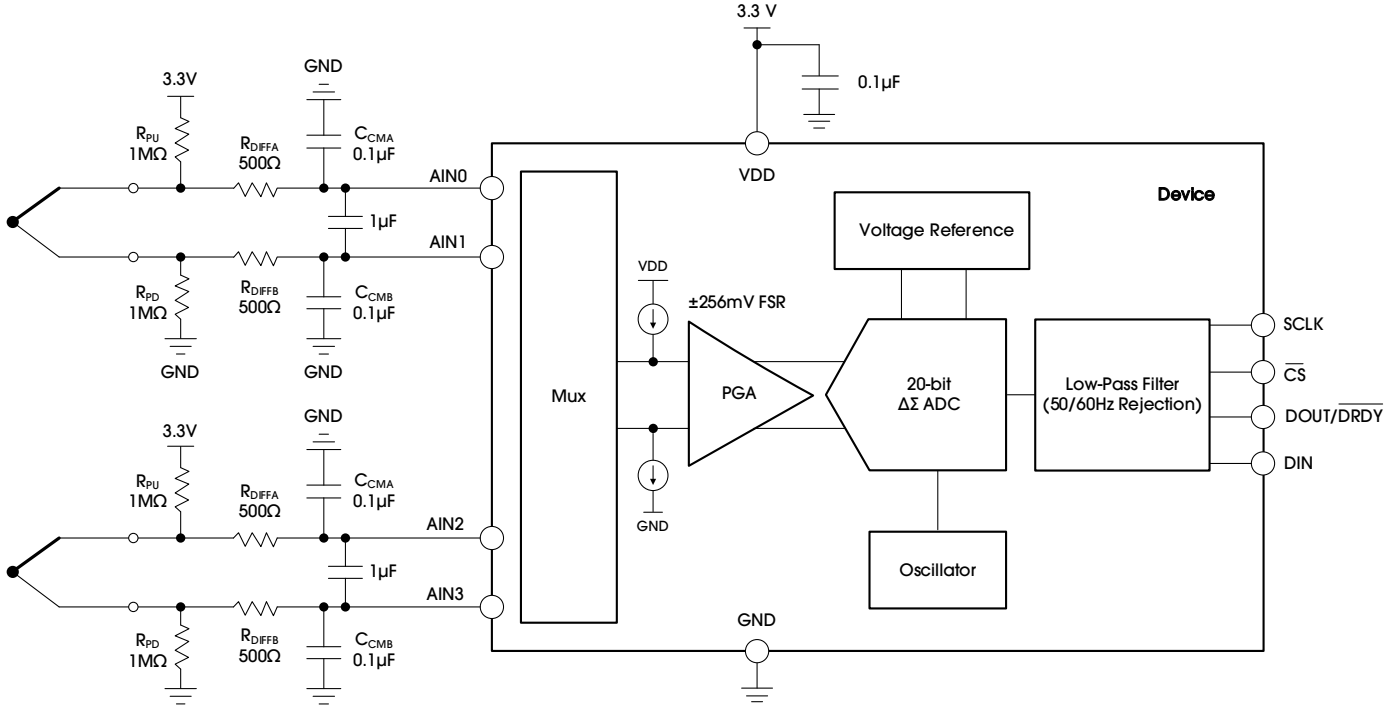


Figure 33. Two-Channel Thermocouple Measurement System

11. 电源供电推荐

该器件需要单个电源 VDD 来为器件的模拟和数字电路供电。

11.1 电源排序

在 VDD 稳定后等待大约 500 μ s，然后再与设备通信以完成上电复位过程。

11.2 电源去耦

良好的电源去耦对于实现最佳性能非常重要。VDD 必须使用至少 0.1 μ F 的电容器去耦，如 Figure 34 所示。0.1 μ F 旁路电容器提供 AD X 122(Q)转换时电源所需的瞬时突发额外电流。使用低阻抗连接，将旁路电容器放置在尽可能靠近器件电源引脚的位置。建议使用具有低等效串联电阻(ESR)和电感(ESL)特性的多层陶瓷贴片电容器(MLCC)来实现电源去耦目的。对于非常敏感的系统，或处于恶劣噪声环境中的系统，避免使用过孔将电容器连接到器件引脚可能会提供出色的抗噪声能力。并联使用多个过孔可降低整体电感，有利于接地层的连接。

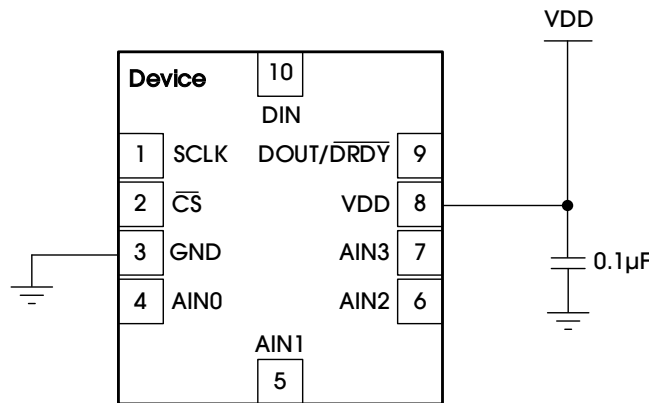


Figure 34. Power Supply Decoupling

12. 布局

12.1 布局指南

建议在为模拟和数字组件布置印刷电路板(PCB)时采用最佳设计实践。此建议通常意味着布局将模拟组件(例如 ADC、放大器、参考、数模转换器(DAC)和模拟 MUX)与数字组件(例如微控制器、复杂可编程逻辑设备(CPLD)、场-可编程门阵列(FPGA)、射频(RF)收发器、通用串行总线(USB)收发器和开关稳压器)。Figure 35 显示了一个良好的元件放置示例。虽然 Figure 35 提供了一个很好的元件放置示例，但每个应用的最佳放置对于所采用的几何形状、元件和 PCB 制造能力都是独一无二的。也就是说，没有适合每种设计的单一布局，在使用任何模拟组件进行设计时必须始终仔细考虑。

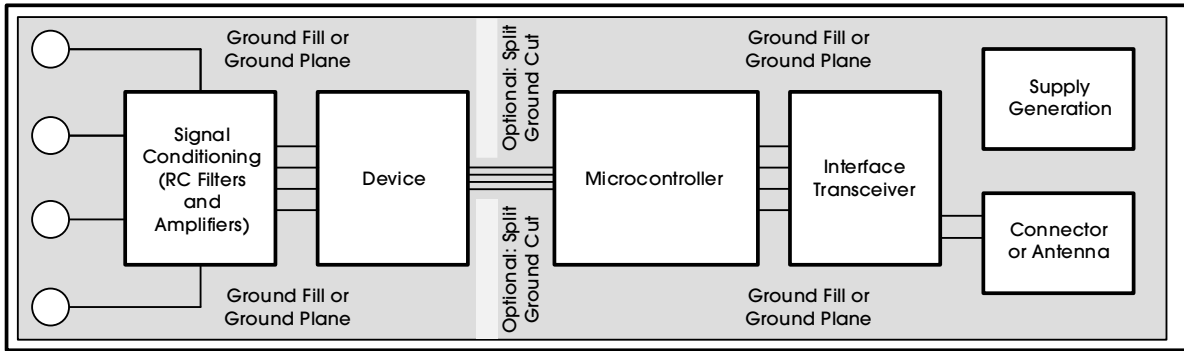


Figure 35. System Component Placement

不必使用分离的模拟和数字接地层来改善噪声性能(尽管对于热隔离来说，这个选项是值得考虑的)。但是，在没有组件的 PCB 区域中使用实心接地层或接地填充对于实现最佳性能至关重要。如果所使用的系统采用分开的数字和模拟地平面，通常建议将地平面连接在一起，并尽可能靠近设备。双层板可以使用模拟地和数字地的公共地。可以添加额外的层以简化 PCB 布线。地面填充还可以减少 EMI 和 RFI 问题。

还强烈建议数字组件，尤其是射频部分，在给定的系统中尽可能远离模拟电路。此外，尽量缩短数字控制走线穿过模拟区域的距离，并避免将这些走线放置在敏感模拟元件附近。数字返回电流通常流经尽可能靠近数字路径的接地路径。如果平面的牢固接地连接不可用，这些电流可能会找到返回源的路径，从而干扰模拟性能。布局对温度传感功能的影响比对 ADC 功能的影响要大得多。

必须使用低 ESR 陶瓷电容器将电源引脚旁路到地。旁路电容器的最佳位置是尽可能靠近电源引脚。旁路电容器的接地侧连接必须是低阻抗连接，以实现最佳性能。电源电流首先流过旁路电容端子，然后流向电源引脚，使旁路最有效。

具有差分连接的模拟输入必须在输入端以差分方式放置一个电容器。差分电容必须是高质量的。最好的陶瓷贴片电容是 COG (NPO)，具有稳定的特性和低噪声特性。热隔离热电偶输入连接周围的铜区域，以创建热稳定的冷端。只要遵循上述准则，就可以使用替代布局方案获得可接受的性能。

12.2 布局示例

请参考 EVM 或者咨询公司销售支持。

13. PACKAGE INFORMATION

The ADX122(Q) is available in the MSOP-10 and QFN-10 packages.

13.1 MSOP-10 PACKAGE

Figure 36 shows the MSOP-10 package view.

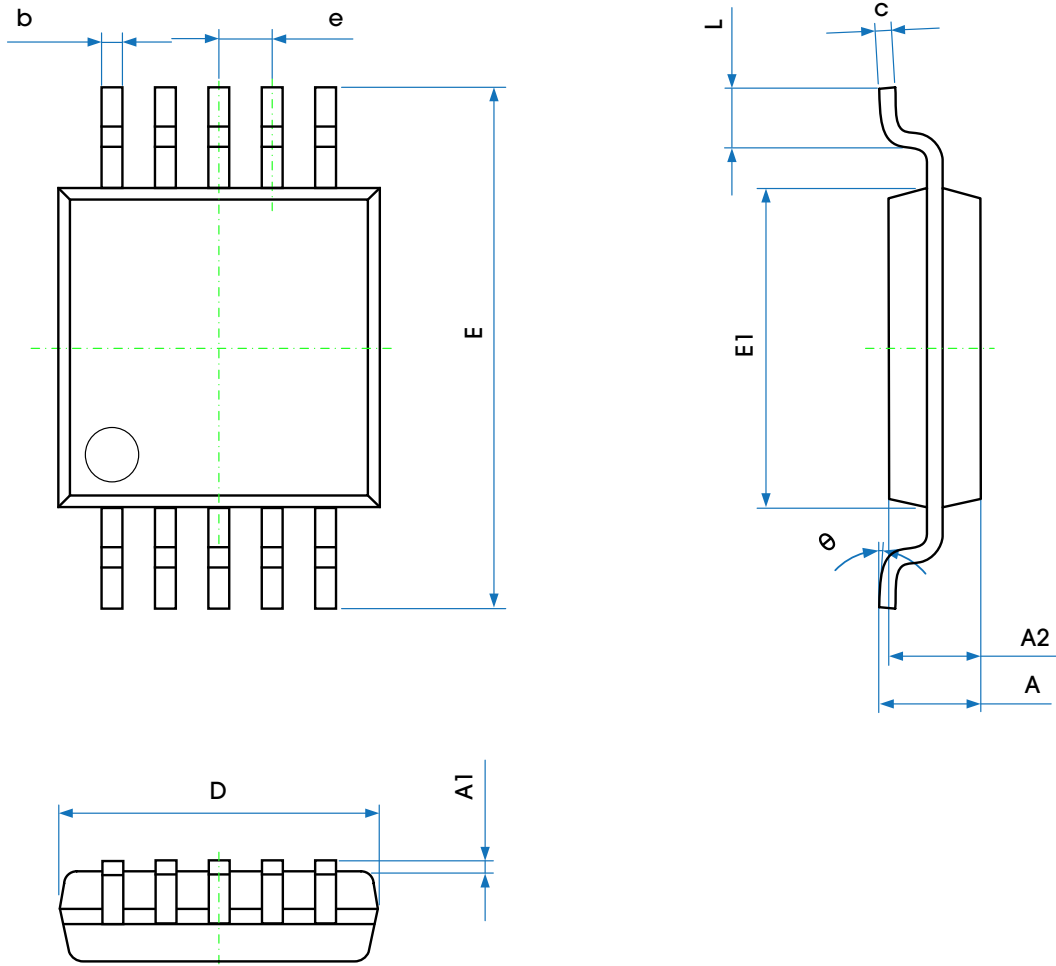


Figure 36. MSOP-10 Package View

Table 26 provides detailed information about the dimensions of the MSOP-10 package.

Table 26. Dimensions of the MSOP-10 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	—	1.100	—	0.043
A1	0.020	0.150	0.001	0.006
A2	0.750	0.950	0.030	0.037
b	0.180	0.330	0.007	0.013
c	0.090	0.230	0.004	0.009
D	2.900	3.100	0.114	0.122
e	0.500 (BSC)		0.020 (BSC)	
E	4.750	5.050	0.187	0.199
E1	2.900	3.100	0.114	0.122
L	0.400	0.800	0.016	0.031
θ	0°	6°	0°	6°

13.2 QFN-10 PACKAGE

Figure 37 shows the QFN-10 package view.

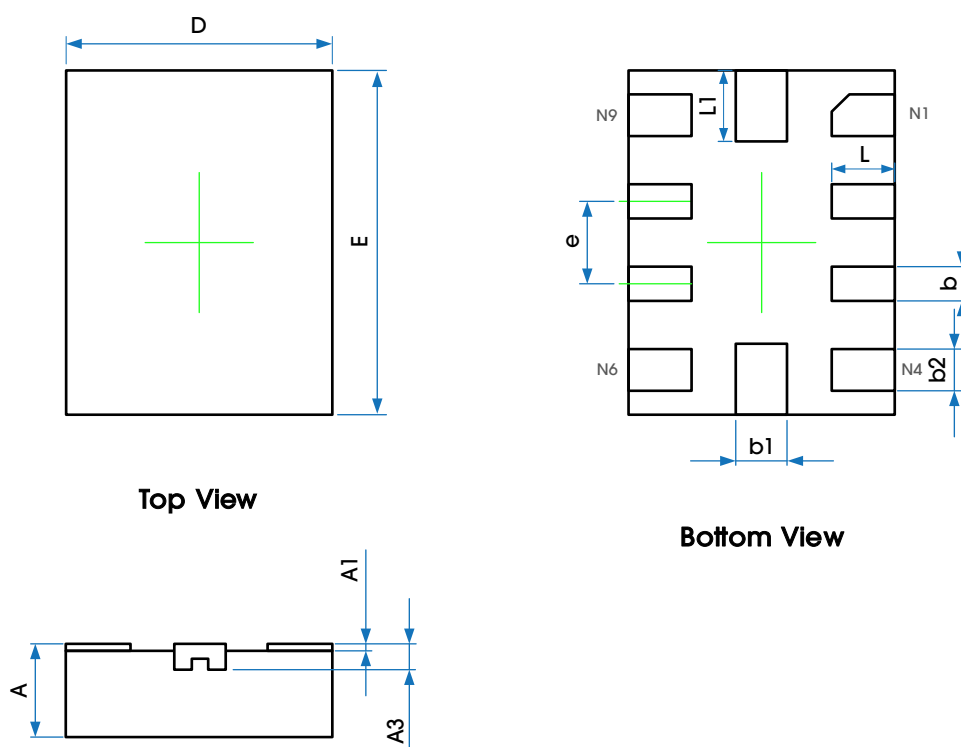


Figure 37. QFN-10 Package View

Table 27 provides detailed information about the dimensions of the QFN-10 package.

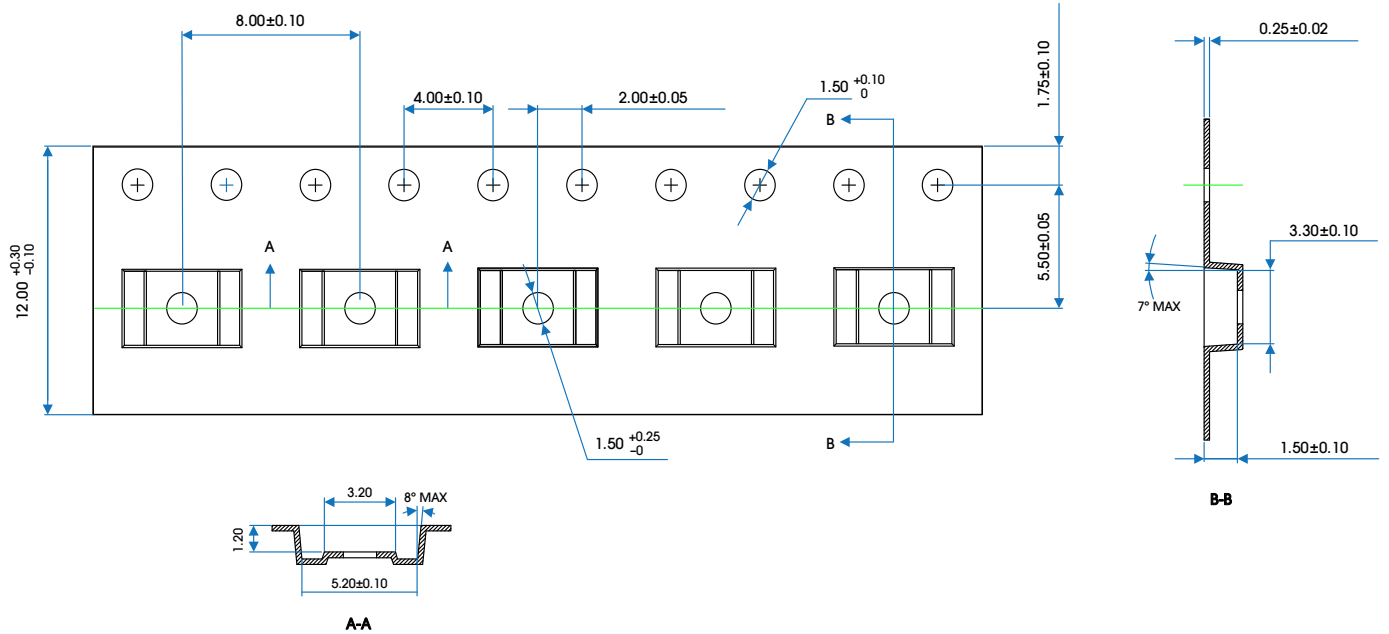
Table 27. Dimensions of the QFN-10 Package

SYMBOL	DIMENSIONS IN MILLIMETERS		DIMENSIONS IN INCHES	
	MIN	MAX	MIN	MAX
A	0.500	0.600	0.020	0.024
A1	0.000	0.050	0.000	0.002
A3	0.152REF.		0.006REF.	
b	0.150	0.250	0.006	0.010
b1	0.250	0.350	0.010	0.014
b2	0.200	0.300	0.008	0.012
D	1.450	1.550	0.057	0.061
E	1.950	2.050	0.077	0.081
e	0.500TYP.		0.020TYP.	
L	0.300	0.400	0.012	0.016
L1	0.350	0.450	0.014	0.018

14. TAPE AND REEL INFORMATION

14.1 MSOP-10 PACKAGE

Figure 38 illustrates the carrier tape of the MSOP-10 package.



Notes:

1. Cover tape width: 9.5 ± 0.10 .
2. Cumulative tolerance of 10 sprocket hole pitch: ± 0.20 (max).
3. Camber: not to exceed 1mm in 100mm.
4. Mold#: MSOP-10 (3*3).
5. All dimensions: mm.
6. Direction of view:

Figure 38. Carrier Tape Drawing (MSOP-10 Package)

Table 28 provides information about tape and reel (MSOP-10 package).

Table 28. Tape and Reel Information (MSOP-10 Package)

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
MSOP-10 3*3	13"	3000	1	8	24000	358*340*50	430*380*390

Figure 39 shows the product loading orientation—pin 1 is assigned on the upper left corner.

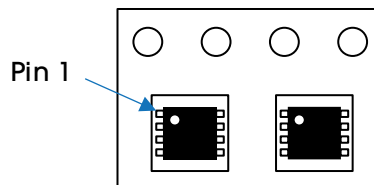
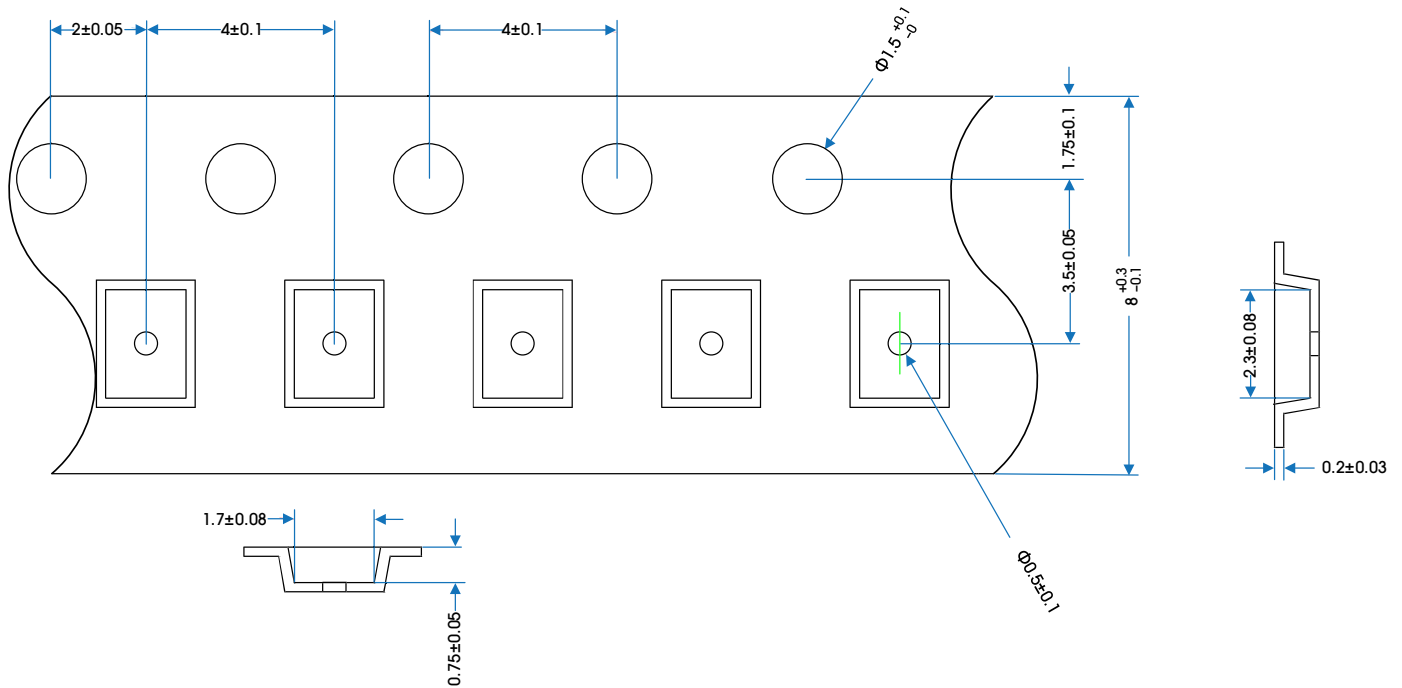


Figure 39. Product Loading Orientation (MSOP-10 Package)

14.2 QFN-10 PACKAGE

Figure 40 illustrates the carrier tape (QFN-10 package).



Notes:

1. Cover tape width: 5.5 ± 0.10 .
2. Cumulative tolerance of 10 sprocket hole pitch: ± 0.20 (max).
3. Camber: not to exceed 1mm in 100mm.
4. Mold#: QFN-10 (1.5*2).
5. All dimensions: mm.
6. Direction of view:

Figure 40. Carrier Tape Drawing (QFN-10 Package)

Table 29 provides information about tape and reel (QFN-10 package).

Table 29. Tape and Reel Information (QFN-10 Package)

PACKAGE TYPE	REEL	QTY/REEL	REEL/ INNER BOX	INNER BOX/ CARTON	QTY/CARTON	INNER BOX SIZE (MM)	CARTON SIZE (MM)
QFN-10 1.5*2	7"	4000	10	4	160000	210*208*203	440*440*230

Figure 41 shows the product loading orientation—pin 1 is assigned on the upper left corner.

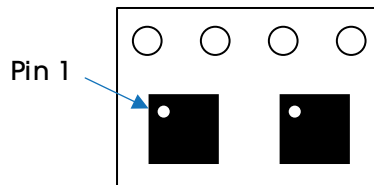


Figure 41. Product Loading Orientation (QFN-10 Package)

REVISION HISTORY

REVISION	DATE	DESCRIPTION
Rev A	08 June 2023	Rev A release.