

PCI 总线双串口及打印口芯片 CH352

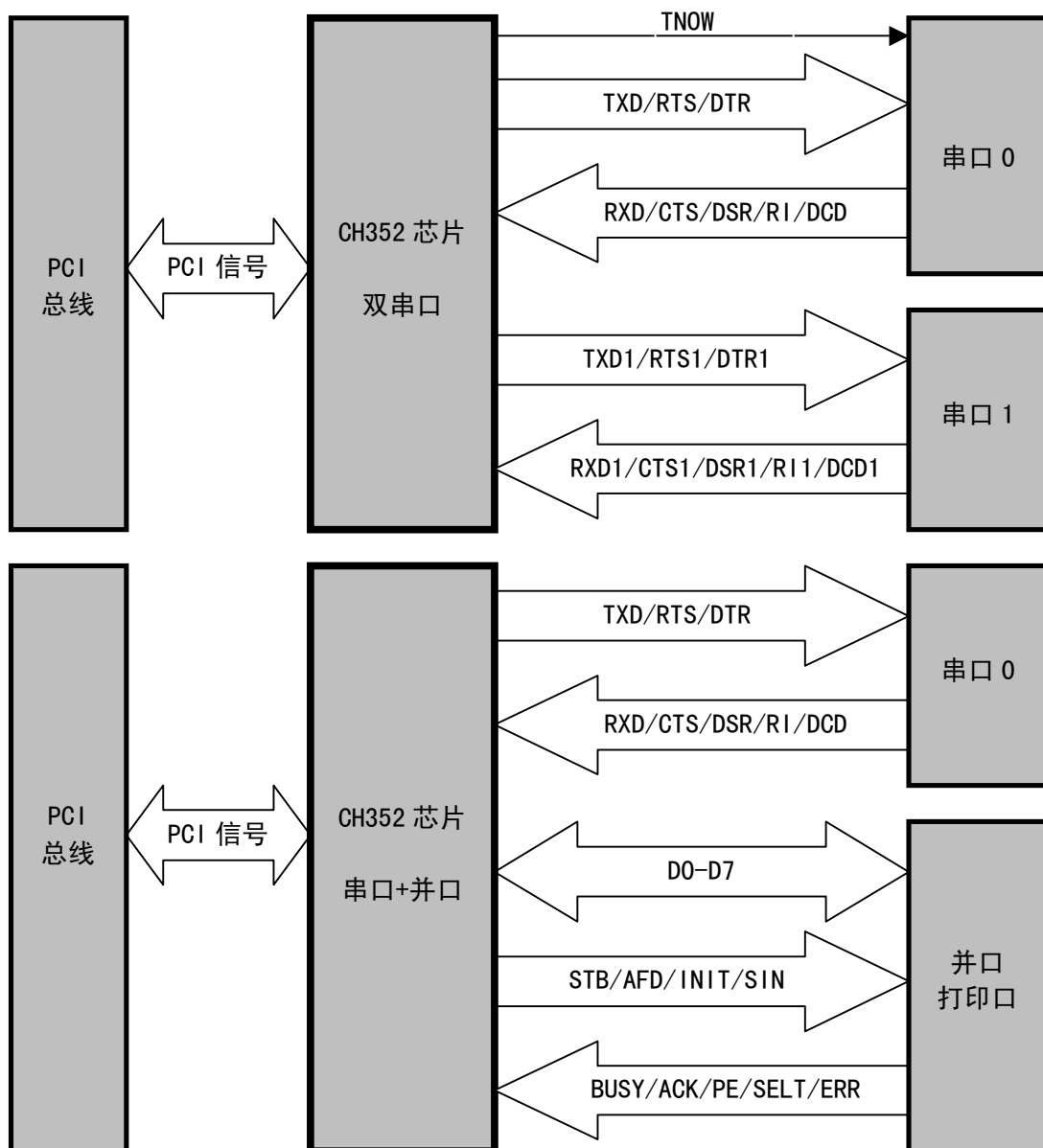
中文手册（一）

版本：1A

<http://wch.cn>

1、概述

CH352 是 PCI 总线的双串口及打印口芯片，包含两个兼容 16C550 的异步串口或者一个 EPP/ECP 增强型双向并口，异步串口支持半双工收发自动切换和 IrDA 红外编解码，支持最高 4Mbps 的通讯波特率，可以用于 PCI 总线的 RS232 串口扩展、带自动硬件速率控制的 PCI 高速串口、串口组网、RS485 通讯、IrDA 通讯、并口/打印口扩展以及内嵌单片机的 PCI 插卡等。下图为其一般应用框图。



2、特点

2.1. 概述

- 同一芯片可配置为 PCI 总线的双通道串口或者单串口加单并口/打印口。

- 提供两线串行主机接口，可以挂接类似 24C0X 的串口 EEPROM 器件用于存储非易失数据。
- 可以在 EEPROM 器件中设定 PCI 板卡的设备标识（Vendor ID, Device ID, Class Code 等）。
- 驱动程序支持 Windows 98/ME/2000/XP 以及 Linux。
- 支持 5V 或者 3.3V 电源电压，支持串口低功耗睡眠模式。
- 芯片功能相当于 CH365 芯片加 CH432 芯片，提供双串口、4 串口以及 8 串口等应用方案。
- LQFP-100 无铅封装，兼容 RoHS。

2.2. 串口

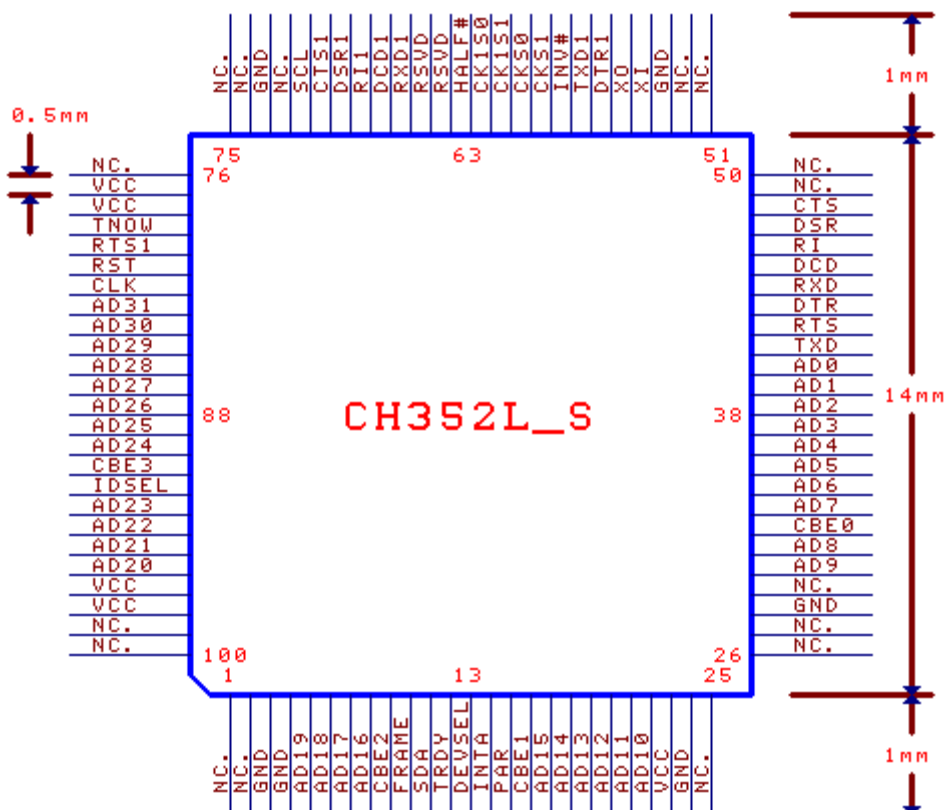
- 完全独立的两个异步串口，兼容 16C450、16C550 及 16C552 并且有所增强。
- 支持 5、6、7 或者 8 个数据位以及 1 或者 2 个停止位。
- 支持奇、偶、无校验、空白 0、标志 1 等校验方式。
- 可编程通讯波特率，支持 115200bps 以及最高达 4Mbps 的通讯波特率。
- 内置 16 字节的 FIFO 先进先出缓冲器，支持 4 个 FIFO 触发级。
- 支持 MODEM 调制解调器信号 CTS、DSR、RI、DCD、DTR、RTS，可由 75232 芯片转成 RS232 电平。
- 支持硬件流控制信号 CTS 和 RTS 自动握手和自动传输速率控制，兼容 TL16C550C。
- 支持串口帧错误检测、支持 Break 线路间隔检测。
- 支持全双工和半双工串口通讯，提供 TNOW 和 RTS 串口发送状态信号支持 RS485 收发自动切换。
- 内置 SIR 红外线编解码器，支持 2400bps 到 115200bps 波特率的 IrDA 红外通讯。
- 内置时钟振荡器，可选 22.1184MHz、11.0592MHz 或者 7.3728MHz 等频率的晶体。

2.3. 并口

- 支持 SPP、Nibble、Byte、PS/2、EPP、ECP 等 IEEE1284 并口/打印口工作方式。
- 支持双向数据传输，支持最高达 2M 字节/每秒的传输速度。
- 内置打印口所需的上拉电阻，外围元器件少，电路简单。
- 特有 8255 模式 2 带硬件握手的被动并口方式，用于连接到单片机总线进行数据交换。

3、封装

双串口



有关串口+并口的应用说明和引脚图请参考手册（二）CH352DS2.PDF。

封装形式	塑体宽度	引脚间距		封装说明	订货型号
LQFP-100	14mm x 14mm	0.5mm	19.7mil	标准 LQFP100 贴片	CH352L

4、引脚

4.1. 电源线

引脚号	引脚名称	类型	引脚说明
23, 77, 78, 97, 98	VCC	电源	正电源端
3, 4, 24, 28, 53, 73	GND	电源	公共接地端
64, 65	RSVD	保留	保留引脚，禁止连接
1, 2, 25, 26, 27, 29, 49, 50, 51, 52, 72, 74, 75, 76, 99, 100	NC.	空脚	禁止连接

4.2. PCI 总线信号线

引脚号	引脚名称	类型	引脚说明
81	RST	输入	系统复位信号线，低电平有效
82	CLK	输入	系统时钟信号线，上升沿有效
83-90, 93-96, 5-8, 17-22, 30-31, 33-40	AD31~ADO	三态输出 及输入	地址和双向数据复用信号线
91, 9, 16, 32	CBE3~CBE0	输入	总线命令和字节使能复用信号线
15	PAR	三态双向	奇偶校验信号线
92	IDSEL	输入	初始化设备选择信号线，高电平有效
10	FRAME	输入	帧周期开始信号线，低电平有效
12	TRDY	三态输出	目标设备准备好信号线，低电平有效
13	DEVSEL	三态输出	目标设备选中信号线，低电平有效
14	INTA	开漏输出	INTA 中断请求信号线，低电平有效

4.3. 串口 0 信号线

引脚号	引脚名称	类型	引脚说明
48	GTS	输入	MODEM 信号，清除发送，低电平有效，内置弱上拉
47	DSR	输入	MODEM 信号，数据装置就绪，低电平有效，内置弱上拉
46	RI	输入	MODEM 信号，振铃指示，低电平有效，内置弱上拉
45	DCD	输入	MODEM 信号，载波检测，低电平有效，内置弱上拉
44	RXD	输入	异步串行数据输入，内置弱上拉电阻

43	DTR	输出	MODEM 信号，数据终端就绪，低电平有效
42	RTS	输出	MODEM 信号，请求发送，低电平有效 在半双工通讯时为串行数据正在发送状态指示，高有效
41	TXD	输出	异步串行数据输出
79	TNOW	输出	串行数据正在发送状态指示，高电平有效

4.4. 串口 1 信号线

引脚号	引脚名称	类型	引脚说明
70	CTS1	输入	MODEM 信号，清除发送，低电平有效，内置弱上拉
69	DSR1	输入	MODEM 信号，数据装置就绪，低电平有效，内置弱上拉
68	RI1	输入	MODEM 信号，振铃指示，低电平有效，内置弱上拉
67	DCD1	输入	MODEM 信号，载波检测，低电平有效，内置弱上拉
66	RXD1	输入	异步串行数据输入，内置弱上拉电阻
56	DTR1	输出	MODEM 信号，数据终端就绪，低电平有效
80	RTS1	输出	MODEM 信号，请求发送，低电平有效 在半双工通讯时为串行数据正在发送状态指示，高有效
57	TXD1	输出	异步串行数据输出

4.5. 辅助信号线

引脚号	引脚名称	类型	引脚说明
54	XI	输入	晶体振荡的输入端，需要外接晶体及振荡电容
55	XO	输出	晶体振荡的反相输出端，需要外接晶体及振荡电容
60	CKS0	输入	串口 0 内部基准时钟的频率选择端 0，内置上拉电阻
59	CKS1	输入	串口 0 内部基准时钟的频率选择端 1，内置上拉电阻
62	CK1S0	输入	串口 1 内部基准时钟的频率选择端 0，内置上拉电阻
61	CK1S1	输入	串口 1 内部基准时钟的频率选择端 1，内置上拉电阻
63	HALF#	输入	半双工通讯模式使能，低电平有效，内置弱上拉电阻
58	INV#	输入	串口反相输入模式使能，低电平有效，内置上拉电阻
71	SCL	开漏输出及输入	芯片功能配置输入，内置上拉电阻， 可以外接串行 EEPROM 配置芯片 24CXX 的 SCL 引脚
11	SDA	开漏输出及输入	外部配置芯片使能，高电平有效，内置下拉电阻， 可以外接串行 EEPROM 配置芯片 24CXX 的 SDA 引脚

5、配置

5.1. 全局功能配置

CH352 芯片具有两种功能模式：双串口功能模式、串口+并口功能模式。

SCL 引脚用于配置芯片的功能，SDA 引脚用于使能外部的串行 EEPROM 配置芯片，参考下表。

SCL 引脚和 SDA 引脚组合	SDA 引脚悬空或接地	SDA 引脚外接上拉电阻 R2 到 VCC
SCL 引脚悬空	串口 0+串口 1，无配置	串口 0+串口 1，并且使能外部配置
SCL 引脚接地或者接低电平	串口 0+并口，无配置	串口 0+并口，无配置
SCL 引脚接 RST 引脚	串口 0+并口，无配置	禁止使用该组合，否则损坏芯片
SCL 引脚外接电阻 R1 到 RST 引脚	串口 0+并口，无配置	串口 0+并口，并且使能外部配置

表中，电阻 R1 的阻值范围为 $2K\Omega \sim 3.3K\Omega$ ，电阻 R2 的阻值范围为 $2K\Omega \sim 10K\Omega$ 。

5.2. 外部配置芯片

如果使能外部配置（SDA 引脚上拉），那么 CH352 芯片会在每次开机或者 PCI 总线复位后检查外部的 24CXX 配置芯片中的数据，数据有效则自动加载到 CH352 芯片中替换默认的 PCI 识别信息。

配置芯片 24CXX 是一种 4 脚或者 8 脚封装的非易失串行 EEPROM 存储器，除了向 CH352 提供配置信息之外，还可以供应用程序自行保存一些其它参数。CH352 支持以下型号的 24CXX 芯片：24C01（A）、24C02、24C04、24C08、24C16 等。

下表是配置芯片 24CXX 中的数据定义。

字节地址	简称	数据用途说明	默认值
01H-00H	VID	厂商标识: Vendor ID	自定义
03H-02H	DID	设备标识: Device ID	自定义
04H	RID	芯片版本: Revision ID	自定义
07H-05H	CLS	设备类代码: Class Code	070002H
09H-08H	SVID	子系统厂商标识: Subsystem Vendor ID	自定义
0BH-0AH	SID	子系统标识: Subsystem ID	自定义
0CH	CFG	外部配置芯片有效标志, 位 7 必须为 0, 位 6 必须为 1, 位 0 用于选择串口+并口功能模式下的内部频率系数	41H
1FH-0DH	RSVD	(保留单元)	00H 或 FFH
其它地址	APP	用户或应用程序自定义单元	

5.3. 串口功能配置

在双串口功能模式下，CH352 芯片的串口支持全双工或者半双工通讯。当 HALF#引脚接地或者接低电平时，CH352 工作于半双工通讯方式。这种半双工通讯又可以分为两种具体应用：半双工串口（包括但不限于 RS485 通讯应用）、IrDA 红外串口 SIR。在半双工串口应用中，RTS 引脚（串口 1 则是 RTS1 引脚）用于串行数据正在发送状态指示，高电平有效，可以用于自动控制 RS485 收发器的收发切换。在红外串口 SIR 应用中，RXD 和 TXD 引脚可以直接连接 ZHX1810、HSDL3000、TFBS4711、TFDU4100 等红外线收发器的 RXD 和 TXD 引脚，CH352 内部自动实现红外编解码。下表为串口功能配置。

引脚组合状态	HALF#引脚悬空或者接高电平	HALF#引脚接地或者接低电平
CTS 引脚接高电平	串口 0 为全双工通讯	串口 0 为红外串口 SIR
CTS 引脚接地或者接低电平	CTS 用于 MODEM 信号	串口 0 为半双工通讯, 如 RS485
CTS1 引脚接高电平	串口 1 为全双工通讯	串口 1 为全双工通讯
CTS1 引脚接地或者接低电平	CTS1 用于 MODEM 信号	串口 1 为半双工通讯, 如 RS485

5.4. 串口内部时钟

CH352 芯片内部具有时钟振荡器，只需要在 XI 和 XO 引脚之间连接一个晶体，并且分别为 XI 和 XO 引脚对地连接振荡电容，就能产生串口所需的外部时钟信号，如果不接晶体和电容，CH352 芯片也可以通过 XI 引脚从外部时钟源直接输入时钟。

CH352 芯片内部将 XI 引脚的外部时钟信号进行分频或倍频，分别产生串口 0 和串口 1 的内部基准时钟。为了与现有计算机串口的 16C550 芯片兼容，默认的内部时钟频率是 1.8432MHz，对应的最大串口波特率是 115200bps。CH352 芯片支持多种内部时钟频率，当内部时钟频率加倍时，如果应用软件不变，那么实际的通讯波特率也加倍，即应用软件设置为 115200bps 的串口实际为 230400bps。

在双串口功能模式下，CH352 芯片的串口 0 可以由 CKS0 引脚和 CKS1 引脚的组合选择分频或者倍频系数，将外部时钟的频率转换为 4 种内部时钟频率，从而支持更多更大的串口波特率。下表是根据 CKS0/CKS1 引脚组合和外部晶体频率产生串口的内部时钟频率和最大串口波特率。表中 CK2X 是串口 1 的 IER 寄存器的位 5；表中 CKS0/CKS1=1 是指 CKS0/CKS1 引脚接高电平（或者悬空），CKS0/CKS1=0 是指 CKS0/CKS1 引脚接低电平（或者接地）。与串口 0 相对应，串口 1 可以由 CK1S0 和 CK1S1 引脚的组合选择分频或者倍频系数。

寄存器控制位 引脚组合状态	CK2X=0 且 CKS0=1, CKS1=1	CK2X=0 且 CKS0=0, CKS1=1	CK2X=0 且 CKS0=1, CKS1=0	CK2X=1 或 CKS0=0, CKS1=0
内部频率系数	1/12 分频	1/6 分频	1/4 分频	2 倍频
外部晶体频率 22.1184MHz	1.8432MHz 115.2Kbps	3.6864MHz 230.4Kbps	5.5296MHz 345.6Kbps	44.2368MHz 2.7648Mbps
外部晶体频率 11.0592MHz	0.9216MHz 57.6Kbps	1.8432MHz 115.2Kbps	2.7648MHz 172.8Kbps	22.1184MHz 1.3824Mbps
外部晶体频率 7.3728MHz		1.2288MHz 76.8Kbps	1.8432MHz 115.2Kbps	14.7456MHz 921.6Kbps
外部晶体频率 0.9216MHz				1.8432MHz 115.2Kbps
外部晶体频率 32MHz				64MHz 4Mbps
外部晶体频率 18.432MHz				36.864MHz 2.304Mbps
外部晶体频率 14.7456MHz				29.4912MHz 1.8432Mbps

6、寄存器

6.1. 基本约定

- 6.1.1. 属性简写：R=完全只读，W=可读可写，S=只读但可以事先设定，...=省略号。
- 6.1.2. 数据的数制：如果以 H 结尾则为十六进制数，否则为二进制数。
- 6.1.3. 数值的通配符以及属性：r=保留（禁止使用），x=任意值，...=省略号。

6.2. PCI 配置空间

类别	地址	寄存器名称	寄存器属性	系统复位后默认值
标准 PCI 设备 配置 空间	01H-00H	VID 厂商标识: Vendor ID	SSSS	4348H
	03H-02H	DID 设备标识: Device ID	SSSS	3253H 或 5053H, 后注
	05H-04H	命令寄存器: Command	RRRRRRRRRRRRRRRW	0000000000000000
	07H-06H	状态寄存器: Status	RRRRRRRRRRRRRRRRR	000000100000x000
	08H	芯片版本: Revision ID	SS	10H
	0BH-09H	设备类代码: Class Code	SSSSSS	070002H
	0FH-0CH		RRRRRRRR	00000000H
	13H-10H	串口 0 基址: I/O Base Address 0	WWWWWWWWWWWWWWWWW WWWWWWWWWWWWRRRR	0000000000000000 0000000000000001
	17H-14H	串口 1 或并口基址: I/O Base Address 1	WWWWWWWWWWWWWWWWW WWWWWWWWWWWWRRRR	0000000000000000 0000000000000001
	2BH-18H		RRRR... RRRR	0000... 0000H
	2FH-2CH	子系统标识: Subsystem ID	SSSSSSSS	与 DID+VID 相同
	3BH-30H		RRRR... RRRR	0000... 0000H
3FH-3CH	中断号和中断引脚等: Interrupt Line & Pin	RRRRRRRRRRRRRRRRR RRRRRRRRWWWWWWWWW	0000000000000000 0000000100000000	
配置 寄存 器等	40H	配置控制寄存器 CFG_CTRL	RRRRRRWW	x0xx0011
	41H	配置状态寄存器 CFG_STAT	RRRRRRRR	x000000x
	7FH-42H	保留	(禁止使用)	(禁止使用)

配置空间的 DID 设备标识，在双串口功能模式下是 3253H，在串口+并口功能模式下是 5053H。

6.3. 配置寄存器的位

寄存器名称	位址	属性	位的使用说明	位值=0	位值=1
配置控制寄存器 CFG_CTRL (配置空间 40H 地址)	位 0	W	设定 SDA 引脚的输出值	低电平	高电平
	位 1	W	设定 SCL 引脚的输出值	低电平	高电平
	位 4	R	输入 SDA 引脚的状态	低电平	高电平
	位 5	R	输入 SCL 引脚的状态	低电平	高电平
	位 7	S	24CXX 配置芯片使能状态	禁用	启用
配置状态寄存器 CFG_STAT (配置空间 41H 地址)	位 0	S	配置芯片有效标志 CFG 的位 0	位 0=0	位 0=1
	位 7	S	24CXX 配置数据有效状态	无效	有效

6.4. 串口寄存器

CH352 的串口兼容工业标准 16550 并有所增强，表中标为灰色的寄存器位为增强功能，除此之外的寄存器可以参考单串口芯片 16C550 或者双串口芯片 CH432 的说明。串口 0 寄存器的实际地址为 I/O 基址 0 加表中的偏移地址，串口 1 寄存器的实际地址为 I/O 基址 1 加表中的偏移地址，除了 SLP/CK2X 寄存器位之外，串口 0 与串口 1 的寄存器都相同。表中 DLAB 为寄存器 LCR 的位 7，X 表示不关心 DLAB 值，RO 表示寄存器只读，WO 表示寄存器只写，R/W 表示寄存器可读可写。

地址	DLAB	R/W	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	0	RO	RBR	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	0	WO	THR	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
1	0	R/W	IER	RESET	LOWPOWER	SLP/CK2X	0	IEMODEM	IELINES	IETHRE	IERECV
2	X	RO	IIR	FIFOENS	FIFOENS	0	0	IID3	IID2	IID1	NOINT
2	X	WO	FCR	RECVTG1	RECVTG0	0	0	0	TFIFORST	RFIFORST	FIFOEN
3	X	R/W	LCR	DLAB	BREAKEN	PARMODE1	PARMODE0	PAREN	STOPBIT	WORDSZ1	WORDSZ0
4	X	R/W	MCR	0	0	AFE	LOOP	OUT2	OUT1	RTS	DTR
5	X	RO	LSR	RFIFOERR	TEMT	THRE	BREAKINT	FRAMEERR	PARERR	OVERR	DATARDY
6	X	RO	MSR	DCD	RI	DSR	CTS	△DCD	△RI	△DSR	△CTS
7	X	R/W	SCR	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	1	R/W	DLL	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
1	1	R/W	DLM	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8

下表是串口寄存器在上电复位或者 PCI 总线复位或者串口软复位之后的默认值。

寄存器名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
IER	0	0	0	0	0	0	0	0
IIR	0	0	0	0	0	0	0	1
FCR	0	0	0	0	0	0	0	0
LCR	0	0	0	0	0	0	0	0
MCR	0	0	0	0	0	0	0	0
LSR	0	1	1	0	0	0	0	0
MSR	DCD	RI	DSR	CTS	0	0	0	0
SCR	保持	保持	保持	保持	保持	保持	保持	保持
FIFO	复位，包括发送 FIFO 和接收 FIFO							
TSR	复位，TSR 是串口发送移位寄存器							
RSR	复位，RSR 为串口接收移位寄存器							
其它	未定义							

RBR: 接收缓冲寄存器, 如果 LSR 的 DATARDY 位为 1 则可以从该寄存器读取接收到的数据。如果 FIFOEN 为 1 则从串口移位寄存器 RSR 接收到的数据首先被存放于接收 FIFO 中, 然后通过该寄存器读出。

THR: 发送保持寄存器, 包括发送 FIFO, 用于写入准备发送的数据。如果 FIFOEN 为 1 则写入的数据首先被存放于发送 FIFO 中, 然后通过发送移位寄存器 TSR 逐个输出。

IER: 中断使能寄存器, 包括增强功能控制位以及串口中断使能。

RESET: 该位置 1 则软复位该串口, 该位能够自动清 0, 无需软件清 0。

LOWPOWER: 该位为 1 则关闭该串口的内部基准时钟, 从而使该串口进入低功耗状态。

SLP/CK2X: 串口 0 与串口 1 的该位用途不同, 串口 0 是 SLP, 该位为 1 则关闭时钟振荡器, 从而使串口 0 与串口 1 全部进入睡眠状态, 串口 1 是 CK2X, 该位为 1 则强制将外部时钟信号 2 倍频后作为串口 0 和串口 1 的内部基准时钟, 并且不受 CKS0、CKS1、CK1S0、CK1S1 引脚的控制。

IEMODEM: 该位为 1 则允许调制解调器输入状态变化中断。

IELINES: 该位为 1 则允许接收线路状态中断。

IENTHRE: 该位为 1 则允许发送保持寄存器空中断。

IERECV: 该位为 1 则允许接收到数据中断。

IIR: 中断识别寄存器, 用于分析中断源并处理。

FIFOENS: 该位为 FIFO 启用状态, 为 1 表示已经启用 FIFO。

IIR 寄存器位				优先级	中断类型	中断源	清中断方法
IID3	IID2	IID1	NOINT				
0	0	0	1	无	没有中断产生	没有中断	
0	1	1	0	1	接收线路状态	OVERR、PARERR、FRAMEERR、BREAKINT	读 LSR
0	1	0	0	2	接收数据可用	接收到的字节数达到 FIFO 的触发点	读 RBR
1	1	0	0	2	接收数据超时	超过 4 个数据的时间未收到下一数据	读 RBR
0	0	1	0	3	THR 寄存器空	发送保持寄存器空, IENTHRE 从 0 变 1 可以重新使能中断	读 IIR 或写 THR
0	0	0	0	4	MODEM 输入变化	△CTS、△DSR、△RI、△DCD	读 MSR

FCR: 先进先出缓冲区 FIFO 控制寄存器, 用于使能和复位 FIFO。

RECVTG1 和 RECVTG0: 设置接收 FIFO 的中断和硬件流控制的触发点, 00 对应 1 个字节, 即接收满 1 个字节产生接收数据可用的中断, 并在使能硬件流控制时自动无效 RTS 引脚, 01 对应 4 个字节, 10 对应 8 个字节, 11 对应 14 个字节。

TFIFORST: 该位置 1 则清空发送 FIFO 中的数据 (不含 TSR), 该位能够自动清 0, 无需软件清 0。

RFIFORST: 该位置 1 则清空接收 FIFO 中的数据 (不含 RSR), 该位能够自动清 0, 无需软件清 0。

FIFOEN: 该位为 1 则启用 FIFO, 该位清 0 则禁用 FIFO, 禁用 FIFO 后为 16C450 兼容模式, 相当于 FIFO 只有一个字节。

LCR: 线路控制寄存器, 用于控制串口通讯的格式。

DLAB: 该位为除数锁存器存取使能, 为 1 时才能存取 DLL 和 DLM, 为 0 时才能存取 RBR/THR/IER。

BREAKEN: 该位为 1 则强制产生 BREAK 线路间隔。

PARMODE1 和 PARMODE0: 当 PAREN 为 1 时设置奇偶校验位的格式: 00 则奇校验, 01 则偶校验, 10 则标志位 (MARK, 置 1), 11 则空白位 (SPACE, 清 0)。

PAREN: 该位为 1 则允许发送时产生和接收时校验奇偶校验位, 为 0 则无奇偶校验位。

STOPBIT: 该位为 1 则两个停止位, 为 0 则一个停止位。

WORDSZ1 和 WORDSZ0: 设置字长度, 00 则 5 个数据位, 01 则 6 个数据位, 10 则 7 个数据位, 11 则 8 个数据位。

MCR: 调制解调器 MODEM 控制寄存器, 用于控制 MODEM 输出。

AFE: 该位为 1 则允许 CTS 和 RTS 硬件自动流控制。如果 AFE 为 1, 那么仅在检测到 CTS 引脚输入有效 (低电平有效) 时串口才继续发送下一个数据, 否则暂停串口发送, 当 AFE 为 1 时的 CTS 输入状态变化不会产生 MODEM 状态中断。如果 AFE 为 1 并且 RTS 为 1, 那么当接收 FIFO 空时, 串口会自动有效 RTS 引脚 (低电平有效), 直到接收的字节数达到 FIFO 的触发点时, 串口才自动无效 RTS 引脚, 并能够在接收 FIFO 空时再次有效 RTS 引脚。使用硬件自动带率控制, 可将己方的 CTS 引脚接到对方的 RTS 引脚, 并将己方的 RTS 引脚送到对方的 CTS 引脚。

LOOP: 该位为 1 则使能内部回路的测试模式。在内部回路的测试模式下, 串口所有对外输出引脚均为无效状态, TXD 内部返回到 RXD (即 TSR 的输出内部返回到 RSR 的输入), RTS 内部返回到 CTS, DTR 内部返回到 DSR, OUT1 内部返回到 RI, OUT2 内部返回到 DCD。

OUT2: 该位为 1 则允许该串口的中断请求输出, 否则该串口不产生实际中断请求。

OUT1: 该位为用户可定义 MODEM 控制位, 没有连接实际输出引脚。

RTS: 该位为 1 则 RTS 引脚输出有效 (低电平有效), 否则 RTS 引脚输出无效。

DTR: 该位为 1 则 DTR 引脚输出有效 (低电平有效), 否则 DTR 引脚输出无效。

LSR: 线路状态寄存器, 用于查询方式分析串口状态。

RFIFOERR: 该位为 1 表示在接收 FIFO 中存在至少一个 PARERR、FRAMEERR 或 BREAKINT 错误。

TEMT: 该位为 1 表示发送保持寄存器 THR 和发送移位寄存器 TSR 全空。

THRE: 该位为 1 表示发送保持寄存器 THR 空。

BREAKINT: 该位为 1 表示检测到 BREAK 线路间隔。

FRAMEERR: 该位为 1 表示正在从接收 FIFO 中读取的数据的帧错误, 缺少有效的停止位。

PARERR: 该位为 1 表示正在从接收 FIFO 中读取的数据的奇偶校验错。

OVERR: 该位为 1 表示接收 FIFO 缓冲区溢出。

DATARDY: 该位为 1 表示接收 FIFO 中有接收到的数据, 读取 FIFO 中所有数据后, 该位自动清 0。

MSR: 调制解调器 MODEM 状态寄存器, 用于查询 MODEM 状态。

DCD: 该位是 DCD 引脚的位反, 为 1 表示 DCD 引脚有效 (低电平有效)。

RI: 该位是 RI 引脚的位反, 为 1 表示 RI 引脚有效 (低电平有效)。

DSR: 该位是 DSR 引脚的位反, 为 1 表示 DSR 引脚有效 (低电平有效)。

CTS: 该位是 CTS 引脚的位反, 为 1 表示 CTS 引脚有效 (低电平有效)。

Δ DCD: 该位为 1 表示 DCD 引脚输入状态发生过变化。

Δ RI: 该位为 1 表示 RI 引脚输入状态发生过变化。

Δ DSR: 该位为 1 表示 DSR 引脚输入状态发生过变化。

Δ CTS: 该位为 1 表示 CTS 引脚输入状态发生过变化。

SCR: 用户可定义寄存器。

DLL 和 DLM: 波特率除数锁存器, DLL 是低字节, DLM 是高字节, 两者组成的 16 位除数用于由 16 位计数器构成的串口波特率产生器。该除数 = 串口内部基准时钟 / 16 / 所需通讯波特率。如果串口内部基准时钟为 1.8432MHz, 所需波特率为 9600bps, 则除数=1843200/16/9600=12。

7、功能说明

7.1. 查询与中断

CH352 芯片的两个串口合用一个 PCI 中断请求引脚, 所以在进入 PCI 中断服务程序后, 首先应该分析出是否为 CH352 请求中断, 以及是哪个串口的中断请求。当进入中断服务程序后, 首先读取串口 0 的 IIR 寄存器, 有中断则处理并退出, 无中断则读取串口 1 的 IIR 寄存器, 有中断则处理并退出, 无中断则直接退出。当确认是某个串口的中断后, 如果有必要还可以进一步分析 LSR 寄存器, 分析中断原因并处理。

如果串口工作于中断方式, 那么需要设置 IER 寄存器以允许相应的中断请求, 并设置 MCR 寄存器中的 OUT2 以允许中断输出。

如果串口工作于查询方式, 那么无需设置 IER 和 MCR 的 OUT2, 只需查询 LSR 寄存器并分析处理。

7.2. 串口操作

具体操作可以参考单串口芯片 16C550 或者双串口芯片 CH432 的说明。

7.3. 应用说明

CH352 芯片的串口输出引脚都是 CMOS 电平, 兼容 TTL 电平, 输入引脚能够兼容 CMOS 电平和 TTL

电平，通过外加 RS232 电平转换器，可以进一步转换为 RS232 串口。

CH352 芯片的串口正常工作时需要外部向 XI 引脚提供时钟信号。一般情况下，时钟信号由 CH352 内置的反相器通过晶体稳频振荡产生。上电复位或者 PCI 总线复位后，PCI 配置空间的命令寄存器的位 0 为 0（禁止 I/O 空间），所以 CH352 自动关闭时钟振荡器，从而使串口 0 与串口 1 全部进入睡眠状态，直到 CH352 被分配 I/O 基址并且命令寄存器的位 0 为 1 才开启时钟振荡器。

异步串口方式下 CH352 芯片的引脚包括：数据传输引脚和 MODEM 联络信号引脚。数据传输引脚包括：TXD 引脚和 RXD 引脚，默认都是高电平。MODEM 联络信号引脚包括：CTS 引脚、DSR 引脚、RI 引脚、DCD 引脚、DTR 引脚、RTS 引脚，默认都是高电平。所有这些 MODEM 联络信号都可以作为通用 IO 引脚，由计算机应用程序控制并定义其用途。

CH352 内置了独立的收发缓冲区及 FIFO，支持单工、半双工或者全双工异步串行通讯。串行数据包括 1 个低电平起始位、8 个数据位、0 个或者 1 个附加校验位或者标志位，1 个或者 2 个高电平停止位，支持奇校验/偶校验/标志校验/空白校验。CH352 支持常用通讯波特率：1200、2400、4800、9600、19.2K、38.4K、57.6K、115.2K、230.4K、460.8K、921.6K、1.8432M、2.7648M 等。串口发送信号的波特率误差小于 0.2%，串口接收信号的允许波特率误差不小于 2%。

在计算机端的 Windows 和 Linux 操作系统下，CH352 的驱动程序能够兼容标准串口，所以绝大部分原串口应用程序完全兼容，通常不需要作任何修改。

CH352 可以用于通过 PCI 总线为计算机扩展额外的高速 RS232 串口、支持自动硬件速率控制的高波特率串口、RS422 或者 RS485 通讯接口、SIR 红外通讯接口等。

8、参数

8.1. 绝对最大值（临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏）

名称	参数说明	最小值	最大值	单位	
TA	工作时的环境温度	VCC=5V	-40	85	°C
		VCC=3.3V	-40	65	
TS	储存时的环境温度	-55	125	°C	
VCC	电源电压（VCC 接电源，GND 接地）	-0.5	6.0	V	
VIO	输入或者输出引脚上的电压	-0.5	VCC+0.5	V	

8.2. 电气参数（测试条件：TA=25°C，VCC=5V，不包括连接 PCI 总线的引脚）

（如果电源电压为 3.3V，则表中所有电流参数需要乘以 40% 的系数）

名称	参数说明	最小值	典型值	最大值	单位
VCC	电源电压（请参考下面的注意事项）	3.3	5	5.3	V
ICC	工作时的电源电流	1	15	50	mA
VIL	低电平输入电压	-0.5		0.8	V
VIH	高电平输入电压	2.0		VCC+0.5	V
VOL	低电平输出电压（4mA 吸入电流）			0.5	V
VOH	高电平输出电压（2mA 输出电流）	VCC-0.5			V
IIN	无上拉的输入端的输入电流			10	uA
IUP1	带弱上拉的输入端的输入电流	3	5	170	uA
IUP2	带上拉的输入端的输入电流	18	30	200	uA
IUPscl	SCL 引脚的上拉输入电流	150	250	400	uA
IDN	带下拉的输入端的输入电流	-18	-30	-80	uA

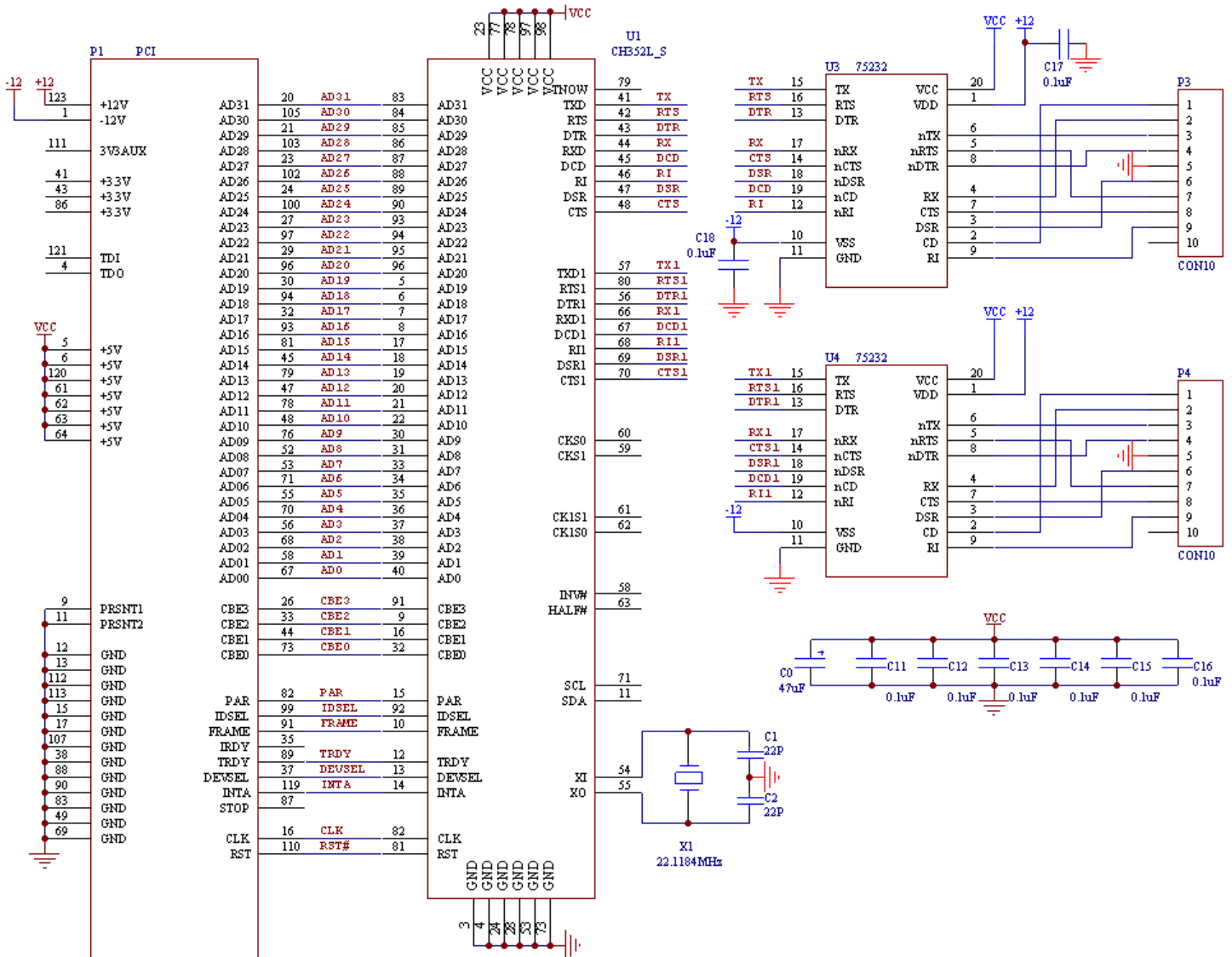
注意事项：CH352 的输入承受电压实际是电源电压加上 0.5V，例如，当 CH352 工作于 3.3V 电源电压时，外部电路提供给 CH352 的输入电压不得超过 3.8V。当 CH352 的电源电压低于 4V 时，PCI 总线的主频不得超过 33MHz，也就是说 PCI 总线不得超频工作。

8.3. 时序参数 (测试条件: TA=25°C, VCC=5V, FCLK=33.3MHz, 参考附图)

名称	参数说明	最小值	典型值	最大值	单位
FCLK	CLK 输入频率 (PCI 总线的主频)	0	33.3	40	MHz
FSCL	自动加载时 SCL 输出频率 (两线接口主频)	FCLK / 128 = 260			KHz
FXI	XI 输入频率、晶体频率	0.9216	22.1184	32	MHz

9、应用

9.1. 双 RS232 串口 (下图)



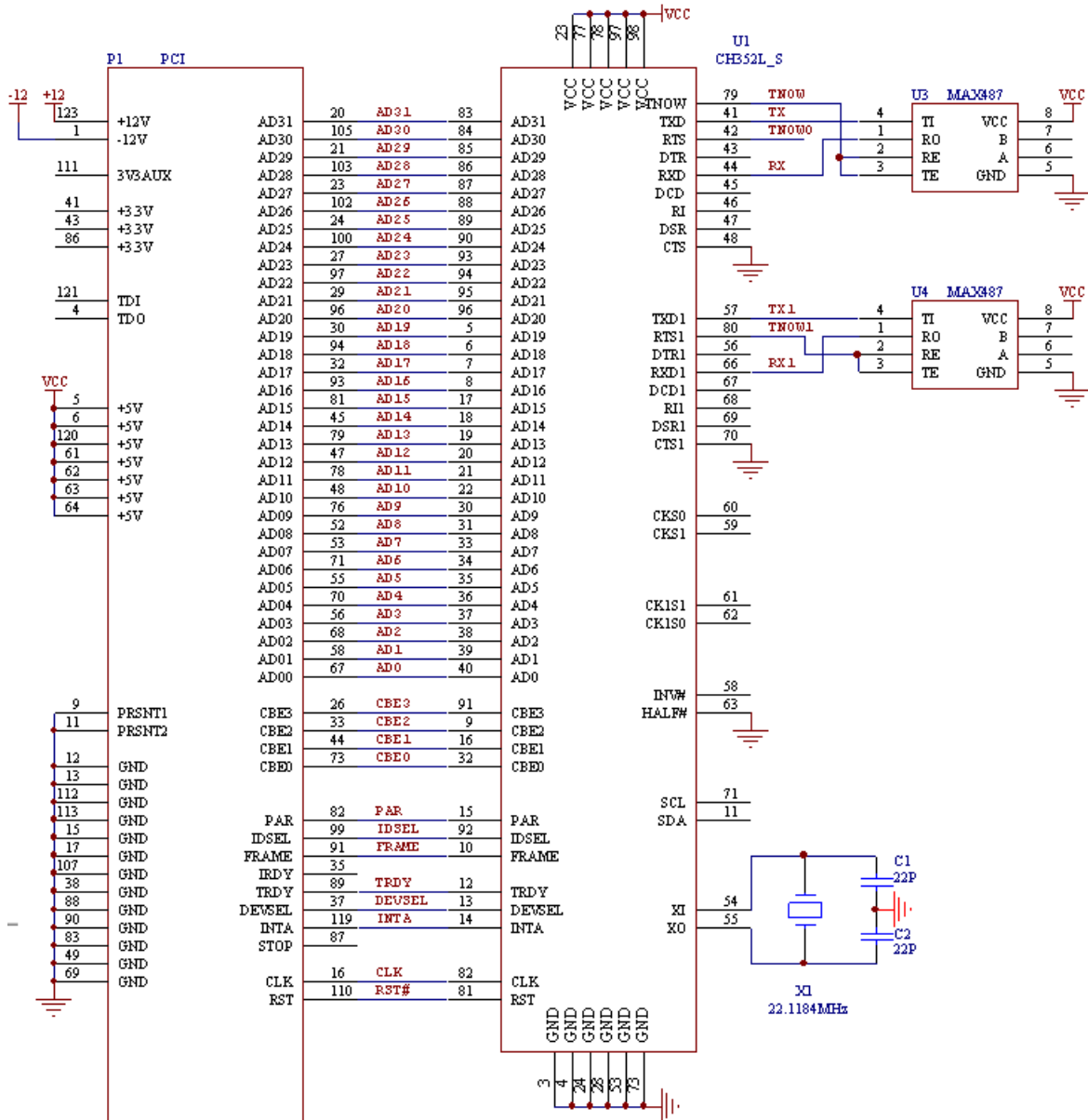
这是基于 CH352 芯片的 PCI 双通道串口的电路。U3 和 U4 是 RS232 电平转换芯片 75232, P3 和 P4 是 10 脚双排针或者 DB9 插针。晶体 X1 和电容 C1 及 C2 用于时钟振荡电路。电容 C0 和 C11~C18 用于电源退耦, C11~C18 是容量为 0.1uF 的独石或者高频瓷片电容, 分别就近并联在 CH352 的三对电源引脚或者 75232 芯片的电源引脚上。

CH352 属于高频数字电路, 应该考虑信号阻抗匹配, 在设计 PCB 板时需要参考 PCI 总线规范。建议 CH352 的 PCI 信号线的长度都小于 35mm, 尽量走弧线或者 45 度线, 避免直角或者锐角走线, 并且尽量将信号走线布在元件面, 而在 PCB 背面保留大面积的接地覆铜。CH352 的 PCI 时钟线 CLK 的长度尽量保持在 50mm~65mm 之间, 并且不宜靠近其它信号线, 建议在 CLK 两侧及 PCB 背面布置接地线或

者覆铜，以减少周边信号线的干扰。

9.2. 双 RS485 接口（下图）

这是基于 CH352 芯片的 PCI 双 RS485 接口电路，U3 和 U4 是 RS485 收发器芯片。



9.3. 连接配置芯片（下图）

这是双串口功能模式下 CH352 与外部配置芯片 24C02 的连接图，电阻 R2 用于 SDA 上拉。

