

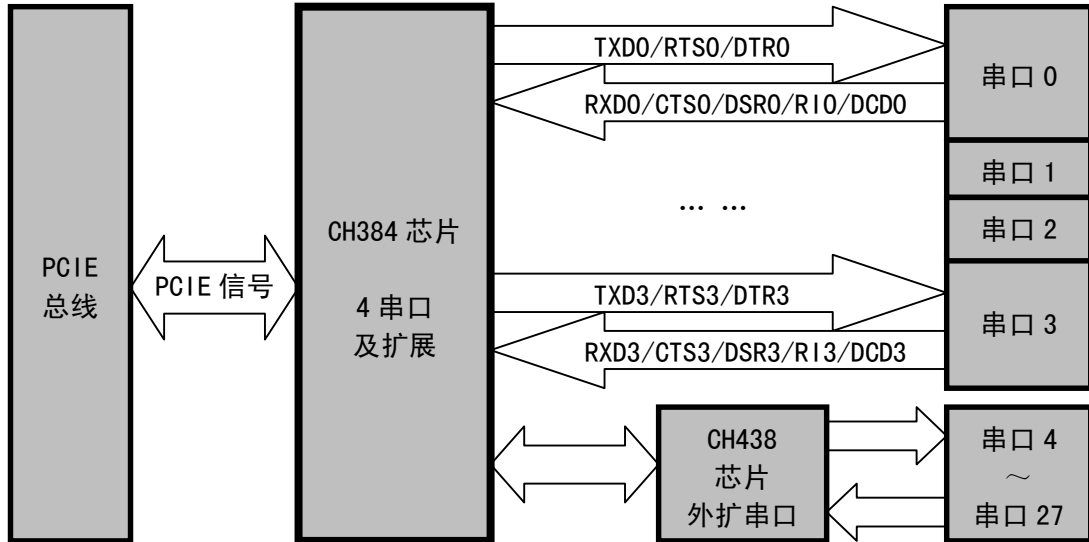
# PCIE 总线四串口及打印口芯片 CH384

手册 (二): 4 串口+扩展多串口

版本: 1A

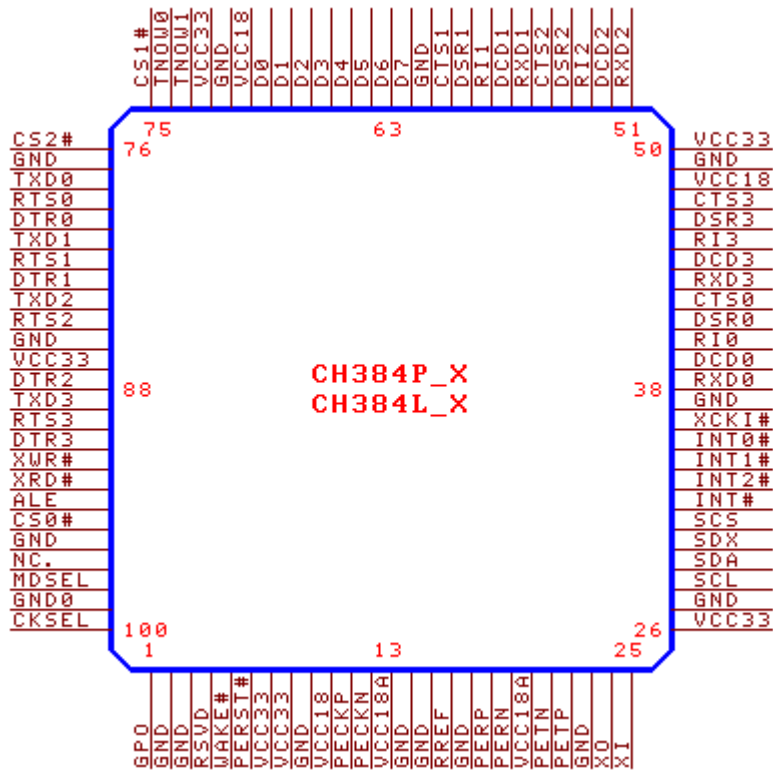
<http://wch.cn>

## 1、应用框图



## 2、封装

4 串口+扩展



有关 4 串口+并口的应用说明和引脚图请参考手册 (一) CH384DS1.PDF。

CH384P 内置 3.3V 到 1.8V 的 LDO 降压器, 单一 3.3V 供电;

CH384L 需外部提供 3.3V 和 1.8V 两种电源。

### 3、引脚

#### 3.1. 电源线

引脚号	引脚名称	类型	引脚说明
7, 8, 26, 50, 72, 87	VCC33	电源	3.3V I/O 电源
10, 48, 70	VCC18	电源	1.8V 内核电源
13, 20	VCC18A	电源	1.8V 传输电源
2, 3, 9, 14, 15, 17, 23, 27, 37, 49, 61, 71, 77, 86, 96, 99	GND	电源	公共接地端
97	NC.	空脚	禁止连接

#### 3.2. PCIE 总线信号线

引脚号	引脚名称	类型	引脚说明
6	PERST#	输入	系统复位信号线，低电平有效
11, 12	PECKP/PECKN	输入	系统参考时钟差分输入
18, 19	PERP/PERN	PCIE 输入	PCIE 接收器差分信号输入
22, 21	PETP/PETN	PCIE 输出	PCIE 发送器差分信号输出
5	WAKE#	开漏输出	总线唤醒输出，低电平有效，未用到则可以不连接

#### 3.3. 串口 0~串口 3 信号线

引脚号	引脚名称	类型	引脚说明
42/60 55/47	CTS0/CTS1 CTS2/CTS3	输入	MODEM 信号，清除发送，低电平有效，内置上拉电阻
41/59 54/46	DSR0/DSR1 DSR2/DSR3	输入	MODEM 信号，数据装置就绪，低电平有效，内置上拉电阻
40/58 53/45	RI0/RI1 RI2/RI3	输入	MODEM 信号，振铃指示，低电平有效，内置上拉电阻
39/57 52/44	DCD0/DCD1 DCD2/DCD3	输入	MODEM 信号，载波检测，低电平有效，内置上拉电阻
38/56 51/43	RXD0/RXD1 RXD2/RXD3	输入	异步串行数据输入，内置上拉电阻
80/83 88/91	DTR0/DTR1 DTR2/DTR3	输出	MODEM 信号，数据终端就绪，低电平有效
79/82 85/90	RTS0/RTS1 RTS2/RTS3	输出	MODEM 信号，请求发送，低电平有效
78/81 84/89	TXD0/TXD1 TXD2/TXD3	输出	异步串行数据输出
74/73	TNOW0/TNOW1	输出	串口正在发送状态输出（半双工收发切换），高电平有效

#### 3.4. 扩展 CH438 信号线

引脚号	引脚名称	类型	引脚说明
62-69	D7~D0	三态双向	8 位并行数据输出及输入，内置上拉电阻，接 D7~D0
92	XWR#	输出	写选通输出，低电平有效，接 WR#
93	XRD#	输出	读选通输出，低电平有效，接 RD#

94	ALE	输出	复用地址的地址锁存使能输出，高电平有效，接 ALE
95	CS0#	输出	外扩串口片选 0 输出，接 0# CH438 的 CS#，低电平有效
75	CS1#	输出	外扩串口片选 1 输出，接 1# CH438 的 CS#，低电平有效
76	CS2#	输出	外扩串口片选 2 输出，接 2# CH438 的 CS#，低电平有效
35	INT0#	输入	0# CH438 的中断状态输入，低电平有效，内置上拉电阻
34	INT1#	输入	1# CH438 的中断状态输入，低电平有效，内置上拉电阻
33	INT2#	输入	2# CH438 的中断状态输入，低电平有效，内置上拉电阻
32	INT#	输入	备用的中断状态输入，低电平有效，内置上拉电阻

### 3.5. 辅助信号线

引脚号	引脚名称	类型	引脚说明
16	RREF	输入	系统参考电流输入，需要外接 12K $\Omega$ 电阻到 GND
25	XI	输入	可选，晶体振荡的输入端，外接晶体及振荡电容
24	XO	输入输出	可选，晶体振荡的反相输出端，外接晶体及振荡电容
28	SCL	输出	通用输出，外部配置芯片的时钟输出，可以外接串行 EEPROM 配置芯片 24CXX 的 SCL 引脚
29	SDA	开漏输出及输入	通用输出及输入，内置上拉电阻，可以外接串行 EEPROM 配置芯片 24CXX 的 SDA 引脚
30	SDX	三态双向	通用输出及输入，内置上拉电阻
31	SCS	输出	通用输出
100	CKSEL	输入	串口时钟频率选择输入，内置上拉电阻
98	MDSEL	输入	软件识别模式选择输入，内置上拉电阻
36	XCKI#	输入	外部输入串口时钟源选择输入，内置上拉电阻
1	GPO	输出	通用输出
4	RSVD	保留	保留引脚，禁止连接

## 4、配置

CH384 芯片具有两种主要硬件功能模式：4 串口+并口功能模式，4 串口+扩展多串口功能模式。两种功能模式下的引脚定义不同，本手册只涉及后者，前者请参考手册（一）CH384DS1.PDF。

CH384 芯片的 MDSEL 引脚用于选择软件识别模式：

MDSEL 接 VCC33 或者悬空，即 MDSEL=1，则是 8 串口模式（外扩 8 串口，且内部 4 串口禁用）；

MDSEL 接 GND，即 MDSEL=0，则是 28 串口模式（内部 4 串口+外扩 3\*8 串口）。

CH384 芯片的 XCKI# 引脚用于在 28 串口模式下选择内部 4 串口的时钟源及禁用内部晶体振荡器：

XCKI# 接 VCC33 或者悬空，即 XCKI#=1，则由内部晶体振荡器加外部晶体或 PLL 产生时钟；

XCKI# 接 GND，即 XCKI#=0，则内部晶体振荡器禁用，而从 XO 引脚输入外部时钟。

CH384 芯片的 CKSEL 引脚用于选择内部 4 串口的时钟频率：

CKSEL 接 VCC33 或者悬空，即 CKSEL=1，则从 XO 引脚输入时钟，频率由外部晶体或者时钟源决定，且内部频率系数默认为 1/12 分频，支持再通过 CK2X 或者 CKnS 选择 2 倍频；

CKSEL 接 GND，即 CKSEL=0，则从 XO 引脚输入时钟，频率由外部晶体或者时钟源决定，且内部频率系数总是强制为 2 倍频；

CKSEL 接 PERST# 引脚，即 CKSEL=R，则内部晶体振荡器禁用，而由内部 PLL 提供频率为 125MHz 的时钟，且内部频率系数默认为 1/68 分频，支持再通过 CK2X 或者 CKnS 选择不分频。

在 8 串口模式下，CKSEL 应该连接 PERST# 引脚，以禁用内部晶体振荡器，并且 XCKI# 应该悬空。

有关外部配置芯片的说明、串口内部时钟的说明、PCIE 配置空间的说明、I/O 基址 0 的寄存器的说明、寄存器的位说明、串口寄存器的说明，请参考手册（一）。

## 5、功能说明

### 5.1. 查询与中断

CH384 芯片的多个串口合用一个 PCIE 中断请求引脚，所以在进入 PCIE 中断服务程序后，首先应该分析出是否为 CH384 请求中断，以及是哪个串口的中断请求。当进入中断服务程序后，有专用状态分析和依次查询两种方法：

专用状态分析是指首先读取 IINT 内部中断状态寄存器和 XINT 外部中断状态寄存器，IINT 位 0 标志有效说明是串口 0 中断，IINT 位 1 标志有效说明是串口 1 中断，IINT 位 2 标志有效说明是串口 2 中断，IINT 位 3 标志有效说明是串口 3 中断，XINT 位 5 标志有效说明是外扩 0# CH438 中断，XINT 位 6 标志有效说明是外扩 1# CH438 中断，XINT 位 7 标志有效说明是外扩 2# CH438 中断，根据分析结果直接处理并退出，无中断则直接退出。

依次查询是指首先读取串口 0 的 IIR 寄存器，有中断则处理并退出，无中断则读取串口 1 的 IIR 寄存器，有中断则处理并退出，无中断则读取串口 2 的 IIR 寄存器，有中断则处理并退出，无中断则读取串口 3 的 IIR 寄存器，有中断则处理并退出，无中断则读取外扩第 1 个串口的 IIR 寄存器，有中断则处理并退出，无中断则读取外扩第 2 个串口的 IIR 寄存器，直到查询完成所有外扩串口。

当确认是某个串口的中断后，如果有必要还可以进一步分析 LSR 寄存器，分析中断原因并处理。

如果串口工作于中断方式，那么需要设置 IER 寄存器以允许相应的中断请求，并设置 MCR 寄存器中的 OUT2 以允许中断输出。

如果串口工作于查询方式，那么无需设置 IER 和 MCR 的 OUT2，只需查询 LSR 寄存器并分析处理。

### 5.2. 串口操作

具体操作可以参考单串口芯片 16C550 或者双串口芯片 CH432 或者八串口芯片 CH438 的说明。

### 5.3. 应用说明

有关串口的应用说明请参考手册（一）。

注意，通过 CH438 芯片外扩串口的输出引脚都是 3.3V LVCMOS 电平，兼容 5V TTL 电平，输入引脚兼容 3.3V LVCMOS 和 LVTTTL 电平，但是不能承受 5V 耐压。

CH384 可以用于通过 PCIE 总线为计算机扩展额外的高速 RS232 串口、支持自动硬件速率控制的高波特率串口、RS422 或者 RS485 通讯接口、SIR 红外通讯接口等。

## 6、参数

请参考手册（一）CH384DS1.PDF。

## 7、应用

### 9.1. 四串口+扩展多串口（下图）

这是基于 CH384 芯片的 PCIE 四串口+外部多串口扩展的基本电路，图中未包含外部扩展的 CH438 芯片和 RS232 电平转换芯片。

U3 是可选的外部配置芯片，网站上提供了 Windows 系统下的在线配置工具软件。

晶体 X1 和电容 C23、C24 用于时钟振荡电路，CH384 的 X0 引脚可以向外部扩展的 CH438 的 X1 引脚提供时钟。电容 C39 用于上电复位，其它电容用于电源退耦，10uF 电容是 MLCC 或钽电容，0.1uF 电容是高频电容，分别就近并联在 CH384 的电源引脚上。

对于 CH384P 芯片，已内置 LDO 降压器，必须去掉 U2 和 C2 及 C3。

CH384 属于高频电路，在设计 PCB 板时请参考 PCIE 总线规范，或者参考 PCIE\_PCB.PDF 文档。

