

8 位增强型 USB 单片机 CH558

手册

版本: 1.4

<http://wch.cn>

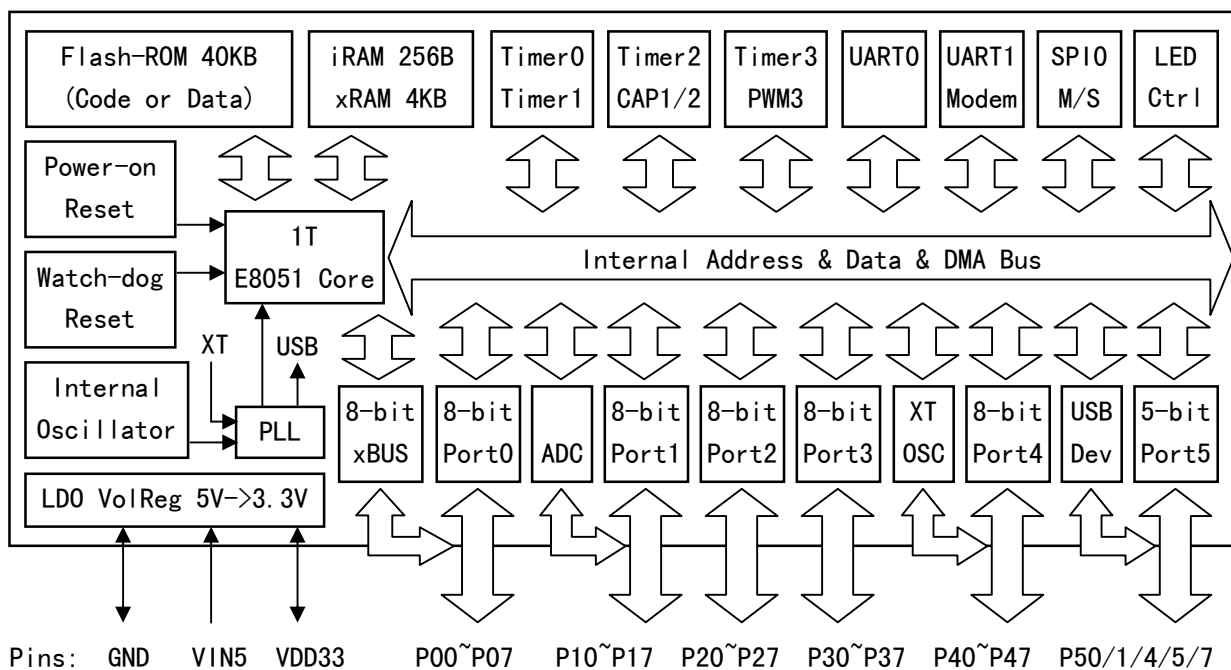
1、概述

CH558 芯片是一款兼容 MCS51 指令集的增强型 E8051 内核单片机, 其 79% 的指令是单字节单周期指令, 平均指令速度比标准 MCS51 快 8~15 倍。

CH558 支持最高 56MHz 系统主频, 内置 40K 程序存储器 Flash-ROM 和 256 字节内部 iRAM 以及 4K 字节片内 xRAM, xRAM 支持 DMA 直接内存存取。

CH558 内置了 ADC 模数转换、4 组定时器和 PWM、双异步串口、SPI、USB 设备控制器和全速收发器等功能模块。

下面为 CH558 的内部框图, 仅供参考。

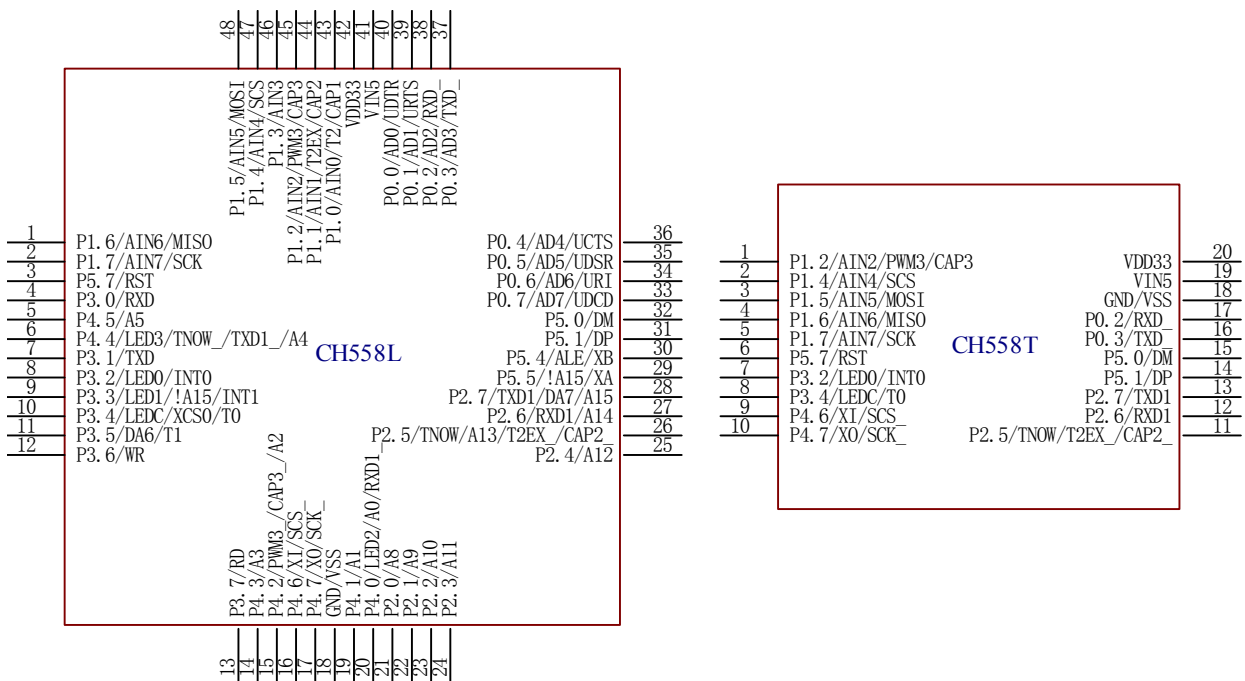


2、特点

- Core: 增强型 E8051 内核, 兼容 MCS51 指令集, 其 79% 的指令是单字节单周期指令, 平均指令速度比标准 MCS51 快 8~15 倍, 特有 XRAM 数据快速复制指令, 双 DPTR 指针。
- ROM: 40KB 非易失存储器 Flash-ROM, 支持 100K 次擦写, 分为 32KB 应用程序存储区和 5KB 数据存储器以及 3KB 引导代码 BootLoader/ISP 程序区。
- RAM: 256 字节内部 iRAM, 可以用于快速数据暂存以及堆栈; 4KB 片内 xRAM, 可以用于大量数据暂存以及 DMA 直接内存存取; 支持在片外再外扩 32KB 外部 SRAM。
- USB: 内嵌 USB 控制器和 USB 收发器, 支持 USB-Device 设备模式, 支持 USB 2.0 全速 12Mbps 或者低速 1.5Mbps。支持最大 64 字节数据包, 内置 FIFO, 支持 DMA。
- Timer: 4 组定时器, T0/T1/T2 为标准 MCS51 定时器; T2 扩展为支持 2 路信号捕捉; TMR3 内置 8 级 FIFO, 支持 DMA, 支持信号捕捉采样和 16 位 PWM 输出。
- UART: 2 组异步串口, UART0 为标准 MCS51 串口; UART1 兼容 16C550, 内置 8 级 FIFO, 支持 Modem 信号, 支持 RS485 半双工模式, 支持预置本机地址用于多机通讯时自动匹配。

- SPI: SPI 控制器内置 FIFO, 时钟频率最高可达系统主频 F_{sys} 的一半, 支持串行数据输入输出单工复用, 支持 Master/Slave 主从模式。
- ADC: 8 通道 10 位或 11 位 A/D 模数转换器, 内置 2 级 FIFO, 支持 DMA, 支持最高 1MSPS 采样率, 支持两通道自动轮测。
- LED-CTRL: LED 屏控制卡数据传输接口, 内置 4 级 FIFO, 支持 DMA, 支持 1/2/4 路数据线接口, 时钟频率最高可达系统主频 F_{sys} 的一半。
- XBUS: 8 位并行外部总线, 兼容标准 MCS51 总线, 用于连接片外 SRAM 存储器或者其它外设, 支持直接 15 位地址或者 ALE 复用低 8 位地址, 支持 4 种总线存取速度。
- GPIO: 支持最多 45 个 GPIO 引脚(含 XI/XO 和 RST 以及 USB 信号引脚), 3.3V 电压输出, 除了 P1.0~P1.7、XI、XO、RST 之外都支持 5V 耐压输入。
- Interrupt: 支持 13 组中断信号源, 包括与标准 MCS51 兼容的 6 组中断(INT0、T0、INT1、T1、UART0、T2), 以及扩展的 7 组中断(SPI0、TMR3、USB、ADC、UART1、GPIO、WDOG), 其中 GPIO 中断可以从 7 个引脚中选择。
- Watch-Dog: 8 位可预设看门狗定时器 WDOG, 支持定时中断。
- Reset: 支持 4 种复位信号源, 内置上电复位, 支持软件复位和看门狗溢出复位, 可选引脚外部输入复位。
- Clock: 内置 12MHz 时钟源, 可以通过复用 GPIO 引脚支持外部晶体, 内置 PLL 用于产生 USB 时钟和所需频率的系统主频 F_{sys} 。
- Power: 内置 5V 到 3.3V 的低压差电压调整器, 内部工作电压为 3.3V, 支持外部 3.3V 或者 5V 电源输入。支持低功耗睡眠, 支持 USB、UART0、UART1、SPI0 以及部分 GPIO 外部唤醒。
- 芯片内置唯一 ID 号, 支持 ID 号和校验。

3、封装



封装形式	塑体宽度		引脚间距		封装说明	订货型号
LQFP-48	7*7mm		0.5mm	19.7mil	标准 LQFP48 脚贴片	CH558L
SSOP-20	5.30mm	209mil	0.65mm	25mil	超小型 20 脚贴片	CH558T

4、引脚

引脚号		引脚名称	其它功能名称 (左侧功能最优先)	其它功能描述
SSOP20	LQFP48			
19	41	VIN5	V5	内部 5V→3.3V 电压调整器的 5V 外部电源输入，需要外接 0.1uF 电源退耦电容。
20	42	VDD33	VDD/VCC	内部电压调整器输出和内部 3.3V 工作电源输入，当电源电压小于 3.6V 时连接 VIN5 输入外部电源，当电源电压大于 3.6V 时外接 3.3uF 电源退耦电容。
18	18	GND	VSS	公共接地端。
-	40	P0.0	AD0/UDTR	P0 端口：默认是 8 位开漏双向端口，可选通过设置 P0_PU 使能内部上拉电阻，使之转为准双向端口。
-	39	P0.1	AD1/URTS	
17	38	P0.2	AD2/RXD_	P0 在访问外部总线时会临时自动切换为推挽输出，作为双向数据总线 AD0~AD7；或者在复用地址模式下访问外部总线时根据需要输出地址的低 8 位。
16	37	P0.3	AD3/TXD_	
-	36	P0.4	AD4/UCTS	UDTR、URTS：UART1 的 modem 信号输出。
-	35	P0.5	AD5/UDSR	
-	34	P0.6	AD6/URI	UCTS、UDSR、URI、UDCD：UART1 的 modem 信号输入。
-	33	P0.7	AD7/UDCD	
-	43	P1.0	AIN0/T2/CAP1	AIN0~AIN7：8 通道 ADC 模拟信号输入。
-	44	P1.1	AIN1/T2EX/CAP2	
1	45	P1.2	AIN2/PWM3/CAP3	T2EX：定时/计数器 2 重载/捕捉输入。
-	46	P1.3	AIN3	CAP1、CAP2：定时/计数器 2 的捕捉输入 1、2。
2	47	P1.4	AIN4/SCS	CAP3/PWM3：定时/计数器 3 捕捉输入/PWM 输出。
3	48	P1.5	AIN5/MOSI	SCS、MOSI、MISO、SCK：SPI0 接口，SCS 是片选输入，MOSI 是主机输出/从机输入，MISO 是主机输入/从机输出，SCK 是串行时钟。
4	1	P1.6	AIN6/MISO	
5	2	P1.7	AIN7/SCK	
-	21	P2.0	A8	P2 在访问外部总线时会临时自动切换为推挽输出，根据需要输出地址的高 8 位 A8~A15。
-	22	P2.1	A9	
-	23	P2.2	A10	
-	24	P2.3	A11	
-	25	P2.4	A12	
11	26	P2.5	TNOW/A13 /T2EX_/CAP2_	TNOW：UART1 正在发送输出指示。
12	27	P2.6	RXD1/A14	T2EX_/CAP2_：T2EX/CAP2 引脚映射。
13	28	P2.7	TXD1/DA7/A15	RXD1、TXD1：UART1 串行数据输入、串行数据输出。
-	4	P3.0	RXD	DA7：直接地址模式下访问外部总线时输出地址 A7。
-	7	P3.1	TXD	RXD、TXD：UART0 串行数据输入、串行数据输出。
7	8	P3.2	LED0/INT0	
-	9	P3.3	LED1/!A15/INT1	INT0、INT1：外部中断 0、外部中断 1 输入。
8	10	P3.4	LED0/XCS0/T0	LED0、LED1、LED0：LED 串行数据 0、1、时钟输出。
-	11	P3.5	DA6/T1	!A15：外部总线地址 A15 反相输出，用于片选。
-	12	P3.6	WR	T0、T1：定时器 0、定时器 1 外部输入。
-	13	P3.7	RD	XCS0：外部总线地址 4000h~7FFFh 片选输出。
				DA6：直接地址模式下访问外部总线时输出地址 A6。
				WR、RD：外部总线写信号、读信号。

-	20	P4.0	LED2/A0/RXD1_	A0~A5: 在直接地址模式下访问外部总线时输出低 6 位地址 A0~A5。 LED2、LED3: LED 串行数据 2、3 输出。 RXD1_、TNOW_/TXD1_: RXD1、TNOW/TXD1 引脚映射。 PWM3_/CAP3_: PWM3/CAP3 引脚映射。 X1、X0: 外部晶体振荡输入端、反相输出端。 SCS_、SCK_: SPI0 片选 SCS、SCK 引脚映射。
-	19	P4.1	A1	
-	15	P4.2	PWM3_/CAP3_/A2	
-	14	P4.3	A3	
-	6	P4.4	LED3/TNOW_/TXD1_/A4	
-	5	P4.5	A5	
9	16	P4.6	X1/SCS_	
10	17	P4.7	X0/SCK_	
15	32	P5.0	DM	
14	31	P5.1	DP	
-	30	P5.4	ALE/XB	XB、XA: iRS485 的 B/反相、A/同相信号端。 ALE: 复用地地址模式下的地址锁存信号输出。 !A15: 外部总线地址 A15 反相输出, 用于片选。
-	29	P5.5	!A15/XA	
6	3	P5.7	RST	外部复位输入, 内置下拉电阻。

5、特殊功能寄存器 SFR

本手册中对寄存器进行描述时可能使用了下列缩写:

缩写词	描述
RO	表示访问类型: 只读
WO	表示访问类型: 只写, 读取的值无效
RW	表示访问类型: 可读可写
h	以其结束表示 16 进制数
b	以其结束表示 2 进制数

5.1 SFR 简介和地址分布

CH558 用特殊功能寄存器 SFR 和 xSFR 控制、管理设备以及设置工作模式。

SFR 占用内部数据存储空间的 80h~FFh 地址范围, 只能通过直接地址方式的指令访问。其中地址为 x0h 或 x8h 的寄存器是可以按位寻址的, 这样就能避免访问某个具体的位时而修改其他位的值; 其它地址为非 8 倍数的寄存器只能按字节访问。

部分 SFR 仅在安全模式下才能写入数据, 而在非安全模式下是只读状态, 例如: GLOBAL_CFG、PLL_CFG、CLOCK_CFG、SLEEP_CTRL、WAKE_CTRL。

部分 SFR 具有一个或者多个别名, 例如: SPI0_CK_SE/SPI0_S_PRE、P5_PIN/P4_CFG。

部分地址对应于多个独立的 SFR, 例如: TL2/T2CAP1L、TH2/T2CAP1H、SAFE_MOD/CHIP_ID、T3_COUNT_L/T3_CK_SE_L、T3_COUNT_H/T3_CK_SE_H、SER1_FIFO/SER1_RBR/SER1_THR/SER1_DLL、SER1_IER/SER1_DLM、SER1_IIR/SER1_FCR、SER1_ADDR/SER1_DIV、ROM_CTRL/ROM_STATUS。

xSFR 占用外部数据存储空间 xdata 类型的 2440h~298Fh 地址范围, 或者 pdata 类型的 40H~8Fh 地址范围。xSFR 只能通过 MOVX 指令间接寻址按字节访问, 默认是基于 DPTR 指针; 但在 bXIR_XSFR 置 1 后, 还可以用更快捷的 R0 或者 R1 作为 pdata 类型指针访问名称为 pU*和 pLED_*的 xSFR。

部分地址对应于多个独立的 xSFR, 例如: LED_DATA/LED_FIFO_CN。

CH558 包含 8051 标准 SFR 所有的寄存器, 同时又增加了其他设备控制寄存器。具体 SFR 见下表。

表 5.1 特殊功能寄存器表

SFR	0、8	1、9	2、A	3、B	4、C	5、D	6、E	7、F
0xF8	SPIO_STAT	SPIO_DATA	SPIO_CTRL	SPIO_CK_SE SPIO_S_PRE	SPIO_SETUP	XBUS_SPEED	RESET_KEEP	WDOG_COUNT
0xF0	B	ADC_STAT	ADC_CTRL	ADC_CHANN	ADC_FIFO_L	ADC_FIFO_H	ADC_SETUP	ADC_EX_SW
0xE8	IE_EX	IP_EX	SLEEP_CTRL	WAKE_CTRL	ADC_DMA_AL	ADC_DMA_AH	ADC_DMA_CN	ADC_CK_SE
0xE0	ACC	USB_INT_EN	USB_CTRL	USB_DEV_AD	UDEV_CTRL		USB_DMA_AL	USB_DMA_AH
0xD8	USB_INT_FG	USB_INT_ST	USB_MIS_ST		UEP0_CTRL	UEP0_T_LEN	UEP4_CTRL	UEP4_T_LEN
0xD0	PSW	USB_RX_LEN	UEP1_CTRL	UEP1_T_LEN	UEP2_CTRL	UEP2_T_LEN	UEP3_CTRL	UEP3_T_LEN
0xC8	T2CON	T2MOD	RCAP2L	RCAP2H	TL2 T2CAP1L	TH2 T2CAP1H	PIN_FUNC	GPIO_IE
0xC0	P4_OUT	P4_IN	P4_DIR	P4_PU	P0_DIR	P0_PU	PORT_CFG	P5_PIN P4_CFG
0xB8	IP	P1_IE	P1_DIR	P1_PU	P2_DIR	P2_PU	P3_DIR	P3_PU
0xB0	P3	GLOBAL_CFG	PLL_CFG	CLOCK_CFG				
0xA8	IE	T3_STAT	T3_CTRL	T3_DMA_CN	T3_DMA_AL	T3_DMA_AH	T3_FIFO_L	T3_FIFO_H
0xA0	P2	SAFE_MOD CHIP_ID	XBUS_AUX	T3_SETUP	T3_COUNT_L T3_CK_SE_L	T3_COUNT_H T3_CK_SE_H	T3_END_L	T3_END_H
0x98	SCON	SBUF	SER1_FIFO SER1_DLL					
0x90	P1	SER1_IER SER1_DLM	SER1_IIR SER1_FCR	SER1_LCR	SER1_MCR	SER1_LSR	SER1_MSR	SER1_ADDR SER1_DIV
0x88	TCON	TMOD	TL0	TL1	TH0	TH1	ROM_DATA_L	ROM_DATA_H
0x80	P0	SP	DPL	DPH	ROM_ADDR_L	ROM_ADDR_H	ROM_CTRL ROM_STATUS	PCON

备注：(1)、红色文本代表可以按位寻址；(2)、以下是颜色框对应说明

	寄存器地址
	SPIO 相关寄存器
	ADC 相关寄存器
	USB 相关寄存器
	定时/计数器 2 相关寄存器
	端口设置相关寄存器
	UART1 相关寄存器
	定时/计数器 0 和 1 相关寄存器
	Flash-ROM 相关寄存器

5.2 SFR 分类和复位值

表 5.2 SFR 和 xSFR 描述和复位值

功能分类	名称	地址	描述	复位值
系统设置 相关寄存器	B	F0h	B 寄存器	0000 0000b
	ACC	E0h	累加器	0000 0000b
	PSW	D0h	程序状态寄存器	0000 0000b
	GLOBAL_CFG	B1h	全局配置寄存器(引导程序状态下)	1010 0000b
			全局配置寄存器(应用程序状态下)	1000 0000b
	CHIP_ID	A1h	芯片 ID 识别码(只读)	0101 1000b
	SAFE_MOD	A1h	安全模式控制寄存器(只写)	0000 0000b
	DPH	83h	数据地址指针高 8 位	0000 0000b
	DPL	82h	数据地址指针低 8 位	0000 0000b
	DPTR	82h	DPL 和 DPH 组成 16 位 SFR	0000h
SP	81h	堆栈指针	0000 0111b	
时钟、睡眠 及电源控制 相关寄存器	WDOG_COUNT	FFh	看门狗计数寄存器	0000 0000b
	RESET_KEEP	FEh	复位保持寄存器(上电复位状态下)	0000 0000b
	WAKE_CTRL	EBh	睡眠唤醒控制寄存器	0000 0000b
	SLEEP_CTRL	EAh	睡眠控制寄存器	0000 0000b
	CLOCK_CFG	B3h	系统时钟配置寄存器	1001 1000b
	PLL_CFG	B2h	PLL 时钟配置寄存器	1101 1000b
PCON	87h	电源控制寄存器(上电复位状态下)	0001 0000b	
中断控制 相关寄存器	IP_EX	E9h	扩展中断优先级控制寄存器	0000 0000b
	IE_EX	E8h	扩展中断使能寄存器	0000 0000b
	GPIO_IE	CFh	GPIO 中断使能寄存器	0000 0000b
	IP	B8h	中断优先级控制寄存器	0000 0000b
	IE	A8h	中断使能寄存器	0000 0000b
Flash-ROM 相关寄存器	ROM_DATA_H	8Fh	flash-ROM 数据寄存器高字节	xxxx xxxxb
	ROM_DATA_L	8Eh	flash-ROM 数据寄存器低字节	xxxx xxxxb
	ROM_DATA	8Eh	ROM_DATA_L 和 ROM_DATA_H 组成 16 位 SFR	xxxxh
	ROM_STATUS	86h	flash-ROM 状态寄存器(只读)	1000 0000b
	ROM_CTRL	86h	flash-ROM 控制寄存器(只写)	0000 0000b
	ROM_ADDR_H	85h	flash-ROM 地址寄存器高字节	xxxx xxxxb
	ROM_ADDR_L	84h	flash-ROM 地址寄存器低字节	xxxx xxxxb
	ROM_ADDR	84h	ROM_ADDR_L 和 ROM_ADDR_H 组成 16 位 SFR	xxxxh
端口设置 相关寄存器	XBUS_SPEED	FDh	外部总线速度配置寄存器	1111 1111b
	XBUS_AUX	A2h	外部总线辅助设置寄存器	0000 0000b
	PIN_FUNC	CEh	引脚功能选择寄存器	0000 0000b
	P4_CFG	C7h	P4 端口配置寄存器	0000 0000b
	P5_IN	C7h	P5 端口输入寄存器(只读)	0000 0000b
	PORT_CFG	C6h	端口配置寄存器	0000 1111b
	P0_PU	C5h	P0 端口上拉使能寄存器(En_P0_Pullup=0)	0000 0000b
			P0 端口上拉使能寄存器(En_P0_Pullup=1)	1111 1111b
	P0_DIR	C4h	P0 端口方向控制寄存器	0000 0000b
	P4_PU	C3h	P4 端口上拉使能寄存器	1111 1111b
	P4_DIR	C2h	P4 端口方向控制寄存器	0000 0000b

	P4_IN	C1h	P4 端口输入寄存器(只读)	1111 1111b
	P4_OUT	C0h	P4 端口输出寄存器	0000 0000b
	P3_PU	BFh	P3 端口方向控制寄存器	1111 1111b
	P3_DIR	BEh	P3 端口上拉使能寄存器	0000 0000
	P2_PU	BDh	P2 端口上拉使能寄存器	1111 1111b
	P2_DIR	BCh	P2 端口方向控制寄存器	0000 0000b
	P1_PU	BBh	P1 端口上拉使能寄存器	1111 1111b
	P1_DIR	BAh	P1 端口方向控制寄存器	0000 0000b
	P1_IE	B9h	P1 端口输入使能寄存器	1111 1111b
	P3	B0h	P3 端口输入输出寄存器	1111 1111b
	P2	A0h	P2 端口输入输出寄存器	1111 1111b
	P1	90h	P1 端口输入输出寄存器	1111 1111b
	P0	80h	P0 端口输入输出寄存器	1111 1111b
定时/计数器 0 和 1 相关寄存器	TH1	8Dh	Timer1 计数高字节	xxxx xxxxb
	TH0	8Ch	Timer0 计数高字节	xxxx xxxxb
	TL1	8Bh	Timer1 计数低字节	xxxx xxxxb
	TL0	8Ah	Timer0 计数低字节	xxxx xxxxb
	TMOD	89h	Timer0/1 方式寄存器	0000 0000b
	TCON	88h	Timer0/1 控制寄存器	0000 0000b
UART0 相关寄存器	SBUF	99h	UART0 数据寄存器	xxxx xxxxb
	SCON	98h	UART0 控制寄存器	0000 0000b
定时/计数器 2 相关寄存器	TH2	CDh	Timer2 计数器高字节	0000 0000b
	TL2	CCh	Timer2 计数器低字节	0000 0000b
	T2COUNT	CCh	TL2 和 TH2 组成 16 位 SFR	0000h
	T2CAP1H	CDh	Timer2 捕捉 1 数据高字节(只读)	xxxx xxxxb
	T2CAP1L	CCh	Timer2 捕捉 1 数据低字节(只读)	xxxx xxxxb
	T2CAP1	CCh	T2CAP1L 和 T2CAP1H 组成 16 位 SFR	xxxxh
	RCAP2H	CBh	计数重载/捕捉 2 数据寄存器高字节	0000 0000b
	RCAP2L	CAh	计数重载/捕捉 2 数据寄存器低字节	0000 0000b
	RCAP2	CAh	RCAP2L 和 RCAP2H 组成 16 位 SFR	0000h
	T2MOD	C9h	Timer2 方式寄存器	0000 0000b
T2CON	C8h	Timer2 控制寄存器	0000 0000b	
定时/计数器 3 相关寄存器	T3_FIFO_H	AFh	Timer3 的 FIFO 高字节	xxxx xxxxb
	T3_FIFO_L	A Eh	Timer3 的 FIFO 低字节	xxxx xxxxb
	T3_FIFO	A Eh	T3_FIFO_L 和 T3_FIFO_H 组成 16 位 SFR	xxxxh
	T3_DMA_AH	ADh	DMA 当前缓冲区地址高字节	0000 xxxxb
	T3_DMA_AL	ACh	DMA 当前缓冲区地址低字节	xxxx xxx0b
	T3_DMA	ACh	T3_DMA_AL 和 T3_DMA_AH 组成 16 位 SFR	0xxxh
	T3_DMA_CN	ABh	DMA 剩余计数寄存器	0000 0000b
	T3_CTRL	AAh	Timer3 控制寄存器	0000 0010b
	T3_STAT	A9h	Timer3 状态寄存器	0000 0000b
	T3_END_H	A7h	Timer3 计数终值高字节	xxxx xxxxb
	T3_END_L	A6h	Timer3 计数终值低字节	xxxx xxxxb

	T3_END	A6h	T3_END_L 和 T3_END_H 组成 16 位 SFR	xxxxh
	T3_COUNT_H	A5h	Timer3 当前计数高字节(只读)	0000 0000b
	T3_COUNT_L	A4h	Timer3 当前计数低字节(只读)	0000 0000b
	T3_COUNT	A4h	T3_COUNT_L 和 T3_COUNT_H 组成 16 位 SFR	0000h
	T3_CK_SE_H	A5h	Timer3 时钟分频设置高字节	0000 0000b
	T3_CK_SE_L	A4h	Timer3 时钟分频设置低字节	0010 0000b
	T3_CK_SE	A4h	T3_CK_SE_L 和 T3_CK_SE_H 组成 16 位 SFR	0020h
	T3_SETUP	A3h	Timer3 设置寄存器	0000 0100b
SPI0 相关寄存器	SPI0_SETUP	FCh	SPI0 设置寄存器	0000 0000b
	SPI0_S_PRE	FBh	SPI0 从机模式预置数据寄存器	0010 0000b
	SPI0_CK_SE	FBh	SPI0 时钟分频设置寄存器	0010 0000b
	SPI0_CTRL	FAh	SPI0 控制寄存器	0000 0010b
	SPI0_DATA	F9h	SPI0 数据收发寄存器	xxxx xxxxb
	SPI0_STAT	F8h	SPI0 状态寄存器	0000 1000b
UART1 相关寄存器	SER1_DLL	9Ah	UART1 波特率除数锁存器低字节	xxxx xxxxb
	SER1_FIFO	9Ah	UART1 数据 FIFO 读写寄存器	xxxx xxxxb
	SER1_DIV	97h	UART1 预分频除数寄存器	0xxx xxxxb
	SER1_ADDR	97h	UART1 总线地址预置寄存器	1111 1111b
	SER1_MSR	96h	UART1 调制解调器 MODEM 状态寄存器(只读)	1111 0000b
	SER1_LSR	95h	UART1 线路状态寄存器(只读)	0110 0000b
	SER1_MCR	94h	UART1 调制解调器 MODEM 控制寄存器	0000 0000b
	SER1_LCR	93h	UART1 线路控制寄存器	0000 0000b
	SER1_IIR	92h	UART1 中断识别寄存器(只读)	0000 0001b
	SER1_FCR	92h	FIFO 控制寄存器(只写)	0000 0000b
	SER1_DLM	91h	UART1 波特率除数锁存器高字节	1000 0000b
SER1_IER	91h	UART1 中断使能寄存器	0000 0000b	
ADC 相关寄存器	ADC_EX_SW	F7h	ADC 扩展模拟开关控制寄存器	0000 0000b
	ADC_SETUP	F6h	ADC 设置寄存器	0000 1000b
	ADC_FIFO_H	F5h	ADC 的 FIFO 高字节(只读)	0000 0xxx b
	ADC_FIFO_L	F4h	ADC 的 FIFO 低字节(只读)	xxxx xxxxb
	ADC_FIFO	F4h	ADC_FIFO_L 和 ADC_FIFO_H 组成 16 位 SFR	0xxxh
	ADC_CHANN	F3h	ADC 通道选择寄存器	0000 0000b
	ADC_CTRL	F2h	ADC 控制寄存器	0000 0000b
	ADC_STAT	F1h	ADC 状态寄存器	0000 0100b
	ADC_CK_SE	EFh	ADC 时钟分频设置寄存器	0001 0000b
	ADC_DMA_CN	EEh	DMA 剩余计数寄存器	0000 0000b
	ADC_DMA_AH	EDh	DMA 当前缓冲区地址高字节	0000 xxxxb
	ADC_DMA_AL	ECh	DMA 当前缓冲区地址低字节	xxxx xxx0b
	ADC_DMA	ECh	ADC_DMA_AL 和 ADC_DMA_AH 组成 16 位 SFR	0xxxh
USB 相关寄存器	USB_DMA_AH	E7h	DMA 当前缓冲区地址高字节(只读)	0000 xxxxb
	USB_DMA_AL	E6h	DMA 当前缓冲区地址低字节(只读)	xxxx xxx0b
	USB_DMA	E6h	USB_DMA_AL 和 USB_DMA_AH 组成 16 位 SFR	0xxxh
	UDEV_CTRL	E4h	USB 设备端口控制寄存器	0100 x000b

	USB_DEV_AD	E3h	USB 设备地址寄存器	0000 0000b
	USB_CTRL	E2h	USB 控制寄存器	0000 0110b
	USB_INT_EN	E1h	USB 中断使能寄存器	0000 0000b
	UEP4_T_LEN	DFh	端点 4 发送长度寄存器	0xxx xxxxb
	UEP4_CTRL	DEh	端点 4 控制寄存器	0000 0000b
	UEP0_T_LEN	DDh	端点 0 发送长度寄存器	0xxx xxxxb
	UEP0_CTRL	DCh	端点 0 控制寄存器	0000 0000b
	USB_MIS_ST	DAh	USB 杂项状态寄存器(只读)	xx10 1000b
	USB_INT_ST	D9h	USB 中断状态寄存器(只读)	00xx xxxxb
	USB_INT_FG	D8h	USB 中断标志寄存器	0010 0000b
	UEP3_T_LEN	D7h	端点 3 发送长度寄存器	0xxx xxxxb
	UEP3_CTRL	D6h	端点 3 控制寄存器	0000 0000b
	UEP2_T_LEN	D5h	端点 2 发送长度寄存器	0000 0000b
	UEP2_CTRL	D4h	端点 2 控制寄存器	0000 0000b
	UEP1_T_LEN	D3h	端点 1 发送长度寄存器	0xxx xxxxb
	UEP1_CTRL	D2h	端点 1 控制寄存器	0000 0000b
	USB_RX_LEN	D1h	USB 接收长度寄存器(只读)	0xxx xxxxb
USB 相关寄存器 xSFR 区域	UEP4_1_MOD	2446h	端点 1、4 模式控制寄存器	0000 0000b
	UEP2_3_MOD	2447h	端点 2、3 模式控制寄存器	0000 0000b
	UEP0_DMA_H	2448h	端点 0 和 4 缓冲区起始地址高字节	0000 xxxxb
	UEP0_DMA_L	2449h	端点 0 和 4 缓冲区起始地址低字节	xxxx xxx0b
	UEP0_DMA	2448h	UEP0_DMA_L 和 UEP0_DMA_H 组成 16 位 SFR	0xxxh
	UEP1_DMA_H	244Ah	端点 1 缓冲区起始地址高字节	0000 xxxxb
	UEP1_DMA_L	244Bh	端点 1 缓冲区起始地址低字节	xxxx xxx0b
	UEP1_DMA	244Ah	UEP1_DMA_L 和 UEP1_DMA_H 组成 16 位 SFR	0xxxh
	UEP2_DMA_H	244Ch	端点 2 缓冲区起始地址高字节	0000 xxxxb
	UEP2_DMA_L	244Dh	端点 2 缓冲区起始地址低字节	xxxx xxx0b
	UEP2_DMA	244Ch	UEP2_DMA_L 和 UEP2_DMA_H 组成 16 位 SFR	0xxxh
	UEP3_DMA_H	244Eh	端点 3 缓冲区起始地址高字节	0000 xxxxb
	UEP3_DMA_L	244Fh	端点 3 缓冲区起始地址低字节	xxxx xxx0b
	UEP3_DMA	244Eh	UEP3_DMA_L 和 UEP3_DMA_H 组成 16 位 SFR	0xxxh
	pU*	254*h	在 bXIR_XSFR 置 1 后, 该名称用于以 pdata 类型寻址上述 xSFR, 比 xdata 类型寻址更快捷	
LED 控制卡 相关寄存器 xSFR 区域	LED_STAT	2880h	LED 状态寄存器	010x 0000b
	LED_CTRL	2881h	LED 控制寄存器	0000 0010b
	LED_FIFO_CN	2882h	FIFO 计数状态寄存器(只读)	0000 0000b
	LED_DATA	2882h	LED 数据寄存器(只写)	xxxx xxxxb
	LED_CK_SE	2883h	LED 时钟分频设置寄存器	0001 0000b
	LED_DMA_AH	2884h	DMA 当前缓冲区地址高字节	0000 xxxxb
	LED_DMA_AL	2885h	DMA 当前缓冲区地址低字节	xxxx xxx0b
	LED_DMA	2884h	LED_DMA_AL 和 LED_DMA_AH 组成 16 位 SFR	0xxxh
	LED_DMA_CN	2886h	LED DMA 剩余计数寄存器	xxxx xxxxb
	LED_DMA_XH	2888h	DMA 当前辅助缓冲区地址高字节	0000 xxxxb

	LED_DMA_XL	2889h	DMA 当前辅助缓冲区地址低字节	xxxx xxx0b
	LED_DMA_X	2888h	LED_DMA_XL 和 LED_DMA_XH 组成 16 位 SFR	0xxxh
	pLED_*	298*h	在 bXIR_XSFR 置 1 后, 该名称用于以 pdata 类型寻址上述 xSFR, 比 xdata 类型寻址更快捷	

5.3 通用 8051 寄存器

表 5.3.1 通用 8051 寄存器列表

名称	地址	描述	复位值
B	F0h	B 寄存器	00h
A、ACC	E0h	累加器	00h
PSW	D0h	程序状态寄存器	00h
GLOBAL_CFG	B1h	全局配置寄存器(引导程序状态下)	A0h
		全局配置寄存器(应用程序状态下)	80h
CHIP_ID	A1h	芯片 ID 识别码(只读)	58h
SAFE_MOD	A1h	安全模式控制寄存器(只写)	00h
PCON	87h	电源控制寄存器(上电复位状态下)	10h
DPH	83h	数据地址指针高 8 位	00h
DPL	82h	数据地址指针低 8 位	00h
DPTR	82h	DPL 和 DPH 组成 16 位 SFR	0000h
SP	81h	堆栈指针	07h

B 寄存器(B):

位	名称	访问	描述	复位值
[7:0]	B	RW	算术运算寄存器, 主要用于乘法和除法运算, 可按位寻址	00h

A 累加器(A、ACC):

位	名称	访问	描述	复位值
[7:0]	A/ACC	RW	算术运算累加器, 可按位寻址	00h

程序状态寄存器(PSW):

位	名称	访问	描述	复位值
7	CY	RW	进位标志位: 执行算术运算和逻辑运算指令时, 用于记录最高位的进位或者借位; 进行 8 位加法运算时, 最高位进位, 则该位置位, 否则清零; 进行 8 位减法运算时, 若借位, 则该位置位, 否则清零; 逻辑指令可使该位置位或清零	0
6	AC	RW	辅助进位标志位: 记录加减法运算时, 低 4 位向高 4 位有进位或借位, AC 置位, 否则清零	0
5	F0	RW	可按位寻址的通用标志位 0: 使用者可自己定义, 可软件清零或置位	0
4	RS1	RW	寄存器组选择位高位	0
3	RS0	RW	寄存器组选择位低位	0
2	OV	RW	溢出标志位: 加减法运算时, 运算结果超过 8 位二进制数, 则 OV 置 1, 标志溢出, 否则清 0	0
1	F1	RW	可按位寻址的通用标志位 1: 使用者可自己定义, 可软件清零或置位	0

0	P	RO	奇偶标志位：记录指令执行后累加器 A 中 1 的奇偶性，奇数个 1 则 P 置位，偶数个 1 则 P 清零	0
---	---	----	---	---

处理器的状态保存在状态寄存器 PSW 中，PSW 支持按位寻址。状态字中包括进位标志位，用于 BCD 码处理的辅助进位标志位，奇偶标志位，溢出标志位，还有用于工作寄存器组选择的 RS0 和 RS1。工作寄存器组所在的区域都可以通过直接或者间接方式进行访问。

表 5.3.2 RS1 和 RS0 工作寄存器组选择表

RS1	RS0	工作寄存器组
0	0	0 组 (00h-07h)
0	1	1 组 (08h-0Fh)
1	0	2 组 (10h-17h)
1	1	3 组 (18h-1Fh)

表 5.3.3 影响标志位的操作 (X 表示标志位与操作结果有关)

操作	CY	OV	AC	操作	CY	OV	AC
ADD	X	X	X	SETB C	1		
ADDC	X	X	X	CLR C	0		
SUBB	X	X	X	CPL C	X		
MUL	0	X		MOV C, bit	X		
DIV	0	X		ANL C, bit	X		
DA A	X			ANL C, /bit	X		
RRC A	X			ORL C, bit	X		
RLC A	X			ORL C, /bit	X		
CJNE	X						

数据地址指针 (DPTR)：

位	名称	访问	描述	复位值
[7:0]	DPL	RW	数据指针低字节	00h
[7:0]	DPH	RW	数据指针高字节	00h

DPL 和 DPH 组成 16 位数据指针 DPTR，用于访问 xSFR、xBUS、xRAM 数据存储单元或者程序存储器，实际 DPTR 对应 DPTR0 和 DPTR1 两组物理上的 16 位数据指针，由 XBUS_AUX 中的 DPS 动态选择。

堆栈指针 (SP)：

位	名称	访问	描述	复位值
[7:0]	SP	RW	堆栈指针，主要用于程序调用和中断调用以及数据进出栈	07h

堆栈具体功能：保护端点和保护现场，按先入后出的原则进行管理。入栈时 SP 指针自动加 1，保存数据或断点信息；出栈时取 SP 指针指向数据单元，SP 指针自动减 1。SP 在复位后的初值是 07h，相应的默认堆栈存储从 08h 开始。

5.4 特有寄存器

全局配置寄存器 (GLOBAL_CFG)，仅在安全模式下可写：

位	名称	访问	描述	复位值
[7:6]	保留	RO	固定值 10	10b
5	bBOOT_LOAD	RO	Boot loader 状态位，用于区分 ISP 引导程序状态或者应用程序状态：电源上电时置 1，软件复位时清 0。	1

			对于有 ISP 引导程序的芯片, 该位为 1 说明从未软件复位过, 通常是上电后运行的 ISP 引导程序状态; 该位为 0 说明已经软件复位过, 通常是应用程序状态	
4	bSW_RESET	RW	软件复位控制位: 置 1 导致软件复位, 硬件自动清零	0
3	bCODE_WE	RW	Flash-ROM 写允许位: 该位为 0 则写保护; 为 1 则 Flash-ROM 可写可擦	0
2	bDATA_WE	RW	Flash-ROM 的 DataFlash 区域写允许位: 该位为 0 则写保护; 为 1 则 DataFlash 区域可写可擦	0
1	bXIR_XSFR	RW	MOVX_@R0/R1 指令访问范围控制位: 该位为 0 允许访问全部 xdata 区域 xRAM/xBUS/xSFR; 该位为 1 则专用于访问 xSFR, 不能访问 xRAM/xBUS	0
0	bWDOG_EN	RW	看门狗复位使能位: 该位为 0 看门狗只用作定时器; 该位为 1 允许计时溢出时产生看门狗复位	0

芯片 ID 识别码(CHIP_ID):

位	名称	访问	描述	复位值
[7:0]	CHIP_ID	RO	固定值 58h, 用于识别芯片	58h

安全模式控制寄存器(SAFE_MOD):

位	名称	访问	描述	复位值
[7:0]	SAFE_MOD	WO	用于进入或者终止安全模式	00h

部分 SFR 仅在安全模式下才能写入数据, 而在非安全模式下总是只读状态。进入安全模式步骤:

- (1)、向该寄存器写入 55h;
- (2)、接着向该寄存器写入 AAh;
- (3)、此后约 13 到 23 个系统主频周期都处于安全模式下, 该有效期内可以改写一个或多个安全类 SFR 或普通 SFR
- (4)、超出上述有效期后自动终止安全模式
- (5)、或者再向该寄存器写任意值可以提前终止安全模式

6、存储器结构

6.1 存储器空间

CH558 寻址空间分为程序存储空间、内部数据存储空间、外部数据存储空间。

图 6.1 存储器结构图

Internal Data Address Space			
FFH	Upper 128 bytes internal RAM (indirect addressing by @R0/R1)	SFR (Direct addressing)	
80H 7FH	Lower 128 bytes internal RAM (direct or indirect addressing)		
00H			
External Data Address Space		Program Address Space	
FFFFH	xCS1/xBUS1 @xdata, 32KB (indirect addressing by MOVX)	Configuration information ROM_CFG_ADDR	FFFFH
8000H 7FFFH	xCS0/xBUS0 @xdata, 16KB (indirect addressing by MOVX)	Boot Loader Code Flash BOOT_LOAD_ADDR	FFFEH FFFDH
4000H 3FFFH	Reserved area @xdata	Data Flash or Code Flash DATA_FLASH_ADDR	F400H F3FFH
2990H 298FH	xSFR area @xdata (indirect addressing by MOVX)	Reserved area @code	E000H DFFFH
2440H 243FH	Reserved area @xdata	Application Code Flash	8000H 7FFFH
1000H 0FFFH	4KB on-chip expanded xRAM @xdata (indirect addressing by MOVX)		0000H
0000H			

6.2 程序存储空间

程序存储空间共 64KB，如图 6.1 所示，其中 40KB 用于 flash-ROM，包括保存指令代码的 Code Flash 区域、保存非易失数据的 Data Flash 区域、以及配置信息 Configuration Information 区域。

Data Flash 地址范围为 E000h 到 F3FFh，支持单字节读(8 位)、双字节写(16 位)、块擦除(1K 字节)操作，芯片掉电后数据保持不变。

Code Flash 包括低地址区域的应用程序代码和高地址区域的引导程序代码。

配置信息 Configuration Information 共 16 位数据，由编程器根据需要设定，参考表 6.1。

表 6.2 flash-ROM 配置信息描述

位地址	位名称	说明	建议值
15	Code_Protect	flash-ROM 中的代码和数据保护模式： 0-禁止编程器读出，程序保密；1-允许读出	0/1
14	No_Boot_Load	使能 BootLoader 引导代码启动模式： 0-从 0000h 地址的应用程序启动； 1-从 F400h 地址的引导程序启动	1
13	En_Long_Reset	使能上电复位期间的额外延时复位： 0-标准短复位；1-宽复位，额外增加 87mS 复位时间	0
12	XT_OSC_Strong	选择晶体振荡器的对外驱动能力：0-标准；1-增强	0

11	En_P5_7_RESET	使能 P5.7 作为手工复位输入引脚：0-禁止；1-使能 RST	1
10	En_P0_Pullup	使能系统复位期间 P0 端口的内部上拉电阻： 0-复位后禁止上拉电阻；1-复位后启用上拉电阻	1
9	Must_1	(由编程器根据需要自动设定为 1)	1
8	Must_0	(由编程器根据需要自动设定为 0)	0
[7:0]	All_1	(由编程器根据需要自动设定为 FFh)	FFh

6.3 数据存储空间

内部数据存储空间共 256 字节，如图 6.1 所示，已全部用于 SFR 和 iRAM，其中 iRAM 用于堆栈和快速数据暂存，可细分为工作寄存器 R0-R7、位变量 bdata、字节变量 data、idata 等。

外部数据存储空间共 64KB，如图 6.1 所示，部分用于 4KB 片内扩充 xRAM 和 xSFR，除了两块保留区域之外，剩余的 4000h 到 FFFFh 地址范围是外部总线区域。

6.4 flash-ROM 寄存器

表 6.4 flash-ROM 操作寄存器列表

名称	地址	描述	复位值
ROM_DATA_H	8Fh	flash-ROM 数据寄存器高字节	xxh
ROM_DATA_L	8Eh	flash-ROM 数据寄存器低字节	xxh
ROM_DATA	8Eh	ROM_DATA_L 和 ROM_DATA_H 组成 16 位 SFR	xxxxh
ROM_STATUS	86h	flash-ROM 状态寄存器(只读)	80h
ROM_CTRL	86h	flash-ROM 控制寄存器(只写)	00h
ROM_ADDR_H	85h	flash-ROM 地址寄存器高字节	xxh
ROM_ADDR_L	84h	flash-ROM 地址寄存器低字节	xxh
ROM_ADDR	84h	ROM_ADDR_L 和 ROM_ADDR_H 组成 16 位 SFR	xxxxh

flash-ROM 地址寄存器 (ROM_ADDR) :

位	名称	访问	描述	复位值
[7:0]	ROM_ADDR_H	RW	flash-ROM 地址高字节	xxh
[7:0]	ROM_ADDR_L	RW	flash-ROM 地址低字节，只支持偶地址	xxh

flash-ROM 数据寄存器 (ROM_DATA) :

位	名称	访问	描述	复位值
[7:0]	ROM_DATA_H	RW	flash-ROM 待写数据高字节	xxh
[7:0]	ROM_DATA_L	RW	flash-ROM 待写数据低字节	xxh

flash-ROM 控制寄存器 (ROM_CTRL) :

位	名称	访问	描述	复位值
[7:0]	ROM_CTRL	WO	flash-ROM 控制寄存器	00h

flash-ROM 状态寄存器 (ROM_STATUS) :

位	名称	访问	描述	复位值
7	保留	RO	保留	1

6	bROM_ADDR_OK	RO	flash-ROM 操作地址有效状态位： 该位为 0 表示参数无效；为 1 表示地址有效	0
[5:2]	保留	RO	保留	0000b
1	bROM_CMD_ERR	RO	flash-ROM 操作命令错误状态位： 该位为 0 表示命令有效；为 1 表示是未知命令	0
0	bROM_CMD_TOUT	RO	flash-ROM 操作结果状态位： 该位为 0 表示操作成功；为 1 表示操作超时	0

6.5 flash-ROM 操作步骤

1、擦除 flash-ROM，将目标块中全部数据位变为 1：

- (1)、使能安全模式，SAFE_MOD = 55h；SAFE_MOD = 0AAh；
- (2)、设置全局配置寄存器 GLOBAL_CFG 开启写使能(bCODE_WE 或 bDATA_WE 对应 code 或 data)；
- (3)、设置地址寄存器 ROM_ADDR，写入 16 位目标地址，实际仅高 6 位有效；
- (4)、设置操作控制寄存器 ROM_CTRL 为 0A6h，执行块擦除操作，操作期间程序自动暂停运行；
- (5)、操作完成后程序恢复运行，此时查询状态寄存器 ROM_STATUS 可以查看此次操作状态；如果要擦除多个块，则循环(3)、(4)、(5)步骤；
- (6)、再次进入安全模式，SAFE_MOD = 55h；SAFE_MOD = 0AAh；
- (7)、设置全局配置寄存器 GLOBAL_CFG 开启写保护(bCODE_WE=0, bDATA_WE=0)。

2、写 flash-ROM，将目标双字节中部分数据位从 1 变为 0：

- (1)、使能安全模式，SAFE_MOD = 55h；SAFE_MOD = 0AAh；
- (2)、设置全局配置寄存器 GLOBAL_CFG 开启写使能(bCODE_WE 或 bDATA_WE 对应 code 或 data)；
- (3)、设置地址寄存器 ROM_ADDR，写入 16 位目标地址，实际仅高 15 位有效；
- (4)、设置数据寄存器 ROM_DATA，写入 16 位要写入的数据，步骤(3)、(4)顺序可对调；
- (5)、设置操作控制寄存器 ROM_CTRL 为 09Ah，执行写操作，操作期间程序自动暂停运行；
- (6)、操作完成后程序恢复运行，此时查询状态寄存器 ROM_STATUS 可以查看此次操作状态；如果要写多个数据，则循环(3)、(4)、(5)、(6)步骤；
- (7)、再次进入安全模式，SAFE_MOD = 55h；SAFE_MOD = 0AAh；
- (8)、设置全局配置寄存器 GLOBAL_CFG 开启写保护(bCODE_WE=0, bDATA_WE=0)。

3、读 flash-ROM：

直接使用 MOVC 指令，或通过指向程序存储空间的指针，读取目标地址的 code 或 data。

6.6 在板编程和 ISP 下载

当配置信息 Code_Protect=1 时，CH558 芯片 flash-ROM 中的代码和数据可以由外部的编程器通过同步串行接口读写；当配置信息 Code_Protect=0 时，flash-ROM 中的代码和数据被保护，无法读出，但是可以被擦除，擦除后重新上电则解除代码保护。

当 CH558 芯片被预置了 BootLoader 引导程序后，CH558 可以支持 USB 或者异步串口等多种 ISP 下载方式加载应用程序；但在没有引导程序的情况下，CH558 只能由外部专用编程器写入引导程序或者应用程序。为了支持在板编程，电路中需要预留 CH558 与编程器之间的 5 根连接引脚。

表 6.6.1 与编程器之间的连接引脚

引脚	GPIO	引脚描述
RST	P5.7	编程状态下的复位控制引脚，高电平允许进入编程状态
SCS	P1.4	编程状态下的片选输入引脚，默认高电平，低电平有效
SCK	P1.7	编程状态下的时钟输入引脚

MOSI	P1.5	编程状态下的数据输入引脚
MISO	P1.6	编程状态下的数据输出引脚

6.7 芯片唯一 ID 号

每只单片机出厂时都具有唯一 ID 号，即芯片身份识别号。该 ID 数据及其校验和共 8 个字节，存储于专用只读存储器的偏移地址为 20h 的区域中，可以在 E_DIS 为 1 关闭全局中断的期间通过类似读 Code Flash 的方式获取，具体操作请参考 C 语言例子程序 GETID.C。

表 6.7.1 芯片 ID 地址表

偏移地址	ID 数据描述
20h、21h	ID 首字数据，依次是 ID 号的最低字节、次低字节
22h、23h	ID 次字数据，依次是 ID 号的次高字节、高字节
24h、25h	ID 末字数据，依次是 48 位 ID 号的次最高字节、最高字节
26h、27h	ID 首字、次字、末字数据的 16 位累加和，用于 ID 校验

ID 号可以配合下载工具用于对目标程序进行加密，一般的应用，只需使用到 ID 号前 32 位。

7、电源管理、睡眠及复位

7.1 外部电源输入

CH558 芯片内部工作电压为 3.3V，I/O 引脚的输入输出电压为 3.3V，除了 P1.0~P1.7、XI、X0、RST 之外的 I/O 引脚都可以承受 5V 电压输入。CH558 芯片内置 5V 到 3.3V 的低压差电压调整器，支持外部 3.3V 或者 5V 电源电压输入，两种电源电压输入模式参考下表。

外部电源电压	VIN5 引脚电压：外部电压 3.3V~5V	VDD33 引脚电压：内部电压 3.3V
3.3V 包括小于 3.6V	输入外部 3.3V 电压到电压调整器，必须对地接不小于 0.1uF 退耦电容	输入外部 3.3V 作为内部工作电源，必须对地接不小于 0.1uF 退耦电容
5V 包括大于 3.6V	输入外部 5V 电压到电压调整器，必须对地接不小于 0.1uF 退耦电容	内部电压调整器 3.3V 输出及 3.3V 内部工作电源输入，必须对地接不小于 3.3uF 退耦电容

在电源上电或者系统复位后，CH558 默认处于运行状态。当某些功能模块不需要使用时，可以关闭这些模块的时钟，以降低功耗。当 CH558 完全不需要运行时，可以设置 PCON 中的 PD 进入睡眠状态，睡眠状态下可以选择通过 USB、UART0、UART1、SPI0 以及部分 GPIO 进行外部唤醒。

7.2 电源和睡眠控制寄存器

表 7.2.1 电源和睡眠控制寄存器列表

名称	地址	描述	复位值
WDOG_COUNT	FFh	看门狗计数寄存器	00h
RESET_KEEP	FEh	复位保持寄存器	00h
WAKE_CTRL	EBh	睡眠唤醒控制寄存器	00h
SLEEP_CTRL	EAh	睡眠控制寄存器	00h
PCON	87h	电源控制寄存器	10h

看门狗计数寄存器 (WDOG_COUNT)：

位	名称	访问	描述	复位值
[7:0]	WDOG_COUNT	RW	看门狗当前计数，计满 0FFh 转向 00h 时溢出，溢出时自动设置中断标志 bWDOG_IF_T0 为 1	00h

复位保持寄存器 (RESET_KEEP) :

位	名称	访问	描述	复位值
[7:0]	RESET_KEEP	RW	复位保持寄存器, 数值可以被人为修改, 除了上电复位可将其清零之外, 其它任何复位都不影响该数值	00h

睡眠唤醒控制寄存器 (WAKE_CTRL), 仅在安全模式下可写:

位	名称	访问	描述	复位值
7	bWAK_BY_USB	RW	USB 事件唤醒使能, 该位为 0 禁止唤醒	0
6	bWAK_RXD1_LO	RW	UART1 接收输入低电平唤醒使能, 该位为 0 禁止唤醒。 iRS485 模式下选择 XA/XB 差分输入, 非 iRS485 模式下根据 bIER_PIN_MOD1=1/0 选择 RXD1 或 RXD1_引脚	0
5	bWAK_P1_5_LO	RW	P1.5 低电平唤醒使能, 为 0 禁止唤醒	0
4	bWAK_P1_4_LO	RW	P1.4 低电平唤醒使能, 为 0 禁止唤醒	0
3	bWAK_PO_3_LO	RW	P0.3 低电平唤醒使能, 为 0 禁止唤醒	0
2	bWAK_CAP3_LO	RW	Timer3 捕捉输入低电平唤醒使能, 为 0 禁止唤醒。 根据 bTMR3_PIN_X=0/1 选择 CAP3 或 CAP3_引脚	0
1	bWAK_P3_2E_3L	RW	P3.2 边沿变化和 P3.3 低电平唤醒使能, 为 0 禁止唤醒	0
0	bWAK_RXD0_LO	RW	UART0 接收输入低电平唤醒使能, 为 0 禁止唤醒。 根据 bUART0_PIN_X=0/1 选择 RXD0 或 RXD0_引脚	0

睡眠控制寄存器 (SLEEP_CTRL), 仅在安全模式下可写:

位	名称	访问	描述	复位值
7	bSLP_OFF_USB	RW	USB 时钟关闭控制, 该位为 1 关闭时钟	0
6	bSLP_OFF_ADC	RW	ADC 时钟关闭控制, 该位为 1 关闭时钟	0
5	bSLP_OFF_UART1	RW	UART1 时钟关闭控制, 该位为 1 关闭时钟	0
4	保留	RO	保留	0
3	bSLP_OFF_SPI0	RW	SPI0 时钟关闭控制, 该位为 1 关闭时钟	0
2	bSLP_OFF_TMR3	RW	Timer3 时钟关闭控制, 该位为 1 关闭时钟	0
1	bSLP_OFF_LED	RW	LED-CTRL 时钟关闭控制, 该位为 1 关闭时钟	0
0	bSLP_OFF_XRAM	RW	xRAM 时钟关闭控制, 该位为 1 关闭时钟	0

电源控制寄存器 (PCON) :

位	名称	访问	描述	复位值
7	SMOD	RW	当用定时器 1 产生 UART0 波特率时, 选择 UART0 模式 1、2、3 的通讯波特率: 0-慢速模式; 1-快速模式	0
6	保留	RO	保留	0
5	bRST_FLAG1	RO	芯片最近一次复位标志高位	0
4	bRST_FLAG0	RO	芯片最近一次复位标志低位	1
3	GF1	RW	通用标志位 1: 使用者可自己定义, 可软件清零或置位	0
2	GF0	RW	通用标志位 0: 使用者可自己定义, 可软件清零或置位	0
1	PD	RW	睡眠模式使能, 置 1 后睡眠, 唤醒后硬件自动清零	0
0	保留	RO	保留	0

表 7.2.2 芯片最近一次复位标志描述

bRST_FLAG1	bRST_FLAG0	复位标志描述
0	0	软件复位, 来源: bSW_RESET=1 并且 (bBOOT_LOAD=0 或 bWDOG_EN=1)
0	1	电源上电复位, 来源: VDD33 引脚电压低于检测电平
1	0	看门狗复位, 来源: bWDOG_EN=1 并且看门狗超时溢出
1	1	外部引脚手工复位, 来源: En_P5.7_RESET=1 并且 P5.7 输入高电平

7.3 复位控制

CH558 有 4 个复位源: 上电复位、外部复位、软件复位、看门狗复位, 后三者属于热复位。

7.3.1 上电复位

上电复位 POR 由片内电压检测电路产生。POR 电路持续监控 VDD33 引脚的电源电压, 低于检测电平 V_{pot} 时产生上电复位, 并由硬件自动延时 T_{por} 以保持复位状态, 延时结束后 CH558 运行。

只有上电复位才使 CH558 重新加载配置信息以及清零 RESET_KEEP, 其它热复位不影响。

7.3.2 外部复位

外部复位由外加于 RST 引脚的高电平产生。当配置信息 En_P5.7_RESET 为 1, 并且 RST 引脚上的高电平持续时间大于 T_{rst} 时触发复位过程。当外加高电平信号撤消后, 硬件自动延时 T_{rdl} 以保持复位状态, 延时结束后 CH558 从 0 地址开始执行。

7.3.3 软件复位

CH558 支持内部软件复位, 以便不需要外部干预即可主动复位 CPU 状态并重新运行。设置全局配置寄存器 GLOBAL_CFG 中的 bSW_RESET 为 1, 即可软件复位, 并且自动延时 T_{rdl} 以保持复位状态, 延时结束后 CH558 从 0 地址开始执行, bSW_RESET 位由硬件自动清零。

当 bSW_RESET 置 1 时, 如果 bBOOT_LOAD=0 或者 bWDOG_EN=1, 那么复位后 bRST_FLAG1/0 将指示为软件复位; 当 bSW_RESET 置 1 时, 如果 bBOOT_LOAD=1 并且 bWDOG_EN=0, 那么 bRST_FLAG1/0 将不产生新的复位标志, 而是保持前一次的复位标志不变。

对于有 ISP 引导程序的芯片, 电源上电复位后, 先运行引导程序, 该程序根据需要软件复位芯片以切换到应用程序状态, 此次软件复位只导致 bBOOT_LOAD 清零, 不影响 bRST_FLAG1/0 的状态 (由于复位前 bBOOT_LOAD=1), 所以当切换到应用程序状态时, bRST_FLAG1/0 仍指示为上电复位状态。

7.3.4 看门狗复位

看门狗复位由看门狗定时器超时溢出时产生。看门狗定时器是 8 位计数器, 其计数的时钟频率为系统主频 $F_{sys}/262144$, 当计满 0FFh 转向 00h 时产生溢出信号。

看门狗定时器溢出信号将触发中断标志 bWDOG_IF_T0 为 1, 该中断标志在重新加载 WDOG_COUNT 时或者进入相应的中断服务程序时被自动清零。

通过向 WDOG_COUNT 写入不同的计数初始值, 从而实现不同的定时周期 T_{wdc} 。在 12MHz 主频下, 写入 00h 时的看门狗定时周期 T_{wdc} 约为 5.9 秒, 写入 80h 时约为 2.8 秒。

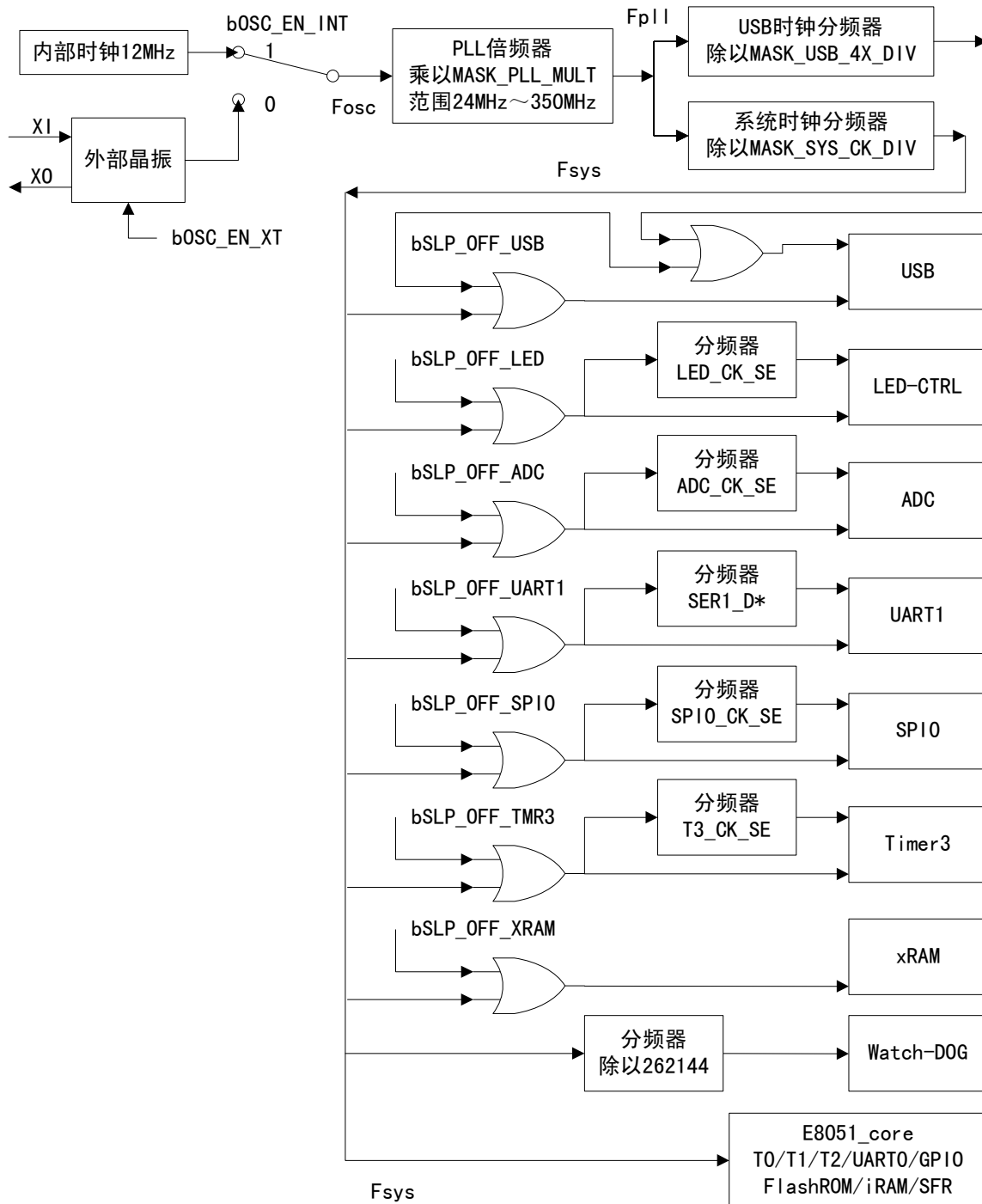
如果看门狗定时器溢出时 bWDOG_EN=1, 那么产生看门狗复位, 并且自动延时 T_{rdl} 以保持复位状态, 延时结束后 CH558 从 0 地址开始执行。

当 bWDOG_EN=1 时为了避免被看门狗复位, 必须及时重置 WDOG_COUNT, 避免其溢出。

8、系统时钟

8.1 时钟框图

图 8.1.1 时钟系统及结构图



内部时钟或者外部时钟经过二选一后作为原始时钟 F_{osc} ，再经过 PLL 倍频后产生 F_{pll} 高频时钟，最后经过两组分频器分别得到系统时钟 F_{sys} 和 USB 模块的时钟 F_{usb4x} 。系统时钟 F_{sys} 直接或者经过时钟门控后提供给 CH558 的各个模块，各个模块并不需要同时工作，为了降低功耗，可以通过设置睡眠控制寄存器禁止无需工作的模块的时钟。

8.2 寄存器描述

表 8.2.1 时钟控制寄存器列表

名称	地址	描述	复位值
CLOCK_CFG	B3h	系统时钟配置寄存器	98h

PLL_CFG	B2h	PLL 时钟配置寄存器	D8h
---------	-----	-------------	-----

系统时钟配置寄存器 (CLOCK_CFG)，仅在安全模式下可写：

位	名称	访问	描述	复位值
7	bOSC_EN_INT	RW	内部时钟振荡器使能, 该位为 1 使能内部时钟振荡器并且选用内部时钟; 该位为 0 关闭内部时钟振荡器并且选用外部晶体振荡器提供时钟	1
6	bOSC_EN_XT	RW	外部晶体振荡器使能, 该位为 1 则 P4. 6/P4. 7 引脚作为 XI/XO 并启用振荡器, 需在 XI 和 XO 之间外接石英晶体或陶瓷振荡器; 该位为 0 关闭外部振荡器	0
5	bWDOG_IF_TO	RO	看门狗定时器中断标志位, 该位为 1 表示有中断, 由定时器溢出信号触发; 该位为 0 表示无中断。该位在重新加载看门狗计数寄存器 WDOG_COUNT 时或者进入相应的中断服务程序后自动清零	0
[4:0]	MASK_SYS_CK_DIV	RW	系统时钟分频系数, 数值为 00000b 时代表 100000b	11000b

PLL 时钟配置寄存器 (PLL_CFG)，仅在安全模式下可写：

位	名称	访问	描述	复位值
[7:5]	MASK_USB_4X_DIV	RW	USB 时钟分频系数, 数值为 000b 时代表 1000b	110b
[4:0]	MASK_PLL_MULT	RW	PLL 参考时钟倍频系数	11000b

8.3 时钟配置

CH558 芯片上电后默认使用内部时钟, 内部时钟频率是 12MHz。可以通过 CLOCK_CFG 选择内部时钟或者外部晶体振荡器时钟, 如果关闭外部晶体振荡器, 那么 XI 和 XO 引脚可以作为 P4. 6 和 P4. 7 普通 I/O 端口使用。如果使用外部晶体振荡器提供时钟, 那么应该在 XI 和 XO 引脚之间跨接晶体, 以及分别为 XI 和 XO 引脚对 GND 连接振荡电容; 如果从外部直接输入时钟信号, 那么应该从 XI 引脚输入, XO 引脚悬空。

原始时钟频率 $F_{osc} = bOSC_EN_INT ? 12MHz : F_{xt}$

PLL 频率 $F_{pll} = F_{osc} * (PLL_CFG \& MASK_PLL_MULT)$

USB 时钟分频系数 $K_{usb} = (PLL_CFG \& MASK_USB_4X_DIV) \gg 5$

USB 时钟频率 $F_{usb4x} = F_{pll} / (K_{usb} ? K_{usb} : 8)$

系统时钟分频系数 $K_{sys} = CLOCK_CFG \& MASK_SYS_CK_DIV$

系统主频 $F_{sys} = F_{pll} / (K_{sys} ? K_{sys} : 32)$

复位后的默认状态下, $F_{osc}=12MHz$, $F_{pll}=288MHz$, $F_{usb4x}=48MHz$, $F_{sys}=12MHz$ 。

切换到外部晶体振荡器提供时钟的步骤如下：

- (1)、进入安全模式, 步骤一 SAFE_MOD = 55h; 步骤二 SAFE_MOD = AAh;
- (2)、用“位或”操作将 CLOCK_CFG 中的 bOSC_EN_XT 置 1, 其它位保持不变, 启用晶体振荡器;
- (3)、延时数毫秒, 通常 5mS~10mS, 等待晶体振荡器工作稳定;
- (4)、再次进入安全模式, 步骤一 SAFE_MOD = 55h; 步骤二 SAFE_MOD = AAh;
- (5)、用“位与”操作将 CLOCK_CFG 中的 bOSC_EN_INT 清 0, 其它位保持不变, 切换到外部时钟;
- (6)、关闭安全模式, 向 SAFE_MOD 写入任意数值提前终止安全模式。

修改系统主频的步骤如下：

- (1)、提前计算好 PLL_CFG 和 CLOCK_CFG 的新数值，避免计算过程太久超出安全模式的有效期；
- (2)、进入安全模式，步骤一 SAFE_MOD = 55h；步骤二 SAFE_MOD = AAh；
- (3)、向 PLL_CFG 写入新数值；
- (4)、向 CLOCK_CFG 写入新数值；
- (5)、关闭安全模式，向 SAFE_MOD 写入任意数值提前终止安全模式。

备注：

- (1)、PLL 频率 Fp11 建议不要超出 24MHz~350MHz 频率范围；
- (2)、优先使用较低的系统时钟频率 Fsys，从而降低系统动态功耗，并使工作温度范围变宽；
- (3)、如果使用到 USB 模块，那么 Fusb4x 必须调整到 48MHz；
- (4)、切换外部晶振和修改系统主频是独立的两项操作，如果同时需要两者，那么建议分两种情况：
 - (A)、如果外部晶振频率不超过 13MHz，那么先切换到外部晶振，然后修改系统主频；
 - (B)、如果外部晶振频率大于 13MHz，那么先降低 PLL_CFG 寄存器中的 PLL 参考时钟倍频系数，避免 PLL 频率 Fp11 溢出，然后切换到外部晶振，最后修改系统主频，或者也可在修改 PLL_CFG 的同时修改系统主频。

9、中断

CH558 芯片支持 13 组中断信号源，包括与标准 MCS51 兼容的 6 组中断：INT0、T0、INT1、T1、UART0、T2，以及扩展的 7 组中断：SPI0、TMR3、USB、ADC、UART1、GPIO、WDOG，其中 GPIO 中断可以从 7 个 I/O 引脚中选择。

9.1 寄存器描述

表 9.1.1 中断向量表

中断源	入口地址	中断号	描述	默认优先权顺序
INT_NO_INT0	0x0003	0	外部中断 0 或 LED 控制卡中断： 当 bLED_OUT_EN=0 是外部中断 0； 当 bLED_OUT_EN=1 是 LED 控制卡中断	高优先权
INT_NO_TMRO	0x000B	1	定时器 0 中断	↓
INT_NO_INT1	0x0013	2	外部中断 1	↓
INT_NO_TMR1	0x001B	3	定时器 1 中断	↓
INT_NO_UART0	0x0023	4	UART0 中断	↓
INT_NO_TMR2	0x002B	5	定时器 2 中断	↓
INT_NO_SPI0	0x0033	6	SPI0 中断	↓
INT_NO_TMR3	0x003B	7	定时器 3 中断	↓
INT_NO_USB	0x0043	8	USB 中断	↓
INT_NO_ADC	0x004B	9	ADC 中断	↓
INT_NO_UART1	0x0053	10	UART1 中断	↓
INT_NO_GPIO	0x0063	12	GPIO 中断	↓
INT_NO_WDOG	0x006B	13	看门狗定时器中断	低优先权

表 9.1.2 中断相关寄存器列表

名称	地址	描述	复位值
IP_EX	E9h	扩展中断优先级控制寄存器	00h

IE_EX	E8h	扩展中断使能寄存器	00h
GPIO_IE	CFh	GPIO 中断使能寄存器	00h
IP	B8h	中断优先级控制寄存器	00h
IE	A8h	中断使能寄存器	00h

中断使能寄存器(IE):

位	名称	访问	描述	复位值
7	EA	RW	全局中断使能控制位, 该位为 1 并且 E_DIS 为 0 则允许中断; 该位为 0 屏蔽所有中断请求	0
6	E_DIS	RW	全局中断禁用控制位, 该位为 1 屏蔽所有中断请求; 该位为 0 并且 EA 为 1 则允许中断。该位通常用于在 flash-ROM 操作期间临时禁止中断	0
5	ET2	RW	定时器 2 中断使能位, 该位为 1 允许 T2 中断; 为 0 屏蔽	0
4	ES	RW	异步串口 0 中断使能位, 该位为 1 允许 UART0 中断; 为 0 屏蔽	0
3	ET1	RW	定时器 1 中断使能位, 该位为 1 允许 T1 中断; 为 0 屏蔽	0
2	EX1	RW	外部中断 1 使能位, 该位为 1 允许 INT1 中断; 为 0 屏蔽	0
1	ET0	RW	定时器 0 中断使能位, 该位为 1 允许 T0 中断; 为 0 屏蔽	0
0	EX0	RW	外部中断 0 和 LED 控制卡中断使能位, 该位为 1 允许 INTO/LED 中断, 由 bLED_OUT_EN 选择; 为 0 屏蔽	0

扩展中断使能寄存器(IE_EX):

位	名称	访问	描述	复位值
7	IE_WDOG	RW	看门狗定时器中断使能位, 该位为 1 允许 WDOG 中断; 为 0 屏蔽	0
6	IE_GPIO	RW	GPIO 中断使能位, 该位为 1 允许 GPIO_IE 中使能的中断; 为 0 屏蔽 GPIO_IE 中所有中断	0
5	保留	RO	保留	0
4	IE_UART1	RW	异步串口 1 中断使能位, 该位为 1 允许 UART1 中断; 为 0 屏蔽	0
3	IE_ADC	RW	ADC 模数转换中断使能位, 该位为 1 允许 ADC 中断; 为 0 屏蔽	0
2	IE_USB	RW	USB 中断使能位, 该位为 1 允许 USB 中断; 为 0 屏蔽	0
1	IE_TMR3	RW	定时器 3 中断使能位, 该位为 1 允许 Timer3 中断; 为 0 屏蔽	0
0	IE_SPI0	RW	SPI0 中断使能位, 该位为 1 允许 SPI0 中断; 为 0 屏蔽	0

GPIO 中断使能寄存器(GPIO_IE):

位	名称	访问	描述	复位值
7	bIE_IO_EDGE	RW	GPIO 边沿中断模式使能: 该位为 0 选择电平中断模式, GPIO 引脚输入有效电平则 bIO_INT_ACT 为 1 并一直请求中断, GPIO 输入无效电平时 bIO_INT_ACT 为 0 并取消中断请求; 该位为 1 选择边沿中断模式, GPIO 引脚输入有效边沿时产生中断标志 bIO_INT_ACT 并请求中断, 该中断标志无法软件清零, 只能在复位时或电平中断模式下或进入相应的中断服务程序时被自动清零	0
6	bIE_RXD1_LO	RW	该位为 1 使能 UART1 接收引脚中断(电平模式低电平有效, 边沿模式下降沿有效); 该位为 0 禁止。iRS485 模式下选择	0

			XA/XB 差分输入, 非 iRS485 模式下根据 bIER_PIN_MOD1=1/0 选择 RXD1 或 RXD1_引脚	
5	bIE_P5_5_HI	RW	该位为 1 使能 P5.5 中断(电平模式高电平有效, 边沿模式上升沿有效); 该位为 0 禁止	0
4	bIE_P1_4_LO	RW	该位为 1 使能 P1.4 中断(电平模式低电平有效, 边沿模式下降沿有效); 该位为 0 禁止	0
3	bIE_P0_3_LO	RW	该位为 1 使能 P0.3 中断(电平模式低电平有效, 边沿模式下降沿有效); 该位为 0 禁止	0
2	bIE_P5_7_HI	RW	该位为 1 使能 P5.7 中断(电平模式高电平有效, 边沿模式上升沿有效); 该位为 0 禁止	0
1	bIE_P4_1_LO	RW	该位为 1 使能 P4.1 中断(电平模式低电平有效, 边沿模式下降沿有效); 该位为 0 禁止	0
0	bIE_RXD0_LO	RW	该位为 1 使能 UART0 接收引脚中断(电平模式低电平有效, 边沿模式下降沿有效); 该位为 0 禁止。根据 bUART0_PIN_X=0/1 选择 RXD0 或 RXD0_引脚	0

中断优先级控制寄存器 (IP):

位	名称	访问	描述	复位值
7	PH_FLAG	RO	高优先级中断正在执行标志位	0
6	PL_FLAG	RO	低优先级中断正在执行标志位	0
5	PT2	RW	定时器 2 中断优先级控制位	0
4	PS	RW	UART0 中断优先级控制位	0
3	PT1	RW	定时器 1 中断优先级控制位	0
2	PX1	RW	外部中断 1 的中断优先级控制位	0
1	PT0	RW	定时器 0 中断优先级控制位	0
0	PX0	RW	外部中断 0 和 LED 控制卡中断的中断优先级控制位	0

扩展中断优先级控制寄存器 (IP_EX):

位	名称	访问	描述	复位值
7	bIP_LEVEL	RO	当前中断嵌套等级标志位, 该位为 0 则表示无中断或者嵌套 2 级中断; 该位为 1 则表示当前嵌套 1 级中断	0
6	bIP_GPIO	RW	GPIO 中断优先级控制位	0
5	保留	RO	保留	0
4	bIP_UART1	RW	UART1 中断优先级控制位	0
3	bIP_ADC	RW	ADC 中断优先级控制位	0
2	bIP_USB	RW	USB 中断优先级控制位	0
1	bIP_TMR3	RW	Timer3 中断优先级控制位	0
0	bIP_SPI0	RW	SPI0 中断优先级控制位	0

IP 和 IP_EX 寄存器用于设定中断优先级, 如果某位被置 1, 则对应的中断源被设定为高优先级; 如果某位被清 0, 则对应的中断源被设为低优先级。对于同级中断源, 系统有默认的优先权顺序, 默认优先权顺序如表 9.1.1 所示。其中 PH_FLAG 和 PL_FLAG 组合表示当前中断的优先级。

表 9.1.3 当前中断优先级状态指示

PH_FLAG	PL_FLAG	当前中断优先级状态
0	0	当前无中断
0	1	当前正在执行低优先级中断
1	0	当前正在执行高优先级中断
1	1	意外状态，未知错误

10、I/O 端口

10.1 GPIO 简介

CH558 提供最多 45 个 I/O 引脚，部分引脚具有复用功能。其中，端口 P0~P3 的输入和输出以及 P4 的输出都可以按位寻址。

如果引脚没有被配置成复用功能，则默认是通用 I/O 引脚状态。作为通用数字 I/O 使用时，所有 I/O 端口都具有真正的“读 - 修改 - 写”功能，支持 SETB 或者 CLR 等位操作指令独立地改变某些引脚的方向或者端口电平等。

10.2 GPIO 寄存器

本节所有的寄存器和位以通用格式表示：小写的“n”表示端口的序号 (n=0、1、2、3)，而小写的“x”代表位的序号 (x=0、1、2、3、4、5、6、7)。

表 10.2.1 GPIO 寄存器列表

名称	地址	描述	复位值
P0	80h	P0 端口输入输出寄存器	FFh
P0_DIR	C4h	P0 端口方向控制寄存器	00h
P0_PU	C5h	P0 端口上拉使能寄存器	00h/FFh
P1	90h	P1 端口输入输出寄存器	FFh
P1_IE	B9h	P1 端口输入使能寄存器	FFh
P1_DIR	BAh	P1 端口方向控制寄存器	00h
P1_PU	BBh	P1 端口上拉使能寄存器	FFh
P2	A0h	P2 端口输入输出寄存器	FFh
P2_DIR	BCh	P2 端口方向控制寄存器	00h
P2_PU	BDh	P2 端口上拉使能寄存器	FFh
P3	B0h	P3 端口输入输出寄存器	FFh
P3_DIR	BEh	P3 端口方向控制寄存器	00h
P3_PU	BFh	P3 端口上拉使能寄存器	FFh
P4_OUT	C0h	P4 端口输出寄存器	00h
P4_IN	C1h	P4 端口输入寄存器 (只读)	FFh
P4_DIR	C2h	P4 端口方向控制寄存器	00h
P4_PU	C3h	P4 端口上拉使能寄存器	FFh
P4_CFG	C7h	P4 端口配置寄存器	00h
P5_IN	C7h	P5 端口输入寄存器 (只读)	00h
PIN_FUNC	CEh	引脚功能选择寄存器	00h
PORT_CFG	C6h	端口配置寄存器	0Fh
XBUS_SPEED	FDh	总线速度配置寄存器	FFh
XBUS_AUX	A2h	总线辅助设置寄存器	00h

端口配置寄存器 (PORT_CFG) :

位	名称	访问	描述	复位值
[7:4]	bPn_DRV	RW	Pn 端口输出驱动能力选择, 该位为 0 选择驱动电流 5mA 级别; 该位为 1 对于 P0/P2/P3 选择驱动电流 20mA 级别, 对于 P1 选择驱动电流 10mA 级别	0000b
[3:0]	bPn_OC	RW	Pn 端口开漏输出使能, 该位为 0 设置端口为推挽输出; 该位为 1 设置端口为开漏输出	1111b

Pn 端口输入输出寄存器 (Pn) :

位	名称	访问	描述	复位值
[7:0]	Pn. 0~Pn. 7	RW	Pn. x 引脚状态输入和数据输出位, 可以按位寻址	FFh

Pn 端口方向控制寄存器 (Pn_DIR) :

位	名称	访问	描述	复位值
[7:0]	Pn_DIR	RW	Pn. x 引脚方向设置	00h

P0 端口上拉使能寄存器 (P0_PU) 和 Pn 端口上拉使能寄存器 (Pn_PU), 此处 n=1/2/3:

位	名称	访问	描述	复位值
[7:0]	P0_PU	RW	P0. x 引脚上拉电阻使能(当配置 En_P0_Pullup=0)	00h
			P0. x 引脚上拉电阻使能(当配置 En_P0_Pullup=1)	FFh
[7:0]	Pn_PU	RW	Pn. x 引脚上拉电阻使能, 该位为 0 禁止上拉; 该位为 1 使能上拉	FFh

由 PORT_CFG 中的位 bPn_OC 和端口方向控制寄存器 Pn_DIR 以及端口上拉使能寄存器 Pn_PU 组合实现 Pn 端口的配置, 具体如下。

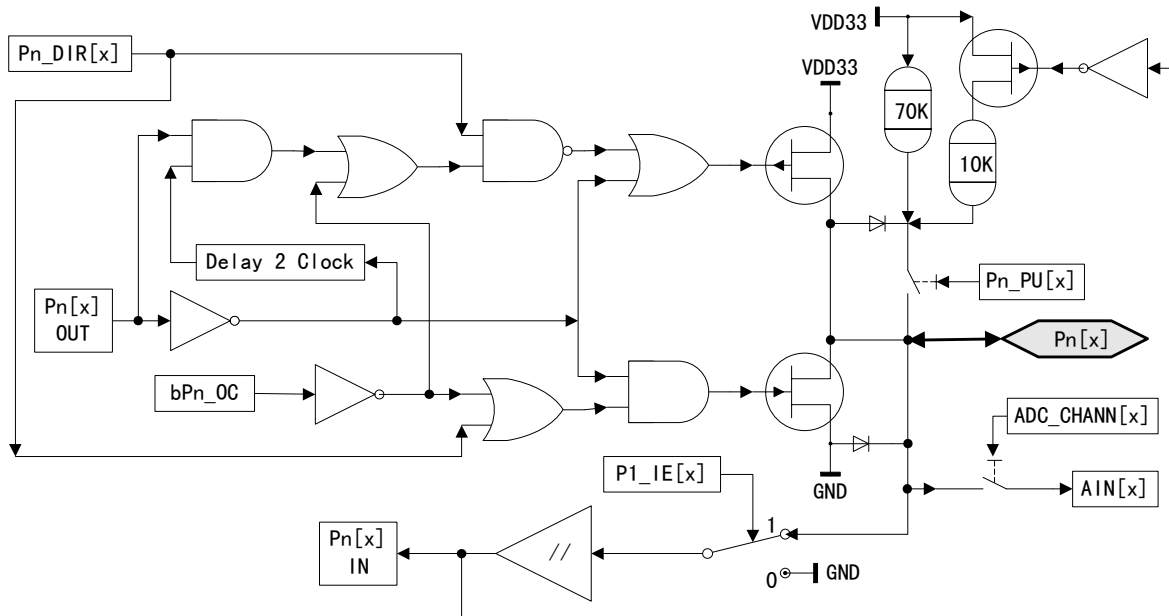
表 10.2.2 端口配置寄存器组合

bPn_OC	Pn_DIR	Pn_PU	工作模式描述
0	0	0	高阻输入模式, 引脚没有上拉电阻
0	0	1	上拉输入模式, 引脚有上拉电阻
0	1	X	推挽输出模式, 具有对称驱动能力, 可以输出或者吸收较大电流
1	0	0	高阻输入弱准双向模式, 开漏输出, 引脚没有上拉电阻
1	1	0	高阻输入准双向模式, 开漏输出, 引脚没有上拉电阻, 当输出从低电平转高电平时自动驱动 2 个时钟周期的高电平以加速转换
1	0	1	弱准双向模式(仿 8051), 开漏输出, 支持输入, 引脚有上拉电阻
1	1	1	准双向模式(标准 8051), 开漏输出, 支持输入, 引脚有上拉电阻, 当输出从低电平转高电平时自动驱动 2 个时钟周期的高电平以加速转换

P0~P3 端口支持纯输入或推挽输出以及准双向等模式, P4 端口支持纯输入或推挽输出等模式。各引脚都有可以自由控制的连接到 VDD33 的内部上拉电阻, 以及都有连接到 GND 的保护二极管。

图 10.2.1 是 P1 端口的 P1. x 引脚的等效原理图, 去掉 P1_IE 和 AIN 以及 ADC_CHANN 之后可以适用于 P0、P2、P3 端口。

图 10.2.1 I/O 引脚等效原理图



P1 端口输入使能寄存器 (P1_IE) :

位	名称	访问	描述	复位值
[7:0]	P1_IE	RW	P1. x 引脚输入使能, 该位为 0 则引脚用于 ADC 模拟输入, 禁止数字输入; 该位为 1 则使能数字输入	FFh

10.3 P4 端口

P4 端口输出寄存器 (P4_OUT) :

位	名称	访问	描述	复位值
[7:0]	P4_OUT. 0~P4_OUT. 7	RW	P4. x 引脚数据输出位, 可以按位寻址	00h

P4 端口输入寄存器 (P4_IN) :

位	名称	访问	描述	复位值
[7:0]	P4_IN	R0	P4. x 引脚状态输入位	FFh

P4 端口上拉使能寄存器 (P4_PU) :

位	名称	访问	描述	复位值
[7:0]	P4_PU	RW	P4. x 引脚上拉电阻使能, 该位为 0 禁止上拉; 该位为 1 使能上拉	FFh

P4 端口方向控制寄存器 (P4_DIR) :

位	名称	访问	描述	复位值
[7:0]	P4_DIR	RW	P4. x 引脚方向设置, 该位为 0 则用于输入; 该位为 1 则用于输出	00h

P4 端口配置寄存器 (P4_CFG) 和 P5 端口输入寄存器 (P5_IN) :

位	名称	访问	描述	复位值
7	P5. 7	R0	P5. 7 引脚状态输入位	0

6	bIO_INT_ACT	RO	GPIO 中断请求激活状态： 当 bIE_IO_EDGE=0 时，该位为 1 表示 GPIO 输入有效电平，将请求中断，为 0 表示输入无效电平； 当 bIE_IO_EDGE=1 时，该位作为边沿中断标志，为 1 表示检测到有效边沿，该位无法软件清零，只能在复位时或电平中断模式下或进入相应的中断服务程序时被自动清零	0
5	P5.5	RO	P5.5 引脚状态输入位，非 iRS485 模式则内置有下拉电阻	0
4	P5.4	RO	P5.4 引脚状态输入位，非 iRS485 模式则内置有下拉电阻	0
3	bSPI0_PIN_X	RW	SPI0 引脚 SCS/SCK 映射使能，该位为 0 则使用 P1.4/P1.7；该位为 1 则使用 P4.6/P4.7	0
2	bP4_DRV	RW	P4 端口输出驱动能力选择，该位为 0 选择驱动电流 5mA 级别；该位为 1 选择驱动电流 20mA 级别	0
1	P5.1	RO	P5.1 引脚状态输入位，内置有可控的下拉电阻	0
0	P5.0	RO	P5.0 引脚状态输入位，内置有可控的下拉电阻	0

10.4 GPIO 复用与映射

CH558 部分 I/O 引脚具有复用功能，上电后默认均为通用 I/O 引脚，使能不同功能模块后，相应引脚被配置成各自功能模块对应的功能引脚。

引脚功能选择寄存器 (PIN_FUNC)：

位	名称	访问	描述	复位值
7	保留	RO	保留	0
6	bTMR3_PIN_X	RW	PWM3/CAP3 引脚映射使能位，该位为 0 则 PWM3/CAP3 使用 P1.2；该位为 1 则 PWM3/CAP3 使用 P4.2	0
5	bT2EX_PIN_X	RW	T2EX/CAP2 引脚映射使能位，该位为 0 则 T2EX/CAP2 使用 P1.1；该位为 1 则 T2EX/CAP2 使用 P2.5	0
4	bUART0_PIN_X	RW	UART0 引脚映射使能位，该位为 0 则 RXD0/TXD0 使用 P3.0/P3.1；该位为 1 则 RXD0/TXD0 使用 P0.2/P0.3	0
3	bXBUS_EN	RW	xBUS 外部总线功能使能位，该位为 0 关闭外部总线；该位为 1 使能 P0 端口作为 8 位数据总线，以及 P3.6/P3.7 作为总线访问期间的写/读选通控制	0
2	bXBUS_CS_OE	RW	xBUS 外部总线片选输出使能位，该位为 0 禁止输出片选，可由外部电路自行译码；该位为 1 则 P3.4 作为 CS0 输出 (XCS0 片选 0，低电平有效)，以及在 ALE 禁用的情况下将总线地址 A15 取反后输出到 P3.3 (相当于片选 1，低电平有效)	0
1	bXBUS_AH_OE	RW	xBUS 外部总线高 8 位地址输出使能位，该位为 0 禁止输出；该位为 1 则在 MOVX @DPTR 指令访问外部总线期间，P2 端口输出总线地址高 8 位	0
0	bXBUS_AL_OE	RW	xBUS 外部总线低 8 位地址输出使能位，该位为 0 则是复用地址模式，在访问外部总线时根据需要将地址低 8 位与数据总线复用输出，由 ALE 控制外部电路锁存；该位为 1 则是直接地址模式，通过 P4.0~P4.5 和 P3.5 以及 P2.7 输出低 8 位地址 A0~A7	0

表 10.4.1 GPIO 引脚复用功能列表

GPIO	其它功能：按从左到右的优先顺序
P0[0]	AD0、UDTR/bUDTR、P0.0
P0[1]	AD1、URTS/bURTS、P0.1
P0[2]	AD2、RXD_/bRXD_、P0.2
P0[3]	AD3、TXD_/bTXD_、P0.3
P0[4]	AD4、UCTS/bUCTS、P0.4
P0[5]	AD5、UDSR/bUDSR、P0.5
P0[6]	AD6、URI/bURI、P0.6
P0[7]	AD7、UDCD/bUDCD、P0.7
P1[0]	AIN0、T2/bT2、CAP1/bCAP1、P1.0
P1[1]	AIN1、T2EX/bT2EX、CAP2/bCAP2、P1.1
P1[2]	AIN2、PWM3/bPWM3、CAP3/bCAP3、P1.2
P1[3]	AIN3、P1.3
P1[4]	AIN4、SCS/bSCS、P1.4
P1[5]	AIN5、MOSI/bMOSI、P1.5
P1[6]	AIN6、MISO/bMISO、P1.6
P1[7]	AIN7、SCK/bSCK、P1.7
P2[0]	A8、P2.0
P2[1]	A9、P2.1
P2[2]	A10、P2.2
P2[3]	A11、P2.3
P2[4]	A12、P2.4
P2[5]	TNOW/bTNOW、A13、T2EX_/bT2EX_、CAP2_/bCAP2_、P2.5
P2[6]	RXD1/bRXD1、A14、P2.6
P2[7]	TXD1/bTXD1、DA7/bDA7、A15、P2.7
P3[0]	RXD/bRXD、P3.0
P3[1]	TXD/bTXD、P3.1
P3[2]	LED0/bLED0、INT0/bINT0、P3.2
P3[3]	LED1/bLED1、!A15、INT1/bINT1、P3.3
P3[4]	LEDC/bLEDC、XCS0/bXCS0、T0/bT0、P3.4
P3[5]	DA6/bDA6、T1/bT1、P3.5
P3[6]	WR/bWR、P3.6
P3[7]	RD/bRD、P3.7
P4[0]	LED2/bLED2、A0、RXD1_/bRXD1_、P4.0
P4[1]	A1、P4.1
P4[2]	PWM3_/bPWM3_、CAP3_/bCAP3_、A2、P4.2
P4[3]	A3、P4.3
P4[4]	LED3/bLED3、TNOW_/bTNOW_、TXD1_/bTXD1_、A4、P4.4
P4[5]	A5、P4.5
P4[6]	X1、SCS_/bSCS_、P4.6
P4[7]	X0、SCK_/bSCK_、P4.7
P5[0]	DM/bDM、P5.0

P5[1]	DP/bDP、P5. 1
P5[4]	ALE、XB、P5. 4
P5[5]	!A15、XA、P5. 5
P5[7]	RST/bRST、P5. 7

上表中所述按从左到右的优先顺序，是指多个功能模块竞争使用该 GPIO 时的优先顺序。例如，P2 端口已被设置为输出总线地址高 8 位，如果实际只用到 A8~A13 地址，那么 P2. 6 仍可用于更高优先级的 RXD1 功能，P2. 7 仍可用于更高优先级的 TXD1 或者 DA7 等功能，从而避免在未用到 A14~A15 地址时浪费 P2. 6~P2. 7 引脚。

11、外部总线 xBUS

11.1 外部总线寄存器

外部总线辅助设置寄存器 (XBUS_AUX)：

位	名称	访问	描述	复位值
7	bUART0_TX	RO	指示 UART0 的发送状态，为 1 表示正在发送过程中	0
6	bUART0_RX	RO	指示 UART0 的接收状态，为 1 表示正在接收过程中	0
5	bSAFE_MOD_ACT	RO	指示安全模式状态，为 1 表示当前正在安全模式下	0
4	bALE_CLK_EN	RW	ALE 引脚时钟输出使能，该位为 1 允许 ALE 在没有 xBUS 操作期间输出系统主频的 12 分频，即 $F_{sys}/12$ ；该位为 0 禁止输出时钟信号，仅在访问外部总线必要时输出低 8 位地址锁存信号，以降低 EMI	0
3	GF2	RW	通用标志位 2：使用者可自己定义，可软件清零或置位	0
2	bDPTR_AUTO_INC	RW	使能在 MOVX_@DPTR 指令完成后 DPTR 自动加 1	0
1	保留	RO	保留	0
0	DPS	RW	双 DPTR 数据指针选择位： 该位为 0 选择 DPTR0；该位为 1 选择 DPTR1	0

外部总线速度配置寄存器 (XBUS_SPEED)：

位	名称	访问	描述	复位值
7	bXBUS1_SETUP	RW	选择 XBUS1 建立时间：该位为 0 则 2 个时钟周期；该位为 1 则 3 个时钟周期	1
6	bXBUS1_HOLD	RW	选择 XBUS1 保持时间：该位为 0 则 1 个时钟周期；该位为 1 则 2 个时钟周期	1
5	bXBUS1_WIDTH1	RW	XBUS1 总线脉冲宽度高位	1
4	bXBUS1_WIDTH0	RW	XBUS1 总线脉冲宽度低位	1
3	bXBUS0_SETUP	RW	选择 XBUS0 建立时间：该位为 0 则 2 个时钟周期；该位为 1 则 3 个时钟周期	1
2	bXBUS0_HOLD	RW	选择 XBUS0 保持时间：该位为 0 则 1 个时钟周期；该位为 1 则 2 个时钟周期	1
1	bXBUS0_WIDTH1	RW	XBUS0 总线脉冲宽度高位	1
0	bXBUS0_WIDTH0	RW	XBUS0 总线脉冲宽度低位	1

bXBUSn_WIDTH1 和 bXBUSn_WIDTH0 (其中 n=0 或 1)，用于选择总线片选 n 的读写有效脉冲宽度，00 则 2 时钟周期，01 则 4 时钟周期，10 则 8 时钟周期，11 则 16 时钟周期。

11.2 外部总线引脚

表 11.2.1 外部总线引脚列表

GPIO	直接地址模式引脚	复用地址模式引脚	功能描述
P3.7	RD	RD	外部总线读信号输出引脚，低电平有效，上升沿采样输入
P3.6	WR	WR	外部总线写信号输出引脚，低电平有效
P0.0~P0.7	D0~D7	D0~D7	8 位双向数据总线
		A0~A7	复用低 8 位地址 A[0:7] 输出，由 ALE 控制外部电路锁存
P4.0~P4.5	A0~A5	未用到	总线直接地址 A[0:5] 输出引脚，另需设置 P4_DIR 输出
P3.5	A6	未用到	总线直接地址 A6 输出引脚
P2.7	A7		总线直接地址 A7 输出引脚
		A15	总线地址 A15 输出引脚
P2.0~P2.6	A8~A14	A8~A14	总线地址 A[8:14] 输出引脚
P3.4	XCS0	XCS0	片选 0 输出引脚，地址范围 4000h~7FFFh，低电平有效
P3.3	!A15	!A15	总线地址 A15 反相输出引脚，相当于片选 1 输出，地址范围 8000h~FFFFh，低电平有效，仅在 ALE 禁用状态可用
P5.5	!A15	!A15	总线地址 A15 反相输出引脚，相当于片选 1 输出，地址范围 8000h~FFFFh，低电平有效，仅在 ALE 使能状态可用
P5.4		ALE	复用低 8 位地址锁存控制输出引脚，高电平有效
	ALE		系统主频的 12 分频时钟 Fsys/12 输出引脚，占空比 1/12

以上在外部总线状态下未用到的部分地址输出和片选输出等引脚，可以根据 GPIO 复用优先顺序用于其它模块，并且 P4.0~P4.5 中未用到的引脚还可以设置 P4_DIR 保持输入状态。

当 bXBUS_CS_OE=1 时，总线地址 A15 反相信号将根据 ALE 输出状态选择输出引脚，当 ALE 被允许输出时，!A15 选择从 P5.5 输出；当 ALE 被禁止输出时，!A15 选择从 P3.3 输出。ALE 输出状态由 bXBUS_EN、bXBUS_AL_OE 以及 bALE_CLK_EN 组合决定，参考下表 11.2.2。

表 11.2.2 P5.4 引脚复用 ALE 输出状态表

bXBUS_EN	bXBUS_AL_OE	bALE_CLK_EN	P5.4 引脚功能描述
0	X	0	禁止 ALE 输出，默认用作 XB (P5.5 用作 XA)
0	X	1	ALE 仅输出系统主频的 12 分频时钟信号
1	1	0	禁止 ALE 输出，默认用于 XB (P5.5 用作 XA)
1	1	1	ALE 仅输出系统主频的 12 分频时钟信号
1	0	0	ALE 仅在总线时输出低 8 位地址锁存信号
1	0	1	ALE 在访问总线时输出低 8 位地址锁存信号，空闲时输出系统主频的 12 分频时钟信号

12、定时器 Timer

12.1 Timer0/1

Timer0/1 是 2 个 16 位定时/计数器，通过 TCON 和 TMOD 来配置 Timer0 和 Timer1，TCON 用于定时/计数器 T0 和 T1 的启动控制与溢出中断以及外部中断控制。每个定时器都是由 2 个 8 位寄存器组成的 16 位定时单元。定时器 0 的高字节计数器是 TH0，低字节是 TL0；定时器 1 的高字节计数器是 TH1，低字节是 TL1。定时器 1 还可以作为 UART0 的波特率发生器。

表 12.1.1 Timer0/1 相关寄存器列表

名称	地址	描述	复位值
----	----	----	-----

TH1	8Dh	Timer1 计数高字节	xxh
TH0	8Ch	Timer0 计数高字节	xxh
TL1	8Bh	Timer1 计数低字节	xxh
TLO	8Ah	Timer0 计数低字节	xxh
TMOD	89h	Timer0/1 方式寄存器	00h
TCON	88h	Timer0/1 控制寄存器	00h

定时/计数器 0/1 控制寄存器 (TCON):

位	名称	访问	描述	复位值
7	TF1	RW	Timer1 溢出中断标志位, 进入定时器 1 中断后自动清零	0
6	TR1	RW	Timer1 启动/停止位, 置 1 启动, 由软件置位或者清零	0
5	TF0	RW	Timer0 溢出中断标志位, 进入定时器 0 中断后自动清零	0
4	TRO	RW	Timer0 启动/停止位, 置 1 启动, 由软件置位或者清零	0
3	IE1	RW	INT1 外部中断 1 的中断请求标志位, 进入中断后自动清零	0
2	IT1	RW	INT1 外部中断 1 触发方式控制位, 该位为 0 选择外部中断为低电平触发; 该位为 1 选择外部中断为下降边沿触发	0
1	IE0	RW	INT0 外部中断 0 的中断请求标志位, 进入中断后自动清零	0
0	IT0	RW	INT0 外部中断 0 触发方式控制位, 该位为 0 选择外部中断为低电平触发; 该位为 1 选择外部中断为下降边沿触发	0

定时/计数器 0/1 方式寄存器 (TMOD):

位	名称	访问	描述	复位值
7	bT1_GATE	RW	门控使能位, 控制 Timer1 启动是否受外部中断信号 INT1 的影响。该位为 0 则定时/计数器 1 是否启动与 INT1 无关; 该位为 1 则只有 INT1 引脚为高电平并且 TR1 为 1 时才能启动	0
6	bT1_CT	RW	定时或者计数方式选择位, 该位为 0 工作于定时方式; 该位为 1 工作于计数方式, 使用 T1 引脚的下降沿作为时钟	0
5	bT1_M1	RW	定时/计数器 1 模式选择高位	0
4	bT1_M0	RW	定时/计数器 1 模式选择低位	0
3	bT0_GATE	RW	门控使能位, 控制 Timer0 启动是否受外部中断信号 INTO 的影响。该位为 0 则定时/计数器 0 是否启动与 INTO 无关; 该位为 1 则只有 INTO 引脚为高电平并且 TRO 为 1 时才能启动	0
2	bT0_CT	RW	定时或者计数方式选择位, 该位为 0 工作于定时方式; 该位为 1 工作于计数方式, 使用 T0 引脚的下降沿作为时钟	0
1	bT0_M1	RW	定时/计数器 0 模式选择高位	0
0	bT0_M0	RW	定时/计数器 0 模式选择低位	0

表 12.1.2 bTn_M1 和 bTn_M0 选择 Timern 工作模式 (n=0、1)

bTn_M1	bTn_M0	Timern 工作模式 (n=0、1)
0	0	模式 0: 13 位定时/计数器 n, 计数单元由 TLn 的低 5 位和 THn 组成, TLn 的高 3 位无效。计数从 13 位全为 1 变成全为 0 时, 设置溢出标志 TFn, 并需重置初值
0	1	模式 1: 16 位定时/计数器 n, 计数单元由 TLn 和 THn 组成。计数从 16 位全为 1 变成全为 0 时, 设置溢出标志 TFn, 并需重置初值
1	0	模式 2: 8 位重载定时/计数器 n, 计数单元使用 TLn, THn 作为重载计数单元。

		计数从 8 位全为 1 变成全为 0 时，设置溢出标志 TF _n ，并自动从 TH _n 加载初值
1	1	模式 3：如果是定时/计数器 0，那么定时/计数器 0 被分成 2 个部分 TL0 和 TH0，TL0 作为 8 位定时/计数器使用，占用 Timer0 的全部控制位；而 TH0 也做另一个 8 位定时器使用，占用 Timer1 的 TR1、TF1 和中断资源，并且此时 Timer1 仍然可用，只是不能使用启动控制位 TR1 和溢出标志位 TF1。 如果是定时/计数器 1，那么进入模式 3 将停止定时/计数器 1。

Timern 计数低字节(TL_n) (n=0、1)：

位	名称	访问	描述	复位值
[7:0]	TL _n	RW	Timern 计数低字节	xxh

Timern 计数高字节(TH_n) (n=0、1)：

位	名称	访问	描述	复位值
[7:0]	TH _n	RW	Timern 计数高字节	xxh

12.2 Timer2

Timer2 是 16 位自动重载定时/计数器，通过 T2CON 和 T2MOD 寄存器进行配置，定时器 2 的高字节计数器是 TH2，低字节是 TL2。Timer2 可以作为 UART0 的波特率发生器，还具有 2 路信号电平捕捉功能，捕捉计数存储于 RCAP2 和 T2CAP1 寄存器中。

表 12.2.1 Timer2 相关寄存器列表

名称	地址	描述	复位值
TH2	CDh	Timer2 计数器高字节	00h
TL2	CCh	Timer2 计数器低字节	00h
T2COUNT	CCh	TL2 和 TH2 组成 16 位 SFR	0000h
T2CAP1H	CDh	Timer2 捕捉 1 数据高字节(只读)	xxh
T2CAP1L	CCh	Timer2 捕捉 1 数据低字节(只读)	xxh
T2CAP1	CCh	T2CAP1L 和 T2CAP1H 组成 16 位 SFR	xxxxh
RCAP2H	CBh	计数重载/捕捉 2 数据寄存器高字节	00h
RCAP2L	CAh	计数重载/捕捉 2 数据寄存器低字节	00h
RCAP2	CAh	RCAP2L 和 RCAP2H 组成 16 位 SFR	0000h
T2MOD	C9h	Timer2 方式寄存器	00h
T2CON	C8h	Timer2 控制寄存器	00h

定时/计数器 2 控制寄存器(T2CON)：

位	名称	访问	描述	复位值
7	TF2	RW	当 bT2_CAP1_EN=0 时，是 Timer2 的溢出中断标志，当 Timer2 计数从 16 位全为 1 变成全为 0 时，设置该溢出标志为 1，需要软件清零；当 RCLK=1 或者 TCLK=1 时，该位不会被置 1	0
7	CAP1F	RW	当 bT2_CAP1_EN=1 时，是 Timer2 捕捉 1 中断标志，由 T2 有效边沿触发，需要软件清零	0
6	EXF2	RW	Timer2 的外部触发标志，当 EXEN2=1 时由 T2EX 有效边沿触发置 1，需要软件清零	0
5	RCLK	RW	UART0 接收时钟选择，该位为 0 选择 Timer1 溢出脉冲产生波	0

			特率；该位为 1 选择 Timer2 溢出脉冲产生波特率	
4	TCLK	RW	UART0 发送时钟选择，该位为 0 选择 Timer1 溢出脉冲产生波特率；该位为 1 选择 Timer2 溢出脉冲产生波特率	0
3	EXEN2	RW	T2EX 触发使能位，该位为 0 忽略 T2EX；该位为 1 使能在 T2EX 有效边沿时触发重载或者捕捉	0
2	TR2	RW	Timer2 启动/停止位，置 1 启动，由软件置位或者清零	0
1	C_T2	RW	Timer2 时钟源选择位，该位为 0 使用内部时钟；该位为 1 使用基于 T2 引脚下降沿的边沿计数	0
0	CP_RL2	RW	Timer2 功能选择位，如果 RCLK 或者 TCLK 为 1，则该位应该强制为 0。该位为 0 则 Timer2 作为定时/计数器，并且当计数器溢出或者 T2EX 电平变化时能够自动重载计数初值；该位为 1 使能 Timer2 的捕捉 2 功能，捕捉 T2EX 有效边沿	0

定时/计数器 2 方式寄存器 (T2MOD)：

位	名称	访问	描述	复位值
7	bTMR_CLK	RW	已选择快速时钟的 T0/T1/T2 定时器的最快时钟模式使能，该位为 1 则使用没有分频的系统主频 Fsys 作为计数时钟；该位为 0 则使用分频时钟。该位对选择标准时钟的定时器没有影响	0
6	bT2_CLK	RW	Timer2 内部时钟频率选择位，该位为 0 选标准时钟，定时/计数模式为 Fsys/12，UART0 时钟模式为 Fsys/4；该位为 1 选快速时钟，定时/计数模式为 Fsys/4 (bTMR_CLK=0) 或 Fsys (bTMR_CLK=1)，UART0 时钟模式为 Fsys/2 (bTMR_CLK=0) 或 Fsys (bTMR_CLK=1)	0
5	bT1_CLK	RW	Timer1 内部时钟频率选择位，该位为 0 选标准时钟 Fsys/12；为 1 选快速时钟 Fsys/4 (bTMR_CLK=0) 或 Fsys (bTMR_CLK=1)	0
4	bT0_CLK	RW	Timer0 内部时钟频率选择位，该位为 0 选标准时钟 Fsys/12；为 1 选快速时钟 Fsys/4 (bTMR_CLK=0) 或 Fsys (bTMR_CLK=1)	0
3	bT2_CAP_M1	RW	Timer2 捕捉模式高位	捕捉模式选择： X0：从下降沿到下降沿 01：从任意沿到任意沿，即电平变化 11：从上升沿到上升沿
2	bT2_CAP_M0	RW	Timer2 捕捉模式低位	
1	T2OE	RW	Timer2 时钟输出使能位，该位为 0 禁止输出；该位为 1 使能 T2 引脚输出时钟，频率为 Timer2 溢出速率的一半	0
0	bT2_CAP1_EN	RW	当 RCLK=0、TCLK=0、CP_RL2=1、C_T2=0、T2OE=0 时的捕捉 1 模式使能，该位为 1 启用捕捉 1 功能捕捉 T2 有效边沿；该位为 0 禁用捕捉 1	0

计数重载/捕捉 2 数据寄存器 (RCAP2)：

位	名称	访问	描述	复位值
[7:0]	RCAP2H	RW	在定时/计数器模式下是重载值的高字节；在捕捉模式下是 CAP2 捕捉到的定时器的高字节	00h
[7:0]	RCAP2L	RW	在定时/计数器模式下是重载值的低字节；在捕捉模式下是 CAP2 捕捉到的定时器的低字节	00h

Timer2 计数器 (T2COUNT)，仅当 bT2_CAP1_EN=0 时有效：

位	名称	访问	描述	复位值
[7:0]	TH2	RW	当前计数器高字节	00h
[7:0]	TL2	RW	当前计数器低字节	00h

Timer2 捕捉 1 数据 (T2CAP1)，仅当 bT2_CAP1_EN=1 时有效：

位	名称	访问	描述	复位值
[7:0]	T2CAP1H	RO	CAP1 捕捉到的定时器的高字节	xxh
[7:0]	T2CAP1L	RO	CAP1 捕捉到的定时器的低字节	xxh

12.3 Timer3

表 12.3.1 Timer3 相关寄存器列表

名称	地址	描述	复位值
T3_FIFO_H	AFh	Timer3 的 FIFO 高字节	xxh
T3_FIFO_L	A Eh	Timer3 的 FIFO 低字节	xxh
T3_FIFO	A Eh	T3_FIFO_L 和 T3_FIFO_H 组成 16 位 SFR	xxxxh
T3_DMA_AH	ADh	DMA 当前缓冲区地址高字节	0xh
T3_DMA_AL	A Ch	DMA 当前缓冲区地址低字节	xxh
T3_DMA	A Ch	T3_DMA_AL 和 T3_DMA_AH 组成 16 位 SFR	0xxxh
T3_DMA_CN	ABh	DMA 剩余计数寄存器	00h
T3_CTRL	AAh	Timer3 控制寄存器	02h
T3_STAT	A9h	Timer3 状态寄存器	00h
T3_END_H	A7h	Timer3 计数终值高字节	xxh
T3_END_L	A6h	Timer3 计数终值低字节	xxh
T3_END	A6h	T3_END_L 和 T3_END_H 组成 16 位 SFR	xxxxh
T3_COUNT_H	A5h	Timer3 当前计数高字节 (只读)	00h
T3_COUNT_L	A4h	Timer3 当前计数低字节 (只读)	00h
T3_COUNT	A4h	T3_COUNT_L 和 T3_COUNT_H 组成 16 位 SFR	0000h
T3_CK_SE_H	A5h	Timer3 时钟分频设置高字节	00h
T3_CK_SE_L	A4h	Timer3 时钟分频设置低字节	20h
T3_CK_SE	A4h	T3_CK_SE_L 和 T3_CK_SE_H 组成 16 位 SFR	0020h
T3_SETUP	A3h	Timer3 设置寄存器	04h

Timer3 设置寄存器 (T3_SETUP)：

位	名称	访问	描述	复位值
7	bT3_IE_END	RW	该位为 1 使能捕捉模式计数超时中断或者 PWM 模式循环周期结束中断；该位为 0 关闭使能	0
6	bT3_IE_FIFO_OV	RW	该位为 1 使能 FIFO 溢出中断；该位为 0 关闭使能	0
5	bT3_IE_FIFO_REQ	RW	该位为 1 使能捕捉模式 FIFO>=4 中断或者 PWM 模式 FIFO<=3 中断；该位为 0 关闭使能	0
4	bT3_IE_ACT	RW	该位为 1 使能捕捉模式输入信号激活中断或者 PWM 模式数据触发中断；该位为 0 关闭使能	0
3	保留	RO	保留	0

2	bT3_CAP_IN	RO	经过噪声过滤后的当前捕捉引脚的输入电平	1
1	bT3_CAP_CLK	RW	该位为 1 使能无最小脉宽限制的输入捕捉，只有当 T3_CK_SE 为 1 时有效，用于捕捉高速信号	0
0	bT3_EN_CK_SE	RW	该位为 1 使能访问时钟分频设置寄存器；该位为 0 使能访问当前计数寄存器	0

Timer3 当前计数 (T3_COUNT)，仅当 bT3_EN_CK_SE=0 时有效：

位	名称	访问	描述	复位值
[7:0]	T3_COUNT_H	RO	Timer3 当前计数高字节	00h
[7:0]	T3_COUNT_L	RO	Timer3 当前计数低字节	00h

Timer3 时钟分频设置寄存器 (T3_CK_SE)，仅当 bT3_EN_CK_SE=1 时有效：

位	名称	访问	描述	复位值
[7:0]	T3_CK_SE_H	RW	Timer3 时钟分频除数高字节，仅低 4 位有效，高 4 位固定为 0	00h
[7:0]	T3_CK_SE_L	RW	Timer3 时钟分频除数低字节	20h

Timer3 计数终值寄存器 (T3_END)：

位	名称	访问	描述	复位值
[7:0]	T3_END_H	RW	Timer3 计数终值高字节	xxh
[7:0]	T3_END_L	RW	Timer3 计数终值低字节	xxh

Timer3 状态寄存器 (T3_STAT)：

位	名称	访问	描述	复位值
7	bT3_IF_DMA_END	RW	DMA 完成中断标志位，该位为 1 表示有中断；该位为 0 则无中断。写 1 清零或写 T3_DMA_CN 时清零	0
6	bT3_IF_FIFO_OV	RW	该位为 1 表示 FIFO 溢出中断；该位为 0 则无中断。写 1 清零	0
5	bT3_IF_FIFO_REQ	RW	该位为 1 表示请求 FIFO 数据中断标志位，捕捉模式下由 FIFO>=4 触发，PWM 模式下由 FIFO<=3 触发；该位为 0 则无中断。写 1 清零	0
4	bT3_IF_ACT	RW	当 bT3_IE_ACT=1 时，该位为 1 表示捕捉模式输入信号激活中断或者 PWM 模式数据触发中断；该位为 0 无中断。写 1 清零或访问 FIFO 时清零	0
4	bT3_IF_END	RW	当 bT3_IE_ACT=0 时，该位为 1 表示捕捉模式计数超时中断或者 PWM 模式循环周期结束中断；该位为 0 则无中断。写 1 清零	0
[3:0]	MASK_T3_FIFO_CNT	RO	Timer3 的 FIFO 当前计数	0000b

Timer3 控制寄存器 (T3_CTRL)：

位	名称	访问	描述	复位值
7	bT3_CAP_M1	RW	Timer3 捕捉边沿模式高位；PWM 数据重复模式高位	0
6	bT3_CAP_M0	RW	Timer3 捕捉边沿模式低位；PWM 数据重复模式高位	0

5	bT3_PWM_POLAR	RW	PWM 模式下 PWM 输出极性控制位, 该位为 0 则默认低电平, 高电平有效; 该位为 1 则默认高电平, 低电平有效	0
5	bT3_CAP_WIDTH	RW	捕捉模式下最小捕捉脉宽设置位, 该位为 0 则至少 4 个分频时钟周期才有效, 小于则忽略; 该位为 1 则 1 个分频时钟周期即有效, 小于则忽略	0
4	bT3_DMA_EN	RW	该位为 1 使能 Timer3 的 DMA 和 DMA 中断; 为 0 关闭使能	0
3	bT3_OUT_EN	RW	该位为 1 使能 Timer3 的 PWM 输出; 该位为 0 禁止	0
2	bT3_CNT_EN	RW	该位为 1 使能 Timer3 计数; 该位为 0 暂停计数	0
1	bT3_CLR_ALL	RW	该位为 1 清空 Timer3 计数和 FIFO, 需要软件清零	1
0	bT3_MOD_CAP	RW	Timer3 模式选择位, 该位为 0 则 Timer3 工作在定时/计数或 PWM 模式; 该位为 1 则工作在捕捉模式	0

捕捉模式下 bT3_CAP_M1 和 bT3_CAP_M0 选择捕捉边沿: 当 bT3_CAP_M1 和 bT3_CAP_M0 为 00 时, 则关闭或暂停捕捉模式; 为 01 时, 由任意边沿即电平变化激活, 捕捉从任意边沿到任意边沿; 为 10 时, 由下降沿激活, 捕捉从下降沿到下降沿; 为 11 时, 由上升沿激活, 捕捉从上升沿到上升沿。

PWM 模式下 bT3_CAP_M1 和 bT3_CAP_M0 选择数据重复次数: 当 bT3_CAP_M1 和 bT3_CAP_M0 为 00 时, 数据不重复使用, 即每个 PWM 周期使用一个新数据; 为 01 时, 数据重复使用 4 次, 即同一数据用于连续 4 个 PWM 周期; 为 10 时, 数据重复使用 8 次; 为 11 时, 数据重复使用 16 次。

DMA 剩余计数寄存器 (T3_DMA_CN):

位	名称	访问	描述	复位值
[7:0]	T3_DMA_CN	RW	当前 DMA 剩余计数, 可预置初值, DMA 操作后自动减少	00h

DMA 当前缓冲区地址 (T3_DMA):

位	名称	访问	描述	复位值
[7:0]	T3_DMA_AH	RW	当前 DMA 地址高字节, 可预置初值, DMA 后自动增加, 仅低 4 位有效, 高 4 位固定为 0	0xh
[7:0]	T3_DMA_AL	RW	当前 DMA 地址低字节, 可预置初值, DMA 后自动增加, 仅高 7 位有效, 最低位固定为 0, 仅支持偶地址	xxh

FIFO 端口 (T3_FIFO):

位	名称	访问	描述	复位值
[7:0]	T3_FIFO_H	RW	Timer3 的 FIFO 高字节	xxh
[7:0]	T3_FIFO_L	RW	Timer3 的 FIFO 低字节	xxh

12.4 PWM 功能

CH558 的 Timer3 具有 16 位 PWM 功能, PWM 可以选择默认的输出极性为低电平或者高电平, 可以动态修改 PWM 的输出占空比, 通过简单 RC 电阻电容进行积分低通滤波后, 即可获得各种输出电压, 相当于低速数模转换器 DAC。

PWM 输出占空比 = $T3_FIFO / T3_END$, 支持范围 0% 到 100%, 如果 T3_FIFO 数值大于 T3_END 则按 100% 处理。

实际应用中, 建议允许 PWM 引脚输出并且设置 PWM 输出引脚为推挽输出模式。

12.5 Timer 功能

12.5.1 Timer0/1

- (1)、设置 T2MOD 选择 Timer 内部时钟频率，如果 $bTn_CLK(n=0/1)$ 为 0，那么 Timer0/1 对应的时钟为 $F_{sys}/12$ ；如果 bTn_CLK 为 1，那么由 $bTMR_CLK=0$ 或 1 选择 $F_{sys}/4$ 或者 F_{sys} 作为时钟。
- (2)、设置 T2MOD 配置 Timer 的工作模式。

模式 0：13 位定时/计数器

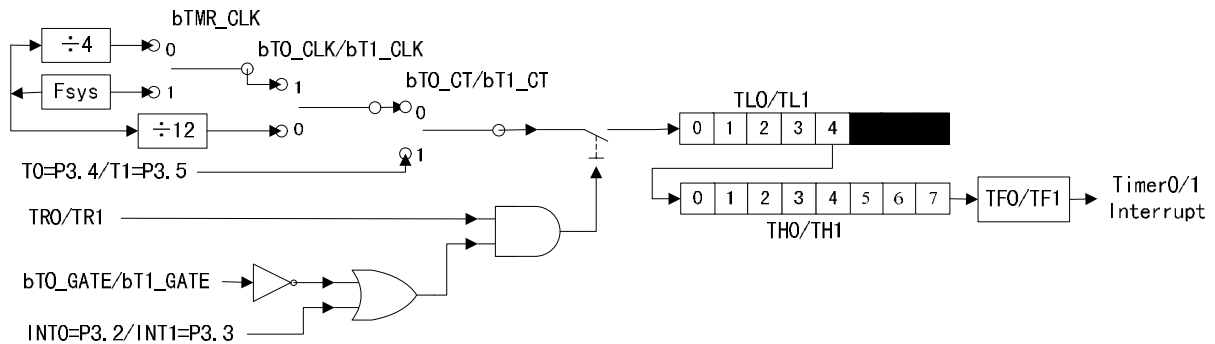


图 12.5.1.1 Timer0/1 模式 0

模式 1：16 位定时/计数器

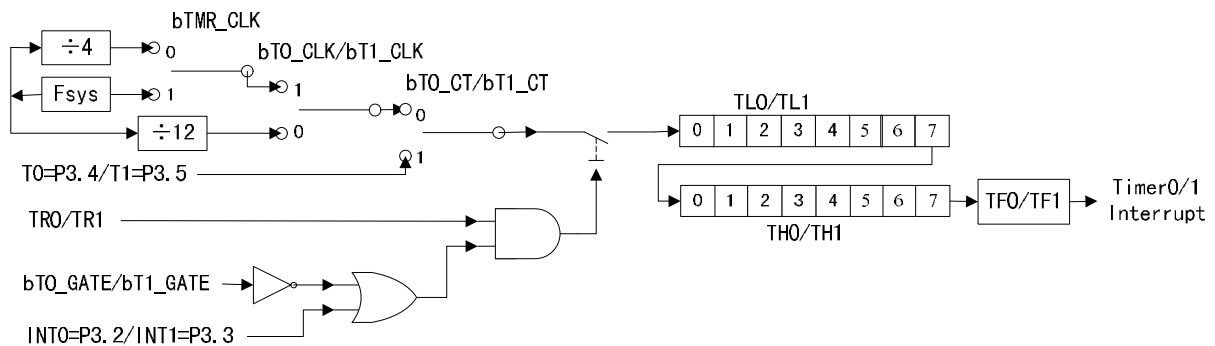


图 12.5.1.2 Timer0/1 模式 1

模式 2：自动重载 8 位定时/计数器

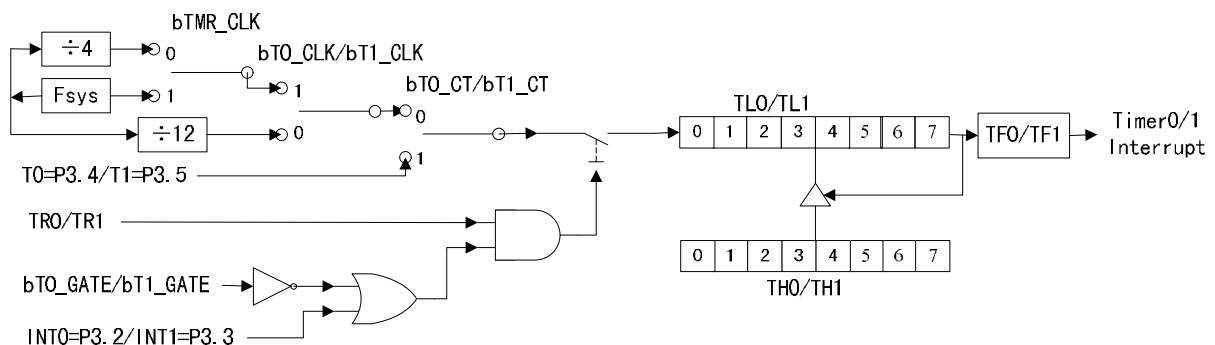


图 12.5.1.3 Timer0/1 模式 2

模式 3：Timer0 分解为两个独立的 8 位定时/计数器，并借用 Timer1 的 TR1 控制位；Timer1 通过是否启动模式 3 代替被借用的 TR1 控制位，Timer1 进入模式 3 则 Timer1 停止运行。

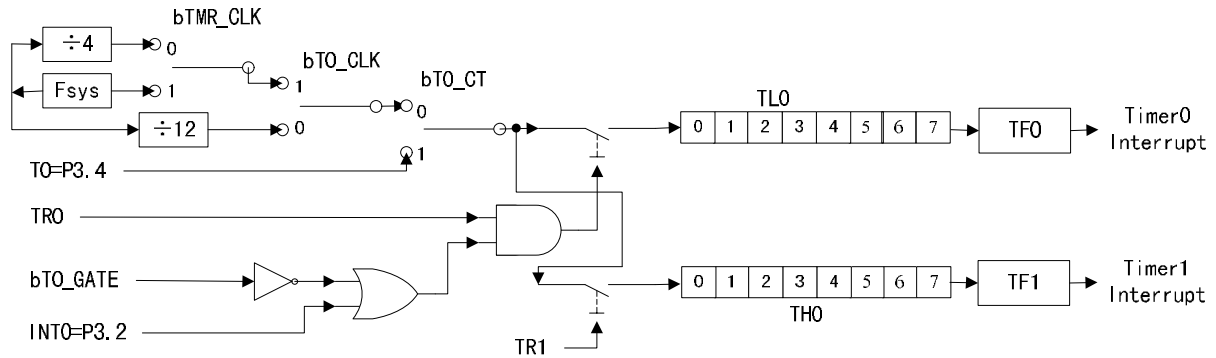


图 12.5.1.4 Timer0 模式 3

- (3)、设置定时/计数器初值 TLn 和 THn (n=0/1)。
- (4)、设置 TCON 中的位 TRn (n=0/1) 开启或者停止定时/计数器，可以通过位 TFn (n=0/1) 查询或者通过中断方式进行检测。

12.5.2 Timer2

Timer2 16 位重载定时/计数器模式：

- (1)、设置 T2CON 中的位 RCLK 和 TCLK 都为 0，选择非串口波特率发生器模式。
- (2)、设置 T2CON 中的位 C_T2 为 0 选择使用内部时钟，转步骤(3)；也可置 1 选择 T2 引脚的下降沿作为计数时钟，跳过步骤(3)。
- (3)、设置 T2MOD 选择 Timer 内部时钟频率，如果 bT2_CLK 为 0，那么 Timer2 的时钟为 Fsys/12；如果 bT2_CLK 为 1，那么由 bTMR_CLK=0 或 1 选择 Fsys/4 或者 Fsys 作为时钟。
- (4)、设置 T2CON 的位 CP_RL2 为 0，选择 Timer2 的 16 位重载定时/计数器功能。
- (5)、设定 RCAP2L 和 RCAP2H 为定时器溢出后的重载值，设定 TL2 和 TH2 为定时器的初值(一般与 RCAP2L 和 RCAP2H 相同)，设置 TR2 为 1，开启 Timer2。
- (6)、通过查询 TF2 或者定时器 2 中断可以获取当前定时/计数器状态。

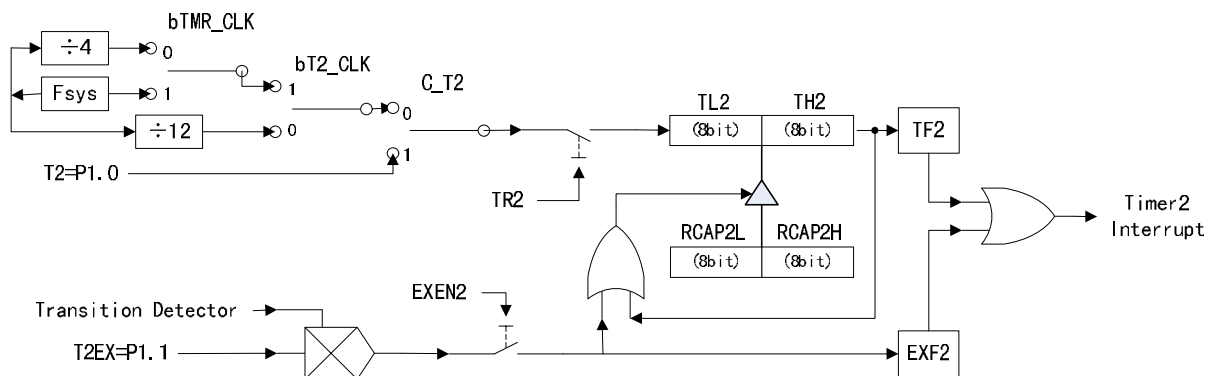


图 12.5.2.1 Timer2 16 位重载定时/计数器

Timer2 时钟输出模式：

参考 16 位重载定时/计数器模式，并且再设置 T2MOD 中的位 T2OE 为 1，则使能从 T2 引脚输出 TF2 频率的二分频时钟。

Timer2 串口 0 波特率发生器模式：

- (1)、设置 T2CON 中的位 C_T2 为 0 选择使用内部时钟，也可置 1 选择 T2 引脚的下降沿作为时钟，根据需要设置 T2CON 中的位 RCLK 和 TCLK 为 1 或其中之一为 1，选择串口波特率发生器模式。

- (2)、设置 T2MOD 选择 Timer 内部时钟频率，如果 bT2_CLK 为 0，那么 Timer2 的时钟为 $F_{sys}/4$ ；如果 bT2_CLK 为 1，那么由 bTMR_CLK=0 或 1 选择 $F_{sys}/2$ 或者 F_{sys} 作为时钟。
- (3)、设定 RCAP2L 和 RCAP2H 为定时器溢出后的重载值，设置 TR2 为 1，开启 Timer2。

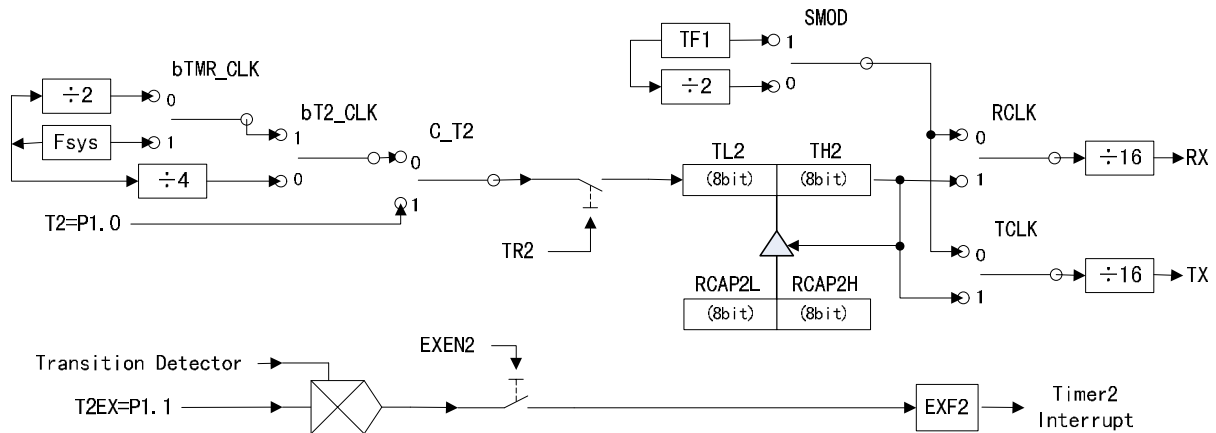


图 12.5.2.2 Timer2 UART0 波特率发生器

Timer2 双通道捕捉模式:

- (1)、设置 T2CON 中的位 RCLK 和 TCLK 都为 0，选择非串口波特率发生器模式。
- (2)、设置 T2CON 中的位 C_T2 为 0 选择使用内部时钟，转步骤(3)；也可置 1 则选择 T2 引脚的下降沿作为计数时钟，跳过步骤(3)。
- (3)、设置 T2MOD 选择 Timer 内部时钟频率，如果 bT2_CLK 为 0，那么 Timer2 的时钟为 $F_{sys}/12$ ；如果 bT2_CLK 为 1，那么由 bTMR_CLK=0 或 1 选择 $F_{sys}/4$ 或者 F_{sys} 作为时钟。
- (4)、设置 T2MOD 的位 bT2_CAP_M1 和 bT2_CAP_M0 选择相应的边沿捕捉模式。
- (5)、设置 T2CON 的位 CP_RL2 为 1，选择 Timer2 对 T2EX 引脚的捕捉功能。
- (6)、设定 TL2 和 TH2 为定时器的初值，设置 TR2 为 1，开启 Timer2。
- (7)、当 CAP2 捕捉完成，RCAP2L 和 RCAP2H 会保存当时 TL2 和 TH2 的计数值，并使 EXF2 置位，产生中断，下一次捕捉到的 RCAP2L 和 RCAP2H 与上一次捕捉到的 RCAP2L 和 RCAP2H 之间的差值，就是两次有效边沿之间的信号宽度。
- (8)、如果 T2CON 中的位 C_T2 为 0，并且 T2MOD 中的位 bT2_CAP1_EN 为 1，那么将同时使能 Timer2 对 T2 引脚的捕捉功能，当 CAP1 捕捉完成，T2CAP1L 和 T2CAP1H 会保存当时 TL2 和 TH2 的计数值，并使 CAP1F 置位，产生中断。

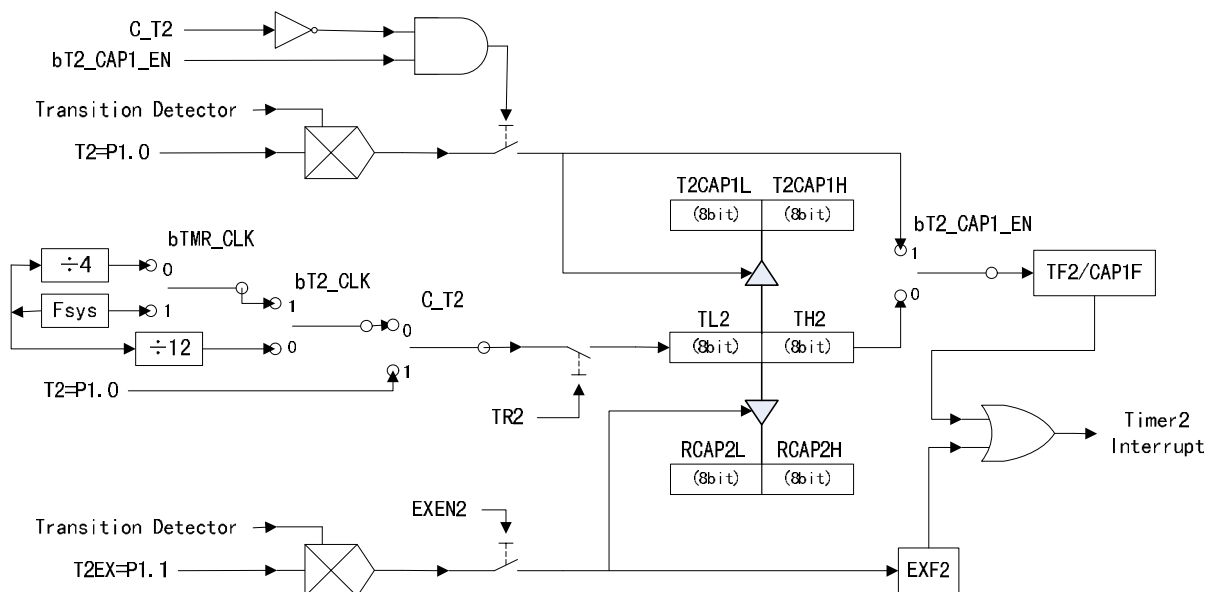


图 12.5.2.3 Timer2 捕捉模式

12.5.3 Timer3

- (1)、设置 T3_SETUP 中的位 bT3_EN_CK_SE 为 1，使能 Timer3 时钟分频设置寄存器 T3_CK_SE，设置分频系数，计数时钟为 $F_{sys}/T3_CK_SE$ ，设置完成后清零 bT3_EN_CK_SE。
- (2)、设置 T3_END 计数终值或 PWM 总周期数。
- (3)、根据需要在 T3_SETUP 中开启中断使能。
- (4)、设置 T3_CTRL 中的各个控制位，选择模式，并清 bT3_CLR_ALL，置 bT3_CNT_EN 开启 Timer3。
- (5)、根据需要设置 T3_DMA_AL 和 T3_DMA_AH 以及 T3_DMA_CN，设置 bT3_DMA_EN，启用 DMA 功能。

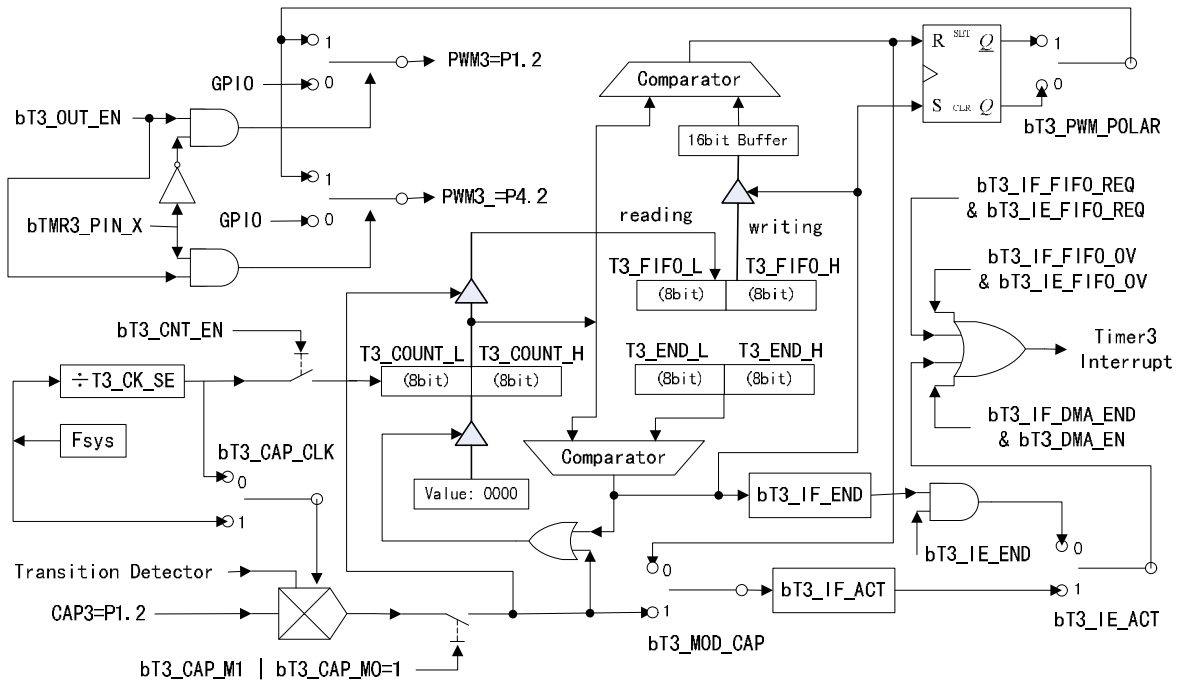


图 12.5.3.1 Timer3 16 位定时器/PWM/捕捉

Timer3 捕捉的数据格式:

Timer3 可以用于捕捉信号的两个有效边沿之间的宽度，该宽度以分频后的时钟计数表示，捕捉过程中或者完成后，可以通过 DMA 或者直接读 FIFO 得到该宽度数据，数据为 16 位，最高位是标识位，低 15 位是宽度计数。启用信号捕捉后，每检测到一次有效边沿或者每次定时器溢出，都将产生一次数据，由于第一次有效边沿时产生的数据是从启用信号捕捉时起算的宽度，而不是两个有效边沿之间的宽度，所以捕捉得到的第一个数据通常会被舍弃。

(1)、bT3_CAP_M1 和 bT3_CAP_M0=11

上升沿有效，捕捉从上升沿到上升沿的信号宽度，即上升沿激活。如果数据最高位为 1，那么说明该信号宽度已经溢出计数终值，即计时超过 T3_END 仍未发现下一个上升沿，该宽度值必须累加到下一个数据最高位为 0 的宽度值上；如果数据最高位为 0，那么说明该宽度是截止到某个上升沿之间的宽度，根据之前若干数据的最高位是否为 1 决定是否向前累加其低 15 位。该模式下，建议设置 T3_END 以检测特殊用途的超宽信号或者结束信号，而正常信号不应产生溢出。

例如，T3_END 设置为 4000h，采集到的原始数据序列如下：

1234h, 2345h, 0456h, C000h, C000h, 1035h, 3579h, C000h, 2468h, 0987h

合并后得到各上升沿之间的间隔：1234h, 2345h, 0456h, 9035h, 3579h, 6468h, 0987h

(2)、bT3_CAP_M1 和 bT3_CAP_M0=10

同上，但是下降沿有效，捕捉从下升沿到下升沿的信号宽度，即下降沿激活。

(3)、bT3_CAP_M1 和 bT3_CAP_M0=01

任意边沿有效，捕捉从任意边沿到任意边沿的信号宽度，即电平变化激活。如果数据最高位为 1，那么说明该宽度是高电平宽度，即从上升沿到下降沿；如果数据最高位为 0，那么说明该宽度是低电平宽度，即从下降沿到上升沿。屏蔽掉最高位后的低 15 位是以分频时钟计数的宽度值。该模式下，建议将 T3_END 设置为较大的值，避免计时溢出，但不得超过 15 位有效数据。

13、通用异步收发器 UART

13.1 UART 简介

CH558 芯片提供 2 个全双工的异步串口：UART0 和 UART1。

UART0 是标准 MCS51 串口，其数据接收和发送是通过 SBUF 访问物理上分开的收/发寄存器实现的。写入 SBUF 的数据装入发送寄存器，对 SBUF 的读操作则对应于接收缓冲寄存器。

UART1 是增强型异步串口，特性如下：

- (1)、兼容 16C550 异步串口并且有所增强；
- (2)、支持 5、6、7 或者 8 个数据位以及 1 或者 2 个停止位；
- (3)、支持奇、偶、无校验、空白 0、标志 1 等校验方式；
- (4)、可编程通讯波特率，支持 115200bps 以及最高达 3Mbps 的通讯波特率；
- (5)、内置独立的收发缓冲区及 8 字节的 FIFO 先进先出缓冲器，支持 4 个 FIFO 触发级；
- (6)、支持 MODEM 调制解调器信号 CTS、DSR、RI、DCD、DTR、RTS，可外部转成 RS232 电平；
- (7)、支持硬件流控制信号 CTS 和 RTS 自动握手和自动传输速率控制，兼容 TL16C550C；
- (8)、支持串口帧错误检测、支持 Break 线路间隔检测；
- (9)、内置 SIR 红外线编解码器，支持 2400bps 到 115200bps 波特率的 IrDA 红外通讯；
- (10)、支持全双工和半双工串口通讯，提供发送状态引脚用于切换 RS485；
- (11)、内置半双工差分收发器，直接支持简单的类似 RS485 总线的远距离多机通讯；
- (12)、支持预置本机作为从机时的地址，用于多机通讯时自动匹配总线上的数据包。

13.2 UART 寄存器

表 13.2.1 UART 相关寄存器列表

名称	地址	描述	复位值
SBUF	99h	UART0 数据寄存器	xxh
SCON	98h	UART0 控制寄存器	00h
SER1_DLL	9Ah	UART1 波特率除数锁存器低字节	xxh
SER1_RBR	9Ah	UART1 数据接收缓冲寄存器(只读)	xxh
SER1_THR	9Ah	UART1 数据发送保持寄存器(只写)	xxh
SER1_FIFO	9Ah	UART1 数据 FIFO 读写寄存器	xxh
SER1_DIV	97h	UART1 预分频除数寄存器	xxh
SER1_ADDR	97h	UART1 总线地址预置寄存器	FFh
SER1_MSR	96h	调制解调器 MODEM 状态寄存器(只读)	F0h
SER1_LSR	95h	UART1 线路状态寄存器(只读)	60h
SER1_MCR	94h	调制解调器 MODEM 控制寄存器	00h
SER1_LCR	93h	UART1 线路控制寄存器	00h
SER1_IIR	92h	UART1 中断识别寄存器(只读)	01h
SER1_FCR	92h	FIFO 控制寄存器(只写)	00h

SER1_DLM	91h	UART1 波特率除数锁存器高字节	80h
SER1_IER	91h	UART1 中断使能寄存器	00h

13.2.1 UART0 寄存器描述

UART0 控制寄存器 (SCON):

位	名称	访问	描述	复位值
7	SM0	RW	UART0 工作方式选择位 0, 该位为 0 选择 8 位数据异步通信; 该位为 1 选择 9 位数据异步通信	0
6	SM1	RW	UART0 工作方式选择位 1, 该位为 0 设置固定波特率; 该位为 1 设置可变波特率, 由定时器 T1 或者 T2 产生	0
5	SM2	RW	UART0 多机通信控制位: 在模式 2 和 3 接收数据时, 当 SM2=1 时, 如果 RB8 为 0, 那么 RI 不置 1, 接收无效; 如果 RB8 为 1, 那么 RI 置 1, 接收有效; 当 SM2=0 时, 不管 RB8 为 0 或者 1, RI 接收数据时都置位, 接收有效; 在模式 1 时, 如果 SM2=1, 那么只有接收到有效的停止位时, 接收才有效; 在模式 0 时, SM2 位必须置 0	0
4	REN	RW	UART0 允许接收控制位, 该位为 0 禁止接收; 该位为 1 允许接收	0
3	TB8	RW	发送数据的第 9 位, 在模式 2 和 3 时, TB8 用于写入发送数据的第 9 位, 可以是奇偶校验位; 在多机通信中, 用于表示主机发送的是地址字节还是数据字节, TB8=0 为数据, TB8=1 为地址	0
2	RB8	RW	接收数据的第 9 位, 在模式 2 和 3 时, RB8 用于存放接收数据的第 9 位; 在模式 1 时, 如果 SM2=0, 那么 RB8 用于存放接收到的停止位; 在模式 0 时, 不使用 RB8	0
1	TI	RW	发送中断标志位, 一个数据字节发送完后由硬件置位, 需要软件清零	0
0	RI	RW	接收中断标志位, 一个数据字节接收有效后由硬件置位, 需要软件清零	0

表 13.2.1.1 UART0 工作模式选择

SM0	SM1	描述
0	0	模式 0, 移位寄存器方式, 波特率固定是 $F_{sys}/12$
0	1	模式 1, 8 位异步通信方式, 波特率可变, 由定时器 T1 或者 T2 产生
1	0	模式 2, 9 位异步通信方式, 波特率是 $F_{sys}/128$ (SMOD=0) 或 $F_{sys}/32$ (SMOD=1)
1	1	模式 3, 9 位异步通讯方式, 波特率可变, 由定时器 T1 或者 T2 产生

在模式 1 和 3 下, 当 RCLK=0 并且 TCLK=0 时, UART0 波特率由定时器 T1 产生。应该设置 T1 为模式 2 自动重载 8 位定时器模式, bT1_CT 和 bT1_GATE 必须都为 0, 分为以下几类时钟情况。

表 13.2.1.2 由 T1 产生 UART0 波特率的计算公式

bTMR_CLK	bT1_CLK	SMOD	描述
1	1	0	$TH1 = 256 - F_{sys} / 32 / \text{波特率}$
1	1	1	$TH1 = 256 - F_{sys} / 16 / \text{波特率}$
0	1	0	$TH1 = 256 - F_{sys} / 4 / 32 / \text{波特率}$
0	1	1	$TH1 = 256 - F_{sys} / 4 / 16 / \text{波特率}$
X	0	0	$TH1 = 256 - F_{sys} / 12 / 32 / \text{波特率}$

X	0	1	$TH1 = 256 - F_{sys} / 12 / 16 / \text{波特率}$
---	---	---	--

在模式 1 和 3 下，当 RCLK=1 或者 TCLK=1 时，UART0 波特率由定时器 T2 产生。应该设置 T2 为 16 位自动重载波特率发生器模式，C_T2 和 CP_RL2 必须都为 0，分为以下几类时钟情况。

表 13.2.1.3 由 T2 产生 UART0 波特率的计算公式

bTMR_CLK	bT2_CLK	描述
1	1	$RCAP2 = 65536 - F_{sys} / 16 / \text{波特率}$
0	1	$RCAP2 = 65536 - F_{sys} / 2 / 16 / \text{波特率}$
X	0	$RCAP2 = 65536 - F_{sys} / 4 / 16 / \text{波特率}$

UART0 数据寄存器 (SBUF)：

位	名称	访问	描述	复位值
[7:0]	SBUF	RW	UART0 数据寄存器，包括发送和接收两个物理上分开的寄存器。向 SBUF 写数据对应发送数据寄存器；从 SBUF 读数据对应接收数据寄存器	xxh

13.2.2 UART1 相关寄存器

UART1 数据 FIFO 读写寄存器 SER1_FIFO，包括数据接收缓冲寄存器 SER1_RBR 和数据发送保持寄存器 SER1_THR 两个物理上分开的寄存器。

数据接收缓冲寄存器 (SER1_RBR)，仅当 bLCR_DLAB=0 时有效：

位	名称	访问	描述	复位值
[7:0]	SER1_RBR	RO	串口接收缓冲寄存器，如果 SER1_LSR 的 bLSR_DATA_RDY 位为 1，则可以从该寄存器读取接收到的数据；如果 bFCR_FIFO_EN 为 1，则从串口移位寄存器接收到的数据首先被存放于接收 FIFO 中，然后通过该寄存器读出	xxh

数据发送保持寄存器 (SER1_THR)，仅当 bLCR_DLAB=0 时有效：

位	名称	访问	描述	复位值
[7:0]	SER1_THR	WO	串口发送保持寄存器，包括发送 FIFO，用于写入准备发送的数据；如果 bFCR_FIFO_EN 为 1，则写入的数据首先被存放于发送 FIFO 中，然后通过发送移位寄存器逐个输出	xxh

中断使能寄存器 (SER1_IER)，仅当 bLCR_DLAB=0 时有效：

位	名称	访问	描述	复位值
7	bIER_RESET	RW	串口软件复位控制位，该位为 1 则复位串口，该位能够自动清零，无需软件清零	0
6	bIER_EN_MODEM_0	RW	UART1 调制解调器 MODEM 信号输出使能位，该位为 1 使能 MODEM 信号 RTS/DTR 输出，该位为 0 禁止输出	0
5	bIER_PIN_MOD1	RW	UART1 引脚模式选择高位	0
4	bIER_PIN_MOD0	RW	UART1 引脚模式选择低位	0
3	bIER_MODEM_CHG	RW	调制解调器输入状态变化中断使能位，该位为 1 使能产生调制解调器输入状态变化中断；该位为 0 禁止	0

2	bIER_LINE_STAT	RW	接收线路状态中断使能位, 该位为 1 使能产生接收线路状态中断; 该位为 0 禁止	0
1	bIER_THR_EMPTY	RW	发送保持寄存器空中断使能位, 该位为 1 使能产生发送保持寄存器空中断; 该位为 0 禁止	0
0	bIER_RECV_RDY	RW	接收到数据中断使能位, 该位为 1 使能产生接收数据完成中断和接收到数据后续超时中断, 该位为 0 禁止	0

UART1 的引脚模式由 bIER_PIN_MOD1 和 bIER_PIN_MOD0 两者以及 bXBUS_CS_OE、bXBUS_AL_OE、bALE_CLK_EN 共同组合选择不同配置, 其中, 后三者可以先合并为 RS485EN:

$$RS485EN = \sim (bXBUS_CS_OE \& \sim bXBUS_AL_OE \mid bALE_CLK_EN)$$

RS485EN	bIER_PIN_MOD1	bIER_PIN_MOD0	模式描述
x	0	0	RXD1 使用引脚 P4.0, TXD1 禁止输出
0	1	0	RXD1 和 TXD1 分别使用引脚 P2.6/RXD1 和 P2.7/TXD1
0	0	1	RXD1 和 TXD1 分别使用引脚 P4.0/RXD1_和 P4.4/TXD1_
0	1	1	RXD1 和 TXD1 及 TNOW 分别使用引脚 P2.6 和 P2.7 及 P2.5
1	1	0	RXD1 和 TXD1 共同使用 iRS485 差分引脚 XA 和 XB
1	0	1	RXD1 和 TXD1 共同使用引脚 XA 和 XB, TNOW 使用引脚 P4.4
1	1	1	RXD1 和 TXD1 共同使用引脚 XA 和 XB, TNOW 使用引脚 P2.5

上表的后三种配置是 iRS485 半双工通讯模式, 此时 RS485EN=1, RXD1 和 TXD1 共同使用 iRS485 差分引脚 XA 和 XB, 通过内置的半双工差分收发器, 直接支持简单的类似 RS485 总线的远距离多机通讯。在 iRS485 半双工通讯模式下, 还需要设置 SER1_MCR 中的 bMCR_HALF 为 1。

中断识别寄存器 (SER1_IIR):

位	名称	访问	描述	复位值
[7:6]	MASK_U1_IIR_ID	RO	FIFO 使能标志位, 11 表示已经使能 FIFO	00b
[5:4]	保留	RO	保留	00b
[3:0]	MASK_U1_IIR_INT	RO	UART1 中断状态标志位	0001b
0	bIIR_NO_INT	RO	UART1 有无中断标志位, 为 1 无中断; 为 0 有中断	1

UART1 的中断状态由 bIIR_INT_FLAG3、bIIR_INT_FLAG2、bIIR_INT_FLAG1 和 bIIR_INT_FLAG0 共 4 位组成 MASK_U1_IIR_INT, 作为 UART1 的串口中断标志, 具体中断如下表。

中断名称	中断值	中断类型	中断源	清中断方法
U1_INT_SLV_ADDR	0Eh	总线地址匹配	接收到 1 个数据是串口总线地址, 且该地址与预置值匹配或是广播地址	读 SER1_IIR 或禁用多机模式
U1_INT_LINE_STAT	06h	接收线路状态	bLSR_OVER_ERR 或 bLSR_PAR_ERR 或 bLSR_FRAME_ERR 或 bLSR_BREAK_ERR	读 SER1_LSR
U1_INT_RECV_RDY	04h	接收数据可用	接收到的字节数达到 FIFO 的触发点	读 SER1_RBR
U1_INT_RECV_TOUT	0Ch	接收数据超时	已接收到数据, 但是超过 4 个数据字节的时间未收到下一数据	读 SER1_RBR
U1_INT_THR_EMPTY	02h	SER1_THR 寄存器空	发送保持寄存器空, bIER_THR_EMPTY 从 0 变 1 可以重新使能该中断	读 SER1_IIR 或写 SER1_THR
U1_INT_MODEM_CHG	00h	MODEM 输入变化	△CTS 或 △DSR 或 △RI 或 △DCD	读 SER1_MSR
U1_INT_NO_INTER	01h	没有中断产生	没有中断	

FIFO 控制寄存器 (SER1_FCR):

位	名称	访问	描述	复位值
7	bFCR_FIFO_TRIG1	WO	接收 FIFO 的中断和硬件流控制的触发点设置高位	0
6	bFCR_FIFO_TRIG0	WO	接收 FIFO 的中断和硬件流控制的触发点设置低位	0
[5:3]	保留	RO	保留	000b
2	bFCR_T_FIFO_GLR	WO	发送 FIFO 数据清空使能位, 该位为 1 清空发送 FIFO 中的数据 (不含正在发送的数据); 该位能够自动清零, 无需软件清零	0
1	bFCR_R_FIFO_GLR	WO	接收 FIFO 数据清空使能位, 该位为 1 清空接收 FIFO 中的数据 (不含正在接收的数据); 该位能够自动清零, 无需软件清零	0
0	bFCR_FIFO_EN	WO	FIFO 使能位, 该位为 1 启用 FIFO; 该位为 0 禁用 FIFO。禁用 FIFO 后为 16C450 兼容模式, 相当于 FIFO 只有一个字节深度, 建议启用 FIFO	0

bFCR_FIFO_TRIG1 和 bFCR_FIFO_TRIG0 组成 MASK_U1_FIFO_TRIG, 用于设置接收 FIFO 的中断和硬件流控制的触发点: 11 对应 7 个字节, 即接收满 7 个字节产生接收数据可用的中断, 并在使能硬件流控制 bMCR_AUTO_FLOW=1 时自动无效 RTS 引脚电平; 10 对应 4 个字节; 01 对应 2 个字节; 00 对应 1 个字节。

线路控制寄存器 (SER1_LCR):

位	名称	访问	描述	复位值
7	bLCR_DLAB	RW	波特率除数锁存器存取使能位, 该位为 0 允许存取寄存器 SER1_RBR、SER1_THR、SER1_IER、SER1_ADR; 该位为 1 允许存取寄存器 SER1_DLL、SER1_DLM、SER1_DIV	0
6	bLCR_BREAK_EN	RW	强制产生 BREAK 线路间隔使能位, 该位为 0 不产生 BREAK 输出; 该位为 1 强制产生 BREAK 输出	0
5	bLCR_PAR_MOD1	RW	奇偶校验模式高位	0
4	bLCR_PAR_MOD0	RW	奇偶校验模式低位	0
3	bLCR_PAR_EN	RW	奇偶校验使能位, 该位为 0 无奇偶校验位; 该位为 1 允许发送时产生和接收时校验奇偶校验位	0
2	bLCR_STOP_BIT	RW	停止位格式设置位, 该位为 0 有一个停止位; 该位为 1 有两个停止位	0
1	bLCR_WORD_SZ1	RW	数据字长设置高位	0
0	bLCR_WORD_SZ0	RW	数据字长设置低位	0

bLCR_PAR_MOD1 和 bLCR_PAR_MOD0 组合, 当 bLCR_PAR_EN 为 1 时设置奇偶校验位的格式: 00 则奇校验, 01 则偶校验, 10 则标志位 (MARK, 置 1), 11 则空白位 (SPACE, 清 0)。

bLCR_WORD_SZ1 和 bLCR_WORD_SZ0 组合, 设置单个数据的字长度, 不含奇偶校验位: 00 则 5 个数据位, 01 则 6 个数据位, 10 则 7 个数据位, 11 则 8 个数据位。

MODEM 控制寄存器 (SER1_MCR):

位	名称	访问	描述	复位值
7	bMCR_HALF	RW	半双工收发模式使能位, 该位为 0 禁止半双工收发模式, 支持全双工; 该位为 1 进入自动半双工收发模式, 发送优先, 发送期间暂停接收, 不发送时自动转为接收	0
6	bMCR_TNOW	RW	RTS 引脚功能选择位, 该位为 0 则为标准 RTS 输出; 该位	0

			为 1 则转为 TNOW 输出, 输出正在发送的状态, 可以用于控制 RS485 等半双工模式的收发切换	
5	bMCR_AUTO_FLOW	RW	CTS 和 RTS 硬件自动流控制使能位, 该位为 0 禁用硬件流控; 该位为 1 启用硬件自动流控制。 启用硬件流控后, 仅在检测到 CTS 引脚输入低电平有效时串口才继续发送下一个数据, 否则暂停串口发送; 启用硬件流控后, 如果 bMCR_RTS 为 1, 那么当接收 FIFO 空时, 串口会自动低电平有效 RTS 引脚, 直到接收的字节数达到 FIFO 的触发点时, 串口才自动无效 RTS 引脚, 并能够在接收 FIFO 空时再次有效 RTS 引脚; 启用硬件流控后的 CTS 输入状态变化不会产生 MODEM 状态中断。通过将己方的 CTS 引脚接到对方的 RTS 引脚, 并将己方的 RTS 引脚送到对方的 CTS 引脚, 可以实现硬件自动速率控制	0
4	bMCR_LOOP	RW	内部回路的测试模式使能位, 该位为 0 禁止内部回路测试; 该位为 1 使能内部回路测试。 在内部回路的测试模式下, 串口所有对外输出引脚均为无效状态, TXD1 内部返回到 RXD1, RTS 内部返回到 CTS, DTR 内部返回到 DSR, OUT1 内部返回到 R1, OUT2 内部返回到 DCD	0
3	bMCR_OUT2	RW	串口的中断请求输出使能位, 该位为 0 禁止串口的中断请求输出, 该位为 1 使能串口的中断请求输出	0
2	bMCR_OUT1	RW	用户自定义 MODEM 控制位, 没有连接实际输出引脚, 用于内部回路测试, 或者作为通用数据位	0
1	bMCR_RTS	RW	RTS 引脚输出控制位, 该位为 0 则 RTS 引脚输出无效(高电平); 该位为 1 则 RTS 引脚输出有效(低电平)	0
0	bMCR_DTR	RW	DTR 引脚输出控制位, 该位为 0 则 DTR 引脚输出无效(高电平); 该位为 1 则 DTR 引脚输出有效(低电平)	0

线路状态寄存器 (SER1_LSR):

位	名称	访问	描述	复位值
7	bLSR_ERR_R_FIFO	RO	接收 FIFO 的错误标志位, 该位为 1 说明接收 FIFO 中存在至少一个 bLSR_PAR_ERR、bLSR_FRAME_ERR 或 bLSR_BREAK_ERR 错误	0
6	bLSR_T_ALL_EMP	RO	发送相关寄存器全空标志位, 该位为 1 表示发送保持寄存器 SER1_THR 和 FIFO 以及发送移位寄存器全空	1
5	bLSR_T_FIFO_EMP	RO	该位为 1 表示发送保持寄存器 SER1_THR 和 FIFO 空	1
4	bLSR_BREAK_ERR	RO	该位为 1 表示检测到 BREAK 线路间隔状态	0
3	bLSR_FRAME_ERR	RO	该位为 1 表示接收 FIFO 中的当前数据的帧错误, 缺少有效的停止位	0
2	bLSR_PAR_ERR	RO	该位为 1 表示接收 FIFO 中的当前数据的奇偶校验错	0
1	bLSR_OVER_ERR	RO	该位为 1 表示接收 FIFO 缓冲区溢出	0
0	bLSR_DATA_RDY	RO	该位为 1 表示接收 FIFO 中有接收到的数据, 将 FIFO 中所有数据读取后, 该位自动清零	0

调制解调器 MODEM 状态寄存器 (SER1_MSR):

位	名称	访问	描述	复位值
7	bMSR_DCD	R0	该位是 DCD 引脚的位反, 为 1 表示 DCD 引脚有效 (低电平有效)	1
6	bMSR_RI	R0	该位是 RI 引脚的位反, 为 1 表示 RI 引脚有效 (低电平有效)	1
5	bMSR_DSR	R0	该位是 DSR 引脚的位反, 为 1 表示 DSR 引脚有效 (低电平有效)	1
4	bMSR_CTS	R0	该位是 CTS 引脚的位反, 为 1 表示 CTS 引脚有效 (低电平有效)	1
3	bMSR_DCD_CHG	R0	该位为 1 表示 DCD 引脚输入状态发生过变化	0
2	bMSR_RI_CHG	R0	该位为 1 表示 RI 引脚输入状态发生过变化	0
1	bMSR_DSR_CHG	R0	该位为 1 表示 DSR 引脚输入状态发生过变化	0
0	bMSR_CTS_CHG	R0	该位为 1 表示 CTS 引脚输入状态发生过变化	0

UART1 总线地址预置寄存器 (SER1_ADDR), 仅当 bLCR_DLAB=0 时有效:

位	名称	访问	描述	复位值
[7:0]	SER1_ADDR	RW	预置总线地址, 用于多机通讯时自动比较	FFh

SER1_ADDR 预置本机作为从机时的地址, 用于在多机通讯时自动比较接收到的地址, 并在地址匹配时或者在接收到广播地址 OFFH 时产生中断, 同时允许接收后续数据包。在地址没有匹配之前不接收任何数据, 开始发送数据后或者重写 SER1_ADDR 寄存器后停止接收任何数据, 直到下次地址再次匹配或者接收到广播地址时再允许接收。

SER1_ADDR 为 OFFH 时或者 bLCR_PAR_EN=0 时, 禁用总线地址自动比较功能。

SER1_ADDR 不为 OFFH 并且 bLCR_PAR_EN=1 时, 启用总线地址自动比较功能, 同时应该配置下述参数: bLCR_WORD_SZ1 和 bLCR_WORD_SZ0 都为 1 以选择 8 个数据位方式; bLCR_PAR_MOD1 总是为 1; 对于地址字节为 MARK 的情况 (即数据字节的位 9 为 0) 应置 bLCR_PAR_MOD0 为 1, 对于地址字节为 SPACE 的情况 (即数据字节的位 9 为 1) 应置 bLCR_PAR_MOD0 为 0, 即按数据字节选择。

UART1 波特率除数锁存器 (SER1_DLM、SER1_DLL), 仅当 bLCR_DLAB=1 时有效:

位	名称	访问	描述	复位值
[7:0]	SER1_DLL	RW	SER1_DLL 是低字节, SER1_DLM 是高字节, 两者组成 16 位除数, 用于由 16 位计数器构成的串口波特率产生器。只有当 bLCR_DLAB 为 1 时, 才能读写这两个寄存器。 该除数 = $F_{sys} * 2 / SER1_DIV / 16 / \text{波特率}$	xxh
[7:0]	SER1_DLM	RW		80h

UART1 预分频除数寄存器 (SER1_DIV), 仅当 bLCR_DLAB=1 时有效:

位	名称	访问	描述	复位值
[7:0]	SER1_DIV	RW	用于将系统主时钟 F_{sys} 倍频后再进行预分频, 产生串口波特率产生器的内部基准时钟。只有当 bLCR_DLAB 为 1 时, 才能读写该寄存器	xxh

13.3 UART 应用

UART0 应用:

- (1)、选择 UART0 的波特率发生器, 可以选择来自定时器 T1 或者 T2, 并配置相应计数器。
- (2)、开启定时器。
- (3)、设置 SCON 的 SM0、SM1、SM2 选择串口 0 的工作模式。设置 REN 为 1, 使能 UART0 接收。
- (4)、可以设置串口中断或者查询 RI 和 TI 中断状态。
- (5)、读写 SBUF 实现串口数据收发, 串口接收信号的允许波特率误差不大于 2%。

UART1 应用:

- (1)、设置 SER1_LCR 的位 bLCR_DLAB 为 1，写 UART1 预分频寄存器 SER1_DIV，根据波特率计算波特率除数，除数= $F_{sys}/8/SER1_DIV/波特率$ ，除数高低字节分别写入 SER1_DLM 和 SER1_DLL。
- (2)、设置 SER1_LCR，选择合适的串口数据格式，数据字节和奇偶校验模式等。
- (3)、可选设置 SER1_IER，选择 UART1 中断状态触发。
- (4)、如果使用中断方式那么需要将 SER1_MCR 的位 bMCR_OUT2 置 1，使能中断输出；否则需要主动查询中断状态位。
- (5)、读写 SER1_FIFO 实现串口数据收发，串口接收信号的允许波特率误差不大于 2%。

14、同步串行接口 SPI

14.1 SPI 简介

CH558 芯片提供 SPI 接口，用于与外设之间进行高速的同步数据传输。特性：

- (1)、支持 master 主机模式和 slave 从机模式；
- (2)、支持模式 0 和模式 3 时钟模式；
- (3)、可选 3 线全双工或者 2 线半双工方式；
- (4)、可选 MSB 高位首先发送或者 LSB 低位首先发送；
- (5)、时钟频率可调，最高可达系统主频的一半；
- (6)、内置 3 字节接收 FIFO 和 1 字节发送 FIFO；
- (7)、支持多种中断。

14.2 SPI 寄存器

表 14.2.1 SPI 相关寄存器列表

名称	地址	描述	复位值
SPI0_SETUP	FCh	SPI0 设置寄存器	00h
SPI0_S_PRE	FBh	SPI0 从机模式预置数据寄存器	20h
SPI0_CK_SE	FBh	SPI0 时钟分频设置寄存器	20h
SPI0_CTRL	FAh	SPI0 控制寄存器	02h
SPI0_DATA	F9h	SPI0 数据收发寄存器	xxh
SPI0_STAT	F8h	SPI0 状态寄存器	08h

SPI0 设置寄存器 (SPI0_SETUP)：

位	名称	访问	描述	复位值
7	bS0_MODE_SLV	RW	SPI0 主从模式选择位，该位为 0 则 SPI0 为主机模式；该位为 1 则 SPI0 为从机模式/设备模式	0
6	bS0_IE_FIFO_OV	RW	从机模式下 FIFO 溢出中断使能位，该位为 1 使能 FIFO 溢出中断；该位为 0 则 FIFO 溢出不产生中断	0
5	bS0_IE_FIRST	RW	从机模式下接收首字节完成中断使能位，该位为 1 则从机模式下接收到第一个数据字节时触发中断；该位为 0 则接收到第一字节时不产生中断	0
4	bS0_IE_BYTE	RW	数据字节传输完成中断使能位，该位为 1 允许字节传输完成中断；该位为 0 则字节传输完成不产生中断	0
3	bS0_BIT_ORDER	RW	数据字节的位序控制位，该位为 0 则 MSB 高位在前；该位为 1 则 LSB 低位在前	0

2	保留	RO	保留	0
1	bS0_SLV_SELT	RO	从机模式下片选激活状态位, 该位为 0 表示当前没有被选中; 该位为 1 表示当前处于选中状态	0
0	bS0_SLV_PRELOAD	RO	从机模式下预加载数据状态位, 该位为 1 表示当前处于片选有效之后、尚未传输数据之前的预加载状态	0

SPI0 时钟分频设置寄存器 (SPI0_CK_SE):

位	名称	访问	描述	复位值
[7:0]	SPI0_CK_SE	RW	主机模式下设置 SPI0 时钟分频系数	20h

SPI0 从机模式预置数据寄存器 (SPI0_S_PRE):

位	名称	访问	描述	复位值
[7:0]	SPI0_S_PRE	RW	预先加载从机模式下的首次传输数据	20h

SPI0 控制寄存器 (SPI0_CTRL):

位	名称	访问	描述	复位值
7	bS0_MISO_OE	RW	SPI0 的 MISO 输出使能控制位, 该位为 1 允许输出; 该位为 0 禁止输出	0
6	bS0_MOSI_OE	RW	SPI0 的 MOSI 输出使能控制位, 该位为 1 允许输出; 该位为 0 禁止输出	0
5	bS0_SCK_OE	RW	SPI0 的 SCK 输出使能控制位, 该位为 1 允许输出; 该位为 0 禁止输出	0
4	bS0_DATA_DIR	RW	SPI0 数据方向控制位, 该位为 0 则输出数据, 仅将写 FIFO 作为有效操作, 启动一次 SPI 传输; 该位为 1 则输入数据, 写或读 FIFO 都作为有效操作, 启动一次 SPI 传输	0
3	bS0_MST_CLK	RW	SPI0 主机时钟模式控制位, 该位为 0 则模式 0, SCK 空闲时默认低电平; 该位为 1 则模式 3, SCK 默认高电平	0
2	bS0_2_WIRE	RW	SPI0 的 2 线半双工模式使能位, 该位为 0 则 3 线全双工方式, 包括 SCK、MOSI、MISO; 该位为 1 则 2 线半双工方式, 包括 SCK、MISO	0
1	bS0_CLR_ALL	RW	该位为 1 清空 SPI0 中断标志和 FIFO, 需要软件清零	1
0	bS0_AUTO_IF	RW	允许通过 FIFO 有效操作自动清零字节接收完成中断标志的使能位, 该位为 1 则在 FIFO 有效读写操作时自动清零字节接收完成中断标志 S0_IF_BYTE	0

SPI0 数据收发寄存器 (SPI0_DATA):

位	名称	访问	描述	复位值
[7:0]	SPI0_DATA	RW	包括发送和接收两个物理上分开的 FIFO, 读操作对应接收数据 FIFO; 写操作对应发送数据 FIFO, 有效读写操作可以启动一次 SPI 传输	xxh

SPI0 状态寄存器 (SPI0_STAT):

位	名称	访问	描述	复位值
7	SO_FST_ACT	RO	该位为 1 表示当前状态是从机模式下接收首字节完成	0
6	SO_IF_OV	RW	从机模式下 FIFO 溢出标志位, 该位为 1 表示 FIFO 溢出中断; 该位为 0 则无中断。直接位访问清零或写 1 清零。当 bSO_DATA_DIR=0 时由发送 FIFO 空触发中断; 当 bSO_DATA_DIR=1 时由接收 FIFO 满触发中断	0
5	SO_IF_FIRST	RW	从机模式下接收首字节完成中断标志位, 该位为 1 则表示接收到首字节。直接位访问清零或写 1 清零	0
4	SO_IF_BYTE	RW	数据字节传输完成中断标志位, 该位为 1 则表示一个字节传输完成。直接位访问清零或写 1 清零, 或者在 bSO_AUTO_IF=1 时通过 FIFO 有效操作清零	0
3	SO_FREE	RO	SPI0 空闲标志位, 该位为 1 表示当前没有 SPI 移位, 通常是处于数据字节之间的空档期	1
2	SO_T_FIFO	RO	SPI0 发送 FIFO 计数, 有效值是 0 或者 1	0
1	SO_R_FIFO1	RO	SPI0 接收 FIFO 计数位 1	有效值是 0 或 1 或 2 或 3
0	SO_R_FIFO0	RO	SPI0 接收 FIFO 计数位 0	

14.3 SPI 传输格式

SPI 主机模式支持模式 0 和模式 3 两种传输格式, 可以通过设置 SPI 控制寄存器 SPI0_CTRL 中的位 bSO_MST_CLK 选择, CH558 总是在 CLK 上升沿采样 MISO 数据。数据传输格式如下图所示。

模式 0: bSO_MST_CLK = 0

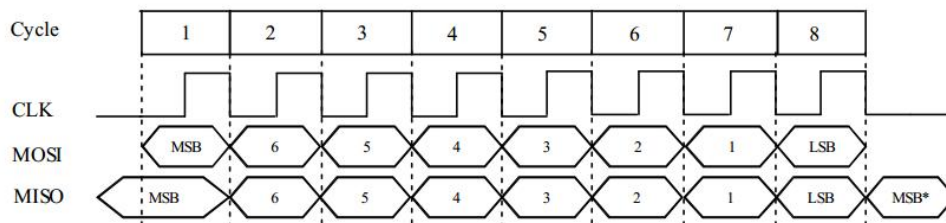


图 14.3.1 SPI 模式 0 时序图

模式 3: bSO_MST_CLK = 1

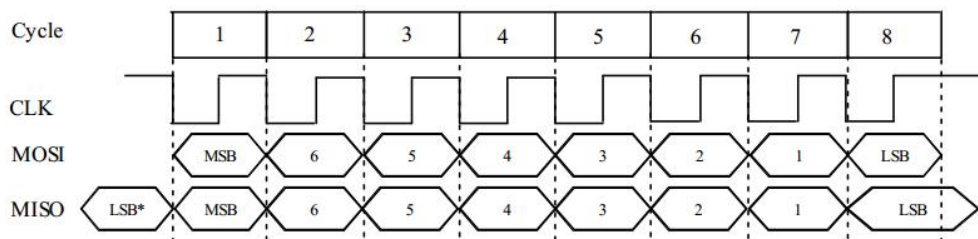


图 14.3.2 SPI 模式 3 时序图

14.4 SPI 配置

14.4.1 SPI 主机模式配置

SPI 主机模式下, SCK 引脚输出串行时钟, 片选输出引脚可以指定为任意 I/O 引脚。

配置步骤:

- (1)、设置 SPI 时钟分频设置寄存器 SPI0_CK_SE, 配置 SPI 时钟频率。
- (2)、设置 SPI 设置寄存器 SPI0_SETUP 的位 bSO_MODE_SLV 为 0, 配置为主机模式。

- (3)、设置 SPI 控制寄存器 SPI0_CTRL 的位 bS0_MST_CLK，根据需求设置为模式 0 或者 3。
- (4)、设置 SPI 控制寄存器 SPI0_CTRL 的位 bS0_SCK_OE 和 bS0_MOSI_OE 为 1，bS0_MISO_OE 位为 0，设置 P1 端口方向 bSCK、bMOSI 为输出，bMISO 为输入，以及片选引脚为输出。

数据发送过程：

- (1)、写 SPI0_DATA 寄存器，向 FIFO 写入要发送的数据，自动启动一次 SPI 传输。
- (2)、等待 S0_FREE 为 1，说明发送完成，可以继续发送下一字节。

数据接收过程：

- (1)、写 SPI0_DATA 寄存器，向 FIFO 写入任意数据例如 0FFh 以启动一次 SPI 传输。
- (2)、等待 S0_FREE 为 1，说明接收完成，可以读取 SPI0_DATA 获得接收到的数据。
- (3)、如果之前 bS0_DATA_DIR 已置 1，则上述读操作也会启动下一次 SPI 传输，否则不启动。

14.4.2 SPI 从机模式配置

从机模式下，SCK 引脚用于接收连接的 SPI 主机的串行时钟。

- (1)、设置 SPI0 设置寄存器 SPI0_SETUP 的位 bS0_MODE_SLV 为 1，配置为从机模式。
- (2)、设置 SPI0 控制寄存器 SPI0_CTRL 的位 bS0_SCK_OE 和 bS0_MOSI_OE 为 0，设置 bS0_MISO_OE 为 1，设置 P1 端口方向 bSCK、bMOSI 和 bMISO 以及片选引脚都为输入。当 SCS 片选有效（低电平）时，MISO 将自动使能输出。同时建议设置 MISO 引脚为高阻输入模式（bP1_OC=0、P1_DIR[6]=0、P1_PU[6]=0），使 MISO 在片选无效期间不输出，便于共享 SPI 总线。
- (3)、可选的，设置 SPI 从机模式预置数据寄存器 SPI0_S_PRE，用于被片选后首次自动加载到缓冲区内用于对外输出。在 8 个串行时钟之后，即首个数据字节传输交换完毕，CH558 得到外部 SPI 主机发来的首字节数据（可能是命令码），外部 SPI 主机交换得到 SPI0_S_PRE 中的预置数据（可能是状态值）。寄存器 SPI0_S_PRE 的位 7 将在 SPI 片选有效后的 SCK 低电平期间自动加载到 MISO 引脚上，对于 SPI 模式 0，如果 CH558 预置了 SPI0_S_PRE 的位 7，那么外部 SPI 主机将在 SPI 片选有效但尚未传输数据时，就能够通过查询 MISO 引脚得到 SPI0_S_PRE 的位 7 的预置值，从而通过仅仅有效一下 SPI 片选就能获得 SPI0_S_PRE 的位 7 的值。

数据发送过程：

查询 S0_IF_BYTE 或者等待中断，在每次 SPI 数据字节传输完成后，写 SPI0_DATA 寄存器，向 FIFO 写入要发送的数据。或者等待 S0_FREE 从 0 变为 1，可以继续发送下一字节。

数据接收过程：

查询 S0_IF_BYTE 或者等待中断，在每次 SPI 数据字节传输完成后，读 SPI0_DATA 寄存器，从 FIFO 获得接收到的数据。查询 MASK_S0_RFIFO_CNT（即 S0_R_FIFO1 和 S0_R_FIFO0）可以获知 FIFO 中的剩余字节数。

15、模数转换器 ADC

15.1 ADC 简介

CH558 芯片提供 10 位或 11 可选的逐次逼近型模拟数字转换器。该转换器具有 8 个模拟信号输入通道，可以分时采集。ADC 主要特性：

- (1)、可选 10 位或 11 位分辨率；
- (2)、ADC 模拟输入电压范围：0 到 VDD33；
- (3)、最高 1MSPS 采样速率；
- (4)、支持自动交替通道模式，用于在两个输入通道之间进行自动交替转换；

(5)、内置 2 级 FIFO，支持自动采样和 DMA。

15.2 ADC 寄存器

表 15.2.1 ADC 相关寄存器列表

名称	地址	描述	复位值
ADC_EX_SW	F7h	ADC 扩展模拟开关控制寄存器	00h
ADC_SETUP	F6h	ADC 设置寄存器	08h
ADC_FIFO_H	F5h	ADC 的 FIFO 高字节(只读)	0xh
ADC_FIFO_L	F4h	ADC 的 FIFO 低字节(只读)	xxh
ADC_FIFO	F4h	ADC_FIFO_L 和 ADC_FIFO_H 组成 16 位 SFR	0xxxh
ADC_CHANN	F3h	ADC 通道选择寄存器	00h
ADC_CTRL	F2h	ADC 控制寄存器	00h
ADC_STAT	F1h	ADC 状态寄存器	04h
ADC_CK_SE	EFh	ADC 时钟分频设置寄存器	10h
ADC_DMA_CN	EEh	DMA 剩余计数寄存器	00h
ADC_DMA_AH	EDh	DMA 当前缓冲区地址高字节	0xh
ADC_DMA_AL	ECh	DMA 当前缓冲区地址低字节	xxh
ADC_DMA	ECh	ADC_DMA_AL 和 ADC_DMA_AH 组成 16 位 SFR	0xxxh

DMA 当前缓冲区地址(ADC_DMA)：

位	名称	访问	描述	复位值
[7:0]	ADC_DMA_AH	RW	当前 DMA 地址高字节，可预置初值，DMA 后自动增加，仅低 4 位有效，高 4 位固定为 0	0xh
[7:0]	ADC_DMA_AL	RW	当前 DMA 地址低字节，可预置初值，DMA 后自动增加，仅高 7 位有效，最低位固定为 0，仅支持偶地址	xxh

DMA 剩余计数寄存器(ADC_DMA_CN)：

位	名称	访问	描述	复位值
[7:0]	ADC_DMA_CN	RW	当前 DMA 剩余计数，可预置初值，DMA 操作后自动减少	00h

时钟分频设置寄存器(ADC_CK_SE)：

位	名称	访问	描述	复位值
7	bADC_CHK_CLK_SEL	RW	AIN7 电平检测延时时钟频率选择，该位为 0 则低速 1x 时钟频率；该位为 1 则高速 4x 时钟频率	0
[6:0]	MASK_ADC_CK_SE	RW	ADC 时钟分频系数，设置内部 ADC 工作时钟	10h

ADC 状态寄存器(ADC_STAT)：

位	名称	访问	描述	复位值
7	bADC_IF_DMA_END	RW	DMA 完成中断标志位，该位为 1 表示有中断；该位为 0 则无中断。写 1 清零或写 ADC_DMA_CN 时清零	0
6	bADC_IF_FIFO_OV	RW	该位为 1 表示 FIFO 溢出中断；该位为 0 则无中断。写 1 清零	0
5	bADC_IF_AIN7_LOW	RW	该位为 1 表示检测到 AIN7 低电平中断，写 1 清零	0

4	bADC_IF_ACT	RW	该位为 1 表示一次 ADC 转换完成中断，写 1 清零	0
3	bADC_AIN7_INT	RO	该位为 1 表示 AIN7 输入低电平的延时状态	0
2	bADC_CHANN_ID	RO	在自动交替通道模式下是当前通道识别标志，为 0 表示 AIN0 或 AIN6；为 1 表示 AIN1 或 AIN4 或 AIN7	0
2	bADC_DATA_OK	RO	在手工选择通道模式下是 ADC 转换完成和结果就绪标志，为 1 表示 ADC 数据已准备好，且 ADC 转换器空闲；为 0 表示 ADC 正在进行中，数据尚未就绪	1
[1:0]	MASK_ADC_FIFO_CNT	RO	ADC 的 FIFO 当前计数	00b

MASK_ADC_FIFO_CNT 由 bADC_FIFO_CNT1 和 bADC_FIFO_CNT0 组成，用于显示 ADC 的 FIFO 计数。

MASK_ADC_FIFO_CNT	描述
00b	FIFO 空，如果读 FIFO，将直接返回当前 ADC 结果数值
01b	FIFO 中有 1 个数据
10b	FIFO 满，FIFO 中有 2 个数据
11b	未知错误

ADC 控制寄存器 (ADC_CTRL)：

位	名称	访问	描述	复位值
7	bADC_SAMPLE	RW	在手动采样模式下是采样控制位，先置 1 稍后再清 0 产生高电平脉冲启动一次 ADC； 在自动采样模式下是自动采样的采样脉冲状态	0
6	bADC_SAMP_WIDTH	RW	自动采样模式下的采样脉冲的宽度控制位，为 0 则 1 个 ADC 时钟宽度；为 1 时则 2 个 ADC 时钟宽度	0
5	bADC_CHANN_MOD1	RW	ADC 通道模式高位	0
4	bADC_CHANN_MOD0	RW	ADC 通道模式低位	0
[3:0]	MASK_ADC_CYCLE	RW	ADC 运行周期数，为 0 表示手动采样；非 0 值表示设置自动采样的运行周期 (以 ADC 时钟计数)	0000b

由 bADC_CHANN_MOD1 和 bADC_CHANN_MOD0 组成的 MASK_ADC_CHANN 是 ADC 通道控制模式标志位。

MASK_ADC_CHANN	描述
00b	手工选择通道模式，设置 ADC_CHANN 选择当前输入通道
01b	自动交替通道模式，在 AIN0 和 AIN1 之间自动交替切换
10b	自动交替通道模式，在 AIN6 和 AIN4 之间自动交替切换
11b	自动交替通道模式，在 AIN6 和 AIN7 之间自动交替切换

ADC 通道选择寄存器 (ADC_CHANN)：

位	名称	访问	描述	复位值
[7:0]	ADC_CHANN	RW	选择当前 ADC 模拟输入通道，从 8 个通道中选择 1 个，位 0~位 7 分别对应 AIN0~AIN7	00h

ADC 的 FIFO 端口 (ADC_FIFO)：

位	名称	访问	描述	复位值
[7:0]	ADC_FIFO_H	RO	ADC 的 FIFO 高字节，仅低 4 位有效，高 4 位固定为 0	0xh
[7:0]	ADC_FIFO_L	RO	ADC 的 FIFO 低字节	xxh

ADC 设置寄存器 (ADC_SETUP):

位	名称	访问	描述	复位值
7	bADC_DMA_EN	RW	该位为 1 使能 ADC 的 DMA 和 DMA 中断；为 0 关闭使能	0
6	bADC_IE_FIFO_OV	RW	该位为 1 使能 FIFO 溢出中断；该位为 0 关闭使能	0
5	bADC_IE_AIN7_LOW	RW	该位为 1 使能检测 AIN7 低电平中断	0
4	bADC_IE_ACT	RW	该位为 1 使能 ADC 转换完成中断；该位为 0 关闭使能	0
3	bADC_CLOCK	RO	内部 ADC 时钟信号的当前电平	0
2	bADC_POWER_EN	RW	ADC 采样转换模块的电源控制位, 该位为 0 表示关闭 ADC 模块的电源, 进入睡眠状态; 该位为 1 表示开启	0
1	bADC_EXT_SW_EN	RW	扩展模拟开关模块的电源控制位, 该位为 0 表示关闭扩展模拟开关模块; 该位为 1 表示开启	0
0	bADC_AIN7_CHK_EN	RW	检测 AIN7 低电平模块的电源控制位, 该位为 0 表示关闭检测 AIN7 低电平模块; 该位为 1 表示开启	0

ADC 扩展模拟开关控制寄存器 (ADC_EX_SW):

位	名称	访问	描述	复位值
7	bADC_SW_AIN7_H	RW	AIN7 通道内部模拟开关连接控制, 该位为 1 内部连接 AIN7 到 VDD33; 该位为 0 断开 AIN7 与 VDD33	0
6	bADC_SW_AIN6_L	RW	AIN6 通道内部模拟开关连接控制, 该位为 1 内部连接 AIN6 到 GND; 该位为 0 断开 AIN6 与 GND	0
5	bADC_SW_AIN5_H	RW	AIN5 通道内部模拟开关连接控制, 该位为 1 内部连接 AIN5 到 VDD33; 该位为 0 断开 AIN5 与 VDD33	0
4	bADC_SW_AIN4_L	RW	AIN4 通道内部模拟开关连接控制, 该位为 1 内部连接 AIN4 到 GND; 该位为 0 断开 AIN4 与 GND	0
3	bADC_EXT_SW_SEL	RW	内部模拟开关的导通电阻值选择位, 该位为 0 选择高阻, 约 800Ω; 该位为 1 选择低阻, 约 300Ω	0
2	bADC_RESOLUTION	RW	ADC 分辨率选择位, 该位为 0 选择 10 位分辨率; 该位为 1 选择 11 位分辨率	0
1	bADC_AIN7_DLY1	RW	检测 AIN7 低电平的延时控制位 1	0
0	bADC_AIN7_DLY0	RW	检测 AIN7 低电平的延时控制位 0	0

bADC_AIN7_DLY1 和 bADC_AIN7_DLY0 组成 MASK_ADC_AIN7_DLY, 用于选择检测 AIN7 电平变化后的延时: 00 则无延时, 01 则最长延时, 10 则较长延时, 11 则较短延时。

15.3 ADC 功能

ADC 采样模式配置步骤:

- (1)、设置 ADC 设置寄存器 ADC_SETUP 中的 bADC_POWER_EN 位为 1, 开启 ADC 模块。
- (2)、设置时钟分频设置寄存器 ADC_CK_SE, 选择时钟频率, 频率最高 12MHz, 建议不低于 1MHz。
- (3)、清空 FIFO 中的已有数据; 如果需要用到中断或者 DMA, 那么在此处进行相关设置。
- (4)、对于自动采样模式, 那么应该先设置 ADC 通道选择寄存器 ADC_CHANN。
- (5)、设置 ADC 控制寄存器 ADC_CTRL 中的 bADC_SAMPLE 和 MASK_ADC_CYCLE, 如果 MASK_ADC_CYCLE 设置为 0, 则为手动采样模式; 如果 MASK_ADC_CYCLE 设置为非 0 值, 则为自动采样模式, 此时 MASK_ADC_CYCLE 就是连续不断自动采样的时钟周期。
- (6)、对于手工采样模式, 设置 ADC 通道选择寄存器 ADC_CHANN, 选择 ADC 模拟信号输入通道。
- (7)、如果是手动采样模式, 那么需要通过设置 bADC_SAMPLE 位为 1 并延时至少一个 ADC 时钟周期后

再清 0，完成一次模拟信号采样并启动一次 ADC 转换。

- (8)、等待 ADC 状态寄存器 ADC_STAT 的 bADC_IF_ACT 位为 1，表示 ADC 转换结束，可通过 ADC_FIFO 读取结果数据。
- (9)、或读取 ADC 状态寄存器 ADC_STAT 的 MASK_ADC_FIFO_CNT 获得 FIFO 计数，再通过 ADC_FIFO 读取若干数据，建议丢弃第一个 ADC 结果数据，因为有可能采样不完全。
- (10)、如需 DMA 步骤：设置 ADC_DMA 为用户定义的数据缓冲区的起始地址值，设置 ADC_DMA_CN 为用户定义的 DMA 剩余计数，并设置 ADC_SETUP 中的 bADC_DMA_EN 位为 1，即开启 DMA 功能。
- (11)、ADC 结果数据共 12 位，其中位 0~位 10 为 ADC 数值，位 11 是标志位，位 12~位 15 始终为 0。对于手工选择通道模式，位 11 始终为 0；对于自动交替通道模式，位 11 表示该 ADC 数值的通道识别标志，参考 bADC_CHANN_ID 说明。

16、USB 控制器

16.1 USB 控制器简介

CH558 内嵌 USB 控制器和 USB 收发器，特性如下：

- (1)、支持 USB Device 设备功能，支持 USB 2.0 全速 12Mbps 或者低速 1.5Mbps；
- (2)、支持 USB 控制传输、批量传输、中断传输、同步/实时传输；
- (3)、支持最大 64 字节的数据包，内置 FIFO，支持中断和 DMA。

CH558 的 USB 相关寄存器分为 2 个部分：USB 全局寄存器和 USB 端点寄存器。

16.2 全局寄存器

表 16.2.1 USB 全局寄存器列表

名称	地址	描述	复位值
USB_INT_FG	D8h	USB 中断标志寄存器	0010 0000b
USB_INT_ST	D9h	USB 中断状态寄存器(只读)	00xx xxxx0b
USB_MIS_ST	DAh	USB 杂项状态寄存器(只读)	xx10 1000b
USB_INT_EN	E1h	USB 中断使能寄存器	0000 0000b
USB_CTRL	E2h	USB 控制寄存器	0000 0110b
USB_DEV_AD	E3h	USB 设备地址寄存器	0000 0000b
USB_DMA_AH	E7h	DMA 当前缓冲区地址高字节(只读)	0000 xxxxb
USB_DMA_AL	E6h	DMA 当前缓冲区地址低字节(只读)	xxxx xxx0b
USB_DMA	E6h	USB_DMA_AL 和 USB_DMA_AH 组成 16 位 SFR	0xxxh

USB 中断标志寄存器(USB_INT_FG)：

位	名称	访问	描述	复位值
7	U_IS_NAK	RO	该位为 1 表示当前 USB 传输过程中接收到 NAK 忙响应；该位为 0 表示接收到非 NAK 响应	0
6	U_TOG_OK	RO	当前 USB 传输 DATA0/1 同步标志匹配状态，该位为 1 表示同步，数据有效；该位为 0 表示不同步，数据可能无效	0
5	U_SIE_FREE	RO	USB 协议处理器的空闲状态位，该位为 0 表示忙，正在进行 USB 传输；该位为 1 表示 USB 空闲	1
4	UIF_FIFO_OV	RW	USB FIFO 溢出中断标志位，该位为 1 表示 FIFO 溢出中断；该位为 0 无中断。直接位访问清零或写 1 清零	0

3	保留	RO	保留	0
2	UIF_SUSPEND	RW	USB 总线挂起或唤醒事件中断标志位，该位为 1 表示有中断，该中断由 USB 挂起事件或唤醒事件触发；该位为 0 表示无中断。直接位访问清零或写 1 清零	0
1	UIF_TRANSFER	RW	USB 传输完成中断标志位，该位为 1 表示有中断，该中断由一个 USB 传输完成触发；该位为 0 表示无中断。直接位访问清零或写 1 清零	0
0	UIF_BUS_RST	RW	USB 总线复位事件中断标志位，该位为 1 表示有中断，该中断由 USB 总线复位事件触发；该位为 0 表示无中断。直接位访问清零或写 1 清零	0

USB 中断状态寄存器(USB_INT_ST)：

位	名称	访问	描述	复位值
7	bUIS_IS_NAK	RO	该位为 1 表示当前 USB 传输过程中接收到 NAK 忙响应。同 U_IS_NAK	0
6	bUIS_TOG_OK	RO	当前 USB 传输 DATA0/1 同步标志匹配状态，该位为 1 表示同步；该位为 0 表示不同步。同 U_TOG_OK	0
5	bUIS_TOKEN1	RO	当前 USB 传输事务的令牌 PID 标识高位	x
4	bUIS_TOKEN0	RO	当前 USB 传输事务的令牌 PID 标识低位	x
[3:0]	MASK_UIS_ENDP	RO	当前 USB 传输事务的端点号，0000 表示端点 0；…；1111 表示端点 15	xxxxb

bUIS_TOKEN1 和 bUIS_TOKEN0 组成 MASK_UIS_TOKEN，用于标识当前 USB 传输事务的令牌 PID：00 表示 OUT 包；01 表示 SOF 包；10 表示 IN 包；11 表示 SETUP 包。

USB 杂项状态寄存器(USB_MIS_ST)：

位	名称	访问	描述	复位值
[7:6]	保留	RO	保留	xxb
5	bUMS_SIE_FREE	RO	USB 协议处理器的空闲状态位，该位为 0 表示忙，正在进行 USB 传输；该位为 1 表示 USB 空闲。同 U_SIE_FREE	1
4	bUMS_R_FIFO_RDY	RO	USB 接收 FIFO 数据就绪状态位，该位为 0 表示接收 FIFO 为空；该位为 1 表示接收 FIFO 非空	0
3	bUMS_BUS_RESET	RO	USB 总线复位状态位，该位为 0 表示当前没有 USB 总线复位；该位为 1 表示当前正在 USB 总线复位	1
2	bUMS_SUSPEND	RO	USB 挂起状态位，该位为 0 表示当前有 USB 活动；该位为 1 表示已经有一段时间没有 USB 活动，请求挂起	0
[1:0]	保留	RO	保留	00b

USB 中断使能寄存器(USB_INT_EN)：

位	名称	访问	描述	复位值
7	bUIE_DEV_SOF	RW	该位为 1 使能接收 SOF 包中断；为 0 禁止	0
6	bUIE_DEV_NAK	RW	该位为 1 使能接收到 NAK 中断；为 0 禁止	0
5	保留	RO	保留	0
4	bUIE_FIFO_OV	RW	该位为 1 使能 FIFO 溢出中断；该位为 0 关闭使能	0

3	保留	RO	保留	0
2	bUIE_SUSPEND	RW	该位为 1 使能 USB 总线挂起或唤醒事件中断；为 0 禁止	0
1	bUIE_TRANSFER	RW	该位为 1 使能 USB 传输完成中断；该位为 0 禁止	0
0	bUIE_BUS_RST	RW	该位为 1 使能 USB 总线复位事件中断；该位为 0 禁止	0

USB 控制寄存器 (USB_CTRL) :

位	名称	访问	描述	复位值
7	保留	RO	保留	0
6	bUC_LOW_SPEED	RW	USB 总线信号传输速率选择位, 该位为 0 选择全速 12Mbps; 该位为 1 选择低速 1.5Mbps	0
5	bUC_DEV_PU_EN	RW	USB 设备使能和内部上拉电阻控制位, 该位为 1 则使能 USB 设备传输并且启用内部上拉电阻	0
5	bUC_SYS_CTRL1	RW	USB 系统控制高位	0
4	bUC_SYS_CTRL0	RW	USB 系统控制低位	0
3	bUC_INT_BUSY	RW	USB 传输完成中断标志未清零前自动暂停使能位, 该位为 1 则在中断标志 UIF_TRANSFER 未清零前自动暂停, 将自动应答忙 NAK; 该位为 0 则不暂停	0
2	bUC_RESET_SIE	RW	USB 协议处理器软件复位控制位, 该位为 1 则强制复位 USB 协议处理器, 需要软件清零	1
1	bUC_CLR_ALL	RW	该位为 1 清空 USB 中断标志和 FIFO, 需要软件清零	1
0	bUC_DMA_EN	RW	该位为 1 使能 USB 的 DMA 和 DMA 中断; 为 0 关闭使能	0

由 bUC_SYS_CTRL1 和 bUC_SYS_CTRL0 组成 USB 系统控制组合:

bUC_SYS_CTRL1	bUC_SYS_CTRL0	USB 系统控制描述
0	0	禁止 USB 设备功能, 关闭内部上拉电阻
0	1	使能 USB 设备功能, 关闭内部上拉, 需加外部上拉
1	0	使能 USB 设备功能, 启用内部上拉电阻
1	1	使能 USB 设备功能, 启用内部弱上拉电阻

USB 设备地址寄存器 (USB_DEV_AD) :

位	名称	访问	描述	复位值
7	bUDA_GP_BIT	RW	USB 通用标志位: 使用者可自定义, 可软件清零或置位	0
[6:0]	MASK_USB_ADDR	RW	该 USB 设备的地址	00h

DMA 当前缓冲区地址寄存器 (USB_DMA) :

位	名称	访问	描述	复位值
[7:0]	USB_DMA_AH	RO	DMA 当前缓冲区地址高字节, 仅低 4 位有效, 高 4 位固定为 0	0xh
[7:0]	USB_DMA_AL	RO	DMA 当前缓冲区地址低字节	xxh

16.3 端点寄存器

CH558 提供了端点 0、1、2、3、4 共 5 组双向端点, 所有端点的最大数据包长度都是 64 字节。

端点 0 是默认端点, 支持控制传输, 发送和接收共用一个 64 字节数据缓冲区。

端点 1、端点 2、端点 3 各包括一个发送端点 IN 和一个接收端点 OUT, 发送和接收各有一个独立的 64 字节或者双 64 字节数据缓冲区, 支持控制传输、批量传输、中断传输和实时/同步传输。

端点 4 包括一个发送端点 IN 和一个接收端点 OUT，发送和接收各有一个独立的 64 字节数据缓冲区，支持控制传输、批量传输、中断传输和实时/同步传输。

每组端点都具有一个控制寄存器 UEPn_CTRL 和发送长度寄存器 UEPn_T_LEN (n=0/1/2/3/4)，用于设定该端点的同步触发位、对 OUT 事务和 IN 事务的响应以及发送数据的长度等。

作为 USB 设备所必要的 USB 总线上拉电阻可以由软件随时设置是否启用，当 USB 控制寄存器 USB_CTRL 中的 bUC_DEV_PU_EN 置 1 时，CH558 根据 bUD_LOW_SPEED 在内部为 USB 总线的 DP 引脚或者 DM 引脚连接上拉电阻，并启用 USB 设备功能。

当检测到 USB 总线复位、USB 总线挂起或唤醒事件，或者当 USB 成功处理完数据发送或者数据接收后，USB 协议处理器都将设置相应的中断标志并产生中断请求。应用程序可以直接查询或在 USB 中断服务程序中查询并分析中断标志寄存器 USB_INT_FG，根据 UIF_BUS_RST 和 UIF_SUSPEND 进行相应的处理；并且，如果 UIF_TRANSFER 有效，那么还需要继续分析 USB 中断状态寄存器 USB_INT_ST，根据当前端点号 MASK_UIS_ENDP 和当前事务令牌 PID 标识 MASK_UIS_TOKEN 进行相应的处理。如果事先设定了各个端点的 OUT 事务的同步触发位 bUEP_R_TOG，那么可以通过 U_TOG_OK 或 bUIS_TOG_OK 判断当前所接收到的数据包同步触发位是否与该端点的同步触发位匹配，如果数据同步，则数据有效；如果数据不同步，则数据应该被丢弃。每次处理完 USB 发送或者接收中断后，都应该正确修改相应端点的同步触发位，用于同步下次所发送的数据包和检测下次所接收的数据包是否同步；另外，通过设置 bUEP_AUTO_TOG 可以在发送成功或者接收成功后自动翻转相应的同步触发位。

各个端点准备发送的数据在各自的缓冲区中，准备发送的数据长度是独立设定在 UEPn_T_LEN 中；各个端点接收到的数据在各自的缓冲区中，但是接收到的数据长度都在 USB 接收长度寄存器 USB_RX_LEN 中，可以在 USB 接收中断时根据当前端点号区分。

表 16.3.1 USB 设备端点相关寄存器列表

名称	地址	描述	复位值
USB_RX_LEN	D1h	USB 接收长度寄存器 (只读)	0xxx xxxxb
UEP1_CTRL	D2h	端点 1 控制寄存器	0000 0000b
UEP1_T_LEN	D3h	端点 1 发送长度寄存器	0xxx xxxxb
UEP2_CTRL	D4h	端点 2 控制寄存器	0000 0000b
UEP2_T_LEN	D5h	端点 2 发送长度寄存器	0000 0000b
UEP3_CTRL	D6h	端点 3 控制寄存器	0000 0000b
UEP3_T_LEN	D7h	端点 3 发送长度寄存器	0xxx xxxxb
UEP0_CTRL	DCh	端点 0 控制寄存器	0000 0000b
UEP0_T_LEN	DDh	端点 0 发送长度寄存器	0xxx xxxxb
UEP4_CTRL	DEh	端点 4 控制寄存器	0000 0000b
UEP4_T_LEN	DFh	端点 4 发送长度寄存器	0xxx xxxxb
UDEV_CTRL	E4h	USB 设备物理端口控制寄存器	0100 x000b
UEP4_1_MOD	2446h	端点 1、4 模式控制寄存器	0000 0000b
UEP2_3_MOD	2447h	端点 2、3 模式控制寄存器	0000 0000b
UEP0_DMA_H	2448h	端点 0 和 4 缓冲区起始地址高字节	0000 xxxxb
UEP0_DMA_L	2449h	端点 0 和 4 缓冲区起始地址低字节	xxxx xxx0b
UEP0_DMA	2448h	UEP0_DMA_L 和 UEP0_DMA_H 组成 16 位 SFR	0xxxh
UEP1_DMA_H	244Ah	端点 1 缓冲区起始地址高字节	0000 xxxxb
UEP1_DMA_L	244Bh	端点 1 缓冲区起始地址低字节	xxxx xxx0b
UEP1_DMA	244Ah	UEP1_DMA_L 和 UEP1_DMA_H 组成 16 位 SFR	0xxxh
UEP2_DMA_H	244Ch	端点 2 缓冲区起始地址高字节	0000 xxxxb
UEP2_DMA_L	244Dh	端点 2 缓冲区起始地址低字节	xxxx xxx0b

UEP2_DMA	244Ch	UEP2_DMA_L 和 UEP2_DMA_H 组成 16 位 SFR	0xxxh
UEP3_DMA_H	244Eh	端点 3 缓冲区起始地址高字节	0000 xxxxb
UEP3_DMA_L	244Fh	端点 3 缓冲区起始地址低字节	xxxx xxx0b
UEP3_DMA	244Eh	UEP3_DMA_L 和 UEP3_DMA_H 组成 16 位 SFR	0xxxh
pUEP*	254*h	在 bXIR_XSFR 置 1 后, 该名称用于以 pdata 类型寻址上述 xSFR, 比 xdata 类型寻址更快捷	

USB 接收长度寄存器(USB_RX_LEN):

位	名称	访问	描述	复位值
[7:0]	bUSB_RX_LEN	RO	当前 USB 端点接收到的数据的字节数	xxh

端点 n 控制寄存器(UEPn_CTRL):

位	名称	访问	描述	复位值
7	bUEP_R_TOG	RW	USB 端点 n 的接收器(处理 SETUP/OUT 事务)期望的同步触发位, 该位为 0 表示期望 DATA0; 为 1 表示期望 DATA1	0
6	bUEP_T_TOG	RW	USB 端点 n 的发送器(处理 IN 事务)准备的同步触发位, 该位为 0 表示发送 DATA0; 为 1 表示发送 DATA1	0
5	保留	RO	保留	0
4	bUEP_AUTO_TOG	RW	同步触发位自动翻转使能控制位, 该位为 1 表示在发送成功或接收成功后自动翻转相应的同步触发位; 为 0 表示不自动翻转, 但可以手动切换。只支持端点 1/2/3	0
3	bUEP_R_RES1	RW	端点 n 的接收器对 SETUP/OUT 事务的响应控制高位	0
2	bUEP_R_RES0	RW	端点 n 的接收器对 SETUP/OUT 事务的响应控制低位	0
1	bUEP_T_RES1	RW	端点 n 的发送器对 IN 事务的响应控制高位	0
0	bUEP_T_RES0	RW	端点 n 的发送器对 IN 事务的响应控制低位	0

由 bUEP_R_RES1 和 bUEP_R_RES0 组成的 MASK_UEP_R_RES 用于控制端点 n 的接收器对 SETUP/OUT 事务的响应方式: 00 表示应答 ACK 或就绪; 01 表示超时/无响应, 用于实现非端点 0 的实时/同步传输; 10 表示应答 NAK 或忙; 11 表示应答 STALL 或错误。

由 bUEP_T_RES1 和 bUEP_T_RES0 组成的 MASK_UEP_T_RES 用于控制端点 n 的发送器对 IN 事务的响应方式: 00 表示应答 DATA0/DATA1 或数据就绪并期望 ACK; 01 表示应答 DATA0/DATA1 并期望无响应, 用于实现非端点 0 的实时/同步传输; 10 表示应答 NAK 或忙; 11 表示应答 STALL 或错误。

端点 n 发送长度寄存器(UEPn_T_LEN):

位	名称	访问	描述	复位值
[7:0]	bUEPn_T_LEN	RW	设置 USB 端点 n 准备发送的数据字节数 (n=0/1/3/4)	xxh
	bUEP2_T_LEN		设置 USB 端点 2 准备发送的数据字节数	00h

USB 设备物理端口控制寄存器(UDEV_CTRL):

位	名称	访问	描述	复位值
7	保留	RO	保留	0
6	bUD_RECV_DIS	RW	USB 设备物理端口接收器禁用位, 该位为 1 禁用接收器, 没有静态功耗; 该位为 0 使能接收器, 产生静态功耗	1
5	bUD_DP_PD_DIS	RW	USB 设备端口 DP 引脚内部下拉电阻禁用位, 该位为 1 禁用内部下拉电阻; 该位为 0 使能 DP 内部下拉电阻	0

4	bUD_DM_PD_DIS	RW	USB 设备端口 DM 引脚内部下拉电阻禁用位，该位为 1 禁用内部下拉电阻；该位为 0 使能 DM 内部下拉电阻	0
3	bUD_DIFF_IN	RO	当前 DP 和 DM 引脚之间的差分输入状态	x
2	bUD_LOW_SPEED	RW	USB 设备物理端口低速模式使能位，该位为 1 选择 1.5Mbps 低速模式；该位为 0 选择 12Mbps 全速模式	0
1	bUD_GP_BIT	RW	设备通用标志位：使用者可自己定义，可软件清零或置位	0
0	bUD_PORT_EN	RW	USB 设备物理端口使能位，该位为 1 使能物理端口；该位为 0 禁用物理端口	0

USB 端点 1、4 模式控制寄存器 (UEP4_1_MOD)：

位	名称	访问	描述	复位值
7	bUEP1_RX_EN	RW	该位为 0 禁止端点 1 接收；为 1 使能端点 1 接收 (OUT)	0
6	bUEP1_TX_EN	RW	该位为 0 禁止端点 1 发送；为 1 使能端点 1 发送 (IN)	0
5	保留	RO	保留	0
4	bUEP1_BUF_MOD	RW	端点 1 数据缓冲区模式控制位	0
3	bUEP4_RX_EN	RO	该位为 0 禁止端点 4 接收；为 1 使能端点 4 接收 (OUT)	0
2	bUEP4_TX_EN	RW	该位为 0 禁止端点 4 发送；为 1 使能端点 4 发送 (IN)	0
[1:0]	保留	RO	保留	00b

由 bUEP4_RX_EN 和 bUEP4_TX_EN 组合控制 USB 端点 0 和 4 的数据缓冲区模式，参考下表。

表 16.3.2 端点 0 和 4 缓冲区模式

bUEP4_RX_EN	bUEP4_TX_EN	结构描述：以 UEPO_DMA 为起始地址由低向高排列
0	0	端点 0 单 64 字节收发共用缓冲区 (IN 和 OUT)
1	0	端点 0 单 64 字节收发共用缓冲区；端点 4 单 64 字节接收缓冲区 (OUT)
0	1	端点 0 单 64 字节收发共用缓冲区；端点 4 单 64 字节发送缓冲区 (IN)
1	1	端点 0 单 64 字节收发共用缓冲区；端点 4 单 64 字节接收缓冲区 (OUT)；端点 4 单 64 字节发送缓冲区 (IN)。全部 192 字节排列如下： UEPO_DMA+0 地址：端点 0 收发共用； UEPO_DMA+64 地址：端点 4 接收； UEPO_DMA+128 地址：端点 4 发送

USB 端点 2、3 模式控制寄存器 (UEP2_3_MOD)：

位	名称	访问	描述	复位值
7	bUEP3_RX_EN	RW	该位为 0 禁止端点 3 接收；为 1 使能端点 3 接收 (OUT)	0
6	bUEP3_TX_EN	RW	该位为 0 禁止端点 3 发送；为 1 使能端点 3 发送 (IN)	0
5	保留	RO	保留	0
4	bUEP3_BUF_MOD	RW	端点 3 数据缓冲区模式控制位	0
3	bUEP2_RX_EN	RO	该位为 0 禁止端点 2 接收；为 1 使能端点 2 接收 (OUT)	0
2	bUEP2_TX_EN	RW	该位为 0 禁止端点 2 发送；为 1 使能端点 2 发送 (IN)	0
1	保留	RO	保留	0
0	bUEP2_BUF_MOD	RW	端点 2 数据缓冲区模式控制位	0

由 bUEPn_RX_EN 和 bUEPn_TX_EN 以及 bUEPn_BUF_MOD (n=1/2/3) 组合分别控制 USB 端点 1、2、3 的数据缓冲区模式，参考下表。其中的双 64 字节缓冲区模式，USB 数据传输时将根据 bUEP*_TOG=0 选择前 64 字节缓冲区，根据 bUEP*_TOG=1 选择后 64 字节缓冲区，实现自动切换。

表 16.3.3 端点 n 缓冲区模式 (n=1/2/3)

bUEPn_RX_EN	bUEPn_TX_EN	bUEPn_BUF_MOD	结构描述：以 UEPn_DMA 为起始地址由低向高排列
0	0	x	端点被禁用，未用到 UEPn_DMA 缓冲区
1	0	0	单 64 字节接收缓冲区 (OUT)
1	0	1	双 64 字节接收缓冲区，通过 bUEP_R_TOG 选择
0	1	0	单 64 字节发送缓冲区 (IN)
0	1	1	双 64 字节发送缓冲区，通过 bUEP_T_TOG 选择
1	1	0	单 64 字节接收缓冲区；单 64 字节发送缓冲区
1	1	1	双 64 字节接收缓冲区，通过 bUEP_R_TOG 选择；双 64 字节发送缓冲区，通过 bUEP_T_TOG 选择。 全部 256 字节排列如下： UEPn_DMA+0 地址：bUEP_R_TOG=0 时端点接收； UEPn_DMA+64 地址：bUEP_R_TOG=1 时端点接收； UEPn_DMA+128 地址：bUEP_T_TOG=0 时端点发送； UEPn_DMA+192 地址：bUEP_T_TOG=1 时端点发送

USB 端点 n 缓冲区起始地址 (UEPn_DMA) (n=0/1/2/3)：

位	名称	访问	描述	复位值
[7:0]	UEPn_DMA_H	RW	端点 n 缓冲区起始地址高字节，仅低 4 位有效，高 4 位固定为 0	0xh
[7:0]	UEPn_DMA_L	RW	端点 n 缓冲区起始地址低字节，仅高 7 位有效，最低位固定为 0，仅支持偶地址	xxh

注：接收数据的缓冲区的长度 $\geq \min$ (可能接收到的最大数据包长度 + 2 字节, 64 字节)

17、LED 屏接口

17.1 LED 控制卡接口

CH558 提供了 LED 屏控制卡数据传输接口，内置 4 级 FIFO，支持 DMA 和中断，节约 CPU 处理时间，支持 1/2/4 路数据线接口。

表 17.1.1 LED 屏接口相关寄存器列表

名称	地址	描述	复位值
LED_STAT	2880h	LED 状态寄存器	010x 0000b
LED_CTRL	2881h	LED 控制寄存器	0000 0010b
LED_FIFO_CN	2882h	FIFO 计数状态寄存器(只读)	0000 0000b
LED_DATA	2882h	LED 数据寄存器(只写)	xxxx xxxxb
LED_CK_SE	2883h	LED 时钟分频设置寄存器	0001 0000b
LED_DMA_AH	2884h	DMA 当前缓冲区地址高字节	0000 xxxxb
LED_DMA_AL	2885h	DMA 当前缓冲区地址低字节	xxxx xxx0b
LED_DMA	2884h	LED_DMA_AL 和 LED_DMA_AH 组成 16 位 SFR	0xxxh
LED_DMA_CN	2886h	LED DMA 剩余计数寄存器	xxxx xxxxb
LED_DMA_XH	2888h	DMA 当前辅助缓冲区地址高字节	0000 xxxxb
LED_DMA_XL	2889h	DMA 当前辅助缓冲区地址低字节	xxxx xxx0b
LED_DMA_X	2888h	LED_DMA_XL 和 LED_DMA_XH 组成 16 位 SFR	0xxxh
pLED_*	298*h	在 bX1R_XSFR 置 1 后，该名称用于以 pdata 类型寻址上述 xSFR，比 xdata 类型寻址更快捷	

LED 状态寄存器 (LED_STAT):

位	名称	访问	描述	复位值
7	bLED_IF_DMA_END	RW	DMA 完成中断标志位, 该位为 1 表示有中断; 该位为 0 则无中断。写 1 清零或写 LED_DMA_CN 时清零	0
6	bLED_FIFO_EMPTY	RO	FIFO 空状态指示位, 为 1 表示 FIFO 空	0
5	bLED_IF_FIFO_REQ	RW	该位为 1 表示请求向 FIFO 写入数据中断标志位, 由 FIFO<=2 触发; 该位为 0 则无中断。写 1 清零	0
4	bLED_CLOCK	RO	LED 时钟信号的当前电平	x
3	保留	RO	保留	0
[2:0]	MASK_LED_FIFO_CNT	RO	LED 的 FIFO 当前计数	000b

LED 控制寄存器 (LED_CTRL):

位	名称	访问	描述	复位值
7	bLED_CHAN_MOD1	RW	LED 通道模式高位	0
6	bLED_CHAN_MOD0	RW	LED 通道模式低位	0
5	bLED_IE_FIFO_REQ	RW	该位为 1 使能请求 FIFO 数据中断; 该位为 0 关闭使能	0
4	bLED_DMA_EN	RW	该位为 1 使能 LED 的 DMA 和 DMA 中断; 为 0 则关闭使能	0
3	bLED_OUT_EN	RW	该位为 1 使能 LED 信号输出; 该位为 0 则禁止	0
2	bLED_OUT_POLAR	RW	LED 数据输出极性控制位, 该位为 0 则直通输出, 数据 0 输出低电平, 数据 1 输出高电平; 该位为 1 则反极性输出, 数据 0 输出高电平, 数据 1 输出低电平	0
1	bLED_CLR_ALL	RW	该位为 1 清空 LED 中断标志和 FIFO, 需要软件清零	1
0	bLED_BIT_ORDER	RW	数据字节的位序控制位, 最前位通过 LED0 发送, 该位为 0 则 LSB 低位在前; 该位为 1 则 MSB 高位在前	0

表 16.1.2 LED 通道模式

bLED_CHAN_MOD1	bLED_CHAN_MOD0	描述
0	0	单通道数据输出: LED0
0	1	双通道数据输出: LED0 和 LED1
1	0	4 通道数据输出: LED0~LED3 DMA 只使用主缓冲区, 按字节依次向 LED0~LED3 提供数据
1	1	4 通道数据输出: LED0 和 LED1 成组、LED2 和 LED3 成组 DMA 使用主缓冲区 LED_DMA 向 LED0 和 LED1 提供数据, 同时使用辅助缓冲区 LED_DMA_X 向 LED2 和 LED3 提供数据

FIFO 计数状态寄存器 (LED_FIFO_CN):

位	名称	访问	描述	复位值
[7:0]	LED_FIFO_CN	RO	FIFO 当前数据字节数, 仅低 3 位有效, 高 5 位固定为 0	00h

LED 数据寄存器 (LED_DATA):

位	名称	访问	描述	复位值
[7:0]	LED_DATA	WO	LED 数据端口, 用于将数据写入 FIFO	xxh

LED 时钟分频设置寄存器 (LED_CK_SE):

位	名称	访问	描述	复位值
[7:0]	LED_CK_SE	RW	设置 LED 输出时钟的分频系数	10h

DMA 当前缓冲区地址 (LED_DMA):

位	名称	访问	描述	复位值
[7:0]	LED_DMA_AH	RW	当前 DMA 地址高字节, 可预置初值, DMA 后自动增加, 仅低 4 位有效, 高 4 位固定为 0	0xh
[7:0]	LED_DMA_AL	RW	当前 DMA 地址低字节, 可预置初值, DMA 后自动增加, 仅高 7 位有效, 最低位固定为 0, 仅支持偶地址	xxh

DMA 当前辅助缓冲区地址 (LED_DMA_X):

位	名称	访问	描述	复位值
[7:0]	LED_DMA_XH	RW	辅助缓冲区当前 DMA 地址高字节, 可预置初值, DMA 后自动增加, 仅低 4 位有效, 高 4 位固定为 0	0xh
[7:0]	LED_DMA_XL	RW	辅助缓冲区当前 DMA 地址低字节, 可预置初值, DMA 后自动增加, 仅高 7 位有效, 最低位固定为 0, 仅支持偶地址	xxh

DMA 剩余计数寄存器 (LED_DMA_CN):

位	名称	访问	描述	复位值
[7:0]	LED_DMA_CN	RW	LED_DMA 主缓冲区中当前 DMA 剩余计数, 以双字节为单位, 可预置初值, DMA 操作后自动减少。不含辅助缓冲区 LED_DMA_X 中的剩余计数	00h

17.2 LED 控制应用

- 设置 LEDC 和必要的 LED0~LED3 为输出, 可选地, 设置相应 I/O 的驱动能力;
- 设置 LED_CK_SE 选择 LED 输出时钟频率;
- 设置 DMA 起始地址 LED_DMA 指向准备输出数据的缓冲区, 即主缓冲区;
- 如果是 LED 通道模式 3, 那么还要设置辅助 DMA 起始地址 LED_DMA_X 指向辅助缓冲区;
- 设置 LED 控制寄存器 LED_CTRL, 选择通道模式、输出极性、位顺序、启用中断和 DMA 等, 例如 LED_CTRL = bLED_CHAN_MOD0 | bLED_DMA_EN | bLED_OUT_EN;
- 设置 DMA 计数, 启动 DMA 发送, 或者用写 FIFO 的方式发送数据;
- 查询或者使用中断处理中断相应状态。

18、参数

18.1 绝对最大值 (临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏)

名称	参数说明	最小值	最大值	单位
TA	工作时的环境温度	-40	85	°C
TS	储存时的环境温度	-55	125	°C
VDD33	内部工作电源电压 (VDD33 接电源, GND 接地)	-0.4	3.6	V
VIN5	外部输入电源电压 (VIN5 接电源, GND 接地)	-0.4	5.6	V
VI05	支持 5V 耐压的输入或者输出引脚上的电压	-0.4	VIN5+0.4	V

V103	不支持 5V 耐压的输入或者输出引脚上的电压	-0.4	VDD33+0.4	V
------	------------------------	------	-----------	---

18.2 电气参数(测试条件: TA=25°C, VIN5=5V 或 3.3V, VDD33=3.3V, Fsys=12MHz)

名称	参数说明	最小值	典型值	最大值	单位	
VDD33	VDD33 引脚内部工作电源电压	2.85	3.3	3.6	V	
VIN5	VIN5 引脚外部 输入电源电压	VDD33 仅外接电容	3.6	5	5.5	V
		VDD33 短接到 VIN5	2.85	3.3	3.6	V
ICC	工作时的总电源电流	4	8	50	mA	
ISLP	完全睡眠后的总电源电流		0.1	0.2	mA	
VIL	低电平输入电压	-0.4		0.8	V	
VIH	高电平输入电压	2.0		VDD33+0.4	V	
VOL	低电平输出电压(4mA 吸入电流)			0.4	V	
VOH	高电平输出电压(4mA 输出电流)	VDD33-0.4			V	
IIN	无上拉电阻输入端的输入电流	-5	0	5	uA	
IUP	带上拉电阻输入端的输入电流	20	40	80	uA	
IDN	带下拉电阻输入端的输入电流	-20	-40	-80	uA	
IUPX	带上拉输入端由低向高翻转时的输入电流	200	300	500	uA	
Vpot	电源上电复位的门限电压	2.4	2.55	2.7	V	

备注: 所有上拉电流都是拉到 VDD33 电压, 而非 VIN5 电压。

18.3 时序参数(测试条件: TA=25°C, VIN5=5V 或 3.3V, VDD33=3.3V, Fsys=12MHz)

名称	参数说明	最小值	典型值	最大值	单位
Fxt	外部晶体频率或者 XI 输入时钟频率	4	12	20	MHz
Fosc	经校准后的内部时钟频率	11.82	12	12.18	MHz
Fpll	倍频后的 PLL 频率	24	288	350	MHz
Fusb4x	使用 USB 功能时, USB 采样时钟频率	47.04	48	48.96	MHz
Fsys	系统主频时钟频率 (VDD33>=3V)	1	12	56	MHz
	系统主频时钟频率 (VDD33<3V)	1	12	50	MHz
Tpor	电源上电复位延时	15	17	20	mS
Trst	从 RST 外部输入有效复位信号的宽度	70	100	200	nS
Trdl	热复位延时	35	60	100	uS
Twdc	看门狗溢出周期/定时周期的计算公式	$262144 * (0x100 - WDOG_COUNT) / F_{sys}$			
Tusp	检测 USB 自动挂起时间	4	5	6	mS
Twak	芯片睡眠后唤醒完成时间	1	40	100	uS

19、修改记录

版本	日期	说明
V1.0	2014.12.24	初版发行
V1.1	2015.08.21	更新: 1, 4, 12.5.2, 14.4, 16.3, 17, 18.3
V1.2	2016.07.27	更新: 12.5
V1.3	2017.01.18	更新: 2, 6.7, 14.4.2
V1.4	2017.11.16	更新: 表 5.1 中 RCAP2H, 表 6.7.1

