

产品说明

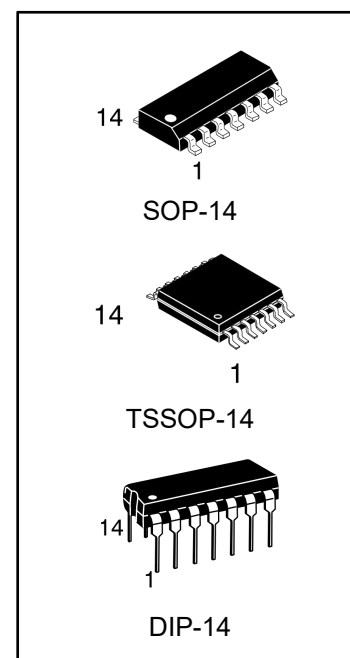
CD4093D 是一款采用先进 CMOS 技术设计的具有施密特输入特性的 2 输入与非门。它有较好的抗干扰能力和较强的驱动能力。

产品特点

- 低输入电流： $I_{IN} \leq 1.2\mu A$, @ $V_{IN}=V_{DD}=18V, T_a=25^\circ C$
- 宽工作电压范围：3.0V to 18V
- 低静态功耗： $I_{DD} \leq 1.2\mu A$, @ $V_{DD}=18V, T_a=25^\circ C$
- 封装形式：DIP-14、SOP-14、TSSOP-14

产品用途

- 电子开关
- 工控应用
- 信号振荡发生器
- 其它应用领域



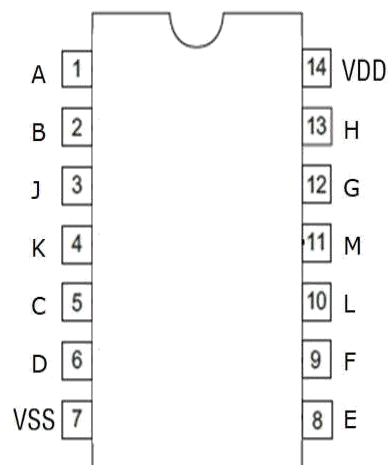
产品订购信息

产品名称	封装	打印名称	包装	包装数量
CD4093DE/ CD4093DN	DIP-14	CD4093D	管装	1000 只/盒
CD4093DM/TR	SOP-14	CD4093D	编带	2500 只/盘
CD4093DMT/TR	TSSOP-14	CD4093D	编带	2500 只/盘

封装形式和管脚功能定义

管脚序号	管脚 定义	管脚序号	管脚 定义
DIP-14/SOP-14 /TSSOP-14		DIP-14/SOP-14 /TSSOP-14	
1	A	14	VDD
2	B	13	H
3	J	12	G
4	K	11	M
5	C	10	L
6	D	9	F
7	VSS	8	E

DIP-14/SOP-14/TSSOP-14

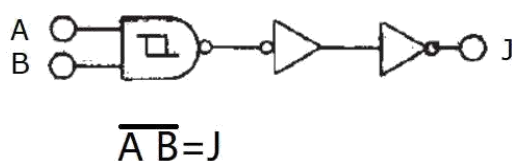


极限参数

参数	符号	极限值	单位
电源电压	V_{DD}	-0.5-20	V
输入电压	V_{IN}	-0.5+VSS- V_{DD} +0.5V	V
功耗	P_D	500	mW
工作温度	T_A	-40-85	°C
存储温度	T_S	-65-150	°C
引脚焊接温度	T_W	245,10s	°C

注：极限参数是指无论在任何条件下都不能超过的极限值。如果超过此极限值，将有可能造成产品劣化等物理性损伤； 同时在接近极限参数下，不能保证芯片可以正常工作。

原理逻辑图



注：1/4 组

真值表

INPUTS		OUTPUTS
B/D/F/H	A/C/E/G	J/K/L/M
L	L	H
L	H	H
H	L	H
H	H	L

注：1、L 为低电平，H 为高电平；
2、 $\overline{AB}=J$ ； $\overline{CD}=K$ ； $\overline{EF}=L$ ； $\overline{HG}=M$

推荐工作条件

项目	符号	最小值	典型值	最大值	单位
工作电压	V_{DD}	3		15	V
输入输出电压	V_{IN} 、 V_{out}	0		V_{DD}	V
工作温度	T_A	0		60	°C

直流电学特性： ($T_A=25^\circ\text{C}$ 除非特别指定)

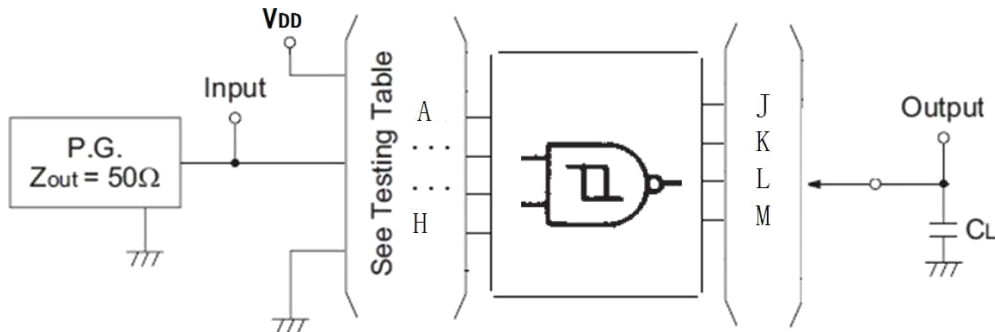
符号	项目	测试条件	V_{DD} (V)	最小值	典型值	最大值	单位
VP	密特输入上电压		5	-	3.2	4	V
			15	-	8.8	9.5	V
VN	施密特输入下限电压		5	1.0	1.8	-	V
			15	4.0	5.4	-	V
VH	施密特回滞电压宽度 VP-VN		5	-	1.4	-	V
			15	-	3.4	-	V
VOH	高电平输出电压	$ I_{OUT} < 1\mu\text{A}$	5	4.95	-	-	V
			10	9.95	-	-	V
			15	14.95	-	-	V
VOL	低电平输出电压	$ I_{OUT} < 1\mu\text{A}$	5	-	0	0.05	V
			10	-	0	0.05	V
			15	-	0	0.05	V
IIN	输入电流	$V_{IN}=V_{DD}$ or V_{SS}	18	-	0.01	1.2	μA
IOH	高电平输出电流	$V_O = 4.6\text{V}$	5	-	-1.8	-	mA
		$V_O = 9.5\text{V}$	10	-	-3.7	-	mA
		$V_O = 13.5\text{V}$	15	-	-13.7	-	mA
IOL	低电平输出电流	$V_O = 0.4\text{V}$	5	-	3.6	-	mA
		$V_O = 0.5\text{V}$	10	-	8.6	-	mA
		$V_O = 1.5\text{V}$	15	-	32.5	-	mA
IDD	工作电流	$V_{IN}=V_{DD}$ or V_{SS}	18	-	0.01	1.2	μA

交流电学特性： Ta=25℃,见测试方式

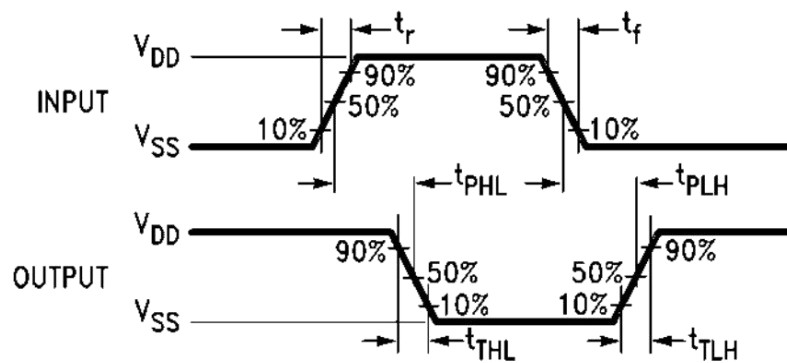
项目	符号	测试条件	最小值	典型值	最大值	单位
最大传输延迟时间 A or B to J C or D to K E or F to L G or H to M	t_{PHL}	VDD=5V $C_L=51pF$	-	130	-	ns
	t_{PLH}		-	85	-	ns
	t_{PHL}	VDD=10V $C_L=51pF$	-	70	-	ns
	t_{PLH}		-	50	-	ns
	t_{PHL}	VDD=15V $C_L=51pF$	-	60	-	ns
	t_{PLH}		-	35	-	ns
输出最大上升、 下降沿延迟时间	t_{THL}	VDD=5V $C_L=51pF$	-	90	-	ns
	t_{TLH}		-	70	-	ns
	t_{THL}	VDD=10V $C_L=51pF$	-	50	-	ns
	t_{TLH}		-	35	-	ns
	t_{THL}	VDD=15V $C_L=51pF$	-	40	-	ns
	t_{TLH}		-	25	-	ns

测试方法

测试接线图



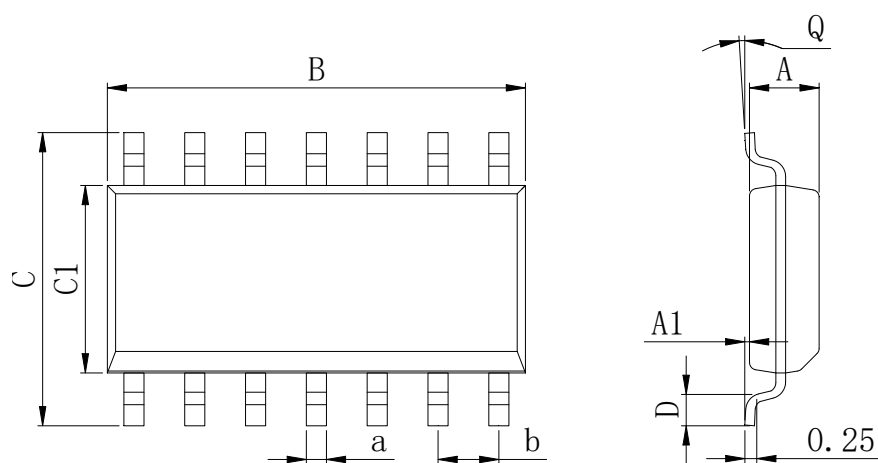
波形测量示意图



- 注：1、See Testing Table 指交流电学特性表中相应测试项目；
2、CL 电容为外接贴片电容（0603），靠近输出管脚接入，电容地靠近芯片 VSS；
3、Input: 端口输入电平， $f=1\text{MHz}$, $D=50\%$ 方波， $t_r=t_f \leq 20\text{ns}$ ；
4、Output: Y 端输出测试。

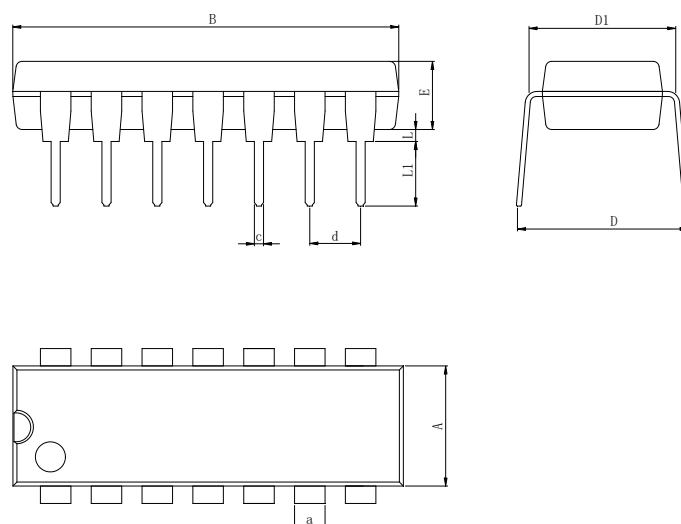
封装外形尺寸

SOP-14



Dimensions In Millimeters(SOP-14)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	1.35	0.05	8.55	5.80	3.80	0.40	0°	0.35	1.27 BSC
Max:	1.55	0.20	8.75	6.20	4.00	0.80	8°	0.45	

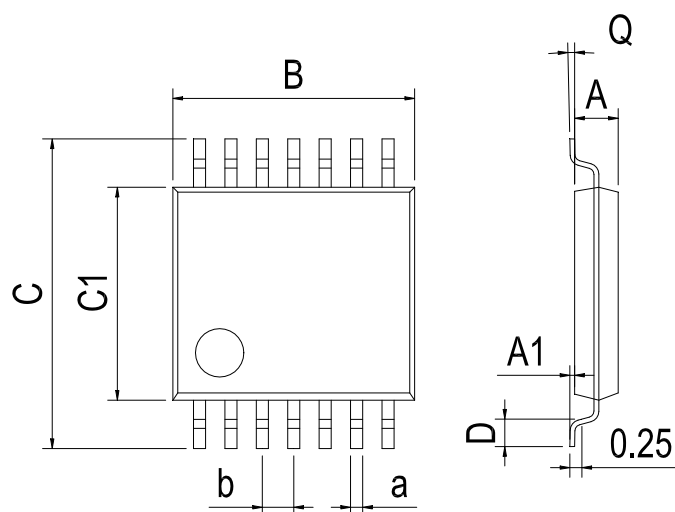
DIP-14



Dimensions In Millimeters(DIP-14)										
Symbol:	A	B	D	D1	E	L	L1	a	c	d
Min:	6.10	18.94	8.10	7.42	3.10	0.50	3.00	1.50	0.40	2.54 BSC
Max:	6.68	19.56	10.9	7.82	3.55	0.70	3.60	1.55	0.50	

封装外型尺寸

TSSOP-14



Dimensions In Millimeters(TSSOP-14)									
Symbol:	A	A1	B	C	C1	D	Q	a	b
Min:	0.85	0.05	4.90	6.20	4.30	0.40	0°	0.20	0.65 BSC
Max:	0.95	0.20	5.10	6.60	4.50	0.80	8°	0.25	

修订历史

日期	修改内容	页码
2019-12-6	新修订	1-9
2024-1-6	文档重新格式化	1-9

重要声明：

华冠半导体保留未经通知更改所提供的产品和服务。客户在订货前应获取最新的相关信息，并核实这些信息是否最新且完整的。华冠半导体对篡改过的文件不承担任何责任或义务。

客户在使用华冠半导体产品进行系统设计和整机制造时有责任遵守安全标准并采取安全措施。您将自行承担以下全部责任：针对您的应用选择合适的华冠半导体产品；设计、验证并测试您的应用；确保您的应用满足相应标准以及任何其他安全、安保或其他要求。以避免潜在风险可能导致人身伤害或财产损失情况的发生。

华冠半导体产品未获得生命支持、军事、航空航天等领域应用之许可，华冠半导体将不承担产品在这些领域应用造成的后果。因使用方超出该产品适用领域使用所产生的一切问题和责任、损失由使用方自行承担，与华冠半导体无关，使用方不得以本协议条款向华冠半导体主张任何赔偿责任。

华冠半导体所生产半导体产品的性能提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，测试和其他质量控制技术的使用只限于华冠半导体的质量保证范围内。每个器件并非所有参数均需要检测。

华冠半导体的文档资料，授权您仅可将这些资源用于研发本资料所述的产品的应用。您无权使用任何其他华冠半导体知识产权或任何第三方知识产权。严禁对这些资源进行其他复制或展示，您应全额赔偿因在这些资源的使用中对华冠半导体及其代理造成的任何索赔、损害、成本、损失和债务，华冠半导体对此概不负责。