

概述

CD4051B 系列模拟开关是用数字信号控制的多路调制/选择模拟开关，具有低导通电阻和很低的关态漏电流。通过模拟开关的模拟量幅度可高达 $15V_{P-P}$ 。例如，选 $V_{DD} = 5V$, $V_{SS} = 0V$, $V_{EE} = -5V$ ，那么幅度 $-5V \sim +5V$ 的模拟信号就可用 $0V \sim 5V$ 的数字信号来控制传输。此外，CD4051B 系列模拟开关也可以在低至 $4V$ 的供电电压下可靠工作，而且静态功耗极小。

CD4051B 是八选一模拟开关，用 3 个二进制输入信号控制端 A、B、C 来选择八个模拟通道中的任一个为“ON”状态。INH 输入端输入“1”电平时将全部通道置为关断状态。

CD4052B 是双四选一模拟开关，每组四选一模拟开关分别有 2 个二进制控制输入。这两位二进制信号可将 4 个模拟通道中任一个置为导通状态。INH 输入端输入“1”电平时将两组四选一模拟开关所有通道置为关断状态。

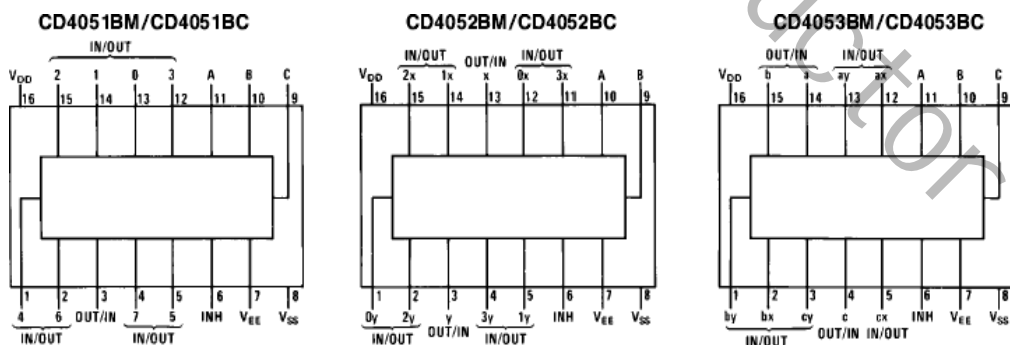
CD4053B 是三二选一模拟开关，相当于三组单刀双掷开关。三个数字控制输入 A、B、C 可独立的选择每组模拟开关刀位的导通方向。INH 输入端输入“1”电平时将三组二选一模拟开关所有通道置为关断状态。

值得一提的是 CD4051B 系列模拟开关导通电阻只有其他供货商产品的三分之一，而且响应速度高一倍有余。

特点

- ◆ 很宽的工作电压范围： $4 \sim 20V$
- ◆ 低导通电阻： 180Ω ($V_{DD} = 5V$)
- ◆ 高关态电阻：开关漏电流 $\pm 10pA$ ($V_{DD} - V_{EE} = 10V$ ，典型值)
- ◆ 模拟开关导通电阻差值 $\Delta R_{ON} = 3\Omega$ ($V_{DD} - V_{EE} = 15V$)
- ◆ 极低的静态电压功耗（所有数控输入和输出状态）： $1\mu W$ ($V_{DD} - V_{SS} = V_{DD} - V_{EE} = 10V$)
- ◆ 内置模拟开关控制地址译码器和电平转换器

管脚图



极限参数

符号	参数	条件	数值	单位
V_{DD}	直流电源电压		$-0.5VDC \sim +18VDC$	V
V_{IN}	输入电压		$-0.5VDC \sim V_{DD} + 0.5VDC$	V
T_{stg}	封装工作温度范围		$-65 \sim 150$	$^{\circ}C$

P _D	功耗	DIP	700	mW
		SOP	500	mW
T _L	焊接温度		260	°C

推荐工作条件

符号	参数	条件	数值	单位
V _{DD}	直流电源电压		+5V~+15V	V
V _{IN}	输入电压		0~V _{DD}	V
T _A	工作温度范围		-55~125	°C

直流电参数

符号	项 目	条 件	-55°C		+25°C		125°C		单位		
			最小值	最大值	最大值	典型值	最大值	最小值		最大值	
I _{IN}	输入电流	V _{DD} =15V, V _{EE} =0V, V _{IN} =0V		-0.1		-10-5	-0.1		-0.1	uA	
		V _{DD} =15V, V _{EE} =0V, V _{IN} =15V		0.1		-10-5	0.1		0.1		
I _{DD}	静态器件电流	V _{DD} =5V		20			20		150	uA	
		V _{DD} =10V		40			40		300		
		V _{DD} =15V		80			80		600		
信号输入V _{IS} 和输出V _{OS}											
R _{ON}	导通电阻 (峰值 V _{EE} ≤ V _{IS} ≤ V _{DD})	R _L = 10kΩ (任一通道)	V _{DD} = 2.5V V _{EE} = -2.5V 或V _{DD} = 5V V _{EE} = 0V		850		180	1050		1300	Ω
			V _{DD} = 5V V _{EE} = -5V 或V _{DD} = 10V V _{EE} = 0V		330		80	400		520	
			V _{DD} = 7.5V V _{EE} = -7.5V 或V _{DD} = 15V V _{EE} = 0V		210		50	240		300	
Δ R _{ON}	任两个通道间的 导通电阻增益	R _L = 10kΩ (任一通道)	V _{DD} = 2.5V V _{EE} = -2.5V 或V _{DD} = 5V V _{EE} = 0V				8				Ω
			V _{DD} = 5V V _{EE} = -5V 或V _{DD} = 10V V _{EE} = 0V				8				
			V _{DD} = 7.5V V _{EE} = -7.5V 或V _{DD} = 15V V _{EE} = 0V				5				

	关态通道漏电流 任一通道处于关态	VDD=-7.5V, VEE=-7.5V O/I=±7.5V, I/O=0V		±50		±0.01	±50		±500	nA
	关态通道漏电流, 所有通道处于关态	inhibit=7.5V	CD4051	±200		±0.08	±200		±2000	nA
		VDD=7.5V	CD4052	±200		±0.04	±200		±2000	
		VEE=-7.5V O/I=0V I/O=±7.5V	CD4053	±200		±0.02	±200		±2000	
控制输入A、B、C和inhibit										
V _{IL}	低电平输入电压	VEE=VSS, RL=1kΩ to VSS	VDD=5V	1.5			1.5		1.5	V
		IIS<2uA, 所有的通道为关态 VIS=VDD thru 11kΩ	VDD=10V	3.0			3.0		3.0	
			VDD=15V	4.0			4.0		4.0	
V _{IH}	高电平输入电压		VDD=5V	3.5		3.5		3.5		V
			VDD=10V	7		7		7		
			VDD=15V	11		11		11		
			VIN=15V	0.1		-10-5		0.1		0.1

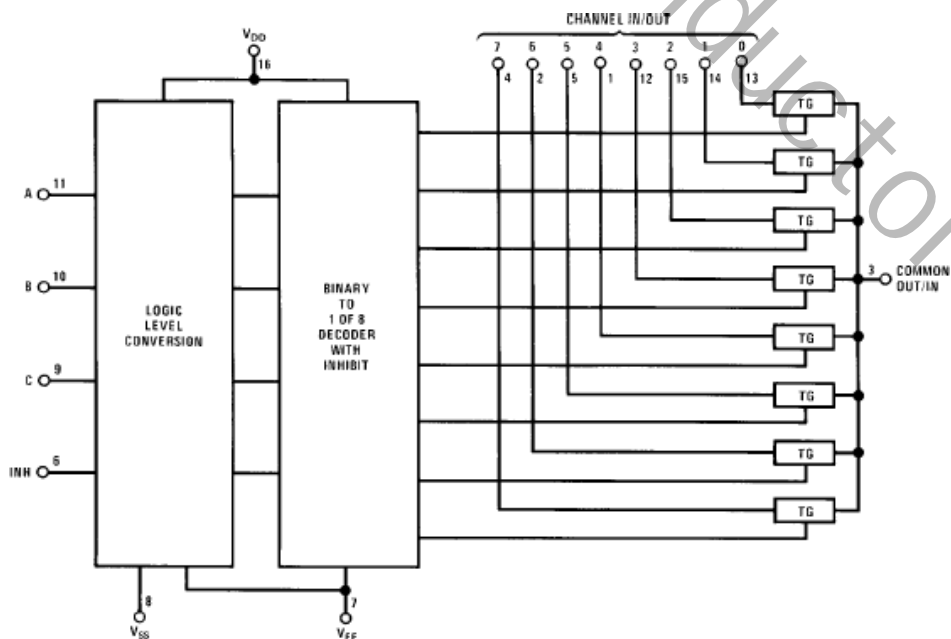
交流电参数

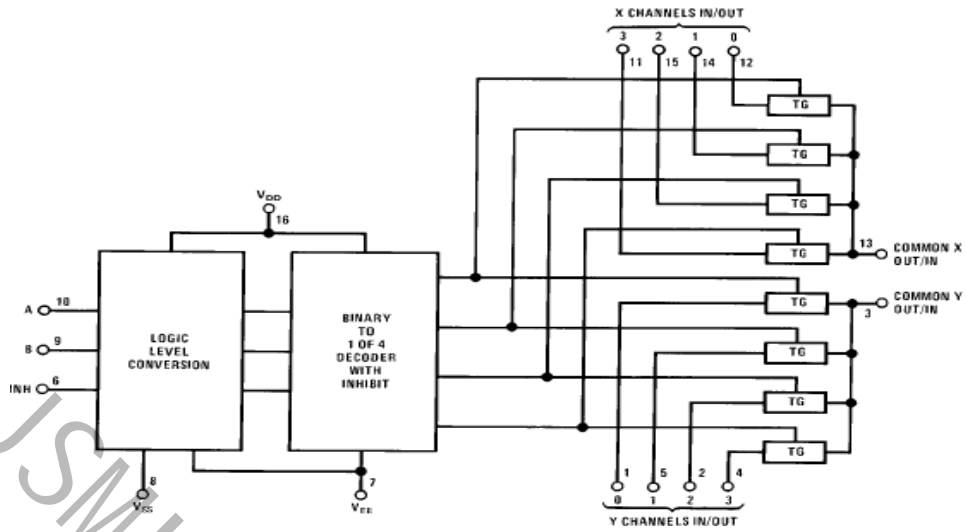
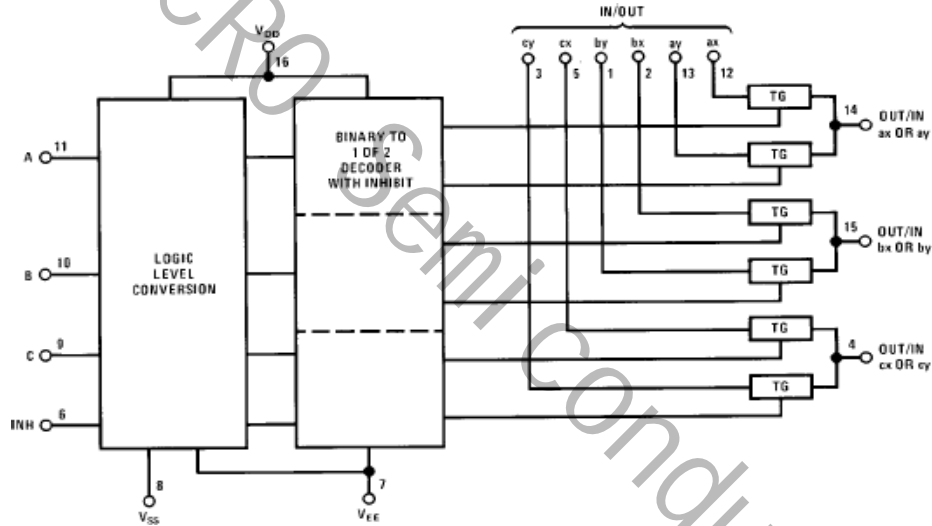
符号	项目	条件	VDD	最小值	典型值	最大值	单位
t _{PZH}	从禁止到信号输出的传输延迟时间(开启通道)	VEE=VSS=0V	5V		300	1200	ns
t _{PZL}		R _L =1kΩ	10V		125	450	
		C _L =50pF	15V		80	320	
t _{PHZ}	从禁止到信号输出的传输延迟时间(关闭通道)	VEE=VSS=0V	5V		100	420	ns
t _{PLZ}		R _L =1kΩ	10V		70	200	
		C _L =50pF	15V		55	150	
C _{IN}	输入电容	控制输入			5	7.5	pF
		信号输入			10	15	
C _{OUT}	输出电容 (共输入/输出) VEE=VSS=0V	CD4051	10V		30		pF
		CD4052	10V		15		
		CD4053	10V		8		
C _{TOS}	旁路电容				0.2		pF
C _{PD}	电源耗散电容	CD4051			110		pF
		CD4052			140		
		CD4053			70		
信号输入V _{IS} 和输出V _{OS}							
	正弦波失真度	R _L =10kΩ f _{IS} =1kHz V _{IS} =5Vp-p VEE=V _{SI} =0V	10V		0.04		%

	正弦波频率响应	$R_L=1k\Omega$, $V_{EE}=0V$, $V_{IS}=5VP-P$, $20\log_{10}V_{OS}/V_{IS}=-40dB$	10V		40		MHz
	关态串扰频率	$R_L=1k\Omega$, $V_{EE}=0V$, $V_{IS}=5VP-P$, $20\log_{10}V_{OS}/V_{IS}=-40dB$	10V		10		MHz
	信号串扰频率	$R_L=1k\Omega$, $V_{EE}=0V$, $V_{IS}=5VP-P$, $20\log_{10}V_{OS}/V_{IS}=-40dB$	10V		3		MHz
t_{PHL} t_{PLH}	信号输入到输出的传输延迟	$V_{EE}=V_{SS}=0V$ $C_L=50pF$	5V		25	55	ns
			10V		15	35	
			15V		10	25	
控制输入A、B、C和inhibit							
	控制输入到信号响应	$V_{EE}=V_{SS}=0V$, $R_L=10k\Omega$ 在所有通道的末端 输入方波振幅10V	10V		65		mV
t_{PHL} t_{PLH}	传输延迟时间 从取址到信号输出 通道为开启或关闭	$V_{EE}=V_{SS}=0V$ $C_L=50pF$	5V		300	1000	ns
			10V		100	360	
			15V		70	240	

结构框图

CD4051B

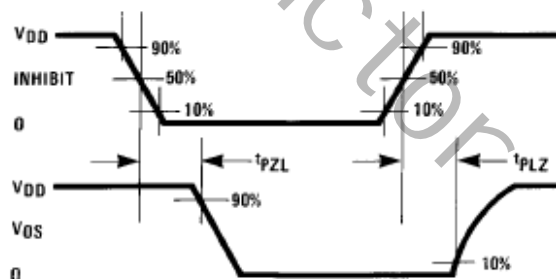
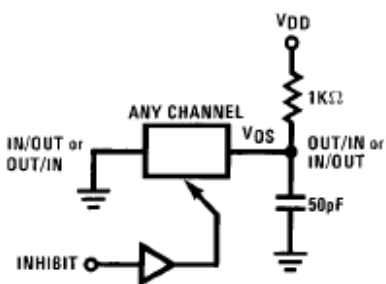
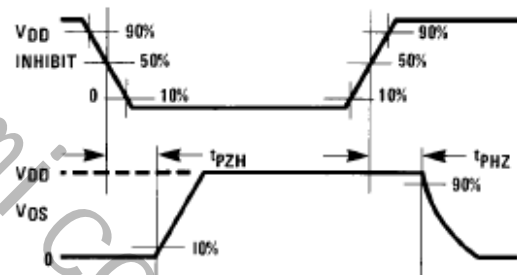
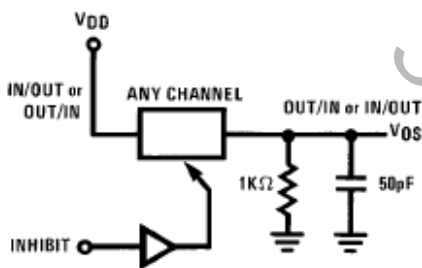
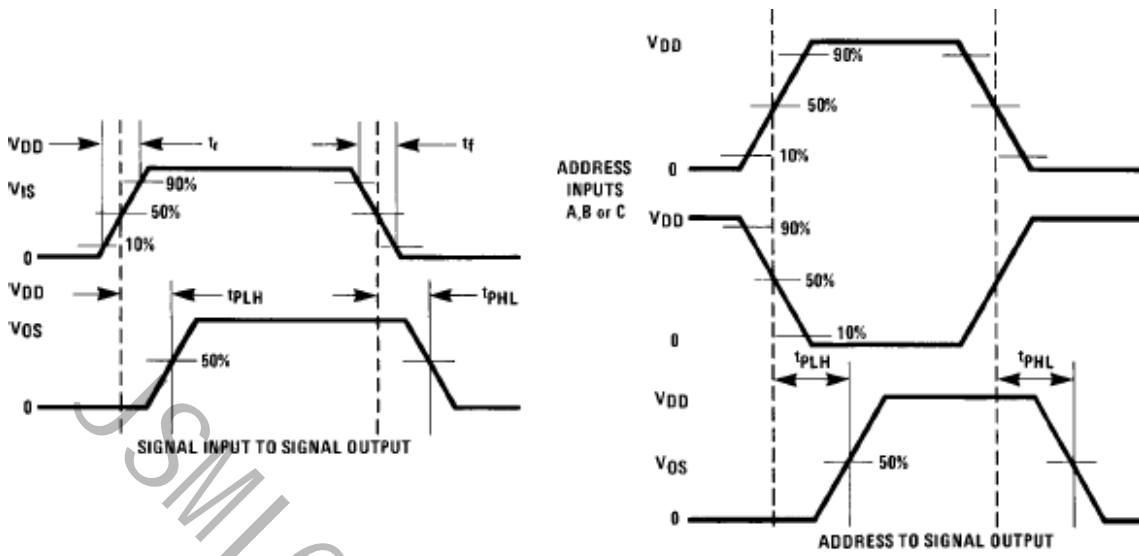


CD4052B

CD4053B

真值表

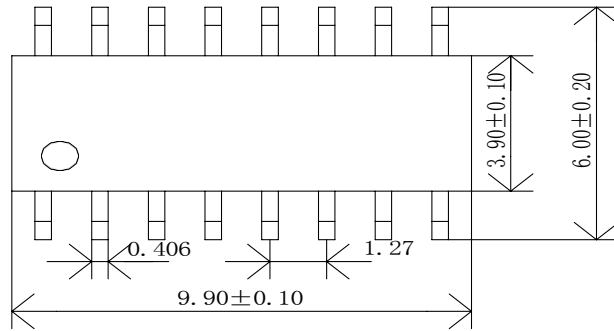
INPUT STATES				"ON" CHANNELS		
INHIBIT	C	B	A	CD4051B	CD4052B	CD4053B
0	0	0	0	0	0X, 0Y	cx, bx, ax
0	0	0	1	1	1X, 1Y	cx, bx, ay
0	0	1	0	2	2X, 2Y	cx, by, ax
0	0	1	1	3	3X, 3Y	cx, by, ay
0	1	0	0	4		cy, bx, ax
0	1	0	1	5		cy, bx, ay
0	1	1	0	6		cy, by, ax
0	1	1	1	7		cy, by, ay
1	*	*	*	NONE	NONE	NONE

*Don't Care condition.

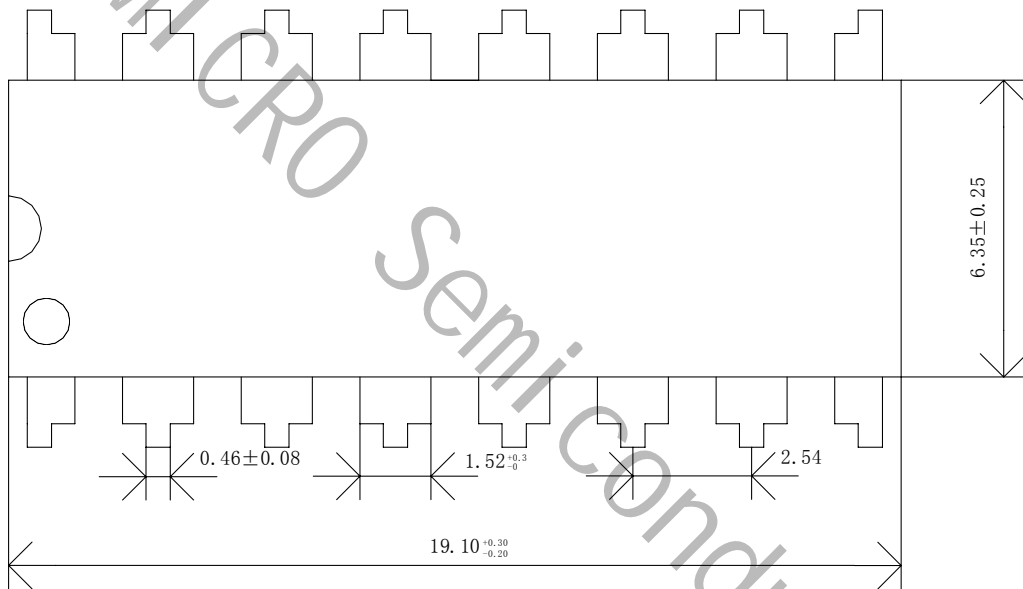
波形图



封装外形及尺寸图



SOP16 封装形式



DIP16 封装形式