



CD40106

■ 产品简介

CD40106 是一款采用先进 CMOS 技术设计的低功耗、工作电压范围宽的施密特反相器。它内部集成六组相互独立的施密特反相器电路，具有高抗干扰能力和驱动能力。

■ 产品特点

- 低输入电流： $I_{IN} \leq 1\mu A$, @ $V_{IN}=V_{DD}=15V$, $T_a=25^\circ C$
- 低静态功耗： $I_{DD} \leq 4\mu A$, @ $V_{DD}=15V$, $T_a=25^\circ C$
- 宽工作电压范围：3V to 18V
- 封装形式：DIP14、SOP14

■ 产品用途

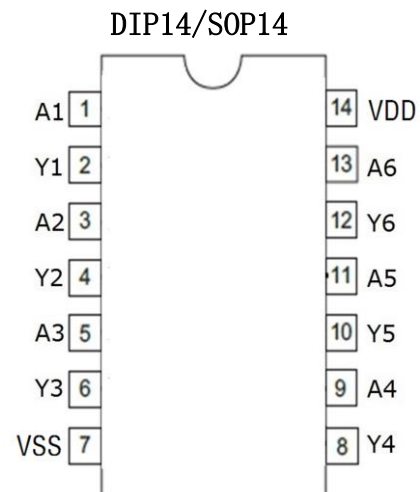
- 单稳态多谐振荡器
- 波形和脉冲整形器
- 高噪声环境系统
- 其它应用领域

■ 封装形式和管脚功能定义

管脚序号	管脚	管脚序号	管脚
DIP14/SOP14	定义	DIP14/SOP14	定义
1	A1	14	VDD
2	Y1	13	A6
3	A2	12	Y6
4	Y2	11	A5
5	A3	10	Y5
6	Y3	9	A4
7	VSS	8	Y4

说明：A 为输入管脚；Y 为输出管脚。

注：CDXXXXD 表示 DIP14 封装，CDXXXXS 表示 SOP14 封装。



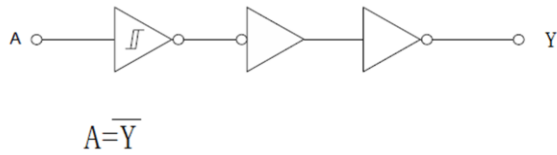
■ 极限参数

参数	符号	极限值	单位
电源电压	V_{DD}	-0.5-20	V
输入电压	V_{IN}	-0.5+VSS- V_{DD} +0.5V	V
功耗	P_D	500	mW
工作温度	T_A	0-70	$^\circ C$
存储温度	T_S	-65-150	$^\circ C$
引脚焊接温度	T_W	260, 10s	$^\circ C$

注：极限参数是指无论在任何条件下都不能超过的极限值。如果超过此极限值，将有可能造成产品劣化等物理性损伤；同时在接近极限参数下，不能保证芯片可以正常工作。



■ 原理逻辑图



■ 真值表

Input	Output
A	Y
L	H
H	L

H = High Logic Level

L = Low Logic Level

■ 推荐工作条件

项目	符号	最小值	典型值	最大值	单位
工作电压	V_{DD}	3		18	V
输入输出电压	V_{IN} 、 V_O	0		VDD	V
工作温度	T_A	0		60	°C

■ 电学特性

直流电学特性: $T_A=25^\circ\text{C}$

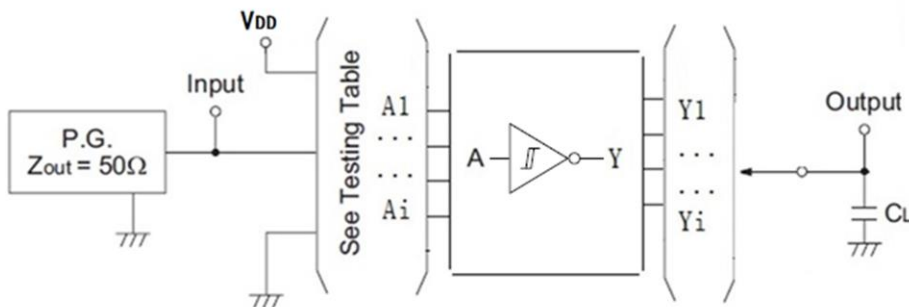
符号	项目	测试条件	VDD (V)	最小值	典型值	最大值	单位
V_{TP+}	高电平 切换阈值电压	$ I_O \leq 1\mu\text{A}$	5	-	2.5	-	V
			10	-	4.2	-	V
			15	-	5.8	-	V
V_{TN-}	低电平 切换阈值电压	$ I_O \leq 1\mu\text{A}$	5	-	1.2	-	V
			10	-	2.0	-	V
			15	-	2.6	-	V
V_{TH}	迟滞电压 ($V_{TP+} - V_{TN-}$)		5	-	1.3	-	V
			10	-	2.2	-	V
			15	-	3.2	-	V
V_{OH}	高电平输出电压	$ I_O < 1\mu\text{A}$	5	4.95	-	-	V
			10	9.95	-	-	V
			15	14.95	-	-	V
V_{OL}	低电平输出电压	$ I_O < 1\mu\text{A}$	5	-	-	0.05	V
			10	-	-	0.05	V
			15	-	-	0.05	V
I_{OH}	高电平输出电流	$V_O = 4.6\text{V}$	5	-	-3.0	-	mA
		$V_O = 9.5\text{V}$	10	-	-6.4	-	mA
		$V_O = 13.5\text{V}$	15	-	-22	-	mA
I_{OL}	低电平输出电流	$V_O = 0.4\text{V}$	5	-	4.8	-	mA
		$V_O = 0.5\text{V}$	10	-	11.5	-	mA
		$V_O = 1.5\text{V}$	15	-	42	-	mA
I_{IN}	输入电流	$V_{IN} = V_{DD}$ or V_{SS}	18	-	0.01	1	μA
I_{DD}	工作电流	$V_{IN} = V_{DD}$ or V_{SS}	5	-	0.01	1	μA
			10	-	0.01	2	μA
			15	-	0.01	4	μA
			18	-	0.01	20	μA



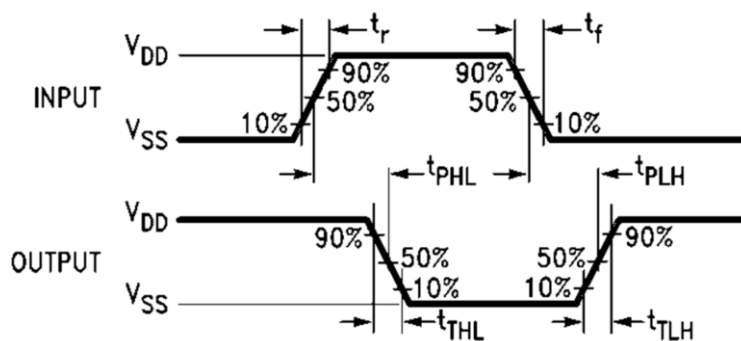
交流电学特性: $C_L=51\text{pF}$, $T_a=25^\circ\text{C}$, 见测试方法。

项目	符号	测试条件	最小值	典型值	最大值	单位
最大传输延迟时间 A to Y	t_{PHL}	VDD=5V	-	80	-	ns
	t_{PLH}		-	140	-	ns
	t_{PHL}	VDD=10V	-	45	-	ns
	t_{PLH}		-	75	-	ns
	t_{PHL}	VDD=15V	-	35	-	ns
	t_{PLH}		-	55	-	ns
输出上升/下降 延迟时间	t_{THL}	VDD=5V	-	30	-	ns
	t_{TLH}		-	30	-	ns
	t_{THL}	VDD=10V	-	15	-	ns
	t_{TLH}		-	20	-	ns
	t_{THL}	VDD=15V	-	10	-	ns
	t_{TLH}		-	15	-	ns

■ 测试方法



2、波形测量示意图



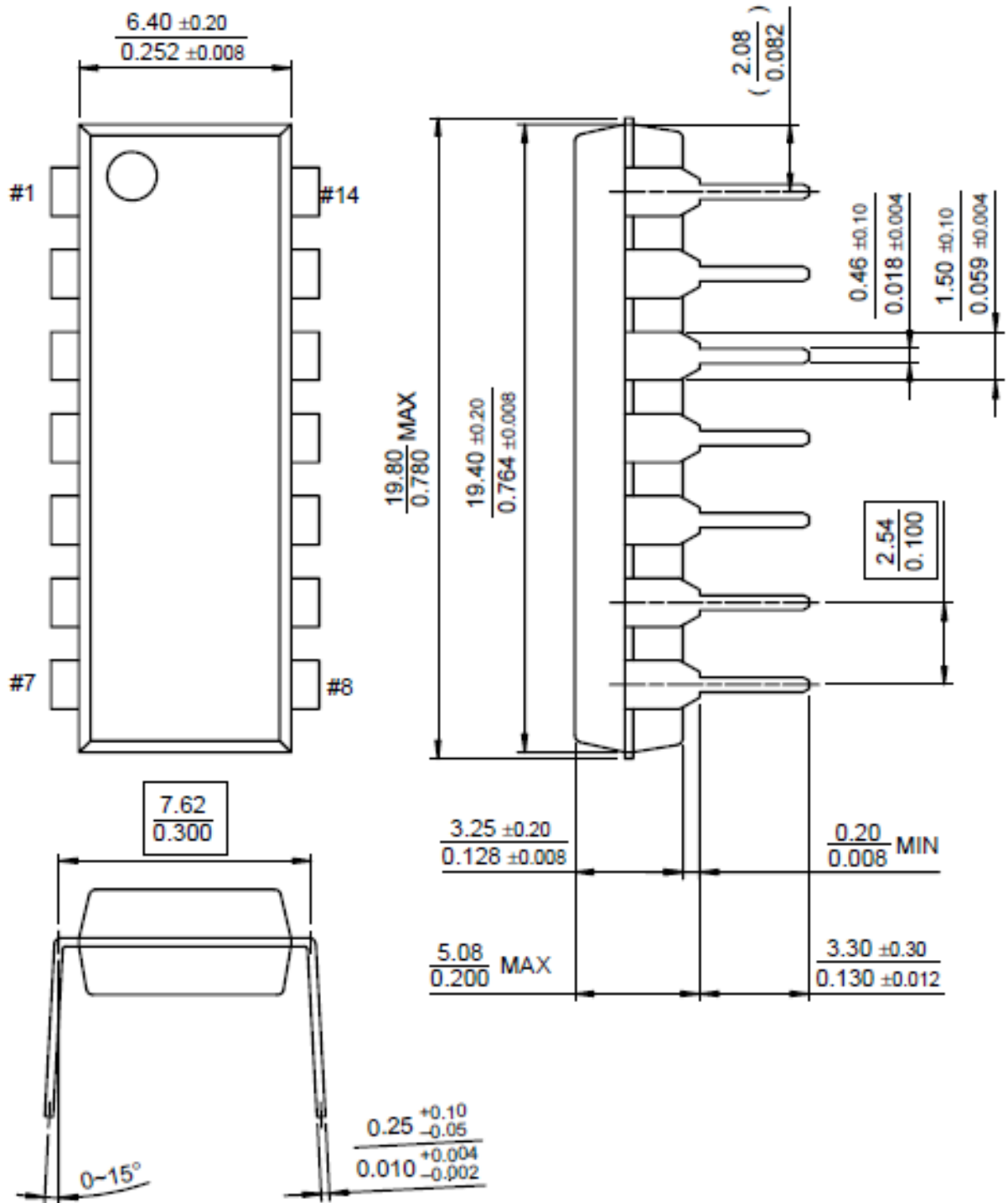
- 注: 1、See Testing Table 指交流电学特性表中相应测试项目;
 2、CL 电容为外接贴片电容 (0603), 靠近输出管脚接入, 电容地靠近芯片 VSS;
 3、Input: 端口输入电平, $f=1\text{MHz}$, $D=50\%$ 方波, $t_r=t_f \leq 20\text{ns}$;
 4、Output: Y 端输出测试。



■ 封装信息

单位：毫米 / 英寸

DIP14





SOP14

