

36V 低失调、低温漂、低输入电流、高精度连续型运算放大器

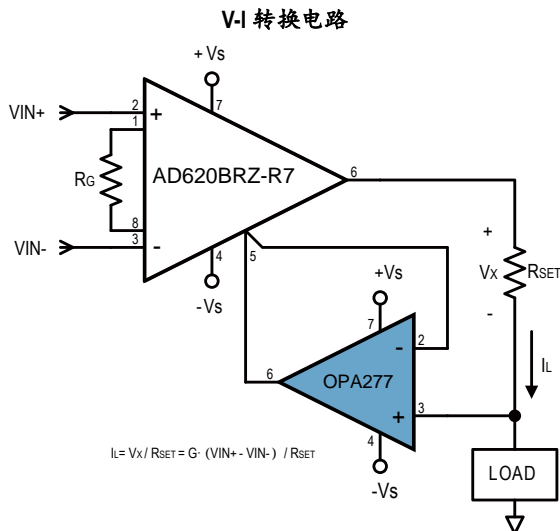
产品特性

- 失调电压:
35 μV (最大值, 25 $^{\circ}\text{C}$, SOIC 封装, 单/双/四通道)
55 μV (最大值, 25 $^{\circ}\text{C}$, 其它封装, 单/双/四通道)
- 失调电压温漂:
0.5 $\mu\text{V}/^{\circ}\text{C}$ (最大值, B 级, SOIC 封装, 单/双/四通道)
1.0 $\mu\text{V}/^{\circ}\text{C}$ (最大值, A 级, SOIC 封装, 单/双/四通道)
- 低输入电流: 25 pA (最大值, 25 $^{\circ}\text{C}$)
- 低电压噪声密度: 11 nA/ $\sqrt{\text{Hz}}$ ($f = 1 \text{ kHz}$)
- 输入共模电压低至负电源轨
- CMRR: 120 dB (最小值, 25 $^{\circ}\text{C}$)
- PSRR: 120 dB (最小值, 全温度范围)
- A_{VOL} : 120 dB (最小值, 全温度范围)
- 供电电流: 每路放大器 1 mA
- 增益带宽积: 3 MHz, 单位增益稳定
- 单/双电源供电: $\pm 2.25 \text{ V}$ 至 $\pm 18 \text{ V}$, 4.5 V 至 36 V
- 额定工作温度范围: -40 $^{\circ}\text{C}$ 至 +125 $^{\circ}\text{C}$

应用

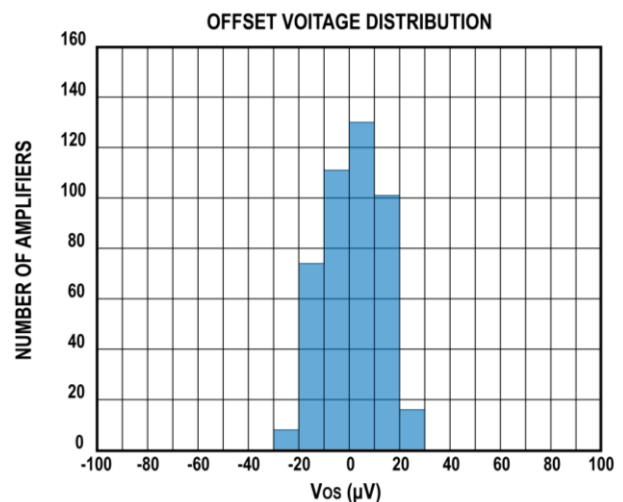
- 精密数据采集
- 仪器仪表
- 传感器信号调理
- 工业控制
- 通信系统
- 智能电网

典型应用图

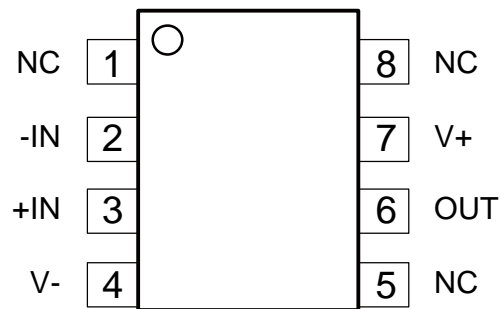


典型特性

25 $^{\circ}\text{C}$ 失调电压分布, SOIC-8 封装



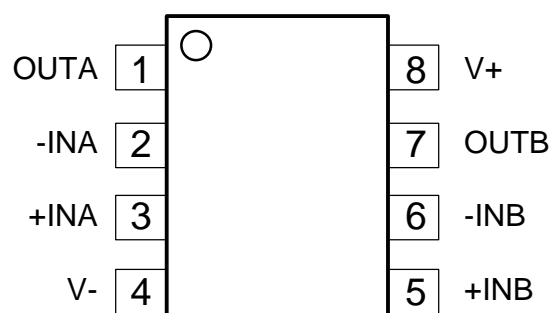
引脚配置与功能



OPA277 引脚配置 (俯视图)

SOIC-8 封装和 MSOP-8 封装

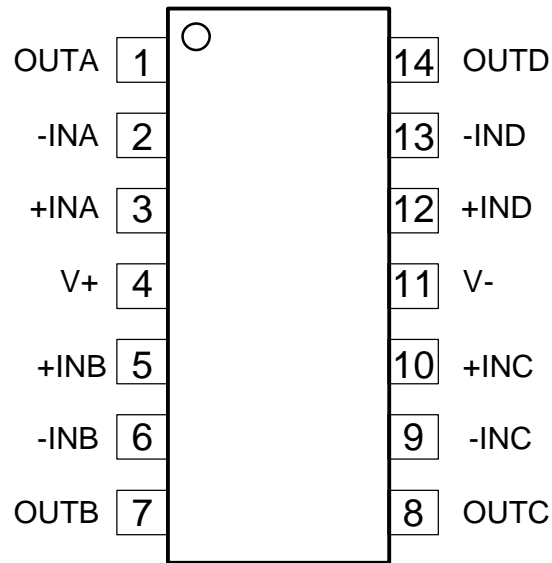
引脚名称	引脚编号	I/O	功能描述
NC	1, 5, 8	--	无内部电路连接
-IN	2	I	反向输入
+IN	3	I	同相输入
V-	4	--	负电源
OUT	6	O	输出
V+	7	--	正电源



OPA277 引脚配置(俯视图)

SOIC-8 封装和 MSOP-8 封装

引脚名称	引脚编号	I/O	功能描述
OUTA	1	O	通道 A 输出
-INA	2	I	通道 A 反向输入
+INA	3	I	通道 A 同相输入
V-	4	--	负电源
+INB	5	I	通道 B 同相输入
-INB	6	I	通道 B 反向输入
OUTB	7	O	通道 B 输出
V+	8	--	正电源



OPA4177ARZ 引脚配置 (俯视图)

SOIC-14 封装和 TSSOP-14 封装

引脚名称	引脚编号	I/O	功能描述
OUTA	1	O	通道 A 输出
-INA	2	I	通道 A 反向输入
+INA	3	I	通道 A 同相输入
V+	4	--	正电源
+INB	5	I	通道 B 同相输入
-INB	6	I	通道 B 反向输入
OUTB	7	O	通道 B 输出
OUTC	8	O	通道 C 输出
-INC	9	I	通道 C 反向输入
+INC	10	I	通道 C 同相输入
V-	11	--	负电源
+IND	12	I	通道 D 同相输入
-IND	13	I	通道 D 反向输入
OUTD	14	O	通道 D 输出

绝对最大额定值¹

参数	额定值
电源电压	40 V
输入电压	$\pm V_{SY}$
输入电流 ²	± 10 mA
差分输入电压	$(+V_{SY}) - (-V_{SY})$
对地输出短路持续时间 ³	无限制
工作温度范围	-40 °C 至 +125 °C
存储温度范围	-65 °C 至 +150 °C
结温范围	-65 °C 至 +150 °C
最大回流焊接温度 ⁴	260 °C
引脚温度, 焊接 (10 秒)	300 °C
静电放电 (ESD)	
人体模型 (HBM) ⁵	1.5 kV
充电器件模型 (CDM) ⁶	1 kV

热阻

封装类型	θ_{JA}	θ_{JC}	单位
SOIC-8	158	43	°C/W
SOIC-14	120	36	°C/W
MSOP-8	190	44	°C/W
TSSOP-14	240	43	°C/W

¹ 注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

² 输入引脚与电源引脚之间、以及相互之间有箝位二极管。当输入信号超过供电轨 0.3V 时, 输入电流应以 10 mA 为限。

³ 受过温自保护 (Over Temp Protection, OTP) 限定。

⁴ 符合 IPC/JEDEC J-STD-020 标准

⁵ 符合 ANSI/ESDA/JEDEC JS-001 标准

⁶ 符合 ANSI/ESDA/JEDEC JS-002 标准

技术规格

“●”表示规定温度范围下的规格，除非另有说明，其他规格的适用条件为 $V_{SY} = \pm 15.0\text{ V}$ ， $V_{CM} = 0\text{ V}$ ， $T_A = 25\text{ }^\circ\text{C}$ 。

参数	符号	测试条件/封装形式	最小值	典型值	最大值	单位
输入特性						
失调电压	V_{OS}	B 级, SOIC - 8 / SOIC - 14	●	15	35	μV
				25	65	μV
		A 级, SOIC - 8 / SOIC - 14	●	15	35	μV
				40	100	μV
		B 级, MSOP - 8 / TSSOP - 14	●	25	55	μV
	40		85	μV		
A 级, MSOP-8 / TSSOP-14	●	25	55	μV		
		70	160	μV		
失调电压漂移	TCV_{OS}	B 级, SOIC - 8 / SOIC - 14	●	0.25	0.5	$\mu\text{V}/^\circ\text{C}$
				0.5	1.0	$\mu\text{V}/^\circ\text{C}$
		B 级, MSOP - 8 / TSSOP - 14	●	0.4	0.8	$\mu\text{V}/^\circ\text{C}$
				0.7	1.5	$\mu\text{V}/^\circ\text{C}$
A 级, MSOP - 8 / TSSOP - 14	●	0.7	1.5	$\mu\text{V}/^\circ\text{C}$		
输入电流	I_B		●	5	25	pA
					5	nA
输入失调电流	I_{OS}		●		10	pA
					2	nA
输入电压范围	I_{VR}		- 15		12	V
共模抑制比	$CMRR$	$V_{CM} = -15.0\text{ V}$ 至 12 V	●	120	130	dB
				114		dB
开环电压增益	A_{VOL}	$R_L = 10\text{ k}\Omega$, $V_o = \pm 10\text{ V}$	●	126	140	dB
				120		dB
		$R_L = 2\text{ k}\Omega$, $V_o = \pm 10\text{ V}$	●	126	140	dB
				120		dB
输入电阻/电容	R_{IN}/C_{IN}	差模		1.5/5.7		$\text{G}\Omega/\text{pF}$
		共模		2.5/1.7		$\text{T}\Omega/\text{pF}$

输出特性

输出至正电源轨	V_{OH}	$R_L = 10\text{ k}\Omega$	●	50	150	mV
				75	250	mV
		$R_L = 2\text{ k}\Omega$	●	200	350	mV
				300	550	mV

参数	符号	测试条件/封装形式	最小值	典型值	最大值	单位
输出至负电源轨	V _{OL}	R _L = 10 kΩ		40	150	mV
			●	60	250	mV
		R _L = 2 kΩ		160	350	mV
			●	240	550	mV
短路电流	I _{SC}			67		mA
开环输出阻抗	Z _{OUT}	f = 1 kHz		15		Ω

电源

电源电流 (每路放大器)	I _{SY}	V _O = 0 V		1.0	1.1	mA
			●		1.2	mA
电源抑制比	PSRR	V _{SY} = ± 3 V 至 ± 18 V		126	140	dB
			●	120		dB

动态性能

压摆率	SR	R _L = 2 kΩ		2.3		V/μs
增益带宽积	GBP	R _L = 2 kΩ, G = 100, V _{IN} = 100 mV _{P-P}		3		MHz
建立时间	t _S	G = -1, 0 至 10 V 阶跃, 达 0.1 %		4.6		μs
		G = -1, 0 至 10 V 阶跃, 达 0.01 %		8.8		μs
过载恢复时间	t _{OR}	R _L = 10 kΩ, G = -10, V _{IN} = ± 2 V 阶跃		330		ns
总谐波失真+噪声	THD+N	R _L = 2 kΩ, G = 1, f = 1 kHz, V _O = 3.5 V _{rms}		-124		dB
相位裕量	PM	R _L = 2 kΩ, G = 1, V _{IN} = 100 mV _{P-P}		55		°
多路放大器通道隔离度	C _S	R _L = 10 kΩ, f = 1 kHz		150		dB

噪声性能

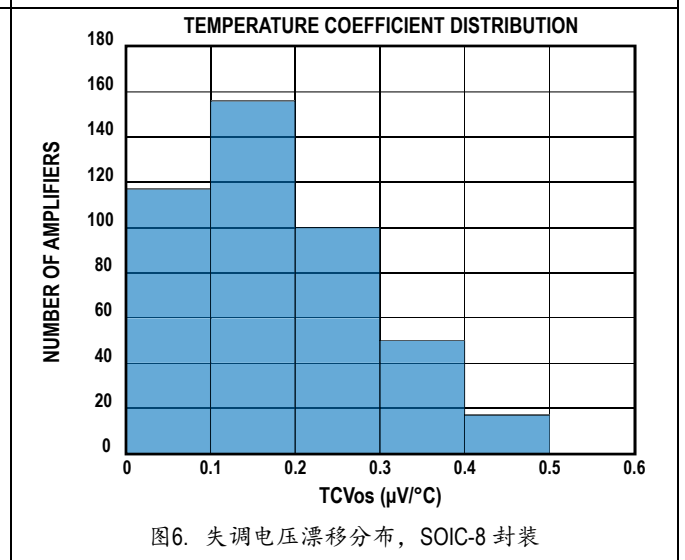
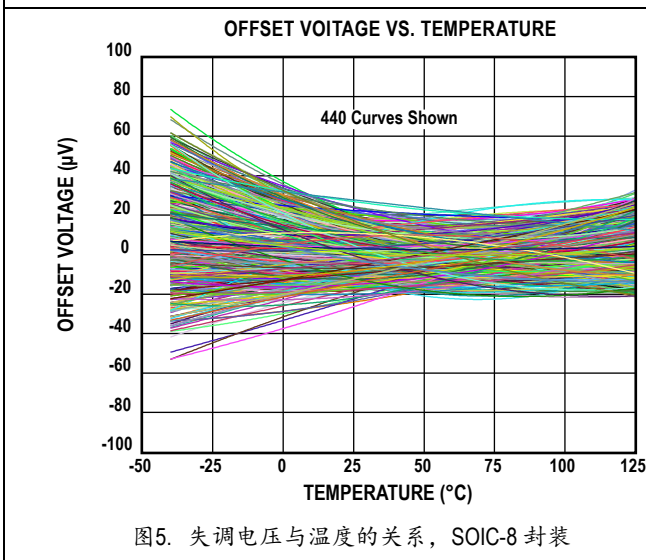
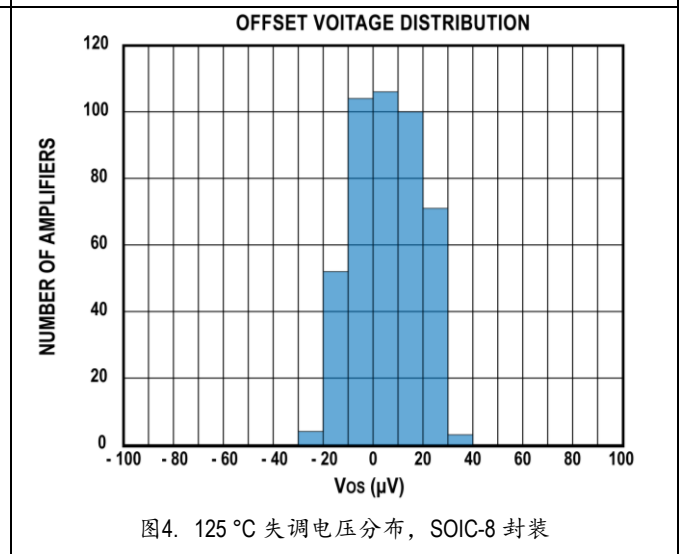
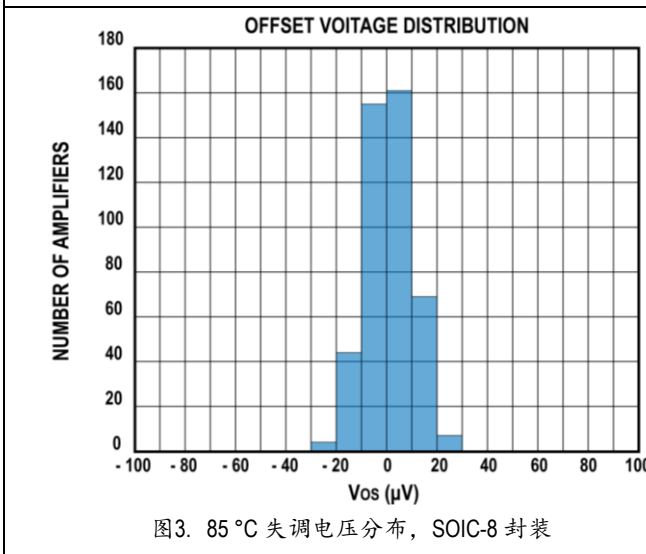
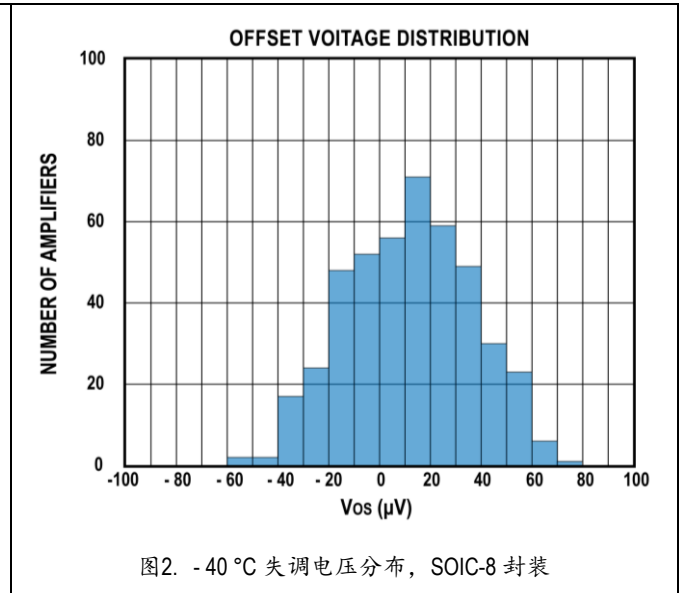
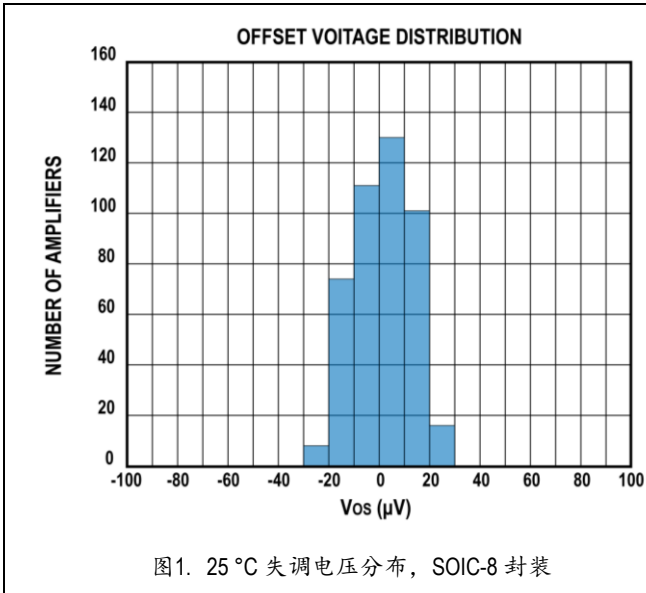
电压噪声	e _{n,P-P}	0.1 Hz 至 10 Hz		2		μV _{P-P}
电压噪声密度	e _n	f = 1 kHz		11		nV/√Hz
电流噪声密度	i _n	f = 1 kHz		2		fA/√Hz

过温保护

激活温度	T _{IN}			150		°C
退出温度	T _{EXIT}			130		°C
温度范围		规定温度范围		- 40	125	°C

典型特性

除非另有说明, $V_{SY} = \pm 15.0\text{ V}$, $V_{CM} = 0\text{ V}$, $T_A = 25\text{ }^\circ\text{C}$ 。



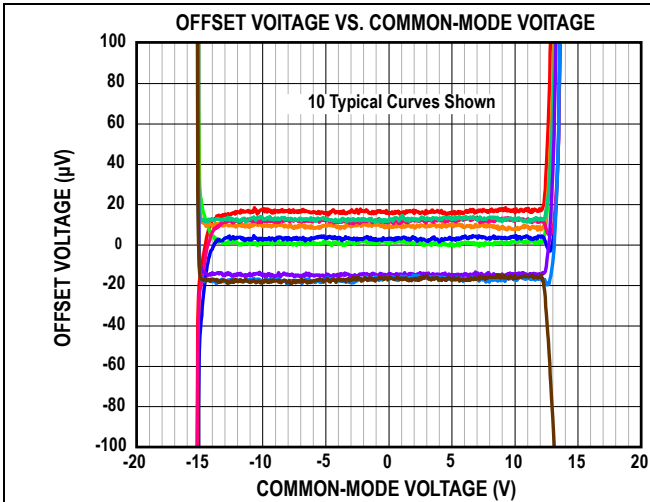


图7. 失调电压与输入共模电压的关系

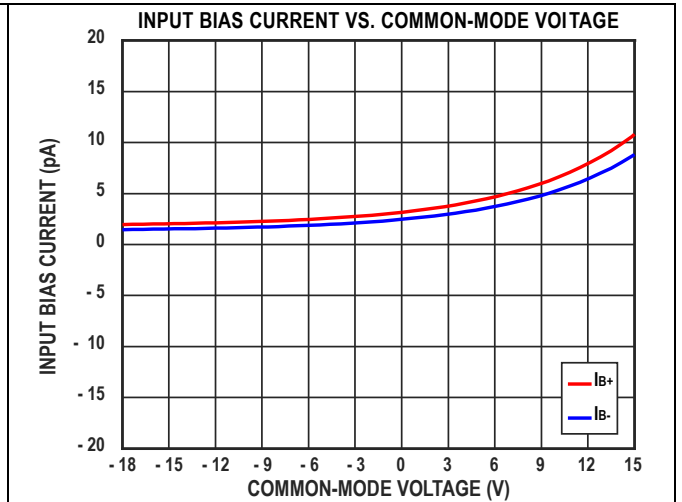


图8. 输入电流与输入共模电压的关系 ($V_{SY}=\pm 18V$)

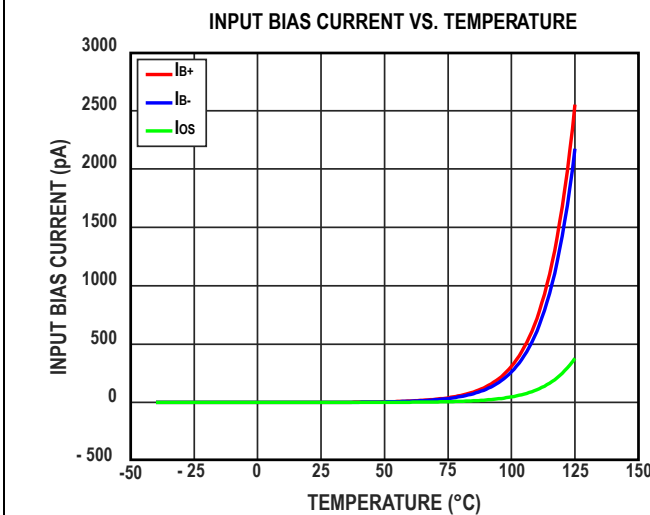


图9. 输入电流与温度的关系

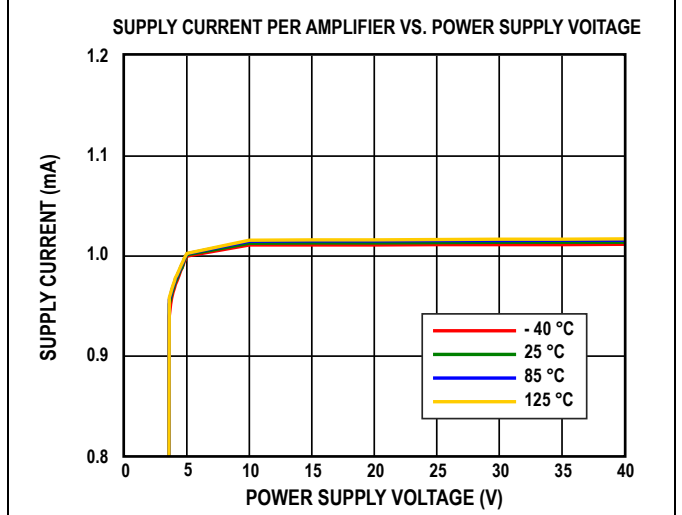


图10. 每个放大器的电源电流与电源电压的关系

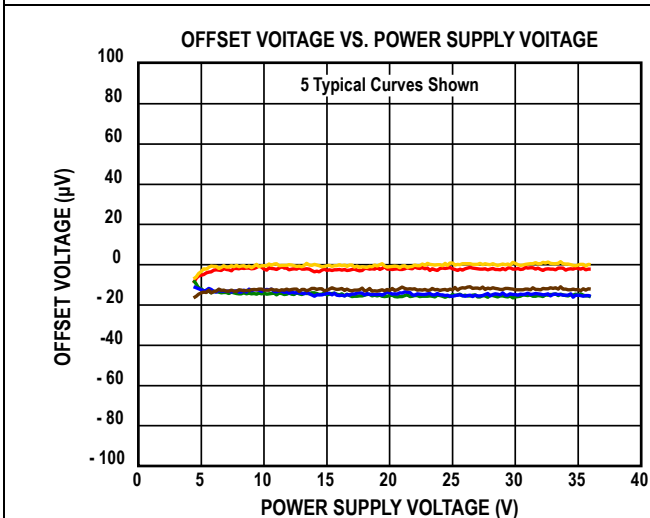


图11. 失调电压与电源电压的关系

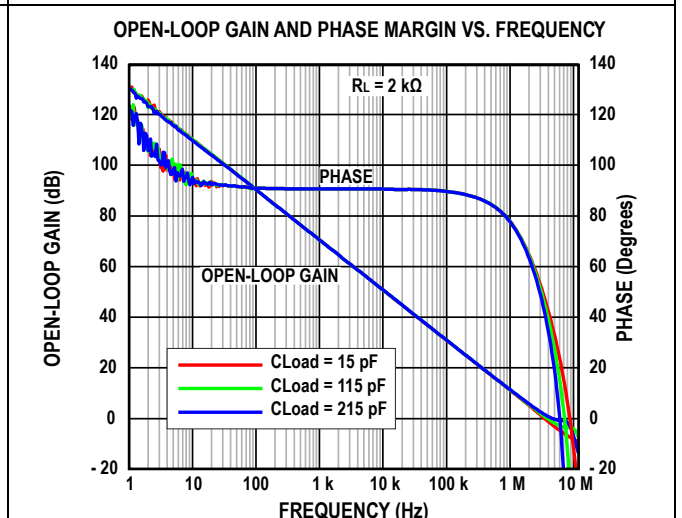
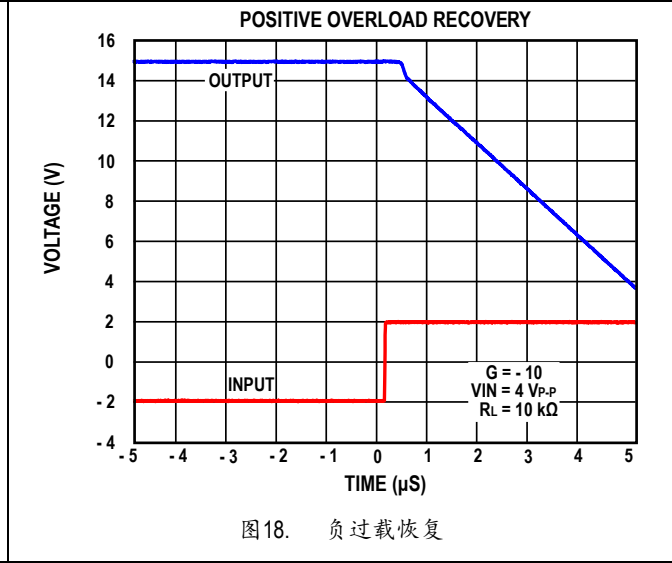
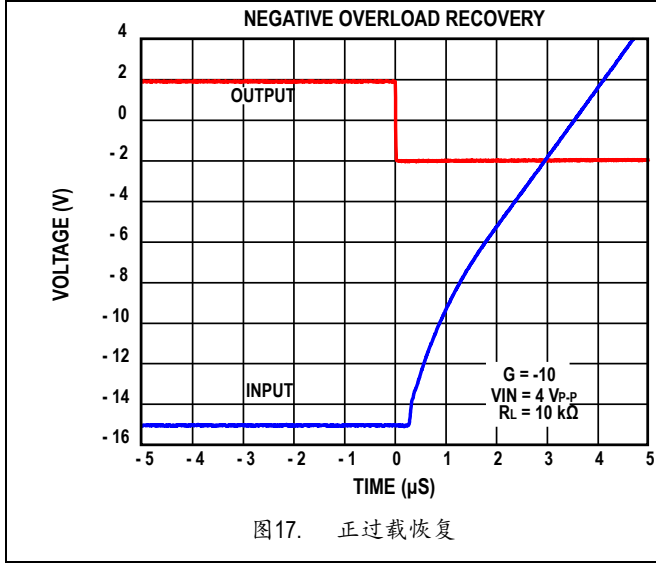
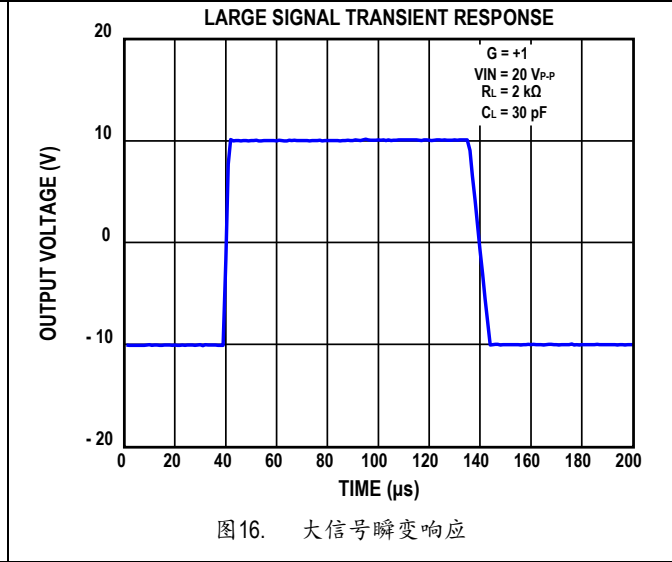
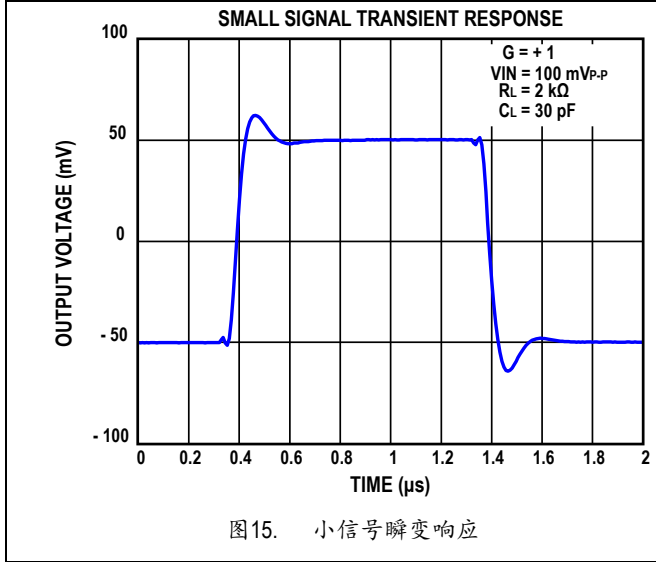
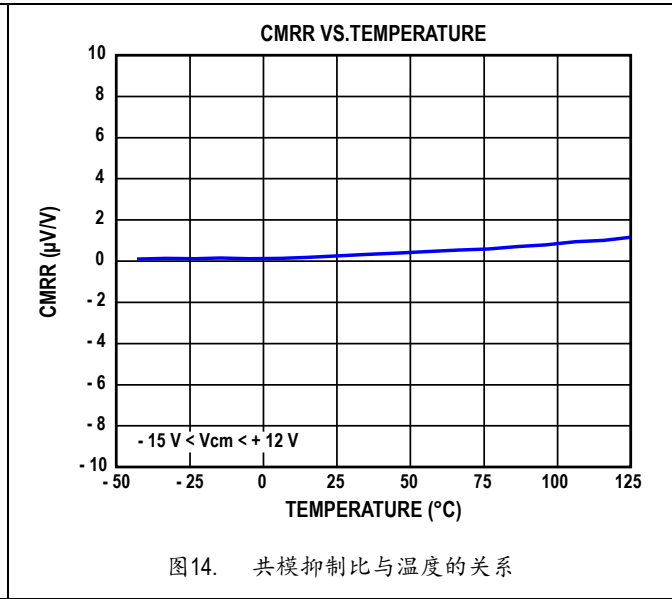
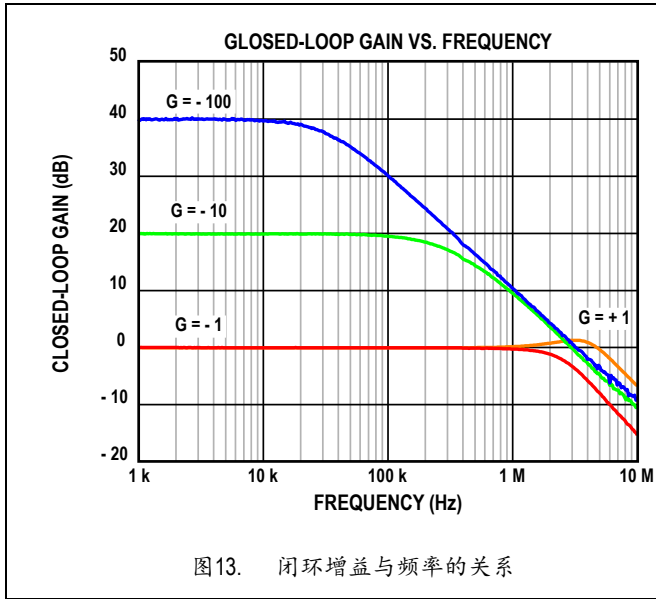


图12. 开环增益和相位与频率的关系



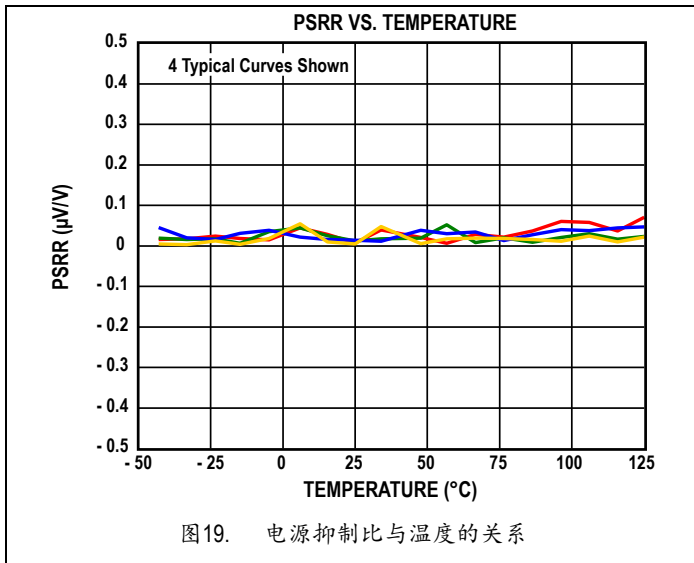


图19. 电源抑制比与温度的关系

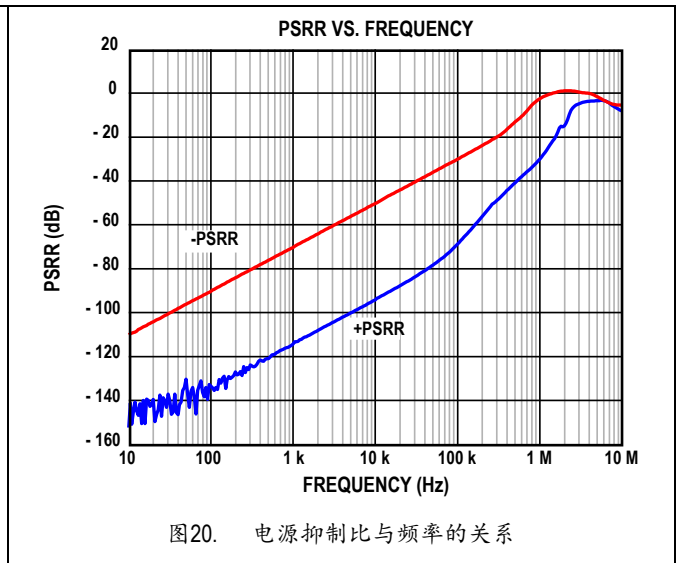


图20. 电源抑制比与频率的关系

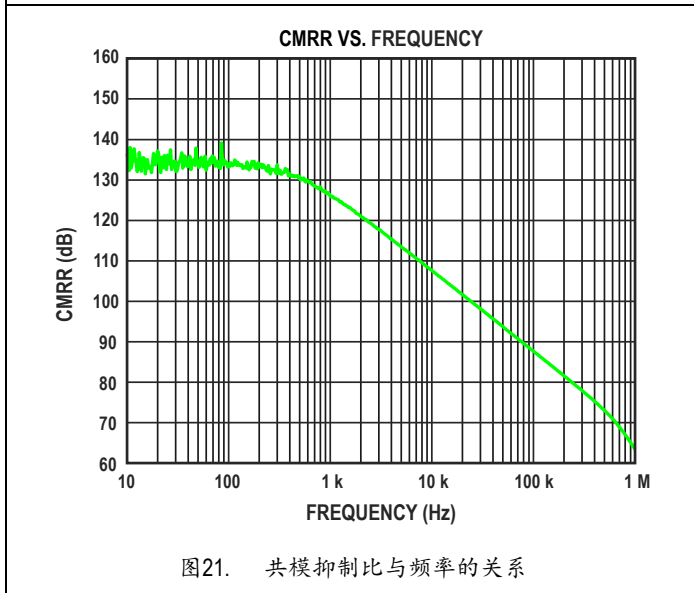


图21. 共模抑制比与频率的关系

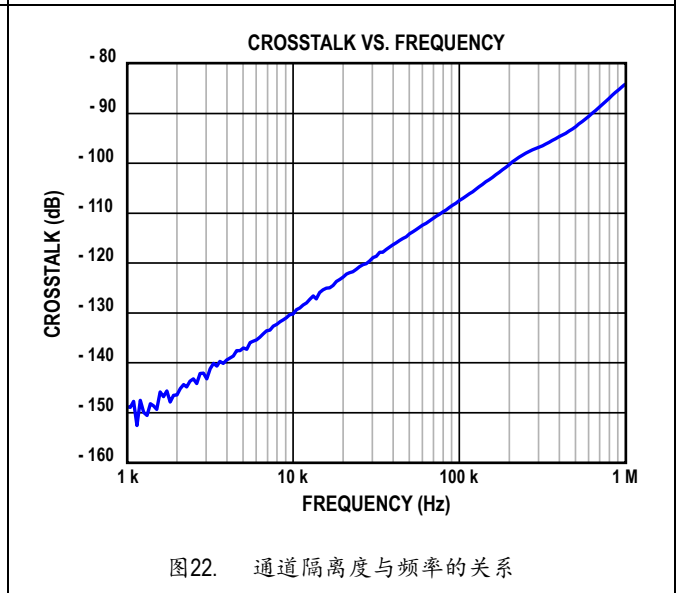


图22. 通道隔离度与频率的关系

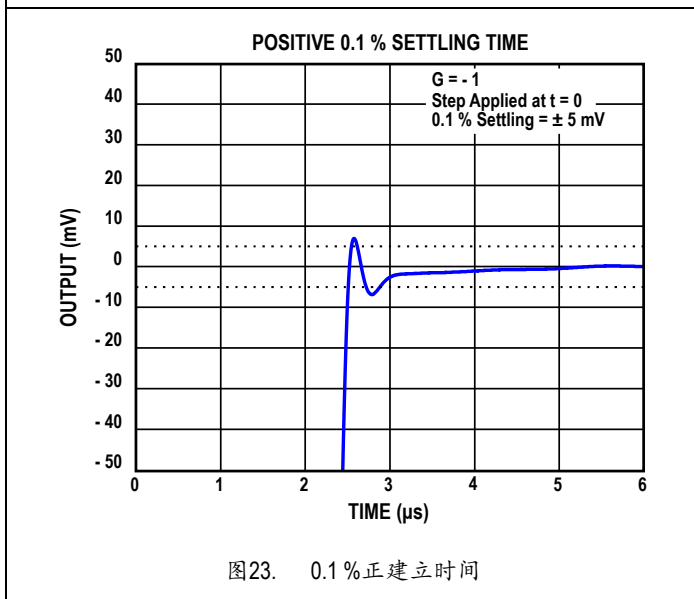


图23. 0.1%正建立时间

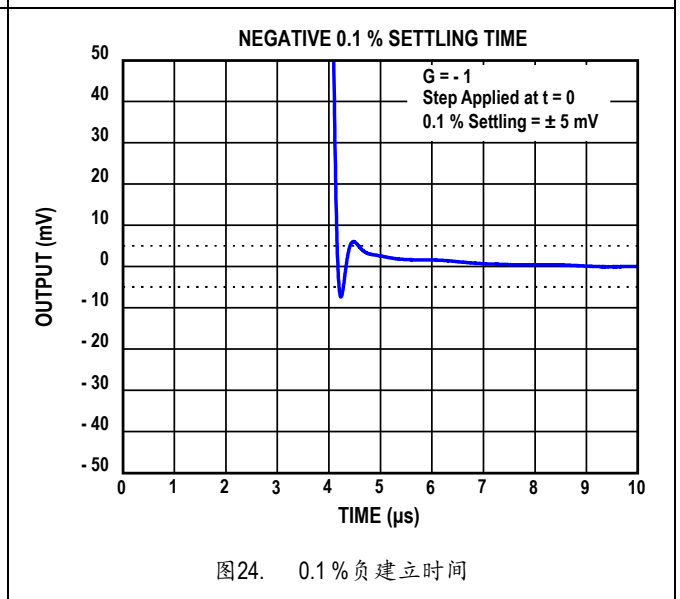


图24. 0.1%负建立时间

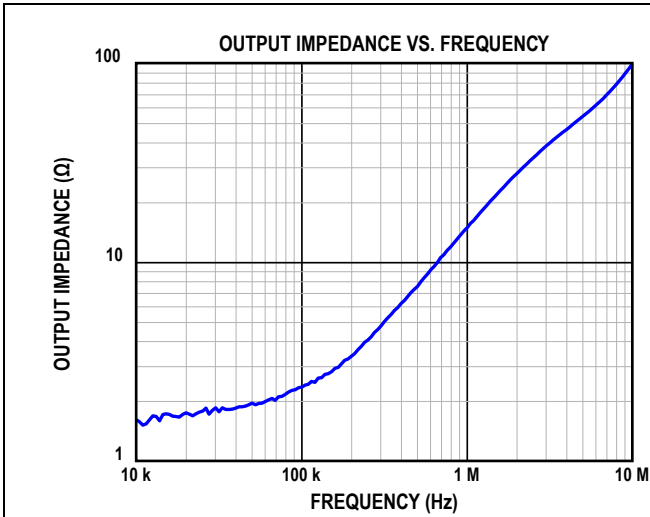


图25. 开环输出阻抗与频率的关系

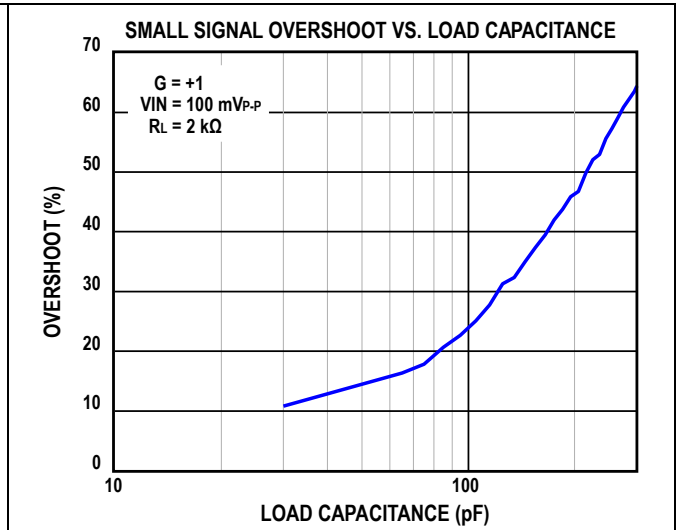


图26. 小信号过冲与负载电容的关系

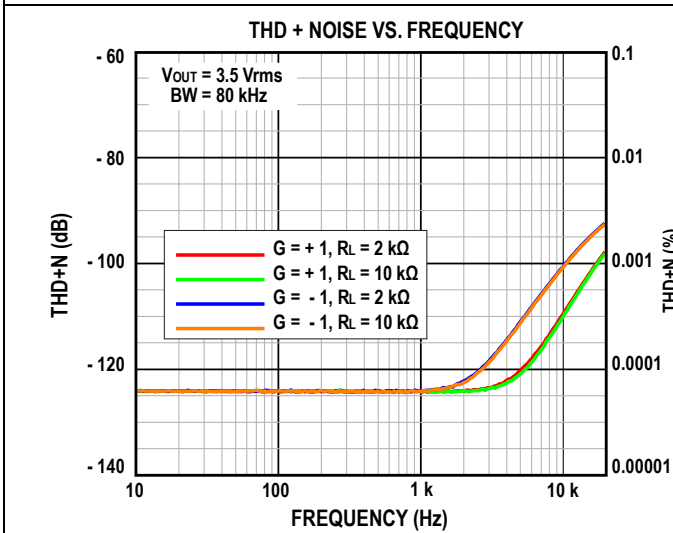


图27. THD + N 与频率的关系

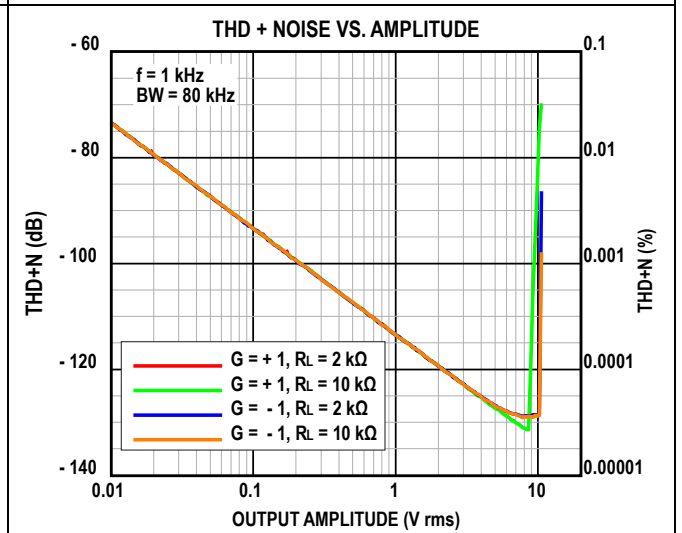


图28. THD + N 与幅度的关系

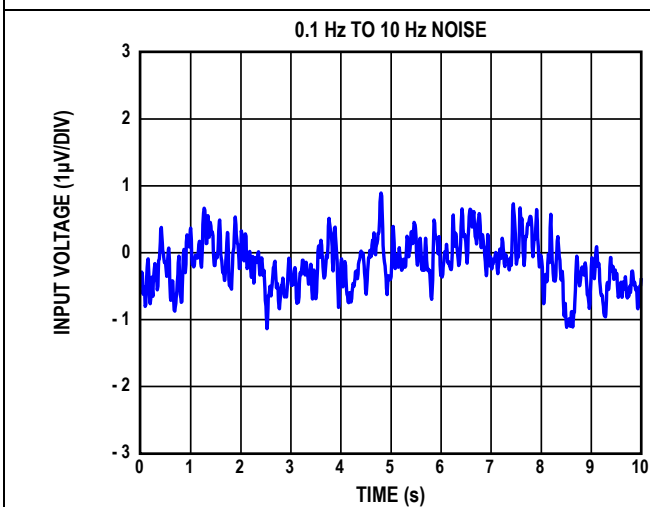


图29. 0.1 Hz 至 10 Hz 噪声

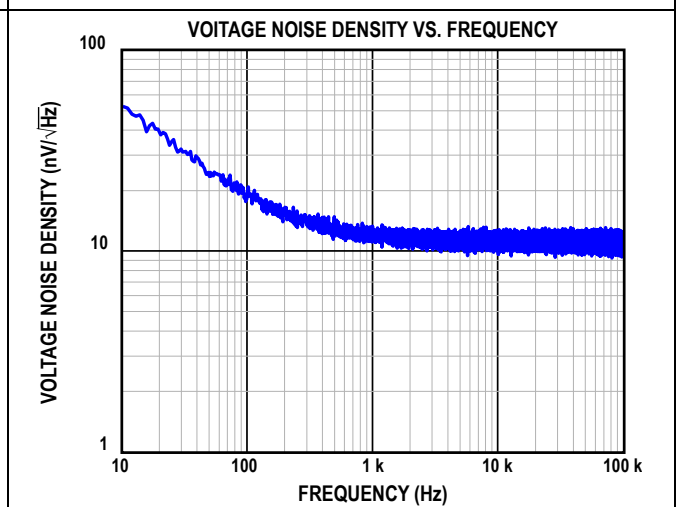


图30. 电压噪声密度与频率的关系

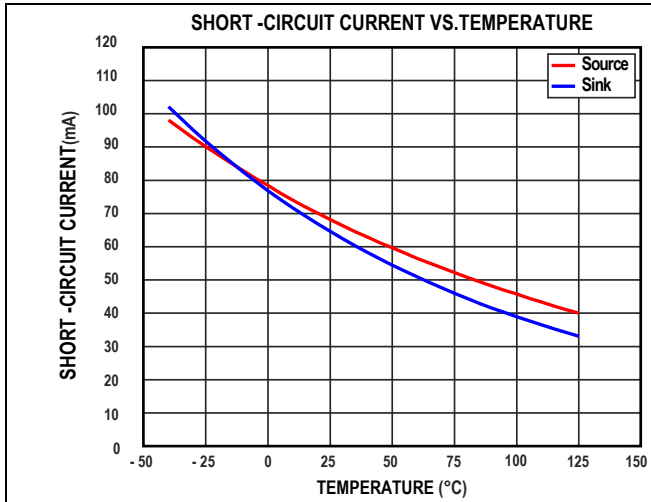


图31. 短路电流与温度的关系

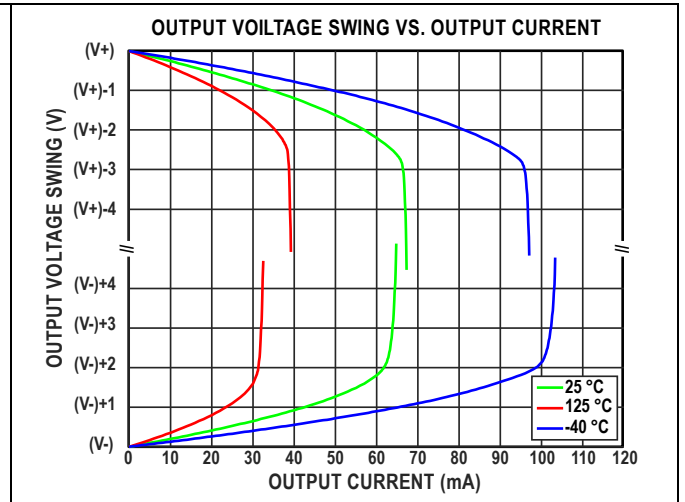


图32. 输出电压摆幅与输出电流的关系

工作原理

封装后校准技术

OPAXXX 精密运算放大器依靠精心设计的 MOS 输入级，在保持极低输入电流 (25 °C, 最大 25 pA) 的同时，在芯片经过塑封成型后，对它的失调电压及其漂移参数进行精细微调 (如图 33 所示)。

不同于依靠晶圆测试阶段激光微调技术 (Laser Trim) 的传统精密运放，这种在封装后的精密微调方法，不但可以最大程度地校正晶圆制造时的固有工艺失配，同时能够降低塑封成型过程中额外产生的各种偏差，使得 OPAXXX 最终能够拥有极低的失调电压 (25 °C, 最大 35 μ V) 和极低的失调电压漂移 (额定温度范围, 最大 0.5 μ V/°C, SOIC-8 封装)。另外，OPAXXX 能够在宽电源电压下 (4.5 V 至 36 V) 始终保持极高的精度性能。所有这些都使得 OPAXXX 完全适用于高阻抗传感器、精密滤波器 and 高压高精度的数据采集等应用场景。

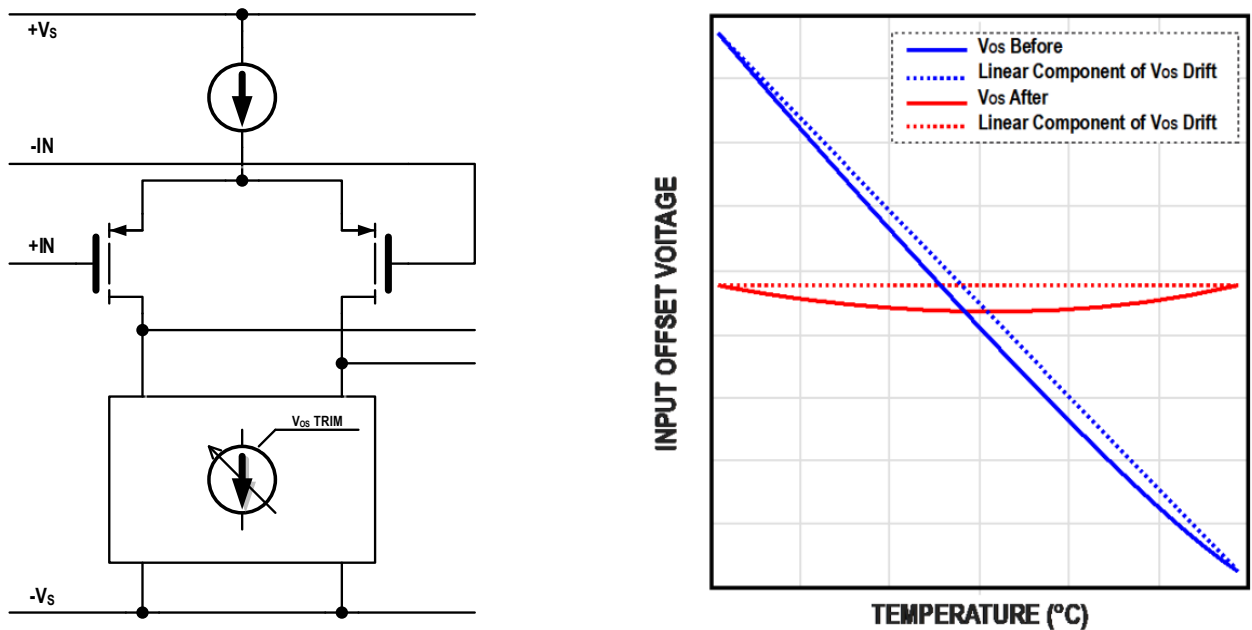


图33. 封装后微调技术原理图 (左) 及失调电压微调效果图 (右)

应用信息

源阻抗、输入电流与输出噪声及系统失配电压的关系

如图 34 所示,不同的源阻抗下,经典的双极型输入级放大器#1、#2 和 OPAXXXX 在 1 kHz 频率点的输出噪声密度。由于双极型放大器有较大的输入电流,使得其具有较大的输入电流噪声,伴随着源阻抗超过 100 kΩ 后,会导致系统噪声迅速增加。相反的,由于 OPAXXX 输入电流极小,其输入噪声电流极低,其对系统的噪声贡献可以忽略不计,在源阻抗超过 10 kΩ 后,系统噪声主要由源阻抗贡献,在图中表现为一条直线,与表示源阻抗噪声的黑线重叠。类似的,当源阻抗较大时,放大器输入电流、输入失配电流及其温漂也会产生显著的系统失配电压及温漂,此种情形在双极型输入放大器、零漂放大器、斩波放大器中屡见不鲜。而 OPAXXXX 凭借优异的低输入电流可以充分保证极低的系统失配电压和温漂。

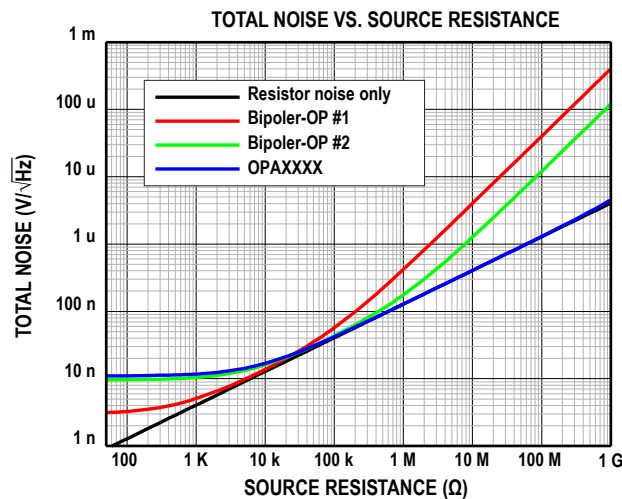


图34. 放大器与不同输出阻抗信号源连接的系统输入噪声图

输入共模电压范围

对于传统的双极型放大器,输入共模输入电压需要离双边电源轨保留 1 V 至 2 V 的余量来保证正常工作,因此,它们通常都使用双电源供电,以实现输入共模输入电压等于 0 V 的信号放大应用。

如图 7 所示, OPAXXXX 提供低至负电源轨的输入共模电压范围,这种特点使得器件即使在单电源供电时,也可以接受低至电源地 (0 V) 的输入共模电压,配合最低 4.5 V,最高 36 V 的工作电压范围,以及轨到轨输出的能力, OPAXXXX 可以灵活的与单、双电源供电的电路设计匹配,满足更大范围的应用需求。

线性度

如图 27 和图 28 所示, OPAXXX 依靠内部专有的线性度优化设计,配合超高的开环增益、出色的频率响应以及极低的噪声性能,使得其在整个音频范围和输出幅度范围内,均表现出出色的 THD+N 性能 (-130 dB, 最低)。

输出相位反转

当输入电压超出最大输入共模电压范围时,许多运算放大器都会表现出输出相位反转 (Phase Reversal)。在某些情况下,输出相位反转会使放大器进入门锁状态,进而造成永久性损坏;特别的,在反馈环路中使用时,输出相位反转会影响稳定性、使得发生门锁甚至器件损坏、最终导致系统性故障。如图 35 所示, OPAXXXX 消除了输出相位反转的问题,即使输入电压超过电源电压也不会出现反相。

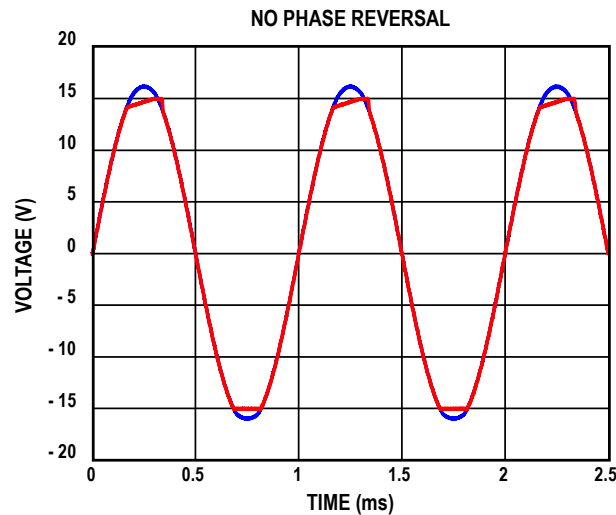


图35. OPA192 没有输出相位反转的现象

OPAXXX 的过载恢复

对于许多零漂放大器，自归零放大器或斩波放大器而言，由于内部归零环路在输出饱和后的复杂行为，它们的过载恢复时间很长，从而导致极长的 0.1% 稳定时间，这对于及时性要求较高的系统是不可接受的过程，比如存在多路开关切换或继电器保护的工作环境。OPAXXX，是连续型放大器与零漂放大器相比，OPAXXX 的恢复时间更短，小于 7 μs ，如下表是所示。

型号	正向输入过载恢复 (μs)	反向输入过载恢复 (μs)
OPAXXX	3.5	6.5
竞争芯片 A	12.3	18

过温保护

由于 OPAXXX 的供电电压最高可达 36 V，结合高达 67 mA 的短路电流，因此在使用过程中，芯片最高可以达到 2~3 W 的功耗。同时，由于各种封装形式的热阻都高于 100 $^{\circ}\text{C}/\text{W}$ ，在实际使用中此类芯片比较容易发生自加热引起的高温永久性损伤。所以，OPAXXX 内部加入了自动过温保护功能 (Over-Temp Protection, OTP)：当芯片的温度高于 150 $^{\circ}\text{C}$ 时，OTP 就会启动，芯片进入关断模式，输入和输出端呈现高阻状态，功耗降低将使得芯片温度下降；当芯片温度低于 130 $^{\circ}\text{C}$ 时，才会退出 OTP，芯片重新进入正常工作状态。

为输入电流提供直流回路

如图 36 所示，通过将电容 (C_{IN}) 串接在运算放大器的同相输入端 (+) 与实际输入端 (V_{IN}) 之间，来实现简单的交流耦合，以便隔离输入电压中的直流电压分量。这种耦合方式在高增益应用中尤其常见：在增益较高时，即使放大器输入端只有一个较小的直流电压分量，也会影响运放可用的输出动态范围，甚至可能导致输出饱和。但是，对于这种位于高阻抗输入端的交流耦合方式而言，如果不为正输入端的输入电流提供适当的直流泄放路径，则会带来严重的偏置问题：实际上，输入电流会给耦合电容缓慢充电 (放电)，根据输入电流的极性，电容充电至正电源电压，或者放电至负电源电压，这个偏置电压同时会被放大器的闭环直流增益放大，直至放大器的输入电压超过其额定的输入电压范围或是放大后的输出电压超过其额定的输出电压范围，而这一过程可能需要较长时间。例如，对于一个由场效应晶体管 (FET) 构成输入级的运算放大器，若其输入电流为 1 pA，通过一个 0.1 μF

的电容进行耦合，则电容上电压的漂移速率为：

$$10 \text{ pA} / 0.1 \text{ } \mu\text{F} = 10 \mu\text{V} / \text{s} = 0.6 \text{ mV} / \text{min} = 36 \text{ mV} / \text{h}$$

当闭环电路直流增益为 100 时，则输出电压的漂移速率为 3.6 V/h，由此可知实际电路要在数小时后会表现出明显故障，而采用交流耦合示波器做短时间的测试可能无法发现这一问题。

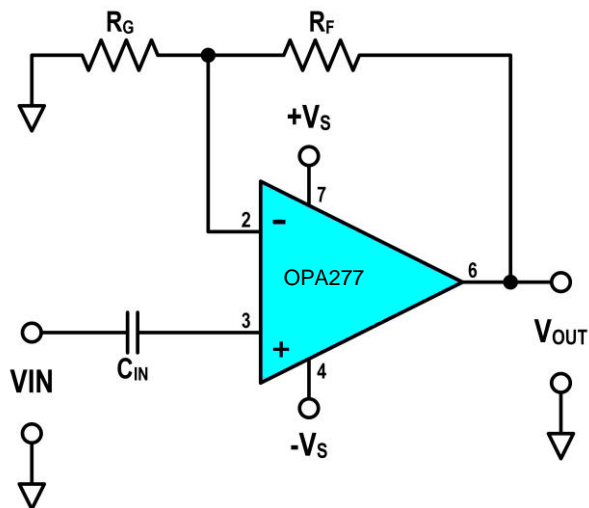


图36. 错误的交流耦合运算放大器电路

如图 37 所示是一种简单的解决方法，将电阻 (R_{IN}) 连接在运算放大器的输入端与地之间，从而为输入电流提供了一个直流泄放路径。不同于 FET 输入的运算放大器，传统的双极型运算放大器为尽可能减小输入电流导致的输入失调电压，考虑到运放两个输入端之间的匹配问题，还需将 R_{IN} 设为 R_G 和 R_F 的并联值。由于此电阻会给整体电路带来额外噪声，根据实际需要，在输入阻抗、输入高通截止频率、输入失调电压等非理想因素间进行权衡，以最终确定输入耦合电容与此电阻的取值大小。典型的电阻值一般在 100 k Ω 至 1 M Ω 之间。

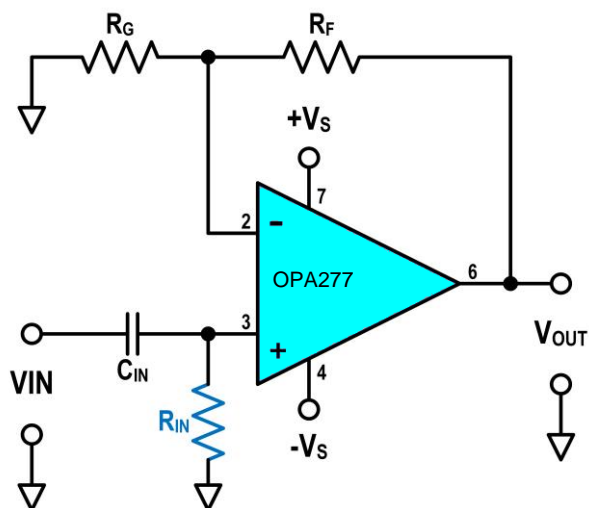


图37. 一种消除输入电压漂移问题的交流耦合运算放大器电路

OPAXXX 的应用实例

带通 KRC 滤波器

OPAXXX 系列放大器特别适合用于精密滤波器的电路设计中，如典型的 KRC 滤波器，如图 38 所示。凭借其出色的低失调和高 CMRR 性能，使用 OPAXXX 的精密滤波器可以在很大的输入范围内保证稳定性能的同时，即使在较大增益下，也有足够的输出动态范围。另一方面，由于 OPA2192 /OP4177 超高的通道间隔离度，即使使用同一颗 OPA2192 中的双通道放大器也能实现优异的滤波器设计，而不用担心通道间串扰导致的性能下降。

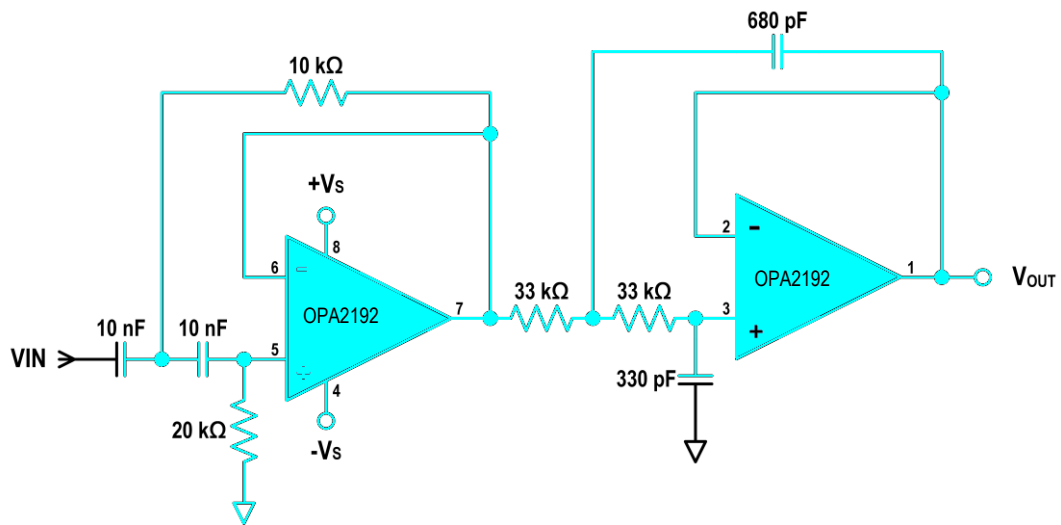


图38. 使用 OPA2192 实现 2 级带通 KRC 滤波器

PCB 布局准则

为了获得器件的最佳工作性能，建议使用良好的 PCB 布局习惯，包括：

- 噪声可能通过运放电源引脚传导到模拟电路中，将低 ESR 的 $0.1\ \mu\text{F}$ 贴片陶瓷电容连接在每个电源引脚和地之间，并尽可能靠近电源引脚，可以有效降低电源带来的耦合噪声。
- 输入走线是电路中最敏感的部分，所以输入走线的长度应尽可能短。为了减少寄生耦合的噪声，输入信号的走线尽可能远离电源或输出走线。如果实在绕不开，则敏感走线应垂直穿过其他走线，使得通过寄生电容耦合的噪声尽量小。
- 如果源阻抗很高，需要考虑对关键走线设计同电位的裸露的低阻抗保护环 (或者有源屏蔽)。保护环可以显著降低附近处于不同电位的走线的泄漏电流。
- 将外围器件尽可能的靠近运放管脚放置，比如将 R_F 、 C_F 和 R_G 尽量靠近反相输入端，也可将反相输入下方的 PCB 地层净空，以使寄生电容降至最低。
- 为获得最佳漏电性能，建议焊接之后对 PCBA 进行清洁，并在 $85\ ^\circ\text{C}$ 温度下烘烤 30 分钟以去除所有塑封器件封装中潜在的水分。
- 另外，电路中的模拟和数字部分单独接地是最简单有效的噪声抑制方法之一。在 PCB 设计的时候，对模拟和数字部分电路的地电流回流路径进行布局上的规划，使得两部分电路的地电流回流路径互不干扰，直到电源退耦电容处汇合。而将多层 PCB 上的一层或多层用于接地层，亦有助于降低接地阻抗从而减少电磁干扰噪声。

PCB 设计示例

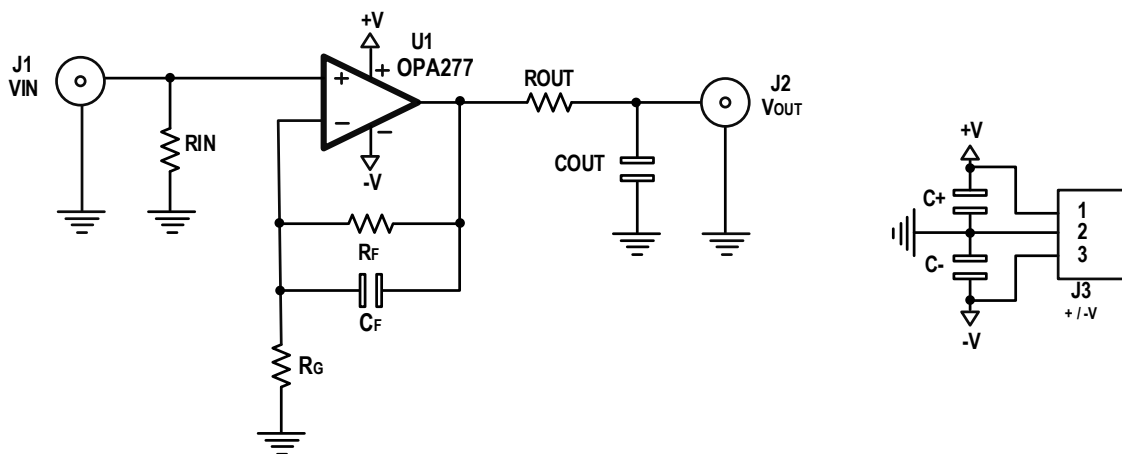


图39. 同相配置的运算放大器原理图

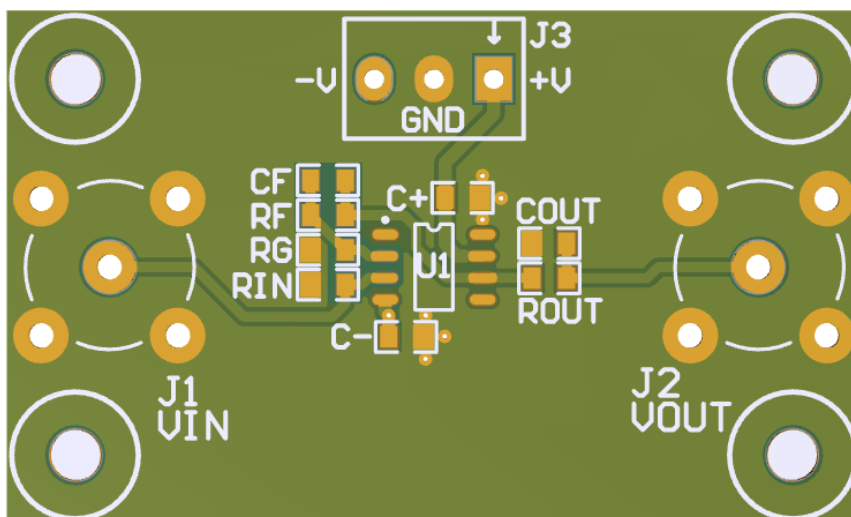


图40. 同相配置的运算放大器 PCB 布局 (丝印层)

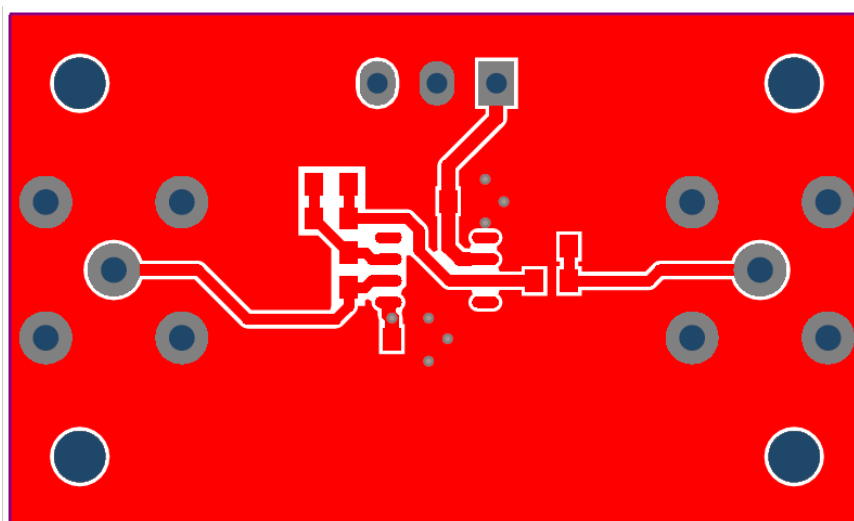


图41. 同相配置的运算放大器 PCB 顶层设计

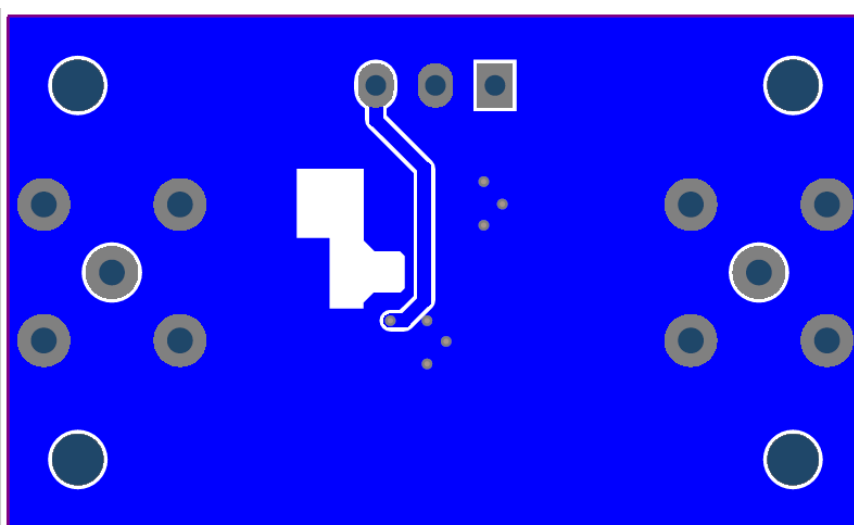


图42. 同相配置的运算放大器 PCB 底层设计

封装信息

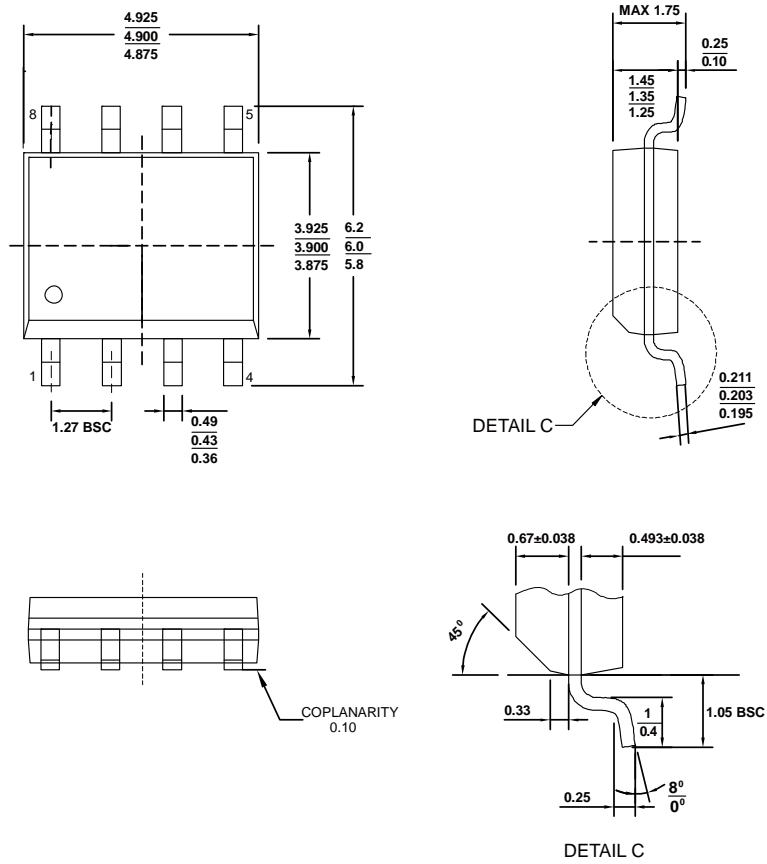


图43. SOIC-8 封装尺寸图 (单位: 毫米)

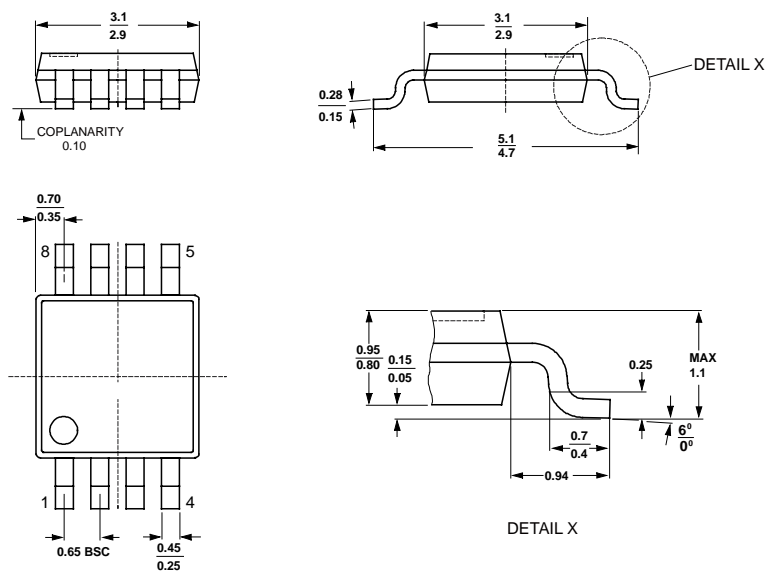


图44. MSOP-8 封装尺寸图 (单位: 毫米)

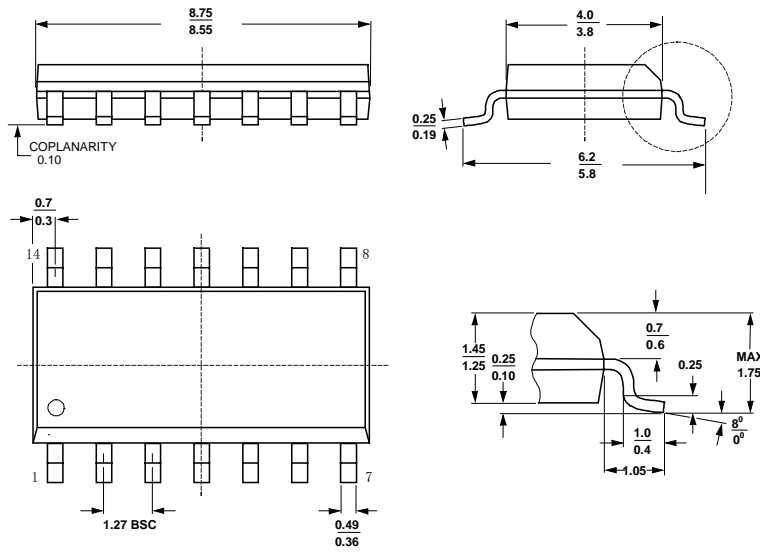


图45. SOIC-14 封装尺寸图 (单位: 毫米)

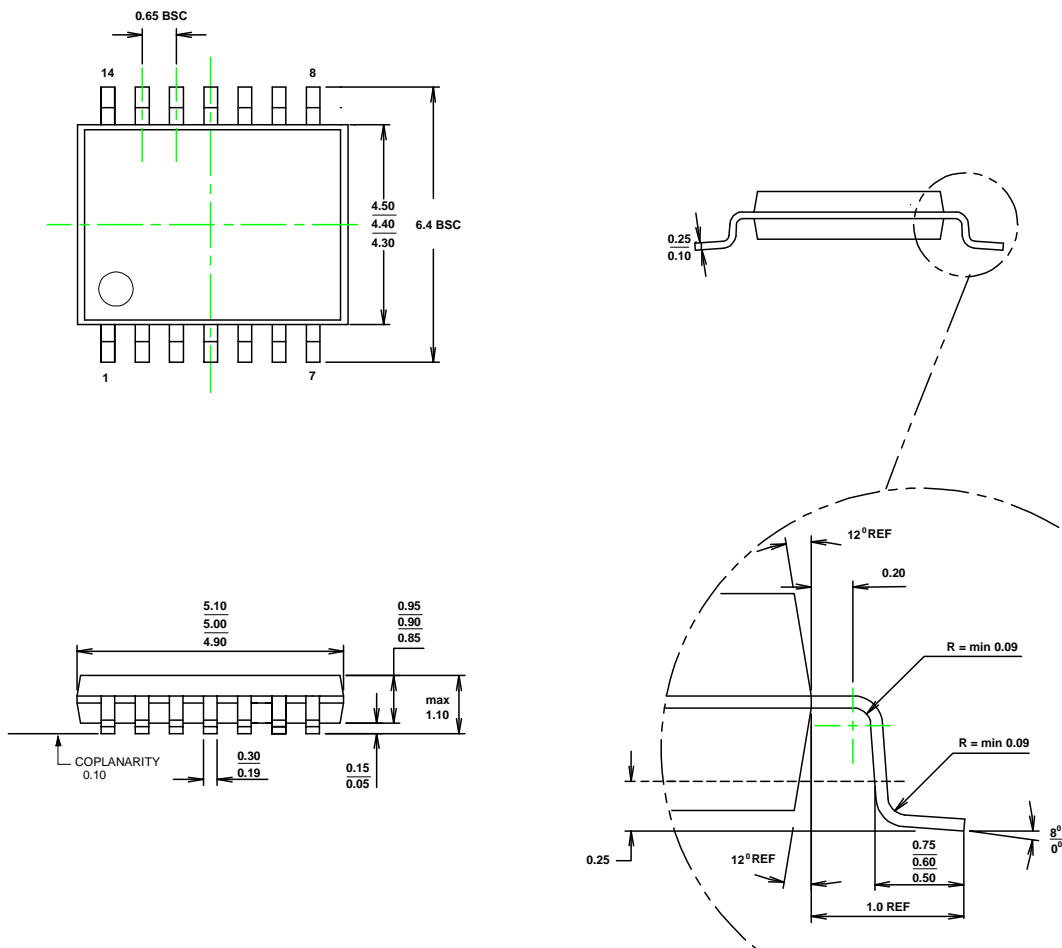


图46. TSSOP-14 封装尺寸图 (单位: 毫米)

采购信息

型号	封装	订货型号	最大失调电压 Vos 及其温漂 TCvos	规定温度范围	外包装
OPA277	SOIC-8	OPA277ADR	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-8	OPA277BDR	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	SOIC-8	OPA277CDR	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-8	OPA277UA2/K5	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	MSOP-8	OPA277AR	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	MSOP-8	OPA277BR	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	MSOP-8	OPA277CR	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	MSOP-8	OPA277DR	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
OPA2192	SOIC-8	OPA2192ADR	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-8	OPA2192BDR	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	SOIC-8	OPA2192CDR	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-8	OPA2192IDR	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	MSOP-8	OPA2192AR	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	MSOP-8	OPA2192BR	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	MSOP-8	OPA2192CR	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	MSOP-8	OPA2192DR	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
OP4177	SOIC-14	OP4177ARB	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-14	OP4177ARC	35 μ V & 0.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	SOIC-14	OP4177ARD	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	SOIC-14	OP4177ARZ	35 μ V & 1.0 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	TSSOP-14	OP4177AR	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	TSSOP-14	OP4177AB	55 μ V & 0.8 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘
	TSSOP-14	OP4177AC	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	管装
	TSSOP-14	OP4177AD	55 μ V & 1.5 μ V/ $^{\circ}$ C	-40 $^{\circ}$ C 至 125 $^{\circ}$ C	13"卷盘