



AD7989-1/AD7989-5

产品特性

低功耗

AD7989-1

400 μ W(100 kSPS, 仅VDD)

700 μ W(100 kSPS, 总功耗)

AD7989-5

2 mW(500 kSPS, 仅VDD)

3.5 mW(500 kSPS, 总功耗)

18位分辨率、无失码

吞吐速率: 100 kSPS (AD7989-1)/500 kSPS (AD7989-5)

积分非线性(INL): 典型值 ± 1 LSB, 最大值2 LSB

信噪比(SNR): 98 dB(1 kHz, $V_{REF} = 5$ V)

信纳比(SINAD): 97 dB(1 kHz)

总谐波失真(THD): -120 dB(10 kHz)

动态范围: 99 dB, $V_{REF} = 5$ V

真差分模拟输入范围: $\pm V_{REF}$

0 V至 V_{REF} (V_{REF} 在2.4 V至5.1 V之间)

可使用任一输入范围

可采用ADA4941-1轻松驱动

无流水线延迟

采用2.5 V单电源供电, 提供1.8 V/2.5 V/3 V/5 V逻辑接口

SPI/QSPI™/MICROWIRE™/DSP兼容串行接口

能够以菊花链形式连接多个ADC

10引脚封装: MSOP和3 mm x 3 mm LFCSP

应用

电池供电设备

数据采集系统

医疗仪器

地震数据采集系统

概述

AD7989-1/AD7989-5是18位、逐次逼近型模数转换器(ADC), 采用单电源VDD供电。这些器件内置一个低功耗、高速、18位采样ADC和一个多功能串行接口端口。在CNV上升沿, AD7989-1/AD7989-5对IN+与IN-引脚之间的电压差进行采样, 这两个引脚上的电压摆幅通常在0 V至 V_{REF} 之间、相位相反。基准电压(REF)由外部提供, 并且可以独立于电源电压VDD。功耗和吞吐速率呈线性变化关系。

AD7989-1/AD7989-5兼容串行外设接口(SPI), 能够利用SDI输入将几个ADC以菊花链形式连接到一条三线式总线上。采用独立电源VIO时, 它与1.8 V、2.5 V、3 V和5 V逻辑兼容。

AD7989-1/AD7989-5采用10引脚MSOP封装或10引脚LFCSP封装, 工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。

表1. MSOP、LFCSP 14/16/18位PuISAR® ADC

位	100 kSPS	250 kSPS	400 kSPS 至500 kSPS	≥ 1000 kSPS	ADC 驱动器
18 ¹	AD7989-1 ²	AD7691 ²	AD7690 ² AD7989-5 ²	AD7982 ² AD7984 ²	ADA4941-1 ADA4841-1
16 ¹	AD7684	AD7687 ²	AD7688 ² AD7693 ²		ADA4941-1 ADA4841-1
16 ³	AD7680 AD7683 AD7988-1 ²	AD7685 ² AD7694	AD7686 ² AD7988-5 ²	AD7980 ² AD7983 ²	ADA4841-1 ADA4841-1 ADA4841-1
14 ³	AD7940	AD7942 ²	AD7946 ²		ADA4841-1

¹ 真差分。

² 引脚兼容。

³ 伪差分。

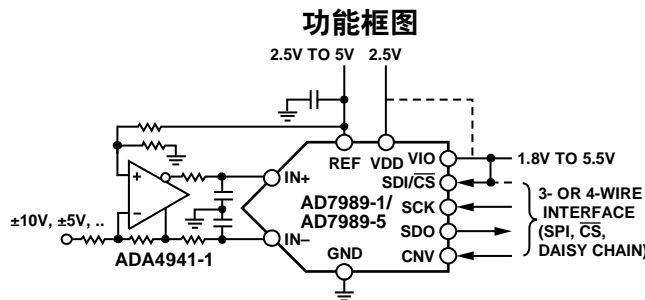


图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	模拟输入	15
应用	1	驱动放大器选择	15
概述	1	单端至差分驱动器	16
典型应用电路	1	基准电压输入	16
修订历史	2	电源	16
技术规格	3	数字接口	16
时序规格	5	CS 模式, 3线	17
绝对最大额定值	7	CS 模式, 4线	18
ESD警告	7	链模式	19
引脚配置和功能描述	8	应用信息	20
典型性能参数	9	与Blackfin® DSP接口	20
术语	12	布局布线	20
工作原理	13	评估AD7989-1/AD7989-5性能	21
电路信息	13	外形尺寸	22
转换器操作	13	订购指南	23
典型连接图	14		

修订历史

2014年1月—修订版0：初始版

技术规格

除非另有说明, $V_{DD} = 2.5\text{ V}$, $V_{IO} = 2.3\text{ V}$ 至 5.5 V , $V_{REF} = 5\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		18			位
模拟输入					
电压范围	IN+ – IN–	$-V_{REF}$		$+V_{REF}$	V
绝对输入电压	IN+, IN–	-0.1		$V_{REF} + 0.1$	V
共模输入范围	IN+, IN–	$V_{REF} \times 0.475$	$V_{REF} \times 0.5$	$V_{REF} \times 0.525$	V
模拟输入CMRR	$f_{IN} = 450\text{ kHz}$		67		dB
25°C时漏电流	采集阶段		200		nA
输入阻抗			参见模拟输入部分		
精度					
无失码		18			位
差分非线性误差	$V_{REF} = 5\text{ V}$	-0.85	± 0.5	+1.5	LSB
积分非线性误差		-2	± 1	+2	LSB
跃迁噪声			1.05		LSB ¹
增益误差(T_{MIN} 至 T_{MAX}) ²		-0.023	+0.004	+0.023	% FS
增益误差温漂			± 1		ppm/°C
零电平误差(T_{MIN} 至 T_{MAX}) ²			± 100	+700	μV
零温漂			0.5		ppm/°C
电源抑制比	$V_{DD} = 2.5\text{ V} \pm 5\%$		90		dB
吞吐速率					
AD7989-1转换速度		0		100	kSPS
AD7989-5转换速度		0		500	kSPS
瞬态响应	满量程阶跃			400	ns
交流精度					
动态范围	$V_{REF} = 5\text{ V}$	97	99		dB ³
	$V_{REF} = 2.5\text{ V}$		93		dB ³
过采样动态范围 ⁴	$f_0 = 1\text{ kSPS}$		126		dB ³
信噪比	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}, T_A = 25^\circ\text{C}$	95.5	98		dB ³
	$f_{IN} = 1\text{ kHz}, V_{REF} = 2.5\text{ V}, T_A = 25^\circ\text{C}$		92.5		dB ³
无杂散动态范围	$f_{IN} = 10\text{ kHz}$		-115		dB ³
总谐波失真 ⁵	$f_{IN} = 10\text{ kHz}$		-120		dB ³
信纳比	$f_{IN} = 1\text{ kHz}, V_{REF} = 5\text{ V}, T_A = 25^\circ\text{C}$		97		dB ³

¹ LSB表示最低有效位。 $\pm 5\text{ V}$ 输入范围时, $1\text{ LSB} = 38.15\text{ }\mu\text{V}$ 。

² 参见术语部分。这些规格包括整个温度范围内的波动, 但不包括外部基准电压源的误差贡献。

³ 除非另有说明, 所有用分贝(dB)表示的规格均参考满量程输入FSR, 并用低于满量程0.5 dB的输入信号进行测试。

⁴ 动态范围的获得方式是在吞吐速率 f_s 为500 kSPS时对ADC执行过采样, 然后使用 f_0 的输出字速率执行数字后滤波。

⁵ 生产时在 $f_{IN} = 1\text{ kHz}$ 下执行全面测试。

AD7989-1/AD7989-5

除非另有说明, $V_{DD} = 2.5\text{ V}$, $V_{IO} = 2.3\text{ V}$ 至 5.5 V , $V_{REF} = 5\text{ V}$, $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压源 电压范围 负载电流	$V_{REF} = 5\text{ V}$	2.4	250	5.1	V μA
采样动态性能 -3 dB输入带宽 孔径延迟	$V_{DD} = 2.5\text{ V}$		10 2		MHz ns
数字输入 逻辑电平 V_{IL} V_{IH} I_{IL} I_{IH}	$V_{IO} > 3\text{ V}$ $V_{IO} \leq 3\text{ V}$ $V_{IO} > 3\text{ V}$ $V_{IO} \leq 3\text{ V}$	-0.3 -0.3 $0.7 \times V_{IO}$ $0.9 \times V_{IO}$ -1 -1		$+0.3 \times V_{IO}$ $+0.1 \times V_{IO}$ $V_{IO} + 0.3$ $V_{IO} + 0.3$ +1 +1	V V V V μA μA
数字输出 数据格式 流水线延迟 V_{OL} V_{OH}	$I_{SINK} = +500\ \mu\text{A}$ $I_{SOURCE} = -500\ \mu\text{A}$		串行18位二进制补码 转换完成后转换结果立即可用		
电源 VDD VIO VIO范围 待机电流 ^{1,2} AD7989-1功耗 总计 仅VDD 仅REF 仅VIO AD7989-5功耗 总计 仅VDD 仅REF 仅VIO 每次转换的能量	额定性能 工作范围 V_{DD} 和 $V_{IO} = 2.5\text{ V}$, 25°C $V_{DD} = 2.625\text{ V}$, $V_{REF} = 5\text{ V}$, $V_{IO} = 3\text{ V}$ 10 kSPS吞吐速率 100 kSPS吞吐速率 $V_{DD} = 2.625\text{ V}$, $V_{REF} = 5\text{ V}$, $V_{IO} = 3\text{ V}$ 500 kSPS吞吐速率	2.375 2.3 1.8	2.5 0.35 70 700 400 170 130 3.5 2 0.85 0.65 7.0	2.625 5.5 5.5 86 860 86 170 130 4.3	V V V μA μW μW μW μW μW mW mW mW mW nJ/采样
温度范围 额定性能	T_{MIN} 至 T_{MAX}	-40		+85	$^\circ\text{C}$

¹ 根据需要, 所有数字输入强制接VIO或地。

² 在采集阶段。

时序规格

除非另有说明， $T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ， $V_{DD} = 2.37\text{ V}$ 至 2.63 V ， $V_{IO} = 2.3\text{ V}$ 至 5.5 V 。负载条件参见图2和图3。

表4.

参数	符号	最小值	典型值	最大值	单位
AD7989-1					
吞吐速率				100	kSPS
转换时间：CNV上升沿至数据可用	t_{CONV}			9500	ns
采集时间	t_{ACQ}	500			ns
转换间隔时间	t_{CYC}	10			μs
AD7989-5					
吞吐速率				500	kSPS
转换时间：CNV上升沿至数据可用	t_{CONV}			1600	ns
采集时间	t_{ACQ}	400			ns
转换间隔时间	t_{CYC}	2			μs
CNV脉冲宽度($\overline{\text{CS}}$ 模式)	t_{CNVH}	500			ns
SCK周期($\overline{\text{CS}}$ 模式)	t_{SCK}				
VIO高于4.5 V		10.5			ns
VIO高于3 V		12			ns
VIO高于2.7 V		13			ns
VIO高于2.3 V		15			ns
SCK周期(链模式)	t_{SCK}				
VIO高于4.5 V		11.5			ns
VIO高于3 V		13			ns
VIO高于2.7 V		14			ns
VIO高于2.3 V		16			ns
SCK低电平时间	t_{SCKL}	4.5			ns
SCK高电平时间	t_{SCKH}	4.5			ns
SCK下降沿至数据仍然有效	t_{HSDO}	3			ns
SCK下降沿至数据有效延迟时间	t_{DSDO}				
VIO高于4.5 V				9.5	ns
VIO高于3 V				11	ns
VIO高于2.7 V				12	ns
VIO高于2.3 V				14	ns
CNV或SDI低电平至SDO D15 MSB有效($\overline{\text{CS}}$ 模式)	t_{EN}				
VIO高于3 V				10	ns
VIO高于2.3V				15	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态($\overline{\text{CS}}$ 模式)	t_{DIS}			20	ns
CNV上升沿至SDI有效建立时间($\overline{\text{CS}}$ 模式)	t_{SSDICNV}	5			ns
CNV上升沿至SDI有效保持时间($\overline{\text{CS}}$ 模式)	t_{HSDICNV}	2			ns
CNV上升沿至SCK有效建立时间(链模式)	t_{SSCKCNV}	5			ns
CNV上升沿至SCK有效保持时间(链模式)	t_{HSCKCNV}	5			ns
SCK下降沿至SDI有效建立时间(链模式)	t_{SSDISCK}	2			ns
SCK下降沿至SDI有效保持时间(链模式)	t_{HSDISCK}	3			ns

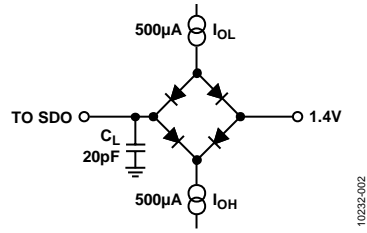
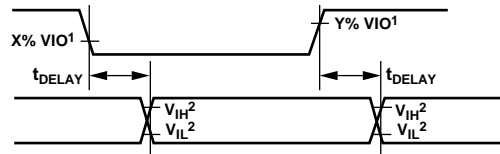


图2. 数字接口时序的负载电路



¹FOR $V_{IO} \leq 3.0V$, $X = 90$ AND $Y = 10$; FOR $V_{IO} > 3.0V$, $X = 70$ AND $Y = 30$.
²MINIMUM V_{IH} AND MAXIMUM V_{IL} USED. SEE DIGITAL INPUTS SPECIFICATIONS IN TABLE 3.

图3. 时序的电平

绝对最大额定值

表5.

参数	额定值
模拟输入	
IN+, IN-至GND ¹	-0.3 V至 $V_{REF} + 0.3$ V或 ± 130 mA
电源电压	
REF、VIO至GND	-0.3 V至+6.0 V
VDD至GND	-0.3 V至+3.0 V
VDD至VIO	+3 V至-6 V
数字输入至GND	-0.3 V至VIO + 0.3 V
数字输出至GND	-0.3 V至VIO + 0.3 V
存储温度范围	-65°C至+150°C
结温	150°C
θ_{JA} 热阻	
10引脚MSOP	200°C/W
10引脚LFCSP_WD	48.7°C/W
θ_{JC} 热阻	
10引脚MSOP	44°C/W
10引脚LFCSP_WD	2.96°C/W
回流焊	JEDEC标准(J-STD-020)

¹ 有关IN+和IN-的解释, 请参见“模拟输入”部分。

注意, 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最大值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

AD7989-1/AD7989-5

引脚配置和功能描述

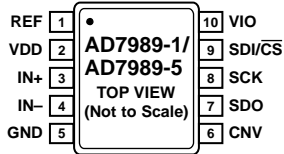
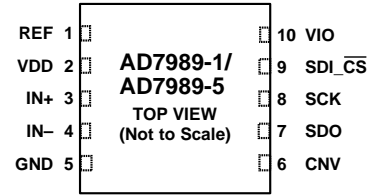


图4. 10引脚MSOP的引脚配置



NOTES:
1. THE EXPOSED PAD CAN BE CONNECTED TO GND.

图5. 10引脚LFCSP的引脚配置

表4.

引脚编号	引脚名称	类型 ¹	说明
1	REF	AI	基准输入电压。REF范围为2.4 V至5.1 V。 此引脚参考GND引脚，应通过与之靠近的10 μF电容去耦至GND引脚。
2	VDD	P	电源。
3	IN+	AI	正向差分模拟输入。
4	IN-	AI	负向差分模拟输入。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。 在上升沿可启动转换并选择器件的接口模式：链模式或片选(CS)模式。 CS模式下，CNV为低电平时SDO引脚使能。链模式下，数据在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI/CS	DI	Serial Data Input/Chip Select.此输入具有多个功能。如下选择ADC的接口模式： 如果此引脚在CNV上升沿期间为低电平，则选择链模式。 此模式下，SDI/CS用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI/CS上的数字数据电平通过SDO输出，延迟16个SCK周期。 如果SDI/CS在CNV上升沿期间为高电平，则选择CS模式。 此模式下，SDI/CS或CNV在低电平时均可使能串行输出信号。
10	VIO	P	输入/输出接口数字电源。 此引脚的标称电源与主机接口电源相同(1.8 V、2.5 V、3 V或5 V)。
	EP		裸露焊盘。对于引脚架构芯片级封装(LFCSP)，裸露焊盘可以连接到GND。 此连接无需满足电气性能。

¹ AI = 模拟输入，DI = 数字输入，DO = 数字输出，而P = 电源。

典型性能参数

VDD = 2.5 V, V_{REF} = 5.0 V, VIO = 3.3 V。

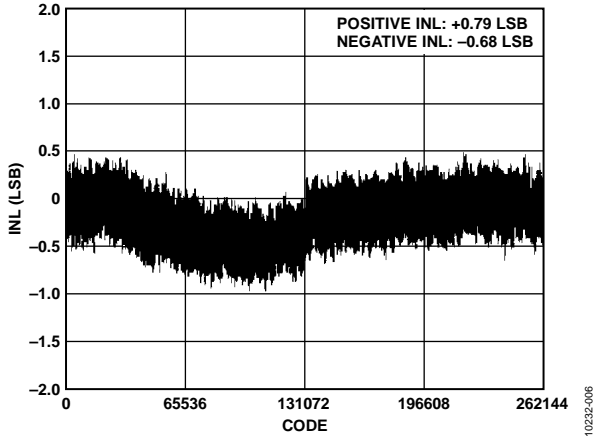


图6. 积分非线性与代码的关系

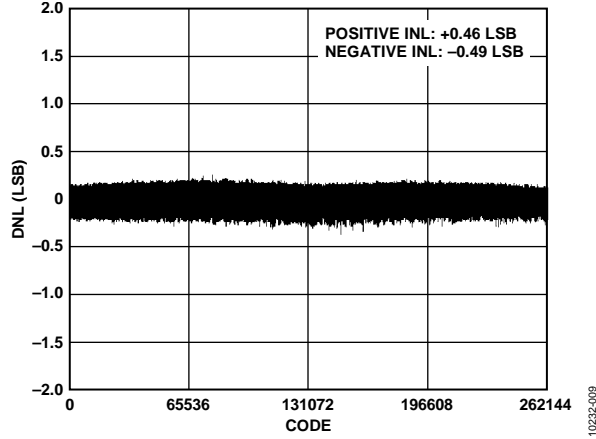


图9. 差分非线性与代码的关系

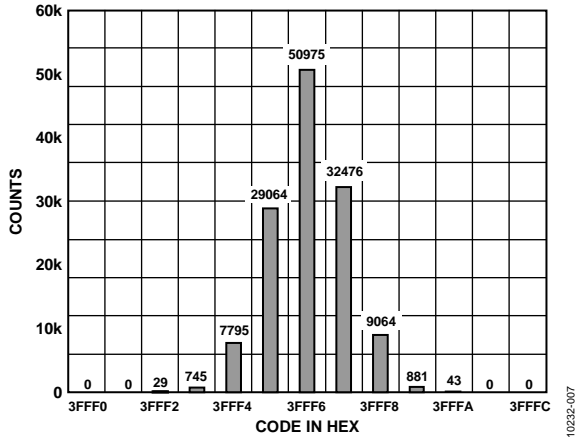


图7. 一个直流输入的直方图(码中心)

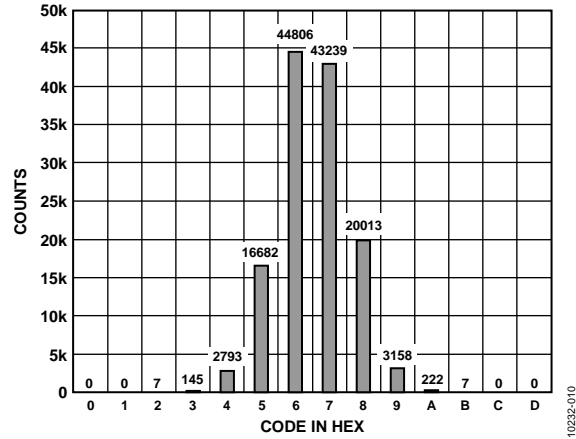


图10. 一个直流输入的直方图(码跃迁)

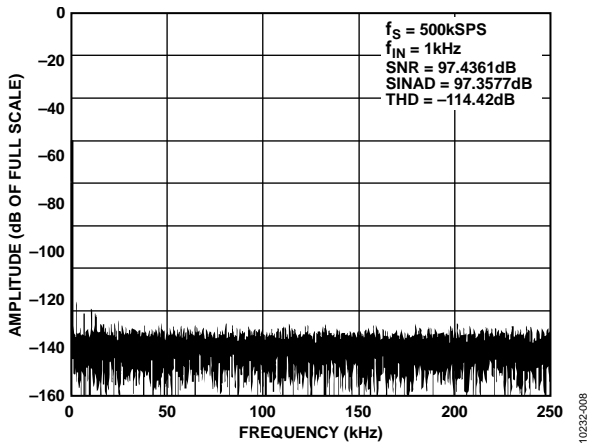


图8. AD7989-5 FFT图

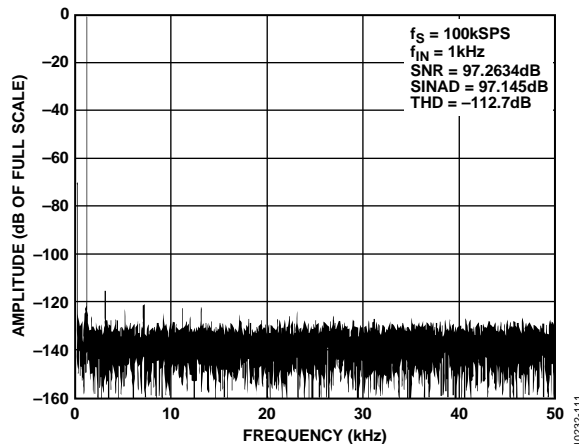


图11. AD7989-1 FFT图

AD7989-1/AD7989-5

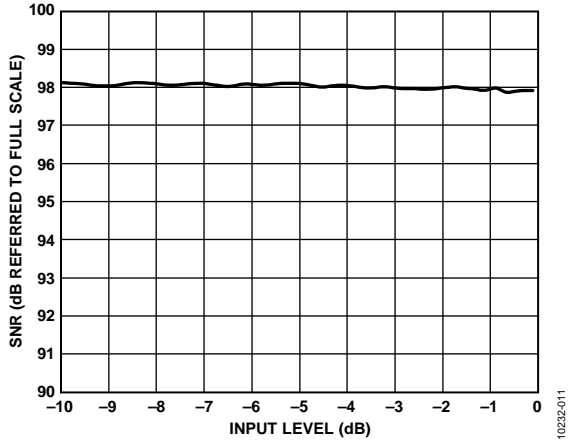


图12. SNR与输入电平的关系

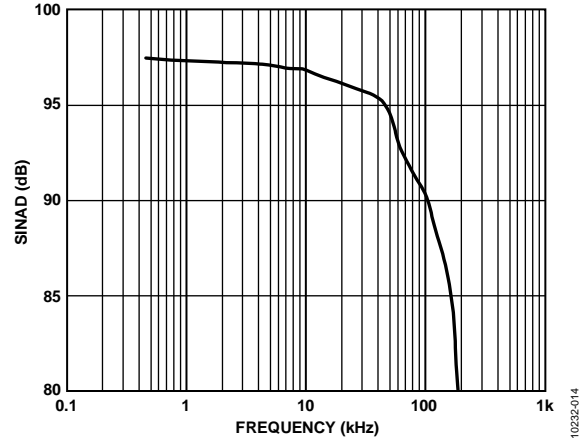


图15. SINAD与频率的关系

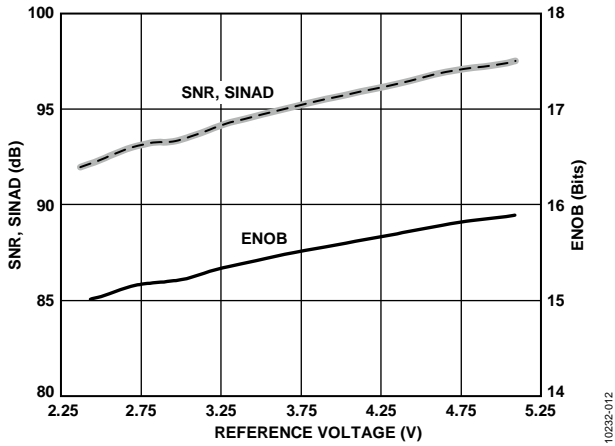


图13. SNR、SINAD和ENOB与基准电压的关系

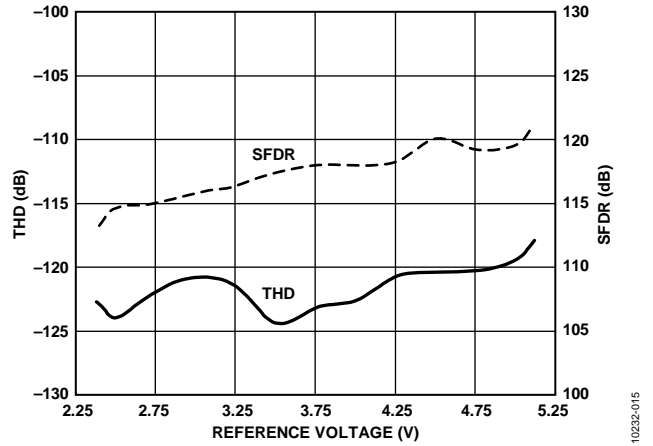


图16. THD、SFDR与基准电压的关系

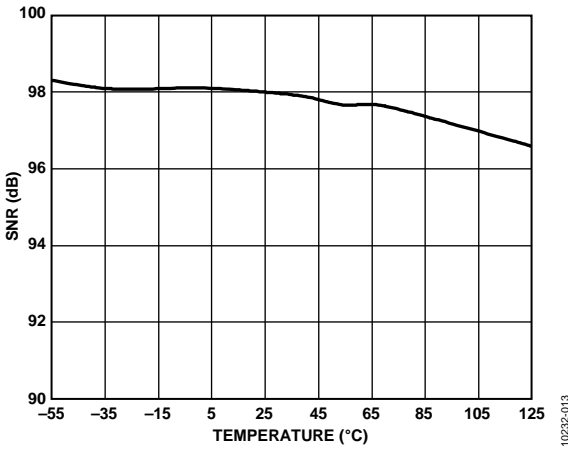


图14. SNR与温度的关系

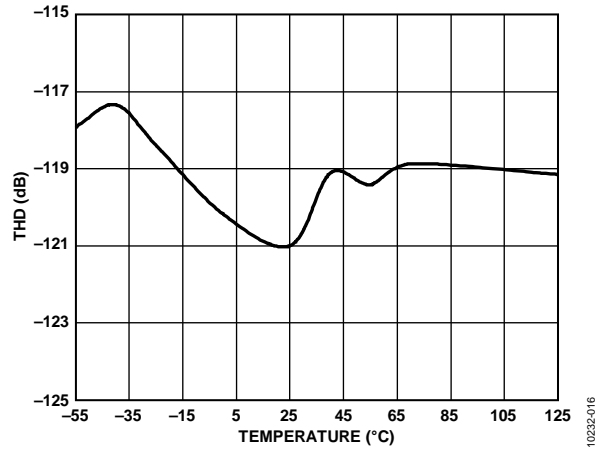


图17. THD与温度的关系

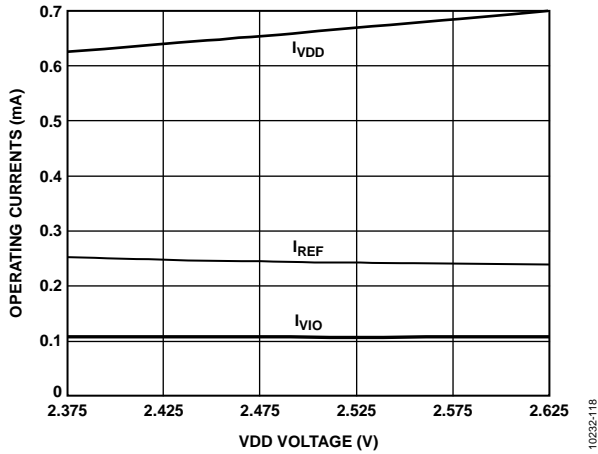


图18. 工作电流与VDD电压的关系(AD7989-5)

10232-118

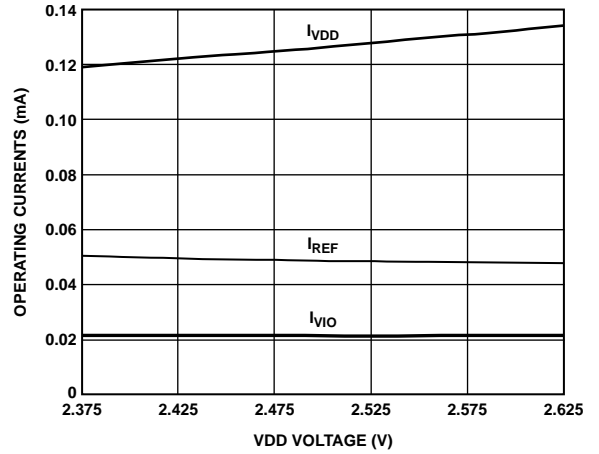


图21. 工作电流与VDD电压的关系(AD7989-1)

10232-121

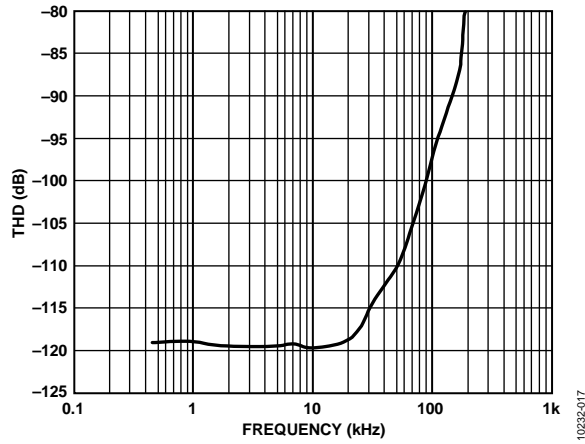


图19. THD与频率的关系

10232-017

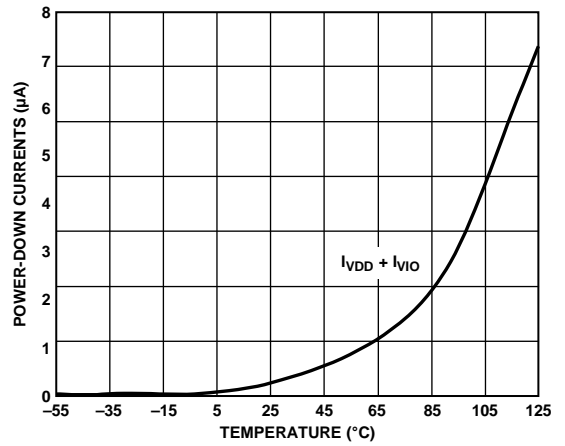


图22. 关断电流与温度的关系

10232-018

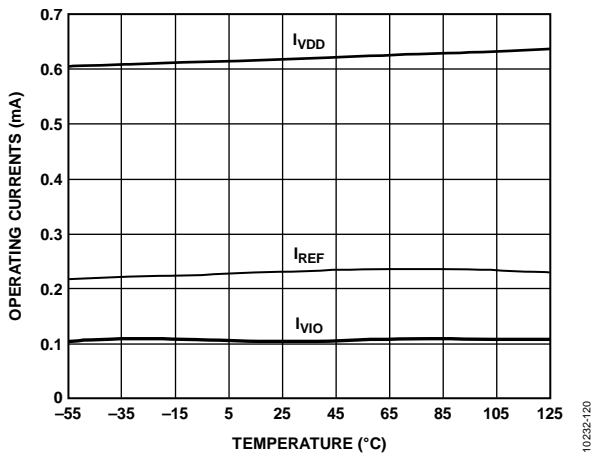


图20. 工作电流与温度的关系(AD7989-5)

10232-120

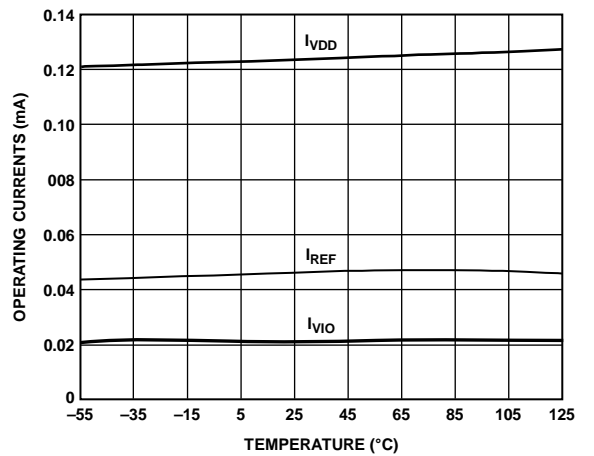


图23. 工作电流与温度的关系(AD7989-1)

10233-123

术语

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图25)。

微分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

零电平误差

理想中间值电压(即0 V)与产生中间值输出码(即0 LSB)的实际电压之差称为零电平误差。

增益误差

当模拟电压高于标称负满量程 $\frac{1}{2}$ LSB时(对于 ± 5 V范围来说，应在 -4.999981 V)，发生第一个码跃迁(从100 ... 00跃迁至100 ... 01)。当模拟电压低于标称正满量程 $1\frac{1}{2}$ LSB时(对于 ± 5 V范围为 $+4.999943$ V)，发生最后一个码跃迁(从011 ... 10至011 ... 11)。增益误差指最后一个跃迁的实际电平与第一个跃迁的实际电平之差与二者的理想电平之差的偏差。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。与SINAD的关系如下：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

它用位表示。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，其计算公式为：

$$\text{无噪声代码分辨率} = \log_2(2^N/\text{峰峰值噪声})$$

它用位表示。

有效分辨率

有效分辨率的计算公式如下：

$$\text{有效分辨率} = \log_2(2^N/\text{均方根输入噪声})$$

它用位表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。它使用 -60 dB下的信号测得，因此包括所有噪声源和DNL伪像。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

孔径延迟

孔径延迟用于衡量采集性能，指从CNV输入的上升沿到输入信号被保持以用于转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

工作原理

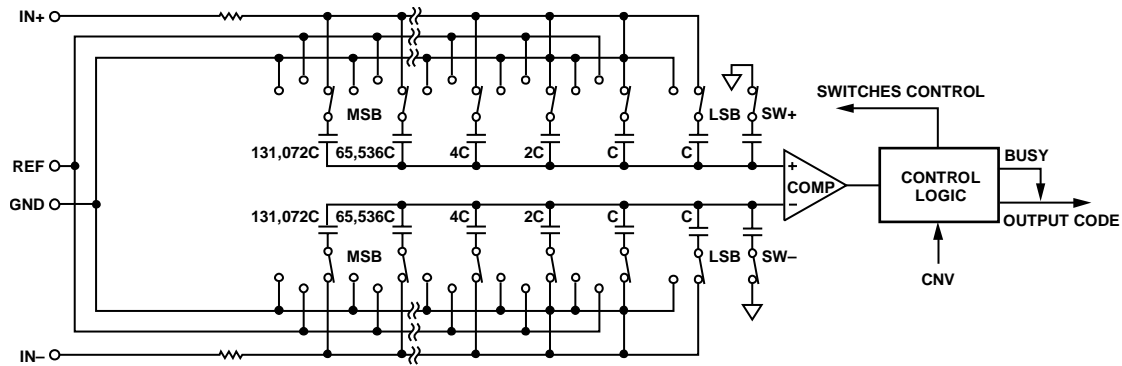


图24. ADC原理示意图

电路信息

AD7989-1/AD7989-5是高速、低功耗、单电源、精密18位ADC，使用逐次逼近型架构。

AD7989-5每秒能够转换500,000次采样(500 kSPS)，而AD7989-1每秒能够转换100,000次采样(100 kSPS)，两次转换之间器件进入省电模式。以100 kSPS速率工作时，ADC典型功耗为700 μ W，因此AD7989-1非常适合电池供电的应用。

AD7989-1/AD7989-5为用户提供片内采样保持放大器，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7989-1/AD7989-5可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚LFCSP封装，节省空间，配置灵活。

转换器操作

AD7989-1/AD7989-5是逐次逼近型ADC，基于电荷再分配数模转换器(DAC)构建。图24显示了该ADC的简化电路图。容性DAC包含两个完全相同的18位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采样阶段，与比较器输入端相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采样IN+和IN-输入端的模拟信号。当采样阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采样阶段结束时捕获的IN+和IN-输入之间的差分电压施加于比较器输入端，导致比较器不平衡。通过切换GND与REF之间电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/262,144$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码。

AD7989-1/AD7989-5具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

AD7989-1/AD7989-5

传递函数

AD7989-1/AD7989-5的理想传递特性如图25和表7所示。

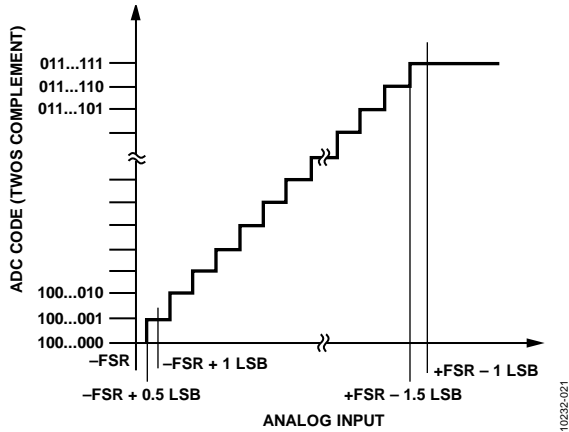


图25. ADC理想传递函数

表7. 输出码和理想输入电压

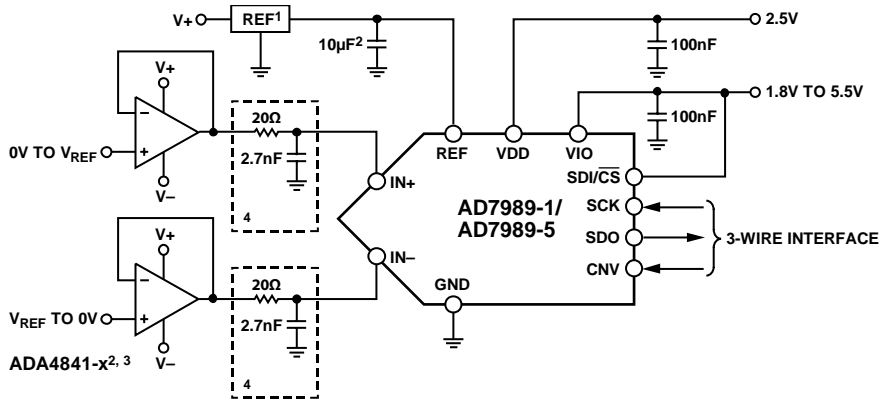
说明	模拟输入 $V_{REF} = 5V$	数字输出码 (十六进制)
+FSR - 1 LSB	+4.999962 V	0x1FFFF ¹
中间电平 + 1 LSB	+38.15 μ V	0x00001
中间电平	0 V	0x00000
中间电平 - 1 LSB	-38.15 μ V	0x3FFFF
-FSR + 1 LSB	-4.999962 V	0x20001
-FSR	-5 V	0x20000 ²

¹这也是超量程模拟输入($V_{IN+} - V_{IN-}$ 高于 $V_{REF} - V_{GND}$)对应的编码。

²这也是欠量程模拟输入($V_{IN+} - V_{IN-}$ 低于 V_{GND})对应的编码。

典型连接图

图26所示的例子为采用多个电源时AD7989-1/AD7989-5的建议连接图。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.

² C_{REF} IS USUALLY A 10 μ F CERAMIC CAPACITOR (X5R).

³SEE THE RECOMMENDED LAYOUT IN FIGURE 39 AND FIGURE 40.

⁴SEE THE DRIVER AMPLIFIER CHOICE SECTION.

⁵OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.

图26. 采用多个电源的典型应用电路

模拟输入

图27显示了AD7989-1/AD7989-5输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。需要注意，模拟输入信号的电压值不能比基准输入电压(REF)高0.3 V以上。如果模拟输入信号的电压超过这一水平，二极管将呈正偏并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。然而，如果输入缓冲器的供电电压(例如图26所示的ADA4841-x的供电电压)与REF不同，则模拟输入信号的电压最终可能比电源电压高0.3 V以上。此时(例如输入缓冲器短路)，电流限制可以保护器件。

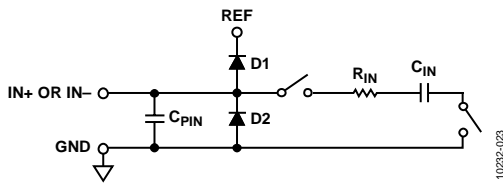


图27. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。

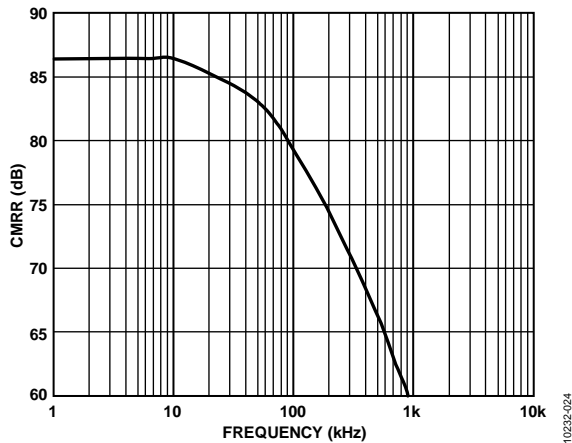


图28. 模拟输入CMRR与频率的关系

在采样阶段，模拟输入(IN+或IN-)的阻抗可以看成是由 R_{IN} 和 C_{IN} 串联构成的网络与电容 C_{PIN} 的并联组合。 C_{PIN} 主要包括引脚电容。 R_{IN} 典型值为400 Ω ，是由串联电阻与开关的导通电阻构成的集总元件。 C_{IN} 典型值为30 pF，主要包括ADC采样电容。

在采样阶段，开关闭合时，输入阻抗受限于 C_{PIN} 。 R_{IN} 和 C_{IN} 构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7989-1/AD7989-5。高源阻抗会显著影响交流特性，特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7989-1/AD7989-5很容易驱动，但驱动放大器必须满足下列要求：

- 驱动放大器所产生的噪声必须足够低，以保持AD7989-1/AD7989-5的SNR和转换噪声性能。来自驱动器的噪声由 R_{IN} 和 C_{IN} 所构成的AD7989-1/AD7989-5模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7989-1/AD7989-5的典型噪声为40 $\mu\text{V rms}$ ，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{40}{\sqrt{40^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

- 其中：
 - f_{-3dB} 为AD7989-1/AD7989-5的输入带宽(10 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。
 - N 为放大器的噪声增益(例如，缓冲器配置时为1)。
 - e_N 为运算放大器的等效输入噪声电压，单位为 $\text{nV}/\sqrt{\text{Hz}}$ 。
- 对于交流应用，驱动器的THD性能应与AD7989-1/AD7989-5相当。
- 对于多通道、多路复用应用，驱动放大器和AD7989-1/AD7989-5模拟输入电路必须使电容阵列以18位水平(0.0004%，4 ppm)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与18位水平的建立时间显著不同，因此选择之前必须进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4941-1	极低噪声、低功耗、单端至差分
ADA4841-1/ ADA4841-2	极低噪声、小尺寸、低功耗
AD8021	极低噪声、高频
AD8022	低噪声、高频
OP184	低功耗、低噪声、低频
AD8655	5 V单电源、低噪声
AD8605, AD8615	5 V单电源、低功耗

AD7989-1/AD7989-5

单端至差分驱动器

对于使用单端模拟信号(双极性或单极性)的应用,单端至差分驱动器ADA4941-1可以为该器件提供差分输入,原理图见图29。

R1和R2设置输入范围与ADC范围(V_{REF})之间的衰减比。R1、R2和CF根据所需的输入电阻、信号带宽、抗混叠和噪声贡献进行选择。例如,对于 $\pm 10\text{ V}$ 范围和4 k Ω 阻抗, $R2 = 1\text{ k}\Omega$, $R1 = 4\text{ k}\Omega$ 。

R3和R4设置ADC的IN-输入的共模电压, R5和R6设置ADC的IN+输入的共模电压。确保共模电压接近 $V_{REF}/2$ 。例如,对于使用单电源的 $\pm 10\text{ V}$ 范围, $R3 = 8.45\text{ k}\Omega$, $R4 = 11.8\text{ k}\Omega$, $R5 = 10.5\text{ k}\Omega$, $R6 = 9.76\text{ k}\Omega$ 。

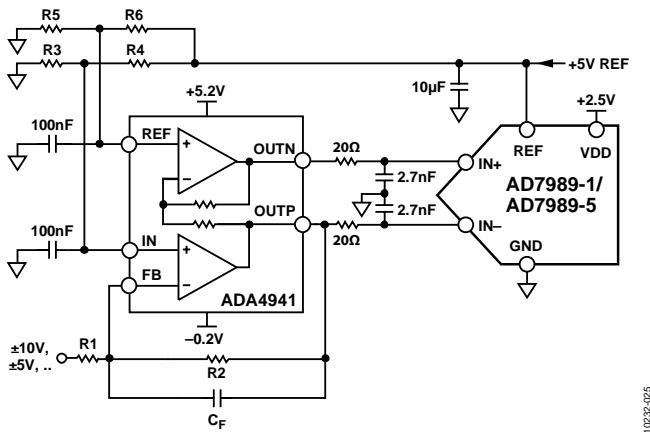


图29. 单端至差分驱动器电路

基准电压输入

AD7989-1/AD7989-5基准电压输入REF具有动态输入阻抗,因此必须利用低阻抗源驱动,REF与GND引脚之间应有效去耦,如“布局布线”部分所述。

利用极低阻抗源(例如使用AD8031或AD8605的基准电压缓冲器)驱动REF时,10 μF (X5R, 0805尺寸)陶瓷芯片电容可实现最佳性能。

如果使用无缓冲基准电压,去耦值取决于所使用的基准电压源。例如,使用低温漂基准电压源ADR43x时,22 μF (X5R, 1206尺寸)陶瓷芯片电容可实现最佳性能。

如果需要,可以使用低至2.2 μF 的基准电压去耦电容,它对性能(特别是DNL)的影响极小。

无论如何,REF与GND引脚之间不需要额外的低值陶瓷去耦电容(如100 nF)。

电源

AD7989-1/AD7989-5使用两个电源引脚:内核电源(VDD)以及数字输入/输出接口电源(VIO)。VIO可以与1.8 V至5.5 V的任何逻辑直接接口。为减少所需的电源数,VIO和VDD引脚可以连在一起。AD7989-1/AD7989-5与VIO和VDD电源的时序无关。此外,这些器件在很宽的频率范围内对电源变化非常不敏感,如图30所示。

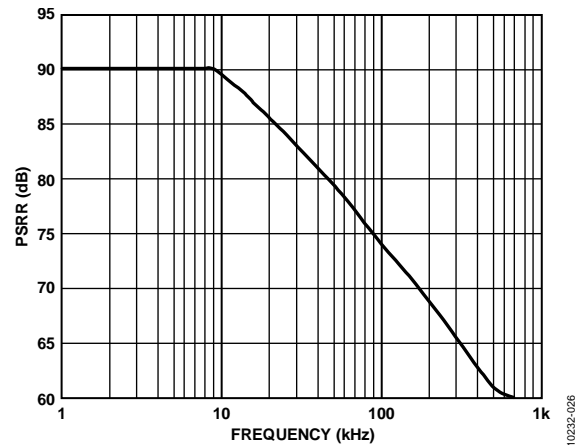


图30. PSRR与频率的关系

AD7989-1/AD7989-5在每个转换阶段结束时自动进入省电模式。

数字接口

尽管引脚数很少,AD7989-1/AD7989-5在串行接口模式上仍具有灵活性。

CS模式下,AD7989-1/AD7989-5与SPI、QSPI、数字主机和DSP兼容。此模式下,AD7989-1/AD7989-5可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号,可将线路连接减至最少,在隔离应用中非常有用。四线式接口使用SDI/CS、CNV、SCK和SDO信号,用于启动转换的CNV与回读时序(SDI)独立,这在低抖动采样或同步采样应用中很有用。

链模式下,AD7989-1/AD7989-5提供菊花链特性,利用SDI输入可在类似移位寄存器的单条数据线上实现多个ADC的级联。

器件的工作模式取决于CNV上升沿时的SDI/CS电平。如果SDI/CS为高电平,则选择CS模式;如果SDI/CS为低电平,则选择链模式。SDI/CS保持时间是这样的:当SDI/CS和CNV连接在一起时,始终选择链模式。用户必须在回读前等待最大转换时间。

CS 模式，3线

在将单个AD7989-1/AD7989-5连接到SPI兼容数字主机时，通常会使用此模式。连接图如图31所示，相应的时序如图32所示。

将SDI/ $\overline{\text{CS}}$ 连接到VIO时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。转换完成后，AD7989-1/AD7989-5进入采集阶段并关断。CNV变为低电

平时，MSB输出至SDO。剩余数据位在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当CNV变为高电平时(以最先出现者为准)，SDO返回高阻态。

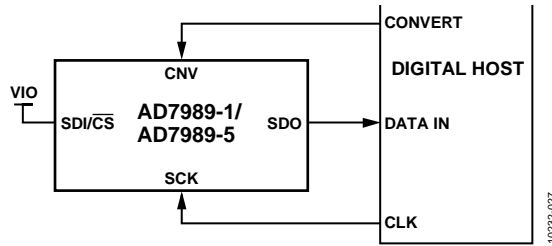


图31. $\overline{\text{CS}}$ 模式3线连接图(SDI高电平)

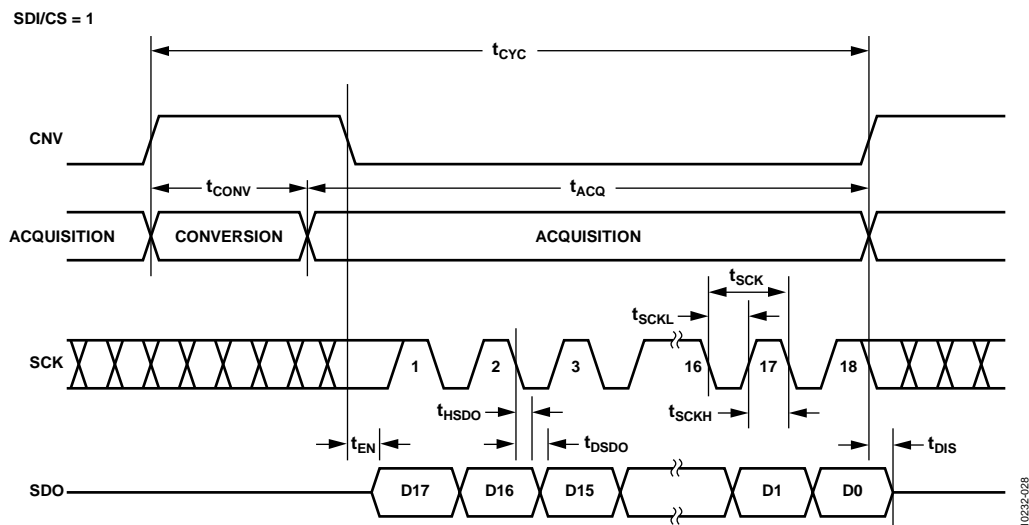


图32. $\overline{\text{CS}}$ 模式3线串行接口时序(SDI高电平)

AD7989-1/AD7989-5

CS 模式，4线

在将多个AD7989-1/AD7989-5连接到SPI兼容数字主机时，通常会使用此模式。

使用两个AD7989-1/AD7989-5器件的连接图示例如图33所示，相应的时序如图34所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择SDI/CS模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间保持高电平。(SDI/CS和CNV为低电平时，SDO变为低电平。)最小转换时间之前，SDI/CS可用于选择其它SPI器件，如模拟多路复用器，但SDI/CS必须在最小转换时间逝去前返回高电平，接着在

最大转换时间内保持高电平。转换完成后，AD7989-1/AD7989-5进入采集阶段并关断。每个ADC结果可通过将SDI/CS输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，只要它具有合理的保持时间。在第18个SCK下降沿之后，或者当SDI/CS变为高电平时(以最先出现者为准)，SDO返回高阻态，可读取另一个AD7989-1/AD7989-5。

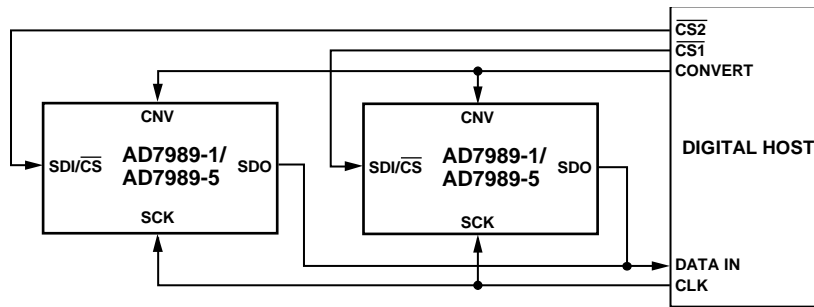


图33. CS模式4线连接图

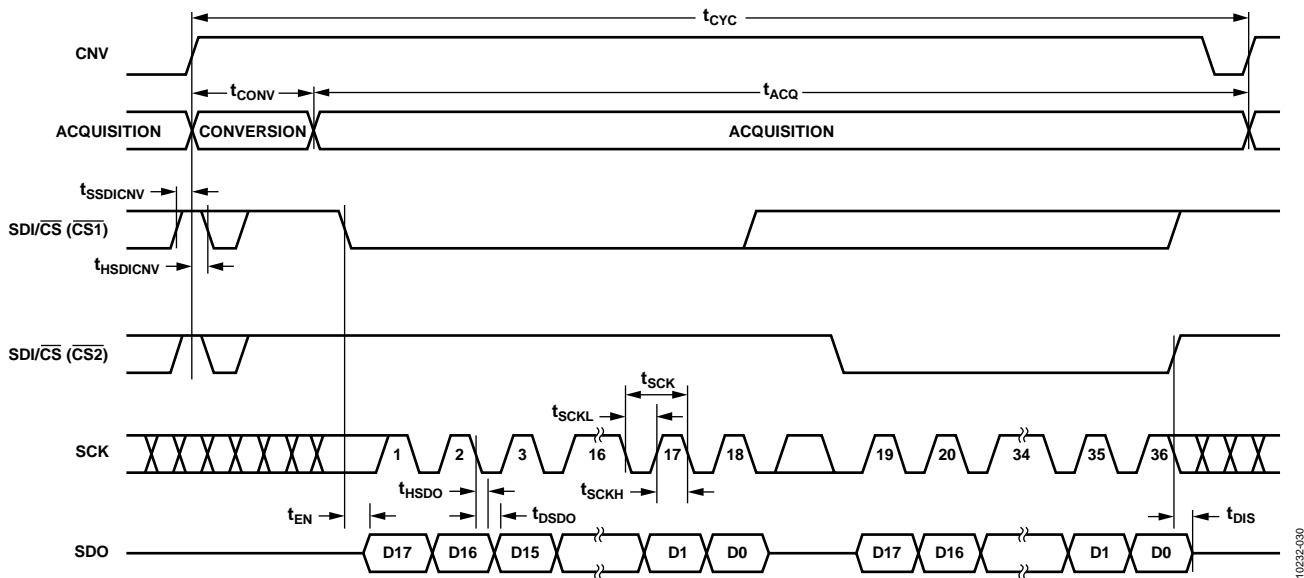


图34. CS模式4线串行接口时序

链模式

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7989-1/AD7989-5器件。这一特性有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD7989-1/AD7989-5器件的连接图示例如图35所示，相应的时序如图36所示。

SDI/ \overline{CS} 和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，并选择链模式。此模式下，CNV在转换阶段和随后的数据回读期间保持高电

平。转换完成后，MSB输出至SDO，而AD7989-1/AD7989-5进入采集阶段并关断。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI馈入内部移位寄存器的输入，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $18 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机可实现更快的读取速率，从而在链中容纳更多AD7989-1/AD7989-5器件，只要数字主机具有合理的保持时间。最大转换速度可能会因为总回读时间而降低。

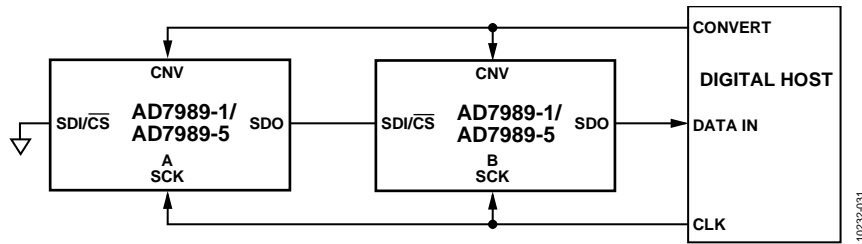


图35. 链模式连接图

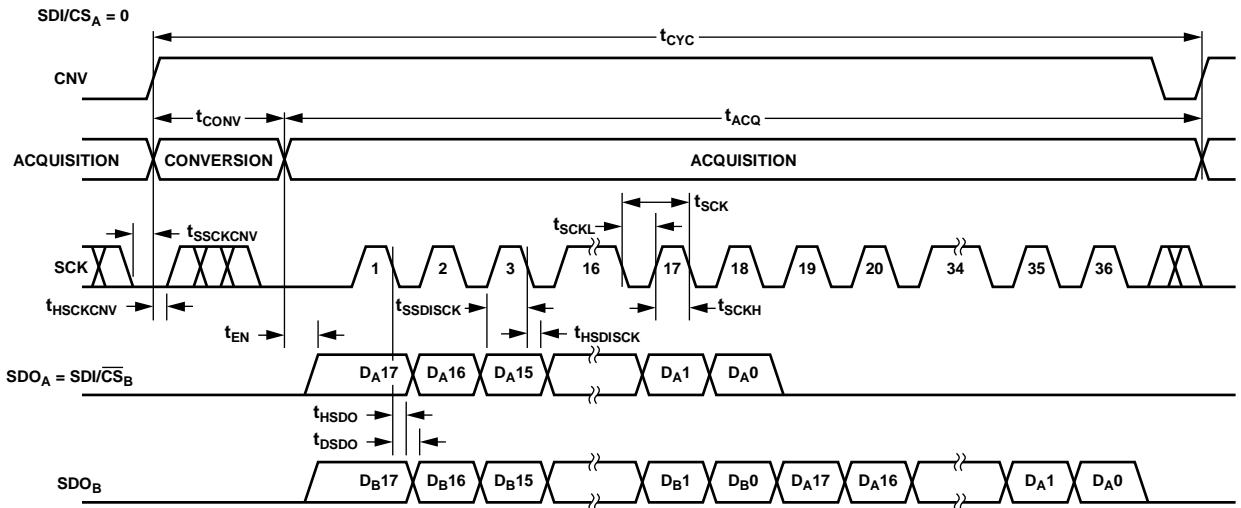


图36. 链模式串行接口时序

应用信息

与BLACKFIN® DSP接口

AD7989-1/AD7989-5可以轻松连接到DSP SPI或SPORT。SPI配置很简单，使用标准SPI接口就能完成，如图37所示。

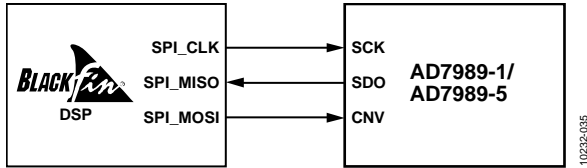


图37. Blackfin SPI接口的典型连接

同样，SPORT接口可用于与该ADC接口。SPORT接口有很多优点，比如可以使用直接存储器访问(DMA)，并提供更低抖动的CNV信号(由硬件计数器产生)。

SPORT与AD7989-1/AD7989-5接口之间可能需要一些胶连逻辑。AD7989-1/AD7989-5的评估板直接与基于Blackfin的(ADSP-BF527) SDP板的SPORT接口。用于SPORT接口的配置需要添加一些胶连逻辑，如图38所示。将CNV置为高电平时，ADC的SCK输入关断，以便在转换数据时保持SCK线路静态，从而确保结果的完整性。此方法使用AND门和NOT门形成SCK路径。RSCLK和RFS路径上使用的其他逻辑门用于延迟匹配，在路径长度较短时可以省去。

以上只是将SPORT接口用于该ADC的一种方法；还存在其他类似解决方案。

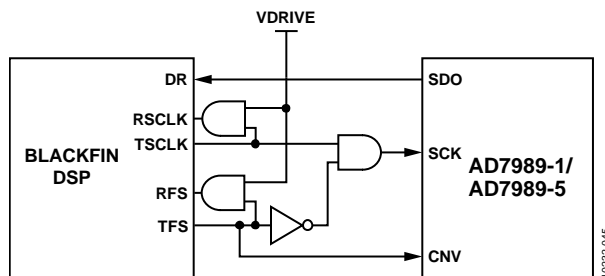


图38. Blackfin Sport接口的评估板连接

布局布线

AD7989-1/AD7989-5所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD7989-1/AD7989-5的模拟信号位于左侧，数字信号位于右侧，这种引脚排列可以简化设计。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7989-1/AD7989-5下方铺一个接地层用作屏蔽。不要在模拟信号路径附近运行快速开关信号(如CNV或时钟)。避免数字信号与模拟信号交叠。

建议至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，接地层应在AD7989-1/AD7989-5器件下方连接。

AD7989-1/AD7989-5基准电压输入REF具有动态输入阻抗。使用最小寄生电感去耦REF的方法是将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7989-1/AD7989-5的电源VDD和VIO应通过陶瓷电容去耦，其值通常为100 nF，靠近AD7989-1/AD7989-5放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图39和图40是遵循这些规则的布局布线示例。

评估AD7989-1/AD7989-5性能

AD7989-1/AD7989-5的其他建议布局布线参见UG-340——AD7989-1/AD7989-5评估板(EVAL-AD7989-5SDZ)用户指南。

评估板套件包括装配完善且经过测试的评估板、用户指南以及用于从PC通过EVAL-SDP-CB1Z控制评估板的软件。

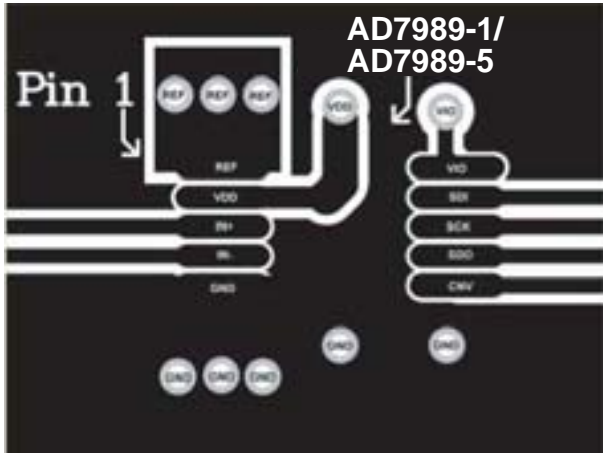


图39. AD7989-1/AD7989-5的建议布局布线(顶层)

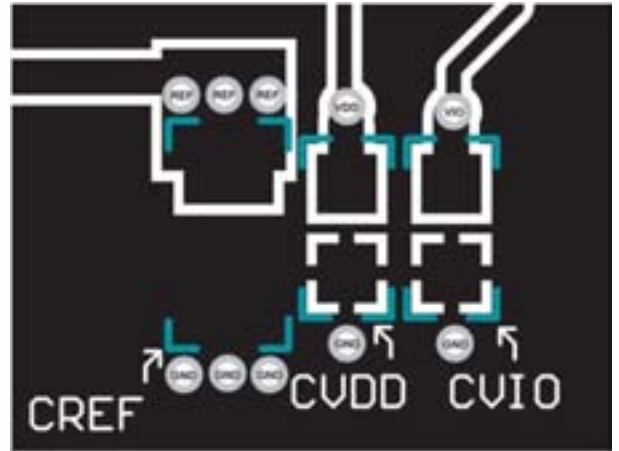
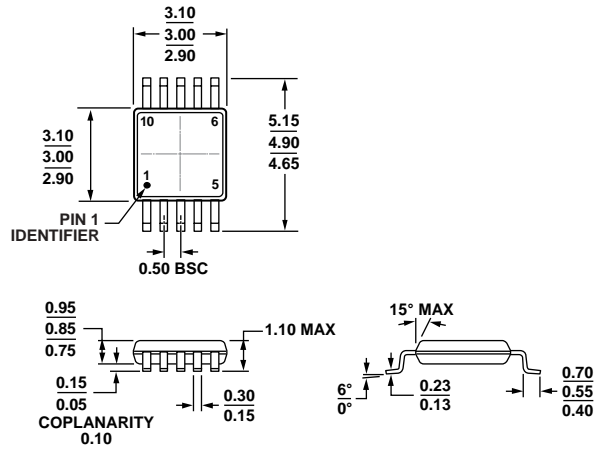


图40. AD7989-1/AD7989-5的建议布局布线(底层)

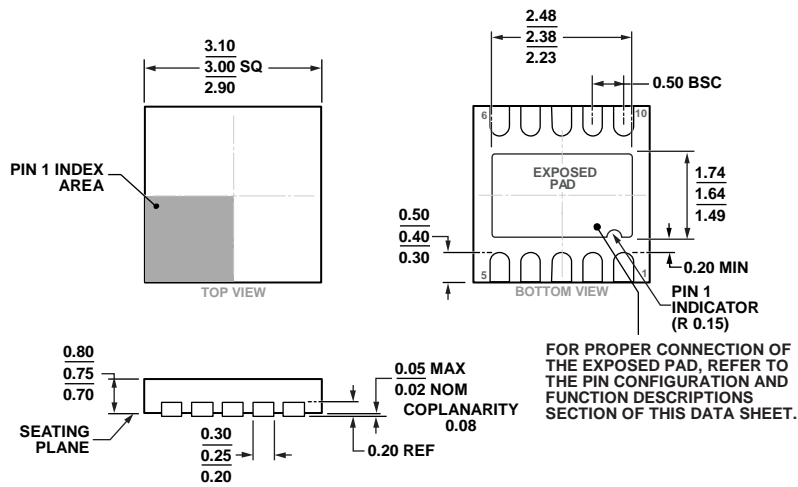
外形尺寸



091709-A

图41. 10引脚超小型封装[MSOP]
(RM-10)

图示尺寸单位: mm



02-45-2013-C

图42. 10引脚引脚架构芯片级封装[LFCSP_WD]
3 mm x 3 mm, 超薄体, 双排引脚
(CP-10-9)

图示尺寸单位: mm

订购指南

型号 ^{1,2,3}	温度范围	封装描述	封装选项	订购数量	标识
AD7989-1BRMZ	-40°C至+85°C	10引脚 MSOP, 管式	RM-10	50	C76
AD7989-1BRMZ-RL7	-40°C至+85°C	10引脚 MSOP, 7"卷带和卷盘	RM-10	1,000	C76
AD7989-1BCPZ-RL7	-40°C至+85°C	10引脚 LFCSP_WD, 7"卷带和卷盘	CP-10-9	1,500	C80
AD7989-1BCPZ-R2	-40°C至+85°C	10引脚 LFCSP_WD	CP-10-9	250	C80
AD7989-5BRMZ	-40°C至+85°C	10引脚 MSOP, 管式	RM-10	50	C7N
AD7989-5BRMZ-RL7	-40°C至+85°C	10引脚 MSOP, 7"卷带和卷盘	RM-10	1,000	C7N
AD7989-5BCPZ-RL7	-40°C至+85°C	10引脚 LFCSP_WD, 7"卷带和卷盘	CP-10-9	1,500	C7Y
AD7989-5BCPZ-R2	-40°C至+85°C	10引脚 LFCSP_WD	CP-10-9	250	C7Y
EVAL-AD7989-5SDZ		评估板已填充AD7989-5; 用于AD7989-1和AD7989-5的评估 系统演示板, 通过USB与PC的接口用作数据传输控制器板			
EVAL-SDP-CB1Z					

¹ Z = 符合RoHS标准的器件。

² EVAL-AD7989-5SDZ可单独用作评估板, 或与EVAL-SDP-CB1Z配合用于评估/演示。

³ EVAL-SDP-CB1Z板允许PC对所有带SD标志后缀的ADI评估板进行控制并与之通信。

注释