

### 特性

#### 吞吐量

1 MSPS(Warp模式)

800 kSPS(正常模式)

INL: 最大值±2.5 LSB(满量程的±0.0038%)

16位分辨率、无失码

S/(N+D): 90 dB(典型值, 250 kHz)

THD: -100 dB(典型值, 250 kHz)

#### 模拟输入电压范围

双极性: ±10 V、±5 V、±2.5 V

单极性: 0 V至10 V、0 V至5 V、0 V至2.5 V

交流和直流两种规格

无流水线延迟

并行(8/16位)和串行5 V/3 V接口

SPI®/QSPI™/MICROWIRE™/DSP兼容

采用5 V单电源供电

#### 功耗

典型值为112 mW

100 SPS时为15 μW

省电模式: 7 μW(最大值)

封装: 48引脚四方扁平封装(LQFP)

封装: 48引脚芯片级封装(LFCSP)

AD7665/AD7664的引脚兼容升级器件

### 应用

数据采集

通信

仪器仪表

频谱分析

医疗仪器

过程控制

### 概述

AD7671是一款16位、1 MSPS、电荷重分配SAR型模数转换器(ADC), 采用5 V单电源供电。它内置一个高速16位采样ADC、一个用以调整输入范围的电阻定标器、一个内部转换时钟、纠错电路, 以及串行和并行系统接口。

AD7671经过出厂硬件校准和全面测试, 可确保除一般直流参数(增益、偏置和线性度)之外, 诸如信噪比(SNR)和总谐波失真(THD)等交流参数也合乎要求。

它具有三种采样模式: 极高采样速率模式(Warp模式); 快速模式(正常模式), 适用于异步转换率应用; 低功耗模式(脉冲模式), 适用于低功耗应用, 其功耗与吞吐量呈比例关系。

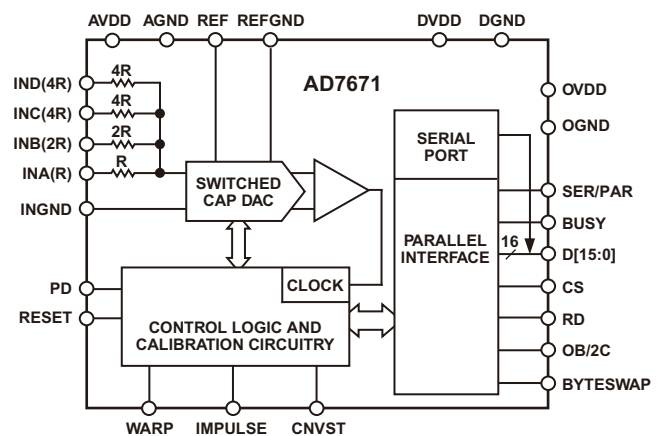
\*专利正在申请中

### REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective companies.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

### 功能框图



### PuSAR选择

类型/kSPS	100-250	500-570	800-1000
伪差分	AD7660	AD7650 AD7664	
真双极性	AD7663	AD7665	AD7671
真差分	AD7675	AD7676	AD7677
18位	AD7678	AD7679	AD7674
同步/多通道		AD7654	AD7655

该器件采用ADI公司的0.6微米高性能CMOS工艺制造, 提供48引脚LQFP和48引脚小型LFCSP两种封装, 工作温度范围为-40°C至+85°C。

### 产品聚焦

#### 1. 高吞吐量

AD7671是一款极高高速(Warp模式下为1 MSPS, 正常模式下为800 kSPS)、电荷再分配、16位SAR型ADC。

#### 2. 单电源供电

AD7671采用5 V单电源供电, 典型功耗仅112 mW; 在低功耗模式(脉冲模式)和省电模式下使用较低的吞吐量时, 功耗更低。

#### 3. 出色的积分非线性(INL)

AD7671的最大积分非线性为2.5 LSB, 提供16位分辨率, 无失码。

#### 4. 串行或并行接口

多功能并行(8位或16位)或双线串行接口配置, 3 V或5 V逻辑兼容。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781/329-4700 [www.analog.com](http://www.analog.com)  
Fax: 781/326-8703 © 2003 Analog Devices, Inc. All rights reserved.

# 技术规格

(除非另有说明,  $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ,  $\text{AVDD} = \text{DVDD} = 5\text{ V}$ ,  $\text{OVDD} = 2.7\text{ V}$ 至 $5.25\text{ V}$ )

参数	条件	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入 电压范围 共模输入电压 模拟输入CMRR 输入阻抗	$V_{\text{IND}} - V_{\text{INGND}}$ $V_{\text{INGND}}$ $f_{\text{IN}} = 100\text{ kHz}$	$\pm 4\text{ REF}$ , $0\text{ V}$ 至 $4\text{ REF}$ , $\pm 2\text{ REF}$ (见表I) -0.1	74 见表I	+0.5	V dB
吞吐速度 完整周期 吞吐速率 转换间隔时间 完整周期 吞吐速率 完整周期 吞吐速率	Warp模式 Warp模式 Warp模式 正常模式 正常模式 脉冲模式 脉冲模式	1 0 0		1 1000 1 1.25 800 1.5 666	$\mu\text{s}$ kSPS ms $\mu\text{s}$ kSPS $\mu\text{s}$ kSPS
直流精度 积分非线性误差 无失码 跃迁噪声 双极性零误差 <sup>2</sup> , $T_{\text{MIN}}$ 至 $T_{\text{MAX}}$  双极性满量程误差 <sup>2</sup> , $T_{\text{MIN}}$ 至 $T_{\text{MAX}}$ 单极性零误差 <sup>2</sup> , $T_{\text{MIN}}$ 至 $T_{\text{MAX}}$ 单极性满量程误差 <sup>2</sup> , $T_{\text{MIN}}$ 至 $T_{\text{MAX}}$ 电源灵敏度	$\pm 5\text{ V}$ 范围, 正常或脉冲模式 其它范围或模式  AVDD = 5 V $\pm 5\%$	-2.5 16 -45 -0.1 -0.38 -0.18 -0.76	0.7	+2.5 +45 +0.1 +0.38 +0.18 +0.76	LSB <sup>1</sup> 位 LSB LSB FSR的% FSR的% FSR的% LSB
交流精度 信噪比  无杂散动态范围 总谐波失真  信纳比  -3 dB输入带宽	$f_{\text{IN}} = 20\text{ kHz}$ $f_{\text{IN}} = 250\text{ kHz}$ $f_{\text{IN}} = 250\text{ kHz}$ $f_{\text{IN}} = 20\text{ kHz}$ $f_{\text{IN}} = 250\text{ kHz}$ $f_{\text{IN}} = 20\text{ kHz}$ $f_{\text{IN}} = 250\text{ kHz}$ , -60 dB输入	89 88.5	90 90 100 -100 -100 90 30 9.6	-96	dB <sup>3</sup> dB dB dB dB dB dB MHz
采样动态性能 孔径延迟 孔径抖动 瞬态响应	满量程阶跃		2 5	250	ns ps rms ns
基准电压 外部基准电压范围 外部基准耗用电流	1 MSPS吞吐量	2.3	2.5 200	AVDD - 1.85	V $\mu\text{A}$
数字输入 逻辑电平 $V_{\text{IL}}$ $V_{\text{IH}}$ $I_{\text{IL}}$ $I_{\text{IH}}$		-0.3 +2.0 -1 -1		+0.8 DVDD + 0.3 +1 +1	V V $\mu\text{A}$ $\mu\text{A}$
数字输出 数据格式 流水线延迟  $V_{\text{OL}}$ $V_{\text{OH}}$	$I_{\text{SINK}} = 1.6\text{ mA}$ $I_{\text{SOURCE}} = -570\text{ mA}$			0.4	V V
			并行或串行16位 转换完成后立即提供转换结果		
				OVDD - 0.6	

参数	条件	最小值	典型值	最大值	单位
电源					
额定性能					
AVDD		4	5	5.25	V
DVDD		4	5	5.25	V
OVDD		2		5.25 <sup>4</sup>	V
工作电流 <sup>5</sup>	1 MSPS吞吐量				
AVDD			15		mA
DVDD <sup>6</sup>			7.2		mA
OVDD <sup>6</sup>			37		μA
功耗 <sup>6,7</sup>	666 kSPS吞吐量 <sup>8</sup>		84	95	mW
	100 SPS吞吐量 <sup>8</sup>		15		μW
	1 MSPS吞吐量 <sup>5</sup>		112	125	mW
省电模式 <sup>9</sup>				7	μW
温度范围 <sup>10</sup>					
额定性能	T <sub>MIN</sub> 至T <sub>MAX</sub>	-40		+85	☒

## 注释

- <sup>1</sup> LSB表示最低有效位。±5 V输入范围时，1 LSB = 152.588 μV。  
<sup>2</sup> 参见特性定义部分。这些特性不包括外部基准电压的误差贡献。  
<sup>3</sup> 所有以dB为单位的特性均参考满量程输入FS。除非另有说明，测试条件为输入信号比满量程低0.5 dB。  
<sup>4</sup> 最大值为5.25 V和DVDD + 0.3 V二者中的较小者。  
<sup>5</sup> Warp模式。  
<sup>6</sup> 在并行读取模式下进行测试。  
<sup>7</sup> 在0 V至5 V范围和V<sub>IN</sub> - V<sub>INGND</sub> = 0 V下进行测试。参见功耗部分。  
<sup>8</sup> 脉冲模式。  
<sup>9</sup> OVDD低于DVDD + 0.3 V，所有数字输入强制连到DVDD或DGND。  
<sup>10</sup> 如需更宽温度范围，请联系ADI公司。

规格如有变更恕不另行通知。

表I. 模拟输入配置

输入电压范围	IND(4R)	INC(4R)	INB(2R)	INA(R)	输入阻抗 <sup>1</sup>
±4 REF <sup>2</sup>	V <sub>IN</sub>	INGND	INGND	REF	1.63 kW
±2 REF	V <sub>IN</sub>	V <sub>IN</sub>	INGND	REF	948 W
±REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	REF	711 W
0 V to 4 REF	V <sub>IN</sub>	V <sub>IN</sub>	INGND	INGND	948 W
0 V to 2 REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	INGND	711 W
0 V to REF	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	V <sub>IN</sub>	注释3

## 注释

- <sup>1</sup> 典型模拟输入阻抗。  
<sup>2</sup> REF = 3 V时，在此范围内，输入应限制在-11 V至+12 V。  
<sup>3</sup> 对于此范围，输入为高阻抗。

## 时序规格

(除非另有说明，-40°C至+85°C，AVDD = DVDD = 5 V，OVDD = 2.7 V至5.25 V)

参数	符号	最小值	典型值	最大值	单位
参考图11和图12					
转换脉冲宽度	t <sub>1</sub>	5			ns
转换间隔时间	t <sub>2</sub>	1/1.25/1.5		注释1	μs
(Warp模式/正常模式/脉冲模式)					
CNVST低电平到BUSY高电平延迟时间	t <sub>3</sub>			30	ns
BUSY高电平，转换之后主机串行读取模式除外的所有模式	t <sub>4</sub>			0.75/1/1.25	μs
(Warp模式/正常模式/脉冲模式)					
孔径延迟	t <sub>5</sub>		2		ns
转换结束到BUSY低电平延迟时间	t <sub>6</sub>	10			ns
转换时间(Warp模式/正常模式/脉冲模式)	t <sub>7</sub>			0.75/1/1.25	μs
采集时间	t <sub>8</sub>	250			ns
RESET脉冲宽度	t <sub>9</sub>	10			ns

# AD7671

## 时序规格 (续)

参数	符号	最小值	典型值	最大值	单位
参考图13、14、15、16(并行接口模式)					
CNVST低电平到DATA有效延迟时间 (Warp模式/正常模式/脉冲模式)	$t_{10}$			0.75/1/1.25	$\mu\text{s}$
DATA有效到BUSY低电平延迟时间	$t_{11}$	20			ns
总线访问请求到DATA有效	$t_{12}$			40	ns
总线释放时间	$t_{13}$	5		15	ns
参考图17、18(主机串行接口模式) <sup>2</sup>					
$\overline{\text{CS}}$ 低电平到SYNC有效延迟时间	$t_{14}$			10	ns
$\overline{\text{CS}}$ 低电平到内部SCLK有效延迟时间	$t_{15}$			10	ns
$\overline{\text{CS}}$ 低电平到SDOUT延迟时间	$t_{16}$			10	ns
CNVST低电平到SYNC延迟时间(转换期间读取) (Warp模式/正常模式/脉冲模式)	$t_{17}$		25/275/525		ns
SYNC置位到SCLK第一个沿延迟时间 <sup>3</sup>	$t_{18}$	4			ns
内部SCLK周期 <sup>3</sup>	$t_{19}$	25		40	ns
内部SCLK高电平 <sup>3</sup>	$t_{20}$	15			ns
内部SCLK低电平 <sup>3</sup>	$t_{21}$	9.5			ns
SDOUT有效设置时间 <sup>3</sup>	$t_{22}$	4.5			ns
SDOUT有效保持时间 <sup>3</sup>	$t_{23}$	2			ns
SCLK最后一个沿到SYNC延迟时间 <sup>3</sup>	$t_{24}$	3			
$\overline{\text{CS}}$ 高电平到SYNC高阻态	$t_{25}$			10	ns
$\overline{\text{CS}}$ 高电平到内部SCLK高阻态	$t_{26}$			10	ns
$\overline{\text{CS}}$ 高电平到SDOUT高阻态	$t_{27}$			10	ns
BUSY高电平(转换之后主机串行读取) <sup>3</sup>	$t_{28}$		见表II		$\mu\text{s}$
CNVST低电平到SYNC置位延迟时间 (Warp模式/正常模式/脉冲模式) 转换之后主机串行读取	$t_{29}$		0.75/1/1.25		$\mu\text{s}$
SYNC解除置位到BUSY低电平延迟时间	$t_{30}$		25		ns
参考图19、21(从机串行接口模式)					
外部SCLK设置时间	$t_{31}$	5			ns
外部SCLK有效沿到SDOUT延迟时间	$t_{32}$	3		16	ns
SDIN设置时间	$t_{33}$	5			ns
SDIN保持时间	$t_{34}$	5			ns
外部SCLK周期	$t_{35}$	25			ns
外部SCLK高电平	$t_{36}$	10			ns
外部SCLK低电平	$t_{37}$	10			ns

注释

<sup>1</sup> 仅Warp模式下，转换间隔时间最长为1 ms；其它模式下无最长时间要求。

<sup>2</sup> 串行接口模式下，SYNC、SCLK和SDOUT时序在最大10 pF的负载 $C_L$ 下进行定义；其它情况下，负载最大值为60 pF。

<sup>3</sup> 转换期间串行主机读取模式。转换之后主机读取模式见表II。

规格如有变更恕不另行通知。

表II. 转换之后主机读取模式的串行时钟时序

DIVSCLK[1]		0	0	1	1	单位
DIVSCLK[0]		0	1	0	1	
SYNC到SCLK第一个沿延迟时间最小值	$t_{18}$	4	20	20	20	ns
内部SCLK周期最小值	$t_{19}$	25	50	100	200	ns
内部SCLK周期最大值	$t_{19}$	40	70	140	280	ns
内部SCLK高电平最小值	$t_{20}$	15	25	50	100	ns
内部SCLK低电平最小值	$t_{21}$	9	24	49	99	ns
SDOUT有效设置时间最小值	$t_{22}$	4.5	22	22	22	ns
SDOUT有效保持时间最小值	$t_{23}$	2	4	30	89	ns
SCLK最后一个沿到SYNC延迟时间最小值	$t_{24}$	3	60	140	300	ns
BUSY高电平宽度最大值(Warp模式)	$t_{28}$	1.5	2	3	5.25	$\mu\text{s}$
BUSY高电平宽度最大值(正常模式)	$t_{28}$	1.75	2.25	3.25	5.5	$\mu\text{s}$
BUSY高电平宽度最大值(脉冲模式)	$t_{28}$	2	2.5	3.5	5.75	$\mu\text{s}$

规格如有变更恕不另行通知。

## 绝对最大额定值<sup>1</sup> 模拟输入

IND<sup>2</sup>, INC<sup>2</sup>, INB<sup>2</sup> ..... -11 V至+30 V  
INA, REF, INGND, REFGND, AGND

..... -0.3 V至AVDD + 0.3 V

## 地电压差

AGND, DGND, OGGND ..... ±0.3 V

## 电源电压

AVDD, DVDD, OVDD ..... -0.3 V至+7 V

AVDD至DVDD, AVDD至OVDD ..... ±7 V

DVDD至OVDD ..... -0.3 V至+7 V

数字输入 ..... -0.3 V至DVDD + 0.3 V

内部功耗<sup>3</sup> ..... 700 mW

内部功耗<sup>4</sup> ..... 2.5 W

结温 ..... 150°C

存储温度范围 ..... -65°C至+150°C

## 引脚温度范围

(焊接, 10秒) ..... 300°C

## 注释

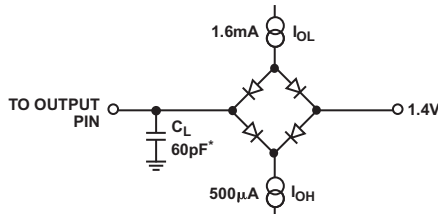
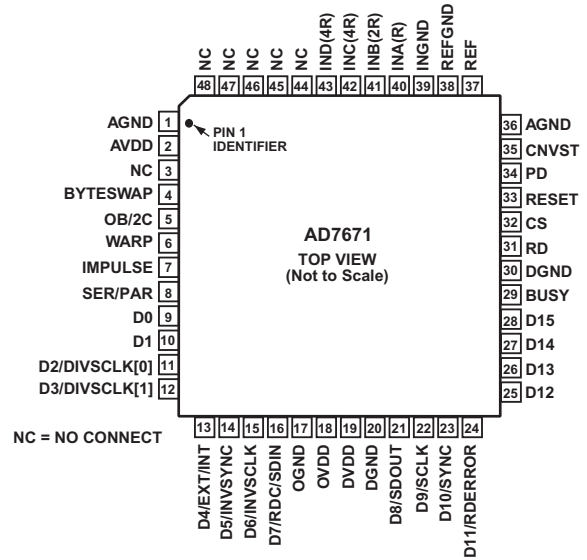
<sup>1</sup>注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

<sup>2</sup>参见模拟输入部分。

<sup>3</sup>针对空气中的器件而言: 48引脚LQFP:  $\theta_{JA} = 91^\circ\text{C/W}$ ,  $\theta_{JC} = 30^\circ\text{C/W}$ 。

<sup>4</sup>针对空气中的器件而言: 48引脚LFCSP:  $\theta_{JA} = 26^\circ\text{C/W}$ 。

## 引脚配置 ST-48和CP-48



<sup>\*</sup>IN SERIAL INTERFACE MODES, THE SYNC, SCLK, AND SDOUT TIMINGS ARE DEFINED WITH A MAXIMUM LOAD  $C_L$  OF 10pF; OTHERWISE, THE LOAD IS 60pF MAXIMUM.

图1. 数字接口时序的负载电路, SDOUT、SYNC、SCLK输出,  $C_L = 10\text{ pF}$

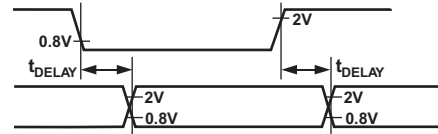


图2. 用于确定时序的基准电平

## 订购指南

型号	温度范围	温度范围	封装选项
AD7671AST	-40°C至+85°C	四方扁平封装(LQFP)	ST-48
AD7671ASTRL	-40°C至+85°C	四方扁平封装(LQFP)	ST-48
AD7671ACP	-40°C至+85°C	芯片级封装(LFCSP)	CP-48
AD7671ACPRL	-40°C至+85°C	芯片级封装(LFCSP)	CP-48
EVAL-AD7671CB <sup>1</sup>		评估板	
EVAL-CONTROL BRD <sup>2</sup>		控制器板	

## 注释

<sup>1</sup>此板可单独用作评估板, 或与EVAL-CONTROL BRD2配合用于评估/演示。

<sup>2</sup>此板允许PC对所有带CB标志后缀的ADI评估板进行控制并与之通信。

## 警告

ESD(静电放电)敏感器件。静电电荷很容易在人体和测试设备上累积, 可高达4000 V, 并可能在没有察觉的情况下放电。尽管AD7671具有专有ESD保护电路, 但在遇到高能量静电放电时, 可能会发生永久性器件损坏。因此, 建议采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。



## 引脚功能描述

引脚编号	引脚名称	类型	描述
1	AGND	P	模拟电源地引脚。
2	AVDD	P	输入模拟电源引脚。标称值5V。
3, 44-48	NC		不连接。
4	BYTESWAP		并行模式选择(8/16位)。低电平时, LSB通过D[7:0]输出, MSB通过D[15:8]输出。 高电平时, LSB通过D[15:8]输出, MSB通过D[7:0]输出。
5	OB/ $\overline{2C}$	DI	标准二进制/二进制补码。OB/ $\overline{2C}$ 为高电平时, 数字输出为标准二进制; 低电平时, MSB反转, 导致其内部移位寄存器输出二进制补码。
6	WARP	DI	模式选择。当它为高电平且IMPULSE为低电平时, 此输入选择最快的模式, 可以实现最高吞吐量; 为了保证达到额定最高精度, 必须采用最小转换速率。 当它为低电平时, 无论是否采用最小转换速率, 始终能保持最高精度。
7	IMPULSE	DI	模式选择。当它为高电平且WARP为低电平时, 此输入选择低功耗模式。 此模式下, 功耗与采样速率大致呈比例关系。
8	SER/ $\overline{PAR}$	DI	串行/并行选择输入。低电平时, 选择并行端口; 高电平时, 选择串行接口模式, 数据总线的一些位用作串行端口。
9, 10	D[0:1]	DO	并行端口数据输出总线的位0和位1。当SER/ $\overline{PAR}$ 为高电平时, 这些输出处于高阻态。
11, 12	D[2:3]或 DIVSCLK[0:1]	DI/O	当SER/ $\overline{PAR}$ 为低电平时, 这些输出用作并行端口数据输出总线的位2和位3。  当SER/ $\overline{PAR}$ 为高电平、EXT/ $\overline{INT}$ 为低电平且RDC/SDIN为低电平时, 选择转换之后串行主机读取模式。这些输入是串行端口的一部分, 需要时可用于减慢逐个输出数据的内部串行时钟。 在其它串行模式下, 这些引脚为高阻态输出。
13	D[4] 或EXT/ $\overline{INT}$	DI/O	当SER/ $\overline{PAR}$ 为低电平时, 此输出用作并行端口数据输出总线的位4。 当SER/ $\overline{PAR}$ 为高电平时, 此输入(串行端口的一部分)用作数字选择输入, 以选择内部或外部数据时钟(分别称为主机模式和从机模式)。 当EXT/ $\overline{INT}$ 为低电平时, SCLK输出选择内部时钟。当EXT/ $\overline{INT}$ 设为逻辑高电平时, 输出数据与连接到SCLK输入的外部时钟信号同步, 外部时钟由CS选通。
14	D[5] 或INVSYNC	DI/O	当SER/ $\overline{PAR}$ 为低电平时, 此输出用作并行端口数据输出总线的位5。 当SER/ $\overline{PAR}$ 为高电平时, 此输入(串行端口的一部分)用于选择SYNC信号的有效状态。 低电平时, SYNC为高电平有效。高电平时, SYNC为低电平有效。
15	D[6] 或INVSCLK	DI/O	当SER/ $\overline{PAR}$ 为低电平时, 此输出用作并行端口数据输出总线的位6。 当SER/ $\overline{PAR}$ 为高电平时, 此输入(串行端口的一部分)用于使SCLK信号反相。 它在主机和从机模式下均有效。
16	D[7] 或RDC/SDIN	DI/O	当SER/ $\overline{PAR}$ 为低电平时, 此输出用作并行端口数据输出总线的位7。 当SER/ $\overline{PAR}$ 为高电平时, 此输入(串行端口的一部分)用作外部数据输入或读取模式选择输入, 具体取决于EXT/ $\overline{INT}$ 的状态。 当EXT/ $\overline{INT}$ 为高电平时, RDC/SDIN可以用作数据输入, 以将两个或更多ADC的转换结果以菊花链方式传输到单一SDOUT线路上。 读取序列启动后延迟16个SCLK周期, SDIN上的数字数据电平通过DATA输出。 当EXT/ $\overline{INT}$ 为低电平时, RDC/SDIN用于选择读取模式。当RDC/SDIN为高电平时, 前一数据在转换期间通过SDOUT输出。当RDC/SDIN为低电平时, 数据只有等到转换完成后才能通过SDOUT输出。
17	OGND	P	输入/输出接口数字电源地。
18	OVDD	P	输入/输出接口数字电源。此引脚的标称电源与主机接口电源相同(5V或3V)。
19	DVDD	P	数字电源。标称值5V。
20	DGND	P	数字电源地。



## 引脚功能描述(续)

引脚编号	引脚名称	类型	描述
21	D[8] 或SDOUT	DO	<p>当SER/<math>\overline{\text{PAR}}</math>为低电平时，此输出用作并行端口数据输出总线的位8。</p> <p>当SER/<math>\overline{\text{PAR}}</math>为高电平时，此输出(串行端口的一部分)用作与SCLK同步的串行数据输出。转换结果存储在片内寄存器中。AD7671以MSB优先方式从内部移位寄存器提供转换结果。数据格式由OB/2C的逻辑电平决定。串行模式下，当EXT/<math>\overline{\text{INT}}</math>为低电平时，SDOUT在SCLK的两个沿上均有效。</p> <p>串行模式下，当EXT/<math>\overline{\text{INT}}</math>为高电平时：            如果INV<math>\overline{\text{SCLK}}</math>为低电平，则SDOUT在SCLK上升沿更新，并在下一个下降沿有效。            如果INV<math>\overline{\text{SCLK}}</math>为高电平，则SDOUT在SCLK下降沿更新，并在下一个上升沿有效。</p>
22	D[9] 或SCLK	DI/O	<p>当SER/<math>\overline{\text{PAR}}</math>为低电平时，此输出用作并行端口数据输出总线的位9。</p> <p>当SER/<math>\overline{\text{PAR}}</math>为高电平时，此引脚(串行端口的一部分)用作串行数据时钟输入或输出，具体取决于EXT/<math>\overline{\text{INT}}</math>引脚的逻辑状态。SDOUT更新的有效沿取决于INV<math>\overline{\text{SCLK}}</math>引脚的逻辑状态。</p>
23	D[10] 或SYNC	DO	<p>当SER/<math>\overline{\text{PAR}}</math>为低电平时，此输出用作并行端口数据输出总线的位10。</p> <p>当SER/<math>\overline{\text{PAR}}</math>为高电平时，此输出(串行端口的一部分)用作数字输出帧同步信号，配合内部数据时钟使用(EXT/<math>\overline{\text{INT}}</math>=逻辑低电平)。当启动读取序列且INV<math>\overline{\text{SYNC}}</math>为低电平时，SYNC变为高电平，并在SDOUT输出有效期间保持高电平。当启动读取序列且INV<math>\overline{\text{SYNC}}</math>为高电平时，SYNC变为低电平，并在SDOUT输出有效期间保持低电平。</p>
24	D[11] 或RDERROR	DO	<p>当SER/<math>\overline{\text{PAR}}</math>为低电平时，此输出用作并行端口数据输出总线的位11。</p> <p>当SER/<math>\overline{\text{PAR}}</math>为高电平且EXT/<math>\overline{\text{INT}}</math>为高电平时，此输出(串行端口的一部分)用作未完成读取错误标志。在从机模式下，如果数据读取已开始，但未在下一个转换完成时完成，则当前数据丢失，RDERROR变为高电平。</p>
25–28	D[12:15]	DO	并行端口数据输出总线的位12至位15。当SER/ $\overline{\text{PAR}}$ 为高电平时，这些输出处于高阻态。
29	BUSY	DO	输出繁忙。开始转换时，此引脚变为高电平，并保持高电平直到转换完成，并且数据被锁存到片内移位寄存器。BUSY的下降沿可以用作数据就绪时钟信号。
30	DGND	P	必须接数字地。
31	RD	DI	读取数据。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，使能接口并行或串行输出总线。
32	CS	DI	片选。当 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 均为低电平时，使能接口并行或串行输出总线。 $\overline{\text{CS}}$ 还用于选通外部串行时钟。
33	RESET	DI	复位输入。设为逻辑高电平时，AD7671复位，当前转换(如有)中止。如果不使用，此引脚可以接DGND。
34	PD	DI	省电输入。设为逻辑高电平时，功耗降低，当前转换完成后禁止转换。
35	CNVST	DI	开始转换。 $\overline{\text{CNVST}}$ 上升沿使内部采样保持器进入保持状态，并且启动转换。在脉冲模式下(IMPULSE为高电平且WARP为低电平)，当采集阶段( $t_s$ )完成时，如果CNVST处于低电平状态，则内部采样保持器进入保持状态，转换立即开始。
36	AGND	P	必须接模拟地。
37	REF	AI	基准输入电压。
38	REFGND	AI	基准输入模拟地。
39	INGND	P	模拟输入地。
40, 41, 42, 43	INA, INB, INC, IND	AI	模拟输入。输入范围配置见表1。

## 注释

AI = 模拟输入  
 DI = 数字输入  
 DI/O = 双向数字  
 DO = 数字输出  
 P = 电源

## 特性定义

### 积分非线性(INL)

线性误差是指每个码与一条从“负满量程”画到“正满量程”的直线的偏差。负满量程点出现在第一个码转换之前的1/2 LSB处。正满量程定义为超出最后一个码转换1/2 LSB的一个电平。从各码的中点到该直线的距离即为偏差。

### 微分非线性(DNL)

在一个理想ADC中，码转换相距1 LSB。微分非线性是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来规定这一特性。

### 满量程误差

最后一个码转换(二进制补码编码时为从011...10到011...11)应对应于一个比标称满量程低1/2 LSB的模拟电压( $\pm 2.5$  V范围时为2.499886 V)。满量程误差是指最后一个码转换的实际电平与理想电平的偏差。

### 双极性零误差

理想中间电平输入电压(0 V)与产生中间电平输出码的实际电压之差。

### 单极性零误差

在单极性模式下，第一个码转换应对应于一个比模拟地高1/2 LSB的电平。单极性零误差是指实际转换与该点的偏差。

### 无杂散动态范围(SFDR)

输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

### 有效位数(ENOB)

利用正弦波输入测得的分辨率。它与信纳比相关，下式给出了二者的关系：

$$ENOB = (S/[N + D]_{dB} - 1.76)/6.02$$

它用位表示。

### 总谐波失真(THD)

前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

### 信噪比(SNR)

实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 信纳比(S/[N+D])

实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

### 孔径延迟

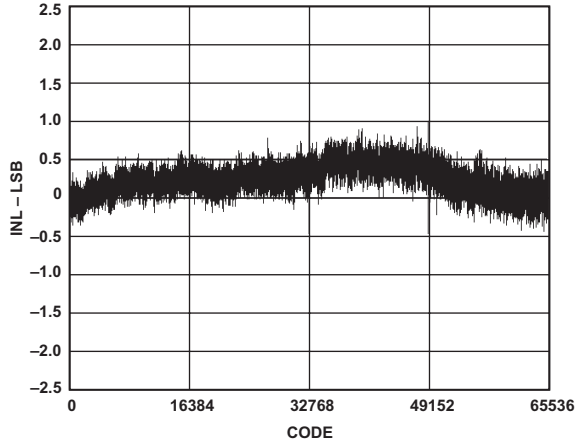
用于衡量采集性能，指从 $\overline{CNVST}$ 输入的下沿到输入信号可进行转换的时间。

### 瞬态响应

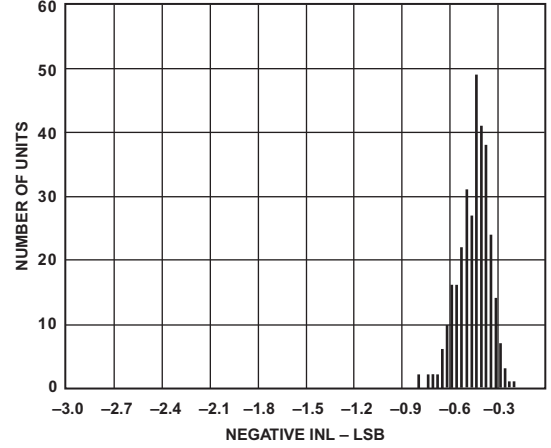
对AD7671的输入应用满量程阶跃函数之后，AD7671实现额定精度所需的时间。



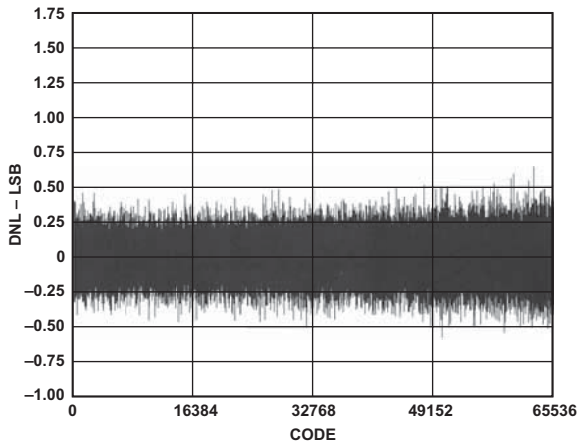
# 典型工作特性-AD7671



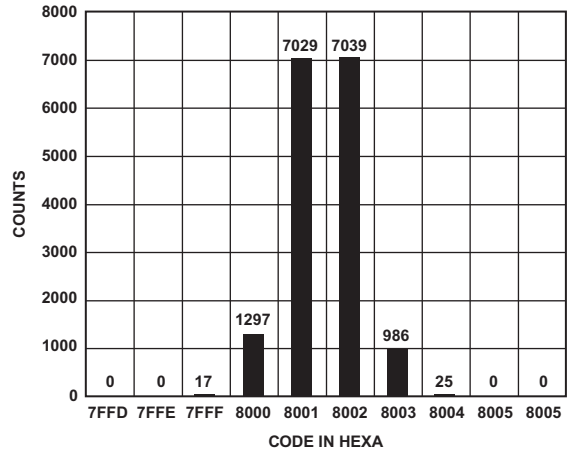
TPC 1. 积分非线性与码的关系



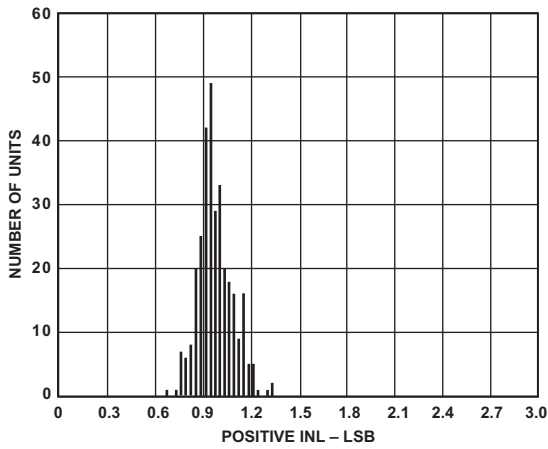
TPC 4. 典型负INL分布(314单位)



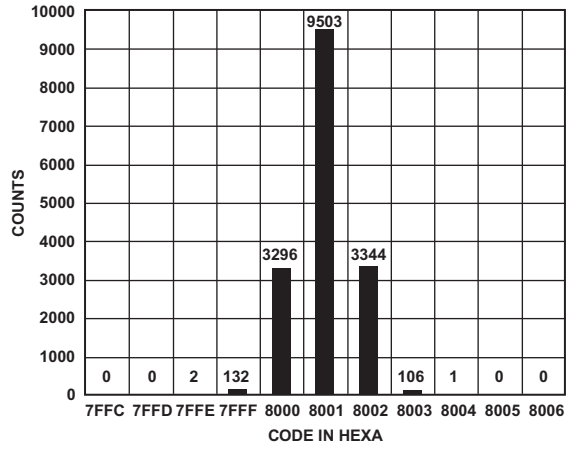
TPC 2. 微分非线性与码的关系



TPC 5. 一个直流输入的16,384次转换的直方图(码转换)

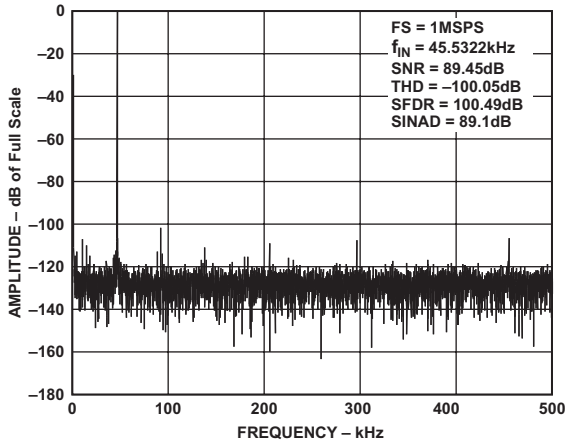


TPC 3. 典型正INL分布(314单位)

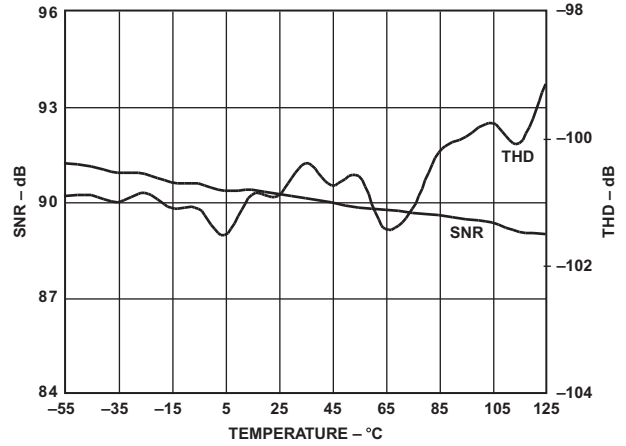


TPC 6. 一个直流输入的16,384次转换的直方图(码中心)

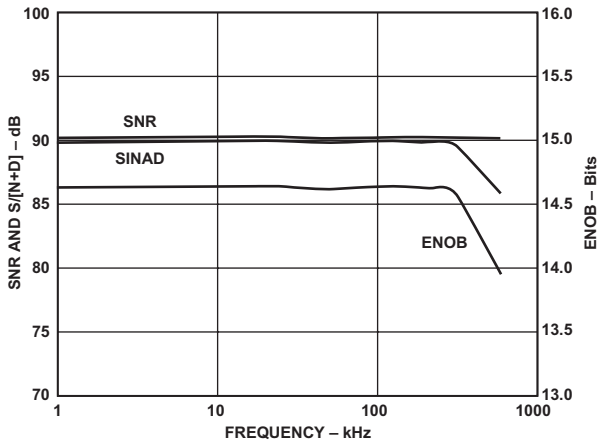
# AD7671



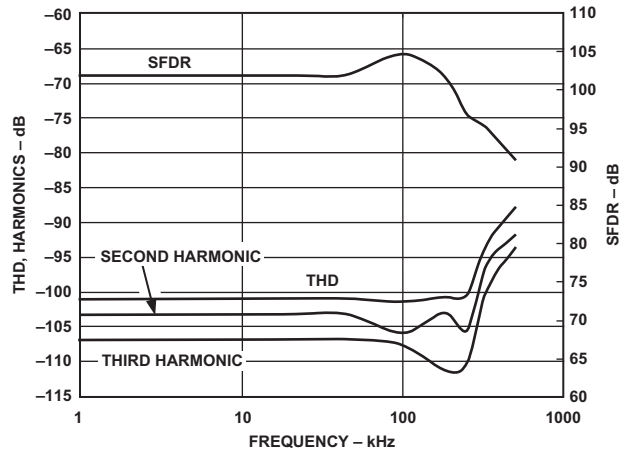
TPC 7. FFT图



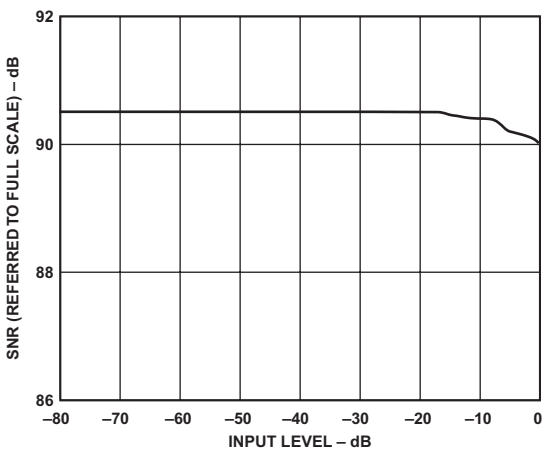
TPC 10. 信噪比、总谐波失真与温度的关系



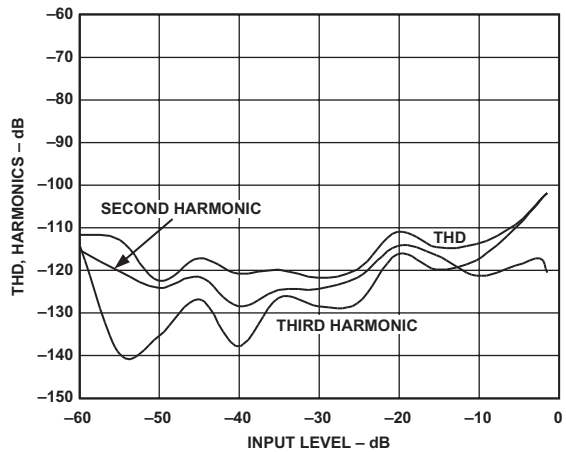
TPC 8. 信噪比、信纳比和有效位数与频率的关系



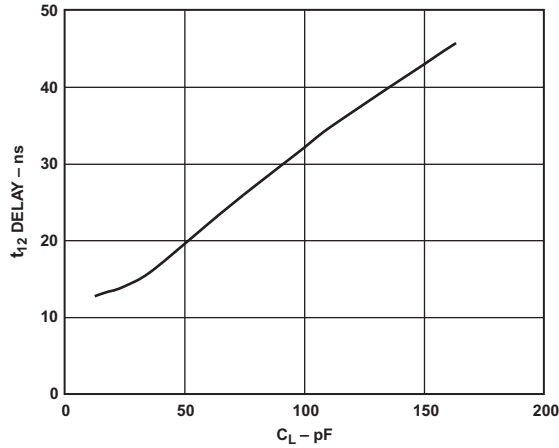
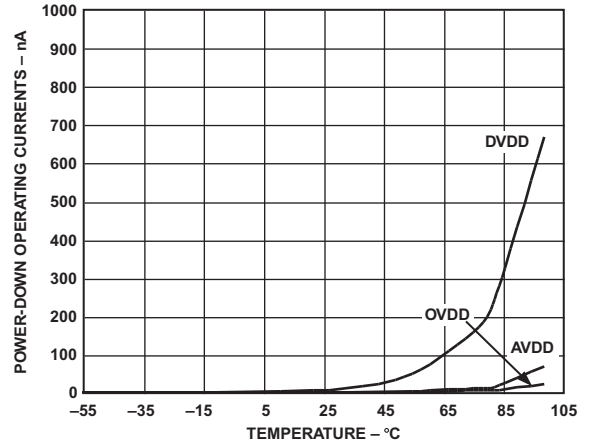
TPC 11. 总谐波失真、谐波和无杂散动态范围与频率的关系



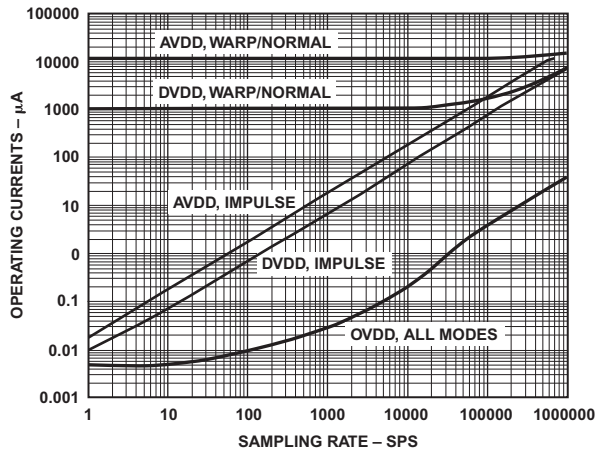
TPC 9. 信噪比与输入电平的关系



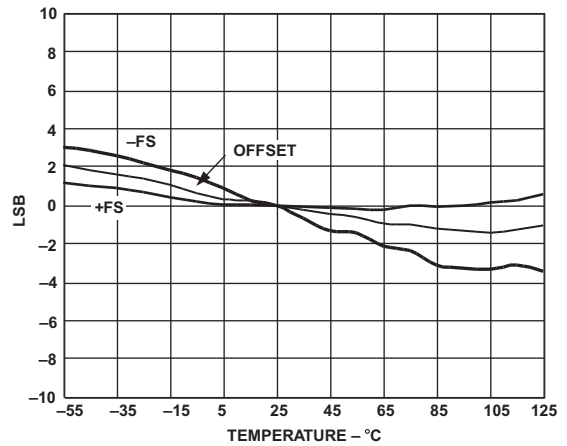
TPC 12. 总谐波失真、谐波与输入电平的关系

TPC 13. 典型延迟时间与负载电容 $C_L$ 的关系

TPC 15. 省电工作电流与温度的关系



TPC 14. 工作电流与采样速率的关系



TPC 16. +FS、失调和-FS与温度的关系

## 电路信息

AD7671是一款快速、低功耗、单电源、精密16位模数转换器(ADC)，提供多种工作模式，以便根据应用优化性能。

在Warp模式下，AD7671每秒能够转换1,000,000个样本(1 MSPS)。

AD7671为用户提供片内采样保持、逐次逼近型ADC，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

它可以工作在双极性和单极性两种输入范围，具体通过改变其输入电阻定标器的连接进行选择。

AD7671可以采用5 V单电源供电，并且可以与5 V或3 V数字逻辑接口。它采用48引脚LQFP封装或48引脚LFCSFP封装，节省空间，配置灵活，可提供串行或并行接口。AD7671是AD7665和AD7664的引脚兼容升级产品。

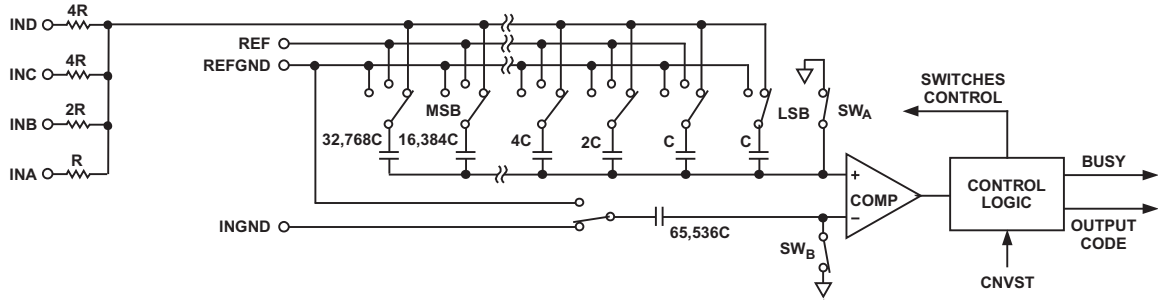


图3. ADC原理示意图

## 转换器操作

AD7671是一款基于电荷重分配DAC的逐次逼近型模数转换器。图3显示了该ADC的原理示意图。输入模拟信号首先由内部输入电阻定标器缩小并进行电平转换，该定标器支持单极性范围(0 V至2.5 V、0 V至5 V、0 V至10 V)和双极性范围( $\pm 2.5$  V、 $\pm 5$  V、 $\pm 10$  V)。电阻定标器的输出电压范围始终为0 V至2.5 V。容性DAC由16个二进制加权电容组成的一个阵列和1个附加“LSB”电容组成。比较器的负输入连接到一个容值与该容性DAC阵列相同的“Dummy”电容。

在采集阶段，与比较器正输入相连的该阵列共用端通过SW<sub>A</sub>连接到AGND。所有独立开关都连接到电阻定标器的输出端。因此，电容阵列用作一个采样电容以采集模拟信号。同样，“Dummy”电容采集INGND输入上的模拟信号。

当采集阶段完成且CNVST输入变为或处于低电平时，就会启动转换阶段。当转换阶段开始时，SW<sub>A</sub>和SW<sub>B</sub>首先断开。然后，电容阵列和“Dummy”电容从输入端断开，连接到REFGND输入。因此，采集阶段结束时捕捉到的电阻定标器输出与INGND之间的差分电压施加于比较器输入端，导致比较器变得不平衡。

在REFGND或REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进( $V_{REF}/2$ 、 $V_{REF}/4 \dots V_{REF}/65,536$ )变化。控制逻辑切换这些开关，首先从MSB开始，以便使比较器重新回到平衡状态。完成此过程后，控制逻辑产生ADC输出码，并将BUSY输出设为低电平。

## 工作模式

AD7671有三种工作模式：Warp、正常和脉冲。各模式有各模式所适合的应用。

Warp模式支持高达1 MSPS的最快转换速率。然而，在这种模式下(且只有这种模式)，只有当转换间隔时间不超过1 ms时，才能保证额定最高精度。如果两次连续转换的间隔时间长于1 ms，例如在上电后，则应忽略第一个转换结果。这种模式特别适合同时要要求高精度和快速采样率的应用。

在转换间隔时间没有任何限制的情况下，正常模式是最快模式(800 kSPS)。这种模式特别适合同时要要求高精度和快速采样率的异步应用，如数据采集系统等。

脉冲模式是功耗最低的一种工作模式，器件可在两次转换间隙进入省电状态。这种模式下的最高吞吐量为666 kSPS。当工作在100 SPS时，其典型功耗仅15 $\mu$ W。这种模式特别适合电池供电的应用。

## 传递函数

AD7671提供两种输出编码方式：标准二进制和二进制补码，具体通过OB/2C数字输入进行选择。其理想传递特性如图4和表III所示。

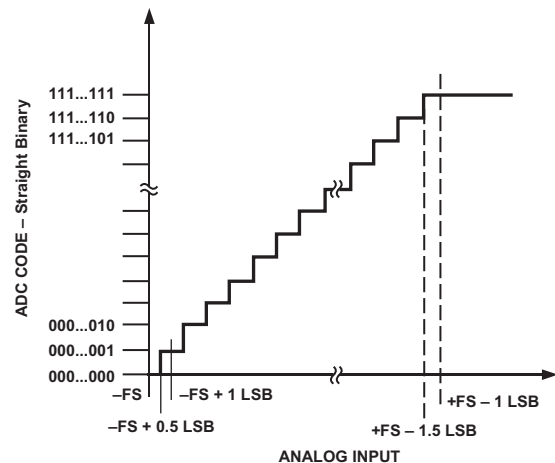


图4. ADC理想传递函数

表III. 输出码和理想输入电压

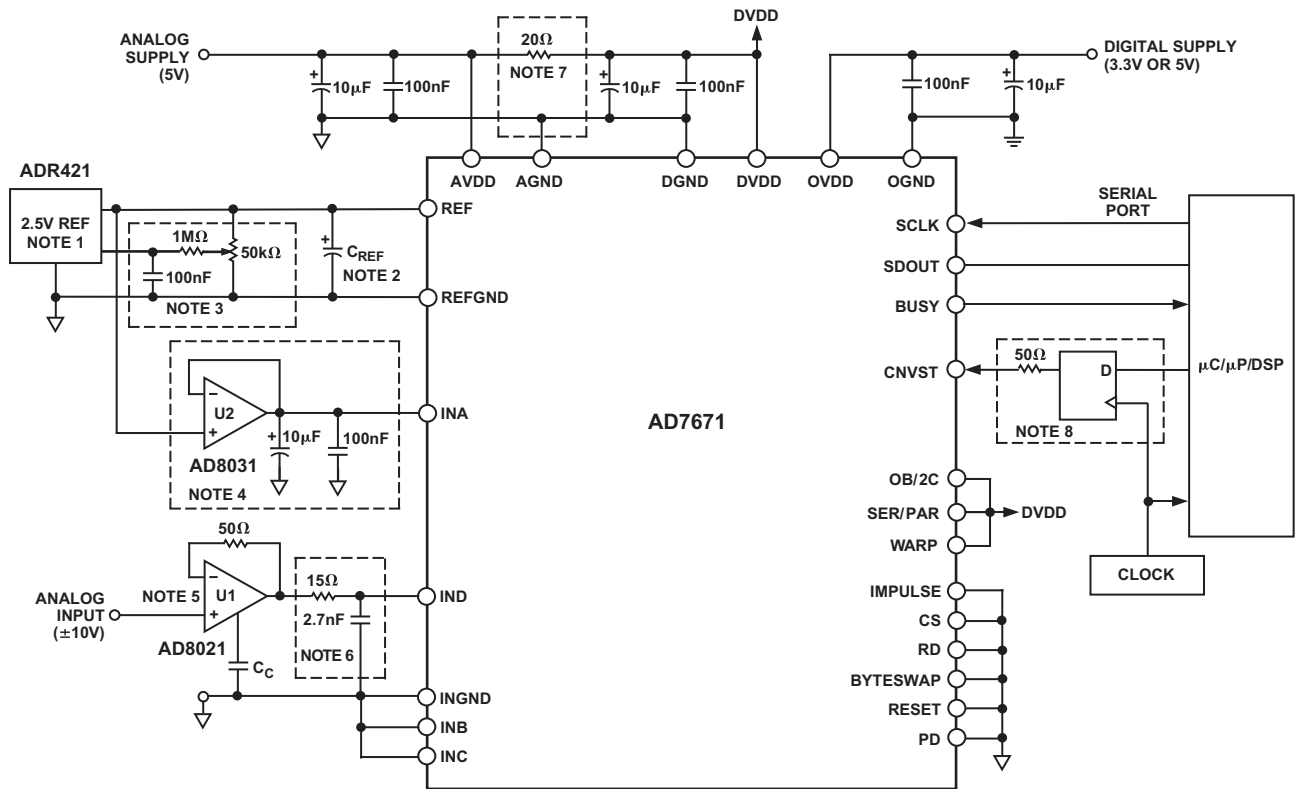
描述	模拟输入						数字输出码 (十六进制)	
							标准 二进制	二进制补码
满量程范围 <sup>1</sup>	± 10 V	± 5 V	± 2.5 V	0 V至10 V	0 V至5 V	0 V至5 V		
最低有效位(LSB)	305.2μV	152.6μV	76.3μV	152.6μV	76.3μV	76.3μV		
FSR - 1 LSB	9.999695 V	4.999847 V	2.499924 V	9.999847 V	4.999924 V	4.999924 V	FFFF <sup>2</sup>	7FFF <sup>2</sup>
中间电平 + 1 LSB	305.2μV	152.6μV	76.3μV	5.000153 V	2.570076 V	2.570076 V	8001	0001
中间电平	0 V	0 V	0 V	5 V	2.5 V	2.5 V	8000	0000
中间电平 - 1 LSB	-305.2μV	-152.6μV	-76.3μV	4.999847 V	2.499924 V	2.499924 V	7FFF	FFFF
-FSR + 1 LSB	-9.999695 V	-4.999847 V	-2.499924 V	152.6μV	76.3μV	76.3μV	0001	8001
-FSR	-10 V	-5 V	-2.5 V	0 V	0 V	0 V	0000 <sup>3</sup>	8000 <sup>3</sup>

注释

<sup>1</sup> REF = 2.5 V。REF = 3 V时，所有值线性放大。<sup>2</sup> 这也是超量程模拟输入对应的码。<sup>3</sup> 这也是欠量程模拟输入对应的码。

## 典型连接图

图5给出了AD7671的典型连接图。本图所示的不同电路是可选的，详情见下文所述。



## NOTES

- SEE VOLTAGE REFERENCE INPUT SECTION.
- WITH THE RECOMMENDED VOLTAGE REFERENCES,  $C_{REF}$  IS 47μF. SEE VOLTAGE REFERENCE INPUT SECTION.
- OPTIONAL CIRCUITRY FOR HARDWARE GAIN CALIBRATION.
- FOR BIPOLAR RANGE ONLY. SEE SCALER REFERENCE INPUT SECTION.
- THE AD8021 IS RECOMMENDED. SEE DRIVER AMPLIFIER CHOICE SECTION.
- WITH 0V TO 2.5V RANGE ONLY. SEE ANALOG INPUTS SECTION.
- OPTION. SEE POWER SUPPLY SECTION.
- OPTIONAL LOW JITTER CNVST. SEE CONVERSION CONTROL SECTION.

图5. 典型连接图(±10 V范围)

# AD7671

## 模拟输入

AD7671可以工作在6种满量程模拟输入范围。四个模拟输入IND、INC、INB和INA各自所需的连接以及相应的满量程范围如表I所示。表I同时显示了各模拟输入范围的典型输入阻抗。

图6给出了AD7671的模拟输入部分示意图。

连接到四个模拟输入的四个电阻构成一个电阻定标器，它将模拟输入范围缩小并转换到开关电容ADC输入端的共用输入范围0 V至2.5 V。

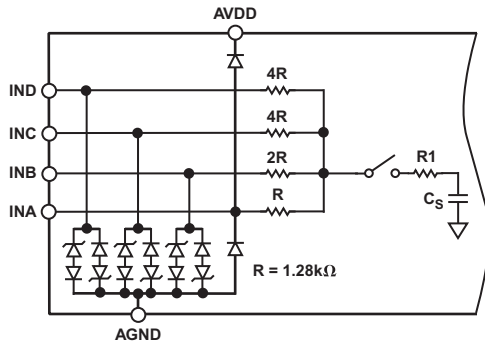


图6. 模拟输入示意图

将四个输入INA、INB、INC和IND连接到输入信号本身、地或2.5 V基准源，可以获得其它模拟输入范围。

图6中所示的二极管为四个模拟输入提供ESD保护。输入INB、INC和IND具有高压保护功能(-11 V至+30 V)，支持非常宽的输入电压范围。切记，模拟输入信号决不能超过这些输入的绝对额定值，包括INA (0 V to 5 V)，否则会造成这些二极管正偏，并开始传导电流。这些二极管可以处理最高120 mA的正偏电流。例如，当使用0 V至2.5 V输入范围时，如果输入缓冲器(U1)的电源与AVDD不同，则这些条件最终可能会出现在输入INA上。这种情况下，可以利用具有短路电流限制的输入缓冲器保护器件。

该模拟输入结构支持对电阻定标器输出与INGND之间的差分信号进行采样。与其它转换器不同，INGND输入的采样与这些输入的采样同时进行。利用此差分输入可以抑制两个输入共有的小信号，如图7所示，它显示了典型共模抑制比(CMRR)与频率的关系。例如，如果利用INGND检测远程信号地，则传感器与本地ADC地之间的地电位差将被消除。在交流信号的采集阶段，AD7671表现得像一个单极点RC滤波器，它由电阻定标器R/2与R1的串联有效电阻和Cs组成。电阻R1典型值为100 Ω，是一个由一些串联电阻和开关的导通电阻组成的集总元件。

电容Cs典型值为60 pF，主要包括ADC采样电容。此单极点滤波器的典型-3 dB截止频率为9.6 MHz，可以降低不良混叠影响并限制来自输入的噪声。

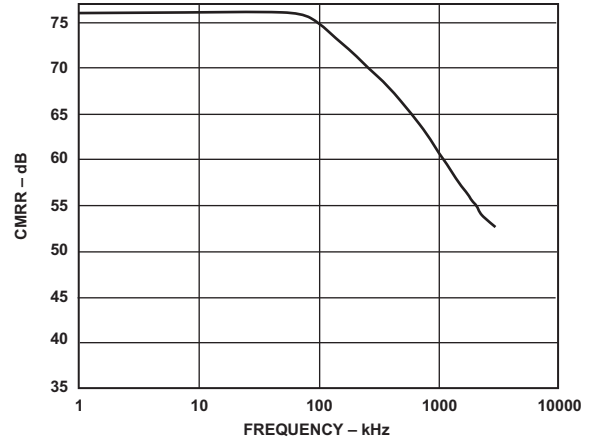


图7. 模拟输入CMRR与频率的关系

除使用0 V至2.5 V模拟输入电压范围之外，其它情况下必须用阻抗非常低的信号源驱动AD7671，以免产生增益误差。这可以利用一个驱动放大器实现，AD7671以阻性为主的模拟输入电路可简化驱动放大器的选择。

当使用0 V至2.5 V模拟输入电压范围时，AD7671的输入阻抗非常高，因此可以直接用低阻抗源驱动AD7671而不会产生增益误差。这样就可以在放大器输出端与ADC模拟输入端之间放置一个外部单极点RC滤波器，如图5所示，以进一步提高AD7671模拟输入电路的噪声滤波性能。不过，信号源必须保持低阻抗，因为它会影响交流性能，特别是总谐波失真(THD)特性。最大的源阻抗取决于可容许的总谐波失真。THD性能下降程度是源阻抗和最大输入频率的函数，如图8所示。

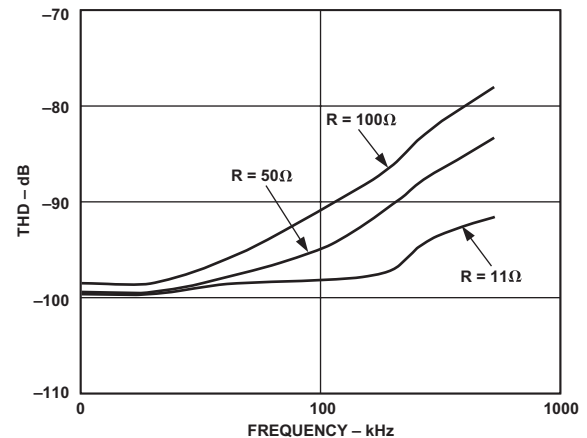


图8. THD与模拟输入频率和输入电阻的关系 (仅0 V至2.5 V范围)



## 驱动放大器选择

虽然AD7671很容易驱动，但驱动放大器至少应满足下列要求：

- 对于满量程阶跃，驱动放大器和AD7671模拟输入电路一起必须能够使电容阵列建立在16位水平(0.0015%)。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择之前应进行验证。小型运算放大器AD8021具有超低噪声特性和高增益带宽，即使增益高达13，它也能达到这一建立时间要求。
- 驱动放大器所产生的噪声需尽可能低，以便保持AD7671的SNR和转换噪声性能。来自驱动器的噪声首先由电阻定标器根据所用的模拟输入电压范围进行缩小，然后通过由 $(R/2 + R1)$ 和 $C_s$ 构成的AD7671的模拟输入电路单极点低通滤波器进行滤波。放大器引起的SNR性能下降可表示为

$$SNR_{Loss} = 20 \log \left( \frac{28}{\sqrt{784 + \frac{p}{2} f_{-3dB} \left( \frac{2.5Ne_N}{FSR} \right)^2}} \right)$$

其中：

$f_{-3dB}$  为AD7671的-3 dB输入带宽(9.6 MHz)，或者是输入滤波器(如有)的截止频率(0 V至2.5 V范围)。

$N$  为放大器的噪声系数(缓冲器配置时为1)。

$e_N$  为运算放大器的等效输入噪声电压，单位  $nV/\sqrt{Hz}$ 。

$FSR$  为满量程跨度( $\pm 2.5$  V范围为5 V)。

例如，假设使用0 V至5 V范围，驱动器使用AD8021，其等效输入噪声为 $2 nV/\sqrt{Hz}$ ，并且将它配置为缓冲器，因而噪声增益为1，则SNR性能仅下降0.08 dB。

- 驱动器的THD性能必须适合AD7671。TPC 11给出了THD与频率的关系，驱动器最好应超过该性能。

AD8021符合这些要求，几乎适合所有应用。AD8021需要一个10 pF的外部补偿电容。此电容应具有类似NPO陶瓷或云母型电容的良好线性度。

当需要双通道放大器且使用增益1时，可以使用AD8022。

如果不要求高频(100 kHz以上)性能，也可以选择AD829。增益为1时，它需要一个82 pF的补偿电容。

在低频应用中需要低偏置电流时，可以考虑AD8610。

## 基准电压输入

AD7671使用2.5 V外部基准电压源。

AD7671的基准电压输入REF引脚具有动态输入阻抗，因此应利用低阻抗源驱动该引脚，REF与REFGND引脚之间应有效去耦。此去耦取决于选择何种基准电压源，但通常包括一个 $1\mu F$ 陶瓷电容和一个连接到REF与REFGND、具有最小寄生电感的低ESR钽电容。当配合下列推荐的基准电压源使用时， $47\mu F$ 钽电容是合适的：

- 低噪声、低温漂基准电压源ADR421和AD780
- 低功耗基准电压源ADR291
- 低成本基准电压源AD1582

对于使用多个AD7671的应用，用一个低噪声、非常稳定的运算放大器缓冲基准电压会更有效，例如AD8031。

应特别注意基准电压源的参考温度系数，此参数如果有问题，将直接影响到满量程精度。例如，基准电压源 $\pm 15$  ppm/ $^{\circ}C$ 的温度系数将使满量程以 $\pm 1$  LSB/ $^{\circ}C$ 的幅度改变。

请注意，正如技术规格表中所述， $V_{REF}$ 可以提高到AVDD - 1.85 V，这样做的好处是可以提高SNR性能。输入范围是根据 $V_{REF}$ 进行定义，因此，当AVDD高于4.85 V时， $\pm REF$ 范围可以从 $\pm 2.5$  V提高到 $\pm 3$  V等等。理论上，基准电压的这种提高可以使SNR提高1.58 dB ( $20 \log [3/2.5]$ )。不过，由于理论量化噪声的影响，实际观察到的性能改善约为1 dB。AD780可以提供3 V基准电压选项。

## 定标器基准输入(双极性输入范围)

当AD7671工作在双极性输入范围时，图5中的连接图显示了一个基准电压缓冲放大器。此缓冲放大器必不可少，用于将REF引脚与Inx引脚中的信号相关电流隔离。可以使用AD8031等高速运算放大器，它工作在5 V单电源下，不会降低AD7671的性能。该缓冲器必须具有良好的建立特性，在AD7671输入带宽内的总噪声必须非常低。

## 电源

AD7671使用三组电源引脚：模拟5 V电源AVDD、数字5 V内核电源DVDD以及数字输入/输出接口电源OVDD。OVDD电源可以与工作在2.7 V至DVDD + 0.3 V范围的任何逻辑直接接口。为了减少所需电源的数量，数字内核(DVDD)可以通过一个简单的RC滤波器从模拟电源供电，如图5所示。只要OVDD不超过DVDD 0.3 V以上，AD7671就与电源时序无关，因而不会发生电源电压导致的闩锁现象。此外，它在很宽的频率范围内对电源变化非常不敏感，如图9所示。

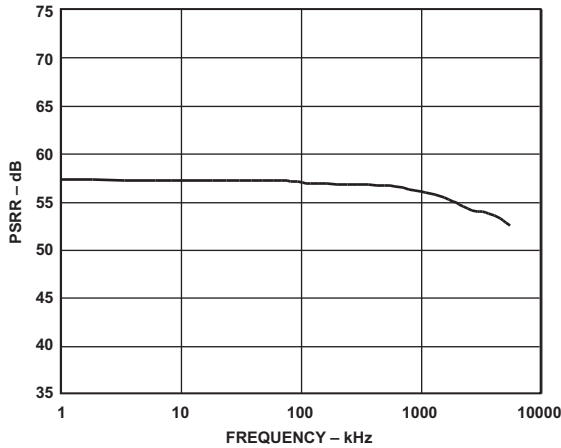


图9. PSRR与频率的关系

## 功耗

在脉冲模式下，AD7671在每个转换阶段结束时自动降低功耗。在采集阶段，工作电流非常低，因此当转换速率降低时，功耗显著降低，如图10所示。这一特性使得AD7671非常适合电池供电的极低功耗应用。

上述功耗没有考虑输入电阻定标器的功耗(如有)，后者取决于所用的输入电压范围和省电模式下的模拟输入电压。当使用0 V至2.5 V范围时，或者当模拟输入电压为0 V且使用0 V至5 V或0 V至10 V的单极性范围时，电阻定标器不产生功耗。

应当注意，即使在采集阶段，数字接口也保持有效。为进一步降低工作数字电源电流，需要将数字输入驱动至接近供电轨(即DVDD和DGND)，并且OVDD不应超过DVDD 0.3 V以上。

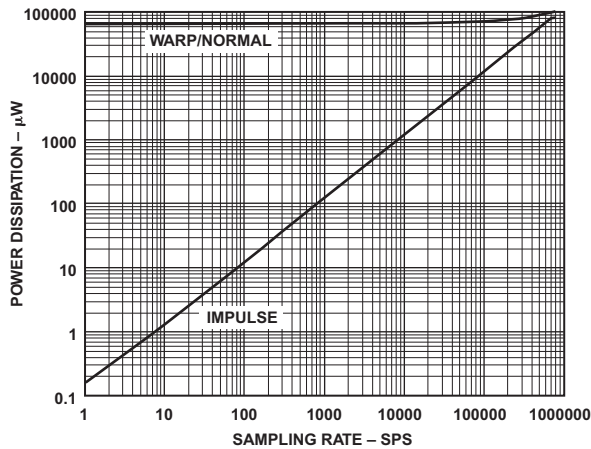


图10. 功耗与采样速率的关系

## 转换控制

图11为转换过程的详细时序图。AD7671的转换由信号 $\overline{\text{CNVST}}$ 启动。一旦启动，则无法重新开始或中止，甚至省电输入PD也无能为力，只有等到转换完成。 $\overline{\text{CNVST}}$ 信号独立工作，与 $\overline{\text{CS}}$ 和 $\overline{\text{RD}}$ 信号无关。

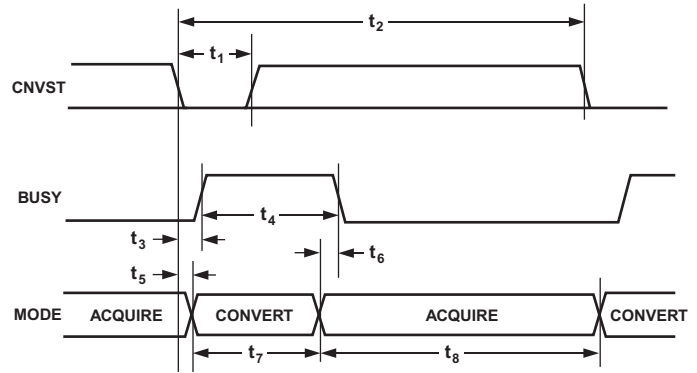


图11. 基本转换时序

在脉冲模式下，转换可以自动启动。当BUSY为低电平时，如果 $\overline{\text{CNVST}}$ 处于低电平，则AD7671控制采集阶段，然后自动启动新的转换。只要 $\overline{\text{CNVST}}$ 保持低电平，AD7671就会持续执行转换过程。应注意，当BUSY变为低电平时，模拟输入必须完成建立。另外在上电时， $\overline{\text{CNVST}}$ 应变为低电平一次，以便启动转换过程。此模式下，AD7671的采样速率有时可能稍快于666 kSPS的保证限值。Warp或正常模式中则不存在这一特性。

虽然 $\overline{\text{CNVST}}$ 是一个数字信号，但设计时应特别注意，应当采用快速、干净的边沿以及过冲/欠冲或响铃振荡极小的电平。最好用地屏蔽 $\overline{\text{CNVST}}$ 走线，并在靠近驱动此线路的器件的输出端处增加一个低值串联电阻(如50 Ω)。

针对SNR性能至关重要的应用， $\overline{\text{CNVST}}$ 信号的抖动应非常低。为此，可以使用专用振荡器来产生 $\overline{\text{CNVST}}$ 信号，或者至少应利用高频低抖动时钟为其定时，如图5所示。

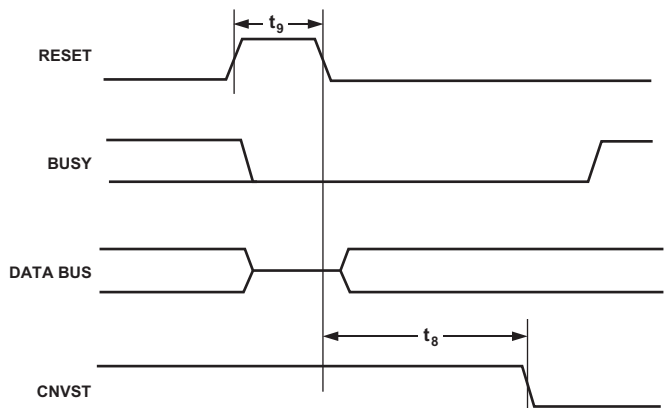


图12. RESET时序

## 数字接口

AD7671具有一个多功能数字接口，可以利用串行或并行接口与主机系统接口。串行接口与并行数据总线复用。只需将AD7671的OVDD电源引脚连接到主机系统接口数字电源，AD7671数字接口便可支持3 V或5 V逻辑。最后，利用OB/2C输入引脚可以选择标准二进制或二进制补码编码方式。

$\overline{CS}$ 和 $\overline{RD}$ 这两个信号控制数字接口。只要其中一个信号为高电平，接口输出便处于高阻态。通常而言，在多电路应用中， $\overline{CS}$ 用于选择各AD7671；在单AD7671设计中，CS保持低电平。 $\overline{RD}$ 一般用于使能数据总线上的转换结果。

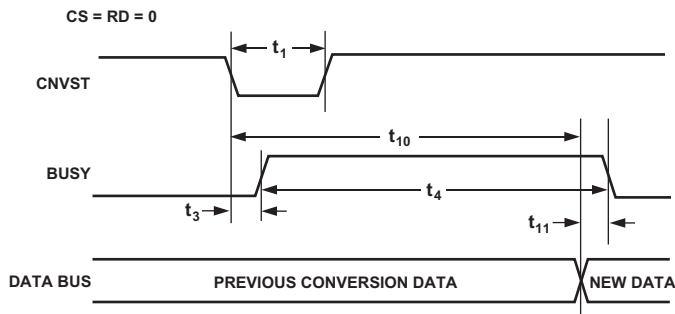


图13. 读取时的主机并行数据时序(连续读取)

## 并行接口

当SER/PAR处于低电平时，AD7671使用并行接口。数据既可以在各次转换之后，即下一个采集阶段读取，也可以在下一转换期间读取，这两种情况分别如图14和图15所示。然而，如果在转换期间读取数据，建议仅在转换阶段的前半段读取。这可以避免数字接口和最关键的模拟转换电路上的电压瞬变之间出现馈通。

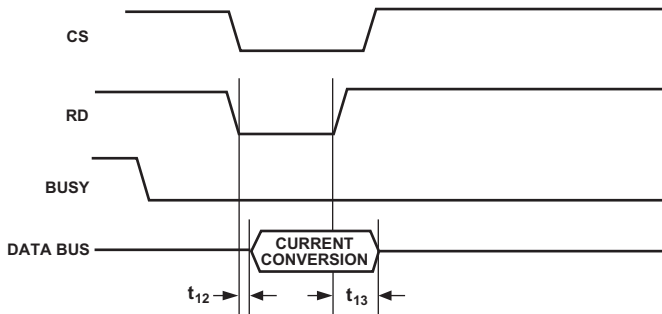


图14. 读取时的从机并行数据时序(转换之后读取)

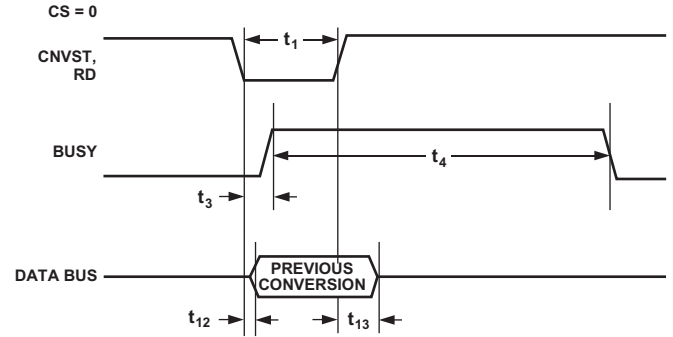


图15. 读取时的从机并行数据时序(转换期间读取)

BYTESWAP引脚可以与8位总线无缝接口。如图16所示，当BYTESWAP为低电平时，LSB通过D[7:0]输出，MSB通过D[15:8]输出。当BYTESWAP为高电平时，LSB字节与MSB字节交换，LSB通过D[15:8]输出，MSB通过D[7:0]输出。如果将BYTESWAP连接到地址线，则16个数据位可以分2个字节在D[15:8]或D[7:0]上读取。

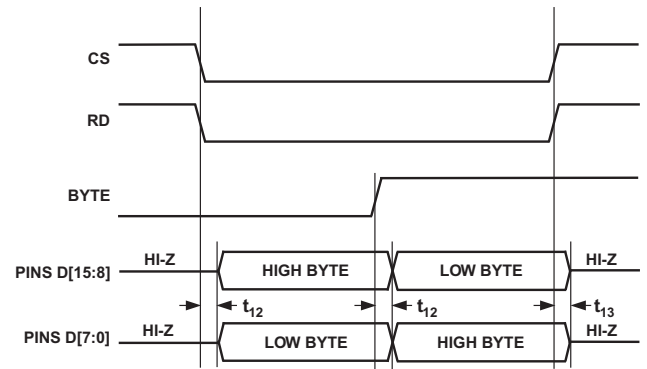


图16. 8位并行接口

## 串行接口

当SER/PAR处于高电平时，AD7671使用串行接口。AD7671以MSB优先方式在SDOUT引脚上输出16位数据。此数据与SCLK引脚上提供的16个时钟脉冲同步。输出数据在数据时钟的上升沿和下降沿均有效。

## 从机串行接口

### 外部时钟

当EXT/INT引脚处于高电平时，AD7671利用在SCLK引脚上提供的外部串行数据时钟工作。这种模式下，可以用多种方法读取数据。外部串行时钟由 $\overline{CS}$ 选通，当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时，数据输出。因此，根据 $\overline{CS}$ 的状态不同，数据可以在各次转换之后或在下一转换期间读取。外部时钟可以是连续时钟或非连续时钟。非连续时钟在无效时可以是常高或常低。图19和图21为这些方法的详细时序图。

# AD7671

## 主机串行接口

### 内部时钟

当EXT/INT引脚处于低电平时，AD7671产生并提供串行数据时钟SCLK。它还产生一个SYNC信号，以告知主机串行数据何时有效。如果需要，串行时钟SCLK和SYNC信号可以反相。根据RDC/SDIN输入的状态不同，数据可以在各次转换之后或在转换期间读取。图17和图18为这两种方法的详细时序图。

通常，AD7671以高吞吐速率工作，因此如果能够使用，串行模式最好使用转换期间主机读取模式。

在转换期间读取模式下，串行时钟和数据在适当的时刻反

转，从而使数字活动与关键转换判断之间的可能馈通降至最低。

在转换之后读取模式下应注意，与其它模式不同，信号BUSY在16个数据位逐个输出之后变为低电平，而不是在转换阶段结束时，后者会导致BUSY宽度较长。

当AD7671正在执行位判断时，必须注意数字输入/输出引脚上不能出现电压瞬变，否则会导致转换结果不佳。这在转换阶段的后半段尤其重要，因为AD7671提供了误差校正电路，可以校正转换阶段的前半段期间做出的不当位判断。因此，当使用外部时钟时，建议使用非连续时钟，它仅在BUSY为低电平时切换，或者不在BUSY高电平的后半段变迁，这一点更为重要。

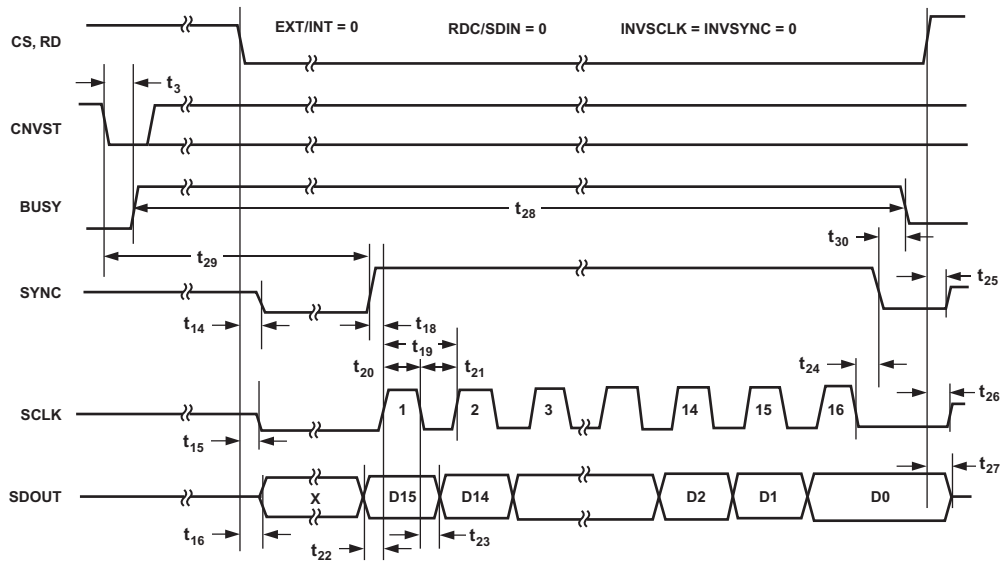


图17. 读取时的主机串行数据时序(转换之后读取)

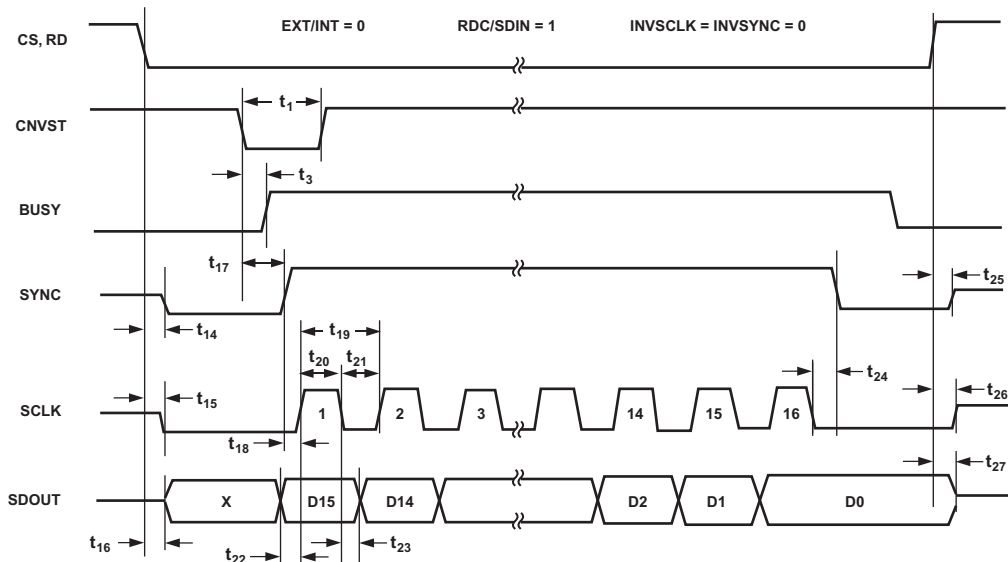


图18. 读取时的主机串行数据时序(转换期间读取前一转换结果)

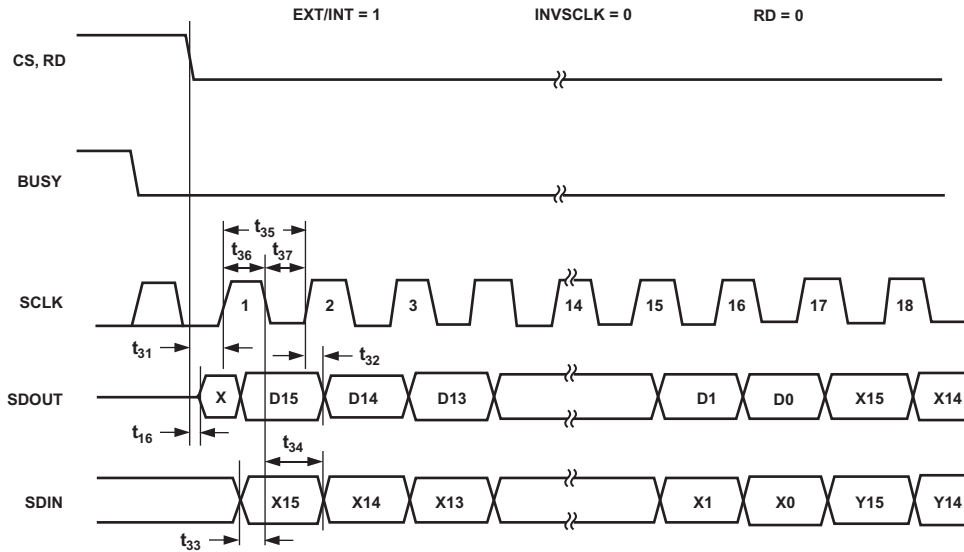


图19. 读取时的从机串行数据时序(转换之后读取)

### 转换之后的外部非连续时钟数据读取

虽然使用这种模式不能实现最高吞吐量，但这是最值得推荐的串行从机模式。图19为此方法的详细时序图。转换完成后(通过BUSY返回到低电平得知)，此转换的结果可以在 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时读取。数据以MSB优先方式由16个时钟脉冲逐个输出，而且在时钟的上升沿和下降沿均有效。

这种方法的优点之一是转换性能不会下降，因为转换过程中数字接口上不存在电压瞬变。

另一个优点是它能够以最高40 MHz的任意速度读取数据，既支持慢速数字主机接口，也支持最快的串行读取。

最后，只有在这种模式下，AD7671才提供“菊花链”特性，利用RDC/SDIN输入引脚可将多个转换器级联起来。这一特性可用于减少器件数量和线路连接；例如在隔离式多转换器应用中，希望器件和连接越少越好。

两个器件的菊花链连接示例如图20所示。利用一个公共 $\overline{CNVST}$ 信号可以实现同步采样。应注意，锁存RDC/SDIN输入的SCLK沿与用于在SDOUT上输出数据的SCLK沿相反。因此，在下一个SCLK周期，上游转换器的MSB紧跟下游转换器的LSB。

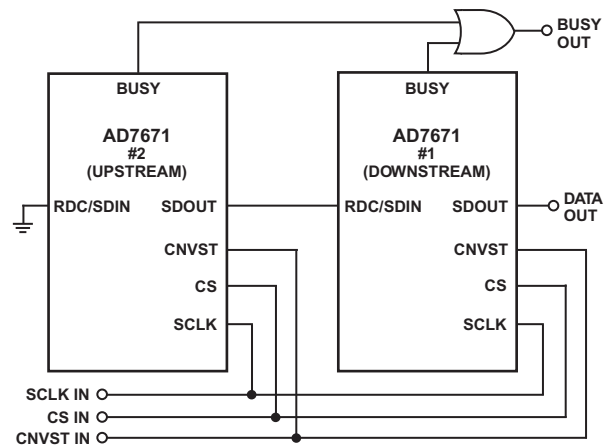


图20. 两个AD7671的菊花链配置

### 转换期间的外部时钟数据读取

图21为此方法的详细时序图。转换期间，当 $\overline{CS}$ 和 $\overline{RD}$ 均为低电平时，可以读取前一转换的结果。数据以MSB优先方式由16个时钟脉冲逐个输出，而且在时钟的上升沿和下降沿均有效。必须在当前转换完成之前读完这16位数据。如果未读完，则RDERROR变为高电平，可以用来中断主机接口，防止数据读取不完整。此模式没有菊花链特性，RDC/SDIN输入应与高电平或低电平相连。



# AD7671

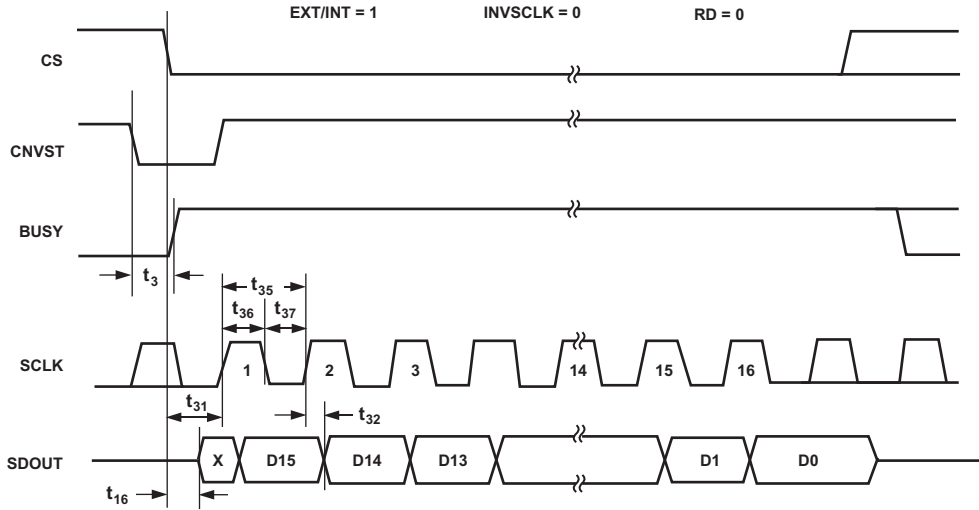


图21. 读取时的从机串行数据时序(转换期间读取前一转换结果)

为降低数字活动对性能的影响，建议使用下述频率的快速非连续时钟：脉冲模式下至少25 MHz，正常模式下至少32 MHz，Warp模式下至少40 MHz，以确保所有数据位都能在转换阶段的前半段读取。也可以在转换之后开始读取数据，甚至在新转换已启动之后继续读取最后的数据位。此时可以使用较慢的时钟，例如：脉冲模式下18 MHz，正常模式下21 MHz，Warp模式下26 MHz。

## 微处理器接口

AD7671特别适合支持微处理器的传统直流测量应用和与数字信号处理器接口的交流信号处理应用。AD7671可以连接并行8位或16位宽接口，或者连接微控制器上的通用串行端口或I/O端口。AD7671可以与各种外部缓冲器配合使用，防止数字噪声耦合到ADC之中。下面说明AD7671如何配合一个带有SPI接口的微控制器、ADSP-21065L和ADSP-218x数字信号处理器使用。

## SPI接口(MC68HC11)

图22为AD7671与一个配有SPI接口的微控制器(例如MC68HC11)的接口图。为支持微控制器的较慢速度，AD7671用作从机，数据必须在转换之后读取。此模式同样具有菊花链特性。转换命令可以响应一个内部定时器中断而启动。输出数据的读取(必要时一次一个字节)可以响应转换结束信号(BUSY变为低电平)，利用微控制器的中断线路而启动。向MC68HC11的串行外设接口(SPI)控制寄存器(SPCR)写入数据，将其配置为：主机模式(MSTR) = 1，时钟极性位(CPOL) = 0，时钟相位位(CPHA) = 1，SPI中断使能(SPIE) = 1。IRQ配置为仅对边沿敏感工作模式(OPTION寄存器中的IRQE = 1)。

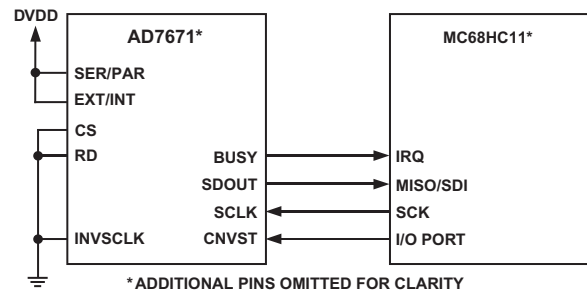


图22. AD7671与SPI接口的连接

## 主机串行接口中的ADSP-21065L

如图23所示，利用主机模式下的串行接口，可以使AD7671与ADSP-21065L实现接口，无需任何胶连逻辑。此模式既具有线路连接较少的优势，又能以最高传输速度在转换期间或转换之后读取数据(DIVSCLK[0:1]均为低电平)。

AD7671配置为内部时钟模式(EXT/INT为低电平)，因此用作主机。转换命令可以通过多种方式产生：一个外部低抖动振荡器，如图所示的ADSP-21065L FLAG输出，或者ADSP-21065L的一个串行端口的帧输出TFS(它可以像定时器一样使用)。ADSP-21065L的串行端口配置为：外部时钟(IRFS = 0)、上升沿有效(CKRE = 1)、外部迟帧同步信号(IRFS = 0、LAFS = 1、RFSR = 1)以及高电平有效(LRFS = 0)。ADSP-21065L的串行端口通过写入其接收控制寄存器(SRCTL)进行配置，详情见ADSP-2106x SHARC用户手册。由于ADSP-21065L的串行端口将看到一个非连续时钟，因此在ADSP-21065L完成复位后必须进行初始字读取，确保串行端口在后续各数据读取操作中与此时钟正确同步。



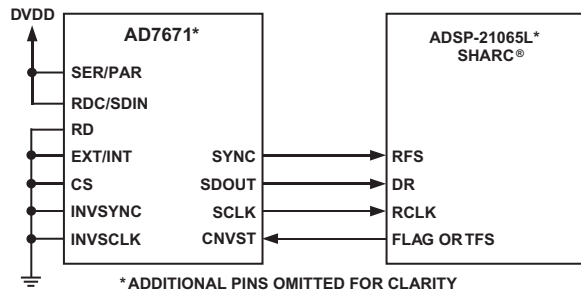


图23. 使用串行主机模式与ADSP-21065L接口

## 应用须知 布局

从图9可以看出，AD7671对电源上的噪声具有良好的抗扰度，不过仍应注意接地布局。

AD7671所在的印刷电路板应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。这样便于使用接地层并让它们易于分离。数字地和模拟地应单点连接。单点接地点最好位于AD7671下方，至少应尽可能靠近AD7671。如果AD7671系统内有多个器件要求模数接地连接，仍应坚持单点接地，把接地点放置在尽可能靠近AD7671的一个星型接地点。

建议避免在器件下方布设数字线路，否则会将噪声耦合至芯片。应允许模拟接地层布设在AD7671下方，以避免噪声耦合。CNVST或时钟等快速切换信号要使用数字地加以屏蔽，以免将噪声辐射到电路板的其他部分，而且快速切换信号绝不能靠近模拟信号路径。应避免数字信号与模拟信号交叠。电路板邻近层上的走线应彼此垂直，以减小电路板的馈通效应。

AD7671的电源线路应采用尽可能宽的走线，以提供低阻抗路径，并减小电源线路上的毛刺噪声效应。良好的去耦也很重要，以便降低AD7671的电源阻抗，并减少电源尖峰幅度。典型值100 nF的去耦陶瓷电容应靠近(理想情况是紧靠)所有电源引脚AVDD、DVDD、OVDD及其对应的接地引脚放置。此外，ADC附近应放置低ESR 10 mF电容，以进一步减小低频纹波。

AD7671的DVDD电源可以是一个独立电源，也可以来自模拟电源AVDD，或者来自数字接口电源OVDD。当系统数字电源的噪声太高或者存在快速切换数字信号时，如果没有独立电源可用，则建议将DVDD数字电源通过一个RC滤波器连接到模拟电源AVDD，如图5所示，并将系统电源连接到接口数字电源OVDD和其余数字电路。当DVDD从系统电源供电时，插入一个磁珠是很有用的，可进一步降低高频噪声尖峰。

AD7671有5个不同接地引脚：INGND、REFGND、AGND、DGND和OGND。INGND用于检测模拟输入信号。REFGND用于检测基准电压，应通过低阻抗回路返回基准源，因为它携带脉冲电流。AGND是ADC内部多数模拟信号的参考地。此引脚必须以尽可能低的电阻连接到模拟地层。DGND必须连接到模拟或数字地层，具体视配置而定。OGND连接到数字系统地。

基准电压的去耦布局非常重要。去耦电容应靠近ADC，并用短而宽的走线连接，使寄生电感最小。

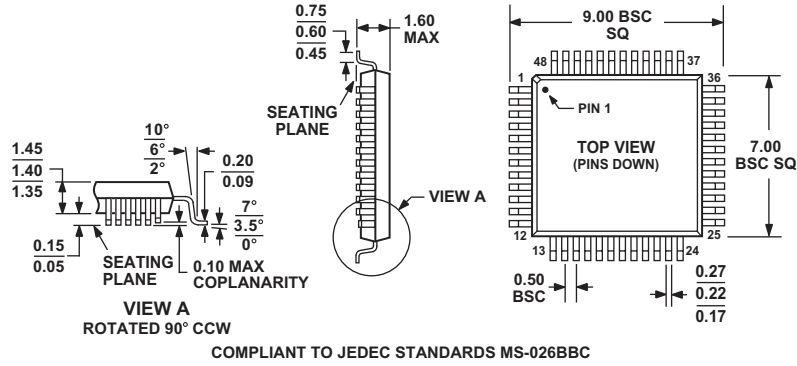
## AD7671性能评估

AD7671的评估板显示了AD7671的推荐布局。评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过Eval-Control板控制评估板的软件。

外形尺寸

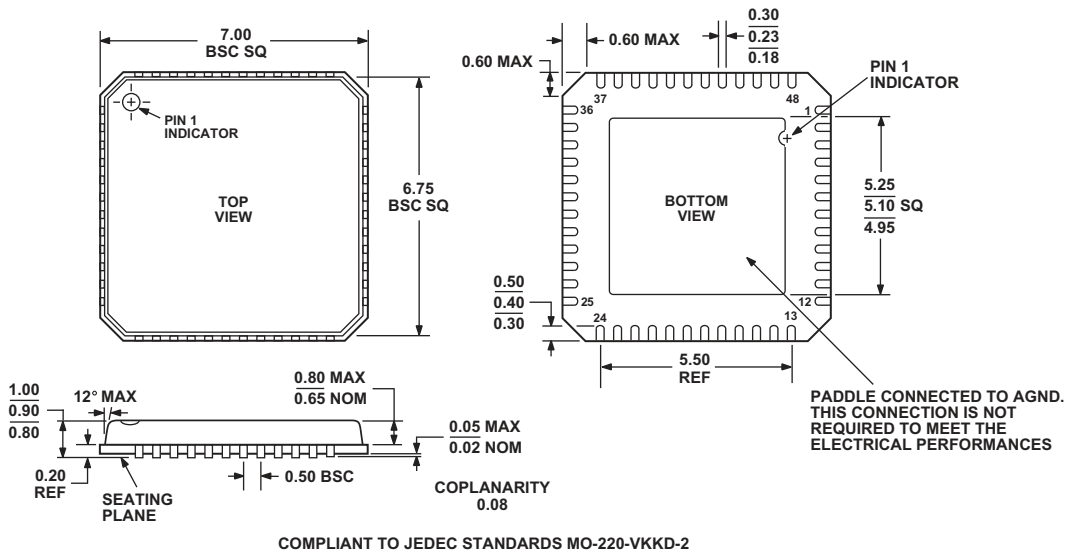
48引脚薄型四方扁平封装[LQFP]  
(ST-48)

尺寸单位: mm



48引脚引脚架构芯片级封装[LFCSP]  
(CP-48)

尺寸单位: mm



# 修订历史

位置	页码
<b>2003年4月—数据手册从修订版A升级到修订版B</b>	
更改PulSAR选择表 .....	1
更改订购指南 .....	5
更改图5 .....	13
更新“外形尺寸”部分 .....	22
<b>2002年5月—数据手册从修订版0升级到修订版A</b>	
编辑“特性”部分 .....	1
编辑“概述”部分 .....	1
“产品聚焦”部分增加图表 .....	1
编辑“技术规格”部分 .....	2–3
编辑表I .....	3
编辑“绝对最大额定值”部分 .....	5
编辑“订购指南”部分 .....	5
编辑TPC 4 .....	9
更换TPC 9 .....	10
增加TPC 16 .....	11
编辑表III .....	13
编辑“驱动放大器选择”部分 .....	15
更换“基准电压输入”部分 .....	15
更换ST-48封装外形 .....	22

