

## 20V/5A 同步降压稳压器

Check for Samples: [LGS53605A](#)

### 特性

- 高达 96%的效率
- 轻载条件下可调节断续模式与强制连续模式
- 集成上下功率 MOS 管
- 输入电压范围：4V~20V
- 输出电流 5A
- 外部可调频率范围：800kHz~2MHz
- 可支持多相交错并联工作模式（高达 12 相交错并联模式）
- 可调节的软启动和输出电压追踪功能
- 基准电压 0.6V，温度范围内精度±1%
- 电流控制模式提供优越的线性和负载瞬态响应
- 可提供 24 引脚（4mm x 4mm）QFN 封装

### 应用

- 负载供电
- 便携式仪器
- 分布式发电系统
- 电池驱动设备

### 描述

LGS53605A 是一款内部集成功率 MOS 管的同步降压 DC/DC 稳压器，能够驱动高达 5A 的负载电流。输出电压范围为 4V 至 20V，使其适合双节，三节或者四节锂电池输入，以及 12V 或 5V 轨道负载电源应用。

LGS53605A 采用可锁相控制的恒定导通时间，电流控制模式架构。多相操作允许 LGS53605A 在最小输入输出电容情况下实现多相交错并联输出。

LGS53605A 工作频率可通过外部电阻在 800kHz 至 2MHz 范围内调节。高频工作能力允许使用小型表面贴装电感。对于开关噪声敏感的应用，LGS53605A 可以在 800kHz 至 2MHz 的范围内进行外部同步。PHMODE 引脚允许用户控制芯片输出时钟信号的相位。独特的恒定频率/受控导通时间架构非常适合在高频率下运行且需要快速瞬态响应的高降压比应用。两个内部锁相环将内部振荡器与外部时钟同步，并且将稳压器上升沿锁定到内部时钟或外部时钟。

LGS53605A 附加功能包括：可调节软启动时间与追踪功能，可调节工作频率，电源正常标志，输入过压保护，逐周期电流限制，过热关断，在 FB 电压较低时提供 Current FOLD-BACK 模式以避免短路时过热，轻载下可选择断续模式与强制连续模式以达到更优的效率或者良好的纹波。

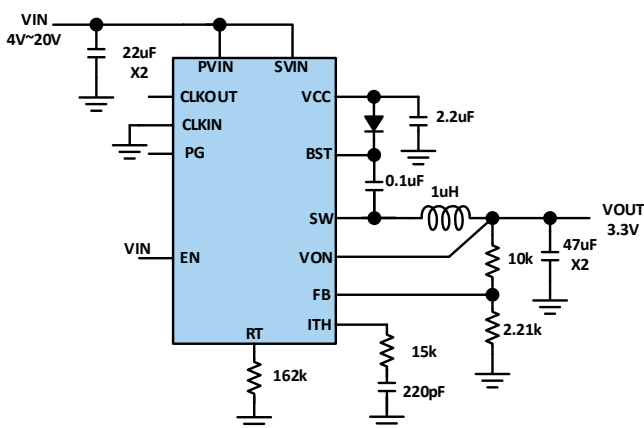
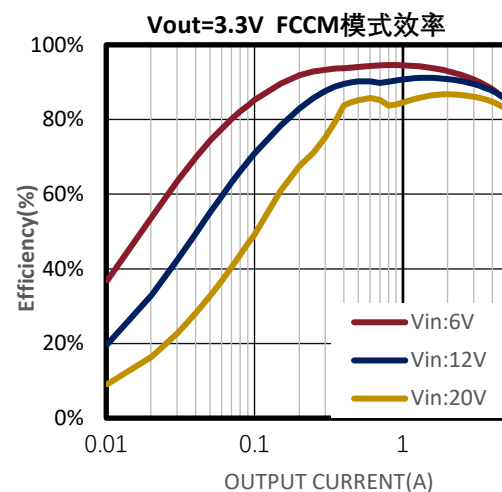


图 1.典型应用拓扑



## 历史修订记录 (†)

Rev.A V0.1 May.2022	页码
※ A 版初始。本手册相关参数仅对 A 版相关指标描述和承认	ALL
Rev.A V0.2 Nov.2022	页码
※ A 版初始。针对 A 版应用信息部分进行更新	ALL
RevA V0.3 Mar.2023	页码
※ A 版修改。针对 A 版技术规格，典型应用波形及推荐 PCB 布局信息进行更新	ALL

† NOTE:以前版本的页码可能与当前版本的页码不同。

## 绝对最大值 (†)

**表 2.1**

参数	范围
引脚至 GND 电压 (PVIN,SVIN,SW,EN)	-0.3V~22.5V
引脚至 GND 电压 (SW Transient)	-2V~24.5V
引脚至 GND 电压(BST)	-0.3V~PVIN+VCC
引脚至 GND 电压(V <sub>ON</sub> )	-0.3V~SVIN
引脚至 GND 电压(VCC)	-0.3V~3.6V
引脚至 GND 电压 (ITH,RT,PG,CLKIN,CLKOUT)	-0.3V~VCC
引脚至 GND 电压 (PHMODE,MODE,TRACK/SS,FB)	-0.3V~VCC
工作结温	-40°C to 125°C
储存温度	-65°C to 150°C
ESD 额定值 (HBM)	±2KV
ESD 额定值 (CDM)	±1KV

† 注：如果器件工作条件超过上述“绝对最大值”，可能引起器件永久性损坏。这仅是极限参数，不建议器件在极限值或超过上述极限值的条件下工作。器件长时间工作在极限条件下可能会影响其可靠性。

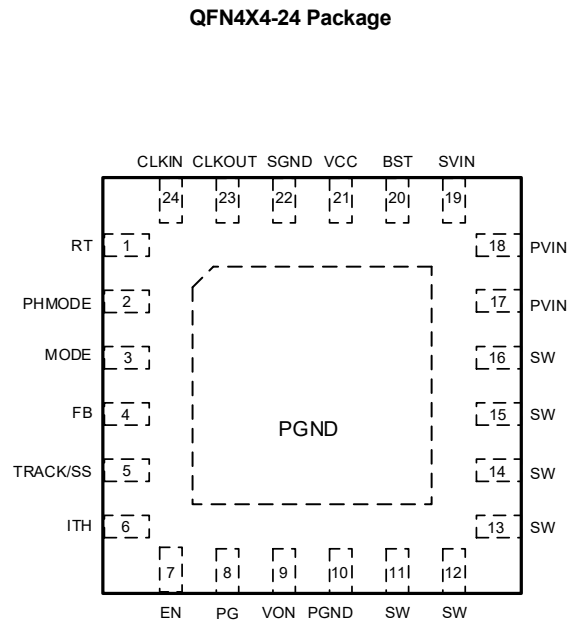
## ESD 警告



### ESD(静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

## 引脚排列

**图 2. 引脚排列**


### Top View

 $T_{JMAX}=125^{\circ}C, \theta_{JA}=37^{\circ}C/W$ 

### 封装与引脚排列

**表 2.2 引脚功能描述**

引脚编号	引脚名称	说明
1	RT	降压器工作频率设定引脚，在 RT 和 GND 之间连接一个合适的电阻，可调节开关频率从 800KHz~2MHz。
2	PHMODE	输出相位选择引脚，确定内部振荡器和 CLKOUT 之间的相位关系。将其连接到 VCC 以进行双相操作，将其连接到 SGND 以进行三相操作，并将其连接到 VCC/2 以进行四相操作。
3	MODE	模式选择，将此引脚连接到 VCC 以强制在所有输出负载下连续同步操作。将其连接到 SGND 可在轻负载下实现断续模式操作。请不要浮动该引脚。
4	FB	输出电压反馈引脚。通过 VOUT 和 GND 之间配置分压比，可以调节输出电压。
5	TRACK/SS	输出跟踪和软启动引脚。可以通过外部电容调节输出电压的上升时间。将此引脚置于低于 0.6V 的电压会绕过误差放大器的内部参考输入。高于 0.6V 时，跟踪功能停止，内部基准恢复对误差放大器的控制。
6	ITH	误差放大器输出和开关稳压器补偿点。电流比较器的触发阈值与该电压成线性比例，其正常范围为 1.2V 至 1.8V。
7	EN	稳压器输出使能引脚，置高使能输出。可以通过配置外部电阻分压，实现 VIN 的可设置欠压保护。
8	PG	Open-drain 指示降压器输出电压正常的信号，当输出正常时，PG 停止下拉。
9	V <sub>ON</sub>	输出电压节点，将此引脚连接到输出电压使导通时间与 VOUT 成正比，并在不同的 VOUT 下保持开关频率恒定。但当 VON <0.6V 或 >6V 时，开关频率将不再保持恒定。
10,EP	PGND	功率地引脚，和 VIN 之间连接一个或多个去耦陶瓷电容，尽量靠近引脚。
11~16	SW	内部功率开关节点。外部连接功率电感和 C <sub>BST</sub> 电容。
17,18	PVIN	稳压器功率电源输入，使用 2.2μF 或更大的陶瓷贴片尽量贴近 VIN 至 GND。
19	SVIN	稳压器信号电源输入，在 SVIN 和 PVIN 之间连接一个 (1Ω至 10Ω) 电阻，并通过一个 0.1μF 电容旁路至 GND。
20	BST	自举驱动电源。需要在 BST 和 SW 之间连接高质量 100nF 陶瓷电容器，以偏置内部高压侧栅极驱动器。
21	VCC	内部 3.3V 稳压器输出，需在 VCC 和 PGND 之间连接一个 1uF~4.7uF 的陶瓷去耦电容，尽量靠近芯片引脚。
22	SGND	芯片信号地引脚。
23	CLKOUT	多相操作的输出时钟信号。CLKOUT 相对于 CLKIN 的相位由 PHMODE 引脚的状态决定。CLKOUT 的幅值为 VCC 到 GND。
24	CLKIN	外部时钟同步输入，该引脚内部端接 20k 的 SGND。锁相环将强制上管功率 NMOS 的开启信号与 CLKIN 信号的上升沿同步。

## 技术规格

除非有特殊说明，否则极限值适用于-40°C至+125°C的工作结温度（T<sub>J</sub>）范围。最小和最大限值通过试验、设计或统计相关性规定。典型值代表 T<sub>J</sub>=25°C时最可能的参数规范，仅供参考。所有电压都是相对于 GND。

表3.

参数		测试条件	最小值	典型值	最大值	单位
SVIN	SVIN 输入范围		4		20	V
PVIN	VIN 电源输入范围		0.9		20	V
I <sub>Q</sub>	空载输入电流	Mode = 0, R <sub>T</sub> = 130k		600		μA
I <sub>sd</sub>	关断电流	V <sub>IN</sub> = 12V, EN = 0		11		μA
V <sub>FB</sub>	反馈基准电压		0.594	0.6	0.606	V
ΔV <sub>FB(LINE)</sub>	反馈电压线性调整率	V <sub>IN</sub> = 4V to 20V		0.001	0.03	%
ΔV <sub>FB(LOAD)</sub>	反馈电压负载调整率			0.1	0.3	%
I <sub>FB</sub>	反馈引脚输入电流			10	100	nA
g <sub>m(EA)</sub> <sup>(1)</sup>	误差放大器增益		1.253		1.670	mS
t <sub>ON(MIN)</sub> <sup>(1)</sup>	最小导通时间			50		ns
t <sub>OFF(MIN)</sub> <sup>(1)</sup>	最小关断时间			130		ns
I <sub>LIM</sub>	正电感电流谷值限制			6		A
	负电感电流谷值限制			-6		A
R <sub>TOP</sub>	上管 MOS 导通电阻	V <sub>CC</sub> = 3.3V		85	150	mΩ
R <sub>BOTTOM</sub>	下管 MOS 导通电阻	V <sub>CC</sub> = 3.3V		42	60	mΩ
V <sub>UVLO</sub>	VCC 欠压锁定上升沿	VCC Rising		2.6		V
	VCC 欠压锁定下降沿	VCC Falling		2.8		V
V <sub>EN</sub>	EN 阈值电压 2(I <sub>Q</sub> ≥1mA)	EN Rising		1.1		V
	EN 阈值电压 1(I <sub>Q</sub> ≥100uA)	EN Rising		0.5		V
V <sub>CC</sub>	内部 V <sub>CC</sub> 电压	4V < V <sub>IN</sub> < 20V		3.3		V
ΔV <sub>CC</sub>	V <sub>CC</sub> 负载调整率	I <sub>LOAD</sub> = 0mA to 20mA		0.3		%
OV	输出过压阈值	V <sub>FB</sub> Rising		110		%
UV	输出欠压阈值	V <sub>FB</sub> Falling		91		%
ΔV <sub>FB(HYS)</sub>	PGOOD 滞环阈值	V <sub>FB</sub> Returning		1		%
R <sub>PG</sub>	PGOOD 下拉电阻			38		Ω
I <sub>PG</sub>	PGOOD 漏电	0.54V < V <sub>FB</sub> < 0.66V			2	μA
I <sub>TRACK/SS</sub>	TRACK 上拉电流			2.5	4	μA
f <sub>s</sub>	工作频率	R <sub>T</sub> = 162kΩ	0.8	1	2	MHz
CLKIN	CLKIN 阈值电压	CLKIN V <sub>IL</sub>			0.3	V
		CLKIN V <sub>IH</sub>	1			V
V <sub>VIN_OV</sub>	VIN 过压保护阈值	VIN Rising		23		V
		VIN Falling		21		V

(1) 设计保证。未经生产测试。

## 典型特性

若无特别说明, 测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .

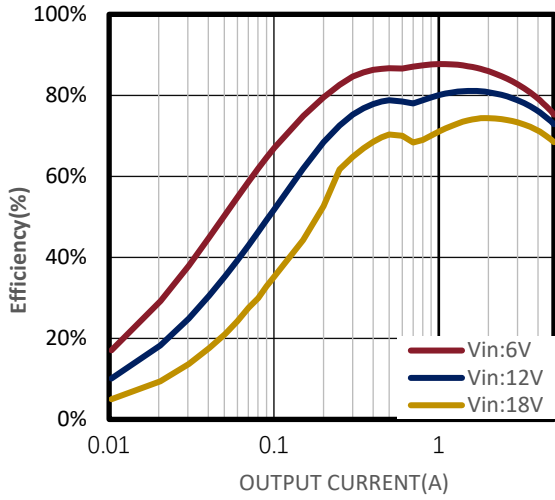


图 3.1  $V_{out}=1.2V$ , FCCM 模式效率

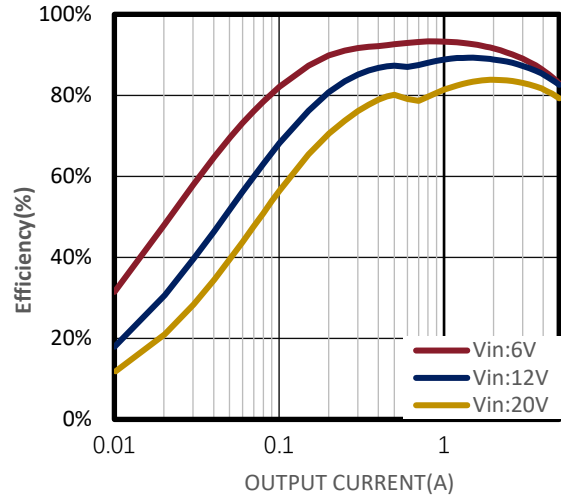


图 3.2  $V_{out}=2.5V$ , FCCM 模式效率

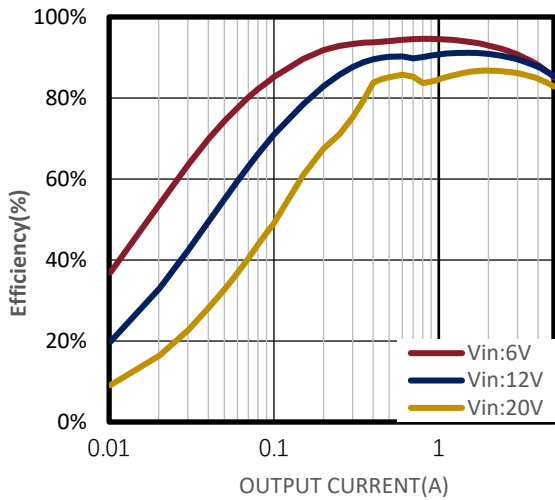


图 3.3  $V_{out}=3.3V$ , FCCM 模式效率

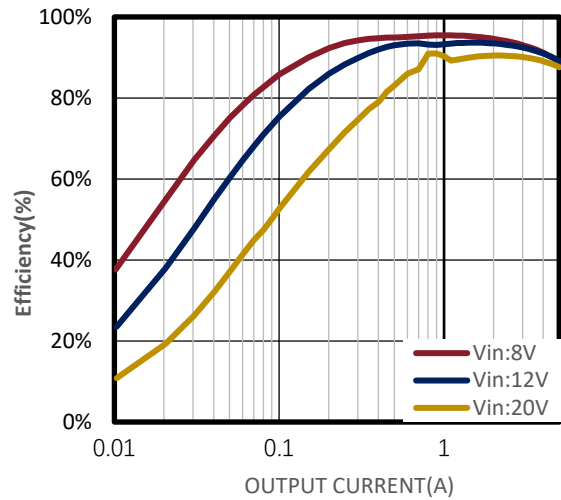


图 3.4  $V_{out}=5V$ , FCCM 模式效率

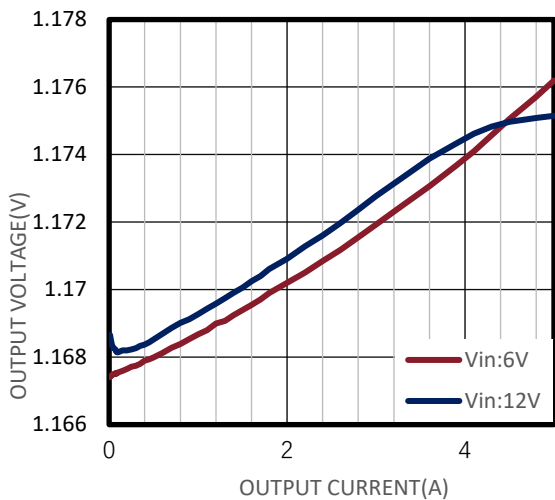


图 3.5  $V_{out}=1.2V$ , FCCM 模式效率  $V_{OUT}$  特性

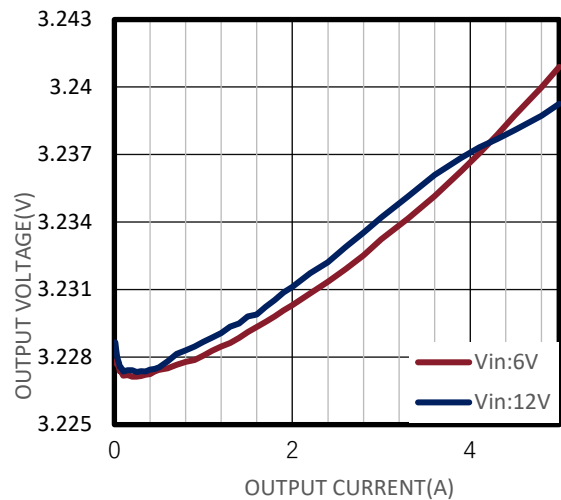
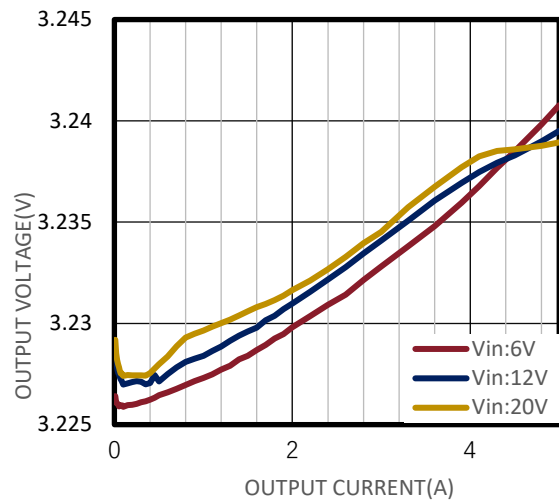
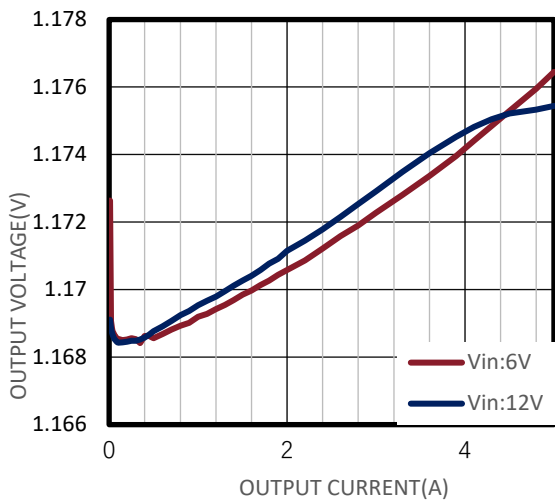
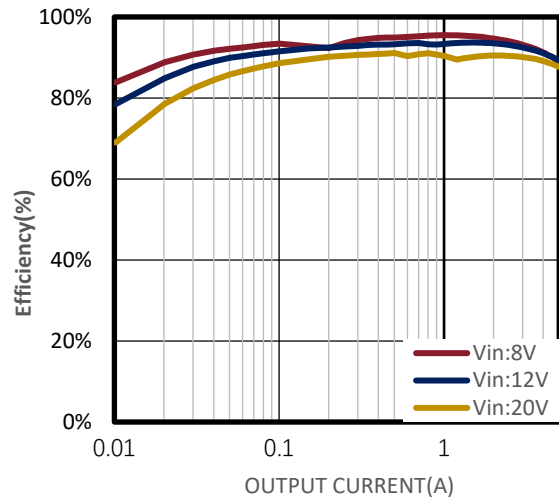
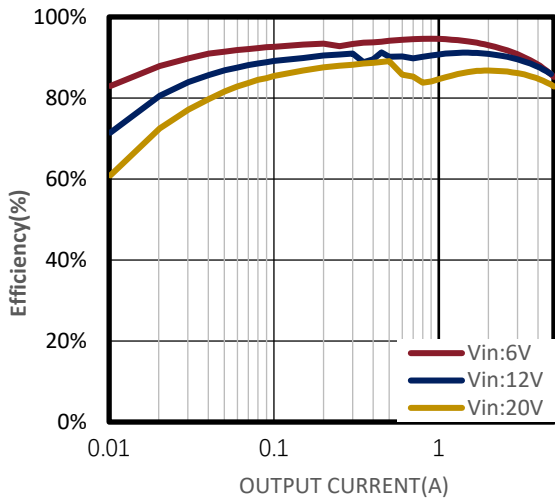
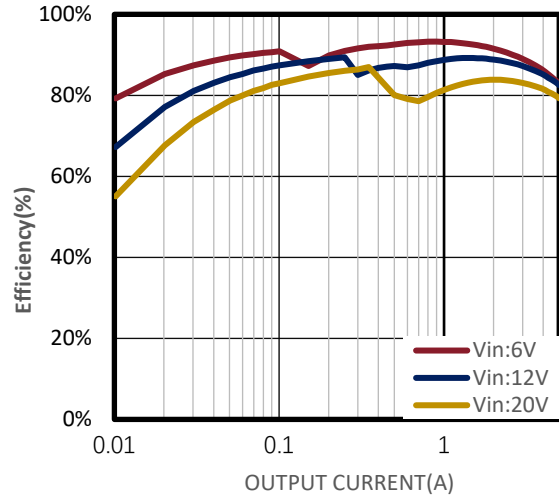
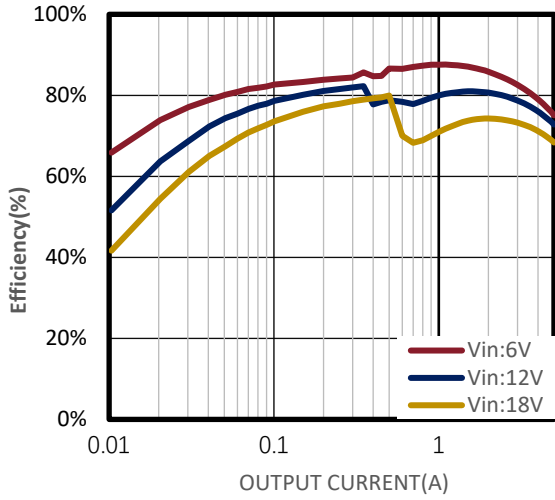


图 3.6  $V_{out}=3.3V$ , FCCM 模式效率  $V_{OUT}$  特性

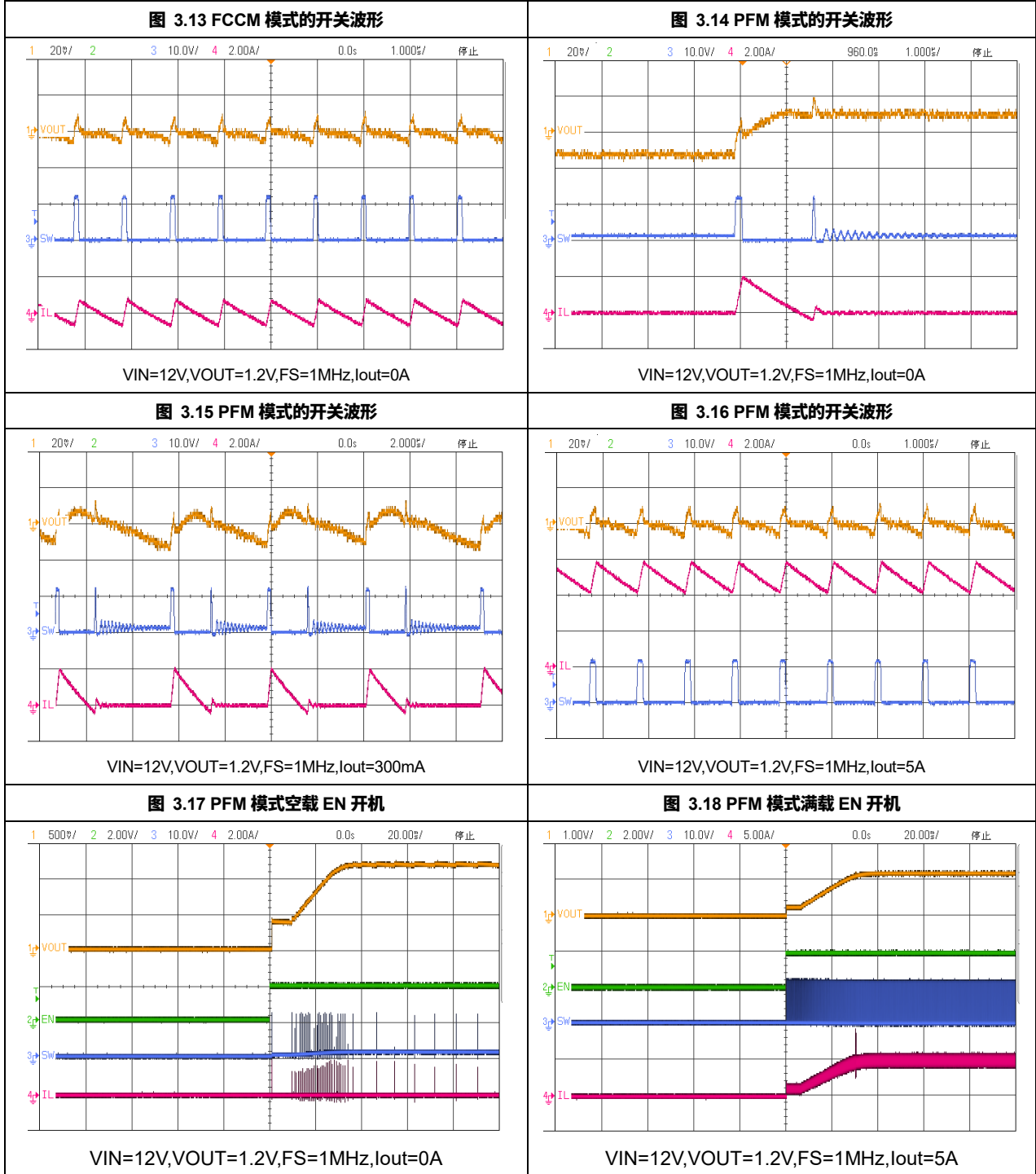
## 典型特性

若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .



## 典型特性

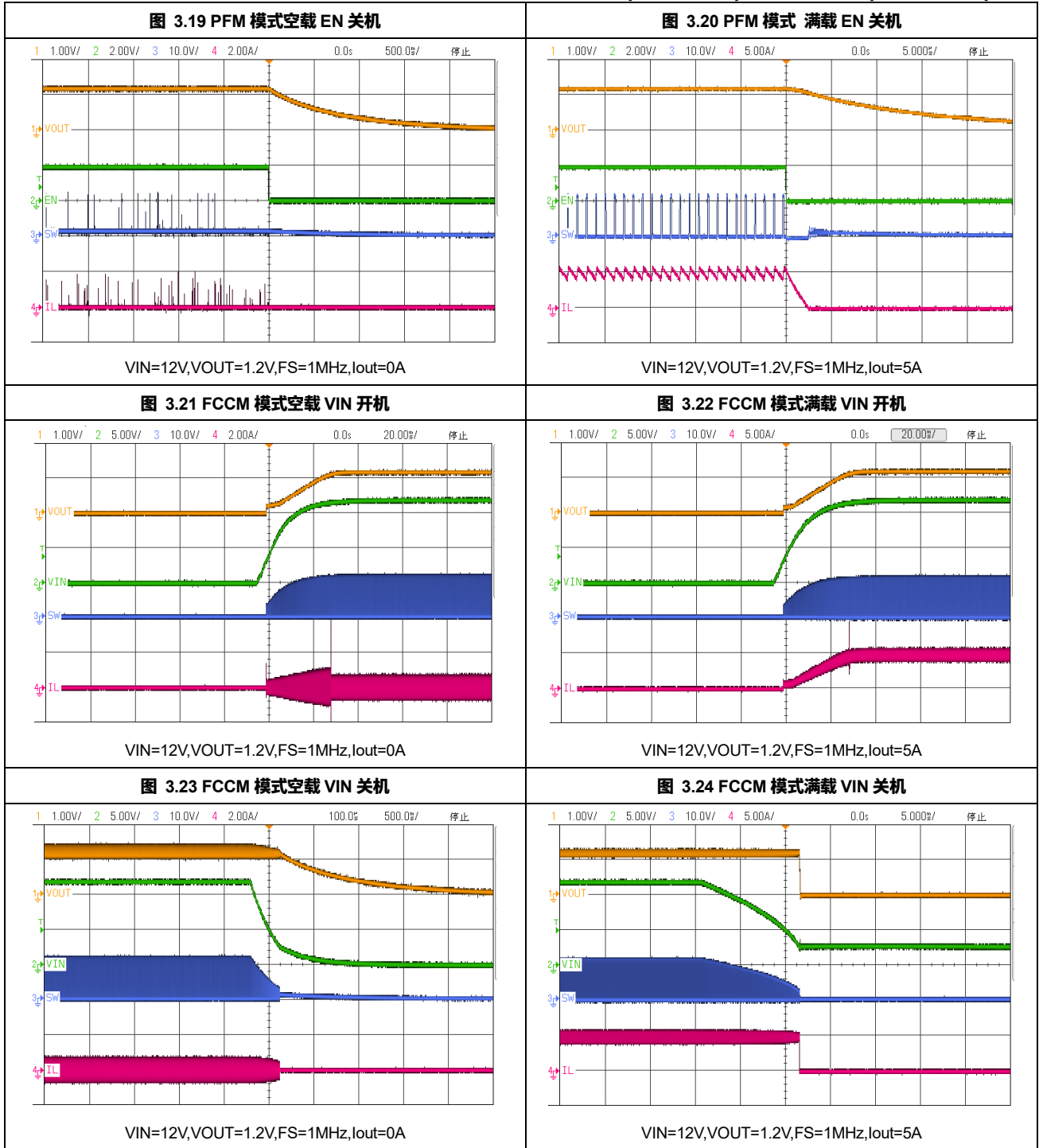
若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .





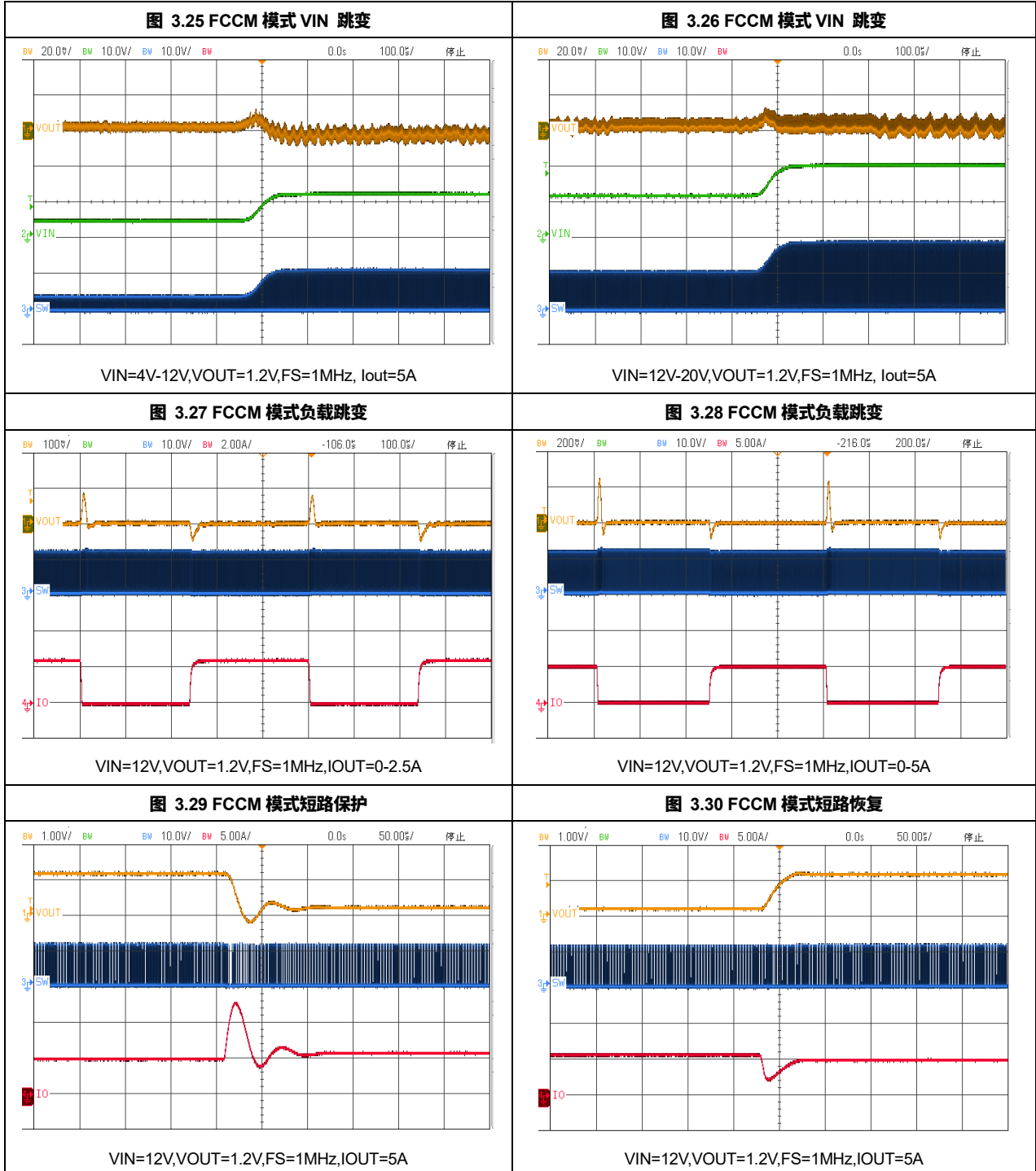
## 典型特性

若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .



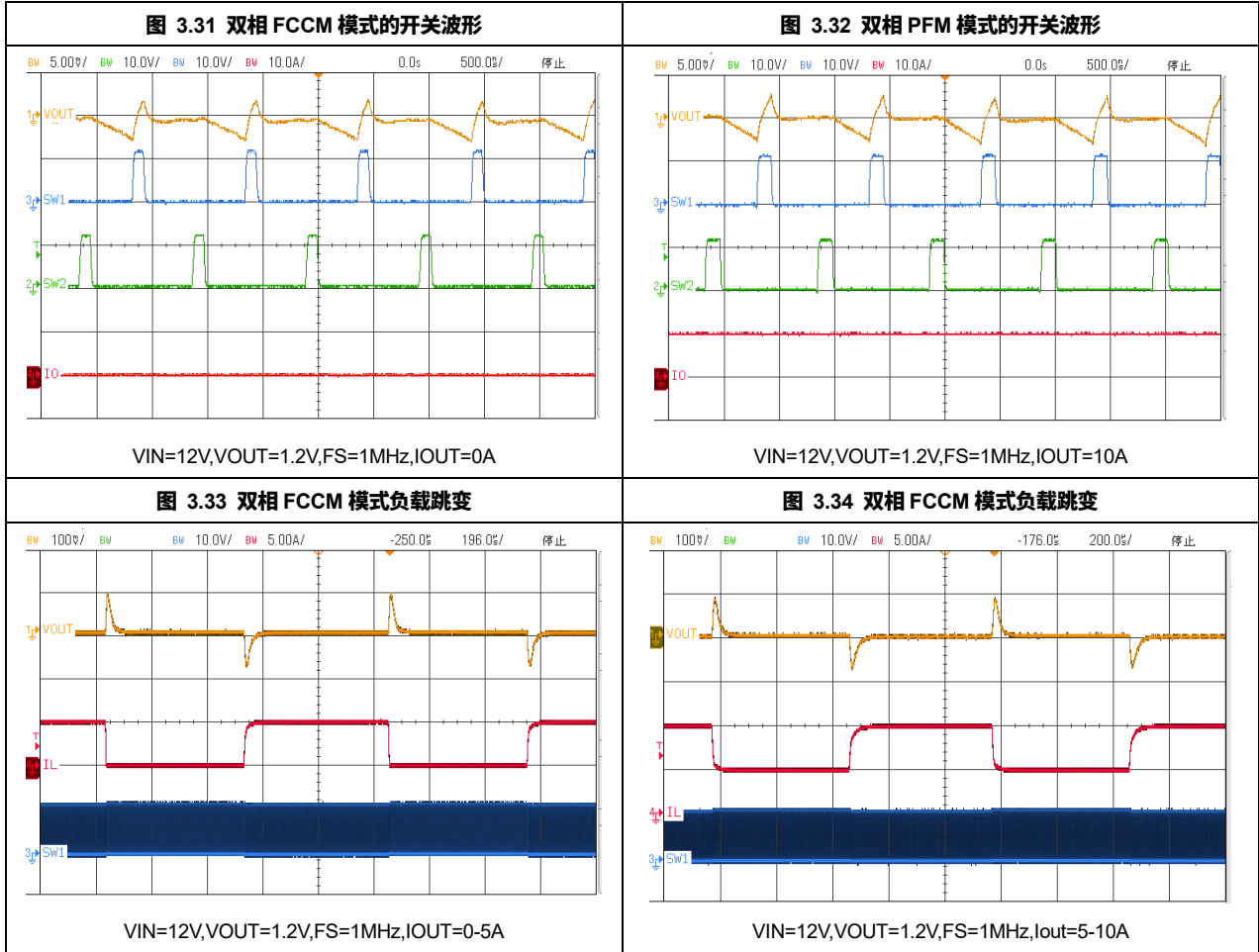
## 典型特性

若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .



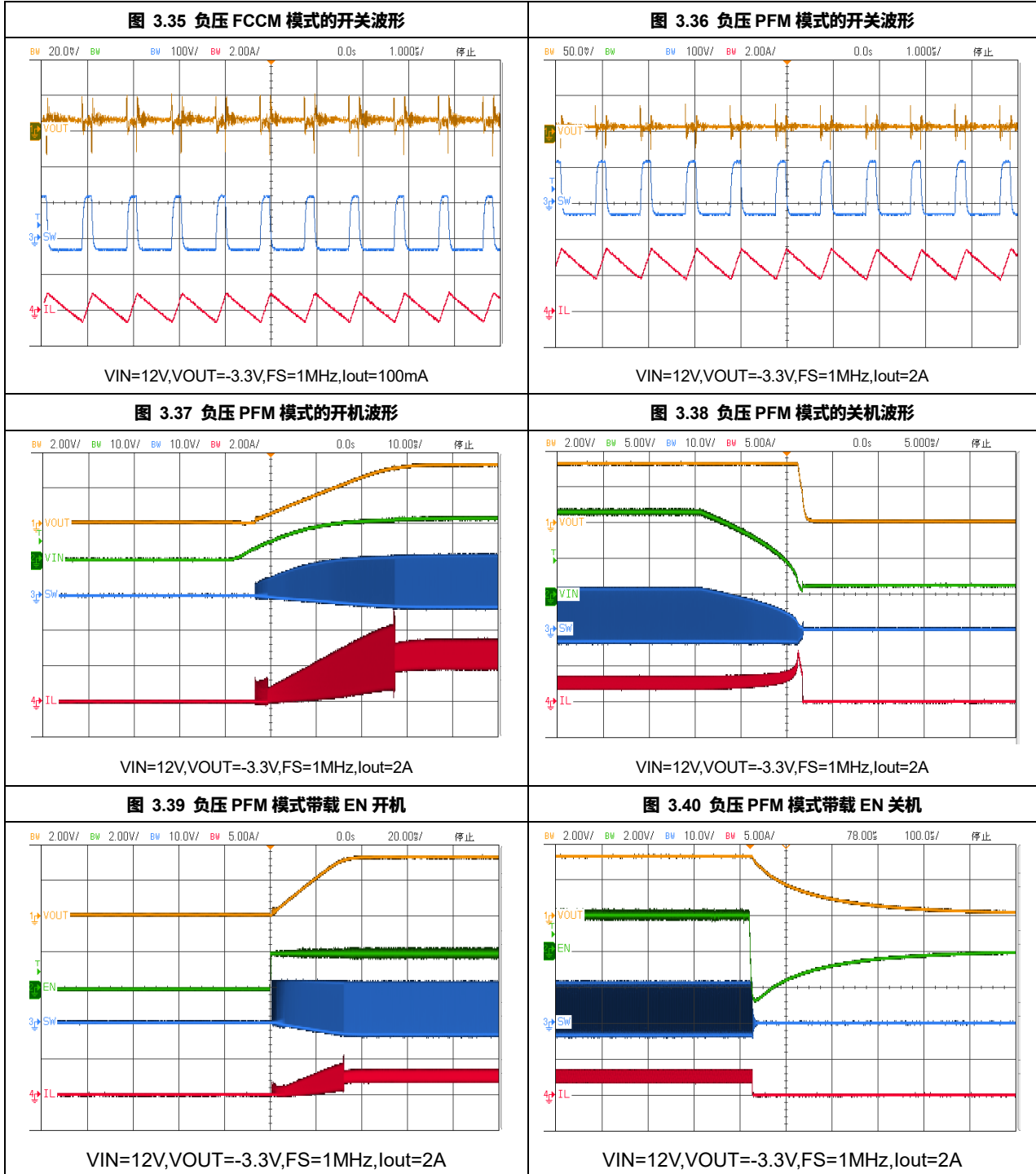
## 典型特性

若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=1.2V$ ,  $FS=1MHz$ ,  $L=0.68\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .



## 典型特性

若无特别说明，测试条件为  $V_{IN}=12V$ ,  $V_{OUT}=-3.3V$ ,  $F_S=1MHz$ ,  $L=1.5\mu H$ ,  $C_{IN}=47\mu F$ ,  $C_{OUT}=100\mu F$ ,  $C_{VCC}=4.7\mu F$ .



### 功能框图

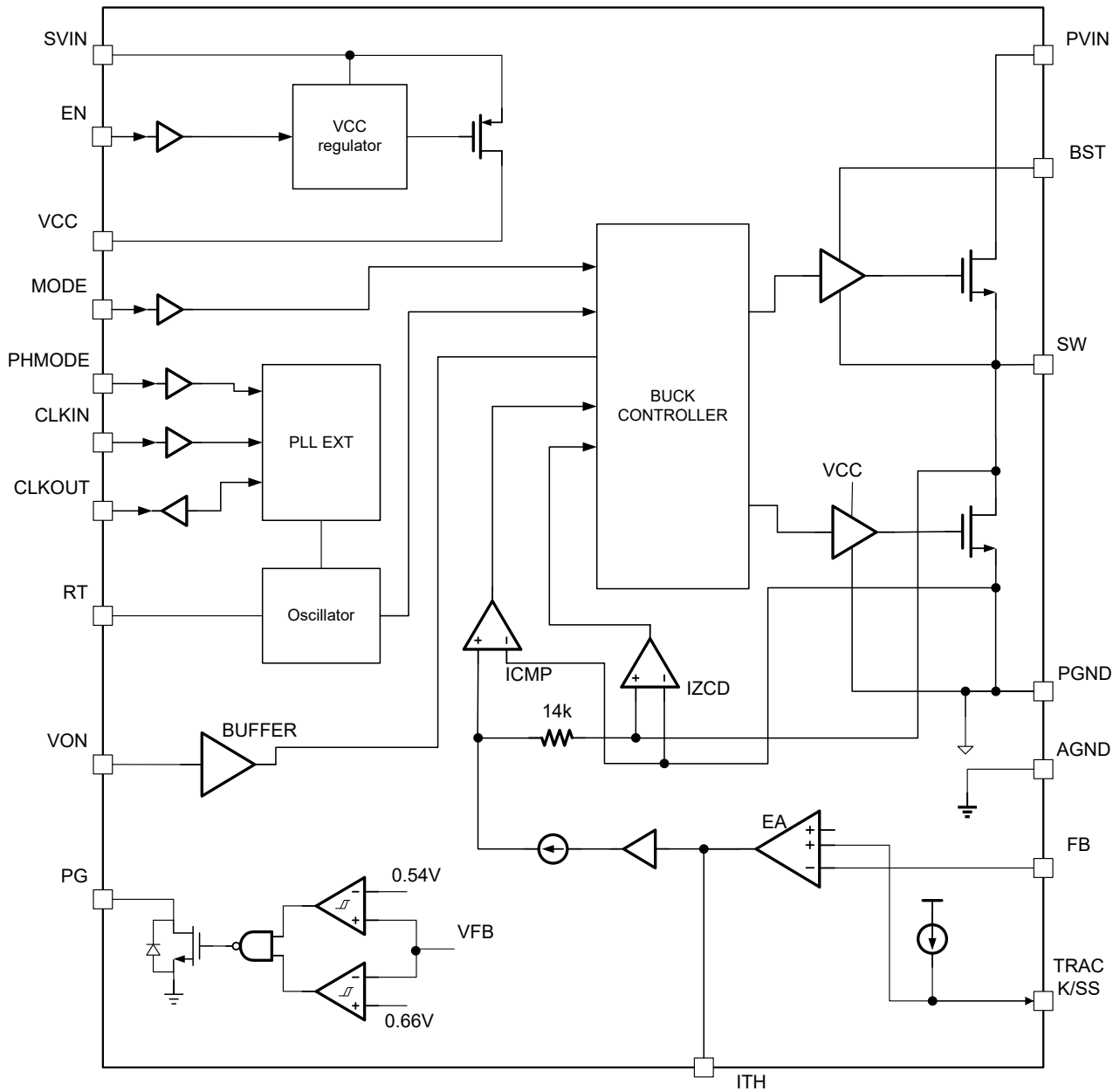


图 4 内部功能框图

## 应用信息：高效率降压开关稳压器（概述）

### 概述

LGS53605A 是一款内部集成功率 MOS 管的同步降压 DC/DC 稳压器，能够驱动高达 5A 的负载电流。输出电压范围为 4V 至 20V，使其适合双节，三节或者四节锂电池输入，以及 12V 或 5V 轨道负载电源应用。

LGS53605A 采用可锁相控制的恒定导通时间，电流控制模式架构。多相操作允许 LGS53605A 在最小输入输出电容情况下实现多相交错并联输出。

LGS53605A 工作频率可通过外部电阻在 800kHz 至 2MHz 范围内调节。高频工作能力允许使用小型表面贴装电感。对于开关噪声敏感的应用，LGS53605A 可以在 800kHz 至 2MHz 的范围内进行外部同步。PHMODE 引脚允许用户控制芯片输出时钟信号的相位。独特的恒定频率/受控导通时间架构非常适合在高频率下运行且需要快速瞬态响应的高降压比应用。两个内部锁相环将内部振荡器与外部时钟同步，并且将稳压器上升沿锁定到内部时钟或外部时钟。

LGS53605A 附加功能包括：可调节软启动时间与追踪功能，可调节工作频率，电源正常标志，输入过压保护，逐周期电流限制，过热关断，在 FB 电压较低时提供 Current FOLD-BACK 模式以避免短路时过热，轻载下可选择断续模式与强制连续模式以达到更优的效率或者良好的纹波。

### EN 使能功能

EN 引脚拉至地会强制 LGS53605A 进入关断状态，从而关断两个功率 MOSFET 以及大部分内部控制电路。将 EN 引脚置于 0.6V 以上仅打开内部基准，同时仍保持功率 MOSFET 关闭。将 EN 电压进一步提高到 1.2V 以上会开启整个芯片。

### VCC 稳压器

内部低压差(LDO)稳压器产生 3.3V 电源，为驱动器和内部偏置电路供电。VCC 可提供高达 100mA 的电流，请在 VCC 和 PGND 之间连接至少 1uF 的陶瓷去耦电容，尽量靠近芯片引脚。良好的旁路对于提供功率 MOSFET 栅极驱动器所需的高瞬态电流是必要的。由于 LDO 的功耗较高，具有高输入电压和高开关频率的应用会增加芯片温度。不建议将负载连接到 VCC 引脚，因为这会进一步将 LDO 推至其 RMS 电流额定值，同时增加功耗和芯片温度。

### VIN 过压保护

为了保护内部功率 MOSFET 器件免受输入瞬态电压尖峰的影响，LGS53605A 会实时监测 VIN 引脚的过压情况。当 VIN 升至 22V 以上时，稳压器通过关闭两个功

率 MOSFET 来暂停运行。一旦 VIN 降至 21V 以下，稳压器立即恢复正常运行。退出过压条件时，稳压器不执行其软启动功能。

### PVIN 与 SVIN 区别

PVIN 为内部功率电路输入引脚，SVIN 为内部逻辑电路供电引脚。为保证内部逻辑电路不受噪声干扰，建议 SVIN 使用 1Ω 至 10Ω 和 0.1μF 的低通滤波器连接到 PVIN。芯片 PVIN 与 SVIN 引脚上均包含一个内部欠压锁定电路，当引脚电压低于 UVLO 的下降阈值，会触发 UVLO 保护，关闭稳压器输出。PVIN UVLO 的上升阈值约为 0.9V，SVIN UVLO 的上升阈值约为 2.8V。引脚电压达到此电压以上移除 UVLO 后，控制器会进入软启动过程。

### 输出电压调节

LGS53605A 的输出电压可通过外置分压电阻器调节输出电压大小。分压网络由 R1 和 R2<sup>(1)</sup> 组成。稳压器通过保持 FB 引脚上的电压等于内部参考电压 VREF 来调节输出电压，VREF 参考电压为 0.6V。输出电压公式如下：

$$V_{OUT} = 0.6V \times \left(1 + \frac{R2}{R1}\right)$$

## 应用信息：高效率降压开关稳压器（概述）

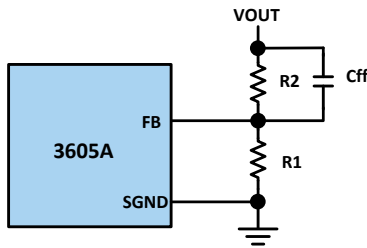


图 5.设置输出电压

固定 R2 来计算所需的电阻值 R1，假设 R2 固定值为 10k。下表给出几种常见输出电压的适当 R1 值：

输出电压 (V)	R1 电阻值 (Ω)	R2 电阻值 (Ω)
1.2	4.99k	4.99k
2.5	3.16k	10k
3.3	2.21k	10k
5	1.37k	10k

(1) 可选择高精度电阻以减小电阻精度对系统精度的影响。

### 调节开关频率

在 RT 脚和 SGND 之间连接一个电阻器，可根据以下公式将开关频率设置为 800kHz 至 2MHz：

$$f_s(\text{Hz}) = \frac{1.6e^{11}}{RT(\Omega)}$$

### 输出电压跟踪与软启动

LGS53605A 可以通过 TRK/SS 引脚设置其输出电压斜率。内部 2μA 将 TRK/SS 引脚上拉至 VCC。在 TRK/SS 上放置不同电容可以调节软启动输出，以防止输入电源上的电流浪涌。对于输出跟踪应用 TRK/SS 可以由另一个电压源从外部驱动，其电压将覆盖误差放大器的内部 0.6V 参考输入，从而将反馈电压调节到 TRK/SS 引脚的电压。在此启动时间期间，LGS53605A 将以断续模式工作。当 TRK/SS 高于 0.6V 时跟踪功能被禁用，反馈电压将调节到内部参考电压。

### 输出正常标志

当 LGS53605A 的输出电压在设定电压的 ±10% 范围，即 FB 引脚电压在 0.54V 至 0.66V 范围内，则表示输出电压良好，PGOOD 引脚被外部拉高电阻器。否则内部

开漏下拉器件(38Ω)会将 PGOOD 引脚拉低。PG 引脚检测到的电压不得超过 36V，可用电阻分压器从较高电压分压。上拉电阻的阻值典型范围为 10kΩ 到 100kΩ。

### 多相工作模式

对于需要超过 5A 电流的输出负载，可以级联多个 LGS53605A 以错相运行提供更大的输出电流。CLKIN 引脚允许 LGS53605A 与外部时钟同步，并且内部锁相环也允许 LGS53605A 锁定到 CLKIN 的相位。CLKOUT 信号可以连接到以下 LGS53605A 级的 CLKIN 引脚，以对齐整个系统的频率和相位。将 PHMODE 引脚连接到 VCC、SGND 或 VCC/2 会分别产生 180 度、120 度或 90 度的相位差（在 CLKIN 和 CLKOUT 之间），这对应于 2 相、3 相或 4 相操作。通过将每个 LTC3605A 的 PHMODE 引脚编程为不同的电平，总共可以级联 12 个相位，并且同时彼此异相运行。

### 内部/外部 ITH 补偿

ITH 为内部误差放大器补偿引脚，其内部用于一个 65k 电阻与一个 60pF 电容器串联连接到误差放大器的输出（内部 ITH 补偿点）。

### 最小关断时间与最小导通时间

最小关断时间  $t_{OFF(MIN)}$  是 LGS53605A 下管功率 MOSFET 导通的最短时间。这个时间一般在 160ns 左右。最小关断时间规定最大占空比为  $t_{ON}/(t_{ON}+t_{OFF(MIN)})$ 。如果达到最大占空比，那么输出电压会出现下降问题，且输出失去闭环调节。避免出现输出电压下降的最小输入电压为：

$$V_{IN(MIN)} = V_{OUT} \times \frac{t_{ON} + t_{OFF(MIN)}}{t_{ON}}$$

与之相似的，最小导通时间  $t_{ON(MIN)}$  为 LGS53605A 上管功率 MOSFET 导通的最短时间。该时间通常是 50ns。在电感电流连续状态下，最小导通时间规定了最小占空比：

$$D_{MIN} = f \times t_{ON(MIN)}$$

其中  $t_{ON(MIN)}$  是最小导通时间。如上式所示，降低工作频率可以减轻最小占空比约束。在超过最小占空比的极少

## 应用信息：高效率降压开关稳压器（概述）

数情况下，输出电压仍将保持在稳压状态，但开关频率将会比其设定值低。这在许多应用程序中是可接受的结果，因此在大多数情况下，此约束可能不是至关重要的。

### C<sub>IN</sub> 与 C<sub>OUT</sub> 选择

稳压器以脉冲方式吸取输入电源的电流。这些脉冲的平均高度等于负载电流。电流的上升和下降时间非常快，因此有必要在输入电源两端加一个局部旁路电容器，以确保稳压器的正常工作，并减少反馈至输入电源的纹波电流。电容器还强制开关电流以紧密的局部环路流动，最大限度减少 EMI。

电源中常常被忽略的一种应力是输入电容 RMS 电流。若不正确理解它，超过电流会使电容过热和过早失效。因此应使用大小适合最大 RMS 电流的低 ESR 输入电容器。最大 RMS 电流由下式给出：

$$I_{RMS} \cong I_{OUT(MAX)} \frac{V_{OUT}}{V_{IN}} \sqrt{\frac{V_{IN}}{V_{OUT}} - 1}$$

该公式在  $V_{IN}=2V_{OUT}$  时具有最大值，其中  $I_{RMS} \cong I_{OUT}/2$ 。

C<sub>OUT</sub> 的选择取决于最小电压纹波和负载阶跃瞬变所需的有效串联电阻 (ESR) 以及确保控制回路稳定所需的大容量电容。可以通过查看负载瞬态响应来检查环路稳定性。输出纹波由下式确定：

$$\Delta V_{OUT} < \Delta I_L \left( \frac{1}{8 \cdot f \cdot C_{OUT}} + ESR \right)$$

由于  $\Delta I_L$  随着输入电压的上升而增大，因此输出纹波在最大输入电压时最大。

现在陶瓷电容的高纹波电流、高额定电压和低 ESR 使其成为开关稳压器应用的理想选择。而选择输入输出陶瓷电容时，推荐使用 X7R 或 X5R 电容，以在温度和输入电压的变化 范围内获得最佳性能。

在负载阶跃跳变中，输出电容器必须提供电流支撑负载，直到反馈回路输出开关电流足够支持负载为止。反馈回路所需的时间取决于补偿和输出电容器的大小。通常需要 3 到 4 个周期才能响应负载跳变，但是只有在第一个周期中，输出量才能线性下降。输出下冲 VDROOP 通常是第一个周期的线性下降的 2 至 3 倍。因此，从输出电容器选值：

$$C_{OUT} \cong 2.5 \frac{\Delta I_{OUT}}{f_0 \cdot V_{DROOP}}$$

在大多数应用中，输入电容器仅需要提供高频旁路。对于这些条件，通常足够一个 22μF 陶瓷电容器，将此输入电容器尽可能靠近 PVIN 引脚放置。

### 电感的选择

电感电流纹波在连续模式下通常与输入输出电压，电感值以及工作频率相关：

$$\Delta I_L = \frac{V_{OUT}}{f \cdot L} \left( 1 - \frac{V_{OUT}}{V_{IN(MAX)}} \right)$$

低波纹电流可减少电感器中的磁芯损耗，输出电容中的 ESR 损耗和输出电压纹波。最优效率是在低频率下以较小的波纹电流获得的。但是实现这一目标需要大体积电感器。所以需要权衡电感体积大小，效率和工作频率。电感电流纹波大小在 2.5A 是一个合理的选择，这在低输出电压(V<sub>OUT</sub> 电压在 1.8V 及其以下)工作下尤为重要。电感需要产生足够大的电流纹波 (1.5A~2.5A)，使得芯片的谷值电流比较器具有足够的信噪比来强制恒定开关频率。同时，还要注意最大的波纹电流发生在 V<sub>INMAX</sub>。为了确保电感电流不超过规定的最大值，应根据以下方式选择电感：

$$L = \frac{V_{OUT}}{f \cdot \Delta I_{L(MAX)}} \left( 1 - \frac{V_{OUT}}{V_{IN(MAX)}} \right)$$

一旦 L 的值已知，就必须选择电感器的类型。高效率的需求通常承受不起低成本粉末铁芯中的铁心损耗，迫使使用更昂贵的铁氧体铁芯。

对于一个固定的电感值，实际磁芯损耗与磁芯尺寸无关，但与所选的电感感值有很大的关系。随着电感感值的增加，磁芯损耗减小。不幸的是，增加的电感感值需要更多的线匝，因此铜损耗将增加。

铁氧体材质具有极低的磁芯损耗，在高开关频率下更受青睐，因此设计目标可以集中在铜损耗和防止饱和。铁粉芯磁芯饱和和呈现一定柔性而更为宽裕但铁氧体磁芯会急剧饱和。其它磁芯材料则介于两者之间。铁氧体铁心材料饱和和“硬”，这意味着当超过峰值设计电流时，电感会突然崩溃。不要让电感饱和！



## 应用信息：参考电路

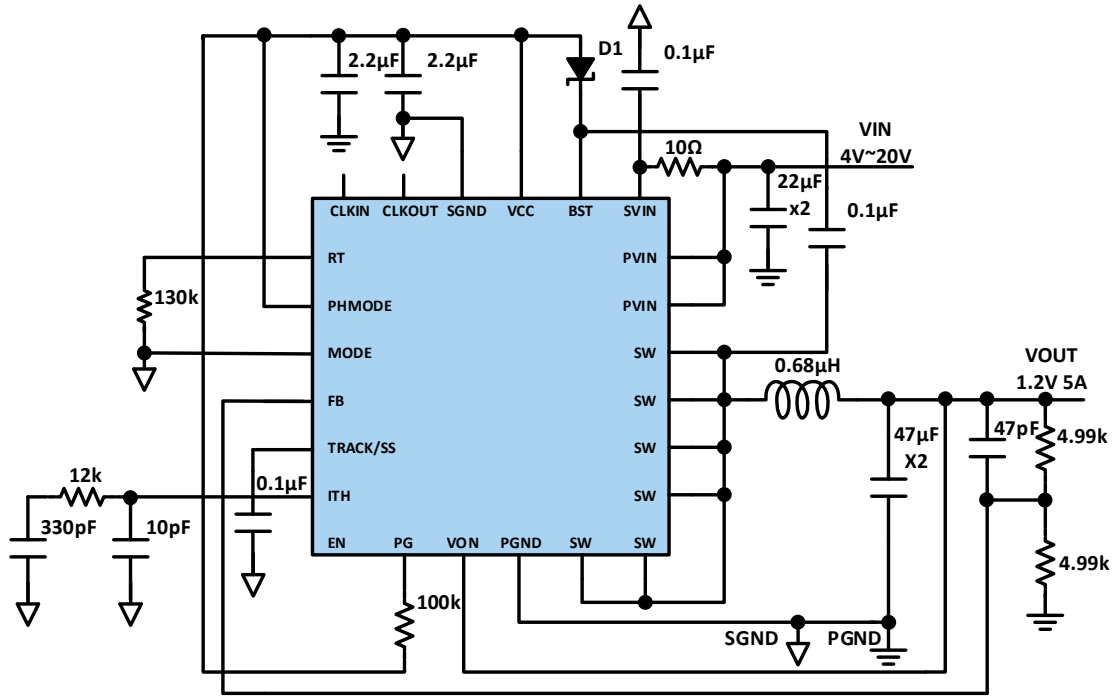


图 6 1.2V 输出 1MHz 工作频率降压电路

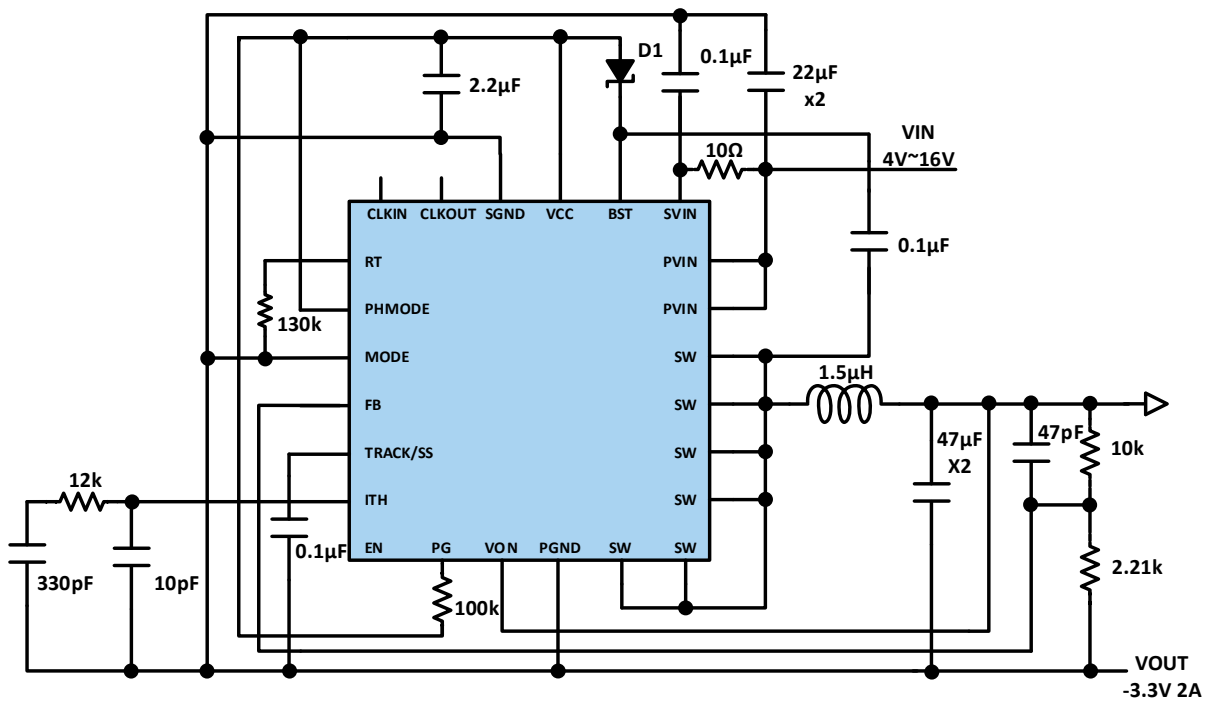


图 7 -3.3V 输出 1MHz 工作频率降压电路

## 应用信息：参考电路

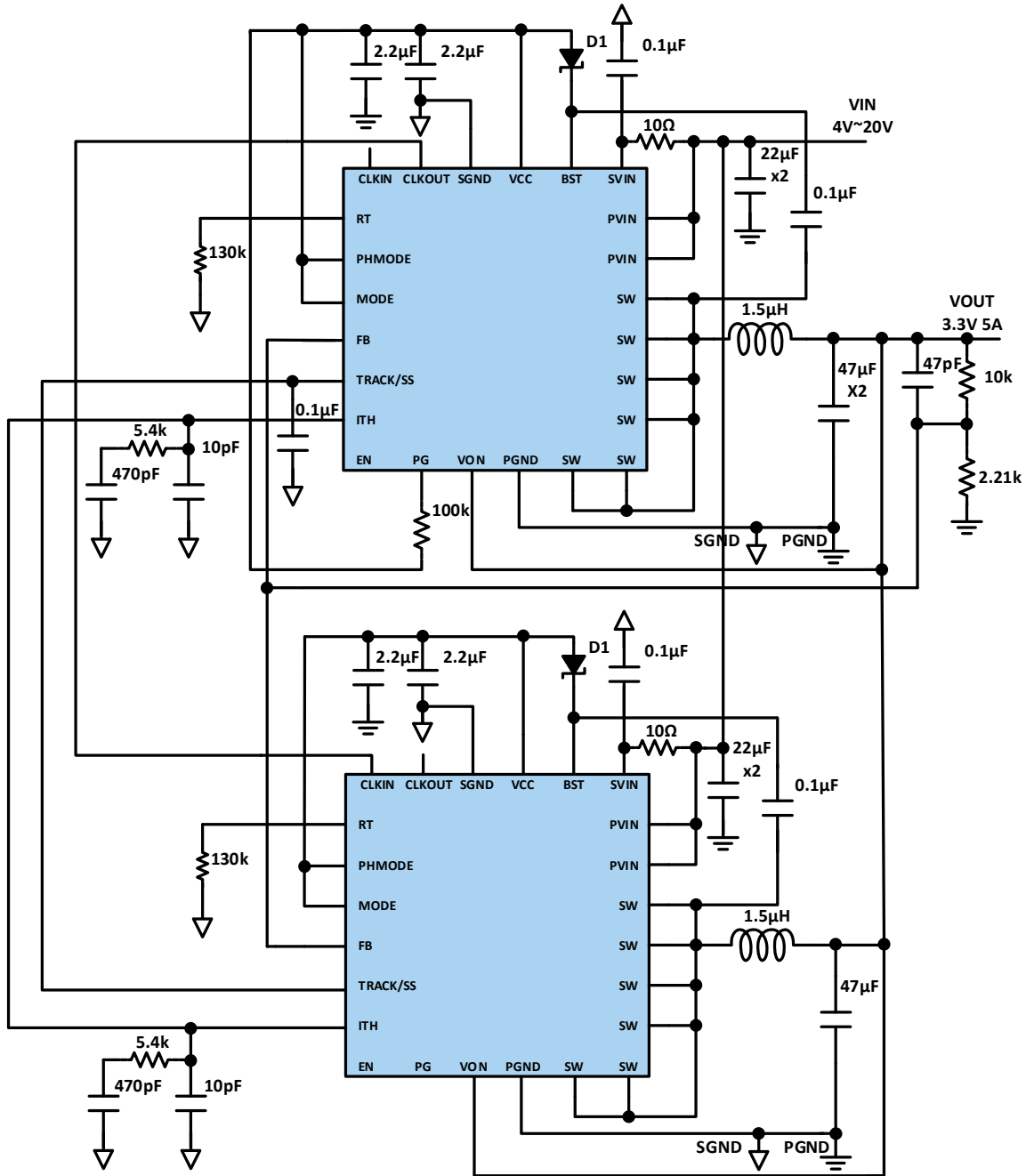


图8 3.3V 双相单路 10A 输出降压电路

## 应用信息：参考布局

LGS53605A的高集成度使PCB板布局非常简单和容易。较差的布局会影响LGS53605A的性能,造成电磁干扰(EMI)、电磁兼容性(EMC)差以及电压损耗,进而影响稳压调节和稳定性。为了优化其电气和热性能,应运用下列规则来实现良好的PCB布局布线,确保最佳性能:

- 必须将高频陶瓷输入电容  $C_{IN}$  尽量近距离放在  $PVIN$ 、 $PGND$  引脚旁边,以尽量降低高频噪声。
- 电阻分压器  $R_{FBH}$  和  $R_{FBL}$  必须连接在  $C_{OUT}$  的正端和  $SGND$  之间。反馈信号  $V_{FB}$  应远离噪声元件和走线,例如  $SW$  线,并且应尽量减少其走线。保持  $R_{FBH}$  和  $R_{FBL}$  靠近 IC。
- 将封装底部的裸露焊盘(引脚  $EP$ ) 焊接到  $PGND$  平面。将该  $PGND$  平面连接到具有热通孔的其他层,以帮助散发来自 LGS53605A 的热量。
- 使敏感元件远离  $SW$  引脚。 $R_T$  电阻、补偿电容  $C_C$  和  $C_{ITH}$  以及所有电阻  $R_{FBH}$ 、 $R_{FBL}$  和  $R_C$  以及  $VCC$  旁路电容应远离  $SW$  走线和电感  $L_1$ 。此外  $SW$  引脚焊盘应尽可能小。
- 请保持信号和电源接地隔离,小信号分量返回到  $SGND$  引脚,然后在输出电容器  $C_{OUT}$  的负端子处连接到  $PGND$  引脚。
- 用铜覆盖所有层上所有未使用的区域,从而降低功率元件的温升。这些铜区域应连接到  $PGND$ 。

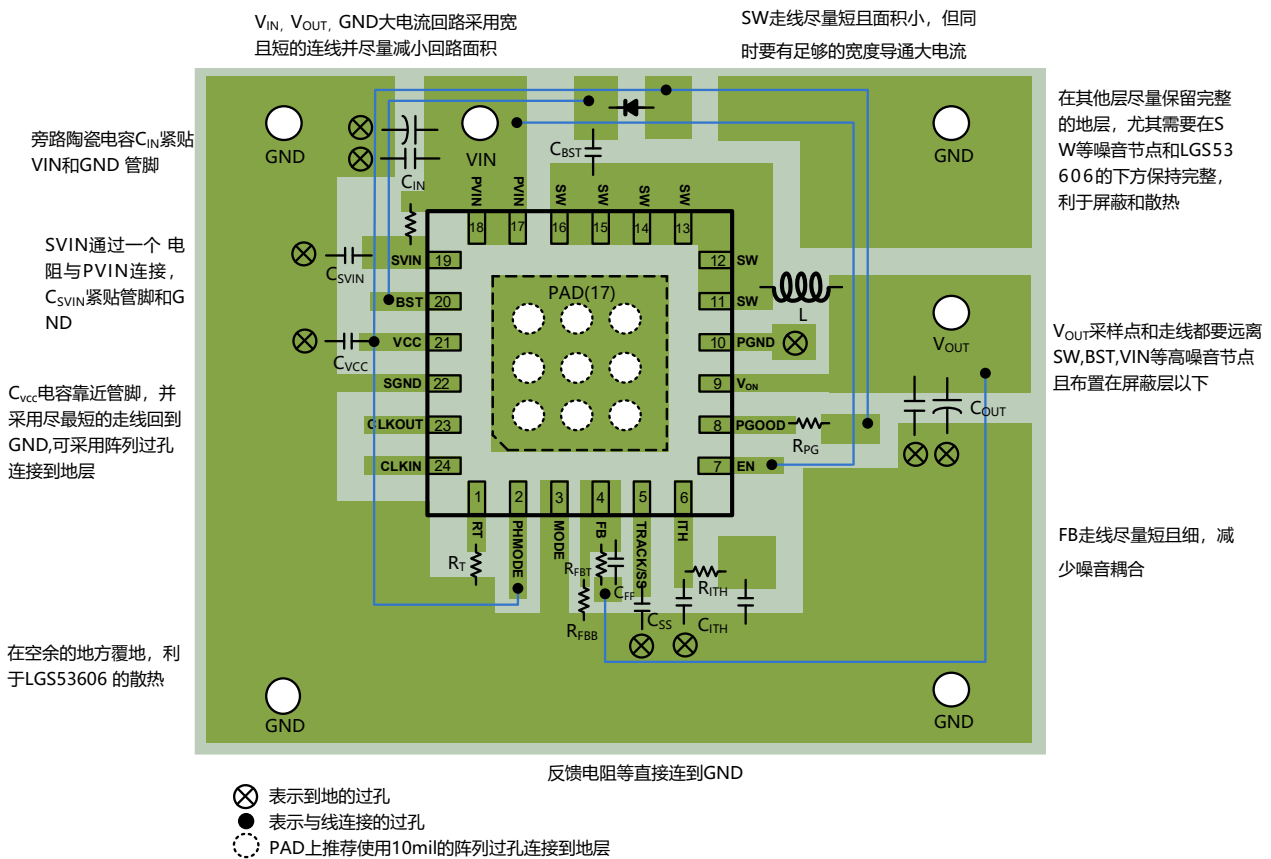
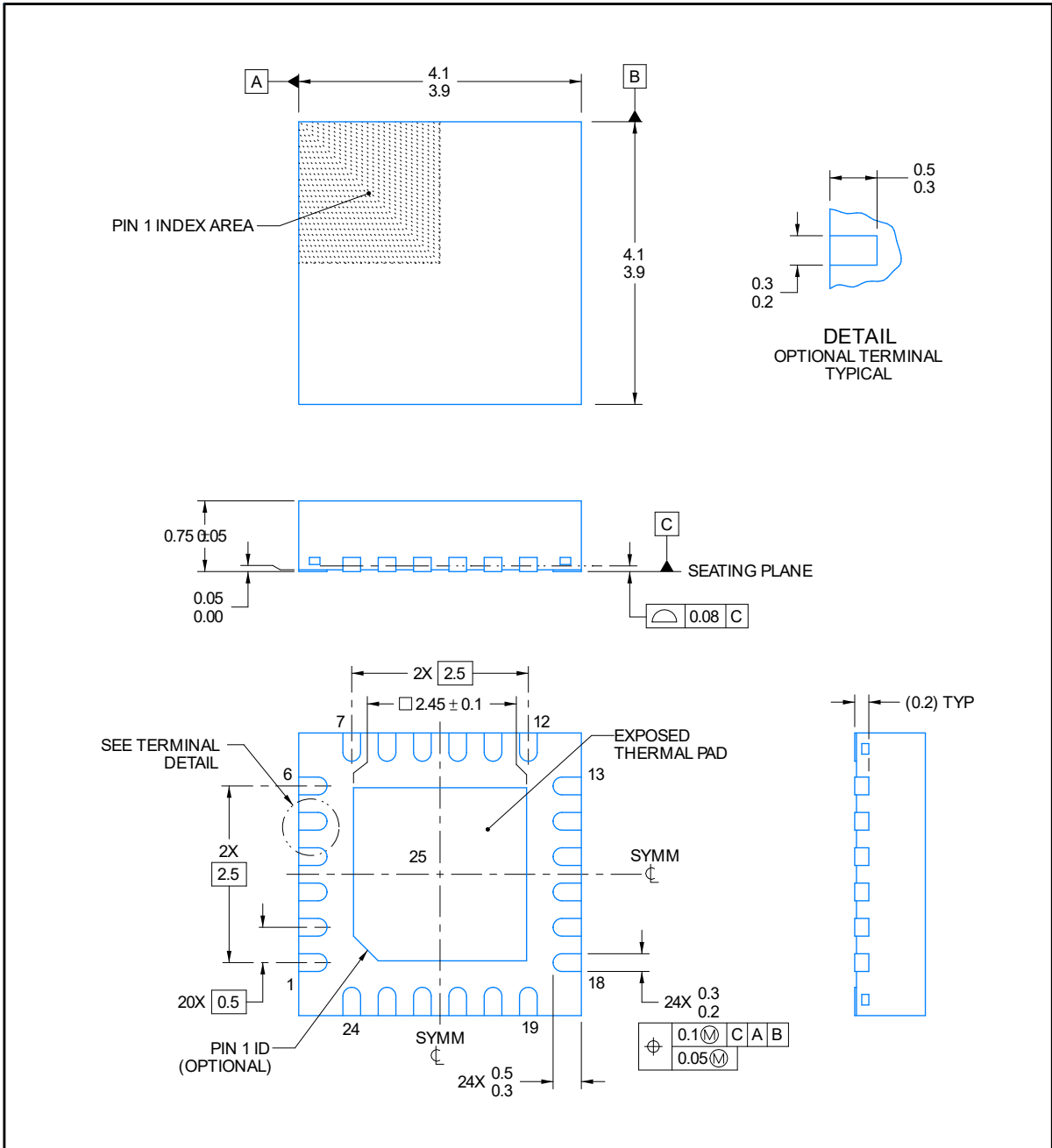


图 9. QFN24(4\*4)封装典型应用 PCB layout

# 封装外形描述(QFN4x4-24)

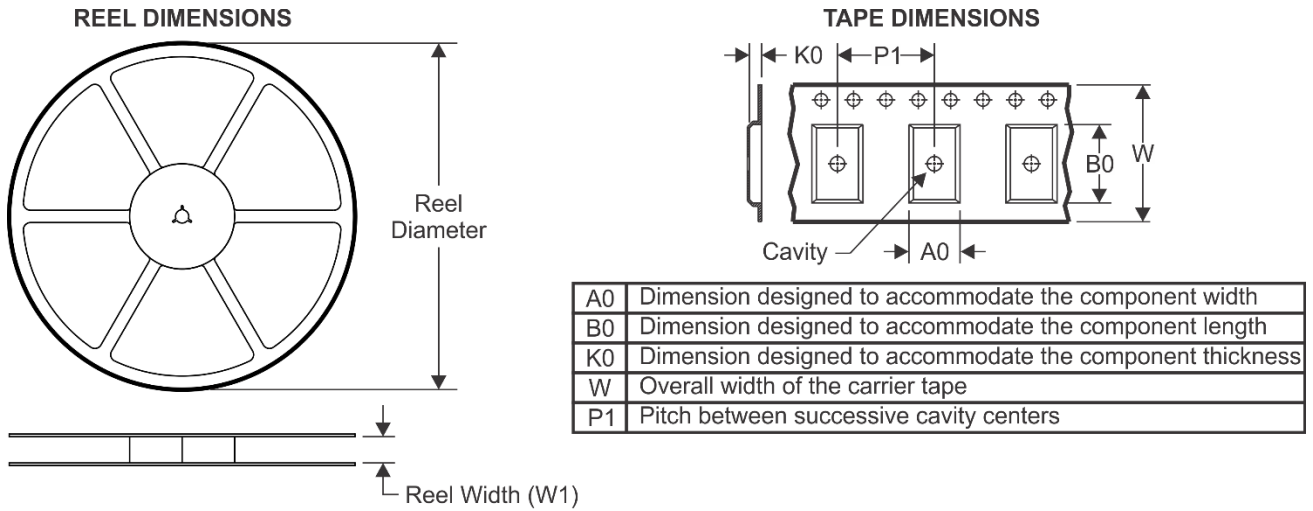
## 具备底部 EPAD 的 24 引脚塑封 QFN



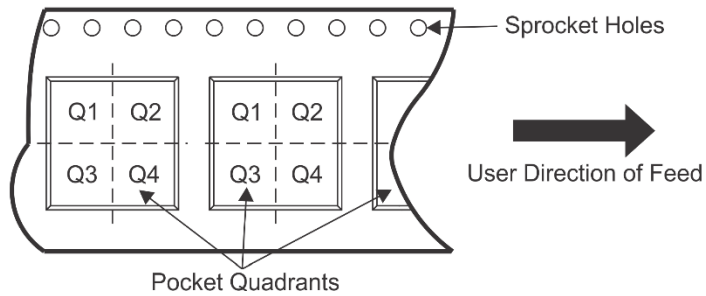
注:

- (1) 所有的数据单位都是毫米，括号内的任何尺寸仅供参考。
- (2) 本图如有更改，恕不另行通知。
- (3) 此尺寸不包括塑模毛边，突起，或水口毛刺。
- (4) 此尺寸不包括塑模毛边。

## TAPE AND REEL INFORMALEGEND-SION




### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*ALL dimensions are nominal

Device	Package Type	Package Drawing	Pins	Pin1 Quadrant
LGS53605A	QFN-24	QF	24	Q1

## 免责声明

 和 Legend-si 是棱晶半导体有限公司的商标，Legend-si 拥有多项专利、商标、商业机密和其他知识产权。Legend-si 对公司产品提供可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、技术支持和其他资源，但不就本司任何产品用于任何特定目的做出担保。Legend-si 不承担任何因产品的使用产生的责任，包括使用方须遵守的法律法规和安使用标准。

对于在规格书中提到的产品参数，在不同的应用条件下实际性能可能会产生变化。任何参数的配置和使用必须经由客户的技术支持进行验证，对本文档所涉及的内容进行变更，恕不另行通知。Legend-si 对您的使用授权仅限于产品的应用，除此之外不得复制或展示所述资源，Legend-si 也不提供任何人或第三方机构的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、债务及任何损失，Legend-si 对此概不负责，并且您须赔偿由此对 Legend-si 造成的损害。

Legend-si 所提供产品均受 Legend-si 的销售条款以及 www.Legend-si.com 上或随附 Legend-si 产品提供的其他可适用条款的约束。Legend-si 提供所述资源并不扩展或以其他方式更改 Legend-si 针对 Legend-si 产品所发布的可适用的担保范围或担保免责声明。

Legend-si 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：江苏省南京市浦口区江淼路 88 号腾飞大厦 C 座 1403 室 电话：025-58196091

Copyright © 2022-present 棱晶半导体（南京）有限公司