

具有 2-Bit VID 控制的同步 Buck 降压控制器

Check for Samples: [LGS51215](#)

特性

- 宽输入电压范围：4.5V 到 24V
- 三档可配置的开关频率 300K/400K/600KHz
- 2-Bit VID 控制，可配置 4 档输出电压（包含 0V）
- 0.65V 内部基准电压，±1%的输出电压精度
- 差分输出信号采样 CSN-CSP
- 可配置的输出电压切换速率
- 输出电压正常标示 PG 功能引脚
- 可配置的 Load Line 补偿功能
- 快速动态响应的环路控制
- 内置功率管驱动的死区时间控制
- 热关断保护、输入欠压保护、输出过压/欠压保护
- 结温范围为 -40°C 至 +125°C

描述

LGS51215 是一款输出可调的 DC-DC 同步降压控制器。具有 4.5V 到 24V 的宽输入电压范围，输出电压可通过 VID0 和 VID1 逻辑信号动态切换，电压切换速率可以通过 VREF 引脚对地的电容进行配置，反馈电压 FB 通过 V1 和 V2 的电阻分压串配置。

LGS51215 采用了电流检测控制模式，降低了补偿网络的复杂程度。同时具备了超快的环路响应速度，在负载动态切换时，输出电压的过冲抑制非常优秀。采用了电感电流采样电流限制模式，提升了系统转换效率。同时提供最大 30A 带载的逐周期限流功能，可根据需要自行通过外部电阻配置限流值。在轻载工作状态下，LGS51215 会自适应地切换到 PFM 模式下，获得更高的轻载转换效率。

附加功能包括：软启动，热关机，UVLO 欠压锁定，门驱动器欠压锁定，和智能电流限制关闭定时器。

LGS51215 提供小尺寸 20 引脚 QFN3X3 封装。

应用

- 笔记本电脑
- 台式电脑
- 工业计算机
- 总线供电
- 低功耗 CPU 电源轨

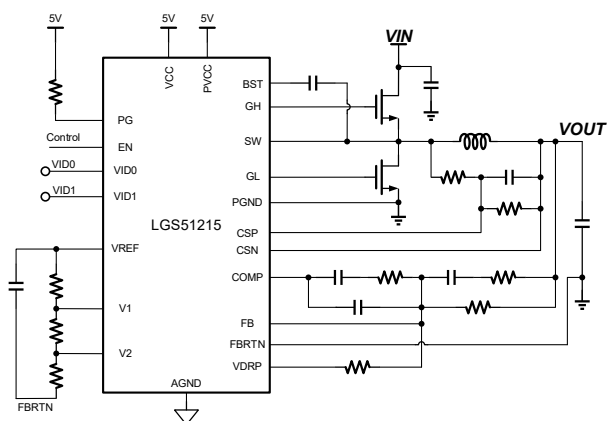


图 1.1 典型应用拓扑

历史修订记录 (†)

注：以前版本的页码可能与当前版本页码不同

Changes from Rev A V0.1 Dec.2021 to V0.2 Jan.2022	页码
更新了内部逻辑图和封装信息	ALL
Changes from Rev A V0.2 Jan.2022 to V0.3 Feb.2022	页码
更新了部分数据和说明	ALL
Changes from Rev A V0.3 Feb.2022 to V0.4 Mar.2022	页码
更新了部分数据和说明	
Changes from Rev A V0.4 Mar.2022 to V1.0 May.2022	页码
更新了部分数据和说明	ALL

- 当前文档为修订版 Rev A V1.0，本手册相关参数仅对本版本相关指标和描述承认。

封装与引脚排列

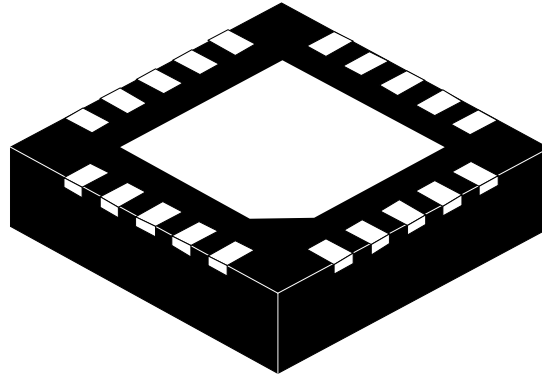


图 3.1 QFN3X3-20L Package

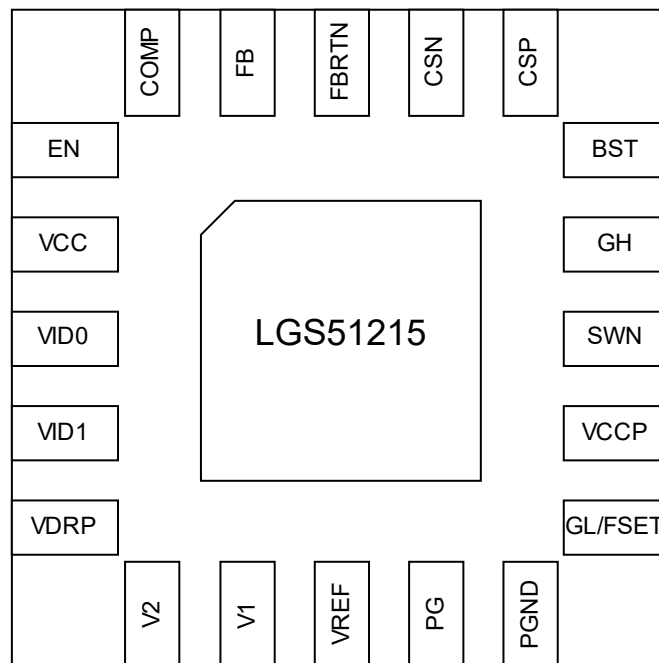


图 3.2 PACKAGE REFERENCE TOP VIEW

引脚功能

表 4.1 引脚功能描述

引脚编号	引脚名称	说明
1	EN	输出使能引脚。置高使能输出；置低关闭输出。
2	VCC	模拟控制部分电源输入引脚。外接至少 2 μ F 陶瓷电容。
3	VID0	输出电压编程控制引脚。与 VID1 同时控制输出电压。
4	VID1	输出电压编程控制引脚。与 VID0 同时控制输出电压。
5	VDRP ⁽¹⁾	Load line 补偿引脚。在 VDRP 与 FB 引脚之间放入合适的电阻，可以补偿输出线损。
6	V2	输出电压编程反馈引脚。在 VREF、V1、V2 之间串联合适的电阻分压，可以配置输出电压。
7	V1	输出电压编程反馈引脚。在 VREF、V1、V2 之间串联合适的电阻分压，可以配置输出电压。
8	VREF	Buck 控制基准信号。与 V1、V2 共同配置输出电压，同时外部接不小于 2nF 的陶瓷电容，可以配置输出电压软启动时间以及输出电压切换斜率。
9	PG	Power Good 标示。外接大于 10K 的上拉电阻到 VCC。
10	PGND	Buck 转换器的功率地。
11	GL/FSET	Buck 转换器下管的 Gate 控制信号。外接高压功率管栅极，同时外接电阻到 GND 可以配置 Buck 转换器的开关频率。
12	VCCP	功率部分控制信号的供电输入。外接 10 μ F 陶瓷电容 ⁽²⁾ 。
13	SWN	Buck 转换器上下管之间的开关节点。
14	GH	Buck 转换器上管的 Gate 控制信号。外接高压功率管栅极。
15	BST	自举电路引脚。把高侧 MOSFET 的 Gate 端电压升高，需要在该引脚和 SW 引脚之间连接至少 0.1 μ F 电容器使用。
16	CSP	电感电流采样电路正向输入端。同时作为输出电压的放电路径。
17	CSN	电感电流采样电路负向输入端。
18	FBRTN	FB 采样信号和 VREF 的参考地。
19	FB	反馈输入引脚。将输出端的电压波动反馈回 IC，同时通过电阻分压比可以设置输出电压值。
20	COMP	误差放大器的输出引脚。
21	AGND	芯片模拟地，连接底部 PAD。

(1) 如无需此功能，请保持此引脚空接。

(2) 注意电容的滤波半径，尽量将滤波电容靠近芯片放置。

绝对最大值 (1)

表 5.1

参数	最小值	最大值	单位
VCC 至 GND	-0.3	6	V
SWN 至 GND	-5	28	
BST 至 SWN、BST 至 GH、VCCP 至 PGND	-0.3	6	
BST 至 GND	-0.3	34	
FBRTN、PGND 至 AGND	-0.3	+0.3	
GL 至 PGND	-0.3	MIN(VCCP+0.3,6)	
GH 至 SWN	-0.3	BST+0.3	
Other Pin 至 GND 电压	-0.3	6	
储存温度 (Storage temperature) T_{stg}	- 65	+ 150	°C
结温 (Junction Temperature) T_j	- 40	+ 125	

(1) 温度范围: -40°C——+125°C (除非另有说明), 如果器件工作条件超过上述“绝对最大值”, 可能引起器件永久性损坏。这仅是极限参数, 不建议器件在极限值或超过极限值的条件下工作, 器件长时间工作在极限条件下可能会影响其可靠性。

ESD 等级

表 6.1

		VALUE	UNIT
V_{ESD}	静电放电测试	Human-body model (HBM)	±2000
		Charged-device model (CDM)	±1000
		Machine Model (MM)	±200



ESD(静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量 ESD 时, 器件可能会损坏。因此, 应当采取适当的 ESD 防范措施, 以避免器件性能下降或功能丧失。

推荐工作条件 (1)

表 7.1

参数	最小值	最大值	单位
输入电压	VCC/VCCP 至 GND 电压	4.5	5.5
	EN 至 GND 电压	2	5.5
	VIN 至 GND 电压	4.5	24
输出电压	V_{OUT}	0.65	2
输出电流	I_{OUT}	0	30

(1) 推荐工作条件表示芯片在何种情况下可以正常工作, 但不代表具体参数性能, 详细请参考后文的技术规格。

技术规格

如无特殊说明, VCC=VCCP=5V, VOUT=1V, TA=25°C; 最大最小值适用于 -40°C<TA=TJ<125°C

表 8.1

参数		测试条件	最小值	典型值	最大值	单位
输入特性						
VCC	VCC 工作电压		4.5	5	5.5	V
VCCP	VCCP 工作电压		4.5	5	5.5	V
VCC_TH	VCC 阈值电压	Rising	4.1	4.3	4.5	V
VCC_UVLO		Falling	3.5	3.9	4.1	V
VCCP_TH	VCCP 阈值电压	Rising	4.0	4.3	4.5	V
VCCP_UVLO		Falling	3.5	3.9	4.1	V
I _{Q_VCC}	静态工作电流	VID0=VID1=0V,EN=5V		300	600	μA
I _{SD_VCC}	关机电流	EN=0V		5		μA
I _{BST_L}	BST 反偏电流	V _{BST} = 34 V, V _{SW} = 28 V, T _A = 25°C		0.1	1	μA
I _{SD_BST}	BST 关断电流	EN=0V, BST=5V, SW=0V, T _A = 25°C			1	μA
使能特性 (ENABLE)						
V _{EN_R}	使能电压阈值	Rising	1.52			V
V _{EN_F}		Falling			0.55	V
I _{EN_B}	EN 输入偏置电流	EN=5V			1	μA
V _{EN_MAX}	EN 最大输入电压			5.5	6	V
四选一输出配置 (BITS VID)						
V _{VID_H}	VID 置高阈值电压		1.52			V
V _{VID_L}	VID 置低阈值电压				0.55	V
I _{VID_L}	VID 漏电流	VID=0V			100	nA
I _{VID_L}	VID 输入偏置电流				1	μA
T _{VID_D}	VID Delay time ⁽¹⁾	Any VID edge to 10% of FB change		200		us
输出电压标识 (PG)						
V _{PG_L}	PG 置低电压	I _{PG(sink)} =4mA		52	80	mV
I _{PG_HL}	PG 置高漏电流				200	nA
R _{PG_L}	PG 下拉导通电阻			13		Ω
T _{PG_D} ⁽¹⁾	PG 启动延迟	Measure from SSEND to PG pos edge		3.8		ms
T _{PG_H}	PG 的传输时延	上升时延		3.4		ms
T _{PG_L}		下降时延		0.35		ms
T _{MASKING}	PG 掩蔽时间	VID 切换		425		us
功率级特性						
F _{SW_Accuracy}	开关频率精度				±10	%

F _{SW}	开关频率	R _{FSET} =2K		300		KHZ
		R _{FSET} =6K		400		
		R _{FSET} =10K		600		
V _{DET}	频率检测电压阈值	F _{SW} =300K			220	mV
		F _{SW} =400K			350	mV
		F _{SW} =600K	450			mV
R _{SW_L}	SW 下拉电阻		85			kΩ
R _{GHH}	上管上拉驱动	I _{BST-GH} = 100mA		0.7	1.2	Ω
R _{GHL}	上管下拉驱动	I _{GH-SWN} = 100mA		0.5	0.8	
R _{G LH}	下管上拉驱动	I _{PVDD-GL} = 100mA		0.7	1.2	
R _{G LL}	下管下拉驱动	I _{GL-PGND} = 100mA		0.5	0.7	
I _{GH_Source}	GH Source Current ⁽¹⁾			2		A
I _{GH_SINK}	GH Sink Current ⁽¹⁾			2		A
I _{GL_Source}	GL Source Current ⁽¹⁾			2		A
I _{GL_SINK}	GL Sink Current ⁽¹⁾			4		A
I _{DET}	频率检测电流			50		μA
T _{DET}	振荡器频率检测时间			200		us
T _{SD}	死区时间	GH 关至 GL 开		20		ns
		GL 关至 GH 开		20		
T _{ON_MIN}	高侧 MOS 最小导通时间 ⁽¹⁾			35		ns
T _{OFF_MIN}	低侧 MOS 最小关断时间 ⁽¹⁾			250		ns
内置 BST 二极管						
V _{DIODE}	肖特基二极管压降	I _F = 1mA, T _A = 25°C		0.3		V
		I _F = 10mA, T _A = 25°C		0.5		V
误差放大器						
	开环直流增益 ⁽¹⁾		80			dB
	开环增益带宽 ⁽¹⁾			20		MHz
	FB 偏置电压 ⁽¹⁾	Relative to CSN = VID	-1		1	uA
	摆率 ⁽¹⁾	COMP pin to GND = 10 pF		10		V/us
	最大输出电压 ⁽¹⁾	10 mV of overdrive, I _{SOURCE} = 2.0		VCC		
	最小输出电压 ⁽¹⁾	mA		0.2	0.3	V
	Output Source Current	10 mV of overdrive, V _{OUT} = 0.3 V	2			mA
	Output Sink Current	10 mV of overdrive, V _{OUT} =1V	2			mA
软启动过程						
I _{CHG-SS}	VREF 软启动充电电流			20		μA
I _{CHG-VID}	VREF 上升充电电流	VREF 0.65V-2V		80		
I _{DISC-VID}	VREF 下降放电电流	VREF 2V-0.65V		80		
放电回路						
R _{DISC}	输出泄放电阻 (通过 SCN)			24		Ω
反馈回路						

I_{FB}	FB 漏电电流		-500		500	nA
V_{FB}	FB 电压范围		0		2	V
V_{FB_OV}	FB 过压阈值 ⁽¹⁾			2		V
$V_{FB_TH_OV}$	V_{FB_OV} -VID SET ⁽²⁾	Relative to nominal VID Voltage	200	300	400	mV
$V_{FB_TH_UV}$	V_{FB_UV} -VID SET ⁽²⁾		-250	-200	-150	mV
T_{FB_OV}	FB 过压时延			2		μs
T_{FB_UV}	FB 欠压判定时间			3		μs
$V_{FB_Accuracy}$	反馈电压精度		-1		1	%
		$T_A=25^{\circ}C$	-0.35		0.35	%
V_{REF}	内部参考电压			0.65		V
差分电流检测						
CSP-CSN 共模输入电压范围		参考地为 AGND	-0.2		2	V
差分输入电压范围			-30		30	mV
过流保护(OCP)						
OCP 阈值		$V_{SCP}-V_{CSN}$	25	30	35	mV
LOADLINE						
LOADLINE 信号放大倍数		$(V_{VDRP}-V_{VREF})/(V_{CSP}-V_{CSN})$		6		
热关机特性						
T_{SD}	热关机 ⁽¹⁾			150		°C
T_{SD_H}	热关机的迟滞 ⁽¹⁾			25		°C

(1) Guaranteed by characterization or design, not production tested

(2) Test results at $V_{REF}=0.65V$

功能框图

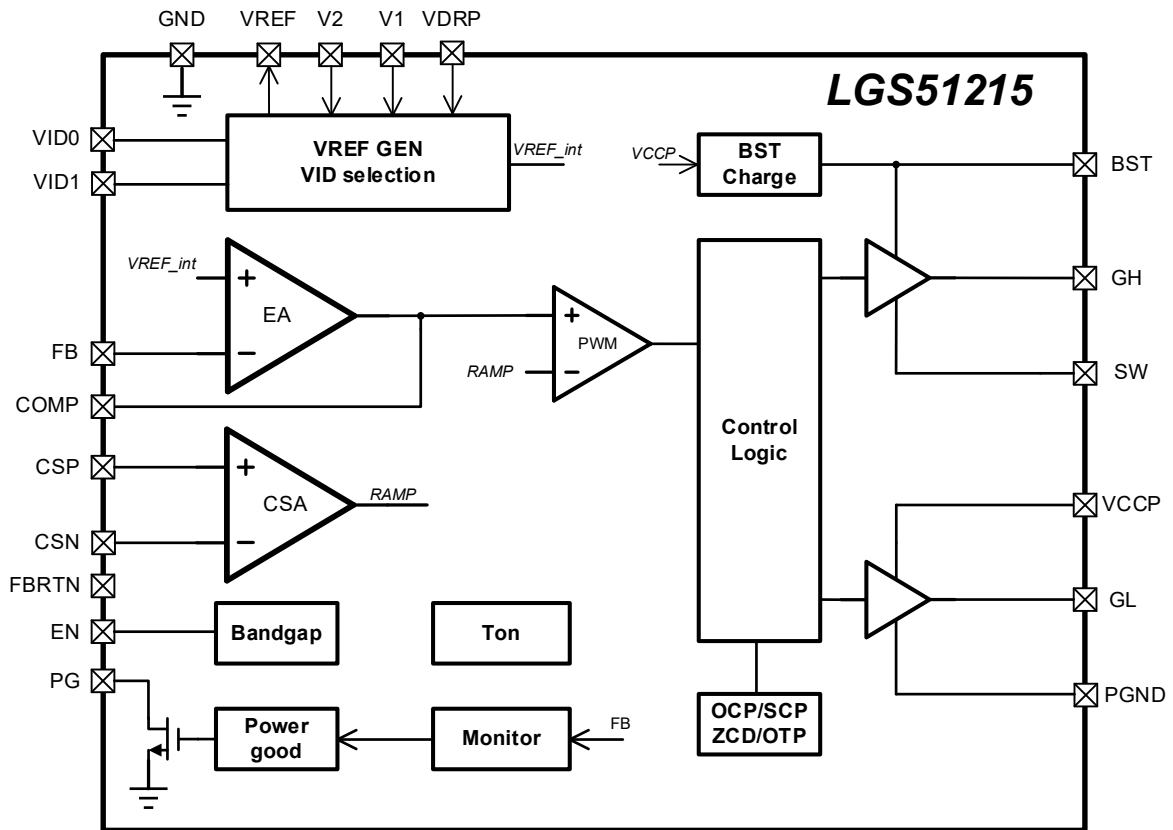


图 9.1 内部功能框图

典型应用推荐

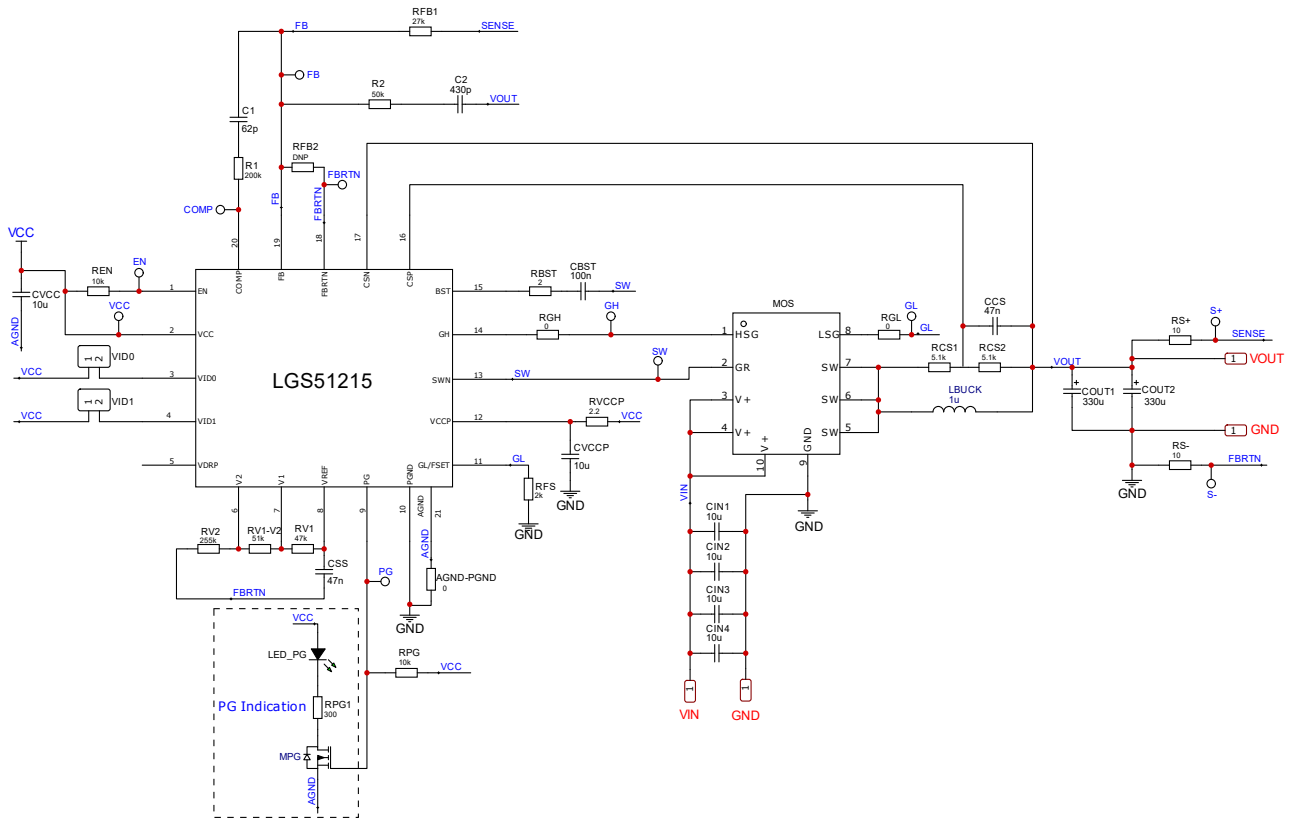


图 10.1 应用电路推荐 1 VIN=4.5-24V(典型值 12V), VOUT=1V, IO(MAX)=30A, Fsw=300kHz

表 10.1 LGS51215 典型外部器件推荐

Designator	Qty	Description	Manufacturer	Part Number
MOS	1	30V Asymmetric Dual N-Channel MOSFET	ON Semiconductor	FDPC5018SG
CIN1-4	4	10µF, 50V, X5R, 1210, ceramic	SANYEAR	C1210X7R106M500NT
COUT1-2	2	220µF, 2.5V, 7343, 9 mill-ohm ESR	PANASONIC	2R5TPE220M9
LBUCK	1	1µH, ±20%, 1040, 2.3mΩ DCR	KEMET	MPCH1040L1R0
		2.2µH, ±20%, 1040, 3.43mΩ DCR	VISHAY	IHLP-5050FD-51

- (1) 功率输入电容推荐使用 X7R 或 X5R 的陶瓷电容，并尽量贴近 IC 放置，详见后文关于输入电容推荐的描述。
- (2) BST 至 SW、VCCP 至 GND 的电容请选择耐压高于 10V 的陶瓷电容，并尽量贴近 IC 引脚放置。

应用信息：VID 控制的同步降压控制器（图表）

如无特殊说明，VIN=12V，VOUT=1V，TA=25°C

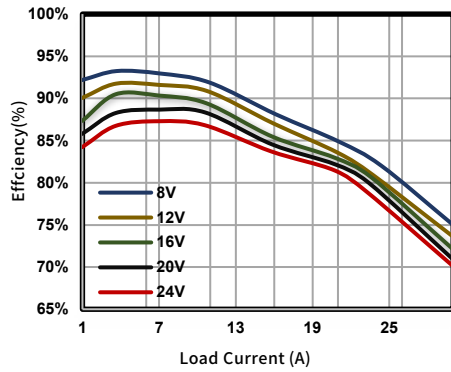


图 11.1 Efficiency vs Load Current for VOUT=1V

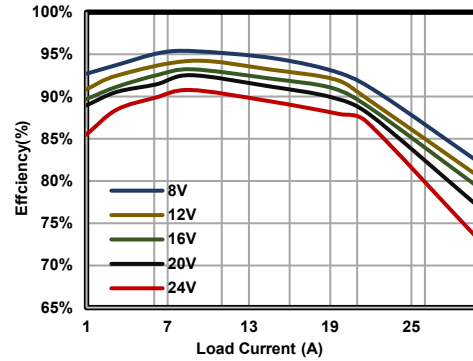


图 11.2 Efficiency vs Load Current for VOUT=1.8V

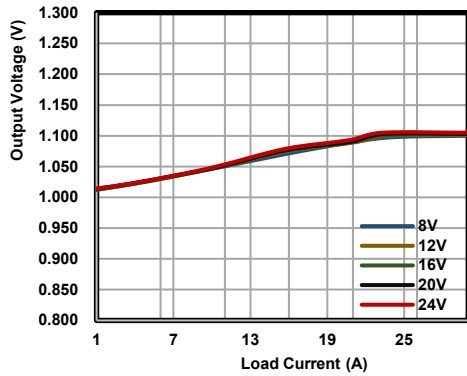


图 11.3 VOUT=1V vs Load Current With Loadline

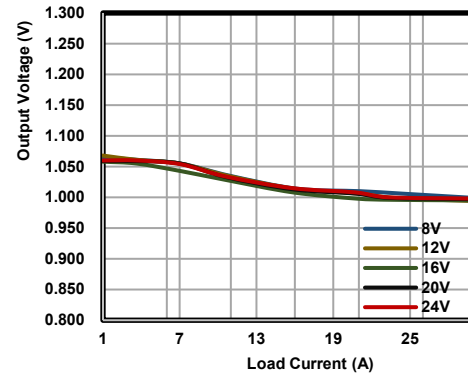


图 11.4 VOUT=1V vs Load Current

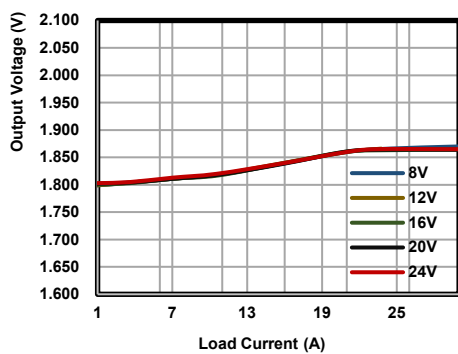


图 11.5 VOUT=1.8V vs Load Current With Loadline

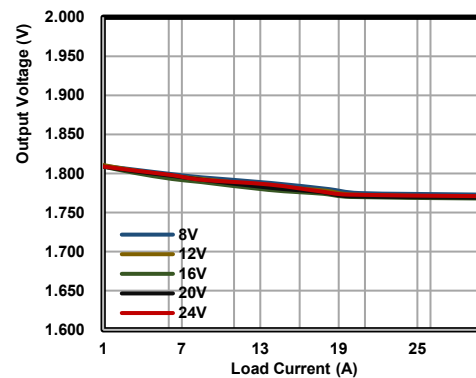


图 11.6 VOUT=1.8V vs Load Current

LGS51215

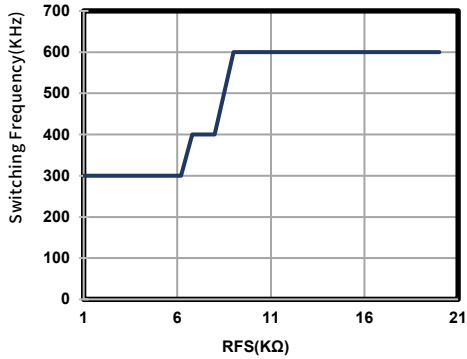


图 11.7 RFS vs Switching Frequency

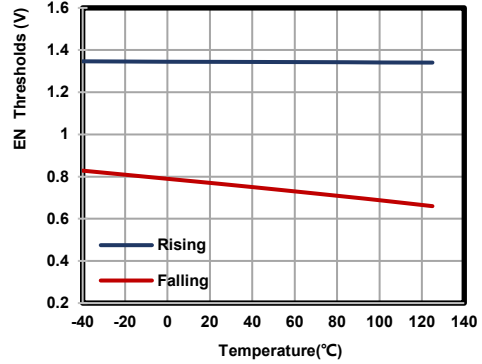


图 11.8 EN Thresholds vs Temperature

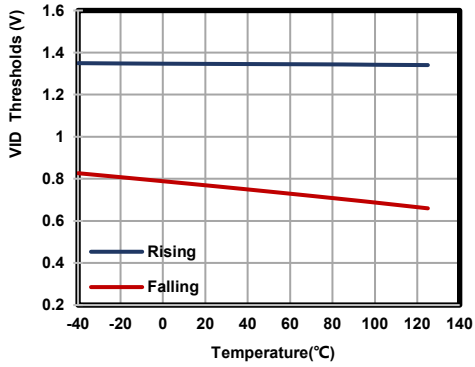


图 11.9 VID Thresholds vs Temperature

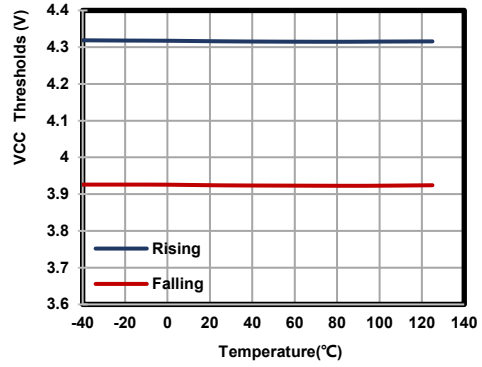


图 11.10 VCC Thresholds vs Temperature

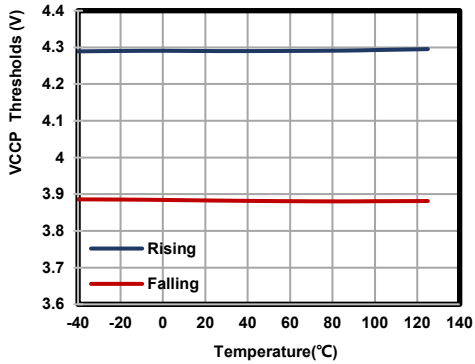


图 11.11 VCCP Thresholds vs Temperature

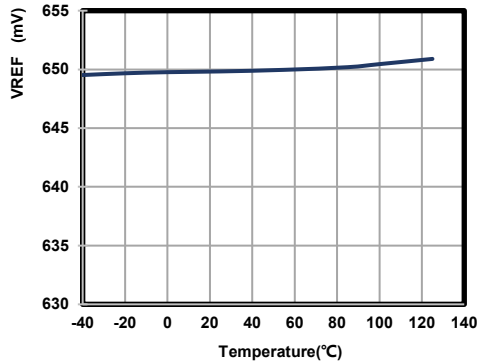


图 11.12 VREF vs Temperature

LGS51215

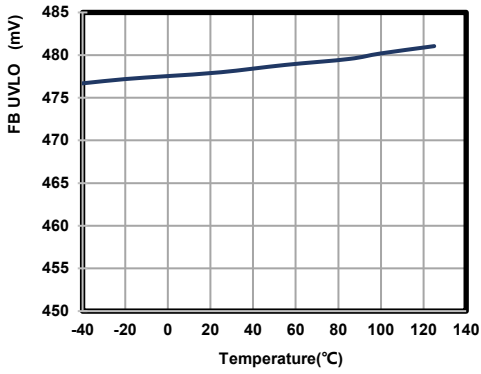


图 11.13 FB UVLO vs Temperature

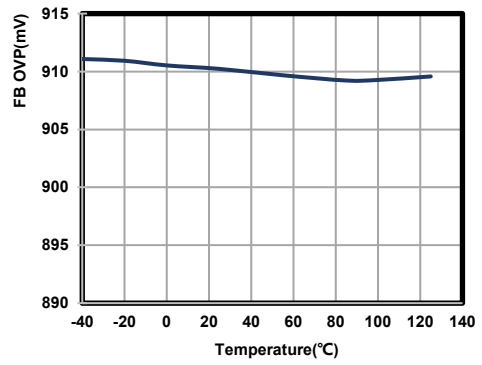


图 11.14 FB OVP vs Temperature

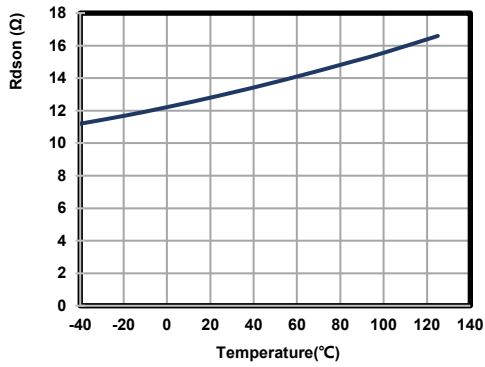


图 11.15 PG Open-drain Rdson vs Temperature

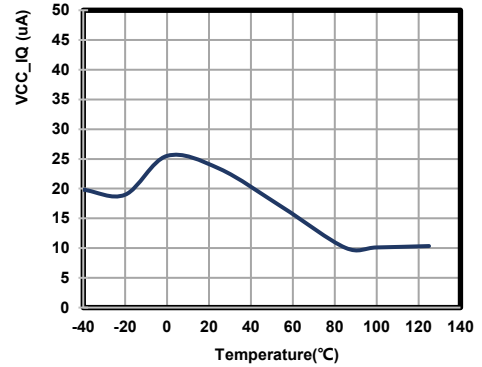


图 11.16 VCC_IQ vs Temperature

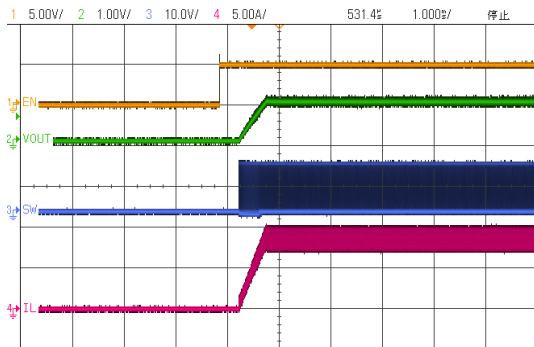


图 11.17 EN Power On (1)

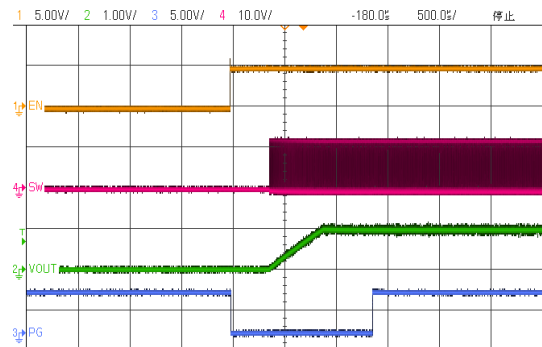


图 11.18 EN Power On (2)

LGS51215

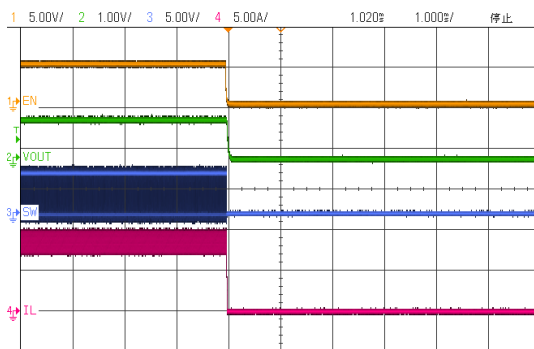


图 11.19 EN Power Off (1)

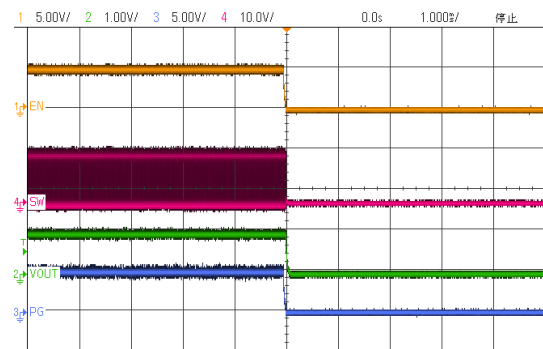


图 11.20 EN Power Off (2)

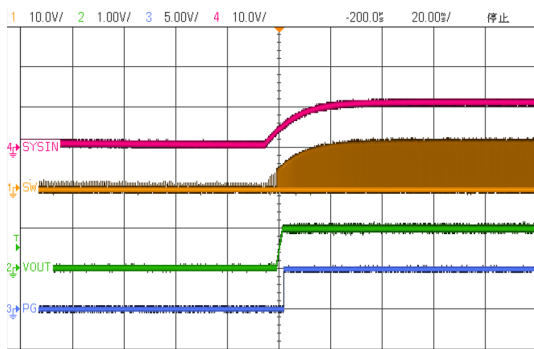


图 11.21 VIN Power On

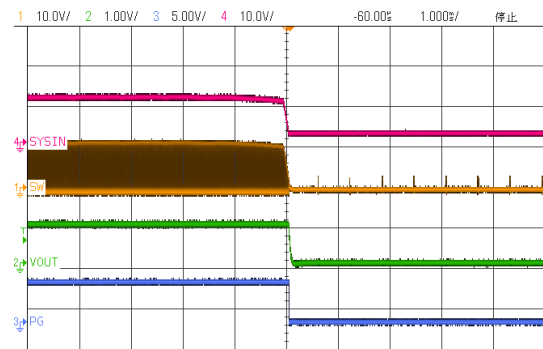


图 11.22 VIN Power Off

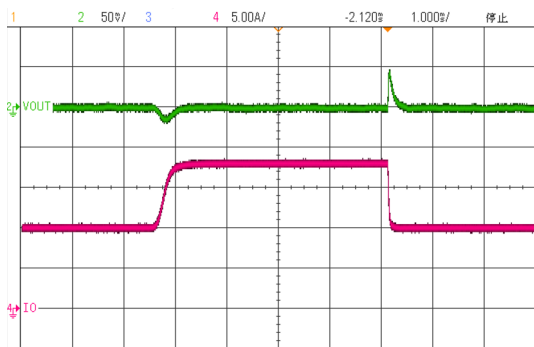


图 11.23 Load Transient 10-18A

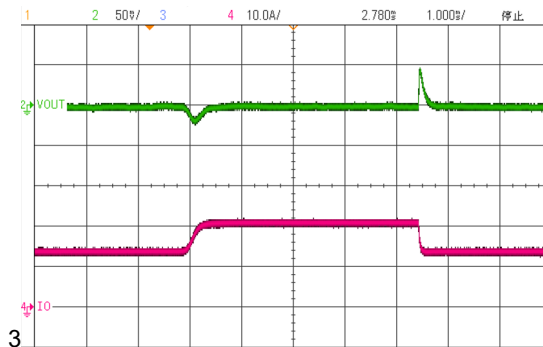


图 11.24 Load Transient 14-22A

LGS51215

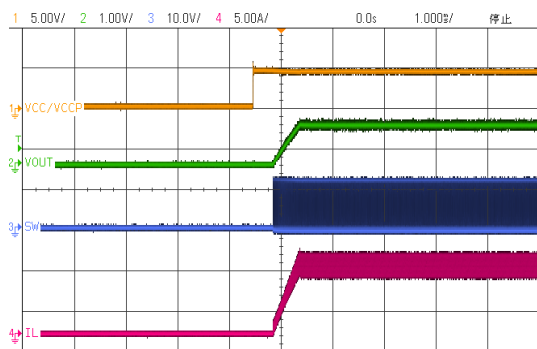


图 11.25 VCC Power On

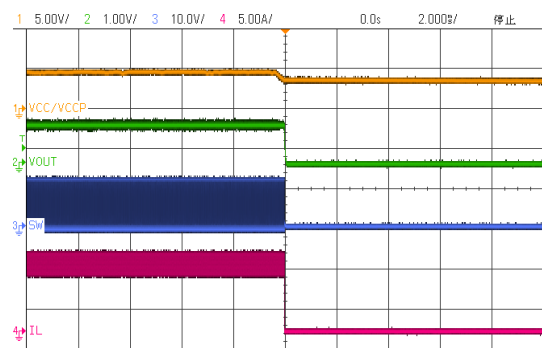


图 11.26 VCC Power Off

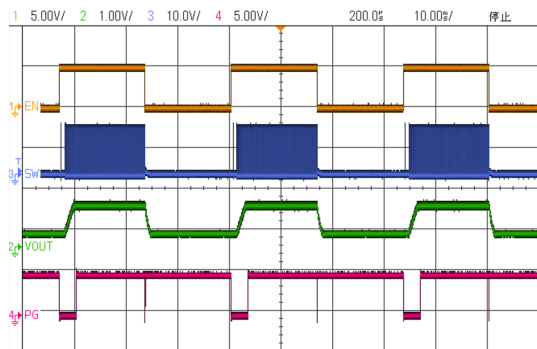


图 11.27 Pre-bias Startup

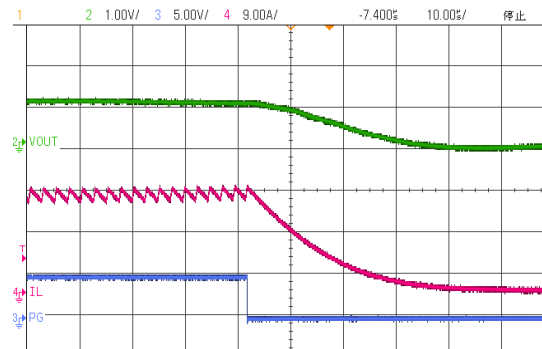


图 11.28 Overcurrent Protection

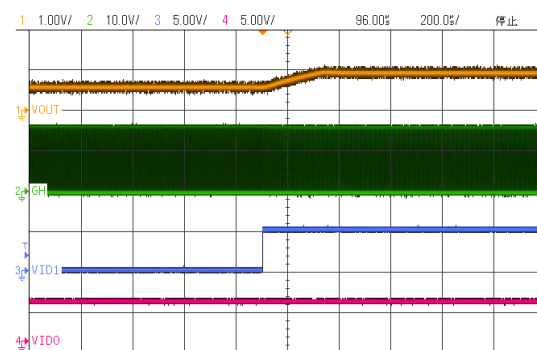


图 11.29 VID Change 0.65V-1V

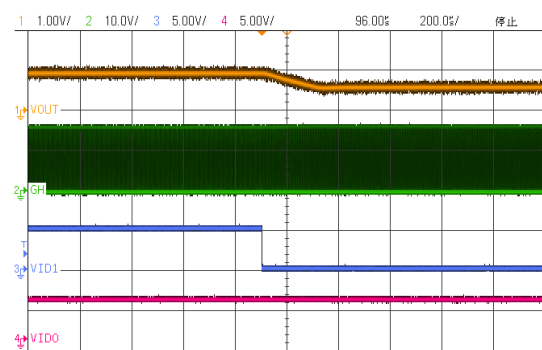


图 11.30 VID Change 1V-0.65V

特性说明

概述

LGS51215 同步降压控制器，可以工作在 4.5V 到 24V 的输入电压(VIN)范围内，提供 PFM 和 CCM 的自然过渡，在轻载下保持高效稳定的同时支持快速的瞬态响应。LGS51215 提供通用控制器必要的控制功能和保护电路，以满足广泛的应用要求。LGS51215 支持输出电压值设定功能，具备 2 位 VID 控制模式，可以动态改变输出四档（包括 0V 在内）电压值及其切换速率。LGS51215 需要外部 5V 电压源供电控制内部电路，具备的欠压锁定（UVLO）功能可以保护内部电路不受低输入电压影响。LGS51215 可通过外部电阻配置开关频率在 300KHz,400KHz 和 600KHz 三档频率范围附近。LGS51215 提供具备自适应死区时间的上下功率管驱动电路、可改变的软启时间和极低的关断电流，同时具备过流保护、输出状态良好监测、过压保护、欠压保护、内置输出放电回路和热关断功能。

参考电压 VREF 设置

LGS51215 提供 2 位 VID 控制，通过改变 VID 状态可选择四档 VREF 参考电压（相对于 FBRTN）。该设计将允许输出电压低至 0.65 V（等于内部基准电压值）。当 VID0 和 VID1 均为低电平时，LGS51215 将关闭 GH 和 GL(即上下功率管驱动功能)。输出电压将通过负载消耗逐渐衰减至 0V。

VID 配置真值表如下：

表 12.1 VID 真值表

VID State		Results		
VID1	VID0	Close	VREF(V)	VOUT(V)
0	0	\	0	0
0	1	S0	V _{REF0}	VOUT1
1	0	S1	V _{REF1}	VOUT2
1	1	S2	V _{REF2}	VOUT3

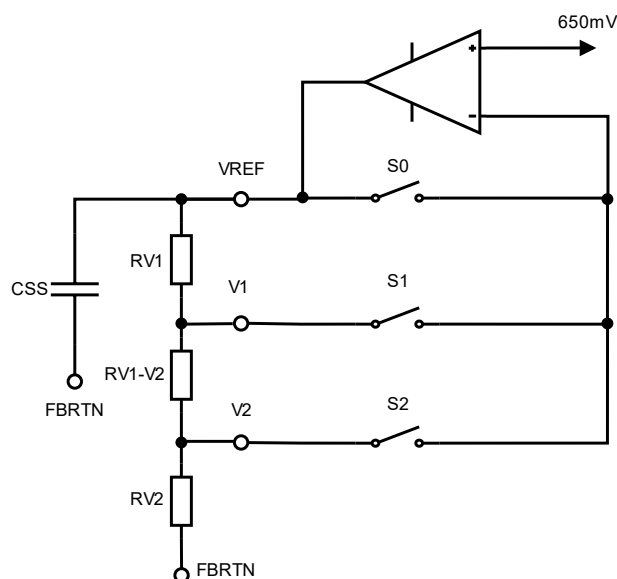


图 12.1 外部参考电压 VREF 设置

如上图所示，当 $V_{REF} = 0$ 时，外部参考电压 V_{REF} 的值可由以下公式计算：

$$V_{REF0} = V_{REF-IN} = 650\text{mV}$$

$$V_{REF1} = V_{REF0} \cdot \left(1 + \frac{R_{V1}}{R_{V1-V2} + R_{V2}}\right)$$

$$V_{REF2} = V_{REF0} \cdot \left(1 + \frac{R_{V1} + R_{V1-V2}}{R_{V2}}\right)$$

注： $V_{REF2} > V_{REF1} > V_{REF0}$ 为保证系统稳定性，请尽量保持 V_{REF} 至 $FBRTN$ 的总电阻 ($R_{V1} + R_{V1-V2} + R_{V2}$) 之和大于 100K。

参考电压 V_{REF} 设置

从 FB 引脚到 $FBRTN$ 增加电阻 R_{FB2} 与电阻 R_{FB1} 形成一个反馈分压器可以用来提升输出电压。若电阻 R_{FB2} 保持空置，输出电压 V_{OUT} 将等同于 FB 的电压。该设计可以保持输出电压的设定完全取决于用户的要求，使得 LGS51215 的使用更加灵活。

如图 8 所示，输出电压可以根据以下公式计算：

$$V_{OUT1} = V_{REF0} \cdot \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

$$V_{OUT2} = V_{REF1} \cdot \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

$$V_{OUT3} = V_{REF2} \cdot \left(1 + \frac{R_{FB1}}{R_{FB2}}\right)$$

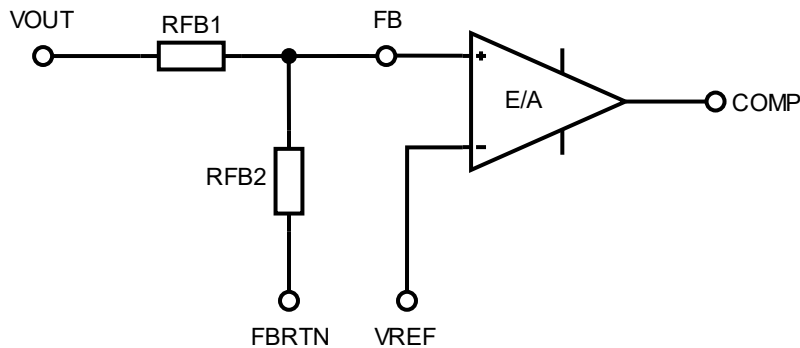


图 12.2 反馈分压器

输出电压的差分检测

LGS51215 输出电压在 FB 和 $FBRTN$ 引脚之间进行差分检测。 FB 通过电阻连接到正调节点， $FBRTN$ 直接连接到负调节点。LGS51215 将差分检测与高精度 VID 数模转换器相结合，以精密带隙源和低失调误差放大器为基准，从而提供精确的输出电压。

Soft Start 和 VID 变换速率

为了限制启动浪涌电流,可以在 VREF 引脚与地之间连接一个电容,以缓慢提升基准电压。启动过程中,运放输出 20 μ A 的电流给电容器 CSS (软启电容) 充电,在 VREF 电压小于设定值时,VREF 电压值跟随软启电压,当 VREF 电压达到设定值时将不再升高。在该过程中软启电压持续升高,直到电容充电结束。

软启动结束后,运放输出电流变为 $\pm 80\mu$ A,在 VID 瞬态变化时对 VOUT 变化率进行设置,因此,CSS 请尽量使用高容差贴片电容(例如 X7R),以确保环路工作的稳定性。

自适应栅极驱动器

在一个同步降压转换器模块中,低端驱动信号和高端驱动信号之间需要一定的死区时间,以避免击穿。在死区时间内,低侧 MOSFET 的体二极管的压降比 MOS 管导通时压降高得多。所以,体二极管导通时间越长,效率越低。

LGS51215 控制器集成自适应死区时间控制,以最大限度地减少死区时间来提高转换效率,并有效防止上下功率管直通现象的发生。

Soft Stop

LGS51215 具有 Soft Stop 的放电模式,出现故障(UVP、OVP、OCP、TSD 等)或使能(EN)关闭都会导致输出通过 CSN 引脚内部的 24 Ω (Typical) MOS 管进行放电。软停止的时间常数是输出电容和放电晶体管电阻的函数。

开关频率及其检测

LGS51215 开关频率范围由 GL/FSET 引脚上的电阻 RFS 设置。LGS51215 使能后,在软启动之前进行检测开关频率设置功能,由 GL/FSET 引脚提供 50 μ A 的检测电流 I_{FDECT} ,经过 200 μ s 的检测时间 T_{FDECT} 后,测量 GL/FSET 引脚的电压,从而确定频率检测的阈值。值得注意的是,当低侧 MOSFET 的栅极电容超过 10nF, I_{FDECT} 需要更长的时间对 GL/FSET 引脚充电,因此用户在使用过程中应考虑 GL/FSET 的电压上升时间,确保在 200 μ s 内完成检测过程。可以直接使用 LGS51215 外围器件推荐表中的 MOSFET,以确保芯片的正常使用。

电阻和频率设置可参考下表:

Value of RFS	2K	6K	10K
F_{sw}	300KHz	400KHz	600KHz

省电模式 (Power Save Mode)

LGS51215 在轻载下进入省电模式,该模式通过暂停功率管的开关来降低导通损耗,使降压转换模块在轻载下也能保持高效。Skip Comparator 通过比较内置 I_{SKIP} 和 I_{REF} 来管理和切换 CCM 和 PFM,当前电流需求低于 I_{SKIP} 时,比较器控制暂停切换;当电流需求增加时(VOUT 下降),比较器控制激活电流环路进入 CCM 模式,使 VOUT 上升,此时 I_{REF} 将会下降,当 I_{REF} 低于 I_{SKIP} 时,开关功率管再次暂停切换。

由于输出电压会不定期地骤降和恢复,因此这种模式下的输出电压纹波大于 CCM 工作模式下的纹波。

EN——IC 使能

EN 引脚的电压控制 LGS51215 的启动和关闭。当 EN 电压小于 V_{EN_OUT} 时芯片保持低功耗待机状态,当 EN 引脚处电压大于 V_{EN_OUT} 时,IC 进入软启动模式。在 IC 关闭过程中,EN 引脚电压下降到 $V_{EN_OUT} - V_{EN_HYST}$ 时,LGS51215 稳压器停止工作,重新进入待机状态。

测试过程中可将 EN 引脚可以通过一个 10KΩ 的电阻连接到 VCC 上，当 VCC 上电时可同时保持使能打开。实际应用中，用户可根据应用环境灵活使用 EN 的使能作用。

注：EN 引脚的最大耐压值为 6V，额定工作电压值为 5V

欠压锁定 (UVLO)

LGS51215 内部集成针对 VCC 的欠压锁定保护(UVLO)，其典型阈值电压为 4.3V，迟滞为 400mV。

如果 VCC 电压低于阈值电压使 UVLO 被触发,等待 VCC 电压升至阈值电压以上时会重新启动芯片进入正常工作模式。该保护功能不会触发故障计时器使芯片进入 Shutdown 状态。

过电压保护(OVP) 和欠压保护(UVP)

当 FB 电压比 VREF 电压高 300mV (Typical) 并保持 2μs 时，芯片就会认为发生 OV 故障，进入过压保护状态。高侧 MOS 驱动关闭，GH 置零；低侧 MOS 驱动打开，试图对输出进行放电操作。当 FB 电压下降到低于 OV 的电压阈值时，低侧 MOS 驱动将关闭。EN 复位或 VCC 重新上电可以退出故障模式，重新启动芯片。

当 FB 电压比 VREF 电压低 300mV (Typical) 并保持 3.3μs 时，芯片就会认为发生 UV 故障，进入欠压保护状态。高侧和低侧 MOS 驱动都关闭，进入锁定状态。

EN 复位或 VCC 重新上电可以退出故障模式。

注：在 VID 变化期间和 VOUT = 0 V 时，OVP 和 UVP 功能将被禁用。

电源良好显示 (PG)

LGS51215 内置窗口比较器来监控 FB 的电压。PG 引脚是开漏的 5mA 下拉输出，需要使用上拉电阻连接至 VCC。在启动期间，PG 一直保持低电平，直到反馈电压 FB 的值达到阈值电压并保持 3.3ms 以上（防止误触发）。

注：(1)在任何 VID 变化期间，PG 电路将被屏蔽，持续时间大约为 425s。

(2)PG 引脚电压不能被拉到高于 VCC 引脚电压。

过流保护(OCP)

LGS51215 通过差分电流检测持续监测流经电感的电流，限流阈值 ΔV_{TH} 为 30mV，当电感电流超过限流阈值时，高侧功率管驱动(GH)将逐周期关闭，如果在 8 个周期内仍处于 OC 状态，芯片将会进入 shutdown 状态。

在模块运行过程中，电感 DCR 受温漂的影响可能会有所偏差，可以在 RCS2 处加入 NTC 电阻来进行温度补偿。

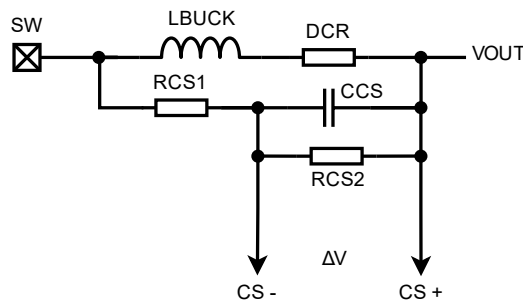


图 12.3 电感 DCR 电流检测电路

如图所示，电感电流限制可由电阻 RCS1、RCS2 和电感的 DCR 来配置：

$$I_{LIM} = \frac{\Delta V}{DCR} \cdot \left(1 + \frac{RCS1}{RCS2}\right)$$

Loadline

LGS51215 允许用户通过 VDRP 引脚对负载线进行设置。如图 10 所示，LGS51215 在 VDRP 和 VREF 引脚之间输出差分信号，其幅度是 CSP 和 CSN 引脚之间差分信号的六倍。因此，用户可以在 VDRP 引脚和 FB 引脚之间用电阻 RDRP 对负载线进行编程，计算公式如下：

$$Loadline = 6\Delta V \cdot \frac{RFB1}{RDRP} + VREF$$

如果不需要此功能，请保持 VDRP 引脚空置。

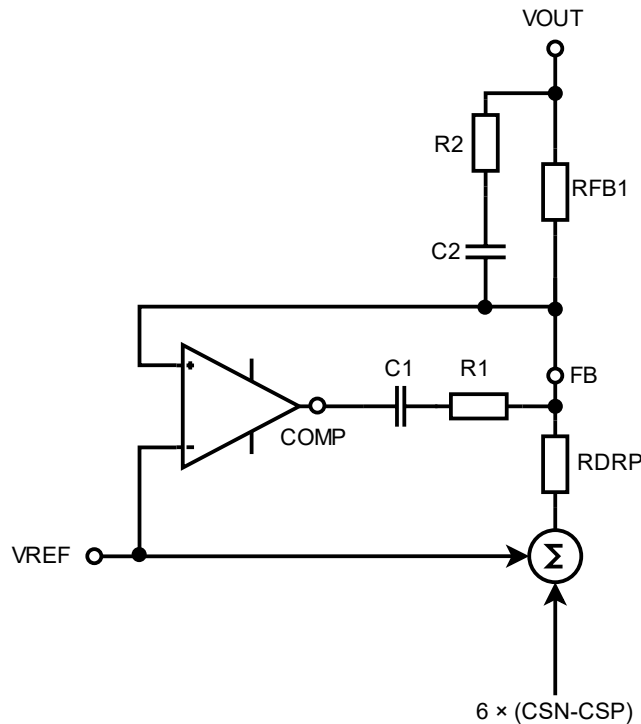


图 12.4 Loadline Circuit

预偏置启动

一般情况下，当控制器的输出电容充电到略高于 0V、略低于输出电压时，控制器将启动功率管驱动进行切换。转换器的输出电容上有剩余电荷，或者转换器的输出被低电流的待机电源抑制。LGS51215 支持预偏置启动，可实现负载带压启动时，输出电压的单调递增并避免倒灌电流。

热关机

当结温开始升至 150°C 以上时，热关机 (Thermal Shutdown) 将被激活，系统会将 COMP 引脚电压拉到 GND，关闭上、下 MOSFET。当结温降至 130°C 以下时，LGS51215 将通过软启动功能自动重启。

本器件的保证工作结温范围为 -40°C 至 +125°C，高结温会降低工作寿命，结温长时间高于 125°C 时，器件寿命会缩短。请注意，与这些规格一致的最高环境温度取决于具体工作条件以及电路板布局、额定封装热阻和其他环境因素。

结温 (T_J ，单位为 °C) 根据环境温度 (T_A ，单位为 °C) 和功耗 (P_D 单位为 W) 计算，计算公式如下：

$$T_J = T_A + (P_D \times \theta_{JA})$$

注： θ_{JA} (单位为 °C/W) 为封装热阻

PCB 布局布线指南

正确的 PCB 布局对于 LGS51215 控制器所在的大电流、快速开关电路（具有大电流和高电压转换速率）模块是至关重要的，可以确保降压模块适当运行和稳定输出。较差的布局会影响 LGS51215 的性能，造成电流采样偏差、电磁干扰 (EMI)、电磁兼容性(EMC)差、地跳以及电压损耗，进而影响使用的稳定性。

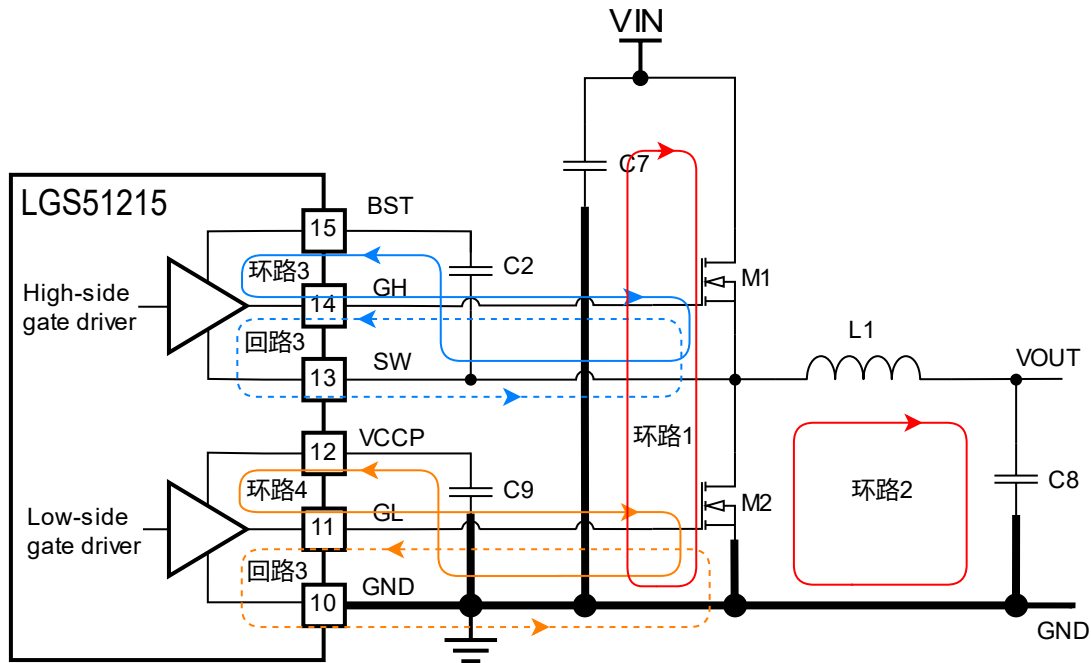


图 13.1 功率回路

Power Stage Layout

VIN 输入电容、输出电容和高低侧 MOSFET 是 BUCK 降压模块的功率级部分，通常要放在 PCB 的顶部，可以最大化对流散热。可以将小信号元件放置在背面，并在顶、底层中间至少增加一个与 GND 直接相连的内电层，以屏蔽和隔离小信号与噪声。

- 环路 1 是功率级主开关循环电路，BUCK 变换器的拓扑结构决定了有特别高的 di/dt 电流流经。因此，必须最小化该部分的回路面积来尽可能减小寄生电感，并尽量保持 VIN 的输入电容靠近高侧 MOSFET 的漏极(D 端)。环路 2 是从低侧 MOSFET 通过电感和输出电容的 GND 端回到低侧 MOSFET 源极 (S 端) 的回路，尽可能将低侧 MOSFET 的 S 端和输出电容的负极尽可能靠近 GND 连接。虽然流过电感和 VOUT 输出电容的电流会受到电感的限制，但是回路 2 的面积也要设计尽可能小。
- SW 引脚作为 BUCK 降压模块的开关节点，连接高侧 MOSFET 的源极、低侧 MOSFET 的漏极和电感的高压一侧，SW 节点作为一个干扰源在 PCB 上的设计面积不应过大，该部分设计可以参考 MOSFET 制造商提供的布局考虑。输出电容和功率管产生的寄生电感组成谐振回路所产生的高频振铃会直接反映在 SW 节点上，该振铃的电压峰值如果不加以控制，可能会超过输入电压的值。为了确保振铃的峰值不超过 SW 引脚的绝对最大电压值，可以在驱动端加阻值较小的电阻 (一般 1-3Ω) 或者在 SW 节点到 GND 之间串联电阻电容构成的缓冲器来降低振铃的峰值。

Gate Drive Layout

LGS51215 的高、低侧栅极驱动包括短控制延迟和自适应死区时间，能够在大电流快速上升或下降有很快的响应速度，如果 PCB 设计不佳，大电流的冲击下会造成不可接受的振铃。优化栅极驱动的关键是减小回路的寄生电感，包括栅极的串联谐振电感和共源电感。

- 环路 3 是高侧 MOSFET 的驱动电路，高侧 MOSFET 开启时，大电流从 BST 引脚的自举电容（图 11 中的 C2）流经高侧 MOSFET 的栅极驱动，经由 SW 节点返回电容 C2 的负极；相反的，回路 3（图 11 中与环路 3 同色虚线回路）高侧 MOSFET 关闭时，大电流从高侧 MOSFET 的栅极流经 SW 返回高侧 MOSFET 的源极。环路 4 是低侧 MOSFET 驱动回路。低侧 MOSFET 开启时，大电流从 VCCP 引脚对地的电容（图 11 中的 C9）流经低侧 MOSFET 的栅极驱动，经由 GND 返回电容 C9 的负极；相反的，回路 4（图 11 中与环路 4 同色虚线回路）低侧 MOSFET 关闭时，大电流从低侧 MOSFET 的栅极流经 GND 返回低侧 MOSFET 的源极。
- 从栅极驱动器 GH、GL 到高低侧 MOSFET 的栅极路径要尽可能短，以减少串联寄生电感，尽量使用 25mil 或更宽的走线。
- 电容 C2 应靠近 BST 和 SW 引脚，以尽可能减小高侧 MOSFET 驱动的路径面积；电容 C9 应靠近 VCCP 和 GND 引脚，以尽可能减小低侧 MOSFET 驱动的路径面积。
- 在环路 3 的电容 C2 旁增加 2Ω-10Ω 的电阻，来减缓高侧 MOSFET 的开启速度，从而以高侧 MOSFET 的开关损耗为代价，减小在 SW 节点的振铃峰值。

Controller Layout

LGS51215 所在的整个降压模块的模拟信号、反馈信号、限流设置电路的 PCB 布局考虑需要非常慎重：

- 一般来说需要使用一个接地平面将功率级和信号层分开，以提供良好的噪声屏蔽。
- 所有敏感的模拟信号和元件(如 COMP,FB,CSN,CSP)要远离高压开关节点(SW,GH,GL,BST)，避免产生耦合。
- 反馈电阻 R8 可以直接连接到输出电压 VOUT 检测点或者输出大电容上。
- 差分检测 CSN 和 CSP 需要并排在同一 PCB 层或者在相邻层互相重叠。OCP 设置电阻 R9 连接在 CSP 和 VOUT 之间，要保证该电阻尽可能靠近 LGS51215 控制器，避免从 CSP 到 R9 的连接回路上与高压节点产生耦合。
- 尽量最小化 VCC、VCCP 和 VIN 通过各自去耦电容到 GND 的电流回路，即这些去耦电容尽量靠近 IC 放置。

Thermal Layout

对于 LGS51215 这样的开关电源控制器来说，工作温度范围受很多因素的影响，如功率 MOSFET 的平均栅极驱动电流、开关频率、输入电压、封装的特性和工作环境等。

- 为了使 LGS51215 在规定温度范围内稳定工作，必须要求封装可以有效散热，同时要保持结温在额定范围内。LGS51215 使用 3mm×3mm 的 QFN-20L 封装,该封装提供底部散热 PAD,可以有效去除一部分封装内的热量。在 PCB 设计上应具有热屏蔽、散热通孔、接地平面，从而辅助封装散热 PAD 完成散热。
- 高侧 MOSFET 漏极连接到 VIN 平面进行散热，低侧 MOSFET 漏极连接到 SW 平面上，但是相对于 VIN 平面，SW 区域面积故意设计得相对较小，用来缓解电磁干扰问题。

PCB 布局参考

如图 12 提供了一种 LGS51215 应用的参考 PCB 布局。如需要更多关于推荐应用方案的信息，请查看 LGS51215 EVM Board 用户手册进行了解。

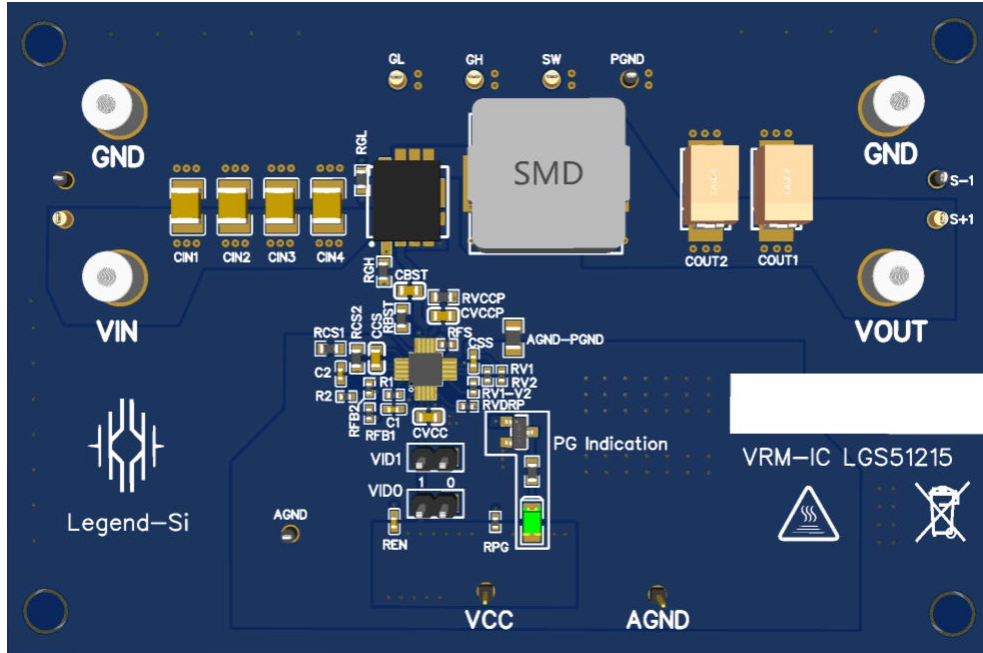
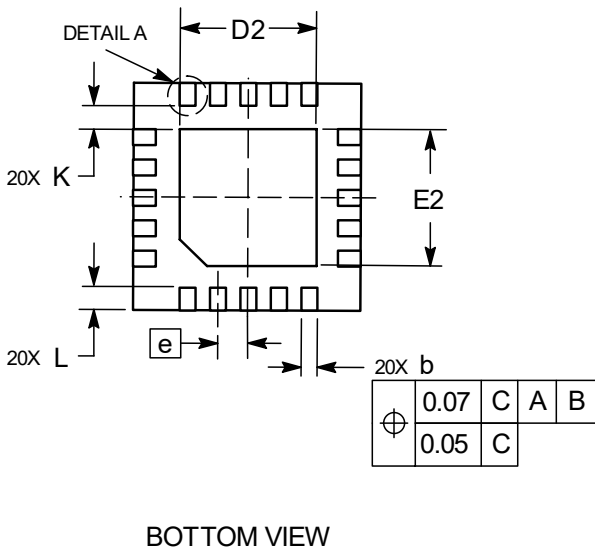
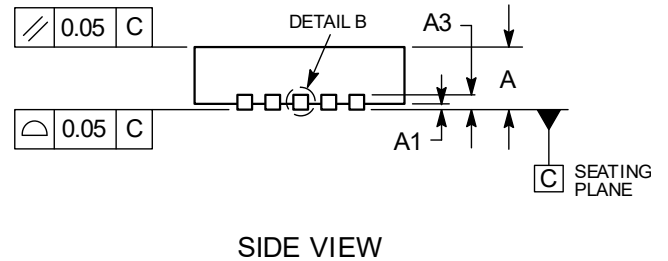
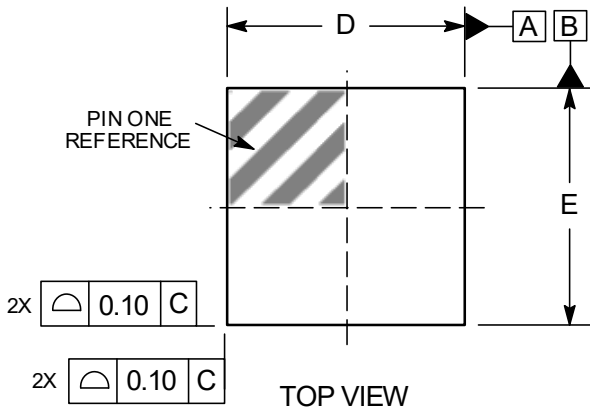
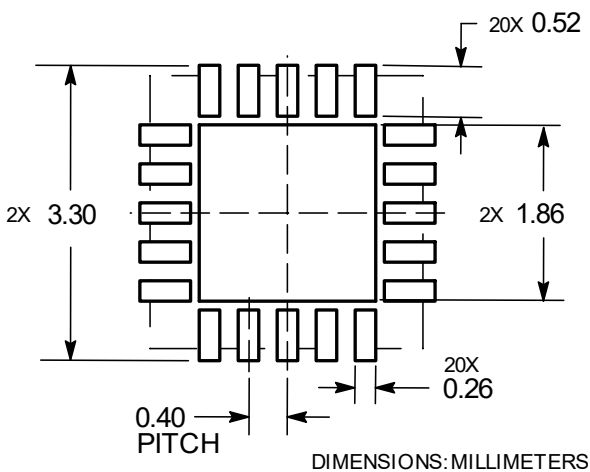


图 14.1 PCB 设计参考

封装外形描述




DIM	MILLIMETERS	
	MIN	MAX
A	0.80	1.00
A1	---	0.05
A3	0.20 REF	
b	0.15	0.25
D	3.00 BSC	
D2	1.60	1.80
E	3.00 BSC	
E2	1.60	1.80
e	0.40 BSC	
K	0.20 REF	
L	0.20	0.40



NOTE:

- 所有的数据单位都是毫米，括号内的任何尺寸仅供参考。尺寸和公差符合 ASME Y14.5M。
- 本图如有更改，恕不另行通知。
- 此尺寸不包括塑模毛边，塑模每侧的毛边或突起不超过 0.25 毫米。

免责声明

 和 Legend-si 是 棱晶半导体有限公司 的商标，Legend-si 拥有 多项专利、商标、商业机密和其他知识产权。Legend-si 对公司产品提供 可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、技术支持和其他资源，但不就 本司任何产品用于任何特定目的做出担保。Legend-si 不承担任何因产品的使用产生的责任，包括使用方须遵守的法律法规和安全使用标准。

对于在规格书中提到的产品参数，在不同的应用条件下实际性能可能会产生变化。任何参数的配置和使用必须经由客户的技术支持进行验证，对本文档所涉及的内容进行变更，恕不另行通知。Legend-si 对您的使用授权仅限于产品的应用，除此之外不得复制或展示所述资源，Legend-si 也不提供任何人或第三方机构的知识产权授权许可。如因使用所述资源而产生任何索赔、赔偿、成本、债务及任何损失，Legend-si 对此概不负责，并且您须赔偿由此对 Legend-si 造成的损害。

Legend-si 所提供产品均受 Legend-si 的销售条款以及 www.Legend-si.com 上或随附 Legend-si 产品提供的其他可适用条款的约束。Legend-si 提供所述资源并不扩展或以其他方式更改 Legend-si 针对 Legend-si 产品所发布的可适用的担保范围或担保免责声明。

Legend-si 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：江苏省南京市浦口区江淼路 88 号腾飞大厦 C 座 1403 室 电话：025-58196091

Copyright © 2021-present 棱晶半导体（南京）有限公司