

1 产品简介

F28335PGFA 是高可靠 32 位浮点控制型数字信号处理器，采用哈佛总线结构，主时钟工作频率 150MHz，支持 16*16 位和 32*32 位乘加运算，集成了大容量的片上 Flash 和 SRAM 存储器，以及多种增强的控制外设和支持单精度 IEEE-754 标准的浮点运算单元，为高精度数据分析处理、电机运动控制 等应用提供了良好的平台。

相比同档次进口型号产品，F28335 具有以下优势：

- (1) 功耗更低。在内核 1.8V 即可达到 150MHz（全温区），典型功耗降低 25%以上；
- (2) 性能更强。同频率下定点和浮点程序执行速度提高 5%~30%；
- (3) 安全可靠性能更高。消除了原来存在的硬件断点/单步、RPTB、Limp 模式等隐藏错误，修补了进口芯片的数据安全漏洞。

2 适用范围

除特别声明外，本文档内容适用于 F28335 所有具体型号产品（不同封装类型）。

3 产品特点

3.1 产品功能

F28335 主时钟工作频率 150MHz，单周期指令执行时间 6.67ns，片内集成了多种增强的控制外设和支持单精度 IEEE-754 标准的浮点运算单元，为高精度复杂数据的分析处理、电机其他运动控制领域应用的实现提供了良好的平台。其代码和指令与 F24x 系列数字信号控制器完全兼容，从而保证了项目或产品设计的可延续性。

F28335 数字信号控制器集成了 256K*16 的 Flash 存储器，8K*16 的引导 ROM，数字运算表以及 1K*16 的 OTPROM，数据及程序存储量大，有效地改善了应用的灵活性。128 位的密码保护机制有效地保护了产品的知识产权。16 通道高性能 12 位 ADC 模数转换单元提供了两个采样保持电路，可以实现双通道信号同步采样。具体指标如下：

- 1) **高性能静态 CMOS 技术**
 - 主频 150MHz（6.67ns 周期时间）
 - 内核电压 1.8V，I/O 引脚电压 3.3V
- 2) **高性能 32 位 CPU**
 - IEEE-754 单精度浮点运算单元(FPU)
 - 16*16 位和 32*32 位乘加（MAC）
 - 16*16 双 MAC
 - 哈佛（Harvard）总线结构
 - 快速中断响应和处理
- 3) **6 通道 DMA 处理器（用于 ADC、McBSP、ePWM、XINTF 和 SARAM）**
- 4) **16 位或 32 位的外部接口（XINTF）**
 - 超过 2M*16 的地址范围
- 5) **片内存储器**
 - 256K*16 的 Flash 存储器
 - 34k*16 的 SARAM

- 1K*16 的 OTP (一次性编程)
- 6) 启动 ROM (8K*16)
 - 软件引导模式程序
 - 标准的数学表
- 7) 时钟和系统控制
 - 片上振荡器
 - 看门狗定时器模块
- 8) GPIO0~GPIO63 可以与 8 个外部内核中断的任一相连
- 9) 支持全部 58 个外设中断的外设中断扩展模块 (PIE)
- 10) 128 位安全密码
 - 保护 Flash/OTP/RAM 存储器
 - 防止固件逆向工程
- 11) 增强的控制外设
 - 18 个脉宽调制 PWM 输出
 - 6 个支持 150ps 微边界定位 (MEP) 分辨率的高分辨率脉宽调制器 (HRPWM) 输出
 - 6 个事件捕捉输入 (CAP)
 - 2 个正交编码器通道 (QEP)
 - 8 个 32 位定时器 (6 个 eCAP 以及 2 个 eQEP)
 - 9 个 32 位定时器 (6 个 ePWM 以及 3 个 XINCTR)
- 12) 3 个 32 位 CPU 定时器 (Timer)
- 13) 串行外设接口
 - 2 个控制器局域网 (CAN) 接口
 - 3 个 SCI (UART) 接口
 - 2 个多通道缓冲串行 McBSP 接口 (可配置为 SPI)
 - 1 个 SPI 接口
- 1 个 I2C 总线接口
- 14) 12 位 A/D 转换器具有 16 个转换通道
 - 80ns 的快速转换时间
 - 2*8 通道的多路输入选择器
 - 2 个采样保持器
 - 单次/连续转换
 - 内部或外部参考电压
- 15) 可达 88 个独立可复用通用输入/输出 (GPIO) 引脚
- 16) 支持 IEEE 1149.1-1990 标准的 JTAG 边界扫描
- 17) 先进的仿真功能
 - 分析和断点功能
 - 硬件实时调试
- 18) 开发支持包括
 - ANSI C/C++ 编译/汇编/链接器
 - CCS 集成开发环境 (5.0~10.0 版)
 - DSP/BIOS
 - 数字电机控制和数字电源软件库
- 19) 低功耗模式和节电模式
 - 支持 IDLE (空闲)、STANDBY (待机) 及 HALT (停止) 模式
 - 可独立禁止外设时钟
- 20) 小头 (Little Endianness) 模式
- 21) 型号封装和质量等级
 - 28335PGFA: 塑封 LQFP176, 工业增强级
 - 28335ZJZA: 塑封 BGA176, 工业增强级
- 22) 温度范围
 - -40°C ~ +125°C

3.2 主要应用领域

- 变频驱动
- 伺服控制
- 数控机床
- UPS 电源
- 通信设备电源
- 光伏逆变器

3.3 芯片总体结构

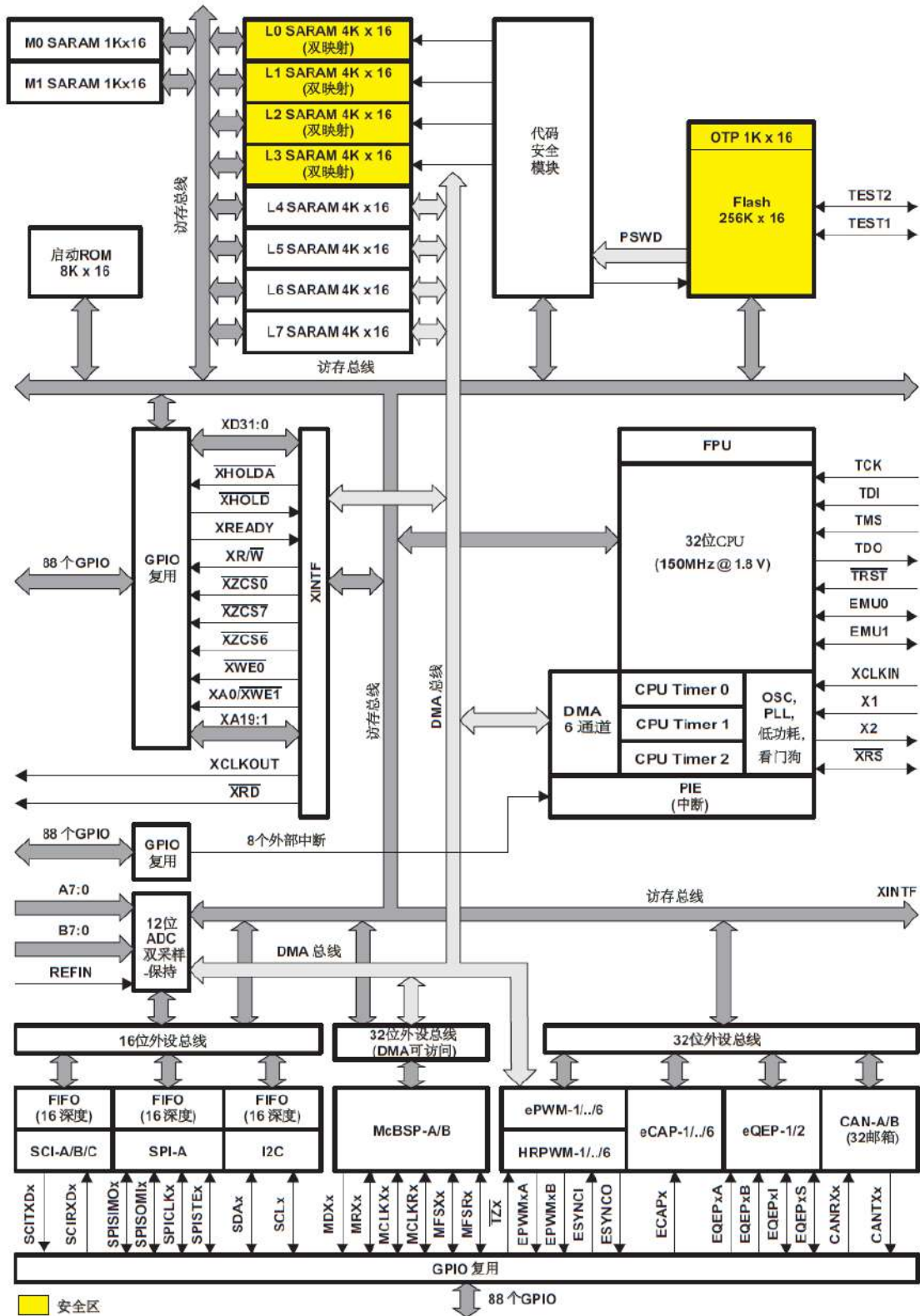


图3-1 F28335 组成结构框图

目 录

1	产品简介.....	
2	适用范围.....	
3	产品特点.....	
3.1	产品功能.....	
3.2	主要应用领域.....	
3.3	芯片总体结构.....	
4	产品外形图和实物图片.....	
4.1	28335PGFA	
4.2	28335ZJZA	
5	引脚排列方式.....	
5.1	28335PGFA 引脚排列	
5.2	28335ZJZA 引脚排列	
5.3	引脚描述.....	
6	性能指标.....	
6.1	电特性.....	
6.2	频率/周期.....	
6.3	输入输出时钟特性.....	
6.4	上电启动.....	
6.5	GPIO	
6.5.1	输出时序.....	
6.5.2	输入时序.....	
6.5.3	输入采样窗口宽度.....	
6.6	低功耗模式唤醒时序.....	
6.6.1	进入/退出 IDLE 模式.....	
6.6.2	进入/退出 STANDBY 模式.....	
6.6.3	进入/退出 HALT 模式.....	
6.7	ePWM	
6.8	eCAP	
6.9	eQEP	
6.10	ADC	
6.10.1	ADC 上电控制时序.....	
6.10.2	定义说明.....	
6.10.3	顺序采样模式(单通道)(SMODE = 0)	
6.10.4	并发采样模式(双通道)(SMODE = 1)	
6.10.5	术语说明.....	
6.11	外部中断.....	
6.12	I2C.....	

6.13 SPI.....	
6.13.1 主模式时序.....	
6.13.2 从模式时序.....	
6.14 McBSP	
6.14.1 McBSP 发送和接收时序.....	
6.14.2 McBSP SPI 模式时序.....	
6.15 XINTF	
6.15.1 USEREADY = 0	
6.15.2 同步模式(USEREADY=1, READYMODE=0)	
6.15.3 异步模式(USEREADY=1, READYMODE=1)	
6.15.4 XINTF 信号与 XCLKOUT 的对齐关系.....	
6.15.5 外部接口读取时序.....	
6.15.6 外部接口写入时序.....	
6.15.7 带有一个外部等待状态的外部接口读就绪时序.....	
6.15.8 带有一个外部等待状态的外部接口写就绪时序.....	
6.15.9 <u>XHOLD</u> 和 <u>XHOLDA</u> 时序.....	
6.16 Flash.....	
7 主要特性曲线图（电特性测试）	
8 典型应用方法.....	
8.1 供电过程.....	
8.2 晶振的连接方法.....	
8.3 JTAG 连接	
8.4 ADC 连接	
9 使用注意事项.....	
9.1 安装注意事项.....	
9.2 产品工作条件.....	
9.2.1 电压.....	
9.2.2 电流.....	
9.2.3 时序.....	
9.2.4 Flash.....	
9.2.5 温度.....	
9.2.6 注意事项.....	

4 产品外形图和实物图片

F28335 处理器具有 LQFP176 塑封和 BGA176 塑封两种封装形式，分别命名为 F28335PGFA 和 F28335ZJZA。

4.1 F28335PGFA

该型号为 176 引线四面引线扁平塑封（LQFP176），外形尺寸见下图。

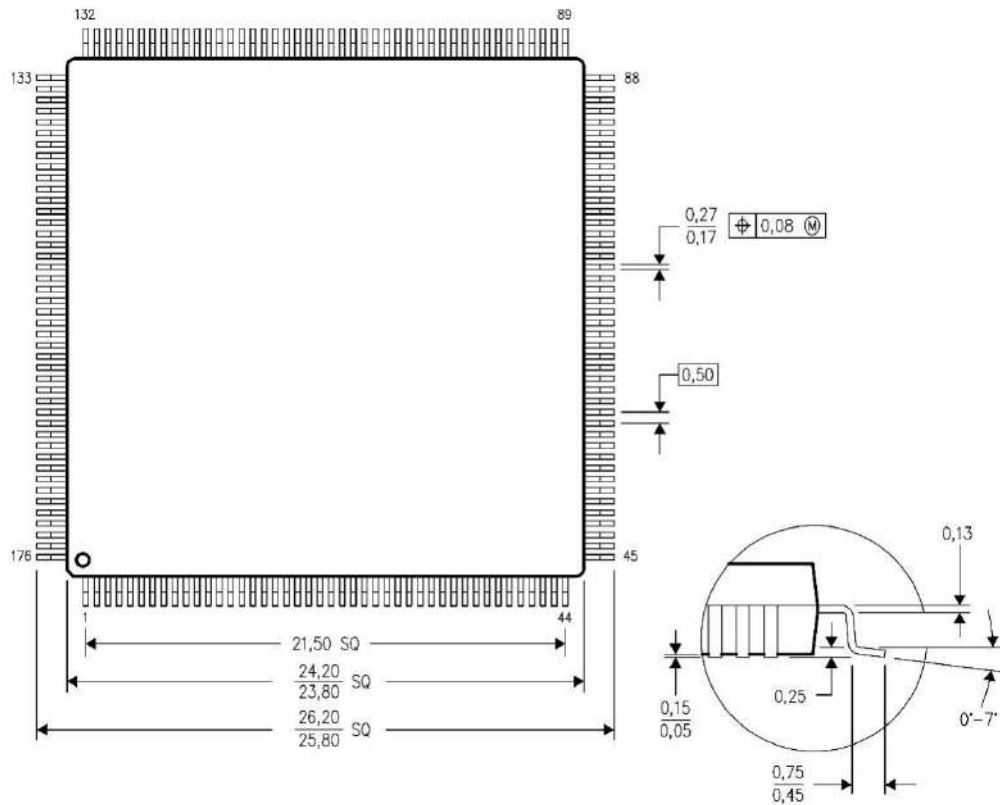


图4-1 F28335PGFA 封装外形尺寸图

4.2 F28335ZJZA

该型号为 176 引线球栅阵列塑封 (BGA176), 外形尺寸见下图。

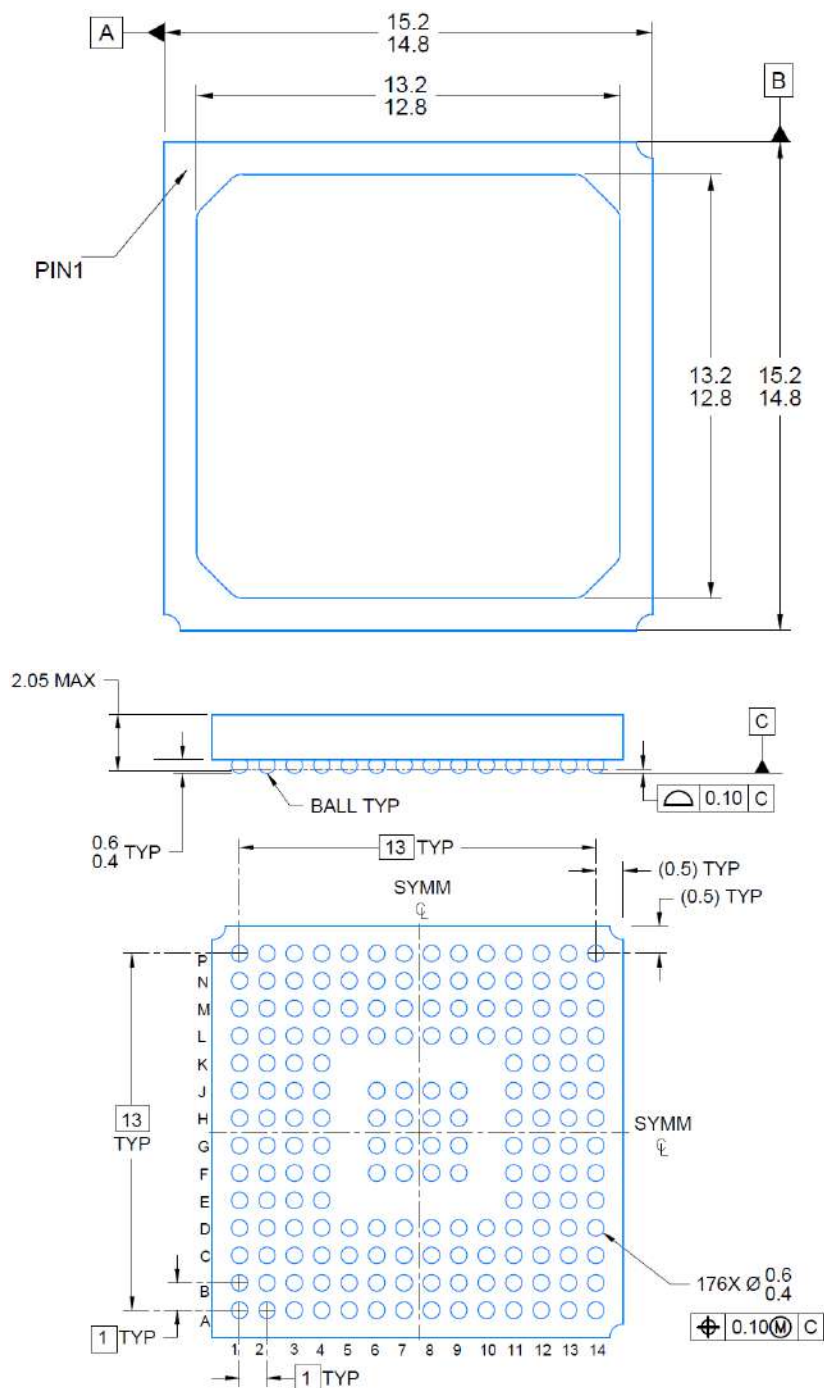


图4-2 F28335ZJZA 外形尺寸图

5 引脚排列方式

5.1 F28335PGFA 引脚排列

F28335PGFA引脚排列应按下图的规定。

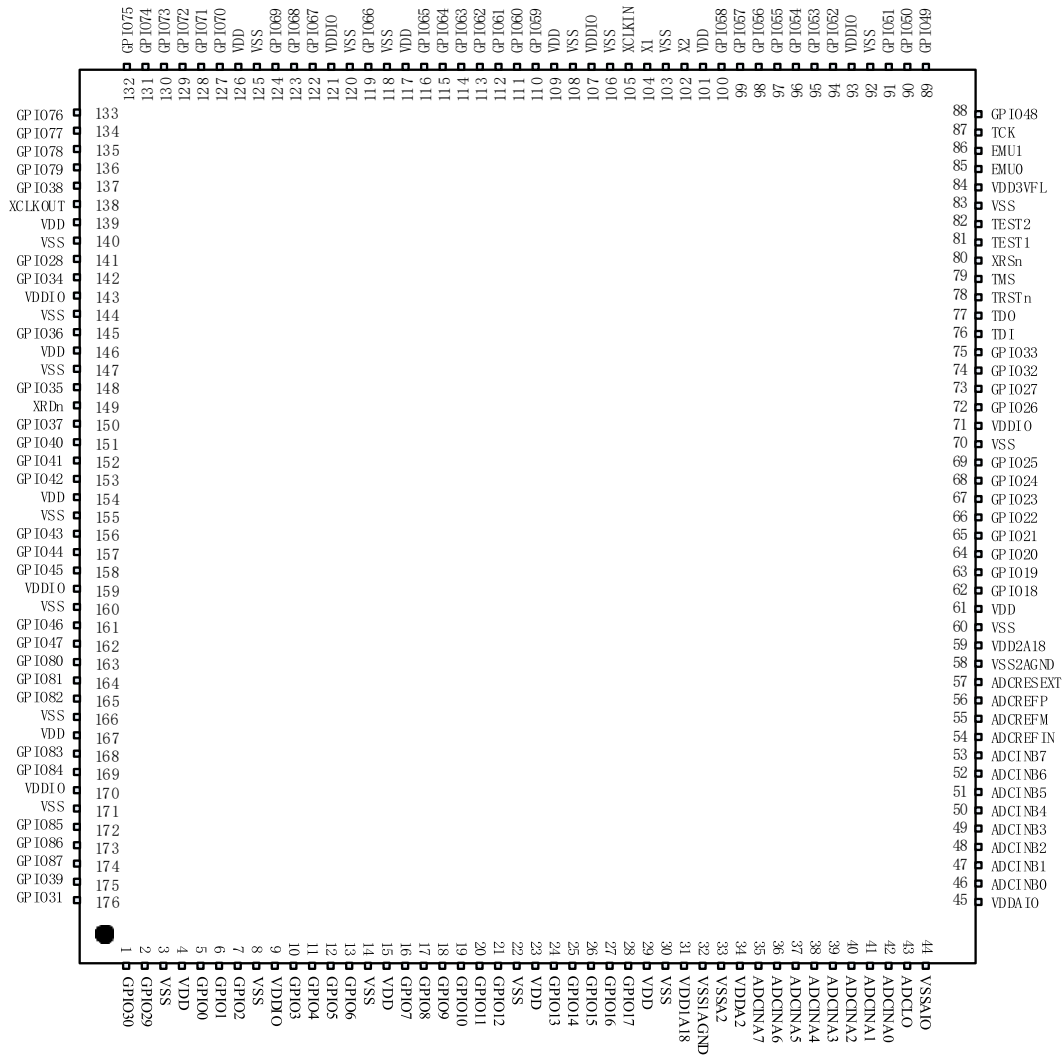


图5-1 F28335PGFA 引脚排列

5.2 F28335ZJZA 引脚排列

F28335ZJZA 引脚排列应按下图的规定。

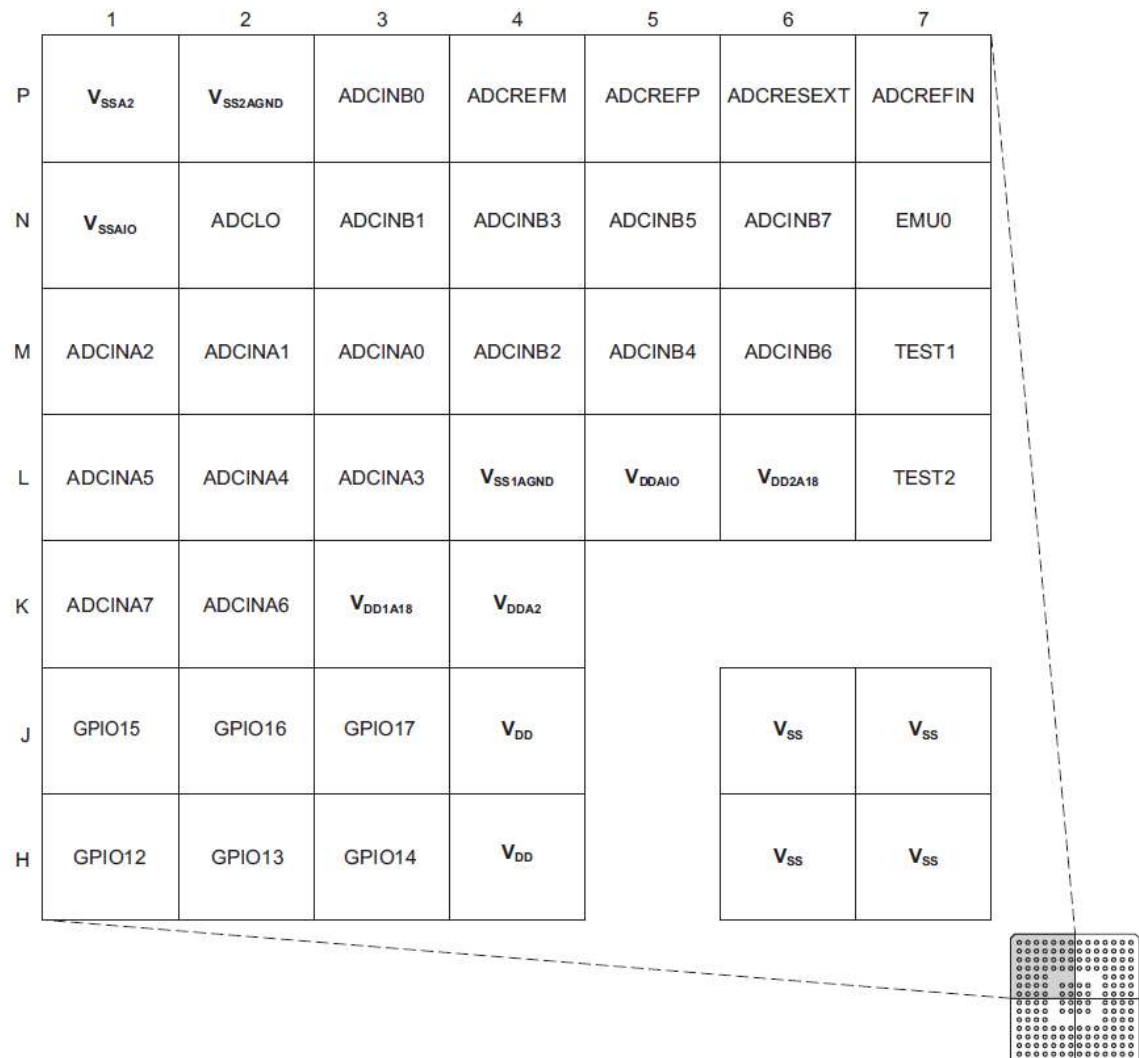


图5-2 F28335ZJZA 引脚排列（左上，底视图）

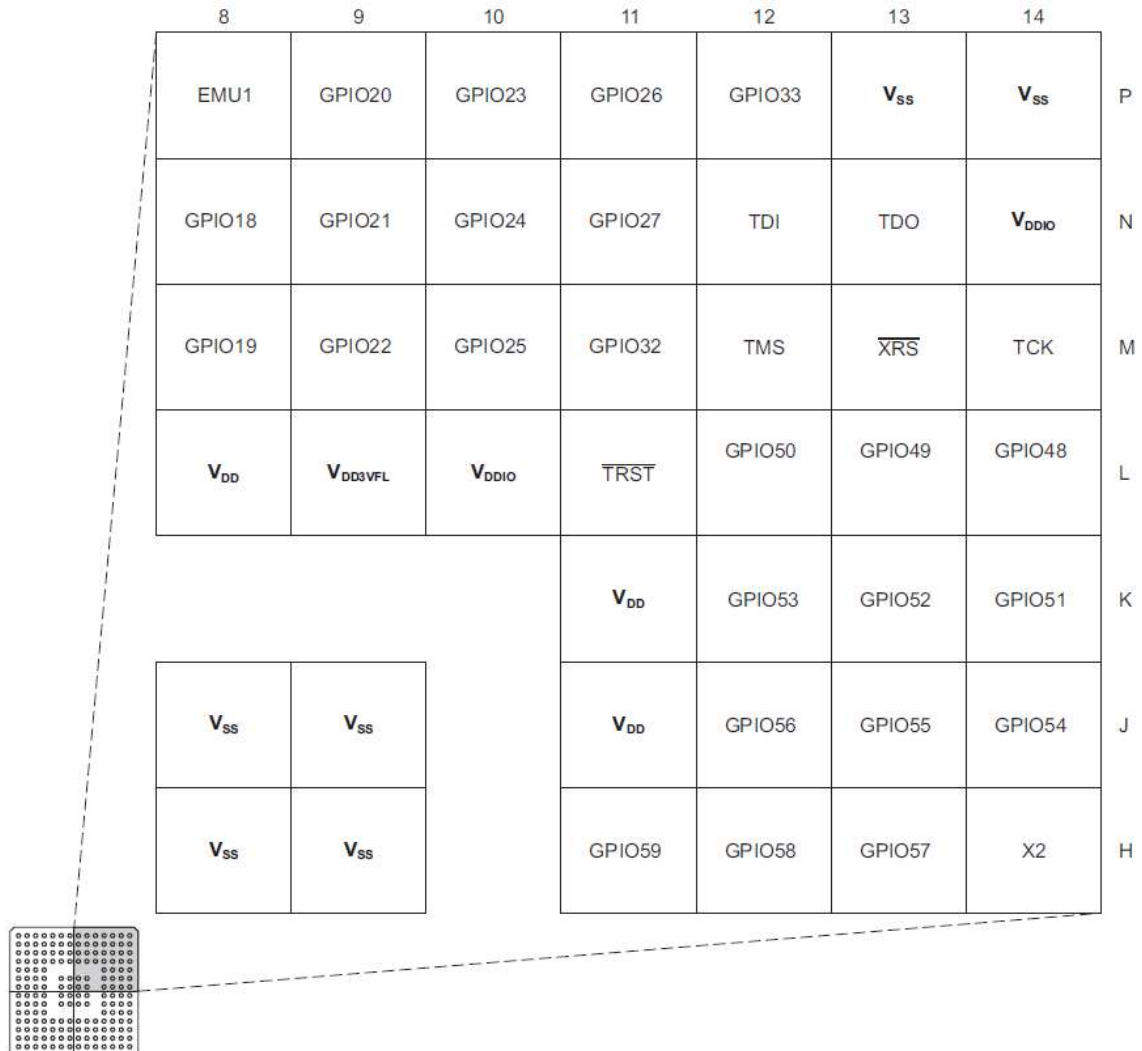


图5-3 F28335ZJZA 引脚排列（右上，底视图）

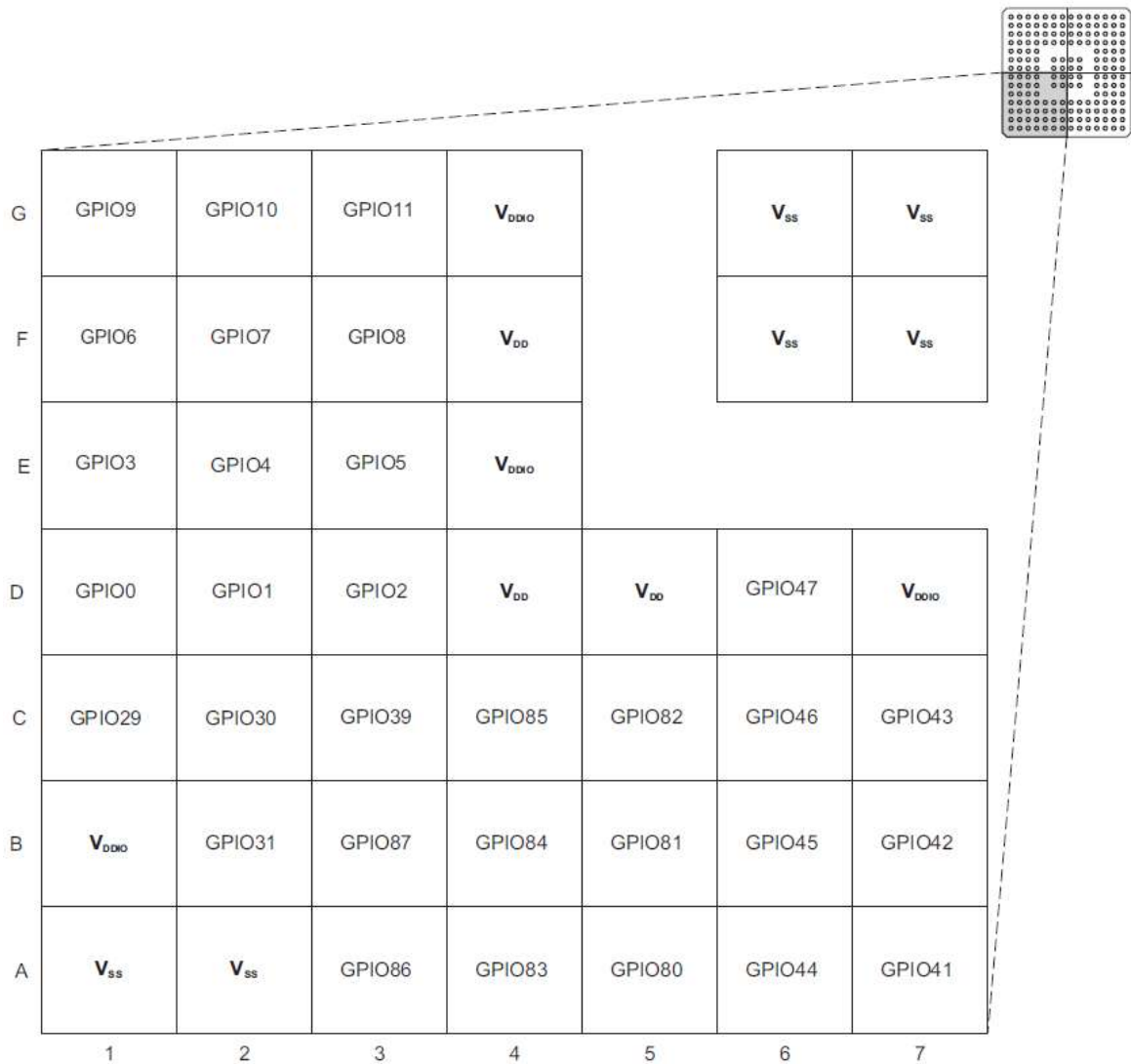


图5-4F28335ZJZA 引脚排列（左上，底视图）

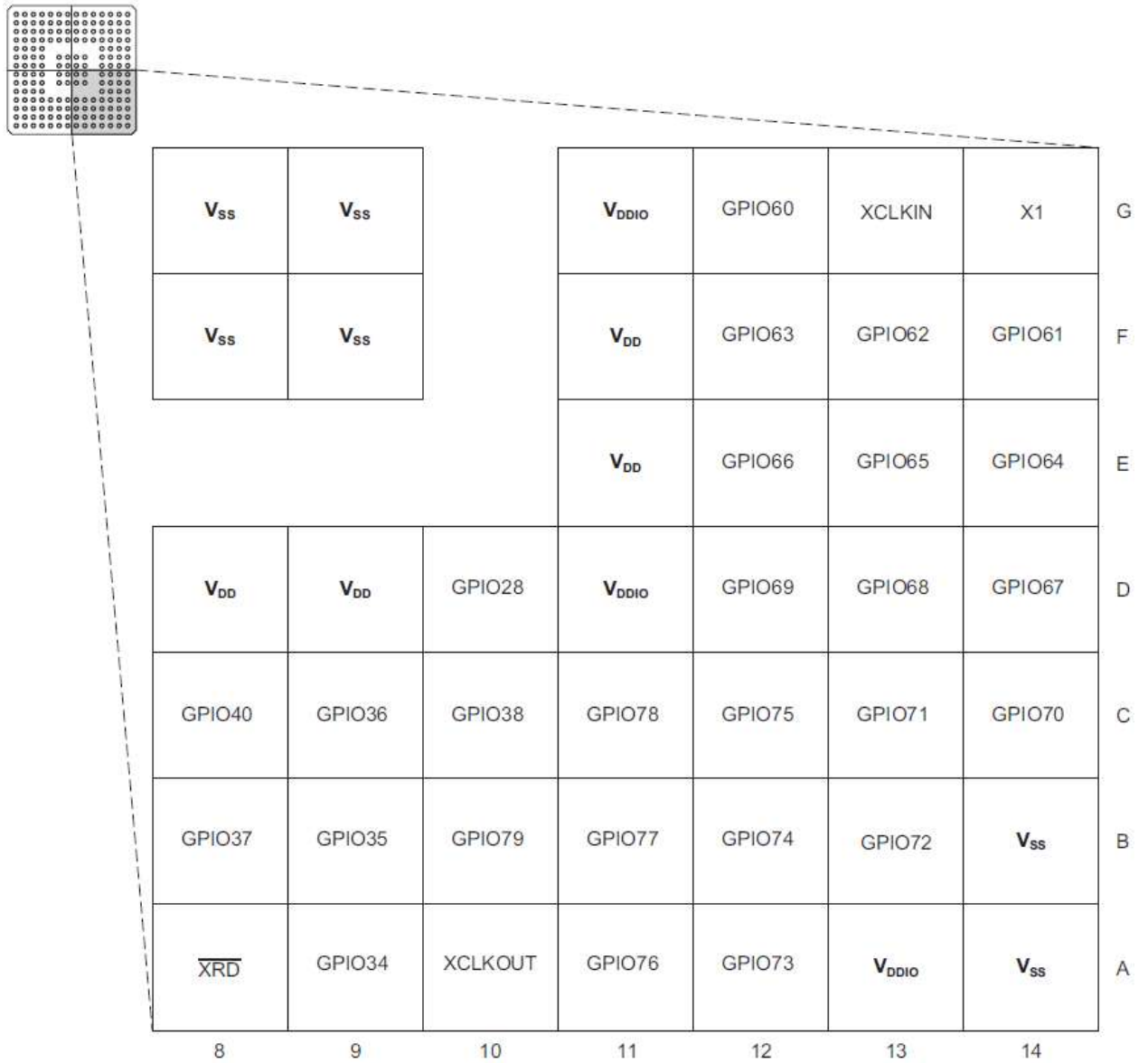


图5-5 F28335ZJZA 引脚排列（左下，底视图）

5.3 引脚描述

表 5-1 F28335 引脚描述

序号	符号	类型	功能	序号	符号	类型	功能
A1	GPIO30	I/O/Z	通用IO端口	41	ADCINA1	I	ADC模拟通道输入
2	GPIO29	I/O/Z	通用IO端口	42	ADCINA0	I	ADC模拟通道输入
3	VSS	-	数字地	43	ADCLO	-	ADC内核地
4	VDD	-	数字内核电源	44	VSSAIO	-	ADCIO地
5	GPIO0	I/O/Z	通用IO端口	45	VDDAIO	-	ADCIO电源
6	GPIO1	I/O/Z	通用IO端口	46	ADCINB0	I	ADC模拟通道输入
7	GPIO2	I/O/Z	通用IO端口	47	ADCINB1	I	ADC模拟通道输入
8	VSS	-	数字地	48	ADCINB2	I	ADC模拟通道输入
9	VDDIO	-	数字IO电源	49	ADCINB3	I	ADC模拟通道输入
10	GPIO3	I/O/Z	通用IO端口	50	ADCINB4	I	ADC模拟通道输入
11	GPIO4	I/O/Z	通用IO端口	51	ADCINB5	I	ADC模拟通道输入
12	GPIO5	I/O/Z	通用IO端口	52	ADCINB6	I	ADC模拟通道输入
13	GPIO6	I/O/Z	通用IO端口	53	ADCINB7	I	ADC模拟通道输入
14	VSS	-	数字地	54	ADCREFIN	I	ADC外部参考输入
15	VDD	-	数字内核电源	55	ADCREFM	O	ADC内部参考输出
16	GPIO7	I/O/Z	通用IO端口	56	ADCREFP	O	ADC内部参考输出
17	GPIO8	I/O/Z	通用IO端口	57	ADCRESEXT	I	ADC外部电流偏置电阻
18	GPIO9	I/O/Z	通用IO端口	58	VSS2AGND	-	ADC内核地
19	GPIO10	I/O/Z	通用IO端口	59	VDD2A18	-	ADC内核电源
20	GPIO11	I/O/Z	通用IO端口	60	VSS	-	数字地
21	GPIO12	I/O/Z	通用IO端口	61	VDD	-	数字内核电源
22	VSS	-	数字地	62	GPIO18	I/O/Z	通用IO端口
23	VDD	-	数字内核电源	63	GPIO19	I/O/Z	通用IO端口
24	GPIO13	I/O/Z	通用IO端口	64	GPIO20	I/O/Z	通用IO端口
25	GPIO14	I/O/Z	通用IO端口	65	GPIO21	I/O/Z	通用IO端口
26	GPIO15	I/O/Z	通用IO端口	66	GPIO22	I/O/Z	通用IO端口
27	GPIO16	I/O/Z	通用IO端口	67	GPIO23	I/O/Z	通用IO端口
28	GPIO17	I/O/Z	通用IO端口	68	GPIO24	I/O/Z	通用IO端口
29	VDD	-	数字内核电源	69	GPIO25	I/O/Z	通用IO端口
30	VSS	-	数字地	70	VSS	-	数字地
31	VDD1A18	-	ADC内核电源	71	VDDIO	-	数字IO电源
32	VSS1AGND	-	ADC内核地	72	GPIO26	I/O/Z	通用IO端口
33	VSSA2	-	ADC内核地	73	GPIO27	I/O/Z	通用IO端口
34	VDDA2	-	ADC内核电源	74	GPIO32	I/O/Z	通用IO端口
35	ADCINA7	I	ADC模拟通道输入	75	GPIO33	I/O/Z	通用IO端口
36	ADCINA6	I	ADC模拟通道输入	76	TDI	I	JTAG测试数据输入
37	ADCINA5	I	ADC模拟通道输入	77	TDO	O/Z	JTAG测试数据输出
38	ADCINA4	I	ADC模拟通道输入	78	$\overline{\text{TRST}}$	I	JTAG测试复位
39	ADCINA3	I	ADC模拟通道输入	79	TMS	I	JTAG测试模式选择

40	ADCINA2	I	ADC模拟通道输入	80	$\overline{\text{XRS}}$	I/OD	复位（开漏）
----	---------	---	-----------	----	-------------------------	------	--------

表 5-2 引脚描述（续）

序号	符号	类型	功能	序号	符号	类型	功能
81	TEST1	I/O	测试引脚，必须悬空	121	VDDIO	-	数字IO电源
82	TEST2	I/O	测试引脚，必须悬空	122	GPIO67	I/O/Z	通用IO端口
83	VSS	-	数字地	123	GPIO68	I/O/Z	通用IO端口
84	VDD3VFL	-	3.3VFLASH电源	124	GPIO69	I/O/Z	通用IO端口
85	EMU0	I/O/Z	仿真端口	125	VSS	-	数字地
86	EMU1	I/O/Z	仿真端口	126	VDD	-	数字内核电源
87	TCK	I	JTAG测试时钟	127	GPIO70	I/O/Z	通用IO端口
88	GPIO48	I/O/Z	通用IO端口	128	GPIO71	I/O/Z	通用IO端口
89	GPIO49	I/O/Z	通用IO端口	129	GPIO72	I/O/Z	通用IO端口
90	GPIO50	I/O/Z	通用IO端口	130	GPIO73	I/O/Z	通用IO端口
91	GPIO51	I/O/Z	通用IO端口	131	GPIO74	I/O/Z	通用IO端口
92	VSS	-	数字地	132	GPIO75	I/O/Z	通用IO端口
93	VDDIO	-	数字IO电源	133	GPIO76	I/O/Z	通用IO端口
94	GPIO52	I/O/Z	通用IO端口	134	GPIO77	I/O/Z	通用IO端口
95	GPIO53	I/O/Z	通用IO端口	135	GPIO78	I/O/Z	通用IO端口
96	GPIO54	I/O/Z	通用IO端口	136	GPIO79	I/O/Z	通用IO端口
97	GPIO55	I/O/Z	通用IO端口	137	GPIO38	I/O/Z	通用IO端口
98	GPIO56	I/O/Z	通用IO端口	138	XCLKOUT	O/Z	系统时钟输出
99	GPIO57	I/O/Z	通用IO端口	139	VDD	-	数字内核电源
100	GPIO58	I/O/Z	通用IO端口	140	VSS	-	数字地
101	VDD	-	数字内核电源	141	GPIO28	I/O/Z	通用IO端口
102	X2	O	内部振荡器输出	142	GPIO34	I/O/Z	通用IO端口
103	VSS	-	数字地	143	VDDIO	-	数字IO电源
104	X1	I	内部/外部振荡器输入	144	VSS	-	数字地
105	XCLKIN	I	外部振荡器输入	145	GPIO36	I/O/Z	通用IO端口
106	VSS	-	数字地	146	VDD	-	数字内核电源
107	VDDIO	-	数字IO电源	147	VSS	-	数字地
108	VSS	-	数字地	148	GPIO35	I/O/Z	通用IO端口
109	VDD	-	数字内核电源	149	XRDn	O/Z	外部读使能
110	GPIO59	I/O/Z	通用IO端口	150	GPIO37	I/O/Z	通用IO端口
111	GPIO60	I/O/Z	通用IO端口	151	GPIO40	I/O/Z	通用IO端口
112	GPIO61	I/O/Z	通用IO端口	152	GPIO41	I/O/Z	通用IO端口
113	GPIO62	I/O/Z	通用IO端口	153	GPIO42	I/O/Z	通用IO端口
114	GPIO63	I/O/Z	通用IO端口	154	VDD	-	数字内核电源
115	GPIO64	I/O/Z	通用IO端口	155	VSS	-	数字地
116	GPIO65	I/O/Z	通用IO端口	156	GPIO43	I/O/Z	通用IO端口
117	VDD	-	数字内核电源	157	GPIO44	I/O/Z	通用IO端口
118	VSS	-	数字地	158	GPIO45	I/O/Z	通用IO端口
119	GPIO66	I/O/Z	通用IO端口	159	VDDIO	-	数字IO电源
120	VSS	-	数字地	160	VSS	-	数字地

表 5-3 引脚描述 (续)

序号	符号	类型	功能	序号	符号	类型	功能
161	GPIO46	I/O/Z	通用IO端口	169	GPIO84	I/O/Z	通用IO端口
162	GPIO47	I/O/Z	通用IO端口	170	VDDIO	-	数字IO电源
163	GPIO80	I/O/Z	通用IO端口	171	VSS	-	数字地
164	GPIO81	I/O/Z	通用IO端口	172	GPIO85	I/O/Z	通用IO端口
165	GPIO82	I/O/Z	通用IO端口	173	GPIO86	I/O/Z	通用IO端口
166	VSS	-	数字地	174	GPIO87	I/O/Z	通用IO端口
167	VDD	-	数字内核电源	175	GPIO39	I/O/Z	通用IO端口
168	GPIO83	I/O/Z	通用IO端口	176	GPIO31	I/O/Z	通用IO端口

6 性能指标

6.1 电特性

除另有规定，F28335 的电特性符合下表规定，并适用于全温度范围。

表6-1F28335电特性

特性	符号	测试条件 ^c 除另有规定， $-55^{\circ}\text{C} \leq \text{TA} \leq 125^{\circ}\text{C}$ ， $V_{\text{DDA}2}$ ， $V_{\text{DDA}1\text{O}}$ ， V_{DDIO} ， $V_{\text{DD}3\text{VFL}}=3.3$ $V_{\text{DD}1\text{A}18}$ ， $V_{\text{DD}2\text{A}18}$ ， $V_{\text{DD}}=1.8\text{V}$	极限值		单位	
			最小	最大		
输出低电平电压	V_{OL}	$I_{\text{OL}}=4\text{mA}$	—	0.4	V	
输出高电平电压	V_{OH}	$V_{\text{DDIO}}=3.135\text{V}$ ， $I_{\text{OH}}=-4\text{mA}$	2.4	—	V	
		$V_{\text{DDIO}}=3.135\text{V}$ ， $I_{\text{OH}}=50\mu\text{A}$	$V_{\text{DDIO}}-0.2$	—		
输入低电平漏电流 ^a	I_{IL}	上拉， $V_{\text{DDIO}}=3.3\text{V}$ ， $V_{\text{IN}}=0\text{V}$ ，所有IOs（含XRS）	-44.6	-97.2	μA	
		下拉， $V_{\text{DDIO}}=3.3\text{V}$ ， $V_{\text{IN}}=0\text{V}$	-5	5		
输入高电平漏电流 ^a	I_{IH}	上拉， $V_{\text{DDIO}}=3.3\text{V}$ ， $V_{\text{IN}}=V_{\text{DDIO}}$	-5	5	μA	
		下拉， $V_{\text{DDIO}}=3.3\text{V}$ ， $V_{\text{IN}}=V_{\text{DDIO}}$	38.4	113.8		
输出高阻时引脚电流 ^a	I_{OZ}	$V_{\text{DDIO}}=3.465\text{V}$ ， $V_{\text{O}}=V_{\text{DDIO}}$ 或 0V	-5	5	μA	
输入电容 ^b	C_{I}	$T_{\text{A}}=25^{\circ}\text{C}$	—	25.0	pF	
	I_{DD}^{d}	$V_{\text{DDA}2}$ ， $V_{\text{DDA}1\text{O}}$ ， V_{DDIO} ， $V_{\text{DD}3\text{VFL}}=3.465\text{V}$ ； $V_{\text{DD}1\text{A}18}$ ， $V_{\text{DD}2\text{A}18}$ ， $V_{\text{DD}}=1.8\text{V}$ ； $V_{\text{SSA}2}$ ， $V_{\text{SSA}1\text{O}}$ ， $V_{\text{SS}1\text{AGND}}$ ， $V_{\text{SS}2\text{AGND}}$ ， $V_{\text{SS}}=0\text{V}$ ； 工作模式和IDLE模式时	工作模式	—	395	mA
			IDLE模式	—	200	mA
			STANDBY模式	—	15	mA
			HALT模式	—	5	mA
	I_{DDIO}	$f_{\text{SYSCLKOUT}}=150\text{MHz}$ ； STANDBY模式和HALT ^e 模式时 $f_{\text{SYSCLKOUT}}=0\text{Hz}$ 。	工作模式	—	90	mA
			IDLE模式	—	700	μA
			STANDBY模式	—	700	μA
			HALT模式	—	300	μA
	$I_{\text{DDA}18}$		工作模式	—	35	mA
			IDLE模式	—	60	μA
			STANDBY模式	—	60	μA
			HALT模式	—	60	μA
	$I_{\text{DDA}33}$		工作模式	—	2	mA
			IDLE模式	—	50	μA
STANDBY模式			—	50	μA	
HALT模式			—	50	μA	
功能测试		$V_{\text{DDA}2}$ ， $V_{\text{DDA}1\text{O}}$ ， V_{DDIO} ， $V_{\text{DD}3\text{VFL}}=3.135\text{V} \sim 3.465\text{V}$ ； $V_{\text{DD}1\text{A}18}$ ， $V_{\text{DD}2\text{A}18}$ ， $V_{\text{DD}}=1.71\text{V} \sim 1.89\text{V}$ ； $V_{\text{SSA}2}$ ， $V_{\text{SSA}1\text{O}}$ ， $V_{\text{SS}1\text{AGND}}$ ， $V_{\text{SS}2\text{AGND}}$ ， $V_{\text{SS}}=0\text{V}$				

注：电压均以 V_{SS} 为基准， $V_{SS}=0V$ 。电流以流入器件引脚为正。

^a仅包含数字IO端口，但不适用于GPIO32（SDAA）GPIO33（SCLA）配置为I2C模式。

^bA4分组样品大小（接收数）指器件引线数，至少3只器件，仅在初始鉴定、设计或工艺更改时进行。

^c测试条件：（1）工作模式：ePWM1~6、eCAP1~6、eQEP1~2、eCAN-A、SCI-A（FIFO模式）、SCI-B（FIFO模式）、SPI-A（FIFO模式）、ADC、I2C、CPU-Timer1/2/3等外设时钟使能；所有PWM引脚翻转频率为150kHz；所有I/O引脚悬空；（2）IDLE模式：Flash掉电；XCLKOUT关闭；eCAN-A、SCI-A、SPI-A、I2C等外设时钟使能；（3）STANDBY模式：Flash掉电；所有外设时钟关闭；（4）HALT模式：Flash掉电；所有外设时钟关闭；禁止输入时钟输入。

^d I_{DD} 包含Flash的电流； I_{DDIO} 电流依赖于I/O引脚的负载； I_{DDA18} 包含 V_{DDA18} ， V_{DD2A18} 两个引脚的电流； I_{DDA33} 包含 V_{DDA2} ， V_{DDA10} 两个引脚的电流。

如果一个石英晶振或者陶瓷谐振器被用作时钟源，HALT模式将关闭内部振荡器。

6.2 频率/周期

表 6-2 频率/周期

特性	符号	测试条件 除另有规定， $-55^{\circ}C \leq T_A \leq 125^{\circ}C$ ， V_{DDA2} ， V_{DDA10} ， V_{DDIO} ， $V_{DD3VFL}=3.3V$ V_{DD1A18} ， V_{DD2A18} ， $V_{DD}=1.8V$	极限值		单位
			最小	最大	
时钟					
片载振荡器时钟	$t_{C(OSC)}$	时钟周期	28.6	50	ns
		时钟频率	20	35	MHz
输入时钟XCLKIN	$t_{C(CT)}$	时钟周期	20	250	ns
		时钟频率	4	50	MHz
		时钟周期 ^a	6.67	20	ns
		时钟频率 ^a	50	150	MHz
系统时钟SYSCLKOUT	$t_{C(SCO)}$	时钟周期	6.67	500	ns
		时钟频率	2	150	MHz
输出时钟XCLKOUT	$t_{C(XCO)}$	时钟周期	20	250	ns
		时钟频率	4	50	MHz
		时钟周期 ^a	6.67	20	ns
		时钟频率 ^a	50	150	MHz
高速外设时钟HSPCLK	$t_{C(HCO)}$	时钟周期	6.67	—	ns
		时钟频率	—	150	MHz
低速外设时钟LSPCLK ^b	$t_{C(LCO)}$	时钟周期	13.3	—	ns
		时钟频率	—	75	MHz
模数转换模块ADC时钟	$t_{C(ADCCLK)}$	时钟周期	40	—	ns
		时钟频率	—	25	MHz

注电压均以 V_{SS} 为基准， $V_{SS}=0V$ 。电流以流入器件引脚为正。

^a初始鉴定或重新设计时进行。测试采用高频PCB测试板，晶振或高频信号源在XCLKIN端口输入150MHz时钟频率或6.67ns时钟周期，示波器观测XCLKOUT端口输出频率为150MHz或时钟周期为6.67ns，高低温测试采用热流罩或其它温度控制设备。样品大小（接收数）为5（0）。

^b尽管LSPCLK能够达到100MHz，但由于对于150MHz器件，最小有效“低速外设时钟预分频寄存器”的值是“2”，所以它的额定值为75MHz。

6.3 输入输出时钟特性

特性	符号	条 件 除另有规定, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, $V_{\text{DDA}2}, V_{\text{DDA}10}, V_{\text{DD}10}, V_{\text{DD}3\text{VFL}}=3.3\text{V}$ $V_{\text{DD}1\text{A}18}, V_{\text{DD}2\text{A}18}, V_{\text{DD}}=1.8\text{V}$		极限值		单位
				最小	最大	
输入时钟频率						
输入时钟频率	f_X	外部振荡器/时钟源 (XCLKIN)		4	50	MHz
输入时钟频率 ^a				50	150	MHz
Limp模式SYSCLKOUT频率	f_i	/2启用时		1	5	MHz
XCLKIN时序-PLL启用						
XCLKIN时钟周期	$t_{\text{C(CI)}}$	见图6-1的C8		33.3	200	ns
XCLKIN下降沿时间	$t_{\text{f(CI)}}$	见图6-1的C9		—	6	ns
XCLKIN上升沿时间	$t_{\text{r(CI)}}$	见图6-1的C10		—	6	ns
XCLKIN低电平占空比 ^b	$t_{\text{w(CIL)}}$			45	55	%
XCLKIN高电平占空比 ^b	$t_{\text{w(CIH)}}$			45	55	%
XCLKIN时序-PLL禁用						
XCLKIN时钟周期	$t_{\text{C(CI)}}$	见图4-1的C8		20	250	
XCLKIN下降沿时间	$t_{\text{f(CI)}}$	见图6-1的C9	小于等于30MHz	—	6	ns
XCLKIN上升沿时间	$t_{\text{r(CI)}}$	见图6-1的C10	小于等于30MHz	—	6	ns
XCLKIN低电平占空比 ^b	$t_{\text{w(CIL)}}$			45	55	%
XCLKIN高电平占空比 ^b	$t_{\text{w(CIH)}}$			45	55	%
XCLKOUT开关特性 (PLL旁通或者启用) ^c						
XCLKOUT时钟周期	$t_{\text{C(XCO)}}$	见图6-1的C1		20	—	ns
XCLKOUT下降沿时间	$t_{\text{f(XCO)}}$	见图6-1的C3		—	6	ns
XCLKOUT上升沿时间	$t_{\text{r(XCO)}}$	见图6-1的C4		—	6	ns
XCLKOUT低电平占空比 ^d	$t_{\text{w(XCOL)}}$	见图6-1的C5		H-2	H+2	ns
XCLKOUT高电平占空比 ^d	$t_{\text{w(XCOH)}}$	见图6-1的C6		H-2	H+2	ns
注电压均以 V_{SS} 为基准, $V_{\text{SS}}=0\text{V}$ 。电流以流入器件引脚为正。						
^a 初始鉴定或重新设计时进行。测试采用高频PCB测试板, 晶振或高频信号源在XCLKIN端口输入150MHz时钟频率或6.67ns时钟周期, 示波器观测XCLKOUT端口输出频率为150MHz或时钟周期为6.67ns, 高低温测试采用热流罩或其它温度控制设备。样品大小(接收数)为5(0)。						
^b 占空比也适用于X1引脚。						
^c 假定该部分参数的负载为40pF。						
^d $H=0.5t_{\text{C(XCO)}}$ 。						

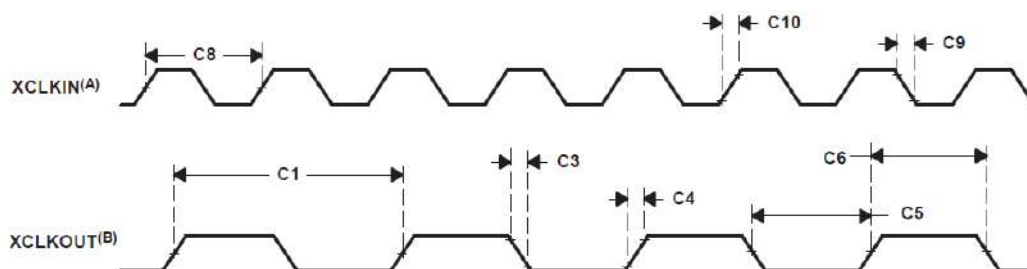


图6-1 XCLKIN和XCLKOUT时序特性

A. XCLKIN 到 XCLKOUT 的关系取决于所选择的分频因子。所显示的波形只用于说明时序参数并且根据实际配置会有所不同。

B. XCLKOUT 被配置成反映 SYSCLKOUT。

6.4 上电启动

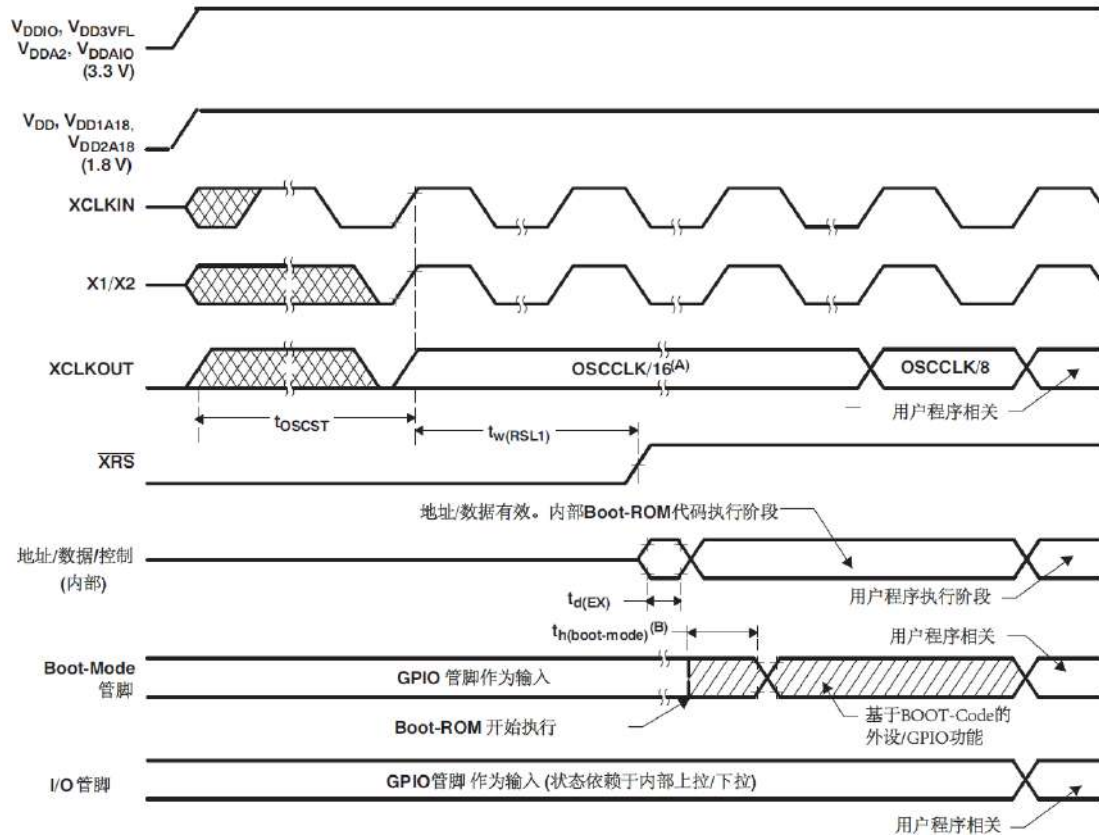


图 6-2 上电启动时序

A. 上电时，SYSCLKOUT为OSCCLK/4。由于XINTCNF2 寄存器中XTIMCLK 和CLKMODE位复位值为 1，XCLKOUT=SYSCLKOUT/4，即XCLKOUT=OSCCLK/16。随后，BOOTROM要把SYSCLKOUT 改为 OSCCLK/2，所以此时XCLKOUT=OSCCLK/8。

B. 复位后，BOOTROM代码采样启动模式管脚。基于启动模式管脚的状态，启动代码分支到不同函数入口完成启动操作。如果复位操作是由调试器发出，则BOOTROM代码执行时间依赖于当前的SYSCLKOUT 频率设定。

表6-3 复位(XRS)时序要求

符号	特性	测试条件	最小值	标称值	最大值	单位
$t_{w(RSL1)}^{(1)}$	脉冲持续时间，稳定输入时钟至 XRS 高电平的时间		$32t_c(OSCCLK)$			周期
$t_{w(RSL2)}$	脉冲持续时间，XRS 低电平的时间	热复位	$32t_c(OSCCLK)$			周期
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成复位脉冲的时间			$512t_c(OSCCLK)$		周期
$t_d(EX)$	延迟时间，XRS 高电平后，地址/数据有效的时间			$5t_c(OSCCLK)$		周期

$t_{OSCST}^{(2)}$	振荡器启动时间		1	10		ms
$t_h(\text{boot-mode})$	启动模式管脚的保持时间		$200t_c(\text{OSCCLK})$			周期

- (1) 除了 $t_w(\text{RSL1})$ 要求外, XRS 必须在 VDD 达到 1.5V 后的 1ms 内为低电平。
 (2) 取决于晶体/谐振器和电路板设计。

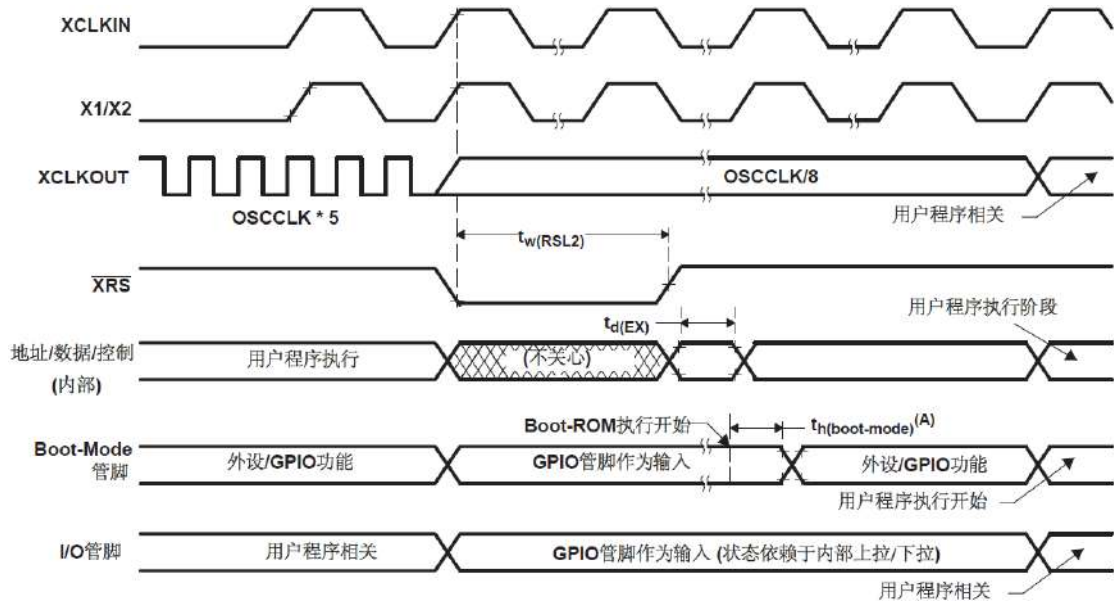


图6-3 热复位时序

A. 复位后, BOOTROM 代码采样启动模式管脚。基于启动模式管脚的状态, 启动代码分支到不同函数入口完成启动操作。如果复位操作是由调试器发出, 则 BOOTROM 代码执行时间依赖于当前的 SYSCLKOUT 频率设定。

下图显示了写入 PLLCR 寄存器所产生的效果的一个示例。在第一个阶段, $\text{PLLCR} = 0x0004$, 并且 $\text{SYSCLKOUT} = \text{OSCCLK} * 2$ 。然后配置 PLLCR 为 $0x0008$ 。就在 PLLCR 寄存器被写入后, PLL 锁定阶段开始。在这个阶段期间, $\text{SYSCLKOUT} = \text{OSCCLK} / 2$ 。在 PLL 锁定完成后 (将花费 16384 个 OSCCLK 周期), SYSCLKOUT 反映了新的运行频率, $\text{OSCCLK} * 4$ 。

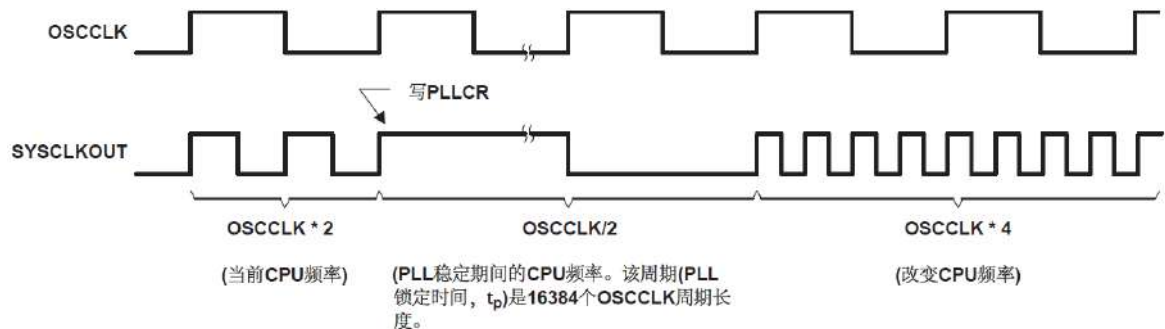


图 6-4 写入 PLLCR 寄存器所产生的效果的示例

6.5 GPIO

6.5.1 输出时序

表 6-4 GPIO 输出时序特性

参数		最小值	典型值	最大值	单位
$t_r(\text{GPIO})$	上升时间, GPIO 从低到高 全部 GPIO			8	ns

$t_{r(GPIO)}$	下降时间, GPIO 从高到低	全部 GPIO			8	ns
t_{rGPIO}	GPIO 翻转频率	全部 GPIO			28	MHz

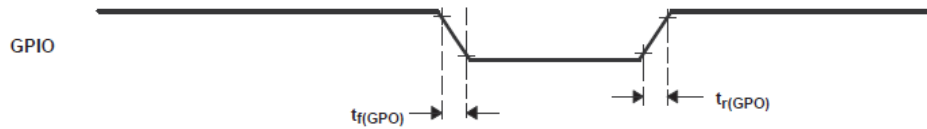


图6-5 GPIO输出时序

6.5.2 输入时序

表 6-5 GPIO 输入时序特性

参数		最小值	典型值	最大值	单位
$t_w(SP)$	采样周期	QUALPRD = 0			周期
		QUALPRD ≠ 0	$2t_{c(SCO)} * QUALPRD$		周期
$t_w(IQSW)$	输入限定器采样窗口	全部 GPIO	$t_w(SP) * (n^{(1)} - 1)$		周期
$t_w(GPIO)^{(2)}$	脉冲宽度	同步模式	$2t_{c(SCO)}$		周期
		带输入限定器	$t_w(IQSW) + t_w(SP) + 1t_{c(SCO)}$		周期

(1) "n" 代表 GPxQSELn 寄存器定义的输入限定采样数。

(2) 对于 $t_w(GPIO)$, 脉冲宽度是从 V_{IL} 到 V_{IL} (信号为低时), 或 V_{IH} 到 V_{IH} (信号为高时)。

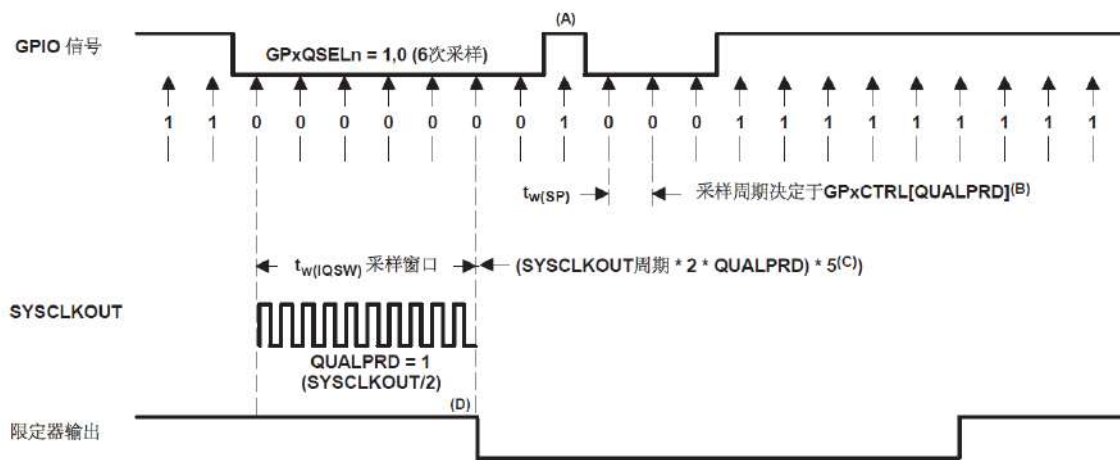


图6-6 采样模式

A. 这个毛刺脉冲将被输入限定器所忽略。QUALPRD 位字段指定了限定采样周期。它可在 00 至 0xFF 间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLKOUT 周期。对于任何其它的 "n" 值, 限定采样周期为 2n 个 SYSCLKOUT 周期 (也就是说, 每 2n 个 SYSCLKOUT 周期, GPIO 引脚将被采样)。

B. 通过 GPxCTRL 寄存器选择的限定周期应用于 一组 (8 个) GPIO 引脚上。

C. 限定器也可采样 3 次或者 6 次。GPxQSELn 寄存器选择使用的采样模式。

D. 为了使限定器检测到变化, 输入应该在 10 个 SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说, 输入应该在 $(5 * QUALPRD * 2)$ 个 SYSCLKOUT 周期内保持稳定。这将确保在 5 个采样周期内被检测到。由于外部信号是异步的, 13 个 SYSCLKOUT 周期宽的脉冲才能确保被识别。

6.5.3 输入采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率是相对于 SYSCLKOUT 时钟的。

若 $QUALPRD \neq 0$, 采样频率 = $SYSCLKOUT$ 频率 / $(2 * QUALPRD)$

若 $QUALPRD = 0$, 采样频率 = $SYSCLKOUT$ 频率

在上面的等式中, $SYSCLKOUT$ 周期是 $SYSCLKOUT$ 时钟的周期。

若 $QUALPRD \neq 0$, 采样周期 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$

若 $QUALPRD = 0$ 的话, 采样周期 = $SYSCLKOUT$ 周期

在一个指定的采样窗口中, 对输入信号进行 3 次或 6 次采样以确定信号的有效性。由 $GPxQSELn$ 寄存器的值确定采样次数。

- 情况 1: 使用 3 次采样的限定

如果 $QUALPRD \neq 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$ * 2

如果 $QUALPRD = 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2

- 情况 2: 使用 6 次采样的限定

如果 $QUALPRD \neq 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$ * 5

如果 $QUALPRD = 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 5

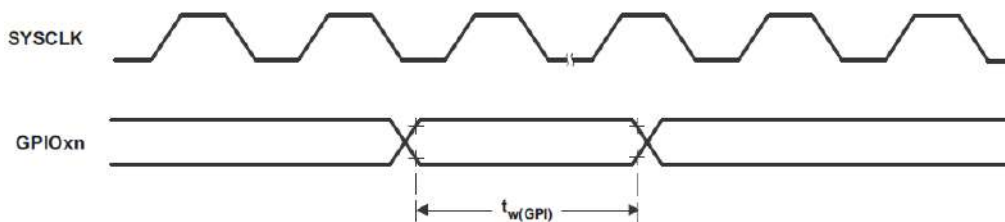


图6-7 通用输入时序

6.6 低功耗模式唤醒时序

6.6.1 进入/退出 IDLE 模式

表 6-6 IDLE 模式时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{WAKE-INT})$	脉冲持续时间, 外部唤醒信号的时间	无输入限定器	$2t_{c(\text{SCO})}$			周期
		带有输入限定器	$5t_{c(\text{SCO})} + t_w(\text{IQSW})$			周期

(1) 对于输入限定器器参数的说明, 请见表6-5。

表 6-7 IDLE 模式开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(\text{WAKE-IDLE})$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				周期
	从 Flash 中唤醒			$60t_{c(\text{SCO})} + t_w(\text{WAKE-INT})$	周期
	从 SARAM 中唤醒			$20t_{c(\text{SCO})} + t_w(\text{WAKE-INT})$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。中断服务程序 (由唤醒触发) 的执行会增加额外的延迟。

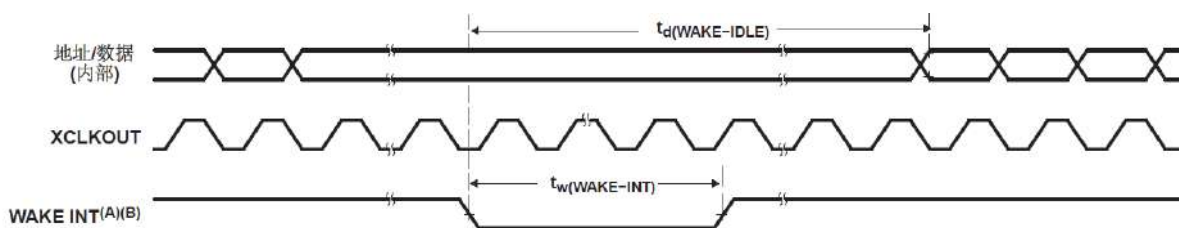


图 6-8 IDLE 进入和退出时序

- A. WAKE INT 可以是任一被使能的中断，XNMI，WDINT，或者XRS。
- B. 从将芯片置于低功耗模式(LPM) 的IDLE 指令被执行开始，在至少4 个OSCCLK 周期之前，唤醒不应被启动。

6.6.2 进入/退出 STANDBY 模式

表 6-8 STANDBY 模式时序要求

参数	描述		最小值	典型值	最大值	单位
$t_w(\text{WAKE-INT})$	脉冲持续时间，外部唤醒信号的时间	无输入限定器	$3 * t_c(\text{OSCCLK})$			周期
		带有输入限定器 ⁽¹⁾	$(2 + \text{QUALSTDBY}) * t_c(\text{OSCCLK})$			周期

(1) QUALSTDBY 是一个LPMCR0 寄存器内的6 位字段。

表 6-9 STANDBY 模式开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(\text{IDLE-XCOL})$	延迟时间，IDLE 指令被执行 XCLKOUT 变为低电平的时间	$32t_{c(\text{SCO})}$		$45t_{c(\text{SCO})}$	周期
$t_d(\text{WAKE-STBY})$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				
	从 Flash 中唤醒			$60t_{c(\text{SCO})} + t_w(\text{WAKE-INT})$	周期
	从 SARAM 中唤醒			$20t_{c(\text{SCO})} + t_w(\text{WAKE-INT})$	周期

(1) 这个时间是在IDLE 指令之后立即开始指令执行的时间。中断服务程序（由唤醒触发）的执行会增加额外的延迟。

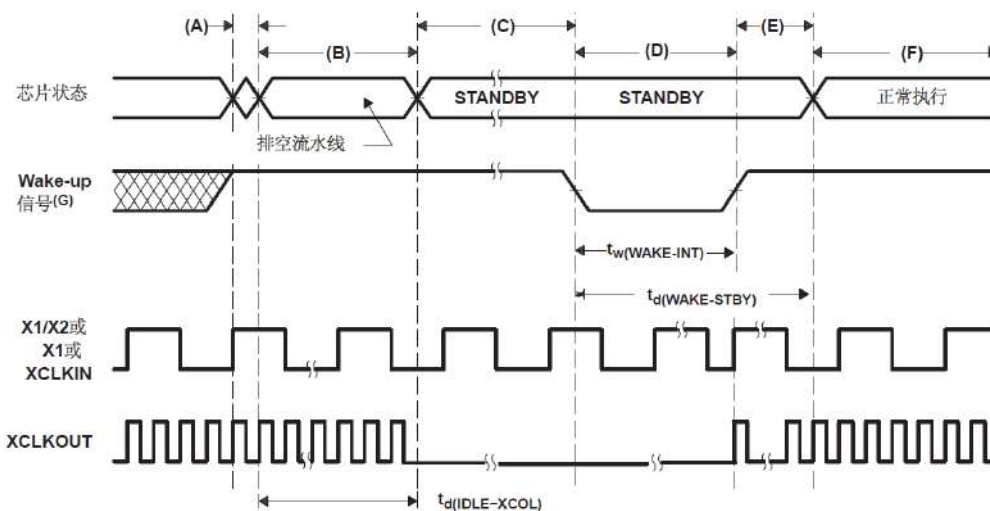


图 6-9 STANDBY 进入和退出时序图

- A. 被执行的IDLE 指令将芯片置于STANDBY 模式。
- B. PLL响应STANDBY 信号。在被关闭前，按下列情况保持SYSCLKOUT一定数量周期：
- 当DIVSEL=00 或11 时，16个周期
 - 当DIVSEL=10 时，32个周期
 - 当DIVSEL=11 时，64个周期
- 这个延迟使得CPU流水线和其它等待操作被清空。如果一个到XINTF 的访问正在进行中并且它的访问时间大于这个值，那么这个访问将发生错误。建议在没有任何未完成的XINTF访问的情况下进入STANDBY 模式。
- C. 到外设的时钟被关闭。然而，PLL和看门狗并未关闭。此芯片现在处于STANDBY 模式。
- D. 外部唤醒信号有效。
- E. 经过一定延迟，退出STANDBY模式。
- F. 正常执行重新开始。此芯片将响应中断（如果被使能的话）。
- G. 从将芯片置于低功耗模式(LPM) 的IDLE指令被执行开始，在至少4 个OSCCLK 周期内，不应被唤醒。

6.6.3 进入/退出 HALT 模式

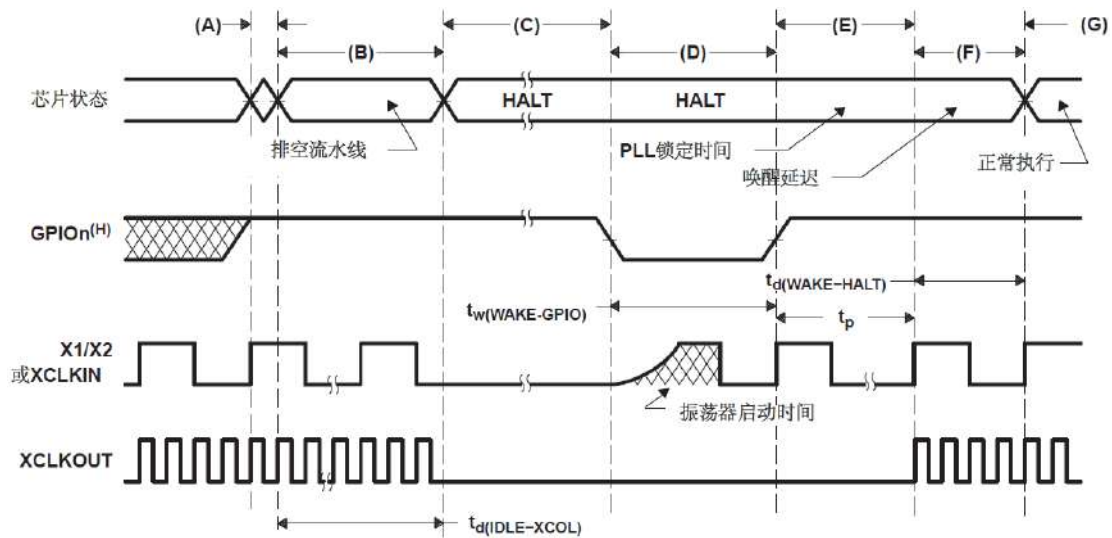
表 6-10 HALT 模式时序要求

参数	描述	最小值	典型值	最大值	单位
$t_w(\text{WAKE-GPIO})$	脉冲持续时间，GPIO 唤醒信号的时间	$t_{\text{oscst}}+2t_c(\text{OSCCLK})^{(1)}$			周期
$t_w(\text{WAKE-XRS})$	脉冲持续时间，XRS 唤醒信号的时间	$t_{\text{oscst}}+8t_c(\text{OSCCLK})$			周期

(1) t_{oscst} 是片内振荡器启动时间，最小值为 1，典型值为 10ms。

表 6-11 HALT 模式开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(\text{IDLE-XCOL})$	延迟时间，IDLE 指令被执行 XCLKOUT 变为低电平的时间	$32t_c(\text{SCO})$		$45t_c(\text{SCO})$	周期
t_p	PLL 锁定时间			$16384t_c(\text{OSCCLK})$	周期
$t_d(\text{WAKE-HALT})$	延迟时间，PLL锁定到程序执行重新开始的时间				
	从 Flash 中唤醒			$60t_c(\text{SCO})$	周期
	从 SARAM 中唤醒			$20t_c(\text{SCO})$	周期


 图 6-10 使用 GPIO_n 的 HALT 唤醒

A. IDLE 指令被执行以将芯片置于HALT 模式。

B. PLL响应HALT 信号。在振荡器被关闭并且到内核的CLKIN被停止前按以下情况保持SYSCLKOUT一定周期：

- 当DIVSEL=00 或11 时，16个周期
- 当DIVSEL=10 时，32个周期
- 当DIVSEL=11 时，64个周期

这个延迟使得CPU流水线和它等待的操作被清空。如果一个到XINTF的访问正在进行中并且它的访问时间大于这个值，那么这个访问将发生错误。建议在没有任何未完成的XINTF访问情况下进入HALT 模式。

C. 到外设的时钟被关闭并且PLL被关断。如果一个石英晶体或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。芯片现在处于HALT 模式，消耗最小功率。

D. 当GPIO_n管脚（用于使芯片脱离HALT模式）为低电平时，振荡器被打开并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO才可变为高电平。这样可在PLL锁定期间提供一个洁净的时钟信号。由于GPIO管脚的下降边沿异步开始唤醒过程，应该注意在进入和处于HALT 模式期间保持一个低噪声环境。

E. 一旦振荡器已经稳定，PLL锁定序列被启动，这将花费16384个OSCCLK（X1/X2或者X1或者XCLKIN）周期。请注意，即使进入HALT模式之前处于PLL旁路模式，也需要等待16384个时钟周期使得PLL锁定。

F. 到内核和外设时钟被启用。现在退出HALT 模式。经过一定延迟后，芯片将响应此中断（如果被使能的话）。

G. 正常运行重新开始。

H. 从将芯片置于低功耗模式(LPM) 的 IDLE 指令执行开始，在至少 4 个 OSCCLK 周期内，不应被唤醒。

6.7 ePWM

表 6-12 ePWM 时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
t _w (SYCIN)	同步输入脉冲宽度	异步	2t _c (SCO)			周期
		同步	2t _c (SCO)			
		带有输入限定器	1t _c (SCO)+t _w (IQSW)			

表 6-13 ePWM 开关特性

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{PWM})$	脉冲持续时间, PWMx 输出高电平/低电平的时间		20			ns
$t_w(\text{SYNCO})$	同步输出脉冲宽度		$8t_{c(\text{SCO})}$			周期
$t_d(\text{PWM})_{\text{tza}}$	延迟时间, 触发输入有效到 PWM 强制高电平的时间	无引脚负载			25	ns
	延迟时间, 触发输入有效到 PWM 强制低电平的时间					
$t_d(\text{TZ-PWM})_{\text{HZ}}$	延迟时间, 触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间				20	ns

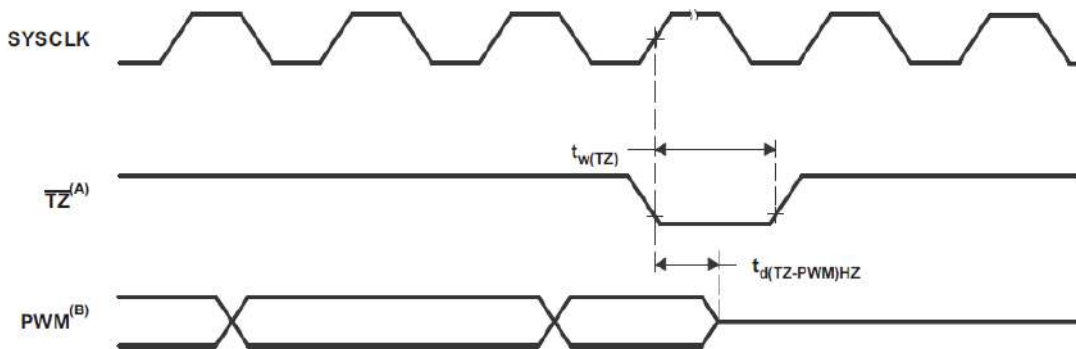


图 6-11 PWM 高阻 (Hi-Z) 特性

A. TZ-TZ1, TZ2, TZ3, TZ4, TZ5, TZ6

B. PWM 是指所有器件内的 PWM 引脚。TZ 为高电平之后的 PWM 引脚的状态取决于 PWM 恢复软件。

 表 6-14 可编程控制故障区输入时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{TZ})$	脉冲持续时间, TZx 输入低电平的时间	异步	$1t_{c(\text{SCO})}$			周期
		同步	$2t_{c(\text{SCO})}$			
		带有输入限定器	$1t_{c(\text{SCO})}+t_w(\text{IQSW})$			

(1) 对于输入限定器参数的说明, 请见表 6-5。

表 6-15 SYSCLKOUT=(60-150MHz) 时, 高分辨率 PWM 特性

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		150	310	ps

(1) MEP 步长 在高温和最小 VDD 电压情况下达到最大。MEP 步长将随着更低电压和更高温度而增加, 随着电压升高和温度降低而降低。使用 HRPWM 的应用应该使用 MEP 缩放因子优化器 (SFO) 近似函数。SFO 函数有助于在 HRPWM 运行时动态地估计每个 SYSCLKOUT 周期内的 MEP 步数量。

6.8 eCAP

表 6-16 eCAP 时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{CAP})$	捕捉输入脉冲宽度	异步	$2t_{c(\text{SCO})}$			周期
		同步	$2t_{c(\text{SCO})}$			
		带有输入限定器	$1t_{c(\text{SCO})}+t_w(\text{IQSW})$			

表 6-17 eCAP 开关特性

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间, APWMx 输出高电平/低电平的时间		20			ns

6.9 eQEP

 表 6-18 eQEP 时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(QEPP)$	QEP 输入周期	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$			周期
		带有输入限定器器	$2t_{c(SCO)}+2t_w(IQSW)$			周期
$t_w(INDEXH)$	QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$			周期
		带有输入限定器器	$2t_{c(SCO)}+t_w(IQSW)$			周期
$t_w(INDEXL)$	QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$			周期
		带有输入限定器器	$2t_{c(SCO)}+t_w(IQSW)$			周期
$t_w(STROBH)$	QEP 选通脉冲高电平时间	异步 ⁽²⁾ /同步	$2t_{c(SCO)}$			周期
		带有输入限定器器	$2t_{c(SCO)}+t_w(IQSW)$			周期

(1) 对于输入限定器器参数的说明, 请见表6-5。

表 6-19 eQEP 开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(CNTR)_{xin}$	延迟时间, 外部时钟到计数器增量的时间			$4t_{c(SCO)}$	周期
$t_d(PCS-OUT)_{QEP}$	延迟时间, QEP 输入边沿到位置比较同步输出的时间			$6t_{c(SCO)}$	周期

6.10 ADC

 表 6-20 ADC 电气特性⁽¹⁾⁽²⁾

参数	最小值	典型值	最大值	单位
DC 技术规范 ⁽³⁾				
分辨率	12			位
ADC 时钟频率	0.001		25	MHz
精度				
INL (积分非线性)	1-12.5MHz ADC 时钟 (6.25MSPS)		±1.5	LSB
	12.5-15MHz ADC 时钟 (12.5MSPS)		±2	LSB
DNL (微分非线性) ⁽⁴⁾			±1	LSB
偏置误差 ⁽⁵⁾⁽³⁾	-15		15	LSB
带有内部基准的总增益误差 ⁽⁶⁾⁽³⁾	-30		30	LSB
带有内部基准的总增益误差 ⁽³⁾	-30		30	LSB
通道之间偏置变化		±4		LSB
通道之间增益变化		±4		LSB

模拟输入					
模拟输入电压(ADCIN _x to ADCLO) ⁽⁷⁾		0	3	V	
ADCLO		-5	0	5	mV
输入电容			10		pF
输入漏电流				±5	uA
内部电压基准 ⁽⁶⁾					
V _{ADCFEP} (基于内部基准情况下 ADCREFP 引脚输出电压)			1.275		V
V _{ADCFEM} (基于内部基准情况下 ADCREFP 引脚输出电压)			0.525		V
电压差 (ADCREFP-ADCFEM)			0.75		V
温度系数			50		PPM/°C
外部电压基准 ⁽⁶⁾					
V _{ADCFEIN} (ADCREFIN 接口输入的外部参考电压, 建议精确度至少为 0.2%)	ADCREFSEL[15:14] = 11b		1.024		V
	ADCREFSEL[15:14] = 10b		1.500		V
	ADCREFSEL[15:14] = 01b		2.048		V
AC 技术规范					
SINAD(100kHz)信噪比+失真			67.5		dB
SNR(100kHz)信噪比			68		dB
THD(100kHz)总谐波失真			-79		dB
ENOB(100kHz)有效位数			10.9		Bits
SFDR(100kHz)无杂散动态范围			83		dB

- (1) 在 25MHz ADCCLK 条件下测试
- (2) 表中所有电压都是以 V_{SSA2} 作为参考地
- (3) 增益误差和偏置误差都是在已经完成了 ADC 校准之后进行的计算结果
- (4) ADC 无失码
- (5) 1 位 LSB 表示权重为 $3.0/4096 = 0.732\text{mV}$
- (6) ADCREFP 和 ADCREFM 信号源头都是内部或者外部 band gap 参考电压, 所以这些电压捆绑在一起
- (7) 模拟输入电压超过 V_{DDA}+0.3V 或者低于 V_{SS}-0.3V 可能影响其它输入的转换。所以为了避免这种情况发生, 模拟输入必须满足这些限制

6.10.1 ADC 上电控制时序

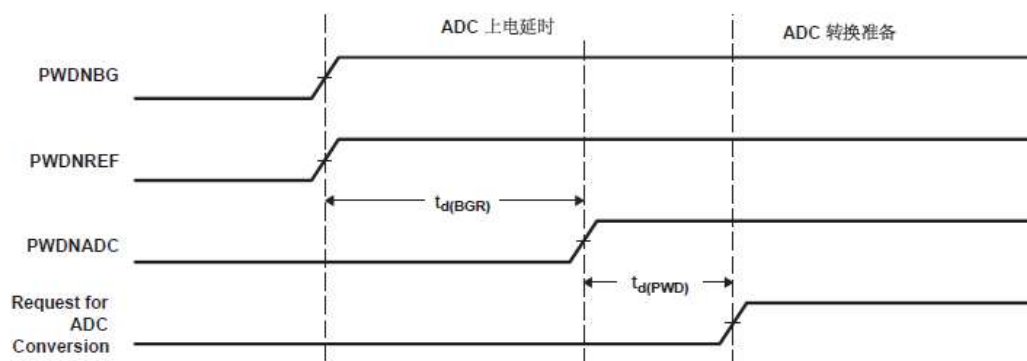


图 6-12 ADC 上电控制时序

表 6-21 ADC 上电延时

参数 ⁽¹⁾	最小值	典型值	最大值	单位
$t_{d(BGR)}$ 带隙基准电压稳定等待延时			5	ms
$t_{d(PWD)}$ 上电控制稳定等待延时	20	50		us
			1	ms

(1) 三比特控制信号有而可以同时有效, 这样就只要等待 $t_{d(BGR)}$ 参数时间后 ADC 就可以开始正常转换工作了。

 表 6-22 不同 ADC 配置情况下典型电流消耗值(25MHz ADCCLK)⁽¹⁾⁽²⁾

ADC 工作模式	条件	V_{DDA18}	$V_{DDA3.3}$	单位
模式 A(运行模式)	1) 使能 BG 和 REF 2) 关闭 PWD	30	2	mA
模式 B	1) 打开 ADC 时钟 2) 使能 BG 和 REF 3) 关闭 PWD	9	0.5	mA
模式 C	1) 打开 ADC 时钟 2) 关闭 BG 和 REF 3) 使能 PWD	5	20	uA
模式 D	1) 关闭 ADC 时钟 2) 关闭 BG 和 REF 3) 使能 PWD	5	15	uA

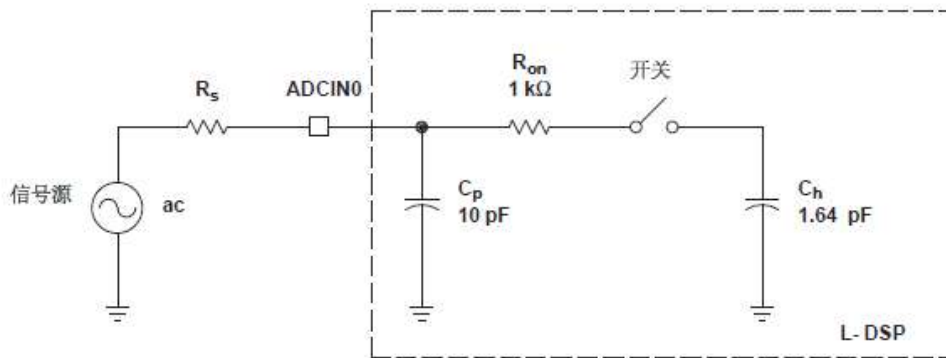
(1) 测试条件:

SYSCLKOUT = 150MHz

ADC 模块时钟 = 25MHz

模式 A 情况下 ADC 执行连续的所有 16 个通道的转换

(2) V_{DDA18} 包括 V_{DD1A18} 和 V_{DD2A18} 的电流, $V_{DDA3.3}$ 包括 V_{DDA2} 和 V_{DDA10} 的电流。



输入电路典型特性:

开关电阻(R_{on}): 1 kΩ
 采样电容(C_h): 1.64 pF
 寄生电容(C_p): 10 pF
 源电阻(R_s): 50 Ω

图 6-13 ADC 模拟输入阻抗模型

6.10.2 定义说明

基准电压: 片上 ADC 提供了内置基准, 给 ADC 提供参考电压。

模拟输入: 片上 ADC 拥有 16 个模拟输入通道, 一次可以同时采样 1 个或者 2 个通道。

转换器：片上 ADC 采用了 12 比特 4 级流水结构，可以实现低功耗高采样率。

转换模式：转换器可以工作在两种不同的模式：

- 顺序采样模式(SMODE = 0)
- 并发采样模式(SMODE = 1)

6.10.3 顺序采样模式(单通道)(SMODE = 0)

顺序采样模式下，ADC 可以连续采样任何通道的输入信号。当有来至 ePWM 触发、软件触发或者外部 ADCSOC 触发信号时 ADC 开始转换工作。如果 SMODE 位等于 0，ADC 会在每一个采样/保持脉冲期间开始采样和转换制定通道的输入信号。ADC 中断标志位会在结果寄存器完成更新后的若干 SYSCLKOUT 周期后有效。选定的采样通道会在每个采样/保持脉冲的下降沿被采样。采样/保持脉冲的宽度可以通过软件配置，范围从 1 个 ADC 时钟周期到 16 个 ADC 时钟周期。

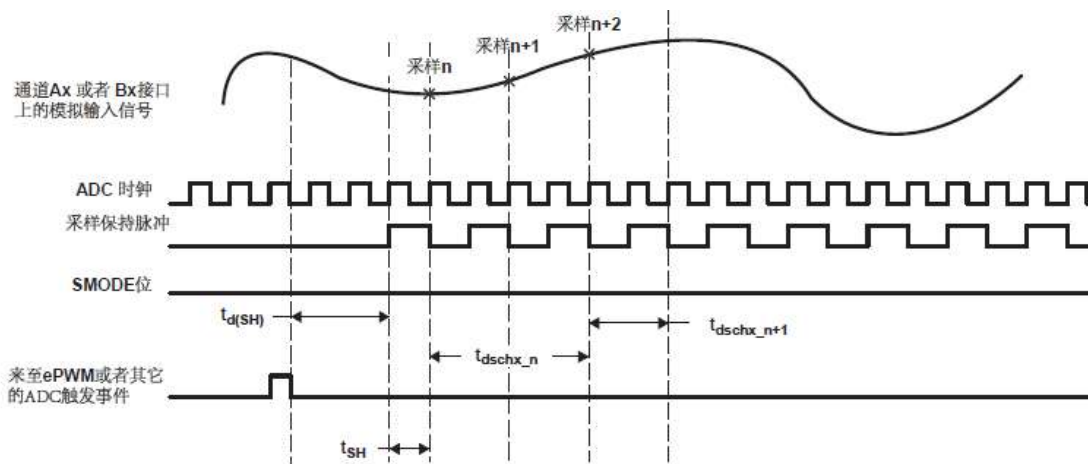


图 6-14 顺序采样模式(单通道)时序

表 6-23 顺序采样模式时序

参数	描述	采样n	采样n + 1	在 25MHz ADC 时钟上, $t_c(\text{ADCCLK})=40\text{ns}$	注释
$t_{d(\text{SH})}$	从事件触发器到采样的延迟时间	$2.5t_c(\text{ADCCLK})$			
t_{SH}	采样/保持宽度/采集宽度	$(1+\text{Acqps}) * t_c(\text{ADCCLK})$		Acqps = 0时为40ns	Acqps值 = 0-15 ADCTRL1[8:11]
$t_{d(\text{schx}_n)}$	结果寄存器出现第一个结果的延迟时间	$4t_c(\text{ADCCLK})$		160ns	
$t_{d(\text{schx}_{n+1})}$	结果寄存器中出现连续结果的延迟时间		$(2+\text{Acqps}) * t_c(\text{ADCCLK})$	80ns	

6.10.4 并发采样模式(双通道)(SMODE =1)

在并发采样模式下，ADC 可在任何一对通道（A0/B0 至 A7/B7）持续转换输入信号。当有来至 ePWM 触发、软件触发或者外部 ADCSOC 触发信号时 ADC 开始转换工作。如果 SMODE 位为 1，ADC 将在每个采样/保持脉冲上的两个所选通道上进行转换。ADC 中断标志位会在结果寄存器完成更新后的若干 SYSCLKOUT 周期后有效。所选通道将在采样/保持脉冲的下降边沿上被同时采样。采样/保持脉冲的宽度可以通过软件配置，范围从 1 个 ADC 时钟周期到 16 个 ADC 时钟周期。

注意：并发采样模式中，ADCIN 通道对选择必须为 A0/B0，A1/B1，...，A7/B7，并且不能进行任何其它组合（例如 A1/B3，等等）。

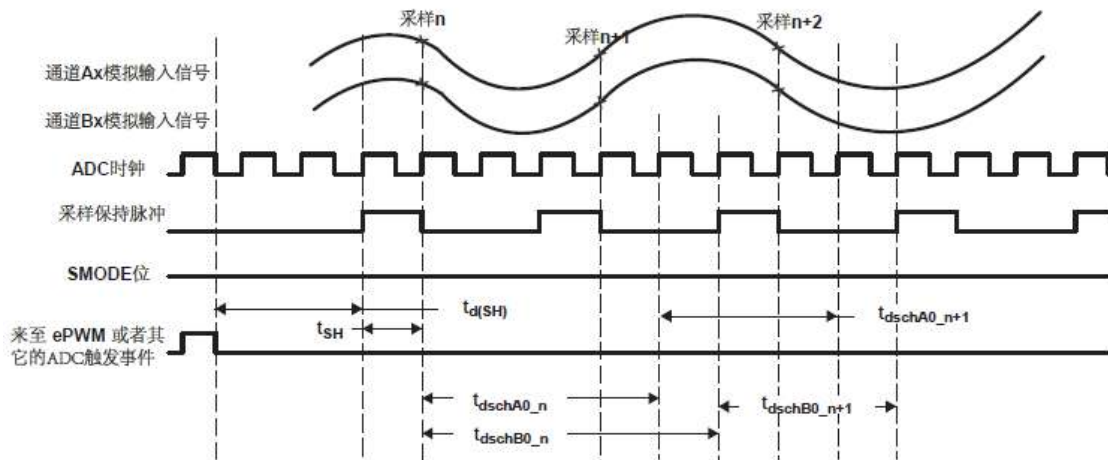


图 6-15 并发采样模式时序图

表 6-24 并发采样模式时序

参数	描述	采样n	采样n + 1	在 25MHz ADC 时钟上, $t_c(\text{ADCCLK})=40\text{ns}$	注释
$t_{d(\text{SH})}$	从事件触发器到采样的延迟时间	$2.5t_c(\text{ADCCLK})$			
t_{SH}	采样/保持宽度/采集宽度	$(1 + \text{Acqps}) * t_c(\text{ADCCLK})$		Acqps = 0 时为 40ns	Acqps 值 = 0-15 ADCTRL1[8:11]
$t_{d(\text{schA0}_n)}$	结果寄存器出现第一个结果的延迟时间	$4t_c(\text{ADCCLK})$		160ns	
$t_{d(\text{schB0}_n)}$	结果寄存器出现第一个结果的延迟时间	$5t_c(\text{ADCCLK})$		200ns	
$t_{d(\text{schA0}_{n+1})}$	结果寄存器中出现连续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	
$t_{d(\text{schB0}_{n+1})}$	结果寄存器中出现连续结果的延迟时间		$(3 + \text{Acqps}) * t_c(\text{ADCCLK})$	120ns	

6.10.5 术语说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现一半 LSB。满刻度点被定义为超过最后一次代码转换的级别一半 LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 ADC 显示分开距离恰好为 1 个 LSB 的代码转换。DNL 是从这个理想值的偏离。一个少于 $\pm 1\text{LSB}$ 的微分非线性误差可确保无失码。

零偏移

当模拟输入为零伏时，应当发生主进位转换。零误差被定义为实际转换到那个点的偏离。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 LSB 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 LSB 上。增益误差是首次和末次代码转换

间的实际差异以及它们之间的理想差异。

信噪比+失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 dc）的均方根总和的比。SINAD 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用公式 $N = \frac{(SINAD-1.76)}{6.02}$ 有可能获得一个用 N（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输入的器件的有效位数量可从这个测得的 SINAD 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无杂散动态范围(SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

6.11 外部中断

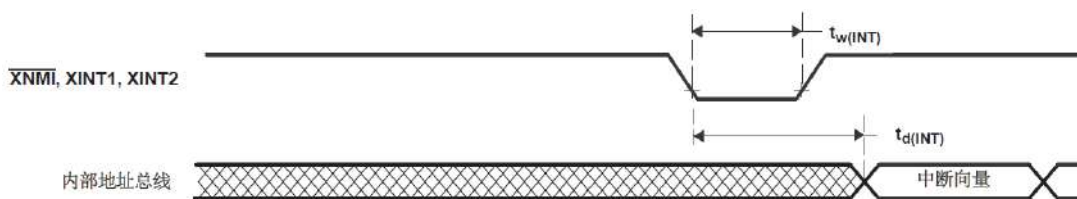


图 6-16 外部中断时序

表 6-25 外部中断时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(INT)$	脉冲持续时间，INT 输入低电平/高电平的的时间	同步	$1t_{c(SCO)}$			周期
		带限定器	$1t_{c(SCO)} + t_w(IQSW)^{(1)}$			周期

(1) 输入限定参数 $t_w(IQSW)$ 见 6.5 小节。

表 6-26 外部中断开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(INT)$	延迟时间，INT 低电平/高电平到获得中断向量程序地址的时间			$12t_{c(SCO)} + t_w(IQSW)^{(1)}$	周期

6.12 I2C

表 6-274 I2C 时序

参数	描述	测试条件	最小值	最大值	单位
V_{il}	低电平输入电压			$0.3V_{DDIO}$	V
V_{ih}	高电平输入电压		$0.7V_{DDIO}$		V
V_{hys}	输入滞后		$0.05V_{DDIO}$		V
V_{ol}	低电平输出电流	3mA 吸收电流	0	0.4	V
f_{SCL}	SCL 时钟频率	I2C 时钟模块频率在 7MHz 和 12MHz 之间且预分频器和时钟分频寄存器被适当配置		400	kHz
t_{LOW}	SCL 时钟的高周期		1.3		μs
t_{HIGH}	SCL 时钟的低周期		0.6		μs

f_{SCL}	SCL 时钟频率	配置最小的分频值			kHz
t_{LOW}	SCL 时钟的高周期		91		ns
t_{HIGH}	SCL 时钟的低周期		90		ns
I_i	输入电压介于 $0.1V_{DDIO}$ 和 $0.9V_{DDIO}$ (最大值) 的输入电流		-10 10		μA

6.13 SPI

根据 SPI 模式，其时序分为主模式时序和从模式时序。

6.13.1 主模式时序

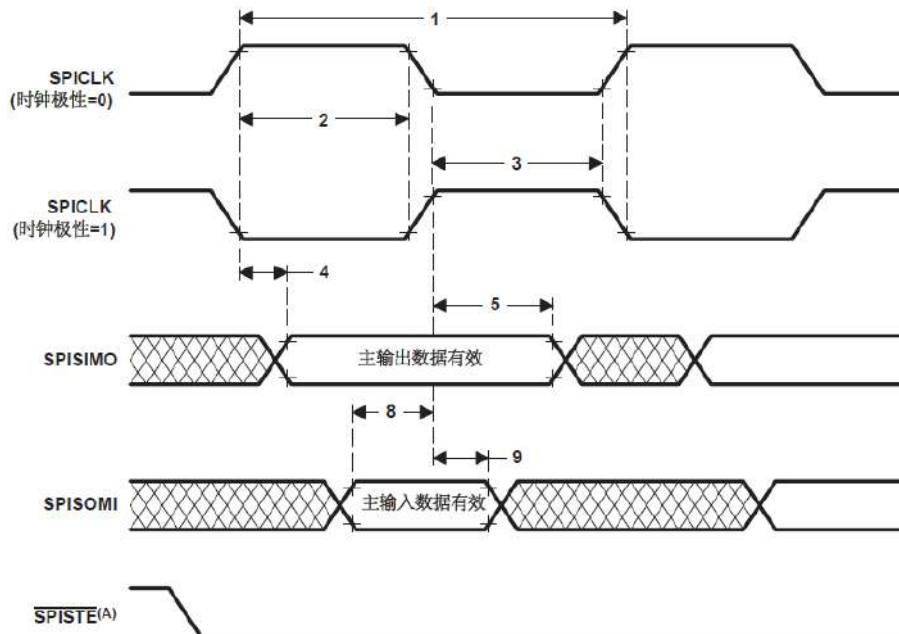
根据时钟延时参数 $CPHA$ 是否为 1，其时序参数分为有相位延时和无相位延时两种，分别如下表所示，其对应的波形时序如下图所示，其中表格中的标号与图中的标号对应。

表6-28 相位延时为0的主模式时序参数⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾

序号	参数	描述	SPICLK 是 LSPCLK 偶分频		SPICLK 是 LSPCLK 奇分频		单位
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	SPICLK 周期	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	CPOL 为 0, SPICLK 高电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} + 10$	ns
	$t_{w(SPCL)M}$	CPOL 为 1, SPICLK 低电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} + 10$	ns
3	$t_{w(SPCL)M}$	CPOL 为 0, SPICLK 低电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} + 10$	ns
	$t_{w(SPCH)M}$	CPOL 为 1, SPICLK 高电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} + 10$	ns
4	$t_{d(SPCH-SIMO)M}$	CPOL为0, SPICLK拉高后到发送数据SPISIMO有效的时间		10		10	ns
	$t_{d(SPCL-SIMO)M}$	CPOL 为 1, SPICLK 拉低后到发送数据 SPISIMO 有效的时间		10		10	ns
5	$t_{v(SIMO-SPCL)M}$	CPOL为0, SPICLK拉低后发送数据 SPISIMO的Hold时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SIMO-SPCH)M}$	CPOL 为 1, SPICLK 拉高后发送数据 SPISIMO 的 Hold 时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$		ns
8	$t_{su(SOMI-SPCL)M}$	CPOL为0, SPISOMI在时钟SPICLK下降沿的Setup时间	35		35		ns
	$t_{su(SOMI-SPCH)M}$	CPOL 为 1, SPISOMI 在时钟 SPICLK 上升沿的 Setup 时间	35		35		ns
9	$t_h(SOMI-SPCL)M$	CPOL为0, SPISOMI在时钟下降沿的 Hold时间	0		0		ns
	$t_h(SOMI-SPCH)M$	CPOL 为 1, SPISOMI 在时钟上升沿的 Hold 时间	0		0		ns



- (1) 设置SPICTL.2主从模式选择字段为1，SPICTL.3时钟相位延时字段为0。
- (2) $t_c(\text{SPC}) = \text{SPICLK时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。
- (3) $t_c(\text{LCO}) = \text{LSPCLK时钟周期}$ 。
- (4) 内部预分频时钟参数的设置，受SPI时钟频率最大值的约束，主从模式，其最大收发速率都是25MHz。
- (5) SPICLK信号的有效沿是由时钟极性CPOL参数控制的。



A. 在主端模式下， $\overline{\text{SPISTE}}^{(A)}$ 至少在SPICLK有效时钟沿之前 $0.5t_{\text{c}}(\text{SPC})$ 拉低有效。传输结束时，在采样最后1bit的SPICLK时钟沿之后 $0.5t_{\text{c}}(\text{SPC})$ 拉高，而对于连续数据传输， $\overline{\text{SPISTE}}^{(A)}$ 信号则一直保持为低有效。

图 6-17 相位延时为 0 的 SPI 主模式时序

表 6-29 相位延时为 1 的主模式时序参数⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾

序号	参数	描述	SPICLK 是 LSPCLK 偶分频		SPICLK 是 LSPCLK 奇分频		单位
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	SPICLK 周期	$4t_{c(LCO)}$	$128t_{c(LCO)}$	$5t_{c(LCO)}$	$127t_{c(LCO)}$	ns
2	$t_{w(SPCH)M}$	CPOL 为 0, SPICLK 高电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} + 10$	ns
	$t_{w(SPCL)M}$	CPOL 为 1, SPICLK 低电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} + 10$	ns
3	$t_{w(SPCL)M}$	CPOL 为 0, SPICLK 低电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} + 10$	ns
	$t_{w(SPCH)M}$	CPOL 为 1, SPICLK 高电平	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} + 10$	ns
6	$t_{d(SIMO-SPCH)M}$	CPOL 为 0, SPICLK 拉高前发送数据 SPISIMO 的 Setup 时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$		ns
	$t_{d(SIMO-SPCL)M}$	CPOL 为 1, SPICLK 拉低前发送数据 SPISIMO 的 Setup 时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} + 0.5t_{c(LCO)} - 10$		ns
7	$t_{v(SIMO-SPCH)M}$	CPOL 为 0, SPICLK 拉高后发送数据 SPISIMO 的 Hold 时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$		ns
	$t_{v(SIMO-SPCL)M}$	CPOL 为 1, SPICLK 拉低后发送数据 SPISIMO 的 Hold 时间	$0.5t_{c(SPC)M} - 10$		$0.5t_{c(SPC)M} - 0.5t_{c(LCO)} - 10$		ns
10	$t_{su(SOMI-SPCH)M}$	CPOL 为 0, SPISOMI 在时钟 SPICLK 上升沿前的 Setup 时间	35		35		ns
	$t_{su(SOMI-SPCL)M}$	CPOL 为 1, SPISOMI 在时钟 SPICLK 下降沿前的 Setup 时间	35		35		ns
11	$t_{h(SOMI-SPCH)M}$	CPOL 为 0, SPISOMI 在时钟上升沿后的 Hold 时间	0		0		ns
	$t_{h(SOMI-SPCL)M}$	CPOL 为 1, SPISOMI 在时钟下降沿后的 Hold 时间	0		0		ns



- (1) 设置SPICTL.2主从模式选择字段为0，SPICTL.3时钟相位延时字段为1。
- (2) $t_c(\text{SPC}) = \text{SPICLK}$ 时钟周期 = $\text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。
- (3) $t_c(\text{LCO}) = \text{LSPCLK}$ 时钟周期。
- (4) 内部预分频时钟参数的设置，受SPI时钟频率最大值的约束，主从模式，其最大收发速率都是25MHz。
- (5) SPICLK信号的有效沿是由时钟极性CPOL参数控制的。

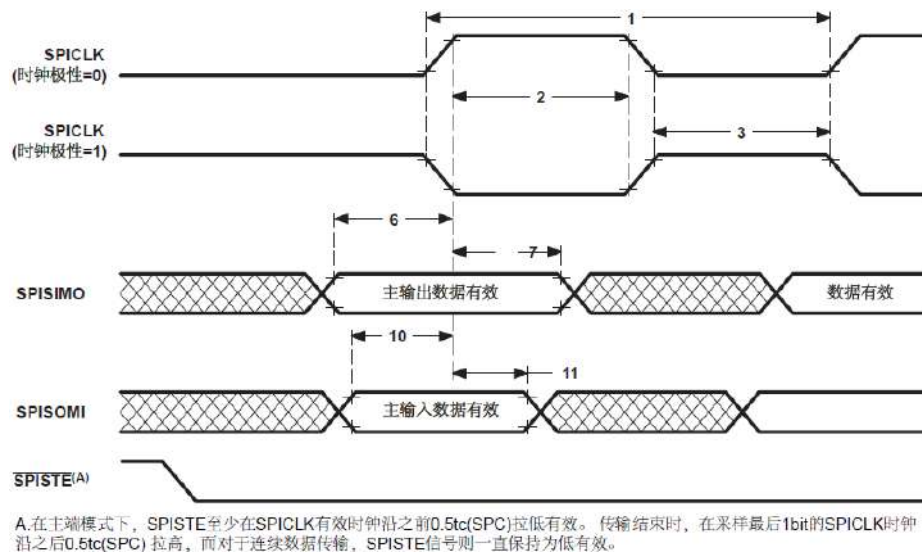


图 6-18 相位延时为 1 的 SPI 主模式时序

6.13.2 从模式时序

根据时钟延时参数 CPHA 是否为 1，其时序参数分为有相位延时和无相位延时两种，分别如下表所示，其对应的波形时序如下图所示，其中表格中的标号与图中的标号对应。

 表 6-30 相位延时为 0 的从模式时序参数⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾

序号	参数	描述	MIN	MAX	单位
12	$t_c(\text{SPC})\text{S}$	SPICLK 周期	$4t_c(\text{LCO})$		ns
13	$t_w(\text{SPCH})\text{S}$	CPOL 为 0，SPICLK 高电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
	$t_w(\text{SPCL})\text{S}$	CPOL 为 1，SPICLK 低电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
14	$t_w(\text{SPCL})\text{S}$	CPOL 为 0，SPICLK 低电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
	$t_w(\text{SPCH})\text{S}$	CPOL 为 1，SPICLK 高电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
15	$t_d(\text{SPCH-SOMI})\text{S}$	CPOL为0, SPICLK拉高后到发送数据 SPISOMI有效的时间		35	ns
	$t_d(\text{SPCL-SOMI})\text{S}$	CPOL 为 1，SPICLK 拉低后到发送数据 SPISOMI 有效的时间		35	ns
16	$t_v(\text{SPCL-SOMI})\text{S}$	CPOL为0, SPICLK拉低后发送数据 SPISOMI的Hold时间	0		ns
	$t_v(\text{SPCH-SOMI})\text{S}$	CPOL 为 1，SPICLK 拉高后发送数据 SPISOMI 的 Hold 时间	0		ns
19	$t_{su}(\text{SIMO-SPCL})\text{S}$	CPOL为0, SPISIMO在时钟SPICLK下降沿的Setup时间	35		ns
	$t_{su}(\text{SIMO-SPCH})\text{S}$	CPOL 为 1，SPISIMO 在时钟 SPICLK 上升沿的 Setup 时间	35		ns
20	$t_v(\text{SPCL-SIMO})\text{S}$	CPOL为0, SPISIMO在时钟下降沿后的Hold时间	$0.5t_c(\text{SPC})\text{S} - 10$		ns
	$t_v(\text{SPCH-SIMO})\text{S}$	CPOL 为 1，SPISIMO 在时钟上升沿后的 Hold 时间	$0.5t_c(\text{SPC})\text{S} - 10$		ns

- (1) 设置SPICTL.2主从模式选择字段为0, SPICTL.3时钟相位延时字段为0。
- (2) $t_c(\text{SPC}) = \text{SPICLK}$ 时钟周期 = $\text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。
- (3) $t_c(\text{LCO}) = \text{LSPCLK}$ 时钟周期。
- (4) 内部预分频时钟参数的设置, 受SPI时钟频率最大值的约束, 主从模式, 其最大收发速率都是25MHz。
- (5) SPICLK 信号的有效沿是由时钟极性 CPOL 参数控制的。

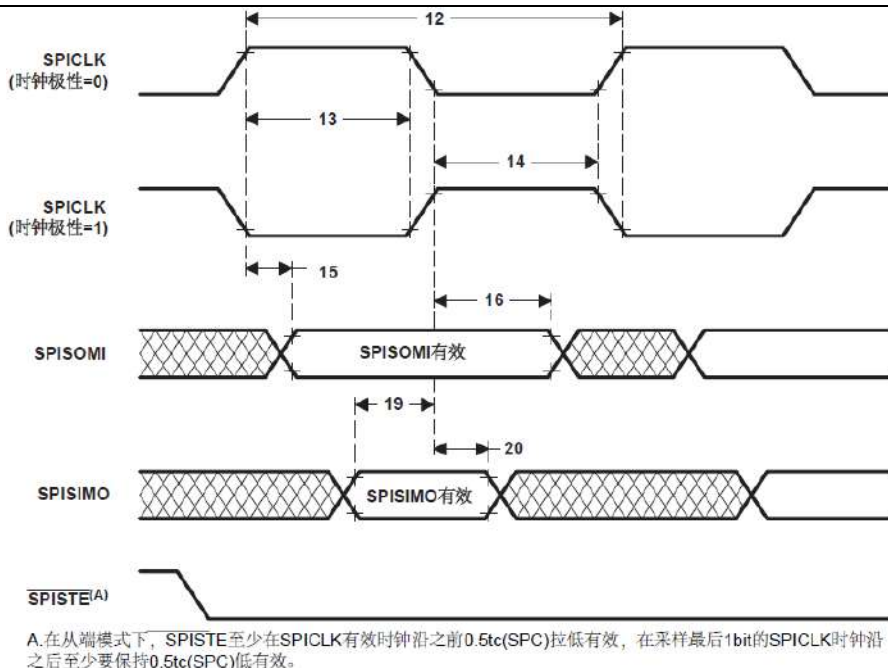


图 6-19 相位延时为 0 的 SPI 从模式时序

 表 6-31 相位延时为 1 的从模式时序参数^{(1) (2) (3) (4) (5)}

序号	参数	描述	MIN	MAX	单位
12	$t_c(\text{SPC})\text{S}$	SPICLK 周期	$4t_c(\text{LCO})$ ⁽⁶⁾		ns
13	$t_w(\text{SPCH})\text{S}$	CPOL 为 0, SPICLK 高电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
	$t_w(\text{SPCL})\text{S}$	CPOL 为 1, SPICLK 低电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
14	$t_w(\text{SPCL})\text{S}$	CPOL 为 0, SPICLK 低电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
	$t_w(\text{SPCH})\text{S}$	CPOL 为 1, SPICLK 高电平	$0.5t_c(\text{SPC})\text{S} - 10$	$0.5t_c(\text{SPC})\text{S}$	ns
17	$t_{su}(\text{SOMI-SPCH})\text{S}$	CPOL 为 0, SPISOMI 在 SPICLK 上升沿的 Setup 时间	$0.125t_c(\text{SPC})\text{S}$		ns
	$t_{su}(\text{SOMI-SPCL})\text{S}$	CPOL 为 1, SPISOMI 在 SPICLK 下降沿的 Setup 时间	$0.125t_c(\text{SPC})\text{S}$		ns
18	$t_v(\text{SPCL-SOMI})\text{S}$	CPOL 为 0, SPICLK 拉低后发送数据 SPISOMI 持续有效的时间	0		ns
	$t_v(\text{SPCH-SOMI})\text{S}$	CPOL 为 1, SPICLK 拉高后发送数据 SPISOMI 持续有效的时间	0		ns
21	$t_{su}(\text{SIMO-SPCH})\text{S}$	CPOL 为 0, SPISIMO 在时钟 SPICLK 上升沿的 Setup 时间	35		ns
	$t_{su}(\text{SIMO-SPCL})\text{S}$	CPOL 为 1, SPISIMO 在时钟 SPICLK 下降沿的 Setup 时间	35		ns

22	$t_v(\text{SPCH-SIMO})_S$	CPOL为0, SPISIMO在时钟上升沿后的Hold时间。	$0.5t_{c(\text{SPC})}_S - 10$		ns
	$t_v(\text{SPCL-SIMO})_S$	CPOL为1, SPISIMO在时钟下降沿后的Hold时间。	$0.5t_{c(\text{SPC})}_S - 10$		ns

- (1) 设置SPICTL.2主从模式选择字段为0, SPICTL.3时钟相位延时字段为1。
- (2) $t_{c(\text{SPC})} = \text{SPICLK}$ 时钟周期 = $\text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。
- (3) $t_{c(\text{LCO})} = \text{LSPCLK}$ 时钟周期。
- (4) 内部预分频时钟参数的设置, 受SPI时钟频率最大值的约束, 主从模式, 其最大收发速率都是25MHz。
- (5) SPICLK信号的有效沿是由时钟极性CPOL参数控制的。
- (6) 参考芯片为8 $t_{c(\text{LCO})}$ 。

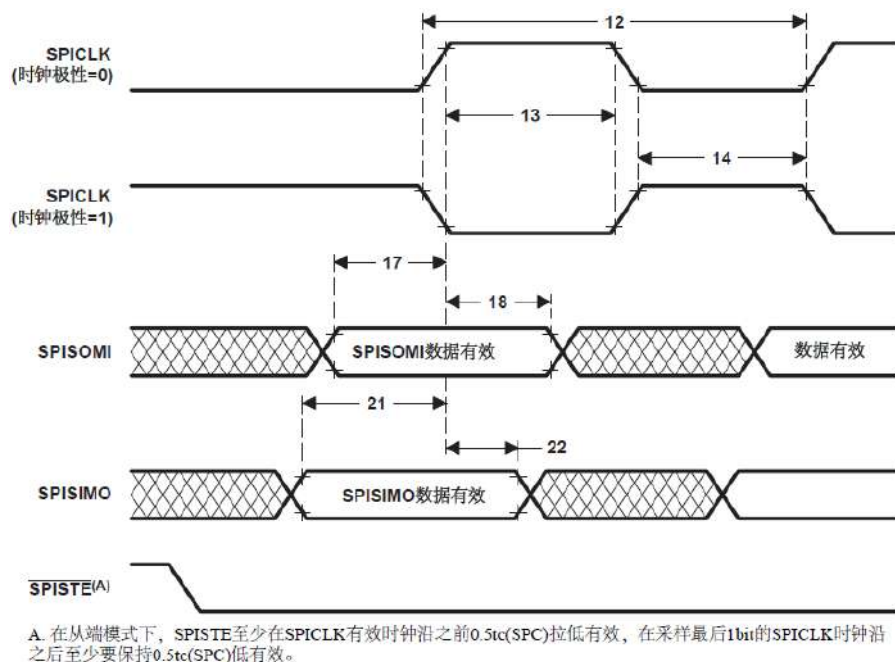


图 6-20 相位延时为 1 的 SPI 从模式时序

6.14 McBSP

6.14.1 McBSP 发送和接收时序

 表 6-32 McBSP 时序要求⁽¹⁾⁽²⁾

编号		最小	最大	单位
	McBSP 模块时钟频率范围(CLKG、CLKX、CLKR)	1		kHz
			25 ⁽³⁾	MHz
	McBSP 模块时钟周期范围(CLKG、CLKX、CLKR)	40		ns
			1	ms
M11	$t_{c(\text{CKRX})}$ 时钟周期, CLKR/X	CLKR/X ext	2P	ns
M12	$t_{w(\text{CKRX})}$ 脉冲持续时间, CLKR/X 高或低电平时间	CLKR/X ext	P-7	ns
M13	$t_{r(\text{CKRX})}$ 上升时间, CLKR/X	CLKR/X ext	7	ns
M14	$t_{f(\text{CKRX})}$ 下降时间, CLKR/X	CLKR/X ext	7	ns
M15	$t_{su(\text{FRH-CKRL})}$ 建立时间, CLKR 低电平前外部 FSR 为高电平的时间	CLKR int	18	ns
		CLKR ext	2	

M16	$t_{h(CKRL-FRH)}$ 保持时间, CLKR 低电平后外部 FSR 为高电平的时间	CLKR int	0	ns
		CLKR ext	6	
M17	$t_{su(DRV-CKRL)}$ 建立时间, CLKR 低电平前 DR 有效的时间	CLKR int	18	ns
		CLKR ext	2	
M18	$t_{h(CKRL-DRV)}$ 保持时间, CLKR 低电平后 DR 有效的时间	CLKR int	0	ns
		CLKR ext	6	
M19	$t_{su(FXH-CKXL)}$ 建立时间, CLKX 低电平前外部 FSX 为高电平的时间	CLKX int	18	ns
		CLKX ext	2	
M20	$t_{h(CKXL-FXH)}$ 保持时间, CLKX 低电平后外部 FSX 为高电平的时间	CLKX int	0	ns
		CLKX ext	6	

- (1) 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转, 信号的时序基准也被反转。
- (2) $2P=1/CLKG$, 单位 ns。CLKG 是采样率产生器的输出, $CLKG=CLKSRG/(1+CLKGDV)$ 。CLKSRG 可以来源于 LSPCLK、CLKX、CLKR。 $CLKSRG \leq (SYSCLKOUT/2)$ 。McBSP 的性能受限于 I/O 缓冲的开关速度。
- (3) 为确保 McBSP 时钟(CLKG、CLKX、CLKR) 速度不大于 I/O 缓冲速度极限(25MHz), 内部时钟预分频器需要进行适当设置。

 表 6-33 McBSP 开关特性⁽¹⁾⁽²⁾

编号	参数		最小	最大	单位		
M1	$t_c(CKRX)$	时钟周期, CLKR/X	CLKR/X int	2P	ns		
M2	$t_w(CKRXH)$	脉冲持续时间, CLKR/X 高电平时间	CLKR/X int	D-5 ⁽³⁾	D+5 ⁽³⁾	ns	
M3	$t_w(CKRXL)$	脉冲持续时间, CLKR/X 低电平时间	CLKR/X int	C-5 ⁽³⁾	C+5 ⁽³⁾	ns	
M4	$t_d(CKRH-FRV)$	延迟时间, CLKR 高电平到内部 FSR 有效的时间	CLKR int	0	4	ns	
			CLKR ext	3	27		
M5	$t_d(CKXH-FXV)$	延迟时间, CLKX 高电平到内部 FSX 有效的时间	CLKX int	0	4	ns	
			CLKX ext	3	27		
M6	$t_{dis}(CKXH-DXHZ)$	禁用时间, CLKX 高电平到在最有一位数据发送完成后 DX 变为高阻的时间	CLKX int		8	ns	
			CLKX ext		14		
M7	$t_d(CKXH-DXV)$	延迟时间, CLKX 高电平到 DX 有效的时间。适用于除了第一位之外的数据发送	CLKX int		9	ns	
			CLKX ext		28		
		延迟时间, CLKX 高电平到 DX 有效的时间。XDATDLY=1 或 2 时, 只适用于第一位数据发送	DXENA=0	CLKX int			8
			DXENA=1	CLKX int			P+8
M8	$t_{en}(CKXH-DX)$	使能时间, CLKX 高电平到 DX 被驱动的时间。XDATDLY=1 或 2 时, 只适用于第一位数据发送	DXENA=0	CLKX int	0	ns	
				CLKX ext	6		
			DXENA=1	CLKX int	P		
				CLKX ext	P+6		
M9	$t_d(FXH-DXV)$	延迟时间, FSX 高电平到 DX 有效的时间。XDATDLY=0 时, 只适用于第一位数据发送	DXENA=0	FSX int		8	ns
				FSX ext		14	
			DXENA=1	FSX int		P+8	
				FSX ext		P+14	
M10	$t_{en}(FXH-DX)$	使能时间, FSX 高电平到 DX 被驱动的时间。XDATDLY=0 时, 只适用于第一位	DXENA=0	FSX int	0	ns	
				FSX ext	6		

	数据发送	DXENA=1	FSX int	P	
			FSX ext	P+6	

- (1) 极性位 $CLKRP=CLKXP=FSRP=FSXP=0$ 。如果任一信号的极性被反转，信号的时序基准也被反转。
- (2) $2P = 1/CLKG$ ，单位 ns。
- (3) $C = CLKRX$ 低脉冲宽度 = P； $D = CLKRX$ 高脉冲宽度 = P。

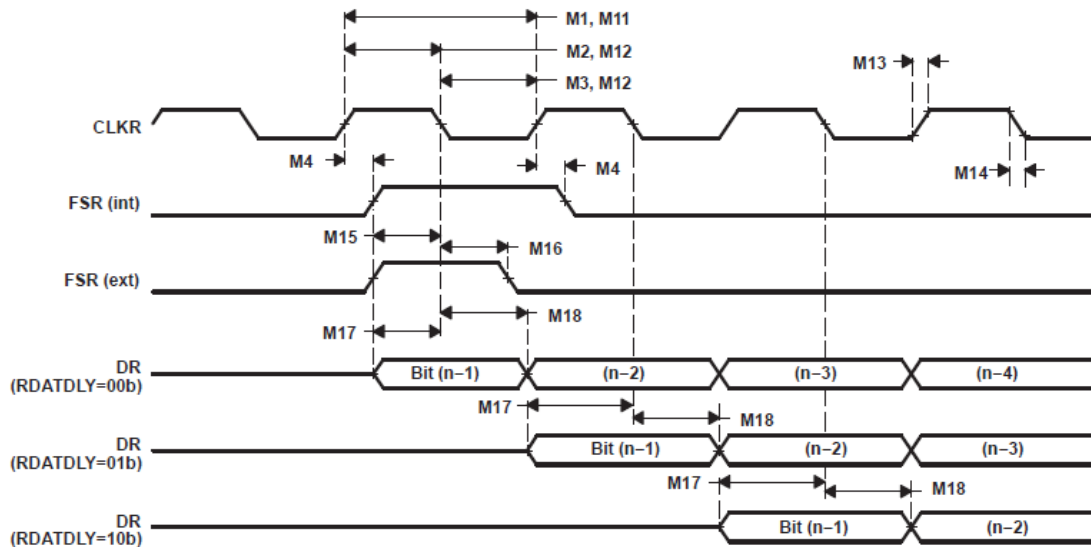


图 6-21 McBSP 接收时序

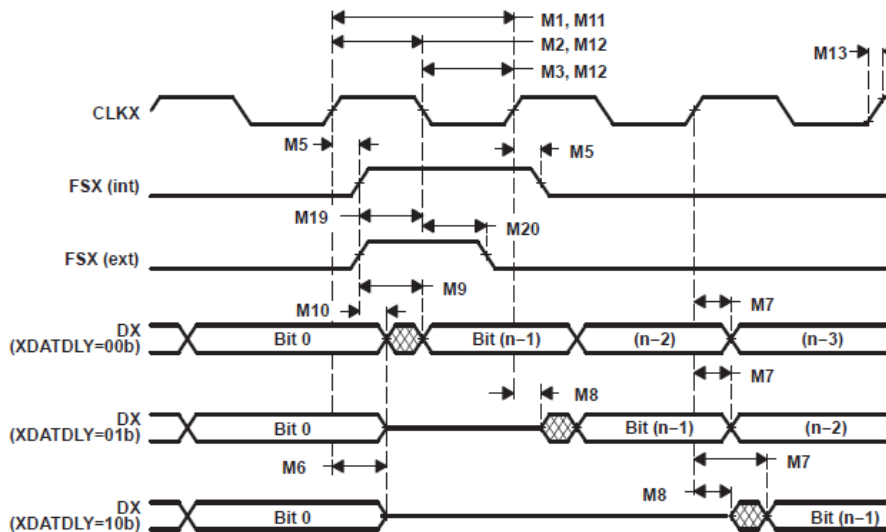


图 6-22 McBSP 发送时序

6.14.2 McBSP SPI 模式时序

 表 6-34 McBSP SPI 主和从模式的时序要求($CLKSTP=2, CLKXP=0$)⁽¹⁾

编号	参数	主		从		单位
		最小	最大	最小	最大	
M30	$t_{su}(DRV-CKXL)$	建立时间, CLKX 低电平之前, DR 的有效时间	30		8P-10	ns
M31	$t_h(CKXL-DRV)$	保持时间, CLKX 低电平之后, DR 的有效时间	1		8P-10	ns
M32	$t_{su}(FXL-CKXH)$	建立时间, CLKX 高电平前, FSX 为低的时间			8P+10	ns
M33	$t_c(CKX)$	CLKX 时钟周期	$2P^{(2)}$		16P	ns

- (1) 针对 SPI 从模式,CLKX 的周期必须大于等于 8 个 CLKG 周期。CLKG 应当设置为 LSPCLK/2 (CLKSM=CLKGDV=1)
- (2) $2P = 1/CLKG$

 表 6-35 McBSP SPI 主和从模式的开关特性 (CLKSTP=2, CLKXP=0)⁽¹⁾

编号	参数		主		从		单位
			最小	最大	最小	最大	
M24	$t_{h(CKXL-FXL)}$	保持时间, CLKX 低电平之后, FSX 为低的时间	2P ⁽¹⁾				ns
M25	$t_{d(FXL-CKXH)}$	延迟时间, FSX 低电平到 CLKX 变为高的时间	P				ns
M28	$t_{dis(FXH-DXHZ)}$	禁用时间, 从 FSX 高电平到最后一个数据位后 DX 变为高阻的时间	6		6P+6		ns
M29	$t_{d(FXL-DXV)}$	延迟时间, FSX 低电平到 DX 有效的时间	6		6P+6		ns

- (1) $2P = 1/CLKG$

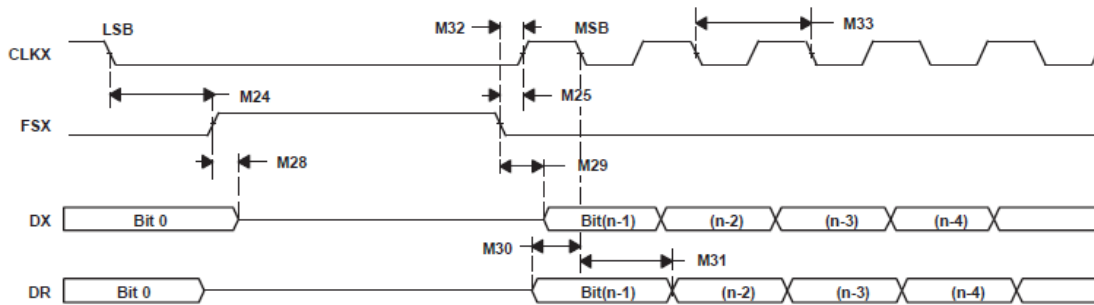


图 6-23 McBSP SPI 主从模式的时序(CLKSTP=2, CLKXP=0)

 表 6-36 McBSP SPI 主和从模式的时序要求(CLKSTP=3, CLKXP=0)⁽¹⁾

编号	参数		主		从		单位
			最小	最大	最小	最大	
M39	$t_{su(DRV-CKXH)}$	建立时间, CLKX 高电平之前, DR 的有效时间	30		8P-10		ns
M40	$t_{h(CKXH-DRV)}$	保持时间, CLKX 高电平之后, DR 的有效时间	1		8P-10		ns
M41	$t_{su(FXL-CKXH)}$	建立时间, CLKX 高电平前, FSX 为低的时间			16P+10		ns
M42	$t_c(CKX)$	CLKX 时钟周期	2P ⁽²⁾		16P		ns

- (1) 针对 SPI 从模式,CLKX 的周期必须大于等于 8 个 CLKG 周期。CLKG 应当设置为 LSPCLK/2 (CLKSM=CLKGDV=1)
- (2) $2P = 1/CLKG$

 表 6-37 McBSP SPI 主和从模式的开关特性 (CLKSTP=3, CLKXP=0)⁽¹⁾

编号	参数		主		从		单位
			最小	最大	最小	最大	
M34	$t_{h(CKXL-FXL)}$	保持时间, CLKX 低电平之后, FSX 为低的时间	P				ns
M35	$t_{d(FXL-CKXH)}$	延迟时间, FSX 低电平到 CLKX 变为高的时间	2P ⁽¹⁾				ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间, 从 CLKX 低电平到最后一个数据位后 DX 变为高阻的时间	P+6		7P+6		ns
M38	$t_{d(FXL-DXV)}$	延迟时间, FSX 低电平到 DX 有效的时间	6		4P+6		ns

- (1) $2P = 1/CLKG$

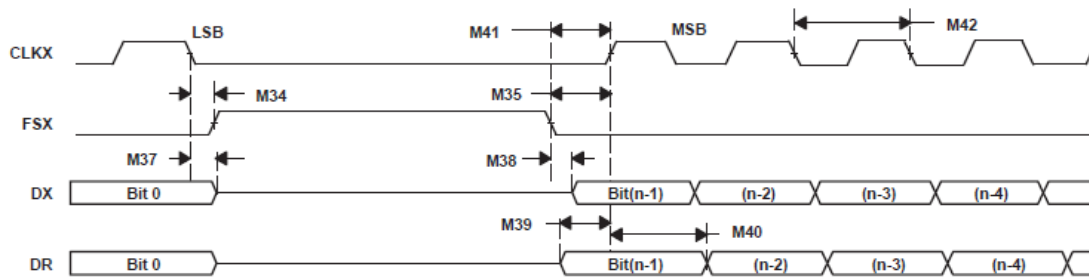


图 6-24 McBSP SPI 主从模式的时序(CLKSTP=3, CLKXP=0)

 表 6-38 McBSP SPI 主和从模式的时序要求(CLKSTP=2, CLKXP=1)⁽¹⁾

编号	参数	主		从		单位
		最小	最大	最小	最大	
M49	$t_{su}(DRV-CKXH)$ 建立时间, CLKX 高电平之前, DR 的有效时间	30		8P-10		ns
M50	$t_h(CKXH-DRV)$ 保持时间, CLKX 高电平之后, DR 的有效时间	1		8P-10		ns
M51	$t_{su}(FXL-CKXL)$ 建立时间, CLKX 低电之前, FSX 为低的时间			8P+10		ns
M52	$t_c(CKX)$ CLKX 时钟周期	2P ⁽²⁾		16P		ns

(1) 针对 SPI 从模式, CLKX 的周期必须大于等于 8 个 CLKG 周期。CLKG 应当设置为 LSPCLK/2 (CLKSM=CLKGDV=1)

(2) $2P = 1/CLKG$

 表 6-39 McBSP SPI 主和从模式的开关特性 (CLKSTP=2, CLKXP=1)⁽¹⁾

编号	参数	主		从		单位
		最小	最大	最小	最大	
M43	$t_h(CKXH-FXL)$ 保持时间, CLKX 高电平之后, FSX 为低的时间	2P ⁽¹⁾				ns
M44	$t_d(FXL-CKXL)$ 延迟时间, FSX 低电平到 CLKX 变为低的时间	P				ns
M47	$t_{dis}(FXH-DXHZ)$ 禁用时间, 从 FSX 高电平到最后一个数据位后 DX 变为高阻抗的时间	6		6P+6		ns
M48	$t_d(FXL-DXV)$ 延迟时间, FSX 低电平到 DX 有效的的时间	6		4P+6		ns

(1) $2P = 1/CLKG$

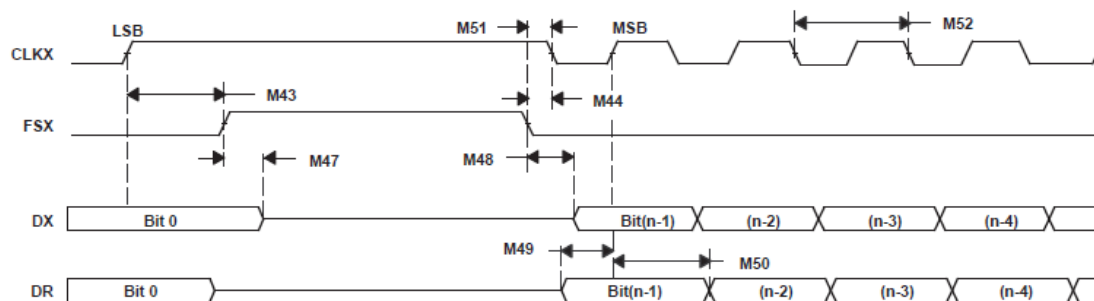


图 6-25 McBSP SPI 主从模式的时序(CLKSTP=2, CLKXP=1)

 表 6-40 McBSP SPI 主和从模式的时序要求(CLKSTP=3, CLKXP=1)⁽¹⁾

编号	参数	主		从		单位
		最小	最大	最小	最大	
M58	$t_{su}(DRV-CKXL)$ 建立时间, CLKX 低电平之前, DR 的有效时间	30		8P-10		ns

M59	$t_{h(CKXL-DRV)}$ 保持时间, CLKX 低电平之后, DR 的有效时间	1	8P-10	ns
M60	$t_{su(FXL-CKXL)}$ 建立时间, CLKX 低电平前, FSX 为低的时间		16P+10	ns
M61	$t_{c(CKX)}$ CLKX 时钟周期	$2P^{(2)}$	16P	ns

(1) 针对 SPI 从模式, CLKX 的周期必须大于等于 8 个 CLKG 周期。CLKG 应当设置为 $LSPCLK/2$ ($CLKSM=CLKGDV=1$)

(2) $2P = 1/CLKG$

表 6-41 McBSP SPI 主和从模式的开关特性 ($CLKSTP=3, CLKXP=1$)⁽¹⁾

编号	参数	主		从		单位
		最小	最大	最小	最大	
M53	$t_{h(CKXH-FXL)}$ 保持时间, CLKX 高电平之后, FSX 为低的时间	P				ns
M54	$t_{d(FXL-CKXH)}$ 延迟时间, FSX 低电平到 CLKX 变为高的时间	$2P^{(1)}$				ns
M55	$t_{d(CKXH-DXV)}$ 延迟时间, CLKX 高电平到 DX 有效的的时间	-2	0	3P+6	5P+20	
M56	$t_{dis(CKXH-DXHZ)}$ 禁用时间, 从 CLKX 高电平到最后一个数据位后 DX 变为高阻的时间	P+6		7P+6		ns
M57	$t_{d(FXL-DXV)}$ 延迟时间, FSX 低电平到 DX 有效的的时间	6		4P+6		ns

(1) $2P = 1/CLKG$

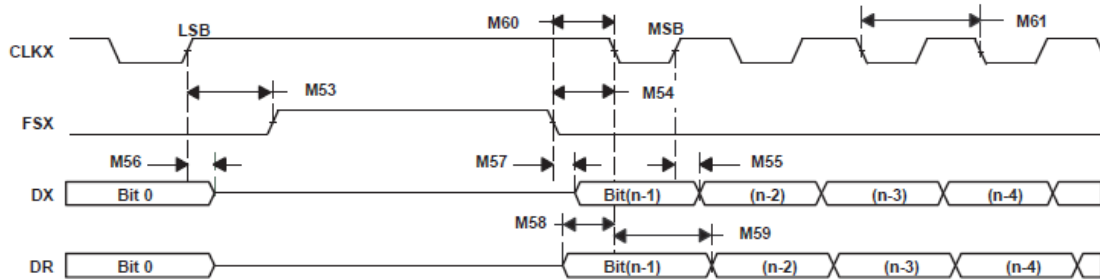


图 6-26 McBSP SPI 主从模式的时序($CLKSTP=3, CLKXP=1$)

6.15 XINTF

每个 XINTF 访问都由三部分组成: 前置 (Lead)、有效 (Active)、和后置 (Trail)。用户在 XTIMING 寄存器中配置前置/有效/后置等待状态。每个 XINTF 区域都有一个 XTIMING 寄存器。显示了 XTIMING 寄存器中配置的参数和以 XTIMING 周期为单位的脉冲持续时间之间的关系。

表 6-42 XTIMING 中配置的参数和脉冲持续时间之间的关系

参数	描述	持续时间(ns) ⁽¹⁾⁽²⁾	
		X2TIMING=0	X2TIMING=1
LR	前置周期, 读取访问	$XRDLEAD * t_{c(XTIM)}$	$XRDLEAD * 2 * t_{c(XTIM)}$
AR	有效周期, 读取访问	$(XRDACTIVE + WS + 1) * t_{c(XTIM)}$	$(XRDACTIVE * 2 + WS + 1) * t_{c(XTIM)}$
TR	后置周期, 读取访问	$XRDTRAIL * t_{c(XTIM)}$	$XRDTRAIL * 2 * t_{c(XTIM)}$
LW	前置周期, 写入访问	$XWRLEAD * t_{c(XTIM)}$	$XWRLEAD * 2 * t_{c(XTIM)}$
AW	有效周期, 写入访问	$(XWRACTIVE + WS + 1) * t_{c(XTIM)}$	$(XWRACTIVE * 2 + WS + 1) * t_{c(XTIM)}$
TW	后置周期, 写入访问	$XWRTRAIL * t_{c(XTIM)}$	$XWRTRAIL * 2 * t_{c(XTIM)}$

(1) $t_{c(XTIM)}$ 是 XTIMCLK 时钟周期,

(2) WS是指当使用XREADY时，由硬件插入的等待状态的数量。如果此区域被配置成忽略XREADY (USEREADY=0)，那么WS=0。

除数据表中描述的 XINTF 时序要求外，所配置每个区域的 XTIMING 寄存器必须满足最小等待状态要求。芯片中没有任何硬件来检测非法设置。

6.15.1 USEREADY = 0

如果 XREADY 信号被忽略(USEREADY=0)，那么：

$$LR \geq t_{c(XTIM)}$$

$$LW \geq t_{c(XTIM)}$$

这些要求导致了下列 XTIMING 寄存器的配置限制：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥1	≥0	≥0	≥1	≥0	≥0	0, 1

不采样 XREADY 时的有效/无效时序示例：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效 ⁽¹⁾	0	0	0	0	0	0	0, 1
有效	1	0	0	1	0	0	0, 1

(1)没有硬件检测非法XTIMING配置

6.15.2 同步模式(USEREADY=1, READYMODE=0)

如果 XREADY 信号在同步模式中被采样(USEREADY=1, READYMODE=0)，那么：

$$LR \geq t_{c(XTIM)}$$

$$LW \geq t_{c(XTIM)}$$

$$AR \geq 2 * t_{c(XTIM)}$$

$$AW \geq 2 * t_{c(XTIM)}$$

注意：限制条件不包括外部硬件等待状态。

这些要求导致了下列 XTIMING 寄存器配置限制：

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥1	≥1	≥0	≥1	≥1	≥0	0, 1

使用同步 XREADY 时的有效/无效时序示例：

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效 ⁽¹⁾	0	0	0	0	0	0	0, 1
无效 ⁽¹⁾	1	0	0	1	0	0	0, 1
有效	1	1	0	1	1	0	0, 1

(1)没有硬件检测非法XTIMING配置

6.15.3 异步模式(USEREADY=1, READYMODE=1)

如果 XREADY 信号在同步模式中被采样(USEREADY=1, READYMODE=1)，那么：

$$LR \geq t_{c(XTIM)}$$

$$LW \geq t_{c(XTIM)}$$

$$AR \geq 2 * t_{c(XTIM)}$$

$$AW \geq 2 * t_{c(XTIM)}$$

$$LR + AR \geq 4 * t_{c(XTIM)}$$

$$LW + AW \geq 4 * t_{c(XTIM)}$$

这些要求导致了下列 XTIMING 寄存器配置限制:

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥1	≥2	0	≥1	≥2	0	0, 1

或者

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥2	≥1	0	≥2	≥1	0	0, 1

XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
≥2	≥1	0	≥2	≥1	0	0, 1

使用异步 XREADY 时的有效/无效时序示例:

	XRDLEAD	XRDACTIVE	XRDTRAIL	XWRLEAD	XWRACTIVE	XWRTRAIL	X2TIMING
无效 ⁽¹⁾	0	0	0	0	0	0	0, 1
无效 ⁽¹⁾	1	0	0	1	0	0	0, 1
无效 ⁽¹⁾	1	1	0	1	1	0	0
有效	1	1	0	1	1	0	1
有效	1	2	0	1	2	0	0, 1
有效	2	1	0	2	1	0	0, 1

(1)没有硬件检测非法XTIMING配置

除非另外注明, 否则后续所有 XINTF 时序均基于表 6-43 中所示的时钟配置。

表 6-43 XINTF 时钟配置(SYSCLKOUT=150MHz)

模式	SYSCLKOUT	XTIMCLK	XCLKOUT
示例1	150MHz	150MHz	150MHz
示例2	150MHz	150MHz	1/2 SYSCLKOUT 75MHz
示例3	150MHz	1/2 SYSCLKOUT 75MHz	1/2 SYSCLKOUT 75MHz
示例4	150MHz	1/2 SYSCLKOUT 75MHz	1/4 SYSCLKOUT 37.5MHz

图 6-27 显示了 SYSCLKOUT 和 XTIMCLK 之间的关系。

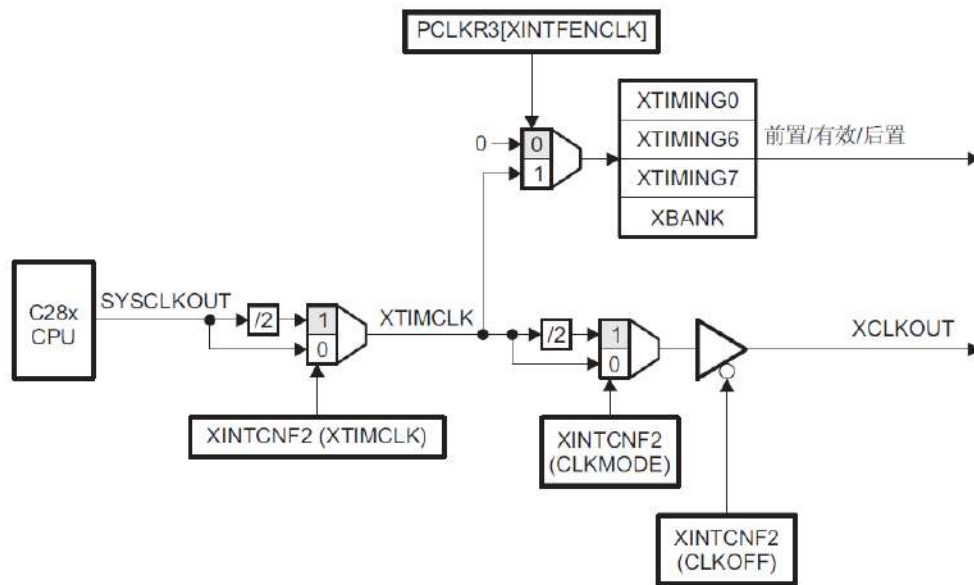


图 6-27 XTIMCLK 和 SYSCLKOUT 之间的关系

6.15.4 XINTF 信号与 XCLKOUT 的对齐关系

对于每个 XINTF 访问，前置、有效、后置时间均基于内部时钟 XTIMCLK。诸如 XRD，XWEO，XWE1 选通脉冲，和区域片选(XZCS)的状态改变与 XTIMCLK 的上升边沿有关。输出时钟 XCLKOUT 可被配置成等于 XTIMCLK 周期或者为 XTIMCLK 周期的一半。

对于 XCLKOUT=XTIMCLK 的情况，所有 XINTF 选通时钟将相对于 XCLKOUT 的上升边沿改变状态。对于 XCLKOUT 为 XTIMCLK 的一半的情况，一些选通脉冲将在 XCLKOUT 的上升边沿或者 XCLKOUT 的下降边沿上改变状态。在 XINTF 时序表中，符号 XCOHL 用于表示在以下两种情况中的参数：XCLKOUT 上升边沿（高电平）或者 XCLKOUT 下降边沿（低电平）。如果参数一直相对于 XCLKOUT 的上升边沿，则使用符号 XCOH。

对于 XCLKOUT=XTIMCLK/2（二分频）的情况，通过从访问开始到信号变化发生点的 XTIMCLK 周期的数量，可确定与信号变化对齐的 XCLKOUT 边沿。如果这个 XTIMCLK 周期的数量为偶数，信号将相对于 XCLKOUT 的上升边沿发生变化。如果这个 XTIMCLK 周期的数量为奇数，那么信号将相对于 XCLKOUT 的下降边沿发生变化。例如：

- 在一个访问开始时选通信号发生变化的区域片选信号一直与 XCLKOUT 的上升边沿对齐。这是因为所有 XINTF 访问均相对于 XCLKOUT 的上升边沿开始。

示例： XZCSL 区域片选拉低
XRNWL XR \bar{W} 拉低

- 如果用于访问的前置 XTIMCLK 周期为偶数，则在有效周期开始时发生变化的选通信号将与 XCLKOUT 的上升边沿对齐，否则将与 XCLKOUT 的下降边沿对齐。

示例： XRD \bar{L} XRD拉低

XWEL XWE \bar{I} 或XWE0拉低

- 如果用于访问的前置和有效 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个后置周期开始时发生变化的选通信号将与 XCLKOUT 的上升边沿对齐；否则与 XCLKOUT 的下降边沿对齐。

示例: XRDH $\overline{\text{XRD}}$ 拉高

XWEH $\overline{\text{XWEI}}$ 或 $\overline{\text{XWE0}}$ 拉高

- 如果前置和有效加上后置 XTIMCLK 周期总数（包括硬件等待状态）为偶数，在一个访问结束发生变化的选通信号将与 XCLKOUT 的上升边沿对齐，否则将与 XCLKOUT 的下降边沿对齐。

示例: XZCSH 区域片选拉高

XRNWH $\overline{\text{XR/W}}$ 拉高

6.15.5 外部接口读取时序

表 6-44 外部存储器接口读取时序要求

参数	描述	最小值	最大值	单位
$t_{d(A)}$	访问时间, 从有效地址读取数据的时间		$(LR+AR)-16^{(1)}$	ns
$t_{d(XRD)}$	访问时间, 从 $\overline{\text{XRD}}$ 低电平有效读取有效数据的时间		$AR-14^{(1)}$	ns
$t_{su(XD)XRD}$	建立时间, 在 $\overline{\text{XRD}}$ 选通脉冲高电平无效之前, 读取有效数据的时间	14		ns
$t_{h(XD)XRD}$	保持时间, $\overline{\text{XRD}}$ 高电平无效之后读取数据有效的时间	0		ns

(1)LR=前置周期, 读取访问。AR=有效周期, 读取访问。请参考表6-42。

表 6-45 外部存储器接口读取开关特性

参数	描述	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间, XCLKOUT高/低电平到区域片选低电平有效的的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间, XCLKOUT高/低电平到区域片选高电平无效的时间	-1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间, XCLKOUT高/低电平到地址有效的的时间		1.5	ns
$t_{d(XCOHL-XRDL)}$	延迟时间, XCLKOUT高/低电平到 $\overline{\text{XRD}}$ 低电平有效的的时间		0.5	ns
$t_{d(XCOHL-XRDH)}$	延迟时间, XCLKOUT高/低电平到 $\overline{\text{XRD}}$ 高电平无效的时间	-1.5	0.5	ns
$t_{h(XA)XZCSH}$	保持时间, 区域片选高电平无效之后地址有效时间	(1)		ns
$t_{h(XA)XRD}$	保持时间, $\overline{\text{XRD}}$ 高电平无效后的地址有效时间	(1)		ns

(1)在非访问周期内（包括对齐周期），XINTF地址总线（XA0除外）将一直保持总线上产生的最后一个地址，XA0将一直保持高电平。

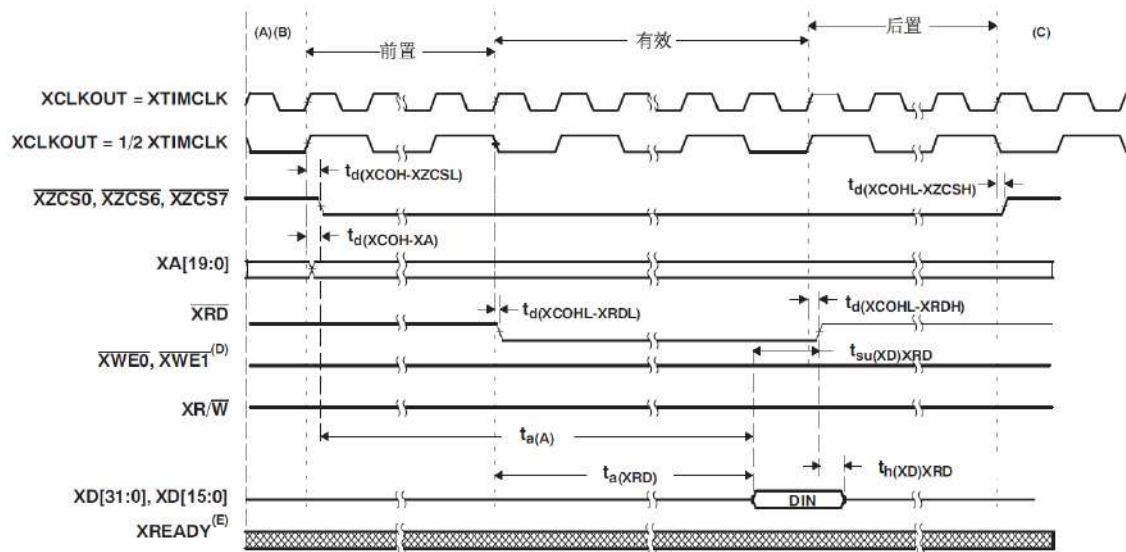


图 6-28 读访问示例

- A. 所有XINTF访问（前置周期）在XCLKOUT的上升/下降沿上开始。为满足这个要求，器件可能在访问之前插入一个对齐周期。
- B. 在对齐周期期间，所有信号将都被转换为它们的非有效状态。
- C. 除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。
- D. XWE1用于32位数据总线模式。在16位模式中，该信号是XA0。
- E. 因为USEREADY=0，外部XREADY输入信号被忽略。

上图示例中使用的XTIMING参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥1	≥0	≥0	0	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾

(1) 这个例子中N/A表示不适用（或“不关心”）

6.15.6 外部接口写入时序

表 6-46 外部存储器接口写入开关特性

参数	描述	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT高/低电平到区域片选低电平有效的的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT高/低电平到芯片选择高电平无效的时间	-1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT高/低电平到地址有效的的时间		1.5	ns
$t_{d(XCOHL-XWEL)}$	延迟时间，XCLKOUT高/低电平到 $\overline{XWE0}$ ， $\overline{XWE1}$ 低电平的时间		2	ns
$t_{d(XCOHL-XWEH)}$	延迟时间，XCLKOUT高/低电平到 $\overline{XWE0}$ ， $\overline{XWE1}$ 高电平的时间		2	ns
$t_{d(XCOH-XRNWL)}$	延迟时间，XCLKOUT高/低电平到 $\overline{XR/W}$ 低电平的时间		1	ns
$t_{d(XCOHL-XRNWH)}$	延迟时间，XCLKOUT高/低电平到 $\overline{XR/W}$ 高电平的时间	-1	0.5	ns
$t_{en(XD)XWEL}$	使能时间，从 $\overline{XWE0}$ ， $\overline{XWE1}$ 低电平驱动数据总线的的时间	0		ns
$t_{d(XWEL-XD)}$	延迟时间， $\overline{XWE0}$ ， $\overline{XWE1}$ 低电平有效后的数据有效时间		1	ns
$t_h(XA)XZCSH$	保持时间，区域片选高电平无效之后地址有效时间	(2)		ns
$t_h(XD)XWE$	保持时间， $\overline{XWE0}$ ， $\overline{XWE1}$ 高电平无效之后写入数据有效时间	TW-2 ⁽³⁾		ns
$t_{dis(XD)XRNW}$	$\overline{XR/W}$ 高电平无效之后DSP释放数据总线的的最长时间		4	ns

- (1) XWE1 只用于32位数据总线模式。在16位模式中，该信号是XA0。
 (2) 除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。
 (3) TW=后置周期，写入访问。请参考表6-42。

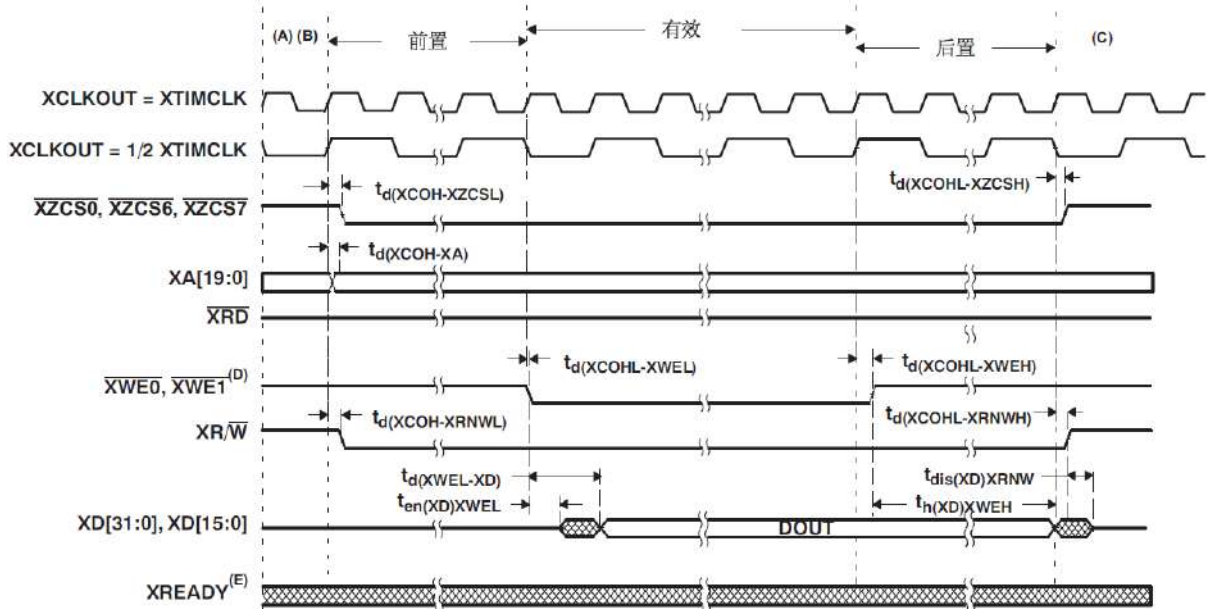


图 6-29 写访问示例

- A. 所有XINTF访问（前置周期）在XCLKOUT的上升/下降沿上开始。为满足这个要求，器件可能在访问之前插入一个对齐周期。
 B. 在对齐周期期间，所有信号将被转换为它们的非有效状态。
 C. 除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。
 D. XWE1用于32位数据总线模式。在16位模式中，该信号是XA0。
 E. 因为USEREADY=0，外部XREADY输入信号被忽略。

上图示例中使用的XTIMING参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	0	0	≥1	≥0	≥0	N/A ⁽¹⁾

(1) 这个例子中N/A表示不适用（或“不关心”）

6.15.7 带有一个外部等待状态的外部接口读就绪时序

表 6-47 外部接口读取开关特性（读就绪，1个等待状态）

参数	描述	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间，XCLKOUT高/低电平到区域片选低电平有效的的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间，XCLKOUT高/低电平到芯片选择高电平无效的时间	-1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间，XCLKOUT高/低电平到地址有效的的时间		1.5	ns
$t_{d(XCOHL-XRD)}$	延迟时间，XCLKOUT高/低电平到XRD低电平有效的的时间		0.5	ns
$t_{d(XCOHL-XRDH)}$	延迟时间，XCLKOUT高/低电平到XRD高电平无效的时间	-1.5	0.5	ns
$t_{h(XA)XZCSH}$	保持时间，区域片选高电平无效之后地址有效时间	(1)		ns
$t_{h(XA)XRD}$	保持时间，XRD高电平无效后的地址有效时间	(1)		ns

(1) 在非访问周期内（包括对齐周期），XINTF地址总线（XA0除外）将一直保持总线上产生的最后一个

地址，XA0将一直保持高电平。

表 6-48 外部接口读取时序要求（读就绪，1 个等待状态）

参数	描述	最小值	最大值	单位
$t_{a(A)}$	访问时间，从有效地址读取数据的时间		$(LR+AR)-16^{(1)}$	ns
$t_{a(XRD)}$	访问时间，从 \overline{XRD} 低电平有效到读取有效数据的时间		$AR-14^{(1)}$	ns
$t_{su(XD)XRD}$	建立时间，在 \overline{XRD} 选通脉冲高电平无效之前，读取有效数据的时间	14		ns
$t_{h(XD)XRD}$	保持时间， \overline{XRD} 高电平无效之后读取数据有效的时间	0		ns

(1)LR=前置周期，读取访问。AR=有效周期，读取访问。请参考表6-42。

 表 6-49 同步 XREADY 时序要求（读就绪，1 个等待状态）⁽¹⁾

参数	描述	最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$	建立时间，XCLKOUT高/低电平之前XREADY（同步）低电平的时间	12		ns
$t_{h(XRDYsynchL)}$	保持时间，XREADY（同步）低电平的时间	6		ns
$t_{e(XRDYsynchH)}$	采样XCLKOUT高/低边沿之前XREADY（同步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYsynchH)XCOHL}$	建立时间，XCLKOUT高/低电平之前XREADY（同步）高电平的时间	12		ns
$t_{h(XRDYsynchH)XZCSH}$	保持时间，区域片选高电平之后XREADY（同步）保持高电平的时间	0		ns

(1) 图6-30中第一个XREADY（同步）发生在：

$$E = (XRDLEAD+XRDACTIVE) t_{c(XTIM)}$$

当首次采样时，如果XREADY（同步）为高电平，那么访问将完成。如果XREADY（同步）为低电平，它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每次采样（n），相对于访问开始的建立时间(F)可计算为：

$$F = (XRDLEAD+XRDACTIVE+n-1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$

其中，n为采样次数：n=1, 2, 3，以此类推。

表 6-50 异步 XREADY 时序要求（读就绪，1 个等待状态）

参数	描述	最小值	最大值	单位
$t_{su(XRDYAsynchL)XCOHL}$	建立时间，在XCLKOUT高/低电平之前XREADY（异步）低电平的时间	11		ns
$t_{h(XRDYAsynchL)}$	保持时间，XREADY（异步）低电平的时间	6		ns
$t_{e(XRDYAsynchH)}$	采样XCLKOUT高/低边沿之前，XREADY（异步）能够变为高电平的最早时间		3	ns
$t_{su(XRDYAsynchH)XCOHL}$	建立时间，在XCLKOUT高/低电平之前XREADY（异步）高电平的时间	11		ns
$t_{h(XRDYAsynchH)XZCSH}$	保持时间，区域片选高电平之后XREADY（异步）保持高电平的时间	0		ns

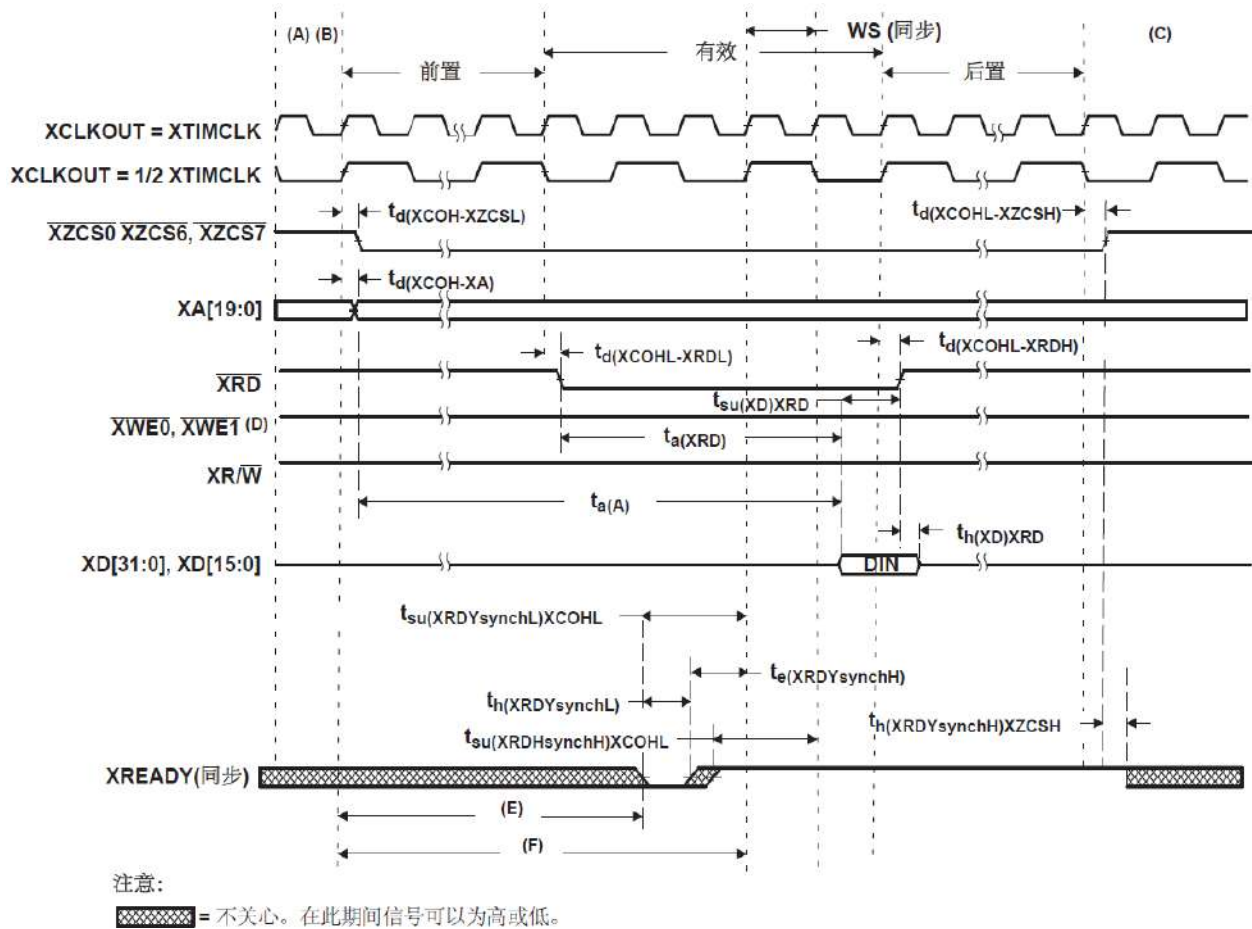


图 6-30 使用同步 XREADY 访问读取的示例

- A. 所有XINTF访问（前置周期）在XCLKOUT的上升/下降沿上开始。为满足这个要求，器件可能在访问之前插入一个对齐周期。
- B. 在对齐周期期间，所有信号将被转换为它们的非有效状态。
- C. 除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。
- D. XWE1用于32位数据总线模式。在16位模式中，该信号是XA0。
- E. 对于每次采样（n），从访问开始的建立时间可计算如下：

$$D=(XRDLEAD+XRDACTIVE+n-1)t_c(XTIM)-t_{su}(XRDYsynchL)XCOHL$$

在这里，n为采样次数：n=1, 2, 3，以此类推。

- F. 相对访问开始时间点，第一次对XREADY的采样发生在：

$$F=(XRDLEAD+XRDACTIVE)t_c(XTIM)。$$

上图示例中使用的XTIMING参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥1	3	≥1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	0=XREADY (同步)

- (1) 这个例子中N/A表示不适用（或“不关心”）

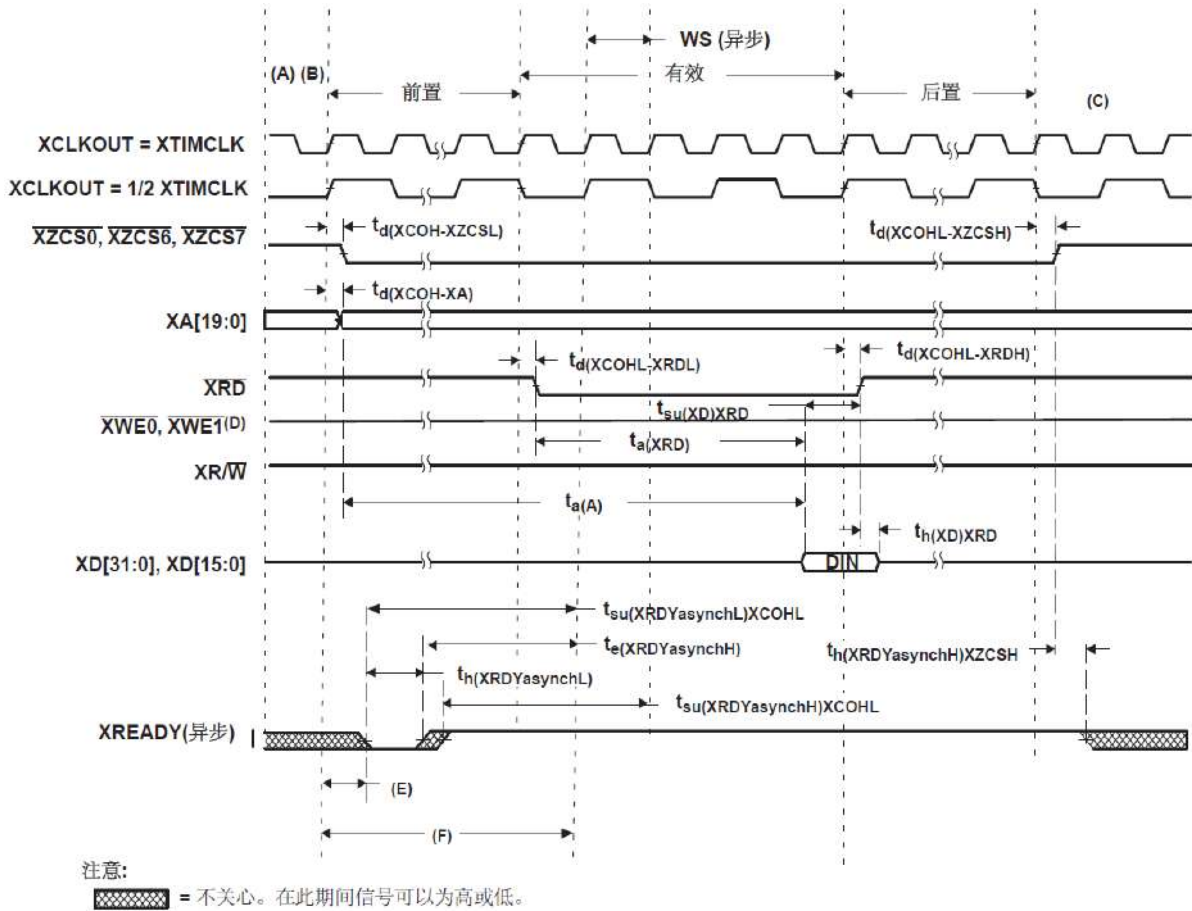


图 6-31 使用异步 XREADY 访问读取的示例

- A. 所有 XINTF 访问（前置周期）在 XCLKOUT 的上升/下降沿上开始。为满足这个要求，器件可能在访问之前插入一个对齐周期。
- B. 在对齐周期期间，所有信号将都被转换为它们的非有效状态。
- C. 除 XA0 外，XA 在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0 一直保持高电平。
- D. XWE1 用于 32 位数据总线模式。在 16 位模式中，该信号是 XA0。
- E. 对于每次采样（n），从访问开始的建立时间可计算如下：

$$E = (XRDLEAD + XRDACTIVE - 3 + n)t_c(XTIM) - t_{su}(XRDYasynchL)XCOHL$$

在这里，n 为采样次数：n=1, 2, 3，以此类推。

- F. 相对访问开始时间点，第一次对 XREADY 的采样发生在：

$$F = (XRDLEAD + XRDACTIVE)t_c(XTIM)$$

上图示例中使用的 XTIMING 参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
≥1	3	≥1	1	0	N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1=XREADY (异步)

- (1) 这个例子中 N/A 表示不适用（或“不关心”）

6.15.8 带有一个外部等待状态的外部接口写就绪时序

表 6-51 外部接口写入开关特性（写就绪，1 个等待状态）

参数	描述	最小值	最大值	单位
$t_{d(XCOH-XZCSL)}$	延迟时间, XCLKOUT高/低电平到区域片选低电平有效的的时间		1	ns
$t_{d(XCOHL-XZCSH)}$	延迟时间, XCLKOUT高电平或者低电平到区域片选高电平无效的时间	-1	0.5	ns
$t_{d(XCOH-XA)}$	延迟时间, XCLKOUT高/低电平到地址有效的的时间		1.5	ns
$t_{d(XCOHL-XWEL)}^{(1)}$	延迟时间, XCLKOUT高/低电平到 $\overline{XWE0}$, $\overline{XWE1}$ 低电平的时间		2	ns
$t_{d(XCOHL-XWEH)}^{(1)}$	延迟时间, XCLKOUT高/低电平到 $\overline{XWE0}$, $\overline{XWE1}$ 高电平的时间		2	ns
$t_{d(XCOH-XRNWL)}$	延迟时间, XCLKOUT高/低电平到 $\overline{XR/W}$ 低电平的时间		1	ns
$t_{d(XCOHL-XRNWH)}$	延迟时间, XCLKOUT高/低电平到 $\overline{XR/W}$ 高电平的时间	-1	0.5	ns
$t_{en(XD)XWEL}$	使能时间, 从 $\overline{XWE0}$, $\overline{XWE1}$ 低电平驱动数据总线的时间 ⁽¹⁾	0		ns
$t_{d(XWEL-XD)}$	延迟时间, $\overline{XWE0}$, $\overline{XWE1}$ 低电平有效后的数据有效时间 ⁽¹⁾		1	ns
$t_{h(XA)XZCSH}$	保持时间, 区域片选高电平无效之后地址有效时间	(2)		ns
$t_{h(XD)XWE}$	保持时间, $\overline{XWE0}$, $\overline{XWE1}$ 高电平无效之后写入数据有效时间 ⁽¹⁾	TW-2 ⁽³⁾		ns
$t_{dis(XD)XRNW}$	$\overline{XR/W}$ 高电平无效之后芯片释放数据总线的最长时间		4	ns

(1) $\overline{XWE1}$ 只用于32位数据总线模式。在16位模式中, 该信号是XA0。

(2)除XA0外, XA在非访问周期(包括对齐周期)保持总线上的最后一个地址。XA0一直保持高电平。

(3)TW=后置周期, 写入访问。请参考表6-42。

 表 6-52 同步 XREADY 时序要求（写就绪，1 个等待状态⁽¹⁾）

参数	描述	最小值	最大值	单位
$t_{su(XRDYsynchL)XCOHL}$	建立时间, XCLKOUT高/低电平之前XREADY(同步)低电平的时间	12		ns
$t_{h(XRDYsynchL)}$	保持时间, XREADY(同步)低电平的时间	6		ns
$t_{e(XRDYsynchH)}$	采样XCLKOUT高/低边沿之前XREADY(同步)能够变为高电平的 最早时间		3	ns
$t_{su(XRDYsynchH)XCOHL}$	建立时间, XCLKOUT高/低电平之前XREADY(同步)高电平的时间	12		ns
$t_{h(XRDYsynchH)XZCSH}$	保持时间, 区域片选高电平之后XREADY(同步)保持高电平的时间	0		ns

(1)图6-32中第一个XREADY(同步)发生在:

$$E = (XWRLEAD + XWRACTIVE) t_{c(XTIM)}$$

当首次采样时, 如果XREADY(同步)为高电平, 那么访问将完成。如果XREADY(同步)为低电平, 它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每次采样(n), 相对于访问开始的建立时间可计算为:

$$D = (XWRLEAD + XWRACTIVE + n - 1) t_{c(XTIM)} - t_{su(XRDYsynchL)XCOHL}$$

其中, n为采样次数: n=1, 2, 3, 以此类推。

表 6-53 异步 XREADY 时序要求（写就绪，1 个等待状态）⁽¹⁾

参数	描述	最小值	最大值	单位
$t_{su}(XRDYasynchL)XCOHL$	建立时间，在XCLKOUT高/低电平之前XREADY（异步）低电平的时间	11		ns
$t_h(XRDYasynchL)$	保持时间，XREADY（异步）低电平的时间	6		ns
$t_e(XRDYasynchH)$	采样XCLKOUT高/低边沿之前，XREADY（异步）能够变为高电平的 earliest 时间		3	ns
$t_{su}(XRDYasynchH)XCOHL$	建立时间，在XCLKOUT高/低电平之前XREADY（异步）高电平的时间	11		ns
$t_h(XRDYasynchH)XZCSH$	保持时间，区域片选高电平之后XREADY（异步）保持高电平的时间	0		ns

(1)图6-32中第一个XREADY（同步）发生在：

$$E = (XWRLEAD + XWRACTIVE - 2) t_{c(XTIM)}$$

当首次采样时，如果XREADY（同步）为高电平，那么访问将完成。如果XREADY（同步）为低电平，它将在每个 $t_{c(XTIM)}$ 内被重新采样直到它为高电平。

对于每次采样（n），相对于访问开始的建立时间可计算为：

$$D = (XWRLEAD + XWRACTIVE - 3 + n) t_{c(XTIM)} - t_{su}(XRDYasynchL)XCOHL$$

其中，n为采样次数：n=1, 2, 3，以此类推。

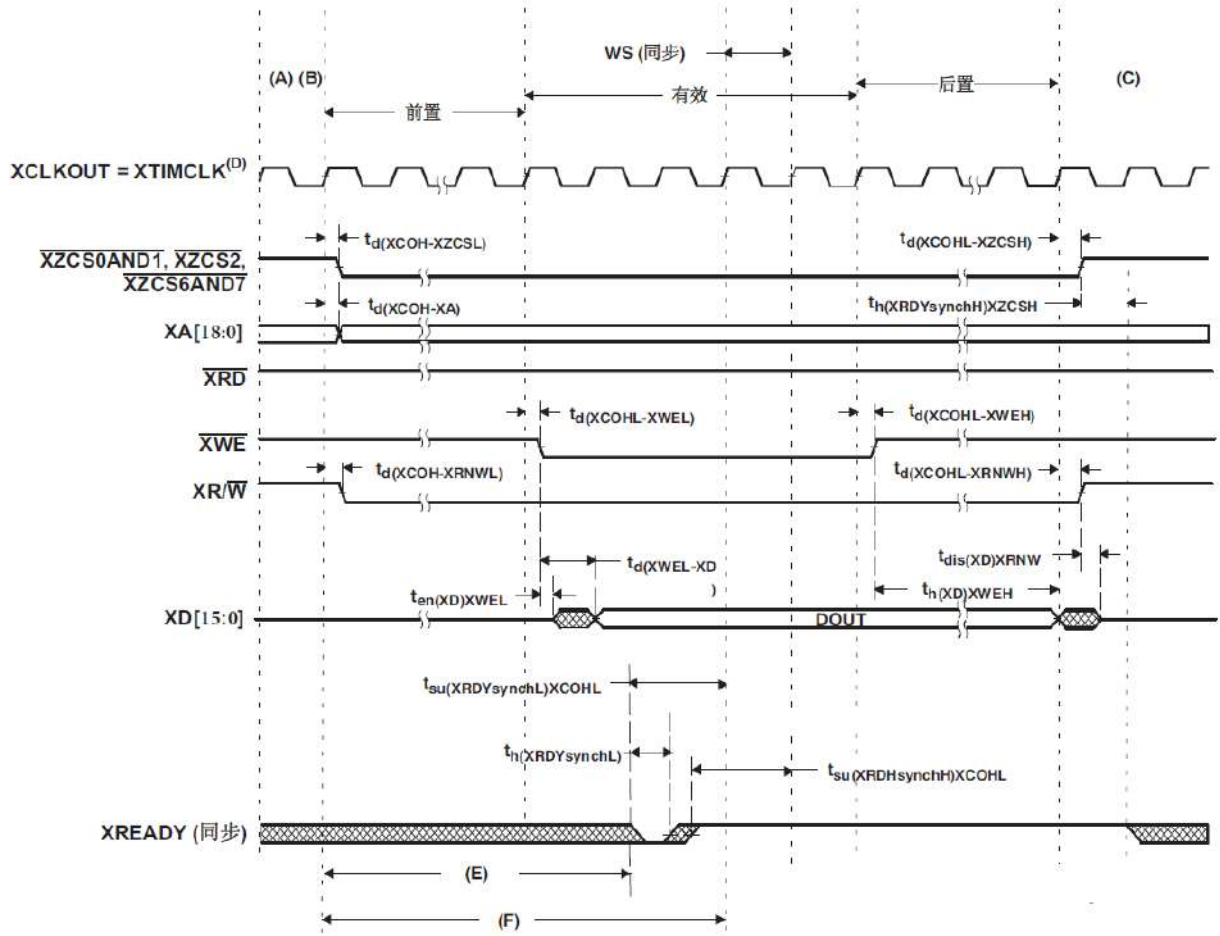


图 6-32 使用同步 XREADY 访问写入的示例

A.所有XINTF访问（前置周期）在XCLKOUT的上升/下降沿上开始。为满足这个要求，器件可能在访问

之前插入一个对齐周期。

B.在对齐周期期间，所有信号将都被转换为它们的非有效状态。

C.除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。

D.XWE1用于32位数据总线模式。在16位模式中，该信号是XA0。

E.对于每次采样（n），从访问开始的建立时间可计算如下：

$$E=(XWRLEAD+XWRACTIVE+n-1)t_{c(XTIM)}-t_{su(XRDYasynchL)}XCOHL$$

其中，n为采样次数：n=1, 2, 3，以此类推。

F.相对访问开始时间点，第一次对XREADY的采样发生在：

$$F=(XWRLEAD+XWRACTIVE)t_{c(XTIM)}$$

上图示例中使用的 XTIMING 参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1	0	≥1	3	≥1	0=XREADY (同步)

(1) 这个例子中N/A表示不适用（或“不关心”）

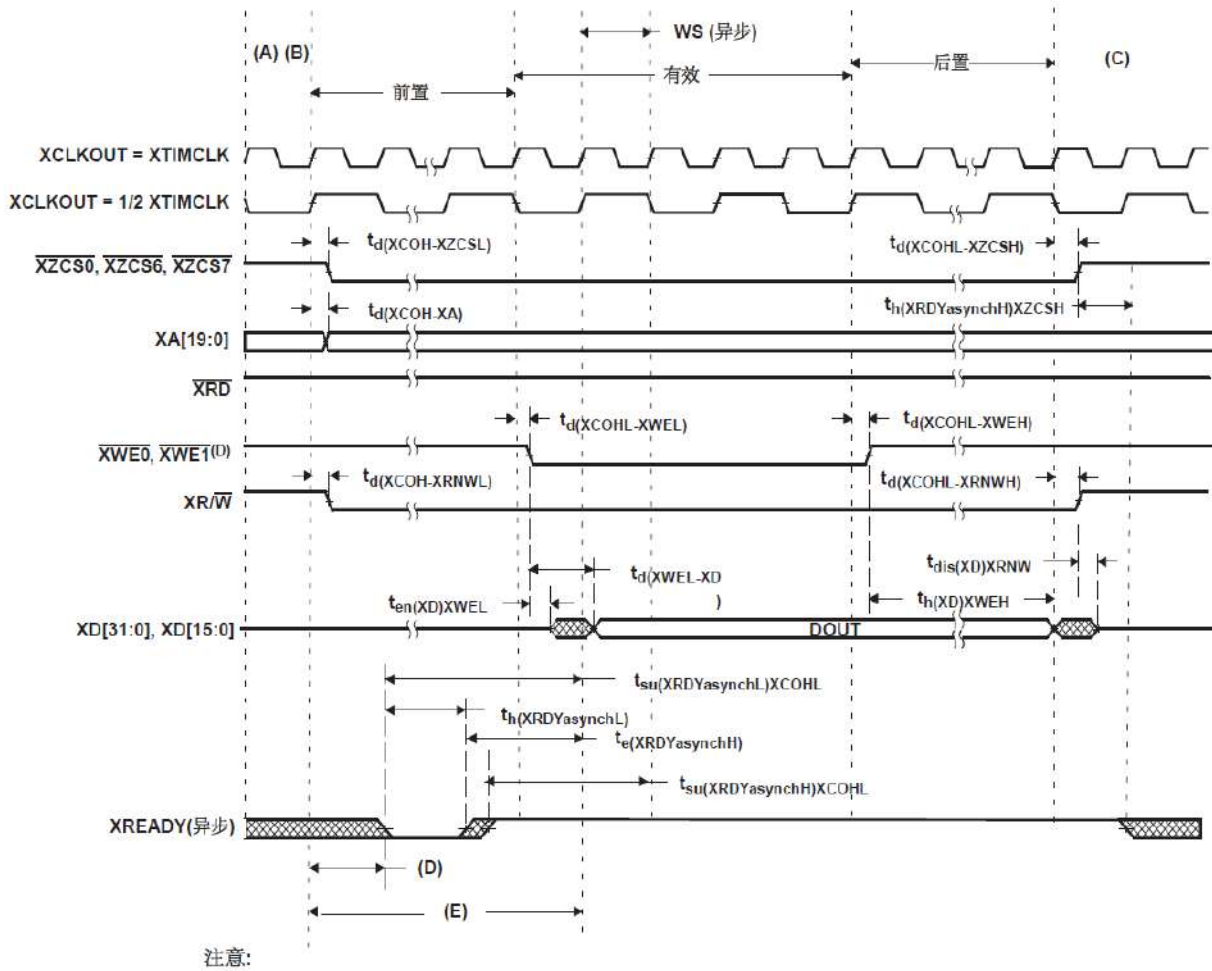


图 6-33 使用异步 XREADY 访问写入的示例

A.所有XINTF访问（前置周期）在XCLKOUT的上升/下降沿上开始。为满足这个要求，器件可能在访问之前插入一个对齐周期。

B.在对齐周期期间，所有信号将都被转换为它们的非有效状态。

C.除XA0外，XA在非访问周期（包括对齐周期）保持总线上的最后一个地址。XA0一直保持高电平。

D.XWE1用于32位数据总线模式。在16位模式中，该信号是XA0。

E.对于每次采样（n），从访问开始的建立时间可计算如下：

$$E=(XWRLEAD+XWRACTIVE-3+n)t_{c(XTIM)}-t_{su(XRDY_{asynchL})XCOHL}$$

在这里，n为采样次数：n=1, 2, 3，以此类推。

F.相对访问开始时间点，第一次对XREADY的采样发生在：

$$F=(XWRLEAD+XWRACTIVE-2)t_{c(XTIM)}$$

上图示例中使用的XTIMING参数为：

XRDLEAD	XRDACTIVE	XRDTRAIL	USEREADY	X2TIMING	XWRLEAD	XWRACTIVE	XWRTRAIL	READYMODE
N/A ⁽¹⁾	N/A ⁽¹⁾	N/A ⁽¹⁾	1	0	≥1	3	≥1	1=XREADY (异步)

(1) 这个例子中N/A表示不适用（或“不关心”）

6.15.9 XHOLD和XHOLDA时序

在XHOLD和XHOLDA均为低电平时（授权外部总线访问），如果 HOLD 模式位置位，则XHOLDA信号被强制为高电平（在当前周期的末尾）并且外部接口不再为高阻态模式。

复位时(XRS)，HOLD 模式位被复位为 0。如果XHOLD信号在系统复位时有效（低电平），则数据/地址总线和所有选通信号必须为高阻态模式，并且XHOLDA信号也被驱动为低电平。

当 HOLD 模式被启用并且XHOLDA为低电平（外部总线置为有效），CPU 仍然可以从内部存储器执行代码。如果对外部接口进行访问，在XHOLD信号被去除前，CPU 暂停。

当一个外部 DMA 请求被授权时，应将以下信号置为高阻态模式：

XA[19:0] $\overline{XZCS0}$

XD[31:0], XD[15:0] $\overline{XZCS6}$

XWE0, XWE1 $\overline{XZCS7}$

XRD

XR/ \overline{W}

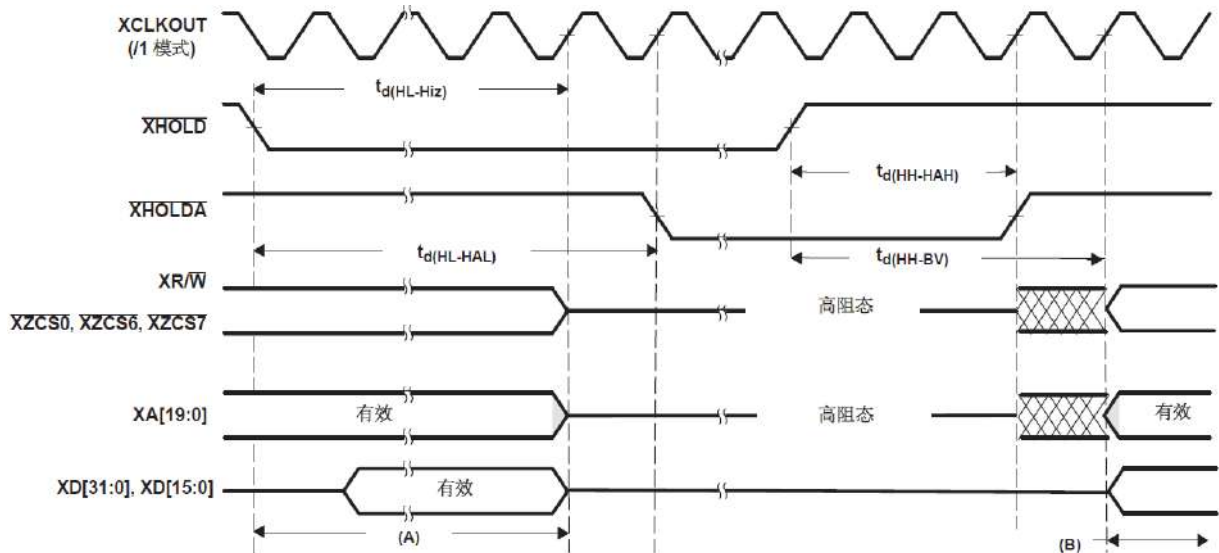
在此期间，所有在这个组中未列出的信号保持它们的缺省值或者正常功能状态。

表 6-54 $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求($\text{XCLKOUT}=\text{XTIMCLK}$)⁽¹⁾⁽²⁾

参数	描述	最小值	最大值	单位
$t_{d(\text{HL-HIZ})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平到所有地址、数据、和控制上的低阻抗到高阻抗的时间		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HL-HAL})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的时间		$5t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-HAH})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的时间		$3t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-BV})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平到总线有效的的时间		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HL-HAL})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的时间		$4t_{c(\text{XTIM})}+2t_{c(\text{XCO})}+30$	ns

(1)当检测到 $\overline{\text{XHOLD}}$ 为低电平信号时,所有等待的XINTF访问将在总线被置为高阻态前完成。

(2)在XTIMCLK的上升边沿锁存 $\overline{\text{XHOLD}}$ 的状态。


 图 6-34 $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求($\text{XCLKOUT}=\text{XTIMCLK}$)

A.所有等待中的XINTF访问被完成。

B.继续正常XINTF操作。

 表 6-55 $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求($\text{XCLKOUT}=1/2\text{XTIMCLK}$)⁽¹⁾⁽²⁾⁽³⁾

参数	描述	最小值	最大值	单位
$t_{d(\text{HL-HIZ})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平到所有地址、数据、和控制上的低阻抗到高阻抗的时间		$4t_{c(\text{XTIM})}+t_{c(\text{XCO})}+30$	ns
$t_{d(\text{HL-HAL})}$	延迟时间, $\overline{\text{XHOLD}}$ 低电平至 $\overline{\text{XHOLDA}}$ 低电平的时间		$4t_{c(\text{XTIM})}+2t_{c(\text{XCO})}+30$	ns
$t_{d(\text{HH-HAH})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平至 $\overline{\text{XHOLDA}}$ 高电平的时间		$4t_{c(\text{XTIM})}+30$	ns
$t_{d(\text{HH-BV})}$	延迟时间, $\overline{\text{XHOLD}}$ 高电平到总线有效的的时间		$6t_{c(\text{XTIM})}+30$	ns

(1) 当检测到 $\overline{\text{XHOLD}}$ 为低电平信号时,所有等待的XINTF访问将在总线被置为高阻态前完成。

(2) 在XTIMCLK的上升边沿锁存 $\overline{\text{XHOLD}}$ 的状态。

(3) 当检测到 $\overline{\text{XHOLD}}$ 为高电平或者低电平后，所有总线转换和 $\overline{\text{XHOLDA}}$ 转换将相对于 XCLKOUT 的上升/下降边沿发生。因此，在 $\text{XCLKOUT}=1/2\text{XTIMCLK}$ 的模式下，上述转换最多可以早于最大值1个 XTIMCLK 周期。

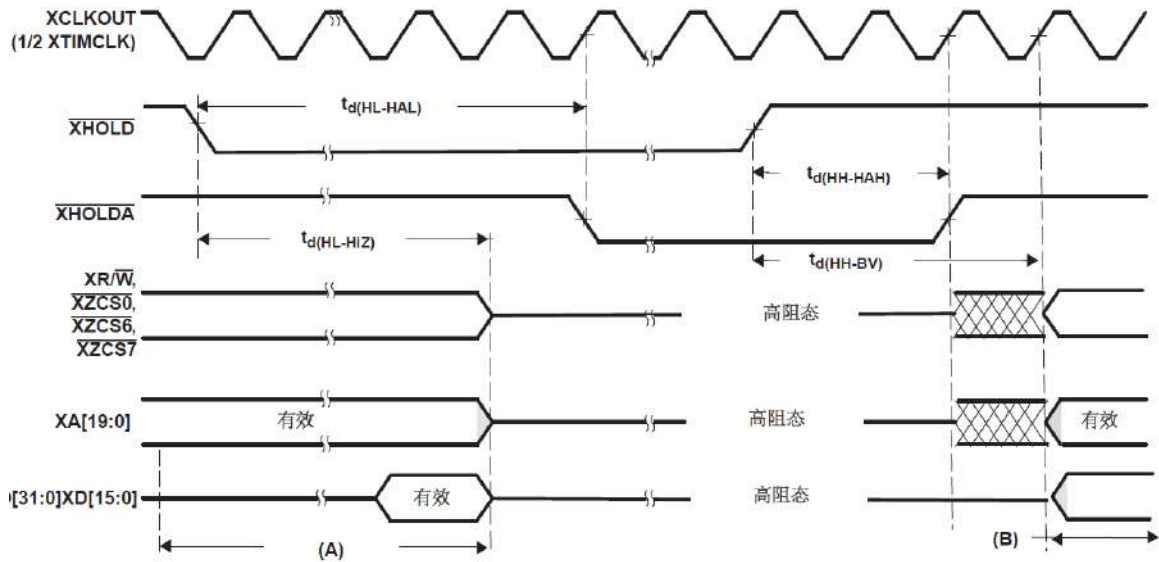


图 6-35 $\overline{\text{XHOLD}}/\overline{\text{XHOLDA}}$ 时序要求($\text{XCLKOUT}=1/2\text{XTIMCLK}$)⁽¹⁾⁽²⁾⁽³⁾

- A.所有等待中的 XINTF 访问被完成。
- B.继续正常 XINTF 操作。

6.16 Flash

Flash 最小编程次数 (N_f): 写入/擦除次数 20000 次 ($0^\circ\text{C}\sim 85^\circ\text{C}$);
 OTP 最小编程次数 (N_{OTP}): 1 次写入 ($0^\circ\text{C}\sim 85^\circ\text{C}$);
 数据保存时间: 15 年 (在 55°C 下测试)。
 注意: 尚不清楚在上述温度范围外擦除是否会影响写入/擦除次数。

7 主要特性曲线图 (电特性测试)

详见第 6 章节性能指标部分。

8 典型应用方法

8.1 供电过程

对于不同电源管脚的加电/断电顺序无特别要求，但建议给 VDD 管脚加电不晚于给 V_{DDIO} 管脚供电。在为芯片加电之前，不应将比 V_{DDIO} 高 0.7V（二极管压降）的电压应用于任何数字管脚上（对于模拟管脚，这个值是比 V_{DDA} 高 0.7V 的电压值）。此外，V_{DDIO} 和 V_{DDA} 之间的差距应一直在 0.3V 之内。应用于未加电芯片的管脚上的电压会以一种无意的方式偏置内部 PN 结并产生无法预料的结果。

对于 XRS 管脚有下列要求：

1. 加电期间，XRS 管脚必须在输入时钟稳定之后的 $t_{w(RSL1)}$ （见 6.4 小节）内保持低电平。这使得整个芯片从一个已知的条件启动。
2. 断电期间，XRS 管脚必须至少在 V_{DD} 达到 1.5V 之前的 8us 内被下拉至低电平。这样可提高闪存可靠性。

8.2 晶振的连接方法



图8-1 XCLKIN接3.3V晶振时钟

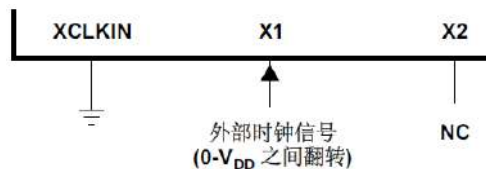


图8-2 X1接1.8V晶振时钟

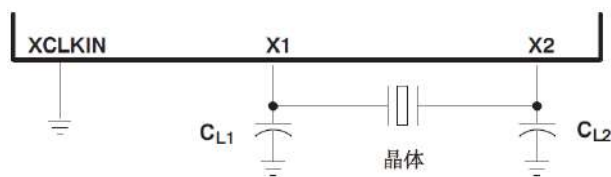


图8-3 X1和X2跨接石英晶体

30MHz 外部石英晶振的典型技术规范如下：

- 基本模式、并联谐振
- C_L （负载电容）=12pF
- $C_{L1}=C_{L2}=24pF$
- $C_{\text{并联}}=6pF$
- ESR（等效串联电阻）范围= 25 至 40Ω

8.3 JTAG 连接

下图显示了芯片和 JTAG 接头之间的连接。如果 JTAG 接头和芯片之间的距离大于 6 英寸，那么必须缓冲仿真信号。如果距离小于 6 英寸，通常无需缓冲。下图显示的是

无缓冲的情况。

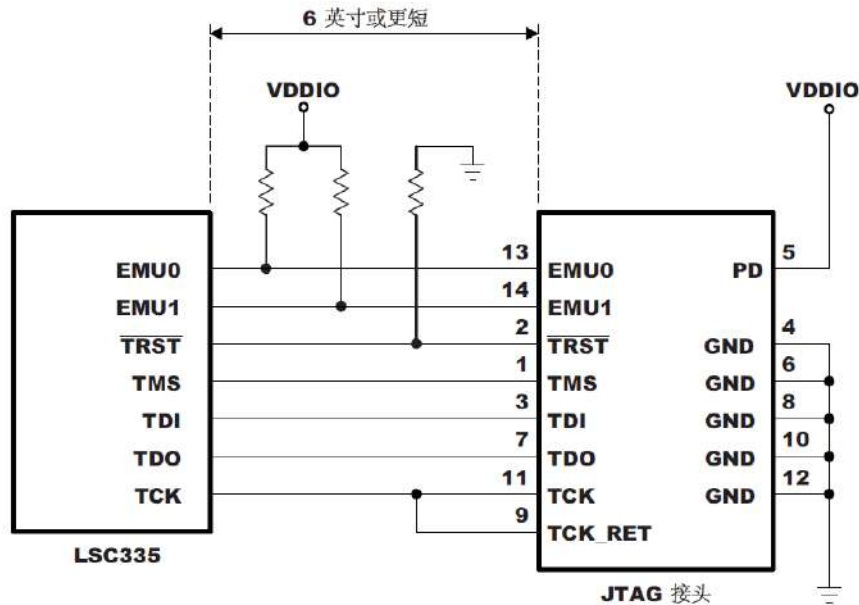


图8-4 未缓冲芯片信号情况下的JTAG仿真器连接

8.4 ADC 连接

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。而且，适当的隔离技术必须被用来将数字电源从 ADC 模块电源引脚(V_{DD1A18} , V_{DD2A18} , V_{DDA2} , V_{DDAIO})上隔离。

a) 如果ADC未被使用

ADC 连接建议保持针对模拟电源引脚的连接，即便在 ADC 未被使用时也是如此。下面总结了如果 ADC 未在应用中使用，应该如何连接 ADC 引脚：

- V_{DD1A18}/V_{DD2A18} 连接至 V_{DD}
- V_{DDA2} , V_{DDAIO} 连接至 V_{DDIO}
- $V_{SS1AGND}/V_{SS2AGND}$, V_{SSA2} , V_{SSAIO} 连接至 V_{SS}
- ADCLO 连接至 V_{SS}
- ADCREFIN 连接至 V_{SS}
- ADCREFP/ADCREFM 连接一个 100nF 电容器至 V_{SS}
- ADCRESEXT 连接一个 20k Ω 电阻器（非常轻的负载）至 V_{SS}
- ADCINAn, ADCINBn 连接至 V_{SS}

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开，未使用的 ADC 输入引脚应被连接至模拟接地($V_{SS1AGND}/V_{SS2AGND}$)。

b) ADC使用内部基准偏置源

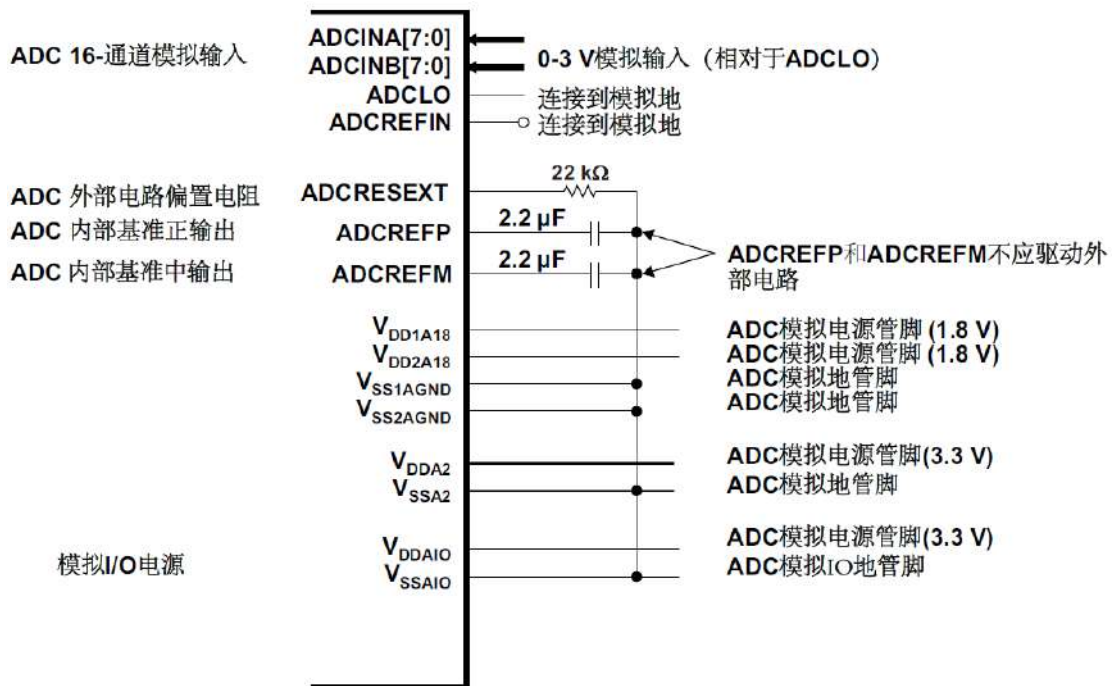


图8-5 带有内部基准的ADC 引脚连接

- A. 建议在所有电源引脚上使用外部去耦合电容器。
 B. 必须从不会降低ADC 性能的运算放大器上驱动模拟输入。

c) ADC使用外部基准偏置源

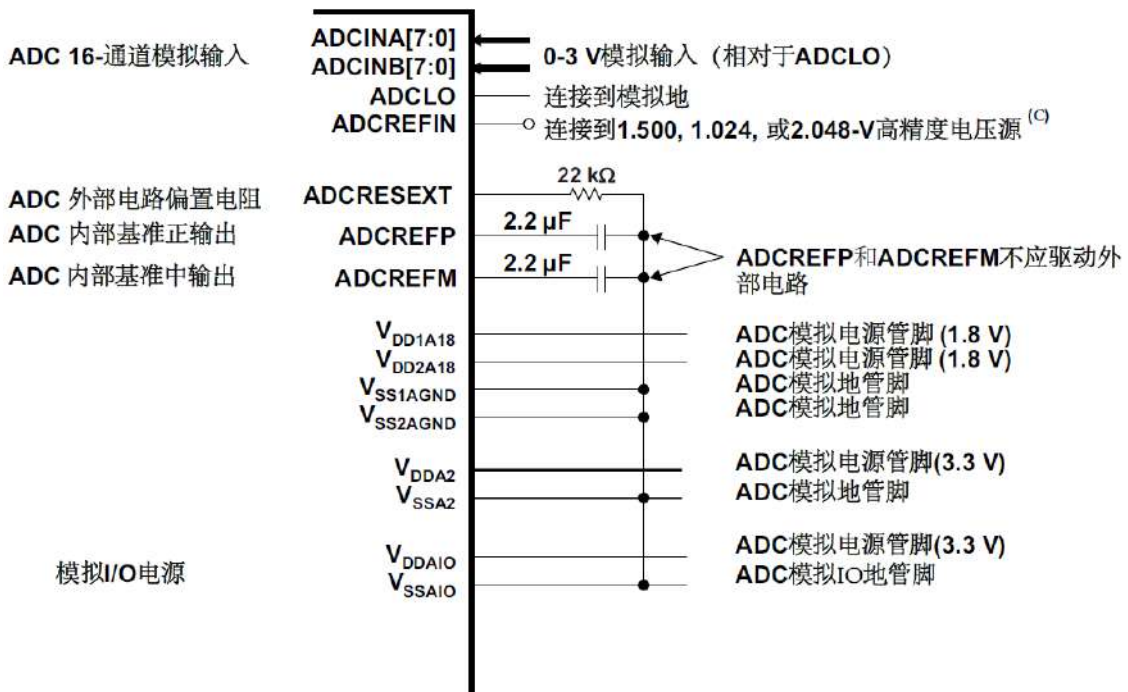


图8-6 带有外部基准的ADC 引脚连接

- A. 建议在所有电源引脚上使用外部去耦合电容器。
 B. 必须从不会降低ADC 性能的运算放大器上驱动模拟输入。
 C. 根据这个引脚上的电压, 通过改变ADC基准选择寄存器中的位15:14可启用ADCREFIN上的外部电压。总体增益精度将由这个电压源的精度确定。

9 使用注意事项

9.1 安装注意事项

建议芯片数字电源和模拟电源分开供电。为防止串扰，电路最好单独使用一路地线。器件必须采取防静电措施进行操作。取用电路时应佩戴防静电手套，防止 ESD 对电路造成损伤。电路插入电路板上的底座时，应注意电路的方向，防止插反；插拔电路时，应注意施力方向以确保芯片管脚均匀受力。

推荐下列操作措施：

- a) 器件应在防静电的工作台上操作，或佩戴防静电手套；
- b) 试验设备和器具应做好接地处理；
- c) 不能随意触摸器件表面及引线；
- d) 器件应存放在导电材料制成的容器中（如：集成电路专用盒）；
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物；
- f) 使用时，正确区分电路的电源和地，防止发生短路。
- g) V_{DD} 引脚加电应早于或同步对 V_{DDIO} 引脚供电，并确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。
- h) 对 \overline{XRS} 引脚的要求如下：
 - 加电期间， \overline{XRS} 引脚必须在输入时钟稳定之后的 $t_w(RSL1)$ 时间内保持低电平。这使得整个器件从一个已知的确定条件启动运行。
 - 断电期间， \overline{XRS} 引脚必须至少在 V_{DD} 下降到 1.5V 之前的 $8\mu s$ 内被下拉至低电平。这样做提高了闪存 FLASH 可靠性。
- i) 在为器件加电之前，禁止将高于 V_{DDIO} 电源二极管压降(0.7V)的电压应用于任何数字引脚上（对于模拟引脚，这个值是比 V_{DDA} 高 0.7V 的电压值）。此外， V_{DDIO} 和 V_{DDA} 之间电压差值应确保一直小于 0.3V。
- j) 推荐在 $22\pm 6^\circ C$ 温度、 $45\pm 5\%RH$ 湿度的条件下存放，注意静电防护，避免手碰或接触含氯离子等包装材料，注意包装材料的静电防护寿命。
- k) 电路在传递过程中，避免受到挤压、撞击，发生跌落等，防止陶瓷受损或碎裂、密封盖板凹陷、电路引脚变形等情况。
- l) 电路使用过程中，应在防静电托架或金属托盘中放置，避免在无静电防护的情况下触摸电路，严禁任何静电及静电场施加在器件引脚上。
- m) 对电路引脚进行褪金时，须将电路加热至 $100\sim 120^\circ C$ 并稳定 15 分钟后，方可将电路浸入熔融的焊锡中。
- n) 严格按照推荐工作条件或降低工作条件使用，电路在极限状态或者任何推荐条件之外的情况下工作，都将对电路造成损伤，影响器件的可靠性。
- o) 电路工作时，输入引脚严禁悬空，应根据要求接 V_{DDIO} 或 V_{SS} ；输入端电压必须限定在 V_{DDIO} 和 V_{SS} 之间，并尽可能串接一个小于 100Ω 的保护电阻，防止输入端口损坏。
- p) 对于有特殊振动应力要求的设计，应考虑在对电路的壳体进行必要的加固，以满足特定的振动应力要求，本电路在不进行加固的情况下，随机振动应力为： $g? /Hz$ ($? g$)。

9.2 产品工作条件

9.2.1 电压

数字 IO 电压 (V_{DDIO}): 3.135V~3.465V;
FLASH 电压 (V_{DD3VFL}): 3.135V~3.465V;
ADCIO 电压 (V_{DDAIO}): 3.135V~3.465V;
ADC 内核电压 (V_{DDA2}): 3.135V~3.465V; 数字内核电压 (V_{DD}): 1.71V~1.89V;
ADC 内核电压 (V_{DD1A18} , V_{DD2A18}): 1.71V~1.89V;
地电压 (V_{SS} , V_{SSA2} , V_{SSAIO} , $V_{SS1AGND}$, $V_{SS2AGND}$): 0V;
输入高电平电压 (V_{IH}): 2V~ V_{DDIO} ;
输入低电平电压 (V_{IL}): 0V~0.8V;
I2C 引脚输入滞后 (V_{hvs}): $\geq (0.05V_{DDIO})$ V。

9.2.2 电流

输出高电平电流 (I_{OH}): 0mA~-4mA ($V_{OH}=2.4$ V, 除 GROUP2b)外所有的 I/O);
0mA~-8mA ($V_{OH}=2.4$ V, GROUP2b));
输出低电平电流 (I_{OL}): 0mA~4mA ($V_{OL}=V_{OLMAX}$, 除 GROUP2b)外所有的 I/O);
0mA~8mA ($V_{OL}=V_{OLMAX}$, GROUP2b))。

9.2.3 时序

系统时钟频率 ($f_{SYSCLKOUT}$): 2MHz~150MHz;
微边沿定位 MEP 步长 (t_{HRPWM}): 0ps~310ps。

9.2.4 Flash

Flash 最小编程次数 (Nf): 写入/擦除次数 20000 次 (0°C~85°C);
OTP 最小编程次数 (NOTP): 1 次写入 (0°C~85°C);
数据保存时间: 15 年 (在 55°C 下测试)。
注意: 尚不清楚在上述温度范围外擦除是否会影响写入/擦除次数。

9.2.5 温度

工作环境温度 (T_A): -40°C~+125°C。

9.2.6 注意事项

超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其他超出本技术规范操作章节中所示规格的条件下, 其间能够正常工作。长期在绝对最大额定值条件下工作会影响期间的可靠性。

GROUP2 包括如下端口: GPIO28-31, TDO, XCLKOUT, EMU0, EMU1, XINTF 接口, GPIO35-87, XRDn。

10 订货信息

10.1 型号对照表

序号	国产型号	封装类型	质量等级	可替代进口型号
1	TMS320F28335PGFA	塑封 LQFP176	工业增强级	TMS320F28335PGFA TMS320F28335PTPS
2	TMS320F28335ZJZA	塑封 BGA176	工业增强级	TMS320F28335ZJZA TMS320F28335ZJZS