的 DP83TG720R-Q1 1000BASE-T1 汽车以太网 PHY

1 特性

- 符合 IEEE802.3bp 1000BASE-T1 标准
- 符合 Open Alliance TC12 互操作性和 EMC 标准
  - 使用符合 OA/IEEE 标准的 PHY 进行互操作性测试
  - 符合 UTP（非屏蔽双绞线）的 EMC 抗扰度 IV 级标准
- MDI 引脚上的集成 LPF
- MAC 接口：RGMII
- 支持 I/O 电压：3.3V、2.5V 和 1.8V
- 引脚与 TI 的 100BASE-T1 PHY 兼容
  - 适用于 100BASE-T1 和 1000BASE-T1 的单板设计，需更改 BOM
- 省电功能：
  - 待机和睡眠
  - 本地和远程唤醒
- 诊断工具套件
  - 高精度温度监测器
  - 电压监视器
  - ESD 事件监测器
  - 数据吞吐量计算器：内置 MAC 数据包生成器、计数器和错误校验器
  - 链路质量监测
  - 电缆开路和短路故障检测
  - 环回模式
- 25MHz 时钟输出源
- VQFN，可湿侧面封装
- 符合 AEC-Q100
  - 内置 ESD 保护：IEC61000-4-2 ESD：±8 kV 接触放电
  - 器件温度等级 1：–40°C 至 +125°C 环境工作温度范围

2 应用

- 远程信息处理控制单元（TCU、TBOX）
- 网关和车身控制模块 (BCM)
- ADAS：激光雷达、雷达、前置摄像头

3 说明

DP83TG720R-Q1 器件是一款符合 IEEE 802.3bp 和 Open Alliance 标准的汽车以太网物理层收发器，可提供通过单条非屏蔽/屏蔽双绞线电缆发送和接收数据所需的所有物理层功能。该器件支持 RGMII 与 MAC 相连。

DP83TG720 符合 Open Alliance EMC 和非屏蔽双绞线互操作规范。DP83TG720 是与 TI 的 100BASE-T1 PHY 兼容的正面印刷板，可通过单板实现两种速度的设计可扩展性。该器件包含诊断工具套件，可提供广泛的实时监测工具、调试工具和测试模式。该工具套件中包含首款集成式静电放电 (ESD) 监控工具。它能够对 xMII 和 MDI 上的 ESD 事件进行计数，并且能够通过使用可编程中断提供实时监控。除此之外，DP83TG720R-Q1 还包括数据生成器和校验器工具，能够生成可定制的 MAC 数据包并完成传入数据包错误校验。因而可在不依靠 MAC 的情况下完成系统级数据路径测试/优化。

器件信息

器件型号	封装(1)	封装尺寸（标称值）
DP83TG720R-Q1	VQFN (36)	6.00mm × 6.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

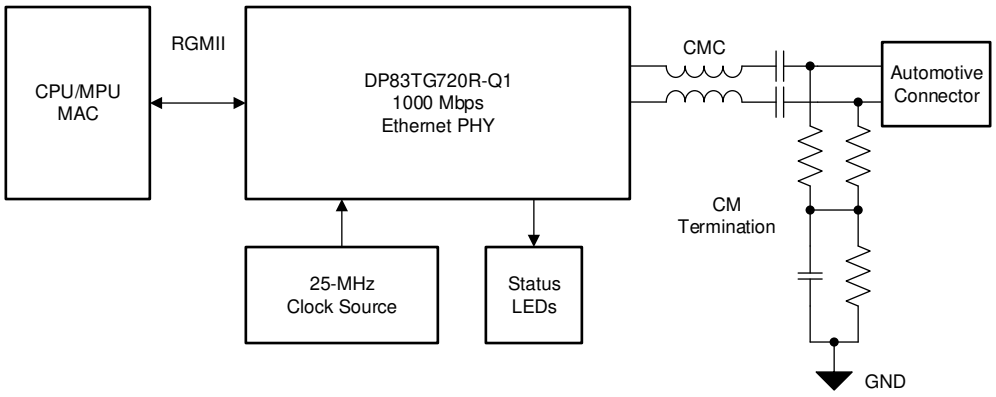


图 3-1. 简化版原理图

内容

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (March 2021) to Revision C (November 2022) **Page**

- 将 strap_1 的引脚状态更新为仅输入。.....4
- 在引脚状态表中将上电/复位中的 INH 引脚编辑为 PMOS、OD、O。更新了缩写.....6
- 添加了引脚电源域表.....8
- 更新了 SQI 部分，可使用更新计算方法来指示改进的 SQI 级数。.....24
- 更新了 TDR 应用手册的链接.....24
- 更新了本地和远程睡眠进入的步骤.....39
- CM 电阻封装建议 0805.....197

Changes from Revision A (February 2021) to Revision B (March 2021) **Page**

- 更新了 IOZ、2 级自举模式 2 阈值和 Rpull-down 最小/最大数据表限值，可为客户应用提供更多裕度。.....9
- 添加了 rgmii DLL_TX_DELAY、睡眠模式时序参数、延迟参数、复位模式功率、待机模式功率和睡眠模式功率的最小值/最大值。.....9
- 将集成下拉电阻从 4.5kΩ 更改为 4.725kΩ。.....9
- 向远程睡眠退出程序中添加了更多详细信息。.....39
- 添加了注释，以便增加 1.8V 两级搭接的裕度。.....50
- 更新了电源建议注释.....199

Changes from Revision * (December 2020) to Revision A (February 2021) **Page**

- 更新了引脚状态表中 rx_cntrl 和 strp_1 引脚的下拉电阻值。从 6K 更改为 6.3K，以便匹配规格部分中的值。.....4
- 更新了 SQI 部分，可满足 OA 要求。.....24
- 更新了自举电路图，以便删除外部下拉电阻。.....50

5 器件比较表

器件 型号	RGMII 支持	SGMII 支持	工作 温度
DP83TG720R-Q1	是	否	–40°C 至 125°C
DP83TG720S-Q1	是	是	–40°C 至 125°C

6 引脚配置和功能

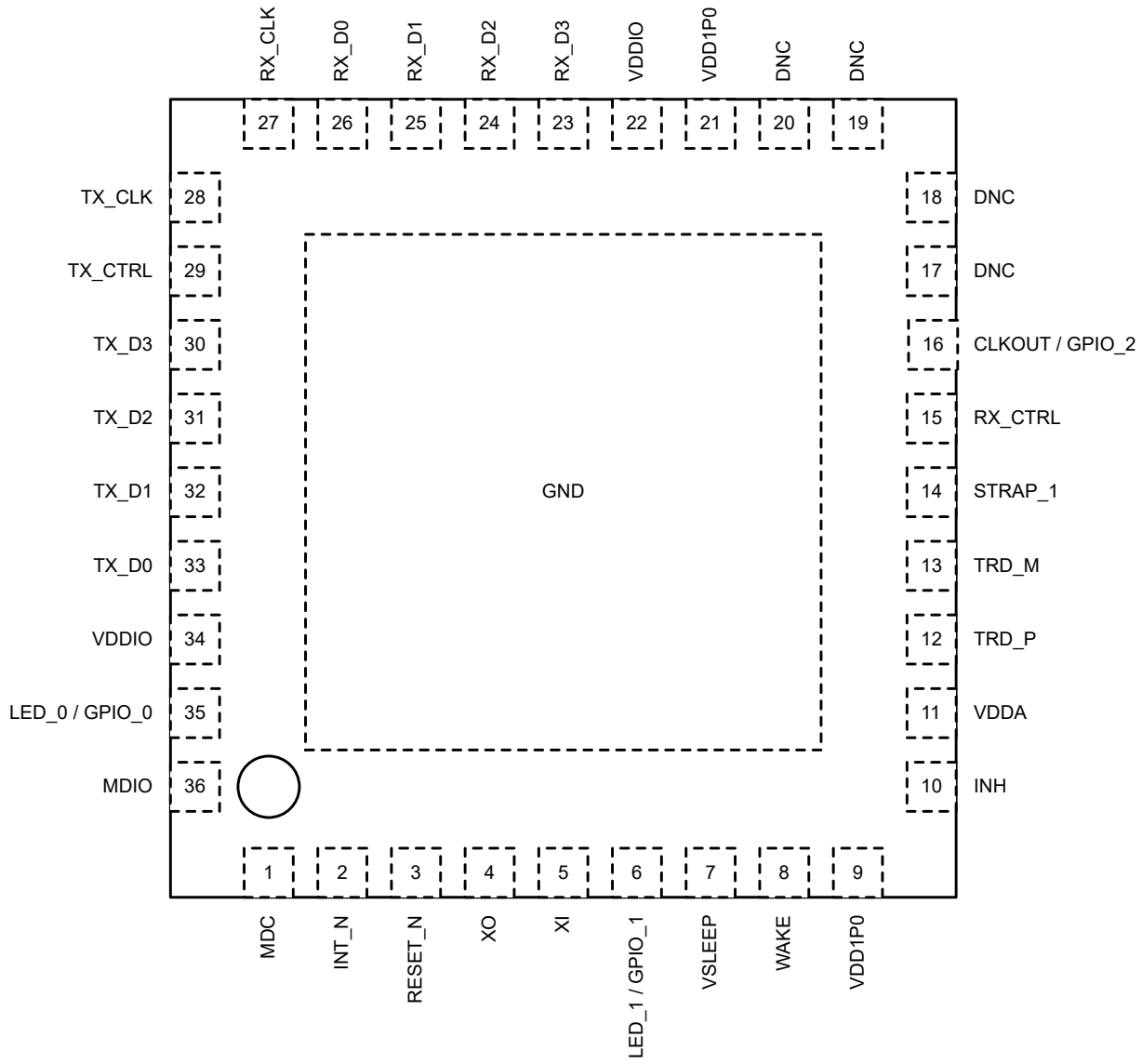


图 6-1. RHA 封装
36 引脚 VQFN
俯视图

引脚功能

表 6-1. 引脚功能

引脚		状态(1)	说明(2)
名称	编号		
MAC 接口			
RX_D3	23	S、PD、O	**接收数据：**对电缆上接收的符号进行解码并将其从这些引脚发出，发送操作与 RX_CLK 的上升沿同步。当 RX_DV（从 RX_CTL 解码）置位时，这些符号包含有效数据。半字节 RX_D[3:0] 在 RGMII 模式下发送。
RX_D2	24		
RX_D1	25		
RX_D0	26		
RX_CLK	27	O	**接收时钟：**在 RGMII 模式下，PHY 为 MAC 提供该 125MHz 时钟。
RX_CTRL	15	S、PD、O	**RGMII 接收控制：**接收控制将接收数据有效指示和接收错误指示组合成单个信号。RX_DV 在 RX_CLK 的上升沿出现，RX_ER 在 RX_CLK 的下降沿出现。
TX_CLK	28	I	**发送时钟：**在 RGMII 模式下，MAC 为 PHY 提供该 125MHz 时钟。
TX_CTRL	29	I	**RGMII 发送控制：**发送控制将发送启用和发送错误指示组合成单个信号。TX_EN 在 TX_CLK 的上升沿之前出现；TX_ER 在 TX_CLK 的下降沿出现。
TX_D3	30	I	**发送数据：**在 RGMII 模式下，发送数据半字节 TX_D[3:0] 接收自 MAC。
TX_D2	31		
TX_D1	32		
TX_D0	33		
串行管理接口			
MDC	1	I	**管理数据时钟：**MDIO 串行管理输入和输出数据的同步时钟。
MDIO	36	OD、IO	**管理数据输入/输出：**可由管理站或 PHY 提供的双向管理数据信号。该引脚需要外部上拉电阻器（建议值 = 2.2kΩ）。
控制接口			
$\overline{\text{INT}}$	2	PU、OD、O	**中断：**低电平有效输出，发生中断时置位为低电平。这个引脚有一个弱内部上拉电阻。必须访问寄存器才可启用各种中断触发。一旦设置中断事件标志，就需要访问寄存器来清除该引脚上的中断事件。 可使用寄存器 [0x0011] 将该引脚配置为高电平有效输出。 为可靠捕获中断源，建议在 int_n 引脚置位为中断之后再读取中断寄存器 x12、x13、x18 的状态。
$\overline{\text{RESET}}$	3	PU、I	**复位：**低电平有效输入，用于初始化或重新初始化 DP83TG720R-Q1。将该引脚置位为低电平至少 10μs，可强制执行复位过程。所有内部寄存器都将重新初始化为寄存器映射部分为每一位规定的默认状态。取消置位复位后，将对所有自举引脚重新采样。
INH	10	PMOS OD	**INH：**高电平有效 PMOS 开漏输出。PHY 进入睡眠状态时，PHY 将释放 INH 引脚，允许外部下拉电阻器（建议值 = 10kΩ）将线路拉至接地。处于任何其他状态时，INH 引脚都会将高电平状态驱动至 VSLEEP 电源轨。
WAKE	8	PD、I	**唤醒：**唤醒引脚上的高电平有效（该引脚用于 VSLEEP 域）脉冲将 PHY 从睡眠状态唤醒。有关脉冲宽度，请参阅时序部分。睡眠状态未使用或悬空时，该引脚可直接与 VSLEEP 电源轨相连。
STRP_1	14	I	**Strap 1：**该引脚用于搭接 PHY_AD 位。
时钟接口			
XI	5	I	**基准时钟输入：**基准时钟 25MHz ± 100ppm 容差晶振或振荡器输入。该器件支持通过引脚 XI 和 XO 连接的外部晶振谐振器，或仅连接至引脚 XI 且 XO 悬空的外部 CMOS 电平振荡器。
XO	4	O	**基准时钟输出：**XO 引脚仅用于晶振。CMOS 电平振荡器与 XI 相连时，该引脚应悬空。
LED/GPIO 接口			
LED_0/ GPIO_0	35	S、PD、IO	**LED_0：**链路状态
LED_1/ GPIO_1	6	S、PD、IO	**LED_1：**链路状态，针对 TX/RX 活动闪烁

表 6-1. 引脚功能 (continued)

引脚		状态(1)	说明(2)
名称	编号		
CLKOUT/ GPIO_2	16	IO	**时钟输出：**默认为 25MHz 基准时钟（XI 的缓冲复制）。如未使用，可通过写入寄存器 0x0453 = 0x0006 来禁用时钟输出。
媒体相关接口			
TRD_M	13	IO	**差分发送和接收：**为 1000BASE-T1 运行配置的双向差分信号，符合 IEEE 802.3bp 标准。
TRD_P	12		
电源和接地引脚			
VDDA3P3	11	SUPPLY	**内核电源：**3.3V。请参阅去耦网络的电源建议。
VDDIO	22、34	SUPPLY	**IO 电源：**1.8V、2.5V 或 3.3V。请参阅去耦网络的电源建议。
VDD1P0	9、21	SUPPLY	**内核电源：**1.0V。请参阅去耦网络的电源建议。
VSLEEP	7	SUPPLY	**睡眠电源：**3.3V。请参阅去耦网络的电源建议。 如未使用睡眠功能，则应将该引脚连接至 VDDA3P3。
GROUND（接地）	DAP	GROUND（接地）	**接地**
请勿连接			
DNC	17、18、19、20	DNC	**DNC：**请勿连接（连接至这些引脚的测试结构应保持悬空，以避免损坏或进入错误的 PHY 模式）

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
S = 搭接：配置引脚（所有配置引脚都具有内部上拉或下拉弱电阻）

(2) 未使用引脚时，请遵循上表中提供的建议连接要求。如果引脚无所需终端，则可保持悬空。

6.1 引脚状态

表 6-2. 引脚状态 - RGMII

引脚名称	上电/复位			正常运行 - RGMII		
	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
MDC	I	none	-	I	none	-
INT_N	I	PU	9	OD	PU	9
RESET_N	I	PU	9	I	PU	9
XO	O	none	-	O	none	-
XI	I	none	-	I	none	-
LED_1	I	PD	9	O	none	-
WAKE	I	PD	50	I	PD	50
STRP_1	I	PD	6.3	I	none	-
INH	PMOS、OD、O	none	-	PMOS OD、O	none	-
RX_CTRL	I	PD	6.3	O	none	-
CLKOUT/GPIO_2	O	none	-	O	none	-
RX_D3	I	PD	9	O	none	-
RX_D2	I	PD	9	O	none	-
RX_D1	I	PD	9	O	none	-
RX_D0	I	PD	9	O	none	-
RX_CLK	I	PD	9	O	none	-
TX_CLK	I	none	-	I	none	-
TX_CTRL	I	none	-	I	none	-
TX_D3	I	none	-	I	none	-
TX_D2	I	none	-	I	none	-
TX_D1	I	none	-	I	none	-
TX_D0	I	none	-	I	none	-
LED_0	I	PD	9	O	none	-
MDIO	I	none	-	IO	none	-

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉

表 6-3. 引脚状态 - 睡眠和隔离

引脚名称	MAC 隔离			睡眠		
	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)	引脚状态(1)	拉动电阻类型	拉动电阻值 (kΩ)
MDC	I	none	-	浮点	none	-
INT_N	O	PU	9	浮点	none	-
RESET_N	I	PU	9	浮点	none	-
XO	O	none	-	浮点	none	-
XI	I	none	-	浮点	none	-
LED_1	O	none	-	浮点	none	-
WAKE	I	PD	50	I	none	50
STRP_1	I	none	-	浮点	none	-
INH	PMOS、OD、O	none	-	PMOS OD、O	none	-
RX_CTRL	I	PD	6.3	浮点	none	-
CLKOUT/GPIO_2	O	none	-	浮点	none	-
RX_D3	I	PD/无(2)	9	浮点	none	-
RX_D2	I	PD/无(2)	9	浮点	none	-
RX_D1	I	PD	9	浮点	none	-
RX_D0	I	PD	9	浮点	none	-
RX_CLK	I	PD	9	浮点	none	-
TX_CLK	I	none	-	浮点	none	-
TX_CTRL	I	none	-	浮点	none	-
TX_D3	I	none	-	浮点	none	-
TX_D2	I	none	-	浮点	none	-
TX_D1	I	none	-	浮点	none	-
TX_D0	I	none	-	浮点	none	-
LED_0	O	none	-	浮点	none	-
MDIO	IO	none	-	浮点	none	-

(1) 类型：I = 输入
O = 输出
IO = 输入/输出
OD = 开漏
PD = 内部下拉
PU = 内部上拉
Hi-Z = 高阻抗
悬空 = IO 未通电，因此引脚未由 PHY 偏置

(2) PD 仅适用于 Rgmii 的隔离模式。

备注

对于睡眠模式进入，vdda、vddio 和 vdd1p0 均应断电。有关更多详细信息，请参阅睡眠模式所需实现一图。

6.2 引脚电源域

表 6-4. 引脚电源域表

引脚	RGMII 模式	SGMII 模式
MDC	VDDIO	VDDIO
INT_N	VDDIO	VDDIO
RESET_N	VDDIO	VDDIO
XI	VDDA	VDDA
XO	VDDA	VDDA
LED_1	VDDIO	VDDIO
WAKE	VSLEEP	VSLEEP
STRP_1	VDDIO	VDDIO
INH	VSLEEP	VSLEEP
RX_CTRL	VDDIO	VDDIO
CLKOUT/GPIO_2	VDDIO	VDDIO
RX_D3	VDDIO	VDDA
RX_D2	VDDIO	VDDA
RX_D1	VDDIO	VDDIO
RX_D0	VDDIO	VDDIO
RX_CLK	VDDIO	VDDIO
TX_CLK	VDDIO	VDDIO
TX_CTRL	VDDIO	VDDIO
TX_D3	VDDIO	VDDIO
TX_D2	VDDIO	VDDIO
TX_D1	VDDIO	VDDA
TX_D0	VDDIO	VDDA
LED_0	VDDIO	VDDIO
MDIO	VDDIO	VDDIO
TRD_P	VDDA	VDDA
TRD_M	VDDA	VDDA

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	典型值	最大值	单位
电源电压	VDDA3P3	-0.5		4	V
电源电压	VDD1P0	-0.5		1.4	V
电源电压	VDDIO (3.3V)	-0.5		4	V
电源电压	VDDIO (2.5V)	-0.5		2.9	V
电源电压	VDDIO (1.8V)	-0.5		2.2	V
电源电压	V_{SLEEP}	-0.5		4	V
MDI 引脚	TRD_M、TRD_P	-0.5		4	V
LVCMOS/ LVTTL 输入电压	MDC、$\overline{RESET}$、XI、LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D[3:0]、TX_CLK、TX_CTRL、TX_D[3:0]、LED_0、MDIO	-0.5		VDDIO + 0.3	V
LVCMOS/ LVTTL 输入电压	WAKE	-0.5		V_{SLEEP} + 0.3	V
LVCMOS/ LVTTL 输出电压	$\overline{INT}$、LED_1、RX_CTRL、CLKOUT、RX_D[3:0]、RX_CLK、LED_0、MDIO	-0.5		VDDIO + 0.3	V
LVCMOS/ LVTTL 输出电压	INH	-0.5		VSLEEP + 0.3	V
T_J	结温			150	°C
T_{stg}	贮存温度	-65		150	°C

(1) 超出*绝对最大额定值*下列出的压力可能会对器件造成永久损坏。这些仅是压力额定值，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	所有引脚	±2000	V
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1)	TRD_M、TRD_P	±8000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±500	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2 接触放电	TRD_M、TRD_P	±8000	V

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
VDDIO	IO 电源电压，以 1.8V 运行	1.62	1.8	1.98	V
	IO 电源电压，以 2.5V 运行	2.25	2.5	2.75	
	IO 电源电压，以 3.3V 运行	2.97	3.3	3.63	
VDDA3P3	内核电源电压，3.3V	2.97	3.3	3.63	V
VDD1P0	内核电源电压，1.0V	0.95	1	1.1	V
V_{SLEEP}	睡眠电源电压，3.3V	2.97	3.3	3.63	V

7.3 建议运行条件 (continued)

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
T_A	环境温度	-40		125	°C

7.4 热性能信息

热指标(1)		DP83TG720 RHA (VQFN) 36 引脚	单位
$R_{\theta JA}$	结至环境热阻	32.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	22.2	°C/W
$R_{\theta JB}$	结至电路板热阻	13.3	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特征参数	13.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
DC 特性						
XI						
V_{IH}	高电平输入电压		1.3			V
V_{IL}	低电平输入电压				0.5	V
WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚	WAKE 引脚
V_{IH}	高电平输入电压	V_{SLEEP} = 3.3V ± 10%	2			V
V_{IL}	低电平输入电压	V_{SLEEP} = 3.3V ± 10%			0.8	V
INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚	INH 引脚
V_{OH}	高电平输出电压	I_{OH} = -2mA，V_{SLEEP} = 3.3V ± 10%	2.4			V
3.3V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 3.3V ± 10%	2.4			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 3.3V ± 10%			0.4	V
V_{IH}	高电平输入电压	VDDIO = 3.3V ± 10%	2			V
V_{IL}	低电平输入电压	VDDIO = 3.3V ± 10%			0.8	V
2.5V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 2.5V ± 10%	2			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 2.5V ± 10%			0.4	V
V_{IH}	高电平输入电压	VDDIO = 2.5V ± 10%	1.7			V
V_{IL}	低电平输入电压	VDDIO = 2.5V ± 10%			0.7	V
1.8V VDDIO (2)						
V_{OH}	高电平输出电压	I_{OH} = -2mA，VDDIO = 1.8V ± 10%	VDDIO – 0.45			V
V_{OL}	低电平输出电压	I_{OL} = 2mA，VDDIO = 1.8V ± 10%			0.45	V
V_{IH}	高电平输入电压	VDDIO = 1.8V ± 10%	0.7 * VDDIO			V

7.5 电气特性 (continued)

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	低电平输入电压	VDDIO = 1.8V ± 10%			0.3 * VDDIO	V
I_{IH}	高输入电流 (MDIO)	VIN = VCC，-40°C 至 125°C	-5		5	µA
I_{IH}	输入高电流（RGMII 输入引脚、MDC）	VIN = VCC，-40°C 至 125°C	-20		20	µA
I_{OZ}	高输入电流 (MDIO)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-40		40	µA
I_{IL}	输入低电流（RGMII 输入引脚、MDC、MDIO）	VIN = GND，-40°C 至 125°C	-40		5	µA
I_{OZL}		INH			6	µA
I_{OZ}	三态输出电流 (5)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-40		10	µA
I_{OZ}	三态输出电流 (6)	VIN 从 0V 扫描至 VCC，-40°C 至 125°C	-60		60	µA
C_{IN}	输入电容	LVCMOS/LVTTL 引脚 (3)			2	pF
C_{IN}	输入电容	LVCMOS/LVTTL 引脚 (4)			4	pF
		XI			1	pF
C_{OUT}	输出电容	LVCMOS/LVTTL 引脚 (3)			2	pF
C_{OUT}	输出电容	LVCMOS/LVTTL 引脚 (4)			4	pF
		XO			1	pF
$R_{pull-up}$	集成上拉电阻	$\overline{INT}$、$\overline{RESET}$	6.5	9	12.5	kΩ
$R_{pull-down}$	集成下拉电阻	STRP_1、RX_CTRL	4.725	6.3	7.875	kΩ
$R_{pull-down}$	集成下拉电阻	LED_1、RX_D[3:0]、RX_CLK、LED_0	7.3	9	13	kΩ
		WAKE	35	50	62.5	kΩ
$R_{pull-down}$	激活时的集成上拉电阻	INH		106		Ω
R_{series}	集成 MAC 串联终端电阻器（默认）	RX_D[3:0]、RX_CTRL 和 RX_CLK	24	42	52	Ω
Rseries	集成 MAC 串联终端电阻器（寄存器 <0x0456> = 0x0148）	RX_D[3:0]、RX_CTRL 和 RX_CLK	30	52	65	Ω
Rseries	集成 MAC 串联终端电阻器（寄存器 <0x0456> = 0x0168）	RX_D[3:0]、RX_CTRL 和 RX_CLK	40	70	84	Ω
电流消耗，睡眠模式						
I_{SLEEP}	睡眠电源电流	V_{SLEEP}		485	840	µA
电流消耗，复位置位						
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	VDDIO		4	9	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	VDDIO		5	12	mA
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	VDDIO		6.5	15	mA
I_{DDA3P3}	内核电源电流，3.3V	VDDA3P3		5	8	mA
I_{DD1P0}	内核电源电流，1.0V	VDD1P0		30	110	mA
电流消耗，待机						
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	VDDIO		4	11	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	VDDIO		6	13	mA
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	VDDIO		8	15	mA
I_{DDA3P3}	内核电源电流，3.3V	VDDA3P3		16	18	mA
I_{DD1P0}	内核电源电流，1.0V	VDD1P0		33	112	mA
电流消耗，工作模式，电压：+/- 10%，流量：100%，数据包大小：1518，内容：随机						
I_{DDIO}	IO 电源电流，VDDIO = 1.8V	RGMII		20	25	mA
I_{DDIO}	IO 电源电流，VDDIO = 2.5V	RGMII		26	30	mA

7.5 电气特性 (continued)

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
I_{DDIO}	IO 电源电流，VDDIO = 3.3V	RGMII		33	40	mA
I_{DDA3P3}	内核电源电流，3.3V	RGMII		85	89	mA
I_{DD1P0}	内核电源电流，1.0V	RGMII		177	250	mA
I_{SLEEP}	睡眠电源电流	V_{SLEEP} = 3.3V +/- 10%		1000	1500	µA
MDI 特性						
V_{OD-MDI}	输出差分电压	$R_{L(diff)}$ = 100 Ω			1.3	V
$R_{MDI-DIFF}$	集成差分 MDI 终端（激活状态）	TRD_P、TRD_M		100		Ω
$R_{MDI-DIFF}$	集成差分 MDI 终端（睡眠状态）	TRD_P、TRD_M		100		Ω
自举直流特性						
2 级搭接						
Vbsl_1v8	自举阈值	模式 1，VDDIO = 1.8V ± 10%，2 级	0		0.35*VDDIO	V
Vbsh_1v8	自举阈值	模式 2，VDDIO = 1.8V ± 10%，2 级	1.175		VDDIO	V
Vbsl_2v5	自举阈值	模式 1，VDDIO = 2.5V ± 10%，2 级	0		0.7	V
Vbsh_2v5	自举阈值	模式 2，VDDIO = 2.5V ± 10%，2 级	1.175		VDDIO	V
Vbsl_3v3	自举阈值	模式 1，VDDIO = 3.3V ± 10%，2 级	0		0.7	V
Vbsh_3v3	自举阈值	模式 2，VDDIO = 3.3V ± 10%，2 级	1.175		VDDIO	V
3 级搭接						
V_{bs1_1V8}	自举阈值	模式 1，VDDIO = 1.8V ± 10%，3 级	0		0.35 * VDDIO	V
V_{bs2_1V8}	自举阈值	模式 2，VDDIO = 1.8V ± 10%，3 级	0.40 * VDDIO		0.75 * VDDIO	V
V_{bs3_1V8}	自举阈值	模式 3，VDDIO = 1.8V ± 10%，3 级	0.84 * VDDIO		VDDIO	V
V_{bs1_2V5}	自举阈值	模式 1，VDDIO = 2.5V ± 10%，3 级	0		0.19 * VDDIO	V
V_{bs2_2V5}	自举阈值	模式 2，VDDIO = 2.5V ± 10%，3 级	0.27 * VDDIO		0.41 * VDDIO	V
V_{bs3_2V5}	自举阈值	模式 3，VDDIO = 2.5V ± 10%，3 级	0.58 * VDDIO		VDDIO	V
V_{bs1_3V3}	自举阈值	模式 1，VDDIO = 3.3V ± 10%，3 级	0		0.18 * VDDIO	V
V_{bs2_3V3}	自举阈值	模式 2，VDDIO = 3.3V ± 10%，3 级	0.22 * VDDIO		0.42 * VDDIO	V
V_{bs3_3V3}	自举阈值	模式 3，VDDIO = 3.3V ± 10%，3 级	0.46 * VDDIO		VDDIO	V
温度传感器						
	温度传感器分辨率 (LSB)	-40℃ 至 125℃		1.5		℃
	温度传感器精度（单个器件的电压和温度变化）	–40℃ 至 125℃	-7.5		7.5	℃
	温度传感器精度（器件间的电压和温度变化）	–40℃ 至 125℃	-21.5		20	℃
	温度传感器范围		-40		140	℃
电压传感器						
	VDDA3P3 传感器范围		2.66	3.3	3.96	V

7.5 电气特性 (continued)

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
	VDDA3P3 传感器分辨率 (LSB)	–40℃ 至 125℃		8.6		mV
	VDDA3P3 传感器精度（电压和温度变化）	–40℃ 至 125℃		8.6		mV
	VDDA3P3 传感器精度（器件间）	–40℃ 至 125℃	-68.8		68.8	mV
	VDD1P0 传感器范围		0.8		1.2	V
	VDD1P0 传感器分辨率 (LSB)	–40℃ 至 125℃		2.8		mV
	VDD1P0 传感器精度（电压和温度变化）	–40℃ 至 125℃		2.8		mV
	VDD1P0 传感器精度（器件间）	–40℃ 至 125℃	-22.4		22.4	mV
	VDDIO 传感器范围		1.44		3.8	V
	VDDIO 传感器分辨率 (LSB)	–40℃ 至 125℃		15.4		mV
	VDDIO 传感器精度（电压和温度变化）	–40℃ 至 125℃		15.4		mV
	VDDIO 传感器精度（器件间）	–40℃ 至 125℃	-78		78	mV

(1) 由生产测试、特性或设计确保
(2) 适用于引脚：LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D[3:0]、RX_CLK、LED_0
(3) 适用于引脚：MDC、$\overline{\text{INT}}$、$\overline{\text{RESET}}$、LED_1、STRP_1、RX_CTRL、CLKOUT、RX_D0、RX_D1、RX_CLK、TX_CLK、TX_CTRL、TX_D2、TX_D3、LED_0 和 MDIO
(4) 适用于引脚：TX_D0、TX_D1、RX_D2 和 RX_D3
(5) 适用于引脚：LED_1、RX_D[3:0]、RX_CLK、LED_0
(6) 适用于引脚：STRP_1 和 RX_CTRL

7.6 时序要求

(1)

参数		测试条件	最小值	标称值	最大值	单位
上电时序						
T5.1	VDDA3P3 持续时间(2)	0% 至 100% (+/- 10 VDDA3P3)	0.5		40	ms
T5.2	VDD1P0 持续时间(2)	0% 至 100% (+/- 10 VDD1P0)	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 1.8V	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 2.5V	0.1		40	ms
T5.2	VDDIO 持续时间(2)	VDDIO = 3.3V	0.1		40	ms
T5.2	V_{SLEEP} 持续时间(2)	0% 至 100% (+/- 10 V_{SLEEP})	0.1		40	ms
T5.3	上电后的晶振稳定时间（从最后电源轨上升到 100%）			1500		µs
T5.4	上电后的振荡器稳定时间（从最后电源轨上升到 100%）(3)				20	ms
T5.5	MDC 前导码之前的上电后稳定时间，用于寄存器访问		65			ms
T5.6	上电后的硬件配置锁存时间				60	ms
T5.7	硬件配置引脚在锁存完成后转换为功能模式				110	ns
T5.8	上电后的 PAM3 IDLE 流（主模式）				60	ms
复位时序 (RESET_N)						
T6.1	复位脉冲宽度		5			µs
T6.2	MDC 前导码之前的复位后稳定时间，用于寄存器访问		1			ms
T6.3	复位后的硬件配置锁存时间				2	µs
T6.4	硬件配置引脚在锁存完成后转换为功能模式				1.5	µs
T6.5	复位后的 PAM3 IDLE 流（主模式）				1500	µs

7.6 时序要求 (continued)

(1)

参数		测试条件	最小值	标称值	最大值	单位
SMI 时序						
T4.1	MDC 至 MDIO（输出）延迟时间（25pF 负载）		0	6	10	ns
T4.2	MDIO（输入）至 MDC 建立时间		10			ns
T4.3	MDIO（输入）至 MDC 保持时间		10			ns
	MDC 频率（25pF 负载）			2.5	20	MHz
接收延迟时序						
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿				8	μs
	MDI 上的 SSD 符号至 RX_CTRL 已置位 RGMII RX_CLK 的上升沿（RS-FEC 旁路模式）				400	ns
发送延迟时序						
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号				0.8	μs
	TX_CTRL 置位的 RGMII 上升沿 TX_CLK 至 MDI 上的 SSD 符号（RS-FEC 旁路模式）				600	ns
25MHz 振荡器要求						
	频率 (XI)			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	上升/下降时间 (10% - 90%)(6)				8	ns
	抖动 (RMS)	集成，高达 5MHz			1	ps
	占空比		40	50	60	%
RGMII 时序						
T_{setupR}	TX_D[3:0]，TX_CTRL 设置至 TX_CLK	在 PHY 引脚上	1	2		ns
T_{holdR}	TX_D[3:0]，TX_CLK 后的 TX_CTRL 保持(5)	在 PHY 引脚上	1	2		ns
T_{skewT}	RX_D[3:0]，RX_CLK 后的 RX_CTRL 延迟（已启用对齐模式）	在 PHY 引脚上	-500	0	500	ps
T_{skewT} (Shift)	RX_D[3:0]，RX_CLK 后的 RX_CTRL 延迟（已启用漂移模式，默认设置）(4)	在 PHY 引脚上	2.190	2.650	2.970	ns
T_{cyc}	时钟周期时长	RX_CLK	7.2	8	8.8	ns
T_{cyc}	时钟周期时长	TX_CLK	7.2	8	8.8	ns
Duty_G	占空比	RX_CLK	45	50	55	%
Duty_G	占空比	TX_CLK	45	50	55	%
Tr	上升时间 (20% - 80%)	CL=Ctrace = 5pF			0.75	ns
Tf	下降时间 (20% - 80%)	$C_{L=Ctrace}$ = 5pF			0.75	ns
RGMII RX 漂移模式延迟	DLL DLL_RX_DELAY_CTRL_SL = 0(4)		0.330	0.650	0.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 1(4)		0.580	0.900	1.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 2(4)		0.830	1.150	1470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 3(4)		1.000	1.400	1.720	ns
	DLL DLL_RX_DELAY_CTRL_SL = 4(4)		1.230	1.650	1.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 5(4)		1.490	1.990	2.220	ns
	DLL DLL_RX_DELAY_CTRL_SL = 6(4)		1.690	2.150	2.470	ns
	DLL DLL_RX_DELAY_CTRL_SL = 7(4)		1.960	2.400	2.730	ns
	DLL DLL_RX_DELAY_CTRL_SL = 8(4)		2.180	2.650	2.970	ns
	DLL DLL_RX_DELAY_CTRL_SL = 9(4)		2.490	2.900	3.220	ns

7.6 时序要求 (continued)

(1)

参数		测试条件	最小值	标称值	最大值	单位
RGMII 漂移 TX 模式延迟						
	DLL DLL_TX_DELAY_CTRL_SL = 1(4) (7)		0.08	0.25	0.38	ns
	DLL DLL_TX_DELAY_CTRL_SL = 2(4) (7)		0.27	0.49	0.67	ns
	DLL DLL_TX_DELAY_CTRL_SL = 3(4) (7)		0.51	0.73	0.91	ns
	DLL DLL_TX_DELAY_CTRL_SL = 4(4) (7)		0.75	0.97	1.15	ns
	DLL DLL_TX_DELAY_CTRL_SL = 5(4) (7)		0.94	1.21	1.44	ns
	DLL DLL_TX_DELAY_CTRL_SL = 6(4) (7)		1.18	1.45	1.68	ns
	DLL DLL_TX_DELAY_CTRL_SL = 7(4) (7)		1.37	1.69	1.98	ns
	DLL DLL_TX_DELAY_CTRL_SL = 8(4) (7)		1.61	1.93	2.22	ns
	DLL DLL_TX_DELAY_CTRL_SL = 9(4) (7)		1.85	2.17	2.46	ns
	DLL DLL_TX_DELAY_CTRL_SL = 10(4) (7)		2.04	2.42	2.75	ns
	DLL DLL_TX_DELAY_CTRL_SL = 11(4) (7)		2.28	2.65	2.99	ns
	DLL DLL_TX_DELAY_CTRL_SL = 12(4) (7)		2.52	2.9	3.23	ns
25MHz 晶振要求						
	频率			25		MHz
	频率容差及稳定性与温度及老化之间的关系		-100		100	ppm
	等效串联电阻				100	Ω
输出时钟时序 (CLKOUT)						
	频率			25		MHz
	占空比（已连接晶振）		45		55	%
	上升/下降时间 (10% - 90%)				2.5	ns
	抖动 (RMS)（从模式，MAC 接口：SGMII）				5	ps
	抖动 (RMS)（主模式，MAC 接口：SGMII）				2.4	ps
	抖动 (RMS)（从模式，MAC 接口：RGMII）				11	ps
	抖动 (RMS)（主模式，MAC 接口：RGMII）				15	ps
睡眠进入和唤醒						
	WAKE 低电平至睡眠进入；INH 转换为低电平	正常模式，MDI_Energy = FALSE sleep_en = TRUE		64	85	us
	sleep_en = True 至睡眠进入；INH 转换为低电平（主模式）	正常模式，WAKE = 低电平，MDI_Energy = FALSE		5	85	us
	sleep_en = True 至睡眠进入；INH 转换为低电平（从模式）	正常模式，WAKE = 低电平，MDI_Energy = FALSE			5000	us
	MDI 能量损耗至睡眠进入；INH 转换为低电平	正常模式，WAKE = 低电平，sleep_en = TRUE			5	ms
	本地唤醒脉冲持续时间（在 WAKE 引脚上）	睡眠模式，WAKE 引脚	80			µs
	从 MDI 唤醒的 Send-S/Send-T 模式持续时间	睡眠模式，从模式	1.25			ms

7.6 时序要求 (continued)

(1)

参数		测试条件	最小值	标称值	最大值	单位
	本地唤醒；INH 转换为高电平	睡眠模式，WAKE 引脚的上升沿至 INH 的上升沿			85	us
	MDI 上使 PHY 保持睡眠模式的容许差分噪声电平	睡眠模式			200	mV 峰峰值
	用于有效唤醒的链路伙伴 VOD（对于 5m 电缆）	睡眠模式	840			mV 峰峰值

(1) 由生产测试、特性或设计确保。
(2) 电源轨上无电源时序限制
(3) 如果 OSC 时钟延迟，则需在 Osc 时钟稳定后增加复位
(4) 请参阅寄存器 [0x0430]，了解 RX 和 TX 延迟代码的可编程性信息
(5) PHY 在 TX_CLK 上为 TX_D[3:0] 提供内部延迟，最多可增加 2ns 偏斜。请参阅寄存器 [0x0430]，了解可编程性信息
(6) 对于 40% 至 55% 的占空比，所支持的最大上升/下降时间为 8ns。对于 40% 至 60% 的占空比，最大上升/下降时间将为 6ns
(7) 适用于 1.8V VDDIO 的数据。

7.7 时序图

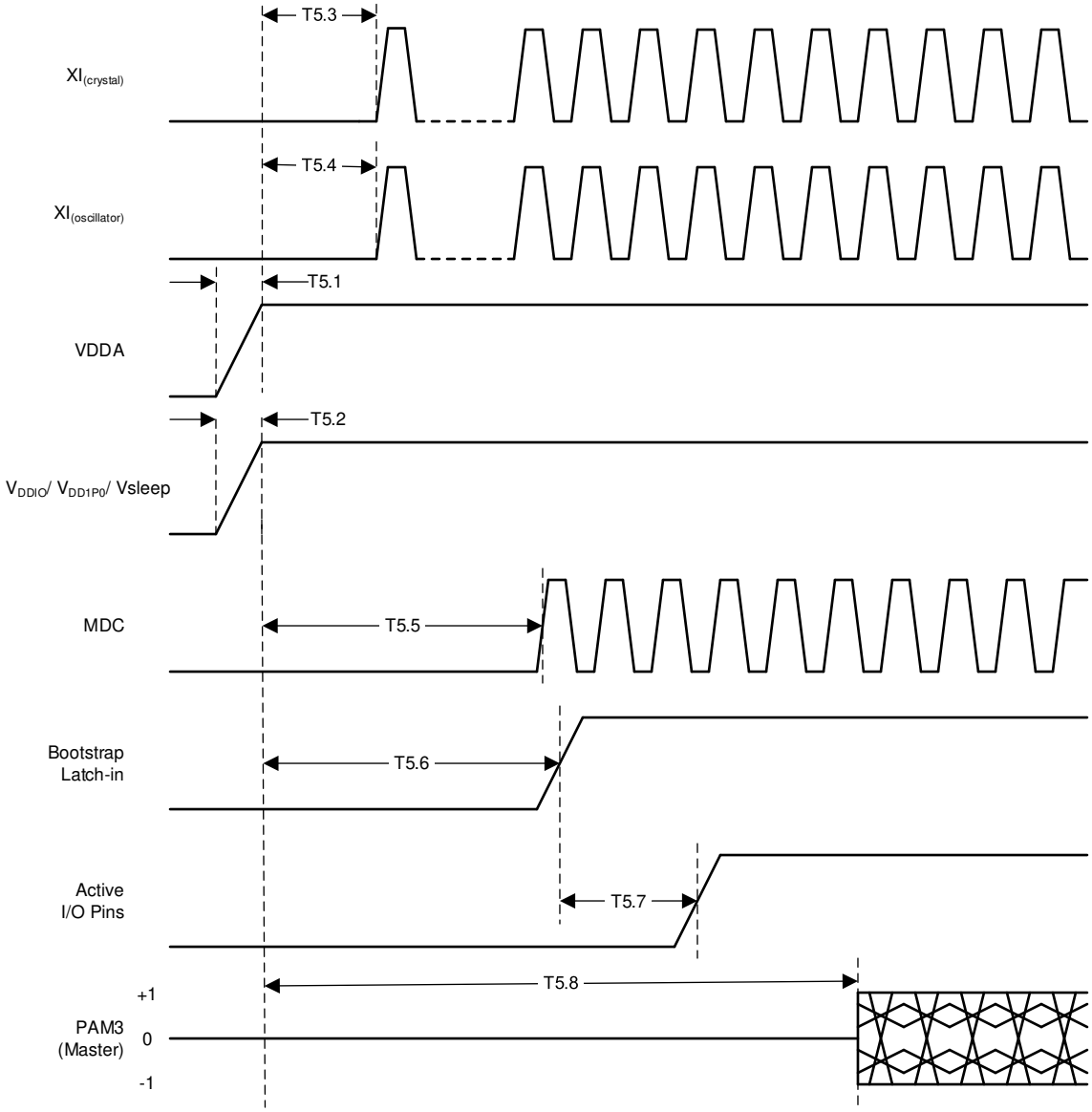


图 7-1. 上电时序

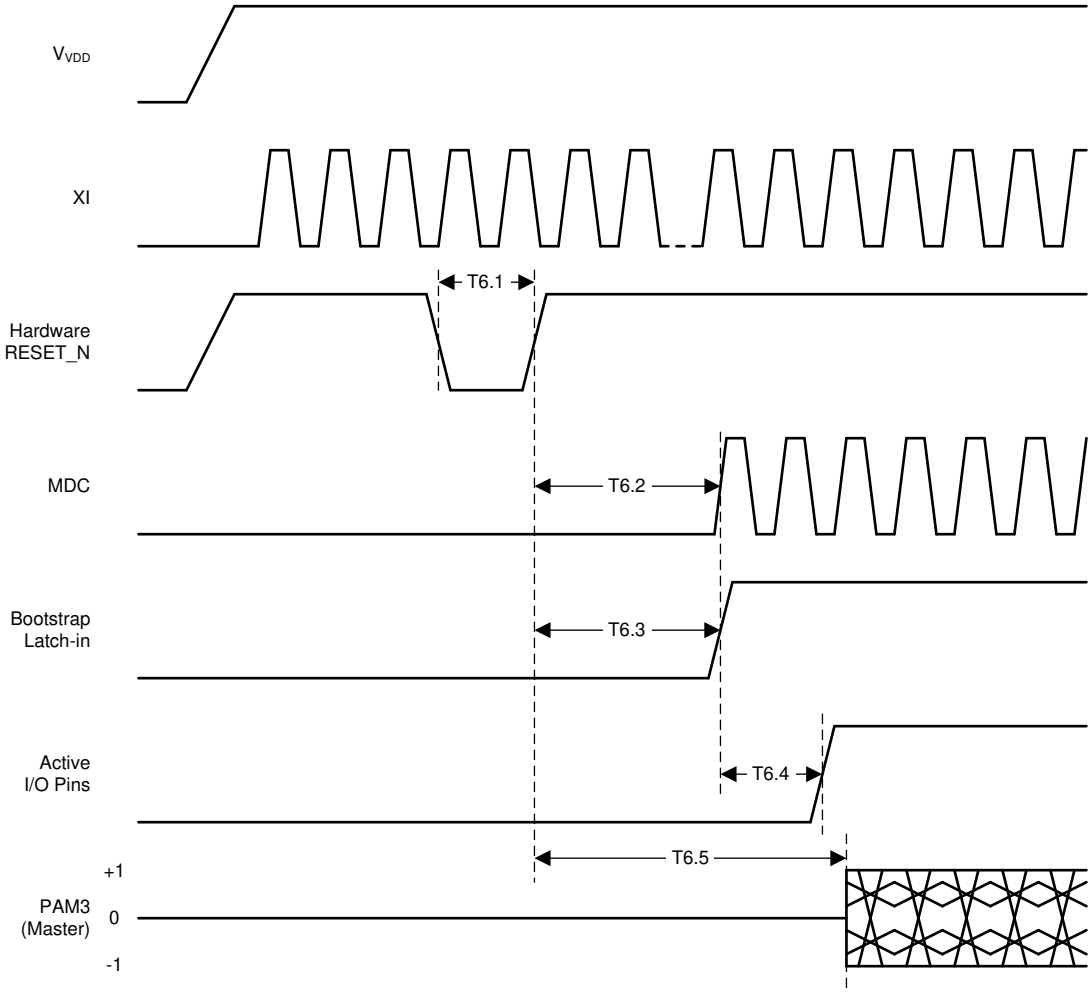


图 7-2. 复位时序

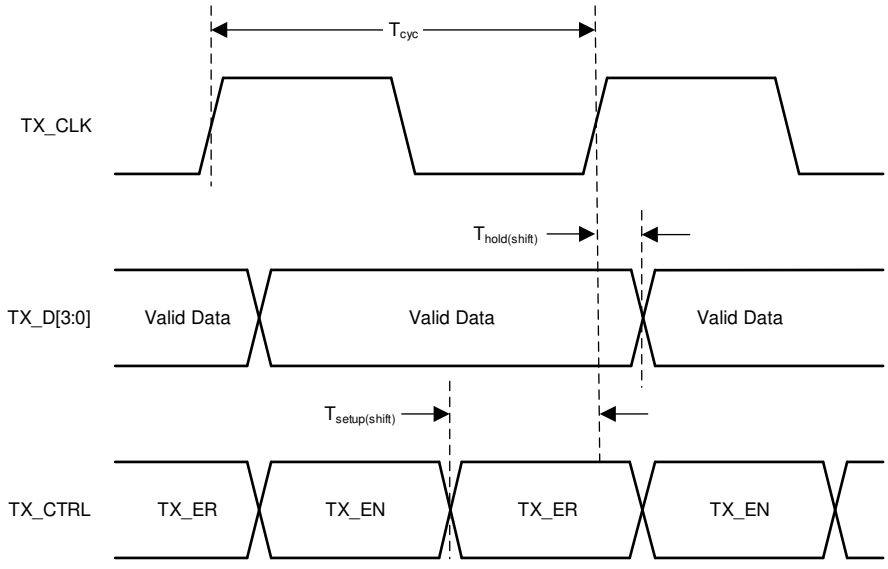


图 7-3. RGMII 发送时序（启用内部延迟）

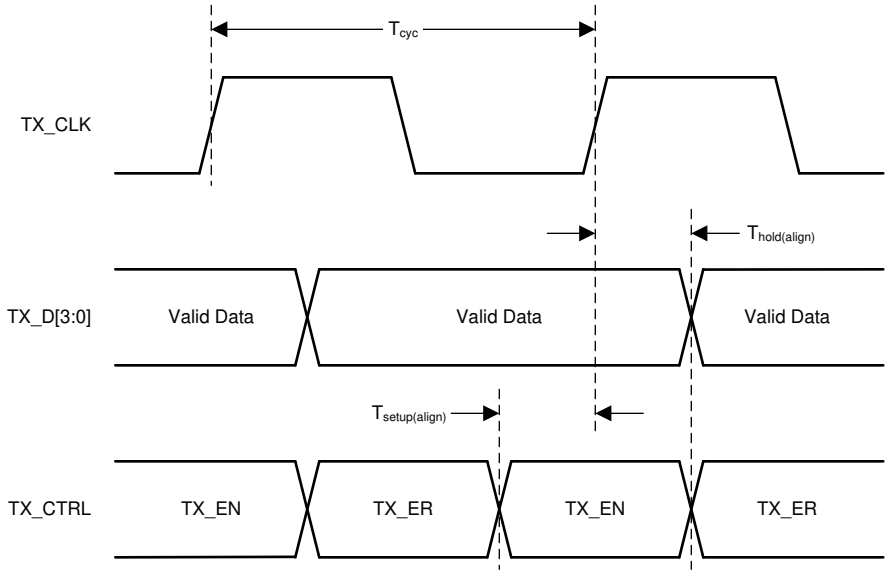


图 7-4. RGMII 发送时序（禁用内部延迟）

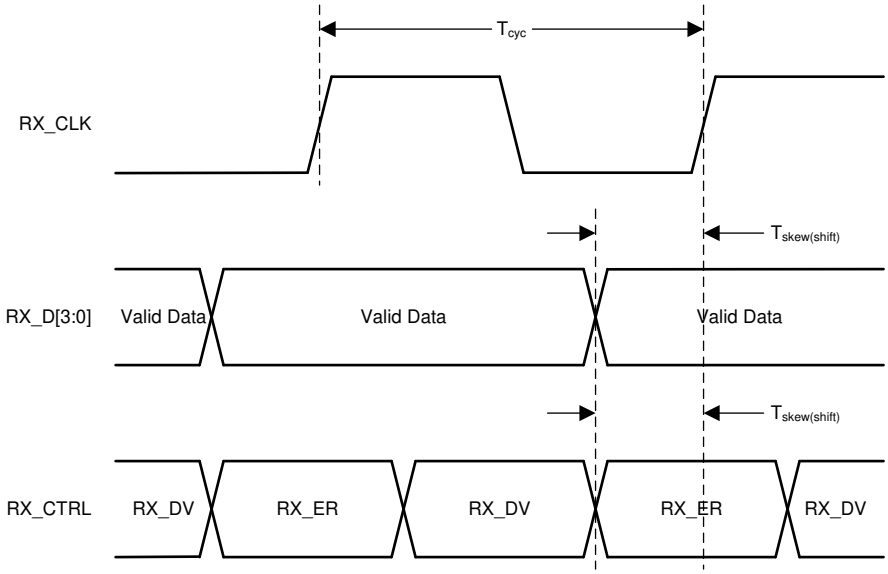


图 7-5. RGMII 接收时序（启用内部延迟）

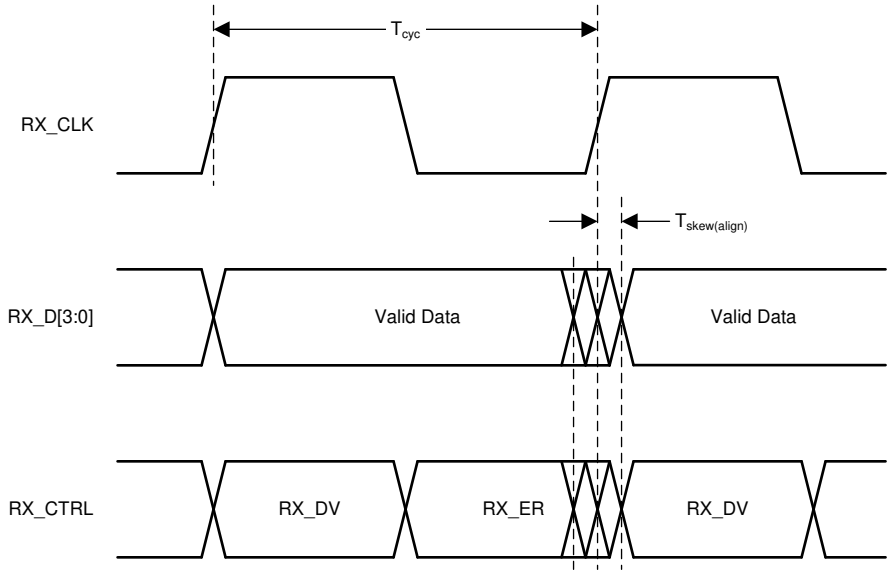


图 7-6. RGMII 接收时序（禁用内部延迟）

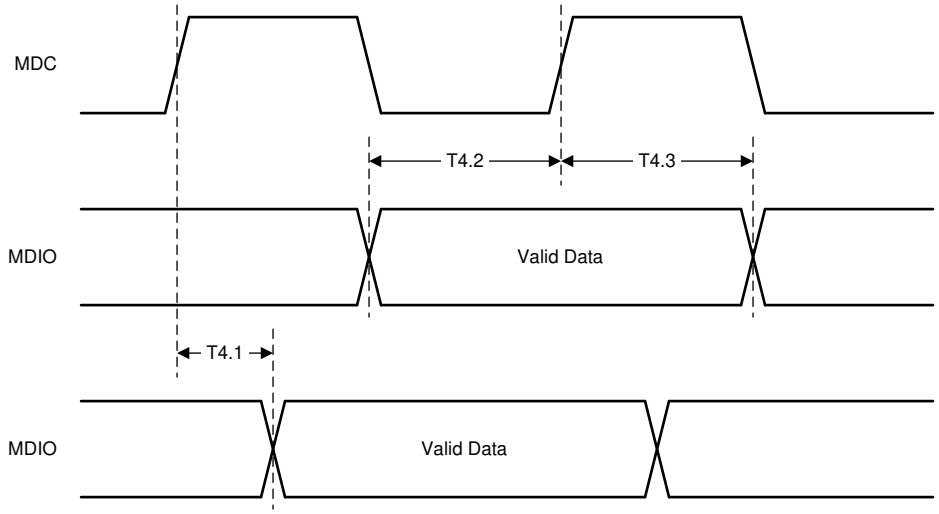


图 7-7. 串行管理时序

7.8 LED 驱动特性

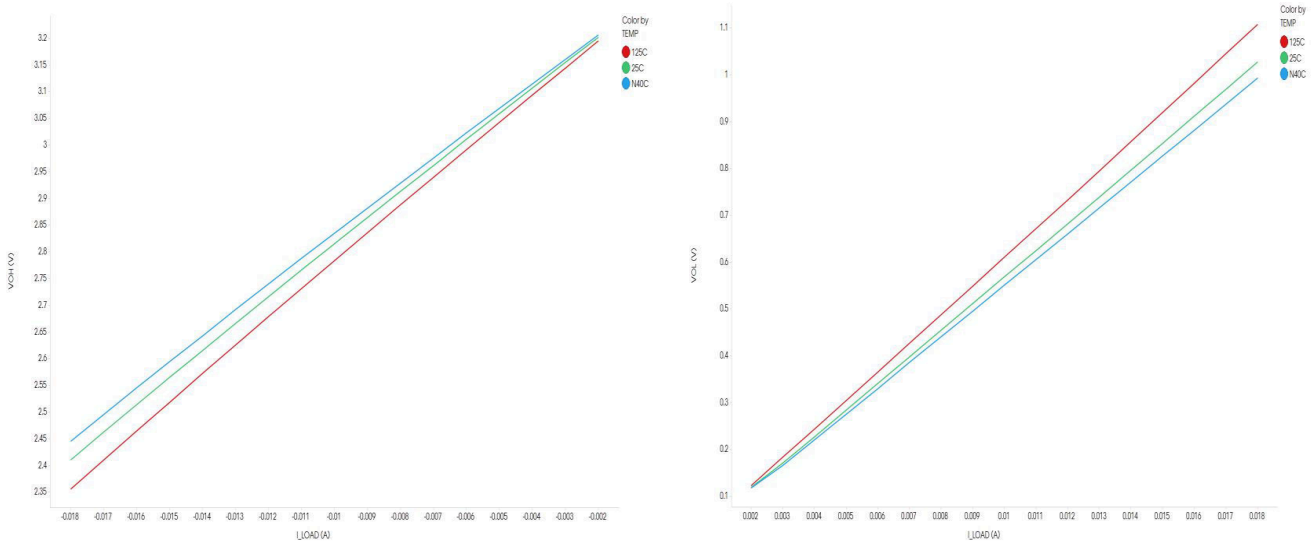


图 7-8. 3.3V VDDIO 时，LED V 与 I 间的关系

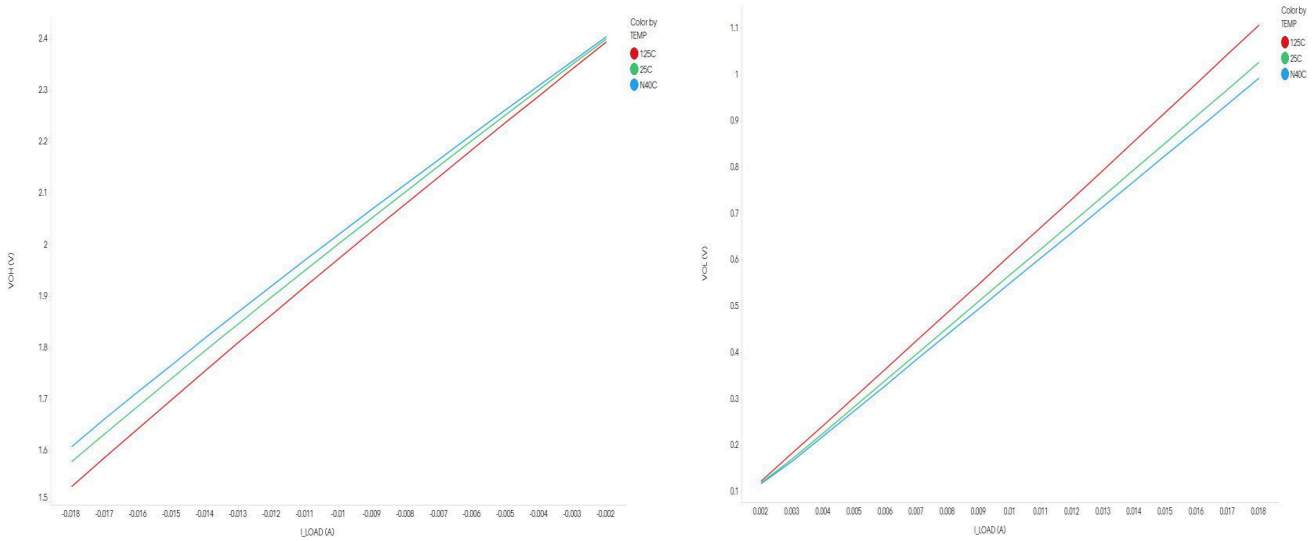


图 7-9. 2.5V VDDIO 时，LED V 与 I 间的关系

8 详细说明

8.1 概述

DP83TG720R-Q1 是一款 1000BASE-T1 汽车以太网物理层收发器，符合 IEEE 802.3bp 标准和面向汽车应用的 AEC-Q100 标准。

该器件经过专门设计，运行速度为 1Gbps，同时满足严格的汽车 EMC 要求。DP83TG720R-Q1 通过单条非屏蔽/屏蔽双绞线电缆以 750MBd 的速度发送 PAM3 三元符号。该器件设计采用单个 36 引脚 VQFN 可湿性侧面封装，支持 RGMII。

8.2 功能方框图

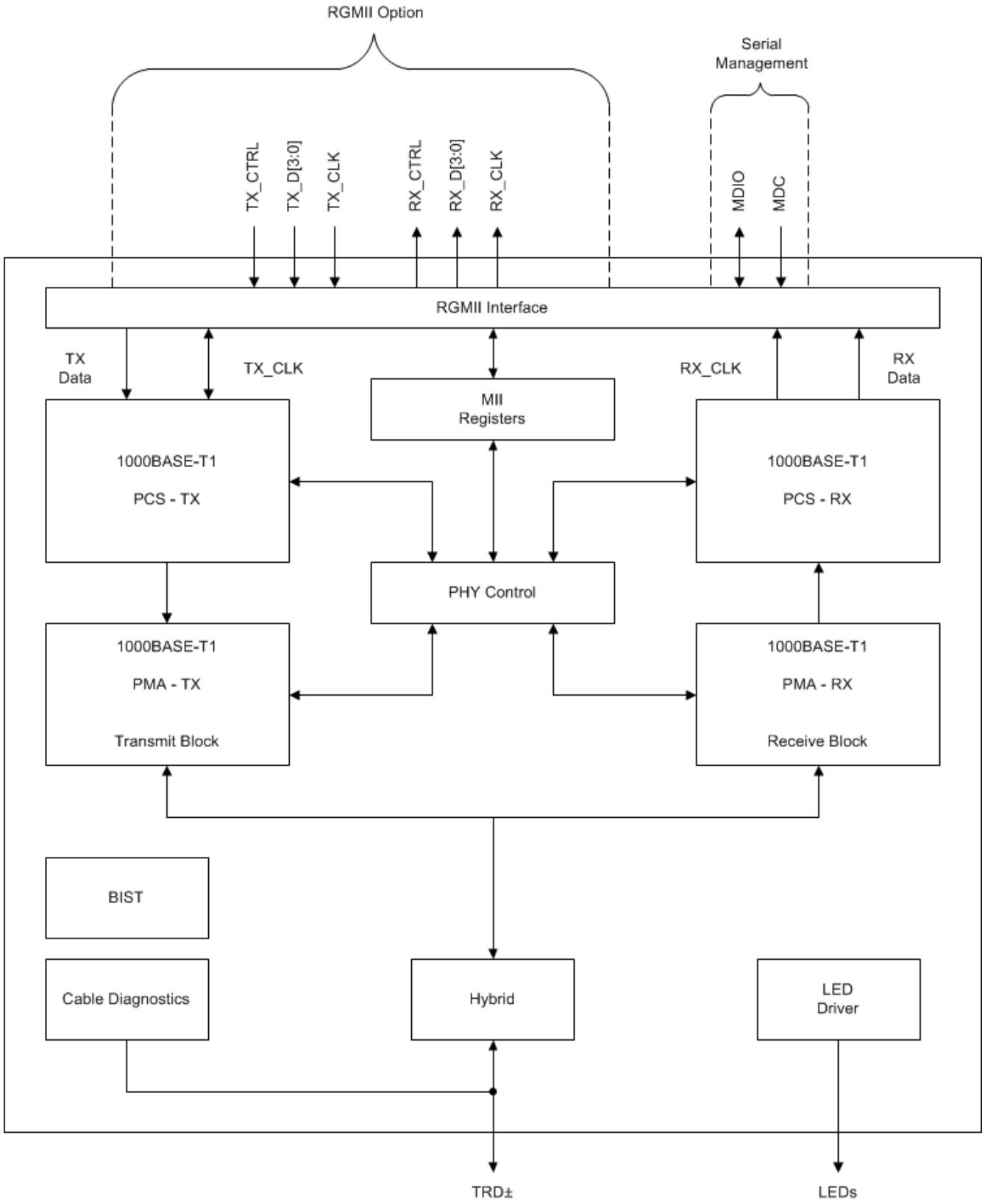


图 8-1. DP83TG720R-Q1 功能方框图

8.3 特性说明

8.3.1 诊断工具套件

DP83TG720R-Q1 诊断工具套件可提供用于监测正常运行、器件级调试、系统级调试、故障检测和合规性测试的机制。该工具套件包括带 PRBS 数据的内置自检、各种环回模式、信号质量指示器 (SQI)、时域反射计 (TDR)、电压监测器、温度监测器、静电放电监测器和 IEEE 802.3bp 测试模式。

8.3.1.1 信号质量指示器

DP83TG720R-Q1 处于激活状态时，信号质量指标可用于根据器件的 SNR 读数确定链路质量。

SQI 根据计算 SNR 值推导得出，表示为 8 级指标，其中第 5 级可确保 BER 优于 10^{-10}。

备注

请参阅 *DP83TG720：根据 Open Alliance 规范合规性进行配置* 应用手册，了解有关使用 SQI 寄存器进行 Open Alliance TC12 SQI 测试的详细信息。

8.3.1.2 时域反射计

时域反射计有助于检测和估计电缆开路和短路故障的位置。

在寄存器 [0x001E] 中设置位 [15] = 'b1，可激活 TDR。TDR 诊断过程成功完成后，寄存器 [0x001E] 的位 [1:0] 将变为 'b10。该状态更改结束后，可从下表的寄存器中读取 TDR 结果。

表 8-1. TDR 结果寄存器：0x030F

寄存器位	说明
[1:0]	• 01 = TDR 激活 • 10 = TDR 开启 • 00,11 = TDR 不可用
[3:2]	保留
[7:4]	• 0011 = 短路 • 0110 = 开路 • 0101 = 噪声 • 0111 = 电缆正常 • 1000 = 正在测试；TDR 开启时的初始值 • 1101 = 无法测试（例如，噪声、活动链路） • 其他无效值
[13:8]	• 故障距离 = [13:8] 的十进制值 • 'b111111 = 分辨率不可用/超出距离
[15:14]	保留

备注

若链路已处于活动状态，则不应运行 TDR。在活动线路上运行 TDR 可能导致 TDR 失效，还可能导致链路中断。

请参阅 *DP83TG720：根据 Open Alliance 规范合规性进行配置* 应用手册，了解运行 TDR 的详细程序。

8.3.1.3 数据路径内置自检

DP83TG720R-Q1 具有数据路径内置自检 (BIST) 功能，可检查 PHY 级和系统级数据路径。BIST 具有以下集成功能，可在不依靠 MAC 或外部数据生成器硬件/软件的情况下完成系统级数据传输测试（吞吐量等）和诊断。

1. 环回模式
2. 数据生成器
   a. 可定制的 MAC 数据包生成器。
   b. 发送数据包计数器。
   c. PRBS 流发生器。
3. 数据校验器
   a. 接收 MAC 数据包错误校验器。
   b. 接收数据包计数器：统计接收数据包和错误数据包的数量。
   c. PRBS 锁和 PRBS 错误校验器。

8.3.1.3.1 环回模式

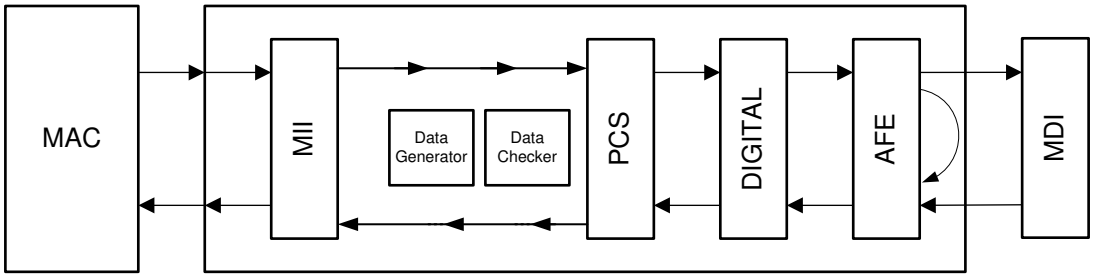


图 8-2. 所有环回

DP83TG720R-Q1 内有多个环回选项可供选择。根据系统验证要求，可通过启用不同环回模式来启用/绕过不同数据路径。可结合以下数据生成选项，启用不同环回：

a. 内置数据生成器

b. 外部数据生成器（在以太网电缆或 MAC 侧）

以下各图所示为不同环回选项的数据流：

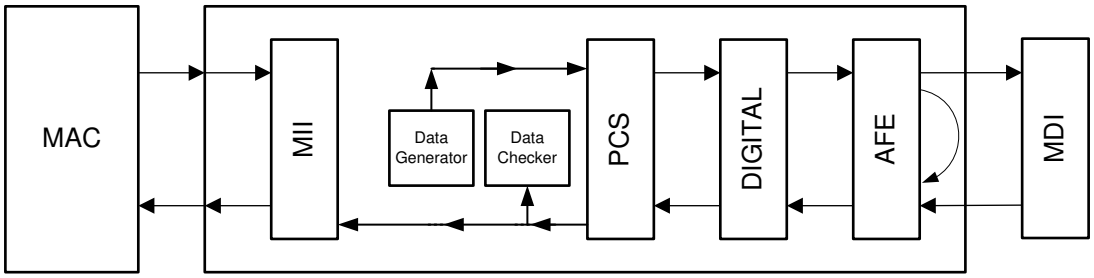


图 8-3. 具有内置数据生成器的模拟环回

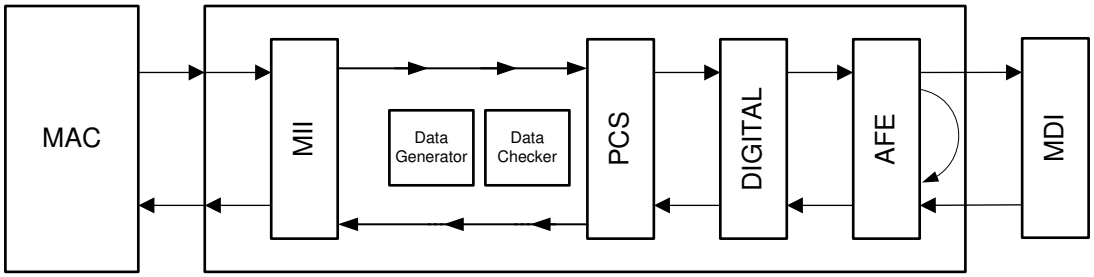


图 8-4. 具有外部数据生成器的模拟环回

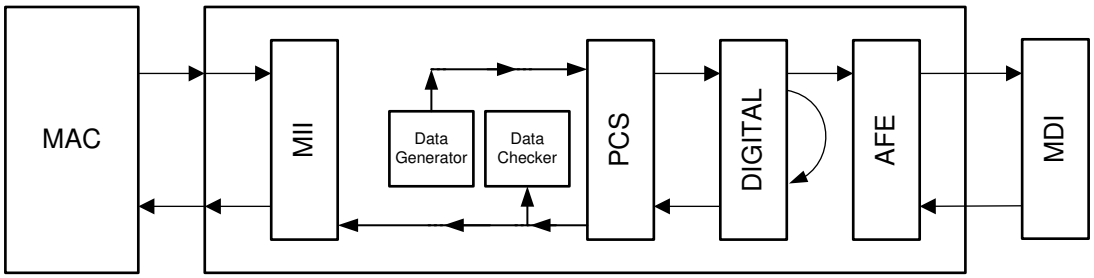


图 8-5. 具有内置数据生成器的数字环回

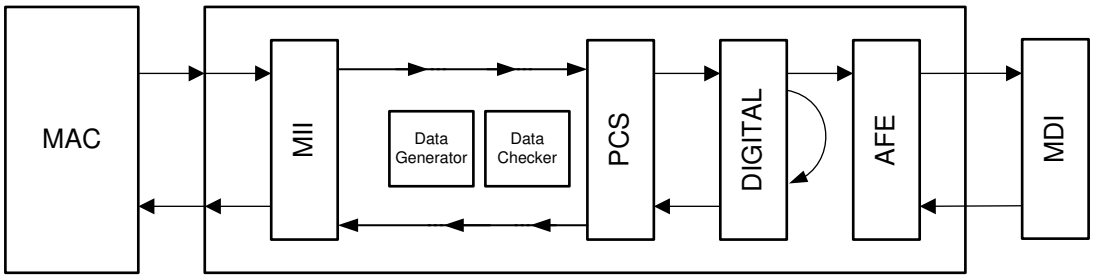


图 8-6. 具有外部数据生成器的数字环回

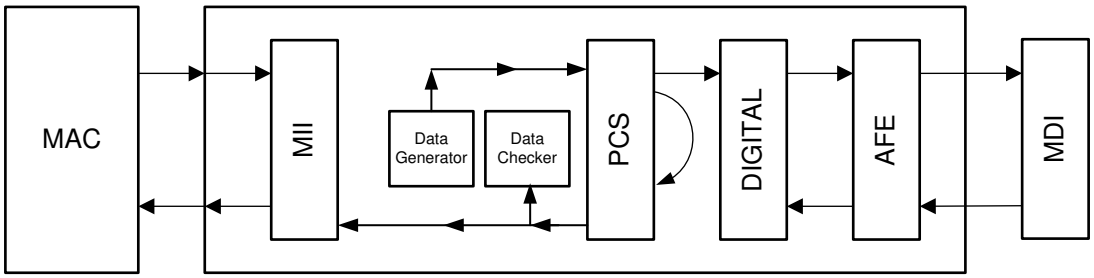


图 8-7. 具有内置数据生成器的 PCS 环回

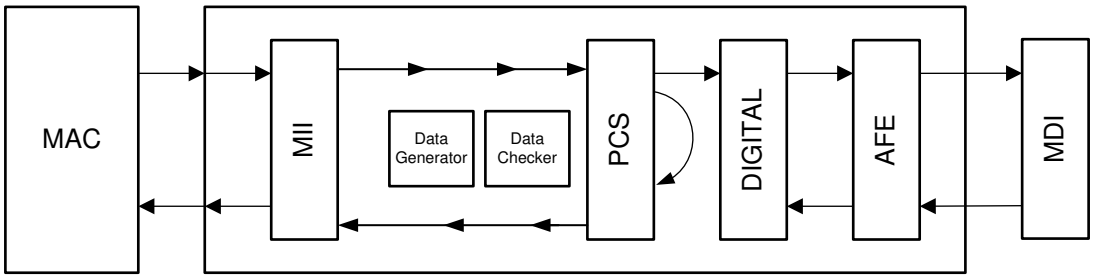


图 8-8. 具有外部数据生成器的 PCS 环回

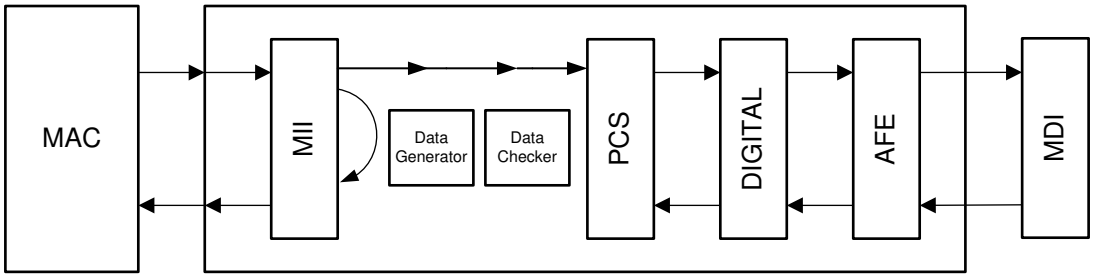


图 8-9. 具有外部数据生成器的 xMII 环回

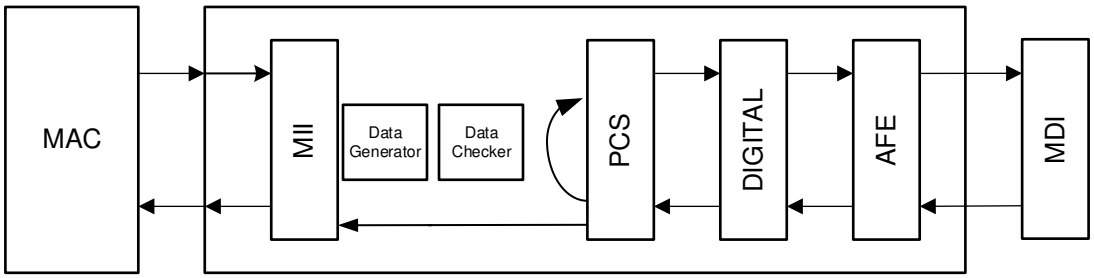


图 8-10. 具有外部数据生成器的 xMII 反向环回

8.3.1.3.2 数据生成器

可对数据生成器进行编程，进而生成用户定义的 MAC 数据包或 PRBS 流。

可配置所生成 MAC 数据包的以下参数（有关所需配置，请参阅寄存器 <0x061B>、寄存器 <0x061A> 和寄存器 <0x0624>）：

- 数据包长度
- 数据包间间隙
- 需发送或持续传输的数据包的规定数量
- 数据包数据类型：增量/固定/PRBS
- 每个数据包的有效字节数

8.3.1.3.3 编程数据路径 BIST

以下寄存器设置可启用不同的环回、数据生成和数据校验程序。

表 8-2. 数据路径 BIST 编程

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
1	模拟环回	写入： reg[0x0016] = 0x0108 写入： reg[0x0405] = 0x2800	写入： reg[0x0619] = 0x1555 写入： reg[0x0624] = 0x55BF	读取： reg[0x063C]，获取接收数据包总数的位 (15:0)。 读取： reg[0x063D]，获取接收数据包总数的位 (31:16)。 读取： reg[0x063E]，获取有 CRC 错误的接收数据包。	写入： reg[0x0619] = 0x0557 写入： reg[0x0624] = 0x55BF	步骤 1： 写入： reg[0x0620](1) = 1'b1 步骤 2： 读取：reg[0x0620] (7:0) = 接收的错误字节数。 读取：reg[0x0620] (8) (1 表示 PRBS 数据正在传入且校验器已锁定)	断开电缆/链路伙伴。 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540
2	数字环回	写入： reg[0x0016] = 0x0104 写入： reg[0x0800][11] = 1	写入： reg[0x0619] = 0x1555 写入： reg[0x0624] = 0x55BF	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg<0x063E> -> 接收的数据包有 CRC 错误	写入： reg[0x0619] = 0x0557 写入： reg[0x0624] = 0x55BF	步骤 1： 写入： reg[0x0620][1] = 1'b1 步骤 2： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8] (1 表示 PRBS 数据正在传入且校验器已锁定)	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540
3	PCS 环回	写入： reg<0x0016> = 0x0101	写入： reg[0x0619] = 0x1555 写入： reg[0x0624] = 0x55BF	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	写入： reg[0x0619] = 0x0557 写入： reg[0x0624] = 0x55BF	步骤 1： 写入： reg[0x0620][1] = 1'b1 步骤 2： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8] (1 表示 PRBS 数据正在传入且校验器已锁定)	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000 生成的数据将进入 MAC 侧，用于禁用 MAC 侧： 写入： reg[0x0000] = 0x0540

表 8-2. 数据路径 BIST 编程 (continued)

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
4	RGMII 环回	写入： reg<0x0000> = 0x4140	数据在 Rgmii TX 引脚外部生成 写入： reg[0x0619] = 0x1004	可在 Rgmii RX 引脚上验证数据。此外，还可按如下方式在内部检查数据包错误： 读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	数据在 Rgmii Tx 引脚外部生成。	不适用，因为数据为外部数据。 PRBS 流校验器仅适用于与内部数据生成器配合使用。	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000
5	SGMII 环回	写入： reg[0x0000] = 0x4140	数据在 Sgmii TX 引脚外部生成 写入： reg[0x0619] = 0x1114	可在 Sgmii RX 引脚上验证数据。此外，还可按如下方式在内部检查数据包错误： 读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	数据在 Sgmii Tx 引脚外部生成。	不适用，因为数据为外部数据。 PRBS 流校验器仅适用于与内部数据生成器配合使用。	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000
6	RGMII 反向环回	写入： reg[0x0016] = 0x0010	写入： reg[0x0619] = 0x1005 写入： reg[0x0624] = 0x55BF	读取：reg[0x063C] = 接收数据包总数的位 [15:0]。 读取：reg[0x063D] = 接收数据包总数的位 [31:16]。 读取：reg[0x063E] = 接收的数据包有 CRC 错误	写入： reg[0x0619] = 0x0557 写入： reg[0x0624] = 0x55BF	步骤 1： 写入： reg[0x0620][1] = 1'b1 步骤 2： 读取：reg[0x0620] [7:0] = 接收的错误字节数。 读取：reg[0x0620] [8]（1 表示 PRBS 数据正在传入且校验器已锁定）	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000

表 8-2. 数据路径 BIST 编程 (continued)

	回送模式	启用环回模式	启用数据生成器和校验器：MAC 数据包	检查传入 MAC 数据包的状态	启用数据生成器和校验器：PRBS 流	检查传入 PRBS 的状态：PRBS 流	其他注意事项
7	SGMII 反向环回	写入： reg[0x042C] = 0x0010	写入： reg[0x0619] = 0x1115 写入： reg[0x0624] = 0x55BF	读取： reg[0x063C]，获取接收数据包总数的位 [15:0]。 读取： reg[0x063D]，获取接收数据包总数的位 [31:16]。 读取： reg[0x063E]，获取有 CRC 错误的接收数据包。	写入： reg[0x0619] = 0x0557 写入： reg[0x0624] = 0x55BF	步骤 1： 写入： reg[0x0620][1] = 1'b1 步骤 2： 读取：reg[0x0620] [7:0]，获取接收的错误字节数。 读取：reg[0x0620] [8]（1 表示 PRBS 数据正在传入且校验器已锁定）	生成的数据将转到铜芯电缆侧，用于禁用该传输： 写入： reg[0x041F] = 0x1000

备注

可使用寄存器 [0x061B] 和寄存器 [0x0624] 进一步配置不同的 MAC 数据包参数

8.3.1.4 温度和电压检测

PHY 的温度传感器可用于指示系统温度，可通过读取温度传感器输出寄存器来动态读取读数。

电压传感器检测所有电源引脚的电压：vdda、vddio 和 vdd1p0。通过读取相应的电压传感器输出寄存器，可检测每个引脚的有源电压。

所有传感器都始终处于活动状态，并监测状态机定期轮询每个传感器的值。通过使用 MONITOR_CTRL_3 寄存器，可进一步对监测状态机进行编程，以便为某个传感器提供比另一传感器更高的优先级/采样时间。

以下软件序列可用于读取任何传感器的输出：

- 步骤 1：编程寄存器 [0x0467] = 0x6004；初始配置监测器
- 步骤 2：编程寄存器 [0x046A] = 0x00A6，然后编程寄存器 [0x046A] = 0x00A3；刷新监测器
- 步骤 3：编程寄存器 [0x0468]，选择要轮询的相应传感器，读取寄存器 [0x047B] [14:7]，以便获取所选传感器的输出代码。
- 步骤 4：在以下公式中代入读取传感器输出代码的值（十进制），获取传感器的十进制输出值。请参阅传感器选择表，获得以下公式中所需的常数值：
  - vdda_value = 3.3 + (vdda_output_code - vdda_output_mean_code) * slope_vdda_sensor
  - vdd1p0_value = 1.0 + (vdd1p0_output_code - vdd1p0_ouput_mean_code) * slope_vdd1p0_sensor
  - vddio_calculated = 3.3 + (vddio_ouput_code - vddio_output_mean_code) * slope_vddio_sensor
  - temperature_calculated = 25 + (temperature_output_code - temperature_output_mean_code) * slope_temperature_sensor

表 8-3. 传感器选择表

寄存器 [0x0468]	所选读取传感器
0x1920	VDDA 电压传感器
0x2920	VDD1P0 电压传感器
0x3920	VDDIO 电压传感器
0x4920	温度传感器

表 8-4. 传感器的常数值

常量	值（十进制）
vdda_output_mean_code	128
slope_vdda3p3_sensor	8.63014e-3
vdd1p0_output_mean_code	93
slope_vdd1p0_sensor	2.85714e-3
vddio_output_mean_code	224
slope_vddio_sensor	15.686e-3
temperature_output_mean_code	161
slope_temperature_sensor	1.5

备注

如果客户在 25°C 时采样“temperature_output_code”并将其用作“temperature_output_mean_code”，则可充分提高温度传感器的精度 (7.5°C)。

8.3.1.5 静电放电检测

对电子电路而言，静电放电非常危险，若缓解不当，就会导致短期问题（信号完整性、链路丢弃、数据包丢失）及长期可靠性故障。DP83TG720R-Q1 包含强大的集成 ESD 电路，还具有 ESD 检测架构。可在 MDI 引脚上检测 ESD 事件，用于进一步分析和调试。

ESD 检测工具可用于原型设计和终端应用。此外，对于寄存器 <0x0442> 中记录的 ESD 事件，DP83TG720R-Q1 还会提供中断状态标志。为防止不必要的清除，ESDS 寄存器会忽略硬件和软件复位。

表 8-5. ESD 检测：中断设置和计数读取

功能	所需读取/写入
中断启用	• 写入寄存器 <0x0012>[3] = 1
ESD 事件计数器	• 读取寄存器 <0x0442>[14:9] • 十进制数值表示上电之后的 ESD 冲击。

8.3.2 合规性测试模式

DP83TG720R-Q1 的六种测试模式都符合 IEEE 802.3bp 第 97.5.2 条。所支持的测试模式可测试发送器波形功率谱密度 (PSD) 掩码、失真、MDI 主模式抖动、MDI 从模式抖动、压降、发送器频率、频率容差、BER 监测、回波损耗和模式转换。三个 GPIO 中的任何一个均可用于输出 TX_TCLK，以便进行 MDI 从模式抖动测量。

8.3.2.1 测试模式 1

与伙伴相链接时，测试模式 1 测试发送器时钟抖动。在测试模式 1 中，使用 IEEE 802.3bp 第 97.6 节中定义的链路段来连接 DP83TG720R-Q1 PHY。TX_TCLK125 是源自 TX_TCLK 的分频时钟，频率为 TX_TCLK 的六分之一。

8.3.2.2 测试模式 2

测试模式 2 测试发送器 MDI 主模式抖动。在测试模式 2 中，DP83TG720R-Q1 将发送包含三个 {+1} 符号和三个 {-1} 符号的连续模式。所发送符号的时间从 750MHz 源开始，从而产生 125MHz 信号。

8.3.2.3 测试模式 4

测试模式 4 测试发送器失真。在测试模式 4 中，DP83TG720R-Q1 将发送根据方程式 1 生成的符号序列：

$$g(x) = 1 + x^9 + x^{11} \quad (1)$$

位序列 x0n 和 x1n 根据扰频器及以下公式组合生成 和：

$$'x0_n = Scr_n[0] \quad (2)$$

$$x1_n = Scr_n[1] \wedge Scr_n[4] \quad (3)$$

$$x2_n = Scr_n[1] \wedge Scr_n[5] \quad (4)$$

表 8-6 中显示了 3 位半字节的示例流。

表 8-6. 发送器测试模式 4 符号映射

x2n	x1n	x0n	T1n	T0n
0	0	0	-1	-1
0	0	1	0	-1
0	1	0	-1	0
0	1	1	-1	+1
1	0	0	+1	0
1	0	1	+1	-1
1	1	0	+1	+1
1	1	1	0	+1

8.3.2.4 测试模式 5

测试模式 5 测试发送器 PSD 屏蔽。在测试模式 5 中，DP83TG720R-Q1 将发送正常帧间 IDLE PAM3 符号。

8.3.2.5 测试模式 6

测试模式 6 测试发送器压降。在测试模式 6 中，DP83TG720R-Q1 发送 15 个 {+1} 符号和 15 个 {-1} 符号，符号发送频率为 750MHz。在禁用此测试模式之前，该 25MHz 模式持续重复。

8.3.2.6 测试模式 7

测试模式 7 启用链路段上的误码率测量。通过比较预期零数据模式与所接收的任何非零位，此模式可使用 MDI 上的零数据模式来检查 BER。在 FEC 和 80B/81B 解码之后执行错误检查。

表 8-7. 测试模式寄存器设置

MMD	寄存器	值	测试模式
MMD1	0x0904	0x2000	测试模式 1：TX_Tclk 125MHz 与 clkout 引脚相连。
MMD1	0x0904	0x4000	测试模式 2
MMD1	0x0904	0x8000	测试模式 4：TX_Tclk 125MHz 与 clkout 引脚相连。
MMD1F	0x0453	0x0019	
MMD1	0x0904	0xA000	测试模式 5
MMD1	0x0904	0xC000	测试模式 6
MMD1	0x0904	0xE000	测试模式 7

8.4 器件功能模式

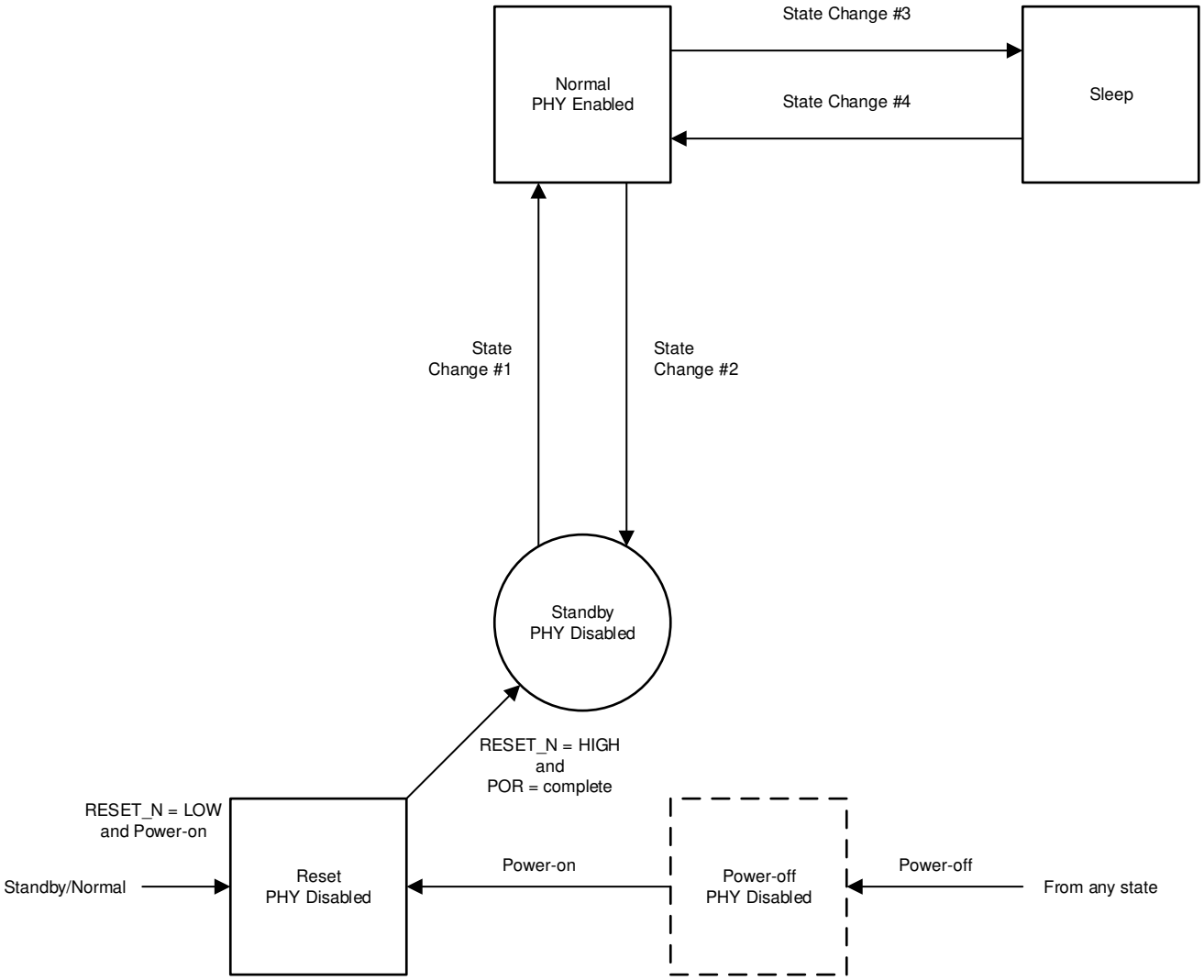


图 8-11. PHY 运行状态图

8.4.1 断电

当 VDDA3P3、VDDIO 或 VDD1P0 低于 POR 阈值时，DP83TG720R-Q1 处于断电状态。所有数字 IO 都将保持高阻抗状态，且模拟块被禁用。断电状态时不存在 PMA 终端。

8.4.2 复位

如果将 RESET_N 拉至低电平（最短复位脉冲时间）或通过设置寄存器 [0x001F] 的位 [15] 来启动硬件复位，则会在上电时激活复位。

- 数字状态机在复位后重启，所有寄存器设置都将清除至启动状态。
- 复位状态期间，clkout 引脚上的 25MHz 时钟也将处于激活状态。
- 复位状态期间，MDI/PMA 无终端。

备注

仅通过引脚复位而不是通过由寄存器（寄存器 [0x001F] = X8000）实现的硬件复位来再次锁存自举。

8.4.3 待机

只要器件自举为管理运行，在上电和复位之后，器件（MDI 主模式或 MDI 从模式）都会自动进入待机模式。

在待机模式下，除 PCS 和 PMA 块外，所有 PHY 功能均可运行。处于待机模式时，无法建立链路，不能发送或接收数据。SMI 功能正常运行，寄存器配置得到维护。

如果通过自举设置将器件配置为自主运行，则 PHY 会在上电并完成复位后自动切换到正常运行模式。

8.4.4 正常

可从自主或管理运行进入正常模式。在自主运行时，PHY 将在上电后自动尝试与有效链路伙伴建立链路。

在管理运行中，需执行 SMI 访问才能使器件退出待机状态；通过 SMI 发出的命令可使器件退出待机状态并启用 PCS 和 PMA 块。所有器件都能以正常模式运行。

设置寄存器 0x18B 中的位 [6] 后，可通过 SMI 访问启用自主运行。

8.4.5 睡眠

进入睡眠模式后，除能量检测外，将禁用所有 PHY 块。在睡眠模式下，所有寄存器配置都会丢失。处于睡眠模式时，无法建立链路，不能传输或接收数据，不可访问 SMI。

如需使用 PHY 的睡眠模式，请参阅下图中突出显示的实现。

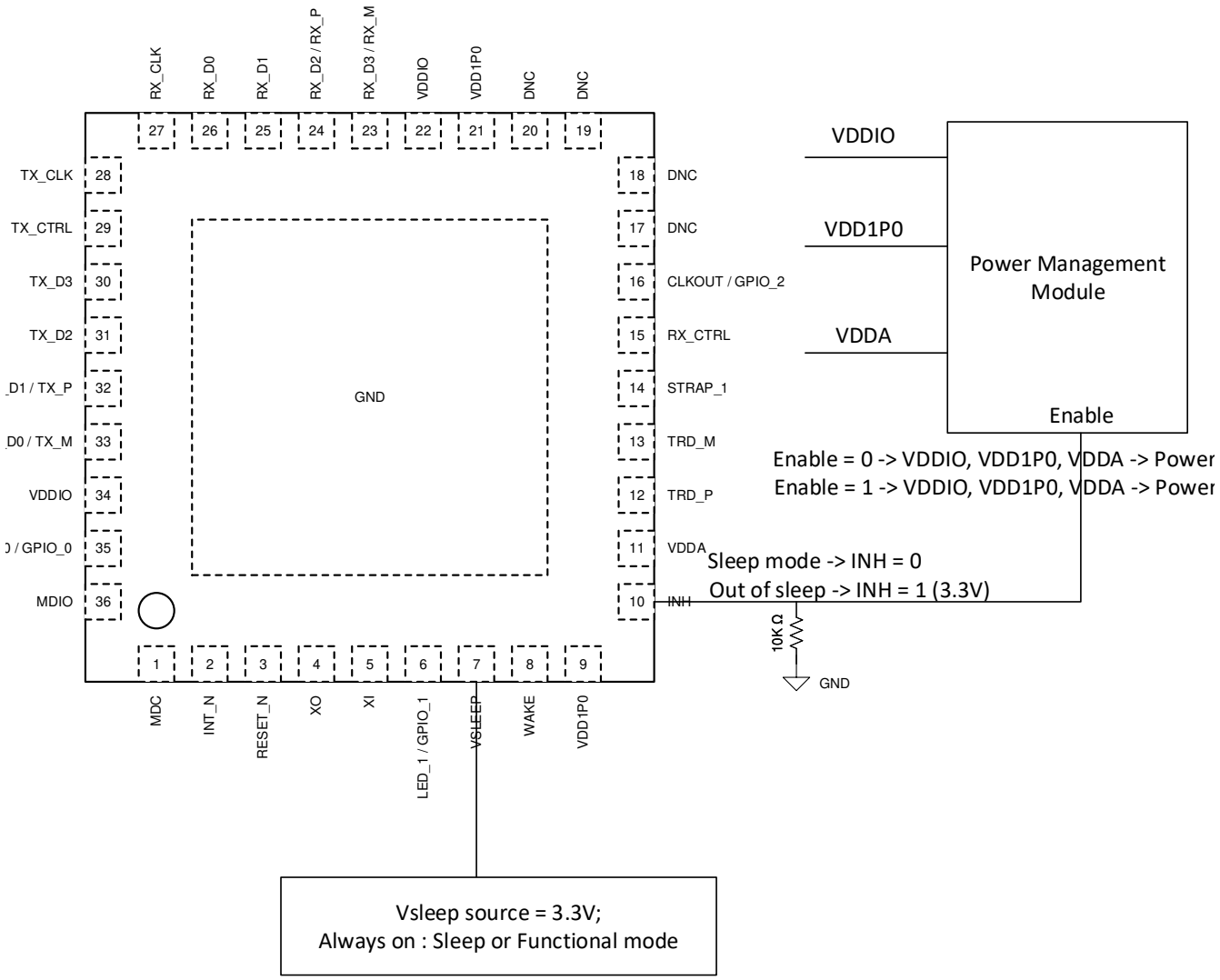


图 8-12. 睡眠模式所需实现

备注

若未根据上图禁用电源，PHY 将不会进入睡眠模式。

8.4.6 状态转换

8.4.6.1 状态转换 #1 - 待机到正常

*自主运行：*POR 完成后，PHY 将自动转换为正常状态。

*管理运行：*仅在写入寄存器 <0x018C> = 0x001 后，PHY 才会从待机状态转换为正常状态。

8.4.6.2 状态转换 #2 - 正常到待机

在正常状态下，通过写入寄存器 <0x018C> = 0x0010，可强制 PHY 返回待机状态。

8.4.6.3 状态转换 #3 - 正常到睡眠

可在本地（引脚/寄存器写入）或通过远程链路伙伴进入睡眠状态。

主模式 PHY 的本地睡眠进入：

- 步骤 1：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 步骤 2：写入 reg0x042F = 0x0007、reg0x041E = 0x0100
- 步骤 3：将 wake 引脚置为低电平并保持低电平，以便进入睡眠模式。

从模式 PHY 的本地睡眠进入：

- 步骤 1：写入寄存器 [0x018B] 的位 [8] = 'b0。
- 步骤 2：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 步骤 3：写入 reg0x042F = 0x0007、reg0x041E = 0x0100
- 步骤 4 ：将 wake 引脚置为低电平并保持低电平，以便进入睡眠模式。

主模式 PHY 的远程睡眠进入：

- 器件与链路伙伴建立链路之后，根据如下说明，从模式 PHY 可远程使主模式进入睡眠状态。
- 步骤 1：写入寄存器 [0x018B] 的位 [8] = 'b1 和寄存器 [0x018B] 的位 [7] = 'b1。
- 步骤 2：将 wake 引脚置为低电平
- 步骤 3：PHY 将进入睡眠模式，损失线路能量

从模式 PHY 的远程睡眠进入：

- 步骤 1：写入寄存器 [0x018B] 的位 [7] = 'b1。
- 步骤 2：将 wake 引脚置为低电平。
- 步骤 3：PHY 将进入睡眠模式，损失线路能量（主模式完全进入睡眠时：无数据、无 send-s)。这可通过将链路伙伴置于管理模式（不允许器件启动链路建立序列）来实现。

备注

仅当使用 INH 信号断开电源时，PHY 才会进入睡眠模式，如图**睡眠模式所需实现**所示。

8.4.6.4 状态转换 #4 - 睡眠到正常

可在本地（引脚/寄存器写入）或通过远程链路伙伴退出睡眠状态。

本地睡眠退出

主模式 PHY 的本地睡眠退出方式：

- 将 wake 引脚置为高电平 (3.3V)。

从模式 PHY 的本地睡眠退出方式：

- 将 wake 引脚置为高电平 (3.3V)。

远程睡眠退出

如需通过链路伙伴使器件退出睡眠模式，可采用以下任一方式：

1. 使用链路伙伴的 Send-S 符号完成远程睡眠退出。
2. 使用链路伙伴的 Send-T 符号完成远程睡眠退出。

下表列出了这些程序的详细信息：

表 8-8. 远程睡眠退出程序

方法	器件模式	过程	所需的链路伙伴能力
使用 Send-S	主器件	步骤 1：从链路伙伴启动 IEEE 定义的 Send-S 模式，至少持续 1.25ms。 步骤 2：将链路伙伴置于正常模式，以便启动链路建立。 注意：具有低 VOD 的链路伙伴可能会将远程唤醒限制在最大 5m 电缆的范围内。	链路伙伴还需要可在从模式下按需发送 Send-S 模式的模式。 一种可能方法是： 步骤 1：将链路伙伴置于主模式，至少持续 1.25ms。 步骤 2：将链路伙伴置于正常模式，以便启动链路建立
	从器件	步骤 1：从链路伙伴启动 IEEE 定义的 Send-S 模式，至少持续 1.25ms。 步骤 2：将链路伙伴置于正常模式，以便启动链路建立。 注意：具有低 VOD 的链路伙伴可能会将远程唤醒限制在最大 5m 电缆的范围内。 注意：如需使从模式 DP83TG720 保持睡眠模式，可将链路伙伴置于管理模式（不允许器件启动链路建立序列）。	可使用任何符合 IEEE 标准的链路伙伴，因为主模式链路伙伴应通过发送 Send-S 信号来启动链路建立

表 8-8. 远程睡眠退出程序 (continued)

方法	器件模式	过程	所需的链路伙伴能力
使用 Send-T	主器件	步骤 1：启用链路伙伴的 Send-T 模式，至少持续 1.25ms。 步骤 2：将链路伙伴置于正常模式，以便启动链路建立。	链路伙伴需要可按需发送 Send-T 模式的模式。 在 Send-T 模式下，链路伙伴引脚处的摆幅应大于 0.92V，以便通过 15m 电缆进行远程唤醒。具有较低 VOD 的链路伙伴可能会将远程唤醒限制在 5m 电缆范围内。 DP83T720 作为链路伙伴，可通过以下步骤完成所需运行： 步骤 1：启用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = 0x7400；reg[0x0509] = 0x4007 和 reg[0x0576] = 0x0500 步骤 2：100ms 后，禁用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = x5800；reg[0x0509] = 0x4005 和 reg[0x0576] = 0x0000
	从器件	步骤 1：启用链路伙伴的 Send-T 模式，至少持续 1.25ms。 步骤 2：将链路伙伴置于正常模式，以便启动链路建立。	链路伙伴需要可按需发送 Send-T 模式的模式。 在 Send-T 模式下，链路伙伴引脚处的摆幅应大于 0.92V，以便通过 15m 电缆进行远程唤醒。具有较低 VOD 的链路伙伴可能会将远程唤醒限制在 5m 电缆范围内。 DP83T720 作为链路伙伴，可通过以下步骤完成所需运行： 步骤 1：启用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = 0x7400；reg[0x0509] = 0x4007 和 reg[0x0576] = 0x0500 步骤 2：100ms 后，禁用 DP83TG720 链路伙伴的 Send-T 模式：写入 reg[0x0405] = x5800；reg[0x0509] = 0x4005 和 reg[0x0576] = 0x0000

8.4.7 媒体相关接口

8.4.7.1 MDI 主模式和 MDI 从模式配置

使用硬件自举或通过寄存器访问均可配置 MDI 主模式和 MDI 从模式。

LED_0 控制 MDI 主模式和 MDI 从模式自举配置。默认情况下配置为 MDI 从模式，因为 LED_0 引脚带有内部下拉电阻器。如果优先通过硬件自举来配置 MDI 主模式，则需添加外部上拉电阻器。

此外，PMA_CTRL2 寄存器中的位 [14] 也可控制 MDI 主模式和 MDI 从模式配置。设置该位时，将启用 MDI 主模式。

8.4.7.2 自动极性检测和校正

在链路训练过程中，DP83TG720R-Q1 作为 MDI 接收器，能够检测极性反转并自动校正错误。主模式和从模式检测均可完成接收器极性所需的校正。

请参考寄存器 0x055B，以便根据应用需求来控制 PHY 发送器的极性。发送器极性的控制与所接收极性无关。

8.4.8 MAC 接口

8.4.8.1 简化千兆位媒体独立接口

DP83TG720R-Q1 也支持 RGMII 2.0 版指定的简化千兆位媒体独立接口 (RGMII)。RGMII 旨在减少连接 MAC 和 PHY 所需的引脚数。为实现这一目标，将对控制信号进行多路复用。时钟的上升沿和下降沿都用于对发送和接收路径中的控制信号引脚进行采样。对于 1Gbps 运行，RX_CLK 和 TX_CLK 都以 125MHz 运行。

表 8-9 中总结了 RGMII 信号。

表 8-9. RGMII 信号

功能	引脚
数据信号	TX_D[3:0]
	RX_D[3:0]
控制信号	TX_CTRL
	RX_CTRL
时钟信号	TX_CLK
	RX_CLK

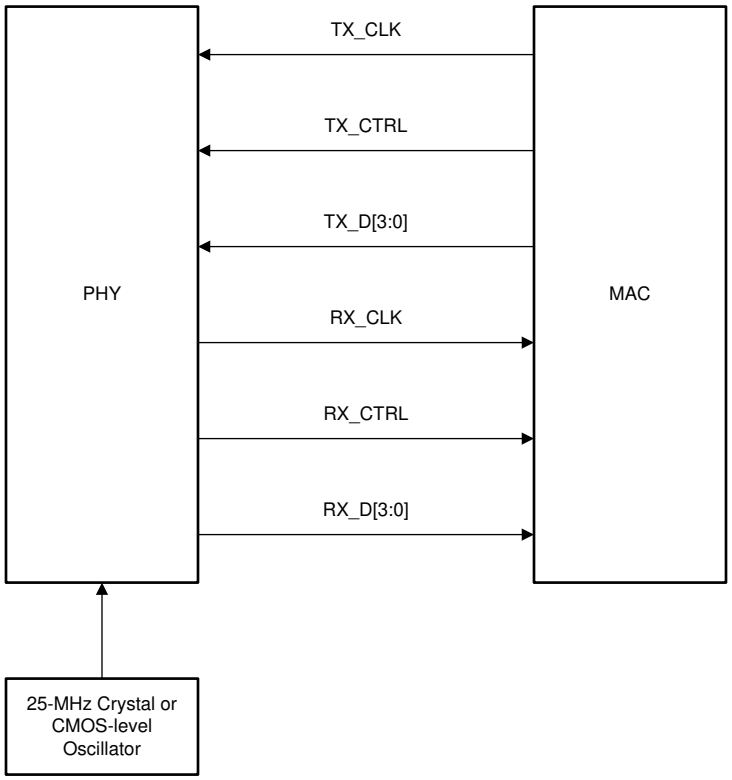


图 8-13. RGMII 连接

表 8-10. RGMII 发送编码

TX_CTRL（正边沿）	TX_CTRL（负边沿）	TX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1111	保留
1	0	0000 至 1111	正常数据发送
1	1	0000 至 1111	发送错误传播

表 8-11. RGMII 接收编码

RX_CTRL（正边沿）	RX_CTRL（负边沿）	RX_D[3:0]	说明
0	0	0000 至 1111	正常帧间
0	1	0000 至 1101	保留
0	1	1110	错误载波指示
0	1	1111	保留
1	0	0000 至 1111	正常数据接收
1	1	0000 至 1111	有错误的数据接收

DP83TG720R-Q1 支持带内状态指示，有助于简化链路状态检测。RX_D[3:0] 引脚上的帧间信号如表 8-12 所示。

表 8-12. RGMII 带内状态

RX_CTRL	RX_D3	RX_D[2:1]	RX_D0
0 **注意：** 带内状态仅在 RX_CTRL 为低电平时有效	**双工状态：** 0 = 半双工 1 = 全双工	**RX_CLK 时钟速度：** 00 = 2.5 MHz 01 = 25 MHz 10 = 125 MHz 11 = 被保留	**链路状态：** 0 = 未建立链路 1 = 已建立有效链路

用于千兆位以太网的 RGMII MAC 接口具有严格的时序要求，可满足系统级性能要求。为满足这些时序要求并通过 RGMII 运行不同 MAC，建议在设计 PCB 时考虑以下要求。还建议使用 DP83TG720 IBIS 模型来检查电路板级信号完整性。

RGMII-TX 要求

- RGMII TX 信号应在电路板上布线，控制阻抗为 50Ω +/- 15%。
- 最大布线长度应限制在 5 英寸以内，以便提高信号完整性性能。
- 图 8-14 显示了针对 TX* 信号的 RGMII 接口要求。MAC RGMII 驱动器输出阻抗应为 50Ω +/- 20%。
- 在图 8-14 中 TP2 处，所有 RGMII TX 信号的偏斜都应小于 ±500ps。
- 应通过 IBIS 模型仿真验证图 8-14 中 TP1 和 TP2 处的信号完整性，并确保符合以下要求：
  - 在 TP2 处，信号的上升/下降时间应为 1ns，即信号振幅的 20-80%。
  - 在 TP2 处，VIH/VIL 电平之间的上升/下降时间应具有单调性。

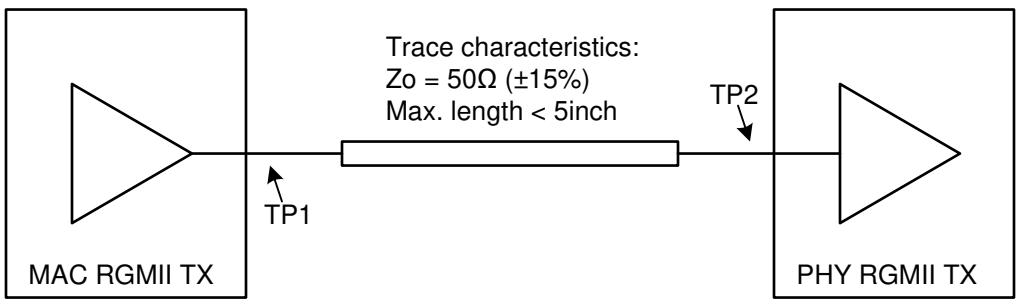


图 8-14. RGMII TX 要求

RGMII-RX 要求

- RGMII RX 信号应在电路板上布线，控制阻抗为 50Ω +/- 15%。
- 最大布线长度应限制在 5 英寸以内，以便提高信号完整性性能。
- 图 8-15 中 TP3/TP4 处不应添加阻尼电阻器，否则会影响 RX 信号的信号完整性。
- 图 8-15 显示了针对 RX* 信号的 RGMII 接口要求。MAC RGMII 驱动器输出阻抗应为 50Ω +/- 20%。
- 应通过 IBIS 模型仿真验证图 8-15 中 TP3 和 TP4 处的信号完整性，并确保符合以下要求：
  - 在 TP4 处，信号的上升/下降时间应为 1ns，即信号振幅的 20-80%。
  - 在 TP4 处，VIH/VIL 电平之间的上升/下降时间应具有单调性。

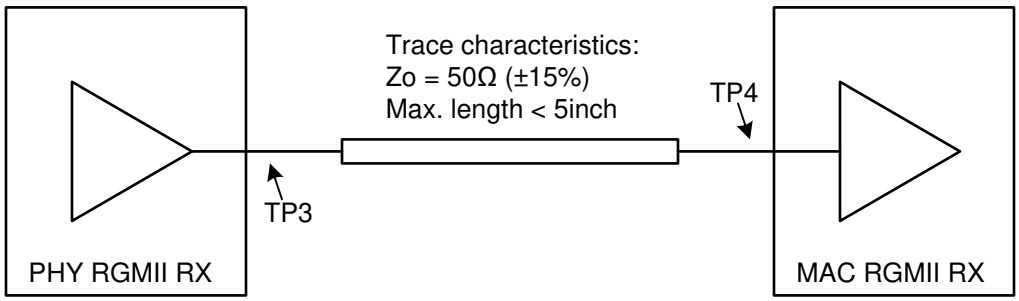


图 8-15. RGMII RX 要求

备注

1. 建议将 RGMII 连接至埋入式布线，从而充分减少 EMC 发射。
2. 连接埋入式布线时，过孔放置应尽可能靠近 PHY 和 MAC。

8.4.9 串行管理接口

串行管理接口支持访问 DP83TG720R-Q1 内部寄存器空间，从而获得状态信息和配置。SMI 符合 IEEE 802.3 第 22 条。所实现的寄存器组包括 IEEE 802.3 所需寄存器和其他几个寄存器，能够提高 DP83TG720R-Q1 的可见性和可控性。

SMI 包括管理时钟 (MDC) 和管理输入和输出数据引脚 (MDIO)。MDC 来源于外部管理实体，也称为站 (STA)。MDC 不应持续运行，在总线空闲时可由外部管理实体关闭。

MDIO 由外部管理实体和 PHY 提供。MDIO 引脚上的数据在 MDC 的上升沿锁存。MDIO 引脚需要上拉电阻器 (2.2KΩ)，可在 IDLE 和转换期间将 MDIO 拉高。

最多 9 个 DP83TG720R-Q1 PHY 可共用一条公共 SMI 总线。为区分 PHY，采用了 3 位地址。上电复位期间，DP83TG720R-Q1 通过锁存 PHY_AD 配置引脚来确定其地址。

在上电复位后的首个周期内，管理实体不得启动 SMI 事务。为维持有效运行，在硬复位取消置位之后，SMI 总线必须至少在一个 MDC 周期保持未激活状态。在正常 MDIO 事务中，寄存器地址直接取自管理帧 reg_addr 字段，因此允许直接访问 32 个 16 位寄存器（包括 IEEE 802.3 定义的寄存器和特定于供应商的寄存器）。数据字段用于读取和写入操作。开始代码由 <01> 模式指示。该模式确保 MDIO 线路从默认空闲线路状态转换。转换定义为寄存器地址字段与数据字段之间所插入的空闲位时间。为避免读取事务期间发生资源争夺，在转换的第一位期间，没有器件可主动驱动 MDIO 信号。定址 DP83TG720R-Q1 在第二个转换位时以零驱动 MDIO，并在此之后以所需数据驱动。

对于写入事务，站管理实体会将数据写入定址 DP83TG720R-Q1，因而无需 MDIO 转换。转换时间由管理实体通过插入 <10> 来填充。

表 8-13. SMI 协议结构

SMI 协议	<idle> <start> <op code> <device address> <reg address> <turnaround> <data> <idle>
读取操作	<idle><01><10><AAAAA><RRRRR><Z0><XXXX XXXX XXXX XXXX><idle>
写入操作	<idle><01><01><AAAAA><RRRRR><10><XXXX XXXX XXXX XXXX><idle>

8.4.10 直接寄存器访问

直接寄存器访问可用于前 31 个寄存器（0x0h 至 0x1Fh）。

8.4.11 扩展寄存器空间访问

DP83TG720R-Q1 SMI 功能支持使用寄存器 REGCR (0x000Dh) 和 ADDAR (0x000Eh) 以及 IEEE 802.3ah 草案第 22 条所定义的 MDIO 管理器件 (MMD) 间接方法对扩展寄存器组进行读写访问，从而访问第 45 条所定义的扩展寄存器组。

REGCR (0x000Dh) 是 MDIO 可管理的 MMD 访问控制。通常情况下，寄存器 REGCR[4:0] 为器件地址 DEVAD，可将 ADDAR (0x000Eh) 寄存器的任何访问引向适宜 MMD。

DP83TG720R-Q1 可支持 4 个 MMD 器件地址。这 4 个 MMD 寄存器空间是：

1. DEVAD[4:0] = 11111 (0x1F) 用于 IEEE 所定义的寄存器（0x00 至 0x1F）和特定于供应商的寄存器。该寄存器空间称为 MMD1F。
2. DEVAD[4:0] = 00001 (0x01) 用于 1000BASE-T1 PMA MMD 寄存器访问。该寄存器空间称为 MMD1。
3. DEVAD[4:0] = 00011 (0x03) 用于特定于供应商的寄存器。该寄存器空间称为 MMD3。
4. DEVAD[4:0] = 00111 (0x07) 用于特定于供应商的寄存器。该寄存器空间称为 MMD7。

表 8-14. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x000 - 0x0EFD
MMD1	0x1000 - 0x1904
MMD3	0x3000 - 0x390D

表 8-14. MMD 寄存器空间划分 (continued)

MMD 寄存器空间	寄存器地址范围
MMD7	0x7000 - 0x7200

备注

对于 MMD1/3/7，寄存器地址的最高有效半字节用于表示相应的 MMD 空间。实际寄存器访问操作过程中应忽略该值。例如，访问寄存器 0x1904 时，使用 0x0904 作为寄存器地址，x01 作为 MMD。

经由寄存器 REGCR 和 ADDAR 的所有访问都必须使用正确的 DEVAD。其他 DEVAD 的事务都会被忽略。REGCR[15:14] 保存访问功能：地址 (00)、无后增量的数据 (01)、读写时具有后增量的数据 (10) 和仅在写入时具有后增量的数据 (11)。

- ADDAR 是地址和数据 MMD 寄存器。ADDAR 与 REGCR 结合使用，旨在支持访问扩展寄存器组。如果寄存器 REGCR[15:14] 为 (00)，则 ADDAR 保存扩展地址空间寄存器的地址。否则，ADDAR 保存由其地址寄存器内容所指示的数据。REGCR[15:14] 设置为 (00) 时，通过访问寄存器 ADDAR 可修改扩展寄存器组地址寄存器。为访问扩展寄存器组中的任何寄存器，该地址寄存器应始终处于初始化状态。
- REGCR[15:14] 设置为 (01) 时，通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。
- REGCR[15:14] 设置为 (10) 时，通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，读取和写入操作都会使地址寄存器中的值递增。
- REGCR[15:14] 设置为 (11) 时，通过访问寄存器 ADDAR 可访问由地址寄存器中值所选择的扩展寄存器组中的寄存器。访问完成后，仅写入访问会使地址寄存器中的值递增。对于读取访问，地址寄存器中的值保持不变。

以下小节介绍了如何使用寄存器 REGCR 和 ADDAR 对扩展寄存器组执行操作。

8.4.12 写入地址操作

如需设置地址寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。
2. 将寄存器地址写入寄存器 ADDAR。

随后写入寄存器 ADDAR（第 2 步），继续写入地址寄存器。

8.4.12.1 示例 - 写入地址操作

如需写入 MMD1 字段中的寄存器地址：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 将寄存器地址写入寄存器 ADDAR。

8.4.13 读取地址操作

如需读取地址寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。
2. 从寄存器 ADDAR 中读取寄存器地址。

随后读取寄存器 ADDAR（第 2 步），继续读取地址寄存器。

8.4.13.1 示例 - 读取地址操作

如需读取 MMD1 字段中的寄存器地址：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 从寄存器 ADDAR 中读取寄存器地址。

8.4.14 写入操作（无后增量）

如需在扩展寄存器组中写入寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。

2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = '11111'）写入寄存器 REGCR。
4. 将所需扩展寄存器组的内容写入寄存器 ADDAR。

随后写入寄存器 ADDAR（第 4 步），继续重写由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

8.4.14.1 示例 - 写入操作（无后增量）

如需在 MMD1 扩展寄存器组中写入寄存器：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x4001（数据，无后增量函数字段 = 01，DEVAD = '00001'）写入寄存器 REGCR。
4. 将所需扩展寄存器组的内容写入寄存器 ADDAR。

8.4.15 读取操作（无后增量）

如需读取扩展寄存器组中的寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x401F（数据，无后增量函数字段 = 01，DEVAD = '11111'）写入寄存器 REGCR。
4. 从寄存器 ADDAR 中读取所需扩展寄存器组的内容。

随后读取寄存器 ADDAR（第 4 步），继续读取由地址寄存器中值所选择的寄存器。

备注

若之前已配置地址寄存器，则可跳过步骤 (1) 和 (2)。

8.4.15.1 示例 - 读取操作（无后增量）

如需读取 MMD1 扩展寄存器组中的寄存器：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x4001（数据，无后增量函数字段 = 01，DEVAD = '00001'）写入寄存器 REGCR。
4. 从寄存器 ADDAR 中读取所需扩展寄存器组的内容。

8.4.16 写入操作（有后增量）

如需在具有后增量的扩展寄存器组中写入寄存器：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x801F（数据，后增量函数字段 = 10，DEVAD ='11111'）或值 0xC01F（数据，写入时的后增量函数字段 = 11，DEVAD ='11111'）写入寄存器 REGCR。
4. 将所需扩展寄存器组的内容写入寄存器 ADDAR。

随后写入寄存器 ADDAR（第 4 步），写入由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。

8.4.16.1 示例 - 写入操作（有后增量）

如需在具有后增量的 MMD1 扩展寄存器组中写入寄存器：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。

3. 将值 0x8001（数据，后增量函数字段 = 10，DEVAD ='00001'）或值 0xC001（数据，写入时的后增量函数字段 = 11，DEVAD ='00001'）写入寄存器 REGCR。
4. 将所需扩展寄存器组的内容写入寄存器 ADDAR。

8.4.17 读取操作（有后增量）

在写入操作之后，若要读取扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

1. 将值 0x001F（地址函数字段 = 00，DEVAD = '11111'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x801F（数据，后增量函数字段 = 10，DEVAD = '11111'）写入寄存器 REGCR。
4. 从寄存器 ADDAR 中读取所需扩展寄存器组的内容。

随后读取寄存器 ADDAR（第 4 步），读取由地址寄存器值所选择下一个更高地址的数据寄存器；每次访问之后，地址寄存器都会递增。

8.4.17.1 示例 - 读取操作（有后增量）

在写入操作之后，若要读取 MMD1 扩展寄存器组中的寄存器并自动将地址寄存器递增到下一更高值：

1. 将值 0x0001（地址函数字段 = 00，DEVAD = '00001'）写入寄存器 REGCR。
2. 将所需寄存器地址写入寄存器 ADDAR。
3. 将值 0x8001（数据，后增量函数字段 = 10，DEVAD = '00001'）写入寄存器 REGCR。
4. 从寄存器 ADDAR 中读取所需扩展寄存器组的内容。

8.5 编程

8.5.1 搭接配置

DP83TG720R-Q1 使用功能引脚作为搭接选项，以便将器件置于特定运行模式。在上电和硬件复位时对这些引脚的值进行采样（通过 RESET_N 引脚或寄存器访问）。自举引脚支持 2 级和 3 级搭接，下面将进一步详细描述。可通过搭接或串行管理接口来完成器件配置。

备注

- 由于自举引脚在复位取消置位后为功能引脚，因此不应直接与 VCC 或 GND 相连。
- 上拉自举电阻器足以进入不同自举模式。
- 下拉自举电阻器可用于 LED 引脚自举。请参阅 LED 配置部分。

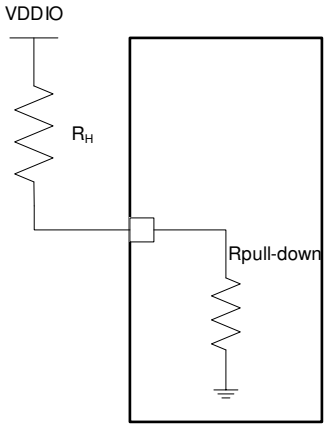


图 8-16. 设置电路

表 8-15. 建议 3 级搭接电阻比

模式	VDDIO = 3.3V 时的理想 RH (kΩ)[1]	VDDIO = 2.5V 时的理想 RH (kΩ)[2]	VDDIO = 1.8V 时的理想 RH (kΩ)[1]
1	断开	断开	断开
2	13	12	4
3	4.5	2	0.8

1. 10% 电阻器精度
2. 1% 电阻器精度

表 8-16. 建议 2 级搭接电阻器

模式	理想 RH (kΩ)[1][2]
1	断开
2	2.49

1. 10% 电阻器精度
2. 若要在 1.8V VDDIO 的客户应用中获得更多裕度，可使用 2.1kΩ +/- 10% 上拉电阻器，或将 2.49kΩ 电阻器的精度限制至 1%。

下表介绍了 DP83TG720R-Q1 配置自举：

表 8-17. 2 级自举

引脚名称	引脚编号	搭接模式	自举功能	说明
RX_D0	26	1（缺省值）	MAC[0] = 0	MAC 接口选择 [0]。有关完整说明，请参阅表 8-18。
		2	MAC[0] = 1	
RX_D1	25	1（缺省值）	MAC[1] = 0	MAC 接口选择 [1]。有关完整说明，请参阅表 8-18。
		2	MAC[1] = 1	
RX_D2	24	1（缺省值）	MAC[2] = 0	MAC 接口选择 [2]。有关完整说明，请参阅表 8-18。
		2	MAC[2] = 1	
LED_0	1	1（缺省值）	MS = 0	MDI 主从模式选择。 MS = 0 从模式 MS = 1 主模式
		2	MS = 1	
LED_1	6	1（缺省值）	$\overline{\text{AUTO}}$ = 0	自主禁用 $\overline{\text{AUTO}}$ = 0 自主 $\overline{\text{AUTO}}$ = 1 管理
		2	$\overline{\text{AUTO}}$ = 1	

表 8-18. MAC 接口选择自举

MAC[2]	MAC[1]	MAC[0]	说明
0	0	0	RESERVED
0	0	1	RESERVED
0	1	0	RESERVED
0	1	1	RESERVED
1	0	0	RGMII (对齐模式)
1	0	1	RGMII (TX 漂移模式)
1	1	0	RGMII (TX 和 RX 漂移模式)
1	1	1	RGMII (RX 漂移模式)

表 8-19. 3 级自举：PHY 地址

PHY_AD[3:0]	RX_CTRL 自举模式	STRP_1 自举模式	说明
0000	1	1	PHY 地址：0x0000 (0)
0001	-	-	RESERVED
0010	-	-	RESERVED
0011	-	-	RESERVED
0100	2	1	PHY 地址：0x0004 (4)
0101	3	1	PHY 地址：0x0005 (5)
0110	-	-	RESERVED
0111	-	-	RESERVED
1000	1	2	PHY 地址：0x0008 (8)
1001	-	-	RESERVED
1010	1	3	PHY 地址：0x000A (10)
1011	-	-	RESERVED
1100	2	2	PHY 地址：0x000C (12)
1101	3	2	PHY 地址：0x000D (13)
1110	2	3	PHY 地址：0x000E (14)
1111	3	3	PHY 地址：0x000F (15)

8.5.2 LED 配置

DP83TG720R-Q1 最多支持三个可配置发光二极管 (LED) 引脚：LED_0、LED_1 和 LED_2 (CLKOUT)。LED 上可多路复用若干功能，用于不同工作模式。使用寄存器 0x0450 和 0x0451 选择 LED 操作。

备注

CLKOUT 默认设置为 25MHz 时钟输出。如果需要，可使用寄存器 0x0453 将其配置为 LED2。

由于 LED 输出引脚也用作搭接引脚，外部元件需要搭接，因此，用户必须考虑 LED 使用情况，避免出现资源争夺问题。具体来说，当 LED 输出用于直接驱动 LED 时，每个输出驱动器的活动状态取决于相应输入在上电或硬件复位时所采样的逻辑电平。

图 8-17 显示了两种直接将 LED 连接至 DP83TG720R-Q1 的正确方法。

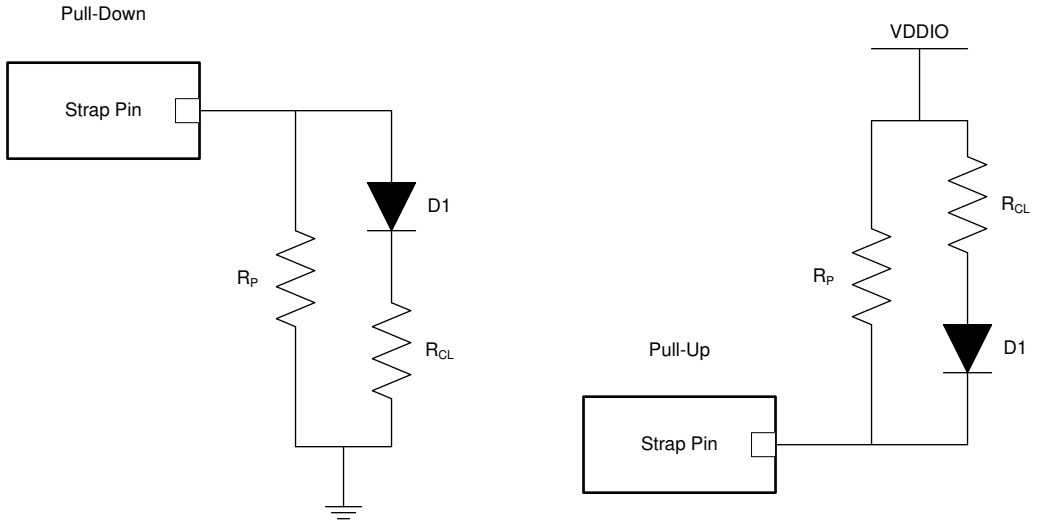


图 8-17. Strap 配置连接示例

8.5.3 PHY 地址配置

DP83TG720R-Q1 可通过自举引脚，设置为响应 9 个可能的 PHY 地址中的任何一个。上电或硬件复位时，PHY 地址锁存在器件中。系统串行管理总线上的所有 DP83TG720R-Q1 或端口共享 PHY 都必须具有唯一的 PHY 地址。DP83TG720R-Q1 支持 PHY 地址，如表 8-19 中所述。

默认情况下，DP83TG720R-Q1 将锁存至 PHY 地址 0 ([0000])。将上拉电阻器添加至表 8-17 中的自举引脚，可更改此地址。

8.6 寄存器映射

8.6.1 寄存器访问汇总

有两种不同方法可用于访问字段内寄存器。直接寄存器访问方法仅适用于 MMD1F 寄存器空间的前 31 个寄存器（0x0h 至 0x1Fh）。访问 0x1Fh 以上的寄存器时，必须使用 *节 8.4.11* 中所述间接方法（扩展寄存器空间）。

表 8-20. MMD 寄存器空间划分

MMD 寄存器空间	寄存器地址范围
MMD1F	0x000 - 0x0EFD
MMD1	0x1000 - 0x1904
MMD3	0x3000 - 0x390D
MMD7	0x7000 - 0x7200

表 8-21. 寄存器访问汇总

寄存器字段	寄存器访问方法
0x0h 至 0x1Fh	直接访问
	间接访问，MMD1F = '11111' **示例：**如需读取无后增量 MMD1F 字段中的寄存器 0x17h 第 1) 步：将 0x1Fh 写入寄存器 0xDh 第 2) 步：将 0x17h 写入寄存器 0xEh 第 3) 步：将 0x401Fh 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh
MMD1F 字段 0x20h - 0xFFFh	间接访问，MMD1F = '11111' **示例：**如需读取无后增量 MMD1F 字段中的寄存器 0x462h 第 1) 步：将 0x1Fh 写入寄存器 0xDh 第 2) 步：将 0x462h 写入寄存器 0xEh 第 3) 步：将 0x401Fh 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh
MMD1 字段 0x0000h - 0x0FFFh	间接访问，MMD1 = '00001' **示例：**如需读取无后增量 MMD1 字段中的寄存器 0x7h 第 1) 步：将 0x1h 写入寄存器 0xDh 第 2) 步：将 0x7h 写入寄存器 0xEh 第 3) 步：将 0x4001h 写入寄存器 0xDh 第 4) 步：读取寄存器 0xEh

8.6.2 DP83TG720 Registers

表 8-22 lists the memory-mapped registers for the DP83TG720 registers. All register offset addresses not listed in 表 8-22 should be considered as reserved locations and the register contents should not be modified.

表 8-22. DP83TG720 Registers

Offset	Acronym	Register Name	Section
0h	BMCR		节 8.6.2.1
1h	BMSR		节 8.6.2.2
2h	PHYID1		节 8.6.2.3
3h	PHYID2		节 8.6.2.4
Dh	REGCR		节 8.6.2.5
Eh	ADDAR		节 8.6.2.6
10h	MII_REG_10		节 8.6.2.7
11h	MII_REG_11		节 8.6.2.8
12h	MII_REG_12		节 8.6.2.9
13h	MII_REG_13		节 8.6.2.10
16h	MII_REG_16		节 8.6.2.11
18h	MII_REG_18		节 8.6.2.12
19h	MII_REG_19		节 8.6.2.13
1Eh	MII_REG_1E		节 8.6.2.14
1Fh	MII_REG_1F		节 8.6.2.15
180h	LSR		节 8.6.2.16
18Bh	LPS_CFG2		节 8.6.2.17
18Ch	LPS_CFG3		节 8.6.2.18
309h	TDR_STATUS0		节 8.6.2.19
30Ah	TDR_STATUS1		节 8.6.2.20
30Bh	TDR_STATUS2		节 8.6.2.21
30Eh	TDR_STATUS5		节 8.6.2.22
30Fh	TDR_TC12		节 8.6.2.23
405h	A2D_REG_05		节 8.6.2.24
41Eh	A2D_REG_30		节 8.6.2.25
41Fh	A2D_REG_31		节 8.6.2.26
428h	A2D_REG_40		节 8.6.2.27
429h	A2D_REG_41		节 8.6.2.28
42Bh	A2D_REG_43		节 8.6.2.29
42Ch	A2D_REG_44		节 8.6.2.30
42Eh	A2D_REG_46		节 8.6.2.31
42Fh	A2D_REG_47		节 8.6.2.32
430h	A2D_REG_48		节 8.6.2.33
442h	A2D_REG_66		节 8.6.2.34
450h	LEDS_CFG_1		节 8.6.2.35
451h	LEDS_CFG_2		节 8.6.2.36
452h	IO_MUX_CFG_1		节 8.6.2.37
453h	IO_MUX_CFG_2		节 8.6.2.38
454h	IO_CONTROL_1		节 8.6.2.39

表 8-22. DP83TG720 Registers (continued)

Offset	Acronym	Register Name	Section
455h	IO_CONTROL_2		节 8.6.2.40
456h	IO_CONTROL_3		节 8.6.2.41
457h	IO_STATUS_1		节 8.6.2.42
458h	IO_STATUS_2		节 8.6.2.43
459h	IO_CONTROL_4		节 8.6.2.44
45Ah	IO_CONTROL_5		节 8.6.2.45
45Dh	SOR_VECTOR_1		节 8.6.2.46
45Eh	SOR_VECTOR_2		节 8.6.2.47
467h	MONITOR_CTRL1		节 8.6.2.48
468h	MONITOR_CTRL2		节 8.6.2.49
46Ah	MONITOR_CTRL4		节 8.6.2.50
47Bh	MONITOR_STAT1		节 8.6.2.51
50Ah	BREAK_LINK_TIMER		节 8.6.2.52
510h	RS_DECODER		节 8.6.2.53
514h	LPS_CONTROL_1		节 8.6.2.54
515h	LPS_CONTROL_2		节 8.6.2.55
518h	MAXWAIT_TIMER		节 8.6.2.56
519h	PHY_CTRL_1G		节 8.6.2.57
531h	TEST_MODE		节 8.6.2.58
543h	LINK_QUAL_1		节 8.6.2.59
544h	LINK_QUAL_2		节 8.6.2.60
545h	LINK_DOWN_LATCH_STAT		节 8.6.2.61
547h	LINK_QUAL_3		节 8.6.2.62
548h	LINK_QUAL_4		节 8.6.2.63
552h	RS_DECODER_FRAME_STAT_2		节 8.6.2.64
559h	PMA_WATCHDOG		节 8.6.2.65
55Bh	SYMB_POL_CFG		节 8.6.2.66
55Ch	OAM_CFG		节 8.6.2.67
561h	TEST_MEM_CFG		节 8.6.2.68
573h	FORCE_CTRL1		节 8.6.2.69
600h	RGMII_CTRL		节 8.6.2.70
601h	RGMII_FIFO_STATUS		节 8.6.2.71
602h	RGMII_DELAY_CTRL		节 8.6.2.72
608h	SGMII_CTRL_1		节 8.6.2.73
60Ah	SGMII_STATUS		节 8.6.2.74
60Ch	SGMII_CTRL_2		节 8.6.2.75
60Dh	SGMII_FIFO_STATUS		节 8.6.2.76
618h	PRBS_STATUS_1		节 8.6.2.77
619h	PRBS_CTRL_1		节 8.6.2.78
61Ah	PRBS_CTRL_2		节 8.6.2.79
61Bh	PRBS_CTRL_3		节 8.6.2.80
61Ch	PRBS_STATUS_2		节 8.6.2.81
61Dh	PRBS_STATUS_3		节 8.6.2.82

表 8-22. DP83TG720 Registers (continued)

Offset	Acronym	Register Name	Section
61Eh	PRBS_STATUS_4		节 8.6.2.83
620h	PRBS_STATUS_6		节 8.6.2.84
622h	PRBS_STATUS_8		节 8.6.2.85
623h	PRBS_STATUS_9		节 8.6.2.86
624h	PRBS_CTRL_4		节 8.6.2.87
625h	PRBS_CTRL_5		节 8.6.2.88
626h	PRBS_CTRL_6		节 8.6.2.89
627h	PRBS_CTRL_7		节 8.6.2.90
628h	PRBS_CTRL_8		节 8.6.2.91
629h	PRBS_CTRL_9		节 8.6.2.92
62Ah	PRBS_CTRL_10		节 8.6.2.93
638h	CRC_STATUS		节 8.6.2.94
639h	PKT_STAT_1		节 8.6.2.95
63Ah	PKT_STAT_2		节 8.6.2.96
63Bh	PKT_STAT_3		节 8.6.2.97
63Ch	PKT_STAT_4		节 8.6.2.98
63Dh	PKT_STAT_5		节 8.6.2.99
63Eh	PKT_STAT_6		节 8.6.2.100
871h	SQI_REG_1		节 8.6.2.101
875h	DSP_REG_75		节 8.6.2.102
8ADh	SQI_1		节 8.6.2.103
1000h	PMA_PMD_CONTROL_1	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.104
1007h	PMA_PMD_CONTROL_2	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.105
1009h	PMA_PMD_TRANSMIT_DISABLE	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.106
100Bh	PMA_PMD_EXTENDED_ABILITY2	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.107
1012h	PMA_PMD_EXTENDED_ABILITY	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.108
1834h	PMA_PMD_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.109
1900h	PMA_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.110
1901h	PMA_STATUS	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.111
1902h	TRAINING	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.112

表 8-22. DP83TG720 Registers (continued)

Offset	Acronym	Register Name	Section
1903h	LP_TRAINING	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.113
1904h	TEST_MODE_CONTROL	First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.114
3000h	PCS_CONTROL_COPY	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.115
3900h	PCS_CONTROL	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.116
3901h	PCS_STATUS	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.117
3902h	PCS_STATUS_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.118
3904h	OAM_TRANSMIT	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.119
3905h	OAM_TX_MESSAGE_1	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.120
3906h	OAM_TX_MESSAGE_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.121
3907h	OAM_TX_MESSAGE_3	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.122
3908h	OAM_TX_MESSAGE_4	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.123
3909h	OAM_RECEIVE	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.124
390Ah	OAM_RX_MESSAGE_1	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.125
390Bh	OAM_RX_MESSAGE_2	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.126
390Ch	OAM_RX_MESSAGE_3	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.127
390Dh	OAM_RX_MESSAGE_4	First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.128
7200h	AN_CFG	First nibble (0x7) in the register address is to indicated MMD register space. For register access, ignore the first nibble.	节 8.6.2.129

8.6.2.1 BMCR Register (Offset = 0h) [Reset = 0140h]

BMCR is shown in 图 8-18 and described in 表 8-23.

Return to the 表 8-22.

图 8-18. BMCR Register

15	14	13	12	11	10	9	8
mii_reset	loopback	RESERVED	RESERVED	power_down	isolate	RESERVED	RESERVED
R/WMC-0h	R/W-0h	R-0h	R-0h	R/W-0h	R/W-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
RESERVED	speed_sel_msb	RESERVED	RESERVED				
R-0h	R-1h	R-0h	R-0h				

表 8-23. BMCR Register Field Descriptions

Bit	Field	Type	Reset	Description
15	mii_reset	R/WMC	0h	1b = Digital in reset and all MII regs (0x0 - 0xF) reset to default 0b = No reset
14	loopback	R/W	0h	1b = MII loopback 0b = No MII loopback
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	power_down	R/W	0h	1b = Power down via register or pin 0b = Normal mode
10	isolate	R/W	0h	1b = MAC isolate mode (No output to MAC from the PHY) 0b = Normal Mode
9	RESERVED	R	0h	Reserved
8	RESERVED	R	1h	Reserved
7	RESERVED	R	0h	Reserved
6	speed_sel_msb	R	1h	0b= Reserved 1b= 1000 Mb/s
5	RESERVED	R	0h	Reserved
4-0	RESERVED	R	0h	Reserved

8.6.2.2 BMSR Register (Offset = 1h) [Reset = 0141h]

BMSR is shown in 图 8-19 and described in 表 8-24.

Return to the 表 8-22.

图 8-19. BMSR Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	extended_status
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
unidirectional_ability	preamble_supression	aneg_complete	remote_fault	aneg_ability	link_status	jabber_detect	extended_capability
R-0h	R-1h	R-0h	R/W0C-0h	R-0h	R/W0S-0h	R/W0C-0h	R-1h

表 8-24. BMSR Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R	0h	Reserved
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	RESERVED	R	0h	Reserved
10	RESERVED	R	0h	Reserved
9	RESERVED	R	0h	Reserved
8	extended_status	R	1h	1b = Extended status information in Register 15 0b = No extended status information in Register 15
7	unidirectional_ability	R	0h	Reserved
6	preamble_supression	R	1h	1b = PHY will accept management frames with preamble suppressed. 0b = PHY will not accept management frames with preamble suppressed
5	aneg_complete	R	0h	Reserved
4	remote_fault	R/W0C	0h	Reserved
3	aneg_ability	R	0h	Reserved
2	link_status	R/W0S	0h	1b = link is up 0b = link down
1	jabber_detect	R/W0C	0h	Reserved
0	extended_capability	R	1h	1b = extended register capabilities 0b = basic register set capabilities only

8.6.2.3 PHYID1 Register (Offset = 2h) [Reset = 2000h]

PHYID1 is shown in 图 8-20 and described in 表 8-25.

Return to the 表 8-22.

图 8-20. PHYID1 Register

15	14	13	12	11	10	9	8
oui_21_16							
R-2000h							
7	6	5	4	3	2	1	0
oui_21_16							
R-2000h							

表 8-25. PHYID1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	oui_21_16	R	2000h	Unique identifier for the part

8.6.2.4 PHYID2 Register (Offset = 3h) [Reset = A284h]

PHYID2 is shown in 图 8-21 and described in 表 8-26.

Return to the 表 8-22.

图 8-21. PHYID2 Register

15	14	13	12	11	10	9	8
oui_5_0						model_number	
R-28h						R-28h	
7	**6**	**5**	**4**	**3**	**2**	**1**	**0**
model_number				rev_number			
R-28h				R-4h			

表 8-26. PHYID2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-10	oui_5_0	R	28h	Unique identifier for the part
9-4	model_number	R	28h	Unique identifier for the part
3-0	rev_number	R	4h	Unique identifier for the part

8.6.2.5 REGCR Register (Offset = Dh) [Reset = 0000h]

REGCR is shown in 图 8-22 and described in 表 8-27.

Return to the 表 8-22.

图 8-22. REGCR Register

15	14	13	12	11	10	9	8
Extended Register Command		RESERVED					
R/W-0h		R/W-0h					
7	6	5	4	3	2	1	0
RESERVED			DEVAD				
R/W-0h			R/W-0h				

表 8-27. REGCR Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	Extended Register Command	R/W	0h	00b = Address 01b = Data, no post increment 10b = Data, post increment on read and write 11b = Data, post increment on write only
13-5	RESERVED	R/W	0h	Reserved
4-0	DEVAD	R/W	0h	RESERVED

8.6.2.6 ADDAR Register (Offset = Eh) [Reset = 0000h]

ADDAR is shown in 图 8-23 and described in 表 8-28.

Return to the 表 8-22.

图 8-23. ADDAR Register

15	14	13	12	11	10	9	8
Address/Data							
R/W-0h							
7	6	5	4	3	2	1	0
Address/Data							
R/W-0h							

表 8-28. ADDAR Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	Address/Data	R/W	0h	

8.6.2.7 MII_REG_10 Register (Offset = 10h) [Reset = 0004h]

MII_REG_10 is shown in 图 8-24 and described in 表 8-29.

Return to the 表 8-22.

图 8-24. MII_REG_10 Register

15	14	13	12	11	10	9	8
RESERVED					signal_detect	descr_lock_bit	RESERVED
R-0h					R/W0S-0h	R/W0S-0h	R-0h
7	6	5	4	3	2	1	0
mii_int_bit	RESERVED			mii_loopback	duplex_mode_env	RESERVED	link_status_bit
0h	R-0h			R-0h	R-1h	R-0h	R-0h

表 8-29. MII_REG_10 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	signal_detect	R/W0S	0h	1b = Channel ok is set 0b = Channel ok had been reset
9	descr_lock_bit	R/W0S	0h	1b = Descrambler is locked 0b = Descrmabler had been locked
8	RESERVED	R	0h	Reserved
7	mii_int_bit		0h	1b = Interrupt pin had been set 0b = Interrupts pin not set
6-4	RESERVED	R	0h	Reserved
3	mii_loopback	R	0h	1b = MII loopback 0b = No MII loopback
2	duplex_mode_env	R	1h	1b = Full duplex 0b = Half duplex
1	RESERVED	R	0h	Reserved
0	link_status_bit	R	0h	1b = link is up 0b = link had been down

8.6.2.8 MII_REG_11 Register (Offset = 11h) [Reset = 000Bh]

MII_REG_11 is shown in 图 8-25 and described in 表 8-30.

Return to the 表 8-22.

图 8-25. MII_REG_11 Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED		RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h	R/W-0h	R/W-0h		R/WSC-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED		int_polarity	force_interrupt	int_en	RESERVED
R-0h	R/W-0h	R/W-0h		R/W-1h	R/W-0h	R/W-1h	R/W-1h

表 8-30. MII_REG_11 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13-12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/WSC	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7	RESERVED	R	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5-4	RESERVED	R/W	0h	Reserved
3	int_polarity	R/W	1h	1b = Active low 0b = Active high
2	force_interrupt	R/W	0h	1b = Force interrupt pin 0b = Do not force interrupt pin
1	int_en	R/W	1h	1b = Enable interrupts 0b = Disable interrupts
0	RESERVED	R/W	1h	Reserved

8.6.2.9 MII_REG_12 Register (Offset = 12h) [Reset = 0000h]

MII_REG_12 is shown in 图 8-26 and described in 表 8-31.

Return to the 表 8-22.

图 8-26. MII_REG_12 Register

15	14	13	12	11	10	9	8
link_qual_int	energy_det_int	link_int	RESERVED	esd_int	ms_train_done_int	RESERVED	RESERVED
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
link_qual_int_en	energy_det_int_en	link_int_en	unused_int_3	esd_int_en	ms_train_done_int_en	unused_int_2	unused_int_1
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-31. MII_REG_12 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	link_qual_int	R	0h	Link quality bad interrupt status
14	energy_det_int	R	0h	Energy det change interrupt status
13	link_int	R	0h	Link status change interrupt status
12	RESERVED	R	0h	Reserved
11	esd_int	R	0h	ESD fault detected interrupt status
10	ms_train_done_int	R	0h	Training done interrupt status
9	RESERVED	R	0h	Reserved
8	RESERVED	R	0h	Reserved
7	link_qual_int_en	R/W	0h	Link quality bad interrupt enable
6	energy_det_int_en	R/W	0h	Energy det change interrupt enable
5	link_int_en	R/W	0h	Link status change interrupt enable
4	unused_int_3	R/W	0h	Reserved
3	esd_int_en	R/W	0h	ESD fault detected interrupt enable
2	ms_train_done_int_en	R/W	0h	Training done interrupt enable
1	unused_int_2	R/W	0h	Reserved
0	unused_int_1	R/W	0h	Reserved

8.6.2.10 MII_REG_13 Register (Offset = 13h) [Reset = 0000h]

MII_REG_13 is shown in 图 8-27 and described in 表 8-32.

Return to the 表 8-22.

图 8-27. MII_REG_13 Register

15	14	13	12	11	10	9	8
under_volt_int	over_volt_int	RESERVED	RESERVED	over_temp_int	sleep_int	pol_change_int	not_one_hot_int
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
under_volt_int_en	over_volt_int_en	unused_int_6	unused_int_5	over_temp_int_en	sleep_int_en	pol_change_int_en	not_one_hot_int_en
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-32. MII_REG_13 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	under_volt_int	R	0h	Under volt interrupt status
14	over_volt_int	R	0h	Over volt interrupt status
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	over_temp_int	R	0h	Over temp interrupt status
10	sleep_int	R	0h	Sleep mode change interrupt status
9	pol_change_int	R	0h	Data polarity change interrupt status
8	not_one_hot_int	R	0h	Not one hot interrupt status
7	under_volt_int_en	R/W	0h	Under volt interrupt enable
6	over_volt_int_en	R/W	0h	Over volt interrupt enable
5	unused_int_6	R/W	0h	Reserved
4	unused_int_5	R/W	0h	Reserved
3	over_temp_int_en	R/W	0h	Over temp interrupt enable
2	sleep_int_en	R/W	0h	Sleep mode change interrupt enable
1	pol_change_int_en	R/W	0h	Data Polarity change interrupt enable
0	not_one_hot_int_en	R/W	0h	Not one hot interrupt enable

8.6.2.11 MII_REG_16 Register (Offset = 16h) [Reset = 0000h]

MII_REG_16 is shown in 图 8-28 and described in 表 8-33.

Return to the 表 8-22.

图 8-28. MII_REG_16 Register

15	14	13	12	11	10	9	8
RESERVED					prbs_sync_loss	RESERVED	core_pwr_mode
R-0h					R/W0C-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
cfg_dig_pcs_loopback	loopback_mode						
R/W-0h	R/W-0h						

表 8-33. MII_REG_16 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	prbs_sync_loss	R/W0C	0h	1b = Prbs lock had been lost 0b = Prbs lock never lost
9	RESERVED	R	0h	Reserved
8	core_pwr_mode	R	0h	1b = Core is is normal power mode 0b = Core is in power down or sleep mode
7	cfg_dig_pcs_loopback	R/W	0h	PCS digital loopback
6-0	loopback_mode	R/W	0h	000001b = PCS loop 000010b = RS loop 000100b = Digital loop 001000B = Analog loop 010000b = Reverse loop

8.6.2.12 MII_REG_18 Register (Offset = 18h) [Reset = 0008h]

MII_REG_18 is shown in 图 8-29 and described in 表 8-34.

Return to the 表 8-22.

图 8-29. MII_REG_18 Register

15	14	13	12	11	10	9	8
ack_received_int	tx_valid_clr_int	RESERVED	RESERVED	por_done_int	no_frame_int	wake_req_int	lps_int
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
ack_received_int_en	tx_valid_clr_int_en	RESERVED	RESERVED	por_done_int_en	no_frame_int_en	wake_req_int_en	lps_int_en
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-1h	R/W-0h	R/W-0h	R/W-0h

表 8-34. MII_REG_18 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	ack_received_int	R	0h	Ack received interrupt status (OAM)
14	tx_valid_clr_int	R	0h	mr_tx_valid clear interrupt status (OAM)
13	RESERVED	R	0h	Reserved
12	RESERVED	R	0h	Reserved
11	por_done_int	R	0h	POR done interrupt status
10	no_frame_int	R	0h	No frame detect interrupt status
9	wake_req_int	R	0h	Wake request interrupt status
8	lps_int	R	0h	LPS interrupt status
7	ack_received_int_en	R/W	0h	Ack received interrupt enable (OAM)
6	tx_valid_clr_int_en	R/W	0h	mr_tx_valid clear interrupt enable (OAM)
5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3	por_done_int_en	R/W	1h	POR done interrupt enable
2	no_frame_int_en	R/W	0h	No frame detect interrupt enable
1	wake_req_int_en	R/W	0h	Wake request interrupt enable
0	lps_int_en	R/W	0h	LPS interrupt enable

8.6.2.13 MII_REG_19 Register (Offset = 19h) [Reset = X]

MII_REG_19 is shown in 图 8-30 and described in 表 8-35.

Return to the 表 8-22.

图 8-30. MII_REG_19 Register

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	
R-0h					R-0h	R-0h	
7	6	5	4	3	2	1	0
RESERVED			SOR_PHYADDR				
R-0h			R-X				

表 8-35. MII_REG_19 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	RESERVED	R	0h	Reserved
9-5	RESERVED	R	0h	Reserved
4-0	SOR_PHYADDR	R	X	PHY ADDRESS latched from strap

8.6.2.14 MII_REG_1E Register (Offset = 1Eh) [Reset = 0000h]

MII_REG_1E is shown in 图 8-31 and described in 表 8-36.

Return to the 表 8-22.

图 8-31. MII_REG_1E Register

15	14	13	12	11	10	9	8
tdr_start	cfg_tdr_auto_run	RESERVED					
R/WMC-0h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED						tdr_done	tdr_fail
R-0h						R-0h	R-0h

表 8-36. MII_REG_1E Register Field Descriptions

Bit	Field	Type	Reset	Description
15	tdr_start	R/WMC	0h	1b = TDR start 0b = No TDR
14	cfg_tdr_auto_run	R/W	0h	1b = TDR start automatically on link down 0b = TDR start manually
13-2	RESERVED	R	0h	Reserved
1	tdr_done	R	0h	TDR done status
0	tdr_fail	R	0h	TDR fail status

8.6.2.15 MII_REG_1F Register (Offset = 1Fh) [Reset = 0000h]

MII_REG_1F is shown in 图 8-32 and described in 表 8-37.

Return to the 表 8-22.

图 8-32. MII_REG_1F Register

15	14	13	12	11	10	9	8
sw_global_reset	digital_reset	RESERVED	RESERVED				
R/WMC-0h	R/WMC-0h	R/W-0h	R/W-0h				
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED				
R/W-0h	R/W-0h	R-0h	R/W-0h				

表 8-37. MII_REG_1F Register Field Descriptions

Bit	Field	Type	Reset	Description
15	sw_global_reset	R/WMC	0h	Hardware reset - Reset digital + register file
14	digital_reset	R/WMC	0h	Soft reset - Reset only digital core
13	RESERVED	R/W	0h	Reserved
12-8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R	0h	Reserved
4-0	RESERVED	R/W	0h	Reserved

8.6.2.16 LSR Register (Offset = 180h) [Reset = 0000h]

LSR is shown in 图 8-33 and described in 表 8-38.

Return to the 表 8-22.

图 8-33. LSR Register

15	14	13	12	11	10	9	8
link_up	link_down	phy_ctrl_send_data	link_status	RESERVED			
R-0h	R-0h	R-0h	R-0h	R-0h			
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	descr_sync	loc_rcvr_status	rem_rcvr_status
R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 8-38. LSR Register Field Descriptions

Bit	Field	Type	Reset	Description
15	link_up	R	0h	Link up defined by CnS
14	link_down	R	0h	Link down as defined by CnS
13	phy_ctrl_send_data	R	0h	Phy control in send data status
12	link_status	R	0h	Link status
11-8	RESERVED	R	0h	Reserved
7	RESERVED	R	0h	Reserved
6	RESERVED	R	0h	Reserved
5	RESERVED	R	0h	Reserved
4	RESERVED	R	0h	Reserved
3	RESERVED	R	0h	Reserved
2	descr_sync	R	0h	Descrambler lock status
1	loc_rcvr_status	R	0h	Local receiver status
0	rem_rcvr_status	R	0h	Remote receiver status

8.6.2.17 LPS_CFG2 Register (Offset = 18Bh) [Reset = 0000h]

LPS_CFG2 is shown in 图 8-34 and described in 表 8-39.

Return to the 表 8-22.

图 8-34. LPS_CFG2 Register

15	14	13	12	11	10	9	8
RESERVED							ed_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
sleep_en	cfg_auto_mode_en_strap	cfg_lps_mon_en_strap	cfg_lps_sleep_auto	cfg_lps_slp_confirm	cfg_lps_auto_pwrdn	cfg_lps_sleep_en	cfg_lps_sm_en
R/W-0h	R/WMC,1-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-39. LPS_CFG2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	ed_en	R/W	0h	1b = Enable energy detection on MDI 0b = Disable energy detection on MDI
7	sleep_en	R/W	0h	1b = Allow PHY to enter sleep 0b = Do not allow PHY to enter sleep
6	cfg_auto_mode_en_strap	R/WMC,1	0h	LPS autonomous mode enable 1b = PHY enters normal mode on power up 0b = PHY enters standby mode on power up
5	cfg_lps_mon_en_strap	R/W	0h	
4	cfg_lps_sleep_auto	R/W	0h	Reserved
3	cfg_lps_slp_confirm	R/W	0h	Reserved
2	cfg_lps_auto_pwrdn	R/W	0h	Reserved
1	cfg_lps_sleep_en	R/W	0h	Reserved
0	cfg_lps_sm_en	R/W	0h	Reserved

8.6.2.18 LPS_CFG3 Register (Offset = 18Ch) [Reset = 0000h]

LPS_CFG3 is shown in 图 8-35 and described in 表 8-40.

Return to the 表 8-22.

图 8-35. LPS_CFG3 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
cfg_lps_pwr_mode_7	cfg_lps_pwr_mode_6	cfg_lps_pwr_mode_5	cfg_lps_pwr_mode_4	cfg_lps_pwr_mode_3	cfg_lps_pwr_mode_2	cfg_lps_pwr_mode_1	cfg_lps_pwr_mode_0
R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h	R/WMC,0-0h

表 8-40. LPS_CFG3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7	cfg_lps_pwr_mode_7	R/WMC,0	0h	Reserved
6	cfg_lps_pwr_mode_6	R/WMC,0	0h	Reserved
5	cfg_lps_pwr_mode_5	R/WMC,0	0h	Reserved
4	cfg_lps_pwr_mode_4	R/WMC,0	0h	Set to enter standby mode
3	cfg_lps_pwr_mode_3	R/WMC,0	0h	Reserved
2	cfg_lps_pwr_mode_2	R/WMC,0	0h	Reserved
1	cfg_lps_pwr_mode_1	R/WMC,0	0h	Reserved
0	cfg_lps_pwr_mode_0	R/WMC,0	0h	Set to enter normal mode

8.6.2.19 TDR_STATUS0 Register (Offset = 309h) [Reset = 0000h]

TDR_STATUS0 is shown in 图 8-36 and described in 表 8-41.

Return to the 表 8-22.

图 8-36. TDR_STATUS0 Register

15	14	13	12	11	10	9	8
peak1_loc							
R-0h							
7	6	5	4	3	2	1	0
peak0_loc							
R-0h							

表 8-41. TDR_STATUS0 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	peak1_loc	R	0h	Peak 1 location in tap index
7-0	peak0_loc	R	0h	Peak 0 location in tap index

8.6.2.20 TDR_STATUS1 Register (Offset = 30Ah) [Reset = 0000h]

TDR_STATUS1 is shown in 图 8-37 and described in 表 8-42.

Return to the 表 8-22.

图 8-37. TDR_STATUS1 Register

15	14	13	12	11	10	9	8
peak3_loc							
R-0h							
7	6	5	4	3	2	1	0
peak2_loc							
R-0h							

表 8-42. TDR_STATUS1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	peak3_loc	R	0h	Peak 3 location in tap index
7-0	peak2_loc	R	0h	Peak 2 location in tap index

8.6.2.21 TDR_STATUS2 Register (Offset = 30Bh) [Reset = 0000h]

TDR_STATUS2 is shown in 图 8-38 and described in 表 8-43.

Return to the 表 8-22.

图 8-38. TDR_STATUS2 Register

15	14	13	12	11	10	9	8
peak0_amp							
R-0h							
7	6	5	4	3	2	1	0
peak4_loc							
R-0h							

表 8-43. TDR_STATUS2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	peak0_amp	R	0h	Peak 0 amplitude in echo coeff
7-0	peak4_loc	R	0h	Peak 4 location in tap index

8.6.2.22 TDR_STATUS5 Register (Offset = 30Eh) [Reset = 0000h]

TDR_STATUS5 is shown in 图 8-39 and described in 表 8-44.

Return to the 表 8-22.

图 8-39. TDR_STATUS5 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED			peak4_sign	peak3_sign	peak2_sign	peak1_sign	peak0_sign
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h

表 8-44. TDR_STATUS5 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-5	RESERVED	R	0h	Reserved
4	peak4_sign	R	0h	Peak 4 sign
3	peak3_sign	R	0h	Peak 3 sign
2	peak2_sign	R	0h	Peak 2 sign
1	peak1_sign	R	0h	Peak 1 sign
0	peak0_sign	R	0h	Peak 0 sign

8.6.2.23 TDR_TC12 Register (Offset = 30Fh) [Reset = 0000h]

TDR_TC12 is shown in 图 8-40 and described in 表 8-45.

Return to the 表 8-22.

图 8-40. TDR_TC12 Register

15	14	13	12	11	10	9	8
RESERVED				fault_loc			
R-0h				R-0h			
7	6	5	4	3	2	1	0
tdr_state				RESERVED		tdr_activation	
R-0h				R-0h		R-0h	

表 8-45. TDR_TC12 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-8	fault_loc	R	0h	See TC12
7-4	tdr_state	R	0h	See TC12
3-2	RESERVED	R	0h	Reserved
1-0	tdr_activation	R	0h	See TC12

8.6.2.24 A2D_REG_05 Register (Offset = 405h) [Reset = 6400h]

A2D_REG_05 is shown in 图 8-41 and described in 表 8-46.

Return to the 表 8-22.

图 8-41. A2D_REG_05 Register

15	14	13	12	11	10	9	8
ld_bias_1p0v_sl						RESERVED	
R/W-19h						R/W-0h	
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

表 8-46. A2D_REG_05 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-10	ld_bias_1p0v_sl	R/W	19h	Bits to control the DAC current of LD and hence the swing. 001010b = 400 mV 001011b = 440 mV 001100b = 480 mV 001101b = 520 mV 001110b = 560 mV 001111b = 600 mV 010000b = 640 mV 010001b = 680 mV 010010b = 720 mV 010011b = 760 mV 010100b = 800 mV 010101b = 840 mV 010110b = 880 mV 010111b = 920 mV 011000b = 960 mV 011001b = 1000 mV 011010b = 1040 mV 011011b = 1080 mV 011100b = 1120 mV 011101b = 1160 mV 011110b = 1200 mV
9-0	RESERVED	R/W	0h	Reserved

8.6.2.25 A2D_REG_30 Register (Offset = 41Eh) [Reset = 0000h]

A2D_REG_30 is shown in 图 8-42 and described in 表 8-47.

Return to the 表 8-22.

图 8-42. A2D_REG_30 Register

15	14	13	12	11	10	9	8
RESERVED							spare_in_2_fromdig_sl_force_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 8-47. A2D_REG_30 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	spare_in_2_fromdig_sl_force_en	R/W	0h	Force control enable for Reg0x042F
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3-0	RESERVED	R/W	0h	Reserved

8.6.2.26 A2D_REG_31 Register (Offset = 41Fh) [Reset = 0000h]

A2D_REG_31 is shown in 图 8-43 and described in 表 8-48.

Return to the 表 8-22.

图 8-43. A2D_REG_31 Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED		
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h		
7	6	5	4	3	2	1	0
RESERVED	RESERVED				RESERVED	RESERVED	RESERVED
R/W-0h	R/W-0h				R/W-0h	R/W-0h	R/W-0h

表 8-48. A2D_REG_31 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/W	0h	Reserved
10-7	RESERVED	R/W	0h	Reserved
6-3	RESERVED	R/W	0h	Reserved
2	RESERVED	R/W	0h	Reserved
1	RESERVED	R/W	0h	Reserved
0	RESERVED	R/W	0h	Reserved

8.6.2.27 A2D_REG_40 Register (Offset = 428h) [Reset = 6002h]

A2D_REG_40 is shown in 图 8-44 and described in 表 8-49.

Return to the 表 8-22.

图 8-44. A2D_REG_40 Register

15	14	13	12	11	10	9	8
RESERVED	SGMII_TESTMODE		RESERVED	SGMII_SOP_SON_SLEW_CTRL	RESERVED	RESERVED	
R/W-0h	R/W-3h		R/W-0h	R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
RESERVED	RESERVED						RESERVED
R/W-0h	R/W-1h						R/W-0h

表 8-49. A2D_REG_40 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14-13	SGMII_TESTMODE	R/W	3h	00b = 1000mV Sgmii output swing 01b = 1260mV Sgmii output swing 10b = 900mV Sgmii output swing 11b = 720mV Sgmii output swing
12	RESERVED	R/W	0h	Reserved
11	SGMII_SOP_SON_SLEW_CTRL	R/W	0h	0b =Default output rise/fall time 1b = Slow output rise/fall time
10	RESERVED	R/W	0h	Reserved
9-8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6-1	RESERVED	R/W	1h	Reserved
0	RESERVED	R/W	0h	Reserved

8.6.2.28 A2D_REG_41 Register (Offset = 429h) [Reset = 0030h]

A2D_REG_41 is shown in 图 8-45 and described in 表 8-50.

Return to the 表 8-22.

图 8-45. A2D_REG_41 Register

15	14	13	12	11	10	9	8
RESERVED					RESERVED	RESERVED	RESERVED
R/W-0h					R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED						SGMII_IO_LOOPBACK_EN	RESERVED
R/W-Ch						R/W-0h	R/W-0h

表 8-50. A2D_REG_41 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R/W	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7-2	RESERVED	R/W	Ch	Reserved
1	SGMII_IO_LOOPBACK_EN	R/W	0h	1b = Connects RX and TX signals internally to provide internal loopback option without external components.
0	RESERVED	R/W	0h	Reserved

8.6.2.29 A2D_REG_43 Register (Offset = 42Bh) [Reset = 0000h]

A2D_REG_43 is shown in 图 8-46 and described in 表 8-51.

Return to the 表 8-22.

图 8-46. A2D_REG_43 Register

15	14	13	12	11	10	9	8
SGMII_CDR_TESTMODE_1							
R/W-0h							
7	6	5	4	3	2	1	0
SGMII_CDR_TESTMODE_1							
R/W-0h							

表 8-51. A2D_REG_43 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	SGMII_CDR_TESTMODE_1	R/W	0h	SGMII RX CDR test mode

8.6.2.30 A2D_REG_44 Register (Offset = 42Ch) [Reset = 0000h]

A2D_REG_44 is shown in 图 8-47 and described in 表 8-52.

Return to the 表 8-22.

图 8-47. A2D_REG_44 Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED	RESERVED
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RESERVED	RESERVED	SGMII_DIG_LOOPBACK_EN	RESERVED			RESERVED
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			R/W-0h

表 8-52. A2D_REG_44 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	RESERVED	R/W	0h	Reserved
10	RESERVED	R/W	0h	Reserved
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7	RESERVED	R/W	0h	Reserved
6	RESERVED	R/W	0h	Reserved
5	RESERVED	R/W	0h	Reserved
4	SGMII_DIG_LOOPBACK_EN	R/W	0h	1b = Loops back TX data to RX before the IO
3-1	RESERVED	R/W	0h	Reserved
0	RESERVED	R/W	0h	Reserved

8.6.2.31 A2D_REG_46 Register (Offset = 42Eh) [Reset = 0000h]

A2D_REG_46 is shown in 图 8-48 and described in 表 8-53.

Return to the 表 8-22.

图 8-48. A2D_REG_46 Register

15	14	13	12	11	10	9	8
RESERVED				sgmii_calib_watchdog_dis	sgmii_calib_watchdog_val		sgmii_calib_avg
R-0h				R/W-0h	R/W-0h		R/W-0h
7	6	5	4	3	2	1	0
sgmii_calib_avg	sgmii_do_calib	SGMII_CDR_LOCK_SL	SGMII_MODE_force_en	SGMII_INPUT_TERM_EN_force_en	SGMII_OUTPUT_EN_force_en	SGMII_COMP_OFFSET_TUNE_force_en	SGMII_DATA_SYNC_SL
R/W-0h	R/WSC-0h	R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R-0h

表 8-53. A2D_REG_46 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	sgmii_calib_watchdog_dis	R/W	0h	By default, SGMII calibration process has a watchdog timer. If calibration is not ended till timer expires, then it is dsabled and default value is taken. If this bit is set, then the calibration watchdog timer is disabled.
10-9	sgmii_calib_watchdog_val	R/W	0h	Watchdog timer configuration for SGMII calibration sequence: 00 - If not ended, calibration stops after 32us 01 - If not ended, calibration stops after 48us 10 - If not ended, calibration stops after 64us 11 - If not ended, calibration stops after 128us
8-7	sgmii_calib_avg	R/W	0h	Number of repetitions of COMP_OFFSET_TUNE calibration (the repetitions are for averaging): 00 - a single repetition 01 - 2 repetitions 10 - 4 repetitions 11 - 8 repetitions
6	sgmii_do_calib	R/WSC	0h	SGMII start calibration command (mainly for debug) Please notice: This register is WSC (write-self-clear) and not read-only!
5	SGMII_CDR_LOCK_SL	R	0h	Indicates Sgmiis CDR lock status
4	SGMII_MODE_force_en	R/W	0h	
3	SGMII_INPUT_TERM_EN_force_en	R/W	0h	
2	SGMII_OUTPUT_EN_force_en	R/W	0h	
1	SGMII_COMP_OFFSET_TUNE_force_en	R/W	0h	
0	SGMII_DATA_SYNC_SL	R	0h	

8.6.2.32 A2D_REG_47 Register (Offset = 42Fh) [Reset = 0000h]

A2D_REG_47 is shown in 图 8-49 and described in 表 8-54.

Return to the 表 8-22.

图 8-49. A2D_REG_47 Register

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				RESERVED	spare_in_2_fromdig_sl_2	spare_in_2_fromdig_sl_1	spare_in_2_fromdig_sl_0
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-54. A2D_REG_47 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-4	RESERVED	R/W	0h	Reserved
3	RESERVED	R/W	0h	Reserved
2	spare_in_2_fromdig_sl_2	R/W	0h	energy lost indication force control value
1	spare_in_2_fromdig_sl_1	R/W	0h	energy lost detector enable force control value
0	spare_in_2_fromdig_sl_0	R/W	0h	[0] - sleep enable force control value Force control enable is controlled by reg0x041E[8]

8.6.2.33 A2D_REG_48 Register (Offset = 430h) [Reset = 0960h]

A2D_REG_48 is shown in 图 8-50 and described in 表 8-55.

Return to the 表 8-22.

图 8-50. A2D_REG_48 Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	DLL_EN	DLL_TX_DELAY_CTRL_SL			
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-9h			
7	6	5	4	3	2	1	0
DLL_RX_DELAY_CTRL_SL				RESERVED			
R/W-6h				R/W-0h			

表 8-55. A2D_REG_48 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	DLL_EN	R/W	0h	
11-8	DLL_TX_DELAY_CTRL_SL	R/W	9h	Refer to electrical specification for delay vs code information.
7-4	DLL_RX_DELAY_CTRL_SL	R/W	6h	Refer to electrical specification for delay vs code information.
3-0	RESERVED	R/W	0h	Reserved

8.6.2.34 A2D_REG_66 Register (Offset = 442h) [Reset = 0000h]

A2D_REG_66 is shown in 图 8-51 and described in 表 8-56.

Return to the 表 8-22.

图 8-51. A2D_REG_66 Register

15	14	13	12	11	10	9	8
RESERVED	esd_event_count						RESERVED
R/W-0h	R-0h						R/W-0h
7	6	5	4	3	2	1	0
RESERVED			RESERVED	RESERVED			
R/W-0h			R/W-0h	R/W-0h			

表 8-56. A2D_REG_66 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R/W	0h	Reserved
14-9	esd_event_count	R	0h	Number gives the number of esd events on the copper channel
8	RESERVED	R/W	0h	Reserved
7-5	RESERVED	R/W	0h	Reserved
4	RESERVED	R/W	0h	Reserved
3-0	RESERVED	R/W	0h	Reserved

8.6.2.35 LEDS_CFG_1 Register (Offset = 450h) [Reset = 2610h]

LEDS_CFG_1 is shown in 图 8-52 and described in 表 8-57.

Return to the 表 8-22.

图 8-52. LEDS_CFG_1 Register

15	14	13	12	11	10	9	8
RESERVED	leds_bypass_stretching	leds_blink_rate		led_2_option			
R-0h	R/W-0h	R/W-2h		R/W-6h			
7	6	5	4	3	2	1	0
led_1_option				led_0_option			
R/W-1h				R/W-0h			

表 8-57. LEDS_CFG_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	
14	leds_bypass_stretching	R/W	0h	LED Signal Stretch
13-12	leds_blink_rate	R/W	2h	Blink Rate for the LED - 00b = 20Hz (50mSec) 01b = 10Hz (100mSec) 10b = 5Hz (200mSec) 11b = 2Hz (500mSec)
11-8	led_2_option	R/W	6h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error latch until cleared by 0x620(1) 1011b = XMII TX/RX Error with stretch option
7-4	led_1_option	R/W	1h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error (latch until cleared by 0x620(1) 1011b = XMII TX/RX Error with stretch option
3-0	led_0_option	R/W	0h	0000b = link OK 0001b = link OK + blink on TX/RX activity 0010b = link OK + blink on TX activity 0011b = link OK + blink on RX activity 0100b = link OK + 100Base-T1 Master 0101b = link OK + 100Base-T1 Slave 0110b = TX/RX activity with stretch option 0111b = Reserved 1000b = Reserved 1001b = Link lost (remains on until register 0x1 is read) 1010b = PRBS error (latch until cleared by 0x620(1) 1011b = XMII TX/RX Error with stretch option

8.6.2.36 LEDS_CFG_2 Register (Offset = 451h) [Reset = 0000h]

LEDS_CFG_2 is shown in 图 8-53 and described in 表 8-58.

Return to the 表 8-22.

图 8-53. LEDS_CFG_2 Register

15	14	13	12	11	10	9	8
RESERVED		RESERVED				XXXX	led_2_drv_en
R-0h		R-0h					R/W-0h
7	6	5	4	3	2	1	0
led_2_drv_val	led_2_polarity	led_1_drv_en	led_1_drv_val	led_1_polarity	led_0_drv_en	led_0_drv_val	led_0_polarity
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-58. LEDS_CFG_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-10	RESERVED	R	0h	Reserved
11-9	cfg_ieee_compl_sel	R/W	0h	Observe IEEE Compliance signals in LED_0_GPIO_0, when LED_0_GPIO_CTRL= 'h5 as follows - 000b = loc_rcvr_status 001b = rem_rcvr_status 010b = loc_snr_margin 011b = rem_phy_ready 100b = pma_watchdog_status 101b = link_sync_link_control
8	led_2_drv_en	R/W	0h	LED_2 Drive Enable, When set, drives the value as per LED_2_DRV_VAL
7	led_2_drv_val	R/W	0h	LED_2 Drive Value, when LED_2_DRV_EN is set
6	led_2_polarity	R/W	0h	LED_2 polarity
5	led_1_drv_en	R/W	0h	LED_1 Drive Enable, When set, drives the value as per LED_1_DRV_VAL
4	led_1_drv_val	R/W	0h	LED_1 Drive Value, when LED_1_DRV_EN is set
3	led_1_polarity	R/W	0h	LED_1 polarity
2	led_0_drv_en	R/W	0h	LED_0 Drive Enable, When set, drives the value as per LED_0_DRV_VAL
1	led_0_drv_val	R/W	0h	LED_0 Drive Value, when LED_0_DRV_EN is set
0	led_0_polarity	R/W	0h	LED_0 polarity

8.6.2.37 IO_MUX_CFG_1 Register (Offset = 452h) [Reset = 0000h]

IO_MUX_CFG_1 is shown in 图 8-54 and described in 表 8-59.

Return to the 表 8-22.

图 8-54. IO_MUX_CFG_1 Register

15	14	13	12	11	10	9	8
RESERVED		RESERVED			led_1_gpio_ctrl		
R-0h		R/W-0h			R/W-0h		
7	6	5	4	3	2	1	0
RESERVED		RESERVED			led_0_gpio_ctrl		
R-0h		R/W-0h			R/W-0h		

表 8-59. IO_MUX_CFG_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-11	RESERVED	R/W	0h	Reserved
10-8	led_1_gpio_ctrl	R/W	0h	Controls the output of LED_1 IO - 000b = LED_1 (default: link OK + blink on TX/RX activity) 001b = Reserved 010b = RGMII data match indication 011b = Under-Voltage indication 100b = Interrupt 101b = IEEE compliance signals 110b = constant 0 111b = constant 1
7-6	RESERVED	R	0h	Reserved
5-3	RESERVED	R/W	0h	Reserved
2-0	led_0_gpio_ctrl	R/W	0h	Controls the output of LED_0 IO: 000b = LED_0 (default: LINK) 001b = Reserved 010b = RGMII data match indication 011b = Under-Voltage indication 100b = Interrupt 101b = IEEE compliance signals (see 0x451[11:9]) 110b = constant 0 111b = constant 1

8.6.2.38 IO_MUX_CFG_2 Register (Offset = 453h) [Reset = 0001h]

IO_MUX_CFG_2 is shown in 图 8-55 and described in 表 8-60.

Return to the 表 8-22.

图 8-55. IO_MUX_CFG_2 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		clk_o_clk_source			clk_o_gpio_ctrl		
R-0h		R/W-0h			R/W-1h		

表 8-60. IO_MUX_CFG_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5-3	clk_o_clk_source	R/W	0h	Clock Observable in CLK_O pin - 000b = xi_osc_25m_1p0v_dl (25MHz crystal output - from analog) 001b = Reserved 010b = Reserved 011b = 125MHz clock 100b = 125MHz clock 101b = Reserved 110b = Reserved 111b = Reserved
2-0	clk_o_gpio_ctrl	R/W	1h	Controls the output of CLK_O IO - 000b = LED_2 (default: TX/RX activity with stretch option(LED_2_OPTION=0x6) 001b = Clock out (see 0x453[5:3]) 010b = RGMII data match indication 011b = Under-Voltage indication 100b = constant 0 101b = constant 0 110b = constant 0 111b = constant 1

8.6.2.39 IO_CONTROL_1 Register (Offset = 454h) [Reset = 0000h]

IO_CONTROL_1 is shown in 图 8-56 and described in 表 8-61.

Return to the 表 8-22.

图 8-56. IO_CONTROL_1 Register

15	14	13	12	11	10	9	8
io_control_1							
R/W-0h							
7	6	5	4	3	2	1	0
io_control_1							
R/W-0h							

表 8-61. IO_CONTROL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	io_control_1	R/W	0h	IO_CONTROL_1 : IO reflects the value written on this register when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=0 If 0 is written, IO will be forced to ouput LOW. If 1 is written, IO will be forced to ouput HIGH. The following is the bit position for pads. 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=RESERVED; 5=RESERVED; 6=INH; 7=TX_CLK; 8=TX_CTRL; 9=TX_D0; 10=TX_D1; 11=TX_D2; 12=TX_D3; 13=RX_CLK; 14=RX_CTRL; 15=RX_D0;

8.6.2.40 IO_CONTROL_2 Register (Offset = 455h) [Reset = 0000h]

IO_CONTROL_2 is shown in 图 8-57 and described in 表 8-62.

Return to the 表 8-22.

图 8-57. IO_CONTROL_2 Register

15	14	13	12	11	10	9	8
RESERVED		cfg_other_impedance					pupd_value
R-0h		R/W-0h					R/W-0h
7	6	5	4	3	2	1	0
pupd_value	pupd_force_cntl	io_oe_n_value	io_oe_n_force_ctrl	io_control_2			
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h			

表 8-62. IO_CONTROL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13-9	cfg_other_impedance	R/W	0h	Slew Rate Control for CLKOUT - 00000b = Default rise/fall time 00001b = Slower rise/fall time 00010b = Faster rise/fall time
8-7	pupd_value	R/W	0h	IO Test mode - pullup/pull down : 00b = No pull (HiZ) 01b = PullUP 10b = PullDown 11b = PullUp/PullDown (Both Enabled)
6	pupd_force_cntl	R/W	0h	IO Test mode pull up/down override functional pull.
5	io_oe_n_value	R/W	0h	IO Test mode direction, related to IO_OE_N_FORCE_CTRL
4	io_oe_n_force_ctrl	R/W	0h	IO Test mode (alternate to BSR). The IO direction is set by IO_OE_N_VALUE and value is set by IO_CONTROL_1/2
3-0	io_control_2	R/W	0h	IO_CONTROL_2 : IO reflects the value written on this register when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=0 If 0 is written, IO will be forced to ouput LOW. If 1 is written, IO will be forced to ouput HIGH. The following is the bit position for pads. 0=RX_D1; 1=RX_D2; 2=RX_D3; 3=STRP_1;

8.6.2.41 IO_CONTROL_3 Register (Offset = 456h) [Reset = 0108h]

IO_CONTROL_3 is shown in 图 8-58 and described in 表 8-63.

Return to the 表 8-22.

图 8-58. IO_CONTROL_3 Register

15	14	13	12	11	10	9	8
RESERVED						cfg_mac_rx_impedance	
R-0h						R/W-8h	
7	6	5	4	3	2	1	0
cfg_mac_rx_impedance			RESERVED				
R/W-8h			R/W-8h				

表 8-63. IO_CONTROL_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-10	RESERVED	R	0h	Reserved
9-5	cfg_mac_rx_impedance	R/W	8h	Slew Rate Control for RGMII pads - 01010b = Medium Slew (OA tr/tf compliant, max tr/tf = 1ns) 01011b = Slowest Slew (For low emissions, max tr/tf = 1.2ns) 01000b = Default mode (rgmii tr/tf compliant, max tr/tf=750ps)
4-0	RESERVED	R/W	8h	Reserved

8.6.2.42 IO_STATUS_1 Register (Offset = 457h) [Reset = 0000h]

IO_STATUS_1 is shown in 图 8-59 and described in 表 8-64.

Return to the 表 8-22.

图 8-59. IO_STATUS_1 Register

15	14	13	12	11	10	9	8
io_status_1							
R-0h							
7	6	5	4	3	2	1	0
io_status_1							
R-0h							

表 8-64. IO_STATUS_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	io_status_1	R	0h	IO_STATUS_1 : Register reflects the IO value, when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=1 If 0 is read, IO is connected LOW at pin. If 1 is read, IO is connected HIGH at pin. The following is the bit position for each pad. 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=RESERVED; 5=RESERVED; 6=INH; 7=TX_CLK; 8=TX_CTRL; 9=TX_D0; 10=TX_D1; 11=TX_D2; 12=TX_D3; 13=RX_CLK; 14=RX_CTRL; 15=RX_D0;

8.6.2.43 IO_STATUS_2 Register (Offset = 458h) [Reset = 0000h]

IO_STATUS_2 is shown in 图 8-60 and described in 表 8-65.

Return to the 表 8-22.

图 8-60. IO_STATUS_2 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				io_status_2			
R-0h				R-0h			

表 8-65. IO_STATUS_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	
3-0	io_status_2	R	0h	IO_STATUS_2 : Register reflects the IO value, when enabled IO_OE_N_FORCE_CTRL=1 and IO_OE_N_VALUE=1 If 0 is read, IO is connected LOW at pin. If 1 is read, IO is connected HIGH at pin. The following is the bit position for each pad. 0=RX_D1; 1=RX_D2; 2=RX_D3; 3=STRP_1;

8.6.2.44 IO_CONTROL_4 Register (Offset = 459h) [Reset = 0000h]

IO_CONTROL_4 is shown in 图 8-61 and described in 表 8-66.

Return to the 表 8-22.

图 8-61. IO_CONTROL_4 Register

15	14	13	12	11	10	9	8
io_input_mode							
R/W-0h							
7	6	5	4	3	2	1	0
io_input_mode							
R/W-0h							

表 8-66. IO_CONTROL_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	io_input_mode	R/W	0h	Each bit configures one pin into input mode as per mapping below - 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=TX_CLK; 5=TX_CTRL; 6=TX_D0; 7=TX_D1; 8=TX_D2; 9=TX_D3; 10=RX_CLK; 11=RX_CTRL; 12=RX_D0; 13=RX_D1; 14=RX_D2; 15=RX_D3

8.6.2.45 IO_CONTROL_5 Register (Offset = 45Ah) [Reset = 0000h]

IO_CONTROL_5 is shown in 图 8-62 and described in 表 8-67.

Return to the 表 8-22.

图 8-62. IO_CONTROL_5 Register

15	14	13	12	11	10	9	8
io_output_mode							
R/W-0h							
7	6	5	4	3	2	1	0
io_output_mode							
R/W-0h							

表 8-67. IO_CONTROL_5 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	io_output_mode	R/W	0h	Each bit configures one pin into output mode as per mapping below - 0=LED_0_GPIO_0; 1=LED_1_GPIO_1; 2=CLKOUT_GPIO_2; 3=INT_N; 4=TX_CLK; 5=TX_CTRL; 6=TX_D0; 7=TX_D1; 8=TX_D2; 9=TX_D3; 10=RX_CLK; 11=RX_CTRL; 12=RX_D0; 13=RX_D1; 14=RX_D2; 15=RX_D3

8.6.2.46 SOR_VECTOR_1 Register (Offset = 45Dh) [Reset = 0000h]

SOR_VECTOR_1 is shown in 图 8-63 and described in 表 8-68.

Return to the 表 8-22.

图 8-63. SOR_VECTOR_1 Register

15	14	13	12	11	10	9	8
RGMII_TX_SHIFT	RGMII_RX_SHIFT	SGMII_EN	RGMII_EN	TEST_MODE			MAC_MODE
R-0h	R-0h	R-0h	R-0h	R-0h			R-0h
7	6	5	4	3	2	1	0
MAC_MODE		MAS/SLV	PHY_AD				
R-0h		R-0h	R-0h				

表 8-68. SOR_VECTOR_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RGMII_TX_SHIFT	R	0h	0x0 = TX shift disbaled 0x1 = TX shift enabled
14	RGMII_RX_SHIFT	R	0h	0x0 = RX shift disabled 0x1 = RX shift enabled
13	SGMII_EN	R	0h	0x0 = SGMII disabled 0x1 = SGMII enabled
12	RGMII_EN	R	0h	0x0 = RGMII disabled 0x1 = RGMII enabled
11-9	TEST_MODE	R	0h	
8-6	MAC_MODE	R	0h	0x0 = SGMII 0x1 = Reserved 0x2 = Reserved 0x3 = Reserved 0x4 = RGMII align 0x5 = RGMII TX shift 0x6 = RGMII TX and RX shift 0x7 = RGMII RX shift
5	MAS/SLV	R	0h	0x0 = Slave 0x1 = Master
4-0	PHY_AD	R	0h	0x0 = PHY address 0 0x4 = PHY address 4 0x5 = PHY address 5 0x8 = PHY address 8 0xA = PHY address A 0xC = PHY address C 0xD = PHY address D 0xE = PHY address E 0xF = PHY address F

8.6.2.47 SOR_VECTOR_2 Register (Offset = 45Eh) [Reset = 0000h]

SOR_VECTOR_2 is shown in 图 8-64 and described in 表 8-69.

Return to the 表 8-22.

图 8-64. SOR_VECTOR_2 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							AUTO/ MANAGED
R-0h							R-0h

表 8-69. SOR_VECTOR_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	AUTO/MANAGED	R	0h	0x0 = Autonomous mode enabled 0x1 = Managed mode enabled

8.6.2.48 MONITOR_CTRL1 Register (Offset = 467h) [Reset = 0012h]

MONITOR_CTRL1 is shown in 图 8-65 and described in 表 8-70.

Return to the 表 8-22.

图 8-65. MONITOR_CTRL1 Register

15	14	13	12	11	10	9	8
cfg_dc_offset_2c							
R/W-0h							
7	6	5	4	3	2	1	0
cfg_cic_gain12_arith		cfg_cic_gain2			cfg_cic_gain1		
R/W-0h		R/W-2h			R/W-2h		

表 8-70. MONITOR_CTRL1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	cfg_dc_offset_2c	R/W	0h	Analog control
7-6	cfg_cic_gain12_arith	R/W	0h	Analog control
5-3	cfg_cic_gain2	R/W	2h	Analog control
2-0	cfg_cic_gain1	R/W	2h	Analog control

8.6.2.49 MONITOR_CTRL2 Register (Offset = 468h) [Reset = 0920h]

MONITOR_CTRL2 is shown in 图 8-66 and described in 表 8-71.

Return to the 表 8-22.

图 8-66. MONITOR_CTRL2 Register

15	14	13	12	11	10	9	8
cfg_bypass_reset_sensor_val	cfg_rd_data			cfg_dec_factor_sensors			cfg_dec_factor_gain_calib
R/W-0h	R/W-0h			R/W-4h			R/W-4h
7	6	5	4	3	2	1	0
cfg_dec_factor_gain_calib		cfg_dec_factor_dc_calib			cfg_bypass_sel_num		
R/W-4h		R/W-4h			R/W-0h		

表 8-71. MONITOR_CTRL2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	cfg_bypass_reset_sensor_val	R/W	0h	When cfg_bypass_fsm is 1, use this register to keep sensor in reset
14-12	cfg_rd_data	R/W	0h	To read out monitor adc output through MDIO for debug
11-9	cfg_dec_factor_sensors	R/W	4h	Analog control
8-6	cfg_dec_factor_gain_calib	R/W	4h	Analog control
5-3	cfg_dec_factor_dc_calib	R/W	4h	Analog control
2-0	cfg_bypass_sel_num	R/W	0h	When cfg_bypass_fsm is 1, use this register to select the sensor

8.6.2.50 MONITOR_CTRL4 Register (Offset = 46Ah) [Reset = 0094h]

MONITOR_CTRL4 is shown in 图 8-67 and described in 表 8-72.

Return to the 表 8-22.

图 8-67. MONITOR_CTRL4 Register

15	14	13	12	11	10	9	8
RESERVED							cfg_hist_clr
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_discard_sample_num	cfg_avg_sample_num	cfg_adc_clk_div		cfg_force_start	cfg_reset	periodic	start
R/W-1h	R/W-0h	R/W-1h		R/W-0h	R/W-1h	R/W-0h	R/WSC-0h

表 8-72. MONITOR_CTRL4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	RESERVED
8	cfg_hist_clr	R/W	0h	CFG_HIST_CLR
7	cfg_discard_sample_num	R/W	1h	Number of samples to be discarded before starting averaging - 0b = 2 samples 1b = 4 samples
6	cfg_avg_sample_num	R/W	0h	Number of samples for calculating the average before storing in history - 0b = 2 samples 1b = 4 samples
5-4	cfg_adc_clk_div	R/W	1h	Config options to select frequency of monitor adc clock - 00b = 12.5MHz 01b = 6.25MHz 10b = 3.125MHz 11b = Reserved
3	cfg_force_start	R/W	0h	Set to force start sensor monitor FSM even if link is not established
2	cfg_reset	R/W	1h	0b = Enable the monitor 1b = Monitor is held in reset state At any point of time, if the signal is changed to 1, the module abruptly goes to reset state
1	periodic	R/W	0h	0b = Monitor is enabled only when start is set for one iteration 1b = Monitor is enabled for periodic iteration
0	start	R/WSC	0h	Start indication for sensor monitor FSM, self clearing

8.6.2.51 MONITOR_STAT1 Register (Offset = 47Bh) [Reset = 0000h]

MONITOR_STAT1 is shown in 图 8-68 and described in 表 8-73.

Return to the 表 8-22.

图 8-68. MONITOR_STAT1 Register

15	14	13	12	11	10	9	8
stat_rd_data							
R-0h							
7	6	5	4	3	2	1	0
stat_rd_data							
R-0h							

表 8-73. MONITOR_STAT1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	stat_rd_data	R	0h	STAT_RD_DATA

8.6.2.52 BREAK_LINK_TIMER Register (Offset = 50Ah) [Reset = 112Eh]

BREAK_LINK_TIMER is shown in 图 8-69 and described in 表 8-74.

Return to the 表 8-22.

图 8-69. BREAK_LINK_TIMER Register

15	14	13	12	11	10	9	8
RESERVED		RESERVED	cfg_fifo_reset_in_break_link	cfg_slave_send_s_32_mode	RESERVED		
R/W-0h		R/W-0h	R/W-1h	R/W-0h	R/W-12Eh		
7	6	5	4	3	2	1	0
RESERVED							
R/W-12Eh							

表 8-74. BREAK_LINK_TIMER Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	cfg_fifo_reset_in_break_link	R/W	1h	Allow ADC FIFO to be in reset during break link timer
11	cfg_slave_send_s_32_mode	R/W	0h	Enable mode where Slave PHY sends SEND_S signalling for a fixed 32 times once it has detected SEND_S Note : Should be enabled only if 0x509[10] is not set 0h = Follow IEEE state machine 1h = Enable slave to send SEND_S 32 times
10-0	RESERVED	R/W	12Eh	Reserved

8.6.2.53 RS_DECODER Register (Offset = 510h) [Reset = 2D50h]

RS_DECODER is shown in 图 8-70 and described in 表 8-75.

Return to the 表 8-22.

图 8-70. RS_DECODER Register

15	14	13	12	11	10	9	8
cfg_rs_decoder_bypass	RESERVED	RESERVED					
R/W-0h	R/W-0h	R/W-2Dh					
7	6	5	4	3	2	1	0
RESERVED							RESERVED
R/W-28h							R/W-0h

表 8-75. RS_DECODER Register Field Descriptions

Bit	Field	Type	Reset	Description
15	cfg_rs_decoder_bypass	R/W	0h	Bypass RS decoder 0h = RS decoder in use 1h = Bypass RS decoder
14	RESERVED	R/W	0h	Reserved
13-8	RESERVED	R/W	2Dh	Reserved
7-1	RESERVED	R/W	28h	Reserved
0	RESERVED	R/W	0h	Reserved

8.6.2.54 LPS_CONTROL_1 Register (Offset = 514h) [Reset = 08E3h]

LPS_CONTROL_1 is shown in 图 8-71 and described in 表 8-76.

Return to the 表 8-22.

图 8-71. LPS_CONTROL_1 Register

15	14	13	12	11	10	9	8
RESERVED				cfg_tx_wake_cg			cfg_tx_sleep_cg
R-0h				R/W-4h			R/W-3h
7	6	5	4	3	2	1	0
cfg_tx_sleep_cg		cfg_rx_wake_cg			cfg_rx_sleep_cg		
R/W-3h		R/W-4h			R/W-3h		

表 8-76. LPS_CONTROL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11-9	cfg_tx_wake_cg	R/W	4h	Control code to send on Tx for wake indication
8-6	cfg_tx_sleep_cg	R/W	3h	Control code to send on Tx for sleep indication
5-3	cfg_rx_wake_cg	R/W	4h	Control code to expect on Rx for wake indication
2-0	cfg_rx_sleep_cg	R/W	3h	Control code to expect on Rx for sleep indication

8.6.2.55 LPS_CONTROL_2 Register (Offset = 515h) [Reset = 0808h]

LPS_CONTROL_2 is shown in 图 8-72 and described in 表 8-77.

Return to the 表 8-22.

图 8-72. LPS_CONTROL_2 Register

15	14	13	12	11	10	9	8
RESERVED	cfg_wake_cg_cnt_th						
R-0h	R/W-8h						
7	6	5	4	3	2	1	0
RESERVED	cfg_sleep_cg_cnt_th						
R-0h	R/W-8h						

表 8-77. LPS_CONTROL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14-8	cfg_wake_cg_cnt_th	R/W	8h	Number of continuous expected wake code groups required to acknowledge and set LPS wake command received.
7	RESERVED	R	0h	Reserved
6-0	cfg_sleep_cg_cnt_th	R/W	8h	Number of continuous expected sleep code groups required to acknowledge and set LPS sleep command received.

8.6.2.56 MAXWAIT_TIMER Register (Offset = 518h) [Reset = 17CEh]

MAXWAIT_TIMER is shown in 图 8-73 and described in 表 8-78.

Return to the 表 8-22.

图 8-73. MAXWAIT_TIMER Register

15	14	13	12	11	10	9	8
cfg_maxwait_timer_init							
R/W-17CEh							
7	6	5	4	3	2	1	0
cfg_maxwait_timer_init							
R/W-17CEh							

表 8-78. MAXWAIT_TIMER Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	cfg_maxwait_timer_init	R/W	17CEh	Maxwait timer (used during link-up) : value in us = decimal value multipled by 16

8.6.2.57 PHY_CTRL_1G Register (Offset = 519h) [Reset = 003Dh]

PHY_CTRL_1G is shown in 图 8-74 and described in 表 8-79.

Return to the 表 8-22.

图 8-74. PHY_CTRL_1G Register

15	14	13	12	11	10	9	8
RESERVED	RESERVED	RESERVED	RESERVED	cfg_force_link_stat_val	cfg_force_link_stat	RESERVED	RESERVED
R-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
cfg_minwait_timer_init							
R/W-3Dh							

表 8-79. PHY_CTRL_1G Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	0h	Reserved
14	RESERVED	R/W	0h	Reserved
13	RESERVED	R/W	0h	Reserved
12	RESERVED	R/W	0h	Reserved
11	cfg_force_link_stat_val	R/W	0h	Forced link status value Valid only if 0x519[10] is set
10	cfg_force_link_stat	R/W	0h	Enable forcing link status value
9	RESERVED	R/W	0h	Reserved
8	RESERVED	R/W	0h	Reserved
7-0	cfg_minwait_timer_init	R/W	3Dh	Minwait timer (used during link-up) : value in us = decimal value multipled by 16

8.6.2.58 TEST_MODE Register (Offset = 531h) [Reset = 0000h]

TEST_MODE is shown in 图 8-75 and described in 表 8-80.

Return to the 表 8-22.

图 8-75. TEST_MODE Register

15	14	13	12	11	10	9	8
RESERVED							cfg_test_mode4_tx_order
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_test_mode_7_data							
R/W-0h							

表 8-80. TEST_MODE Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	cfg_test_mode4_tx_order	R/W	0h	Order of symbols to be transmitted in Test mode 4 0h = T1 followed by T2 1h = T2 followed by T1
7-0	cfg_test_mode_7_data	R/W	0h	GMII data to transmit in Test mode 7

8.6.2.59 LINK_QUAL_1 Register (Offset = 543h) [Reset = 0000h]

LINK_QUAL_1 is shown in 图 8-76 and described in 表 8-81.

Return to the 表 8-22.

图 8-76. LINK_QUAL_1 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
link_training_time							
R-0h							

表 8-81. LINK_QUAL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	link_training_time	R	0h	Link training time in ms (TC12)

8.6.2.60 LINK_QUAL_2 Register (Offset = 544h) [Reset = 0000h]

LINK_QUAL_2 is shown in 图 8-77 and described in 表 8-82.

Return to the 表 8-22.

图 8-77. LINK_QUAL_2 Register

15	14	13	12	11	10	9	8
remote_receiver_time							
R-0h							
7	6	5	4	3	2	1	0
local_receiver_time							
R-0h							

表 8-82. LINK_QUAL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	remote_receiver_time	R	0h	Remote receiver time in ms (TC12)
7-0	local_receiver_time	R	0h	Local receiver time in ms (TC12)

8.6.2.61 LINK_DOWN_LATCH_STAT Register (Offset = 545h) [Reset = 0000h]

LINK_DOWN_LATCH_STAT is shown in 图 8-78 and described in 表 8-83.

Return to the 表 8-22.

图 8-78. LINK_DOWN_LATCH_STAT Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		channel_ok_ll	link_fail_inhibit_lh	send_s_sigdet_lh	hi_rfer_lh	block_lock_ll	pma_watchdog_ll
R-0h		R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0S-0h	R/W0S-0h

表 8-83. LINK_DOWN_LATCH_STAT Register Field Descriptions

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5	channel_ok_ll	R/W0C	0h	1b = Channel ok was never de-asserted 0b = Channel ok was de-asserted
4	link_fail_inhibit_lh	R/W0C	0h	1b = Link fail inhibit assertion was reported 0b = Link fail inhibit assertion was never reported
3	send_s_sigdet_lh	R/W0C	0h	1b = Send s sigdet assertion was reported 0b = Send s sigdet assertion was never reported
2	hi_rfer_lh	R/W0C	0h	1b = High ri rfer assertion was reported 0b = High ri rfer assertion was never reported
1	block_lock_ll	R/W0S	0h	1b = Block lock de-assertion was never reported 0b = Block lock de-assertion was never reported
0	pma_watchdog_ll	R/W0S	0h	1b = Low pma watchdog was never reported 0b = Low pma watchdof was reported

8.6.2.62 LINK_QUAL_3 Register (Offset = 547h) [Reset = 0000h]

LINK_QUAL_3 is shown in 图 8-79 and described in 表 8-84.

Return to the 表 8-22.

图 8-79. LINK_QUAL_3 Register

15	14	13	12	11	10	9	8
link_loss_cnt						link_fail_cnt	
R-0h						R-0h	
7	6	5	4	3	2	1	0
link_fail_cnt							
R-0h							

表 8-84. LINK_QUAL_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-10	link_loss_cnt	R	0h	Link loss count since last power cycle (TC12)
9-0	link_fail_cnt	R	0h	Link fail without link loss count since last power cycle (TC12)

8.6.2.63 LINK_QUAL_4 Register (Offset = 548h) [Reset = 0000h]

LINK_QUAL_4 is shown in 图 8-80 and described in 表 8-85.

Return to the 表 8-22.

图 8-80. LINK_QUAL_4 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							comm_ready
R-0h							R-0h

表 8-85. LINK_QUAL_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	comm_ready	R	0h	Communication ready status (TC12)

8.6.2.64 RS_DECODER_FRAME_STAT_2 Register (Offset = 552h) [Reset = 0000h]

RS_DECODER_FRAME_STAT_2 is shown in 图 8-81 and described in 表 8-86.

Return to the 表 8-22.

图 8-81. RS_DECODER_FRAME_STAT_2 Register

15	14	13	12	11	10	9	8
rs_dec_uncorr_frame_cnt							
0h							
7	6	5	4	3	2	1	0
rs_dec_uncorr_frame_cnt							
0h							

表 8-86. RS_DECODER_FRAME_STAT_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	rs_dec_uncorr_frame_cnt		0h	No of uncorrectable RS frames received at RS decoder, clear on read, saturates

8.6.2.65 PMA_WATCHDOG Register (Offset = 559h) [Reset = 0051h]

PMA_WATCHDOG is shown in 图 8-82 and described in 表 8-87.

Return to the 表 8-22.

图 8-82. PMA_WATCHDOG Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED	cfg_pma_watchdog_force_val	cfg_pma_watchdog_force_en	cfg_ieee_watchdog_en	cfg_watchdog_cnt_clr_th			
R-0h	R/W-1h	R/W-0h	R/W-1h	R/W-1h			

表 8-87. PMA_WATCHDOG Register Field Descriptions

Bit	Field	Type	Reset	Description
15-7	RESERVED	R	0h	Reserved
6	cfg_pma_watchdog_force_val	R/W	1h	Force value for pma watchdog
5	cfg_pma_watchdog_force_en	R/W	0h	Enable forcing pma watchdog
4	cfg_ieee_watchdog_en	R/W	1h	1 : watchdog counters are started after link up 0: TBD
3-0	cfg_watchdog_cnt_clr_th	R/W	1h	Number of 0, +1, -1 symbols to be seen in their respective watchdog counter window to prevent them for asserting pma_watchdog_status

8.6.2.66 SYMB_POL_CFG Register (Offset = 55Bh) [Reset = 0000h]

SYMB_POL_CFG is shown in 图 8-83 and described in 表 8-88.

Return to the 表 8-22.

图 8-83. SYMB_POL_CFG Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED			cfg_slave_auto_pol_correction_en	cfg_rx_symb_order_inv	cfg_rx_symb_pol_inv	cfg_tx_symb_order_inv	cfg_tx_symb_pol_inv
R-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-88. SYMB_POL_CFG Register Field Descriptions

Bit	Field	Type	Reset	Description
15-5	RESERVED	R	0h	Reserved
4	cfg_slave_auto_pol_correction_en	R/W	0h	Correct tx polarity for slave based on received polarity 0h = Slave tx polarity independent of slave rx polarity 1h = Slave tx polarity to match received polarity
3	cfg_rx_symb_order_inv	R/W	0h	Order of received symbols S0 to S6 reversed to S6 to S0 Valid only if LPs 0x55B[1] is set (TI-TI link) 0h = Order of received symbols S0 to S6 unchanged 1h = Order of received symbols S0 to S6 reversed to S6 to S0
2	cfg_rx_symb_pol_inv	R/W	0h	Invert polarity of received symbols 0h = Unchanged polarity of received symbols 1h = Invert polarity of received symbols
1	cfg_tx_symb_order_inv	R/W	0h	Order of transmit symbols S0 to S6 reversed to S6 to S0 Valid only if LPs 0x55B[3] is set (TI-TI link) 0h = Order of transmit symbols S0 to S6 unchanged 1h = Order of transmit symbols S0 to S6 reversed to S6 to S0
0	cfg_tx_symb_pol_inv	R/W	0h	Invert polarity of transmit symbols 0h = Unchanged polarity of transmit symbols 1h = Invert polarity of transmit symbols

8.6.2.67 OAM_CFG Register (Offset = 55Ch) [Reset = 0000h]

OAM_CFG is shown in 图 8-84 and described in 表 8-89.

Return to the 表 8-22.

图 8-84. OAM_CFG Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						cfg_rx_oam_crc_data_in_order	cfg_tx_oam_crc_data_in_order
R-0h						R/W-0h	R/W-0h

表 8-89. OAM_CFG Register Field Descriptions

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	cfg_rx_oam_crc_data_in_order	R/W	0h	Reverse order of data input to CRC checker in rx oam to MSB first 0h = Order of data input to CRC checker in rx oam is LSB first 1h = Order of data input to CRC checker in rx oam is MSB first
0	cfg_tx_oam_crc_data_in_order	R/W	0h	Reverse order of data input to CRC calculator in tx oam to MSB first 0h = Order of data input to CRC calculator in tx oam is LSB first 1h = Order of data input to CRC calculator in tx oam is MSB first

8.6.2.68 TEST_MEM_CFG Register (Offset = 561h) [Reset = 17A0h]

TEST_MEM_CFG is shown in 图 8-85 and described in 表 8-90.

Return to the 表 8-22.

图 8-85. TEST_MEM_CFG Register

15	14	13	12	11	10	9	8
RESERVED			cfg_wait_time_xcorr_wen				
R-0h			R/W-5Eh				
7	6	5	4	3	2	1	0
cfg_wait_time_xcorr_wen		cfg_xcorr_dbg_sel	cfg_send_s_infinite_loop	cfg_xcorr_dbg_test_mem	cfg_ecc_en	cfg_test_mem_sigdet_debug	cfg_pcs_test_mem_mode
R/W-5Eh		R/W-1h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-90. TEST_MEM_CFG Register Field Descriptions

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12-6	cfg_wait_time_xcorr_wen	R/W	5Eh	Wait timer after TX_SEND_S after which testmem is written on energy fall Note : Valid only if 0x561[3] is set
5	cfg_xcorr_dbg_sel	R/W	1h	0b = Select xcorr from aligned detector to write to test mem 1b = Select xcorr from shifted detector to write to test mem Note : Valid only if 0x561[3] is set
4	cfg_send_s_infinite_loop	R/W	0h	enable transmitting infinite send_s sequence. For send_s debug. Valid only in master and when 0x56A[15] is set. 0h = disable infinte send_s mode 1h = enable infinite send_s mode
3	cfg_xcorr_dbg_test_mem	R/W	0h	enabled xcorr debug for send_s. Valid only if 0x561[0] is 1b0 0h = Normal send_s debug. Refer to 0x561[1] 1h = Enabled xcorr debug
2	cfg_ecc_en	R/W	0h	Enable ECC logic for RS decoder memory 0h = ECC encoding/decoding is disabled 1h = ECC encoding/decoding is enabled
1	cfg_test_mem_sigdet_debug	R/W	0h	Enable sidget debug mode in test mem send s mode Valid only if 0x561[0] is 1b0 0h = Test mem written in send s mode only on state transition 1h = Enable sigdet debug mode in test mem send s mode
0	cfg_pcs_test_mem_mode	R/W	0h	Choose send s or train rx test mem mode 0h = Send s info on test mem 1h = Train rx info on test mem

8.6.2.69 FORCE_CTRL1 Register (Offset = 573h) [Reset = 0000h]

FORCE_CTRL1 is shown in 图 8-86 and described in 表 8-91.

Return to the 表 8-22.

图 8-86. FORCE_CTRL1 Register

15	14	13	12	11	10	9	8
RESERVED							cfg_force_link_sync_state_en
R-0h							R/W-0h
7	6	5	4	3	2	1	0
cfg_force_link_sync_state_val							
R/W-0h							

表 8-91. FORCE_CTRL1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	cfg_force_link_sync_state_en	R/W	0h	Force link sync state enable
7-0	cfg_force_link_sync_state_val	R/W	0h	Force link sync state value

8.6.2.70 RGMII_CTRL Register (Offset = 600h) [Reset = 0120h]

RGMII_CTRL is shown in 图 8-87 and described in 表 8-92.

Return to the 表 8-22.

图 8-87. RGMII_CTRL Register

15	14	13	12	11	10	9	8
RESERVED						rgmii_rx_half_full_th	
R-0h						R/W-2h	
7	6	5	4	3	2	1	0
rgmii_rx_half_full_th	rgmii_tx_half_full_th			rgmii_tx_if_en	invert_rgmii_txd	invert_rgmii_rxd	sup_tx_err_fd
R/W-2h	R/W-2h			R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 8-92. RGMII_CTRL Register Field Descriptions

Bit	Field	Type	Reset	Description
15-10	RESERVED	R	0h	Reserved
9-7	rgmii_rx_half_full_th	R/W	2h	RGMII RX sync FIFO half full threshold
6-4	rgmii_tx_half_full_th	R/W	2h	RGMII TX sync FIFO half full threshold
3	rgmii_tx_if_en	R/W	0h	RGMII enable bit Default from strap 0h = RGMII disable 1h = RGMII enable
2	invert_rgmii_txd	R/W	0h	Invert RGMII Tx wire order - full swap [3:0] to [0:3] 0h = Keep RGMII Tx wire order same - [3: 1h = Invert RGMII Tx wire order - [3:
1	invert_rgmii_rxd	R/W	0h	Invert RGMII Rx wire order - full swap [3:0] to [0:3] 0h = Keep RGMII Rx wire order same - [3: 1h = Invert RGMII Rx wire order - [3:
0	sup_tx_err_fd	R/W	0h	1: suppress tx_err in full duplex mode when tx_en set to zero 0: allow tx_err assertion to PHY when tx_en set to zero (this bit can disable the TX_ERR indication input)

8.6.2.71 RGMII_FIFO_STATUS Register (Offset = 601h) [Reset = 0000h]

RGMII_FIFO_STATUS is shown in 图 8-88 and described in 表 8-93.

Return to the 表 8-22.

图 8-88. RGMII_FIFO_STATUS Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				rgmii_rx_af_full_err	rgmii_rx_af_empty_err	rgmii_tx_af_full_err	rgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 8-93. RGMII_FIFO_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	Reserved
3	rgmii_rx_af_full_err	R/W0C	0h	RGMII RX fifo full error 0h = No empty fifo error 1h = RGMII TX full error has been indicated
2	rgmii_rx_af_empty_err	R/W0C	0h	RGMII RX fifo empty error 0h = No empty fifo error 1h = RGMII RX empty error has been indicated
1	rgmii_tx_af_full_err	R/W0C	0h	RGMII TX fifo full error 0h = No empty fifo error 1h = RGMII TX full error has been indicated
0	rgmii_tx_af_empty_err	R/W0C	0h	RGMII TX fifo empty error 0h = No empty fifo error 1h = RGMII TX empty error has been indicated

8.6.2.72 RGMII_DELAY_CTRL Register (Offset = 602h) [Reset = 0000h]

RGMII_DELAY_CTRL is shown in 图 8-89 and described in 表 8-94.

Return to the 表 8-22.

图 8-89. RGMII_DELAY_CTRL Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_clk_sel	tx_clk_sel
R-0h						R/W-0h	R/W-0h

表 8-94. RGMII_DELAY_CTRL Register Field Descriptions

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	rx_clk_sel	R/W	0h	In RGMII mode, Enable or disable the internal delay for RXD wrt RX_CLK (use this mode when RGMII_RX_CLK and RGMII_RXD are aligned). The delay magnitude can be configured by programming register 0x430[7:4] 0h = clock and data are aligned 1h = clock on PIN is delayed by 90 degrees relative to RGMII_RX data
0	tx_clk_sel	R/W	0h	In RGMII mode, Enable or disable the internal delay for TXD wrt TX_CLK (use this mode when RGMII_TX_CLK and RGMII_TXD are aligned). The delay magnitude can be configured by programming register 0x430[11:8] 0h = clock and data are aligned 1h = clock is internally delayed by 90 degrees

8.6.2.73 SGMII_CTRL_1 Register (Offset = 608h) [Reset = 007Bh]

SGMII_CTRL_1 is shown in 图 8-90 and described in 表 8-95.

Return to the 表 8-22.

图 8-90. SGMII_CTRL_1 Register

15	14	13	12	11	10	9	8
sgmii_tx_err_dis	cfg_align_idx_force	cfg_align_idx_value				cfg_sgmii_en	cfg_sgmii_rx_pol_invert
R/W-0h	R/W-0h	R/W-0h				R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
cfg_sgmii_tx_pol_invert	RESERVED		RESERVED	RESERVED	sgmii_autoneg_timer		mr_an_enable
R/W-0h	R/W-3h		R/W-1h	R/W-1h	R/W-1h		R/W-1h

表 8-95. SGMII_CTRL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	sgmii_tx_err_dis	R/W	0h	1 = Disable SGMII TX Error indication 0 = Enable SGMII TX Error indication
14	cfg_align_idx_force	R/W	0h	Force word boundray index selection
13-10	cfg_align_idx_value	R/W	0h	when cfg_align_idx_force = 1 This value set the iword boundray index
9	cfg_sgmii_en	R/W	0h	SGMII enable bit Default from strap 0h = SGMII disable 1h = SGMII enable
8	cfg_sgmii_rx_pol_invert	R/W	0h	SGMII RX bus invert polarity 0h = Polarity not inverted 1h = SGMII RX bus invert polarity
7	cfg_sgmii_tx_pol_invert	R/W	0h	SGMII TX bus invert polarity 0h = Polarity not inverted 1h = SGMII TX bus invert polarity
6-5	RESERVED	R/W	3h	Reserved
4	RESERVED	R/W	1h	Reserved
3	RESERVED	R/W	1h	Reserved
2-1	sgmii_autoneg_timer	R/W	1h	Selects duration of SGMII Auto-Negotiation timer: 00: 1.6ms 01: 2us 10: 800us 11: 11ms
0	mr_an_enable	R/W	1h	1 = Enable SGMII Auto-Negotaition 0 = Disable SGMII Auto-Negotiation

8.6.2.74 SGMII_STATUS Register (Offset = 60Ah) [Reset = 0000h]

SGMII_STATUS is shown in 图 8-91 and described in 表 8-96.

Return to the 表 8-22.

图 8-91. SGMII_STATUS Register

15	14	13	12	11	10	9	8
RESERVED			sgmii_page_received	link_status_1000bx	mr_an_complete	cfg_align_en	cfg_sync_status
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
cfg_align_idx				cfg_state			
R-0h				R-0h			

表 8-96. SGMII_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12	sgmii_page_received	R	0h	Indicates that a new auto neg page was received 0h = No new auto neg page received 1h = A new auto neg page received
11	link_status_1000bx	R	0h	sgmii link status 0h = SGMII link down 1h = SGMII link up
10	mr_an_complete	R	0h	sgmii autoneg complete indication 0h = SGMII autoneg not completed 1h = SGMII autoneg completed
9	cfg_align_en	R	0h	word boundary FSM - align indication
8	cfg_sync_status	R	0h	word boundary FSM - sync status indication 0h = sync not achieved 1h = sync achieved
7-4	cfg_align_idx	R	0h	word boundary index selection
3-0	cfg_state	R	0h	word boundary FSM state

8.6.2.75 SGMII_CTRL_2 Register (Offset = 60Ch) [Reset = 001Bh]

SGMII_CTRL_2 is shown in 图 8-92 and described in 表 8-97.

Return to the 表 8-22.

图 8-92. SGMII_CTRL_2 Register

15	14	13	12	11	10	9	8
RESERVED							sgmii_signal_detect_force_val
R-0h							R/W-0h
7	6	5	4	3	2	1	0
sgmii_signal_detect_force_en	mr_restart_an	tx_half_full_th			rx_half_full_th		
R/W-0h	R/WSC,0-0h	R/W-3h			R/W-3h		

表 8-97. SGMII_CTRL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-9	RESERVED	R	0h	Reserved
8	sgmii_signal_detect_force_val	R/W	0h	SGMII cdr lock force value
7	sgmii_signal_detect_force_en	R/W	0h	SGMII cdr lock force enable
6	mr_restart_an	R/WSC,0	0h	Restart sgmii autonegotiation
5-3	tx_half_full_th	R/W	3h	SGMII TX sync FIFO half full threshold
2-0	rx_half_full_th	R/W	3h	SGMII RX sync FIFO half full threshold

8.6.2.76 SGMII_FIFO_STATUS Register (Offset = 60Dh) [Reset = 0000h]

SGMII_FIFO_STATUS is shown in 图 8-93 and described in 表 8-98.

Return to the 表 8-22.

图 8-93. SGMII_FIFO_STATUS Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				sgmii_rx_af_full_err	sgmii_rx_af_empty_err	sgmii_tx_af_full_err	sgmii_tx_af_empty_err
R-0h				R/W0C-0h	R/W0C-0h	R/W0C-0h	R/W0C-0h

表 8-98. SGMII_FIFO_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-4	RESERVED	R	0h	Reserved
3	sgmii_rx_af_full_err	R/W0C	0h	SGMII RX fifo full error 0h = No error indication 1h = SGMII RX fifo full error has been indicated
2	sgmii_rx_af_empty_err	R/W0C	0h	SGMII RX fifo empty error 0h = No error indication 1h = SGMII RX fifo empty error has been indicated
1	sgmii_tx_af_full_err	R/W0C	0h	SGMII TX fifo full error 0h = No error indication 1h = SGMII TX fifo full error has been indicated
0	sgmii_tx_af_empty_err	R/W0C	0h	SGMII TX fifo empty error 0h = No error indication 1h = SGMII TX fifo empty error has been indicated

8.6.2.77 PRBS_STATUS_1 Register (Offset = 618h) [Reset = 0000h]

PRBS_STATUS_1 is shown in 图 8-94 and described in 表 8-99.

Return to the 表 8-22.

图 8-94. PRBS_STATUS_1 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
prbs_err_ov_cnt							
R-0h							

表 8-99. PRBS_STATUS_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	prbs_err_ov_cnt	R	0h	Holds number of error counter overflow that received by the PRBS checker. Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. Counter stops on 0xFF. Note: when PRBS counters work in single mode, overflow counter is not active

8.6.2.78 PRBS_CTRL_1 Register (Offset = 619h) [Reset = 0574h]

PRBS_CTRL_1 is shown in 图 8-95 and described in 表 8-100.

Return to the 表 8-22.

图 8-95. PRBS_CTRL_1 Register

15	14	13	12	11	10	9	8
RESERVED		cfg_pkt_gen_64	send_pkt	RESERVED	cfg_prbs_chk_sel		
R-0h		R/W-0h	R/WMC,0-0h	R-0h	R/W-5h		
7	6	5	4	3	2	1	0
RESERVED	cfg_prbs_gen_sel			cfg_prbs_cnt_mode	cfg_prbs_chk_enable	cfg_pkt_gen_prbs	pkt_gen_en
R-0h	R/W-7h			R/W-0h	R/W-1h	R/W-0h	R/W-0h

表 8-100. PRBS_CTRL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-14	RESERVED	R	0h	Reserved
13	cfg_pkt_gen_64	R/W	0h	Reserved
12	send_pkt	R/WMC,0	0h	Enables generating MAC packet with fix/incremental data w CRC (pkt_gen_en has to be set and cfg_pkt_gen_prbs has to be clear) Cleared automatically when pkt_done is set 0h = Stop MAC packet 1h = Transmit MAC packet w CRC
11	RESERVED	R	0h	Reserved
10-8	cfg_prbs_chk_sel	R/W	5h	000 : Checker receives from RGMII TX 001 : Checker receives SGMII TX 101 : Checker receives from Cu RX
7	RESERVED	R	0h	Reserved
6-4	cfg_prbs_gen_sel	R/W	7h	000 : PRBS transmits to RGMII RX 001 : PRBS transmits to SGMII RX 101 : PRBS transmits to Cu TX
3	cfg_prbs_cnt_mode	R/W	0h	1 = Continuous mode, when one of the PRBS counters reaches max value, pulse is generated and counter starts counting from zero again 0 = Single mode, When one of the PRBS counters reaches max value, PRBS checker stops counting.
2	cfg_prbs_chk_enable	R/W	1h	Enable PRBS checker xbar (to receive data) To be enabled for counters in 0x63C, 0x63D, 0x63E to work 0h = Disable PRBS checker 1h = Enable PRBS checker
1	cfg_pkt_gen_prbs	R/W	0h	If set: (1) When pkt_gen_en is set, PRBS packets are generated continuously (3) When pkt_gen_en is cleared, PRBS RX checker is still enabled If cleared: (1) When pkt_gen_en is set, non - PRBS packet is generated (3) When pkt_gen_en is cleared, PRBS RX checker is disabled as well 0h = Stop PRBS packet 1h = Transmit PRBS packet
0	pkt_gen_en	R/W	0h	1 = Enable packet/PRBS generator 0 = Disable packet/PRBS generator

8.6.2.79 PRBS_CTRL_2 Register (Offset = 61Ah) [Reset = 05DCh]

PRBS_CTRL_2 is shown in 图 8-96 and described in 表 8-101.

Return to the 表 8-22.

图 8-96. PRBS_CTRL_2 Register

15	14	13	12	11	10	9	8
cfg_pkt_len_prbs							
R/W-5DCh							
7	6	5	4	3	2	1	0
cfg_pkt_len_prbs							
R/W-5DCh							

表 8-101. PRBS_CTRL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	cfg_pkt_len_prbs	R/W	5DCh	Length (in bytes) of PRBS packets and MAC packets w CRC

8.6.2.80 PRBS_CTRL_3 Register (Offset = 61Bh) [Reset = 007Dh]

PRBS_CTRL_3 is shown in 图 8-97 and described in 表 8-102.

Return to the 表 8-22.

图 8-97. PRBS_CTRL_3 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
cfg_ipg_len							
R/W-7Dh							

表 8-102. PRBS_CTRL_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-0	cfg_ipg_len	R/W	7Dh	Inter-packet gap (in bytes) between packets

8.6.2.81 PRBS_STATUS_2 Register (Offset = 61Ch) [Reset = 0000h]

PRBS_STATUS_2 is shown in 图 8-98 and described in 表 8-103.

Return to the 表 8-22.

图 8-98. PRBS_STATUS_2 Register

15	14	13	12	11	10	9	8
prbs_byte_cnt							
R-0h							
7	6	5	4	3	2	1	0
prbs_byte_cnt							
R-0h							

表 8-103. PRBS_STATUS_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	prbs_byte_cnt	R	0h	Holds number of total bytes that received by the PRBS checker. Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFF

8.6.2.82 PRBS_STATUS_3 Register (Offset = 61Dh) [Reset = 0000h]

PRBS_STATUS_3 is shown in 图 8-99 and described in 表 8-104.

Return to the 表 8-22.

图 8-99. PRBS_STATUS_3 Register

15	14	13	12	11	10	9	8
prbs_pkt_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_15_0							
R-0h							

表 8-104. PRBS_STATUS_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	prbs_pkt_cnt_15_0	R	0h	Bits [15:0] of number of total packets received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

8.6.2.83 PRBS_STATUS_4 Register (Offset = 61Eh) [Reset = 0000h]

PRBS_STATUS_4 is shown in 图 8-100 and described in 表 8-105.

Return to the 表 8-22.

图 8-100. PRBS_STATUS_4 Register

15	14	13	12	11	10	9	8
prbs_pkt_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
prbs_pkt_cnt_31_16							
R-0h							

表 8-105. PRBS_STATUS_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	prbs_pkt_cnt_31_16	R	0h	Bits [31:16] of number of total packets received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

8.6.2.84 PRBS_STATUS_6 Register (Offset = 620h) [Reset = 0000h]

PRBS_STATUS_6 is shown in 图 8-101 and described in 表 8-106.

Return to the 表 8-22.

图 8-101. PRBS_STATUS_6 Register

15	14	13	12	11	10	9	8
RESERVED			pkt_done	pkt_gen_busy	prbs_pkt_ov	prbs_byte_ov	prbs_lock
R-0h			R-0h	R-0h	R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
prbs_err_cnt							
R-0h							

表 8-106. PRBS_STATUS_6 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-13	RESERVED	R	0h	Reserved
12	pkt_done	R	0h	Set when all MAC packets w CRC are transmitted 0h = MAC packet transmission in progress 1h = MAC packets transmission completed
11	pkt_gen_busy	R	0h	1 = Packet generator is in process 0 = Packet generator is not in process
10	prbs_pkt_ov	R	0h	If set, packet counter reached overflow Overflow is cleared when PRBS counters are cleared - done by setting bit #1 of prbs_status_6 0h = No overflow 1h = Packet counter overflow
9	prbs_byte_ov	R	0h	If set, bytes counter reached overflow Overflow is cleared when PRBS counters are cleared - done by setting bit #1of prbs_status_6 0h = No overflow 1h = byte counter overflow
8	prbs_lock	R	0h	1 = PRBS checker is locked sync) on received byte stream 0 = PRBS checker is not locked 0h = PRBS checker is not locked 1h = PRBS checker is locked sync) on received byte stream
7-0	prbs_err_cnt	R	0h	Holds number of errored bits received by the PRBS checker Value in this register is locked when write is done to bit[0] or bit[1] When PRBS Count Mode set to zero, count stops on 0xFF Notes: Writing bit 0 generates a lock signal for the PRBS counters. Writing bit 1 generates a lock and clear signal for the PRBS counters

8.6.2.85 PRBS_STATUS_8 Register (Offset = 622h) [Reset = 0000h]

PRBS_STATUS_8 is shown in 图 8-102 and described in 表 8-107.

Return to the 表 8-22.

图 8-102. PRBS_STATUS_8 Register

15	14	13	12	11	10	9	8
pkt_err_cnt_15_0							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_15_0							
R-0h							

表 8-107. PRBS_STATUS_8 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pkt_err_cnt_15_0	R	0h	Bits [15:0] of number of total packets with error received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

8.6.2.86 PRBS_STATUS_9 Register (Offset = 623h) [Reset = 0000h]

PRBS_STATUS_9 is shown in 图 8-103 and described in 表 8-108.

Return to the 表 8-22.

图 8-103. PRBS_STATUS_9 Register

15	14	13	12	11	10	9	8
pkt_err_cnt_31_16							
R-0h							
7	6	5	4	3	2	1	0
pkt_err_cnt_31_16							
R-0h							

表 8-108. PRBS_STATUS_9 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pkt_err_cnt_31_16	R	0h	Bits [31:16] of number of total packets with error received by the PRBS checker Value in this register is locked when write is done to register prbs_status_6 bit[0] or bit[1]. When PRBS Count Mode set to zero, count stops on 0xFFFFFFFF

8.6.2.87 PRBS_CTRL_4 Register (Offset = 624h) [Reset = 5511h]

PRBS_CTRL_4 is shown in 图 8-104 and described in 表 8-109.

Return to the 表 8-22.

图 8-104. PRBS_CTRL_4 Register

15	14	13	12	11	10	9	8
cfg_pkt_data							
R/W-55h							
7	6	5	4	3	2	1	0
cfg_pkt_mode		cfg_pattern_vld_bytes			cfg_pkt_cnt		
R/W-0h		R/W-2h			R/W-1h		

表 8-109. PRBS_CTRL_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	cfg_pkt_data	R/W	55h	Fixed data to be sent in Fix data mode
7-6	cfg_pkt_mode	R/W	0h	2b00 - Incremental 2b01 - Fixed 2b1x - PRBS 0h = Incremental 1h = Fixed
5-3	cfg_pattern_vld_bytes	R/W	2h	Number of bytes of valid pattern in packet (Max - 6) 0h = 0 bytes 1h = 1 bytes 2h = 2 bytes 3h = 3 bytes 4h = 4 bytes 5h = 5 bytes 6h = 6 bytes 7h = 6 bytes
2-0	cfg_pkt_cnt	R/W	1h	000b = 1 packet 001b = 10 packets 010b = 100 packets 011b = 1000 packets 100b = 10000 packets 101b = 100000 packets 110b = 1000000 packets 111b = Continuous packets 0h = 1 packet 1h = 10 packets 2h = 100 packets 3h = 1000 packets 4h = 10000 packets 5h = 100000 packets 6h = 1000000 packets 7h = Continuous packets

8.6.2.88 PRBS_CTRL_5 Register (Offset = 625h) [Reset = 0000h]

PRBS_CTRL_5 is shown in 图 8-105 and described in 表 8-110.

Return to the 表 8-22.

图 8-105. PRBS_CTRL_5 Register

15	14	13	12	11	10	9	8
pattern_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_15_0							
R/W-0h							

表 8-110. PRBS_CTRL_5 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pattern_15_0	R/W	0h	Bits 15:0 of pattern

8.6.2.89 PRBS_CTRL_6 Register (Offset = 626h) [Reset = 0000h]

PRBS_CTRL_6 is shown in 图 8-106 and described in 表 8-111.

Return to the 表 8-22.

图 8-106. PRBS_CTRL_6 Register

15	14	13	12	11	10	9	8
pattern_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_31_16							
R/W-0h							

表 8-111. PRBS_CTRL_6 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pattern_31_16	R/W	0h	Bits 31:16 of pattern

8.6.2.90 PRBS_CTRL_7 Register (Offset = 627h) [Reset = 0000h]

PRBS_CTRL_7 is shown in 图 8-107 and described in 表 8-112.

Return to the 表 8-22.

图 8-107. PRBS_CTRL_7 Register

15	14	13	12	11	10	9	8
pattern_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pattern_47_32							
R/W-0h							

表 8-112. PRBS_CTRL_7 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pattern_47_32	R/W	0h	Bits 47:32 of pattern

8.6.2.91 PRBS_CTRL_8 Register (Offset = 628h) [Reset = 0000h]

PRBS_CTRL_8 is shown in 图 8-108 and described in 表 8-113.

Return to the 表 8-22.

图 8-108. PRBS_CTRL_8 Register

15	14	13	12	11	10	9	8
pmatch_data_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_15_0							
R/W-0h							

表 8-113. PRBS_CTRL_8 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pmatch_data_15_0	R/W	0h	Bits 15:0 of Perfect Match Data - used for DA (destination address) match

8.6.2.92 PRBS_CTRL_9 Register (Offset = 629h) [Reset = 0000h]

PRBS_CTRL_9 is shown in 图 8-109 and described in 表 8-114.

Return to the 表 8-22.

图 8-109. PRBS_CTRL_9 Register

15	14	13	12	11	10	9	8
pmatch_data_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_31_16							
R/W-0h							

表 8-114. PRBS_CTRL_9 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pmatch_data_31_16	R/W	0h	Bits 31:16 of Perfect Match Data - used for DA (destination address) match

8.6.2.93 PRBS_CTRL_10 Register (Offset = 62Ah) [Reset = 0000h]

PRBS_CTRL_10 is shown in 图 8-110 and described in 表 8-115.

Return to the 表 8-22.

图 8-110. PRBS_CTRL_10 Register

15	14	13	12	11	10	9	8
pmatch_data_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
pmatch_data_47_32							
R/W-0h							

表 8-115. PRBS_CTRL_10 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	pmatch_data_47_32	R/W	0h	Bits 47:32 of Perfect Match Data - used for DA (destination address) match

8.6.2.94 CRC_STATUS Register (Offset = 638h) [Reset = 0000h]

CRC_STATUS is shown in 图 8-111 and described in 表 8-116.

Return to the 表 8-22.

图 8-111. CRC_STATUS Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						rx_bad_crc	tx_bad_crc
R-0h						R-0h	R-0h

表 8-116. CRC_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	rx_bad_crc	R	0h	CRC error indication in packet received on Cu RX 0h = No CRC error 1h = CRC error
0	tx_bad_crc	R	0h	CRC error indication in packet transmitted on Cu TX 0h = No CRC error 1h = CRC error

8.6.2.95 PKT_STAT_1 Register (Offset = 639h) [Reset = 0000h]

PKT_STAT_1 is shown in 图 8-112 and described in 表 8-117.

Return to the 表 8-22.

图 8-112. PKT_STAT_1 Register

15	14	13	12	11	10	9	8
tx_pkt_cnt_15_0							
0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_15_0							
0h							

表 8-117. PKT_STAT_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	tx_pkt_cnt_15_0		0h	Lower 16 bits of Tx packet counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

8.6.2.96 PKT_STAT_2 Register (Offset = 63Ah) [Reset = 0000h]

PKT_STAT_2 is shown in 图 8-113 and described in 表 8-118.

Return to the 表 8-22.

图 8-113. PKT_STAT_2 Register

15	14	13	12	11	10	9	8
tx_pkt_cnt_31_16							
0h							
7	6	5	4	3	2	1	0
tx_pkt_cnt_31_16							
0h							

表 8-118. PKT_STAT_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	tx_pkt_cnt_31_16		0h	Upper 16 bits of Tx packet counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

8.6.2.97 PKT_STAT_3 Register (Offset = 63Bh) [Reset = 0000h]

PKT_STAT_3 is shown in 图 8-114 and described in 表 8-119.

Return to the 表 8-22.

图 8-114. PKT_STAT_3 Register

15	14	13	12	11	10	9	8
tx_err_pkt_cnt							
0h							
7	6	5	4	3	2	1	0
tx_err_pkt_cnt							
0h							

表 8-119. PKT_STAT_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	tx_err_pkt_cnt		0h	Tx packet w error (CRC error) counter Note : Register is cleared when 0x39, 0x3A, 0x3B are read in sequence

8.6.2.98 PKT_STAT_4 Register (Offset = 63Ch) [Reset = 0000h]

PKT_STAT_4 is shown in 图 8-115 and described in 表 8-120.

Return to the 表 8-22.

图 8-115. PKT_STAT_4 Register

15	14	13	12	11	10	9	8
rx_pkt_cnt_15_0							
0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_15_0							
0h							

表 8-120. PKT_STAT_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	rx_pkt_cnt_15_0		0h	Lower 16 bits of Rx packet counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

8.6.2.99 PKT_STAT_5 Register (Offset = 63Dh) [Reset = 0000h]

PKT_STAT_5 is shown in 图 8-116 and described in 表 8-121.

Return to the 表 8-22.

图 8-116. PKT_STAT_5 Register

15	14	13	12	11	10	9	8
rx_pkt_cnt_31_16							
0h							
7	6	5	4	3	2	1	0
rx_pkt_cnt_31_16							
0h							

表 8-121. PKT_STAT_5 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	rx_pkt_cnt_31_16		0h	Upper 16 bits of Rx packet counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

8.6.2.100 PKT_STAT_6 Register (Offset = 63Eh) [Reset = 0000h]

PKT_STAT_6 is shown in 图 8-117 and described in 表 8-122.

Return to the 表 8-22.

图 8-117. PKT_STAT_6 Register

15	14	13	12	11	10	9	8
rx_err_pkt_cnt							
0h							
7	6	5	4	3	2	1	0
rx_err_pkt_cnt							
0h							

表 8-122. PKT_STAT_6 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	rx_err_pkt_cnt		0h	Rx packet w error (CRC error) counter Note : Register is cleared when 0x3C, 0x3D, 0x3E are read in sequence

8.6.2.101 SQI_REG_1 Register (Offset = 871h) [Reset = 0000h]

SQI_REG_1 is shown in 图 8-118 and described in 表 8-123.

Return to the 表 8-22.

图 8-118. SQI_REG_1 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
worst_sqi_out			RESERVED	sqi_out			RESERVED
0h			R-0h	R-0h			R-0h

表 8-123. SQI_REG_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-8	RESERVED	R	0h	Reserved
7-5	worst_sqi_out		0h	3 bit Worst SQI since last read (see SQI mapping above)
4	RESERVED	R	0h	Reserved
3-1	sqi_out	R	0h	3 bit SQI - (mse here refers to Mean Square Error 0x875[9:0]) 0b000 = MSE > 102 0b001 = 81 < MSE ⩽102 0b010 = 65 < MSE ⩽ 81 0b011 = 51 < MSE ⩽ 65 0b100 = 41 < MSE ⩽ 51 0b101 = 32 < MSE ⩽ 41 0b110 = 25 < MSE ⩽ 32 0b111 = MSE ⩽ 25
0	RESERVED	R	0h	Reserved

8.6.2.102 DSP_REG_75 Register (Offset = 875h) [Reset = 0000h]

DSP_REG_75 is shown in 图 8-119 and described in 表 8-124.

Return to the 表 8-22.

图 8-119. DSP_REG_75 Register

15	14	13	12	11	10	9	8
RESERVED				RESERVED		mse_lock	
R-0h				R-0h		R-0h	
7	6	5	4	3	2	1	0
mse_lock							
R-0h							

表 8-124. DSP_REG_75 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11-10	RESERVED	R	0h	Reserved
9-0	mse_lock	R	0h	10 bit mse used for SQI mapping. (mse = mean square error at the receiver)

8.6.2.103 SQI_1 Register (Offset = 8ADh) [Reset = 3051h]

SQI_1 is shown in 图 8-120 and described in 表 8-125.

Return to the 表 8-22.

图 8-120. SQI_1 Register

15	14	13	12	11	10	9	8
cfg_hist_1_2				cfg_acc_window_sel		cfg_sqi_th_1_2	
R/W-3h				R/W-0h		R/W-51h	
7	6	5	4	3	2	1	0
cfg_sqi_th_1_2							
R/W-51h							

表 8-125. SQI_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	cfg_hist_1_2	R/W	3h	Hysteresis between SQI value 1 and 2
11-10	cfg_acc_window_sel	R/W	0h	Accumulator window select - 00b = 90us 01b = 180us 10b = 360us 11b = 720us
9-0	cfg_sqi_th_1_2	R/W	51h	Threshold between SQI value 1 and 2

8.6.2.104 PMA_PMD_CONTROL_1 Register (Offset = 1000h) [Reset = 0000h]

PMA_PMD_CONTROL_1 is shown in 图 8-121 and described in 表 8-126.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-121. PMA_PMD_CONTROL_1 Register

15	14	13	12	11	10	9	8
pma_reset_2	RESERVED			cfg_low_power_2	RESERVED		
R-0h	R-0h			R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-126. PMA_PMD_CONTROL_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15	pma_reset_2	R	0h	1 = PMA/PMD reset 0 = Normal operation Note - RW bit, self clearing
14-12	RESERVED	R	0h	Reserved
11	cfg_low_power_2	R	0h	1 = Low-power mode 0 = Normal operation Note - RW bit
10-0	RESERVED	R	0h	Reserved

8.6.2.105 PMA_PMD_CONTROL_2 Register (Offset = 1007h) [Reset = 003Dh]

PMA_PMD_CONTROL_2 is shown in 图 8-122 and described in 表 8-127.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-122. PMA_PMD_CONTROL_2 Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED		cfg_pma_type_selection					
R-0h		R/W-3Dh					

表 8-127. PMA_PMD_CONTROL_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-6	RESERVED	R	0h	Reserved
5-0	cfg_pma_type_selection	R/W	3Dh	BASE-T1 type selection for device 3Dh = BASE-T1 type selection for device

8.6.2.106 PMA_PMD_TRANSMIT_DISABLE Register (Offset = 1009h) [Reset = 0000h]

PMA_PMD_TRANSMIT_DISABLE is shown in 图 8-123 and described in 表 8-128.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-123. PMA_PMD_TRANSMIT_DISABLE Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							cfg_transmit_disable_2
R-0h							R-0h

表 8-128. PMA_PMD_TRANSMIT_DISABLE Register Field Descriptions

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	cfg_transmit_disable_2	R	0h	1 = Transmit disable 0 = Normal operation Note - RW bit

8.6.2.107 PMA_PMD_EXTENDED_ABILITY2 Register (Offset = 100Bh) [Reset = 0800h]

PMA_PMD_EXTENDED_ABILITY2 is shown in 图 8-124 and described in 表 8-129.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-124. PMA_PMD_EXTENDED_ABILITY2 Register

15	14	13	12	11	10	9	8
RESERVED				base_t1_extended_abilities	RESERVED		
R-0h				R-1h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-129. PMA_PMD_EXTENDED_ABILITY2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	base_t1_extended_abilities	R	1h	1 = PMA/PMD has BASE-T1 extended abilities listed in register 1.18 0 = PMA/PMD does not have BASE-T1 extended abilities
10-0	RESERVED	R	0h	Reserved

8.6.2.108 PMA_PMD_EXTENDED_ABILITY Register (Offset = 1012h) [Reset = 0002h]

PMA_PMD_EXTENDED_ABILITY is shown in 图 8-125 and described in 表 8-130.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-125. PMA_PMD_EXTENDED_ABILITY Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED						mr_1000_base_t1_ability	mr_100_base_t1_ability
R-0h						R-1h	R-0h

表 8-130. PMA_PMD_EXTENDED_ABILITY Register Field Descriptions

Bit	Field	Type	Reset	Description
15-2	RESERVED	R	0h	Reserved
1	mr_1000_base_t1_ability	R	1h	1 = PMA/PMD is able to perform 1000BASE-T1 0 = PMA/PMD is not able to perform 1000BASE-T1
0	mr_100_base_t1_ability	R	0h	1 = PMA/PMD is able to perform 100BASE-T1 0 = PMA/PMD is not able to perform 100BASE-T1

8.6.2.109 PMA_PMD_CONTROL Register (Offset = 1834h) [Reset = 8001h]

PMA_PMD_CONTROL is shown in 图 8-126 and described in 表 8-131.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-126. PMA_PMD_CONTROL Register

15	14	13	12	11	10	9	8
RESERVED	cfg_master_slave_val	RESERVED					
R-1h	R/W-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED				RESERVED			
R-0h				R/W-1h			

表 8-131. PMA_PMD_CONTROL Register Field Descriptions

Bit	Field	Type	Reset	Description
15	RESERVED	R	1h	Reserved
14	cfg_master_slave_val	R/W	0h	1 = Configure PHY as MASTER 0 = Configure PHY as SLAVE
13-4	RESERVED	R	0h	Reserved
3-0	RESERVED	R/W	1h	Reserved

8.6.2.110 PMA_CONTROL Register (Offset = 1900h) [Reset = 0000h]

PMA_CONTROL is shown in 图 8-127 and described in 表 8-132.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-127. PMA_CONTROL Register

15	14	13	12	11	10	9	8
pma_reset	cfg_transmit_disable	RESERVED		cfg_low_power	RESERVED		
R-0h	R-0h	R-0h		R-0h	R-0h		
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-132. PMA_CONTROL Register Field Descriptions

Bit	Field	Type	Reset	Description
15	pma_reset	R	0h	1 = PMA/PMD reset 0 = Normal operation Note - RW bit, self clearing
14	cfg_transmit_disable	R	0h	1 = Transmit disable 0 = Normal operation Note - RW bit
13-12	RESERVED	R	0h	Reserved
11	cfg_low_power	R	0h	1 = Low-power mode 0 = Normal operation Note - RW bit
10-0	RESERVED	R	0h	Reserved

8.6.2.111 PMA_STATUS Register (Offset = 1901h) [Reset = 0900h]

PMA_STATUS is shown in 图 8-128 and described in 表 8-133.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-128. PMA_STATUS Register

15	14	13	12	11	10	9	8
RESERVED				oam_ability	eee_ability	receive_fault_ability	low_power_ability
R-0h				R-1h	R-0h	R-0h	R-1h
7	6	5	4	3	2	1	0
RESERVED					receive_polarity	receive_fault	pma_receive_link_status_ll
R-0h					R-0h	R-0h	R/W0S-0h

表 8-133. PMA_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	oam_ability	R	1h	1 = PHY has 1000BASE-T1 OAM ability 0 = PHY does not have 1000BASE-T1 OAM ability
10	eee_ability	R	0h	1 = PHY has EEE ability 0 = PHY does not have EEE ability
9	receive_fault_ability	R	0h	1 = PMA/PMD has the ability to detect a fault condition on the receive path 0 = PMA/PMD does not have the ability to detect a fault condition on the receive path
8	low_power_ability	R	1h	1 = PMA/PMD has low-power ability 0 = PMA/PMD does not have low-power ability
7-3	RESERVED	R	0h	Reserved
2	receive_polarity	R	0h	1 = Receive polarity is reversed 0 = Receive polarity is not reversed
1	receive_fault	R	0h	1 = Fault condition detected 0 = Fault condition not detected
0	pma_receive_link_status_ll	R/W0S	0h	1 = PMA/PMD receive link up 0 = PMA/PMD receive link down

8.6.2.112 TRAINING Register (Offset = 1902h) [Reset = 0002h]

TRAINING is shown in 图 8-129 and described in 表 8-134.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-129. TRAINING Register

15	14	13	12	11	10	9	8
RESERVED						cfg_training_user_fld	
R-0h						R/W-0h	
7	6	5	4	3	2	1	0
cfg_training_user_fld				RESERVED		cfg_oam_en	cfg_eee_en
R/W-0h				R-0h		R/W-1h	R/W-0h

表 8-134. TRAINING Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10-4	cfg_training_user_fld	R/W	0h	7-bit user defined field to send to the link partner
3-2	RESERVED	R	0h	Reserved
1	cfg_oam_en	R/W	1h	1 = 1000BASE-T1 OAM ability advertised to link partner 0 = 1000BASE-T1 OAM ability not advertised to link partner
0	cfg_eee_en	R/W	0h	1 = EEE ability advertised to link partner 0 = EEE ability not advertised to link partner

8.6.2.113 LP_TRAINING Register (Offset = 1903h) [Reset = 0000h]

LP_TRAINING is shown in 图 8-130 and described in 表 8-135.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-130. LP_TRAINING Register

15	14	13	12	11	10	9	8
RESERVED						lp_training_user_fld	
R-0h						R-0h	
7	6	5	4	3	2	1	0
lp_training_user_fld				RESERVED		lp_oam_adv	lp_eee_adv
R-0h				R-0h		R-0h	R-0h

表 8-135. LP_TRAINING Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10-4	lp_training_user_fld	R	0h	7-bit user defined field received from the link partner
3-2	RESERVED	R	0h	Reserved
1	lp_oam_adv	R	0h	1 = Link partner has 1000BASE-T1 OAM ability 0 = Link partner does not have 1000BASE-T1 OAM ability
0	lp_eee_adv	R	0h	1 = Link partner has EEE ability 0 = Link partner does not have EEE ability

8.6.2.114 TEST_MODE_CONTROL Register (Offset = 1904h) [Reset = 0000h]

TEST_MODE_CONTROL is shown in 图 8-131 and described in 表 8-136.

Return to the 表 8-22.

First nibble (0x1) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-131. TEST_MODE_CONTROL Register

15	14	13	12	11	10	9	8
cfg_test_mode			RESERVED				
R/W-0h			R-0h				
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-136. TEST_MODE_CONTROL Register Field Descriptions

Bit	Field	Type	Reset	Description
15-13	cfg_test_mode	R/W	0h	111 = Test mode 7 110 = Test mode 6 101 = Test mode 5 100 = Test mode 4 011 = Reserved 010 = Test mode 2 001 = Test mode 1 000 = Normal (non-test) operation
12-0	RESERVED	R	0h	Reserved

8.6.2.115 PCS_CONTROL_COPY Register (Offset = 3000h) [Reset = 0000h]

PCS_CONTROL_COPY is shown in 图 8-132 and described in 表 8-137.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-132. PCS_CONTROL_COPY Register

15	14	13	12	11	10	9	8
pcs_reset_2	mmd3_loopback_2	RESERVED					
R-0h	R-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-137. PCS_CONTROL_COPY Register Field Descriptions

Bit	Field	Type	Reset	Description
15	pcs_reset_2	R	0h	Note - RW bit, self clear bit 0h = Normal operation 1h = PCS reset
14	mmd3_loopback_2	R	0h	Note - RW bit 0h = Disable loopback mode 1h = Enable loopback mode
13-0	RESERVED	R	0h	Reserved

8.6.2.116 PCS_CONTROL Register (Offset = 3900h) [Reset = 0000h]

PCS_CONTROL is shown in 图 8-133 and described in 表 8-138.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-133. PCS_CONTROL Register

15	14	13	12	11	10	9	8
pcs_reset	mmd3_loopback	RESERVED					
R-0h	R-0h	R-0h					
7	6	5	4	3	2	1	0
RESERVED							
R-0h							

表 8-138. PCS_CONTROL Register Field Descriptions

Bit	Field	Type	Reset	Description
15	pcs_reset	R	0h	Note - RW bit, self clear bit 0h = Normal operation 1h = PCS reset
14	mmd3_loopback	R	0h	Note - RW bit 0h = Disable loopback mode 1h = Enable loopback mode
13-0	RESERVED	R	0h	Reserved

8.6.2.117 PCS_STATUS Register (Offset = 3901h) [Reset = 0000h]

PCS_STATUS is shown in 图 8-134 and described in 表 8-139.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-134. PCS_STATUS Register

15	14	13	12	11	10	9	8
RESERVED				tx_lpi_received_lh	rx_lpi_received_lh	tx_lpi_indication	rx_lpi_indication
R-0h				R/W0C-0h	R/W0C-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
pcs_fault	RESERVED				pcs_receive_link_status_ll	RESERVED	
R-0h	R-0h				R/W0S-0h	R-0h	

表 8-139. PCS_STATUS Register Field Descriptions

Bit	Field	Type	Reset	Description
15-12	RESERVED	R	0h	Reserved
11	tx_lpi_received_lh	R/W0C	0h	0h = LPI not received 1h = Tx PCS has received LPI
10	rx_lpi_received_lh	R/W0C	0h	0h = LPI not received 1h = Rx PCS has received LPI
9	tx_lpi_indication	R	0h	0h = PCS is not currently receiving LPI 1h = Tx PCS is currently receiving LPI
8	rx_lpi_indication	R	0h	0h = PCS is not currently receiving LPI 1h = Rx PCS is currently receiving LPI
7	pcs_fault	R	0h	0h = No fault condition detected 1h = Fault condition detected
6-3	RESERVED	R	0h	Reserved
2	pcs_receive_link_status_ll	R/W0S	0h	0h = PCS receive link down 1h = PCS receive link up
1-0	RESERVED	R	0h	Reserved

8.6.2.118 PCS_STATUS_2 Register (Offset = 3902h) [Reset = 0000h]

PCS_STATUS_2 is shown in 图 8-135 and described in 表 8-140.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-135. PCS_STATUS_2 Register

15	14	13	12	11	10	9	8
RESERVED					pcs_receive_link_status	hi_rfer	block_lock
R-0h					R-0h	R-0h	R-0h
7	6	5	4	3	2	1	0
hi_rfer_lh	block_lock_ll	RESERVED					
R/W0C-0h	R/W0S-0h	R-0h					

表 8-140. PCS_STATUS_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-11	RESERVED	R	0h	Reserved
10	pcs_receive_link_status	R	0h	0h = PCS receive link down 1h = PCS receive link up
9	hi_rfer	R	0h	0h = PCS not reporting a high BER 1h = PCS reporting a high BER
8	block_lock	R	0h	0h = PCS not locked to received blocks 1h = PCS locked to received blocks
7	hi_rfer_lh	R/W0C	0h	0h = PCS has not reported a high BER 1h = PCS has reported a high BER
6	block_lock_ll	R/W0S	0h	0h = PCS does not have block lock 1h = PCS has block lock
5-0	RESERVED	R	0h	Reserved

8.6.2.119 OAM_TRANSMIT Register (Offset = 3904h) [Reset = 0000h]

OAM_TRANSMIT is shown in 图 8-136 and described in 表 8-141.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-136. OAM_TRANSMIT Register

15	14	13	12	11	10	9	8
mr_tx_valid	mr_tx_toggle	mr_tx_received	mr_tx_received_toggle	mr_tx_message_num			
R/WMC,0-0h	R-0h	0h	R-0h	R/W-0h			
7	6	5	4	3	2	1	0
RESERVED				mr_rx_ping	mr_tx_ping	mr_tx_snr	
R-0h				R-0h	R/W-0h	R-0h	

表 8-141. OAM_TRANSMIT Register Field Descriptions

Bit	Field	Type	Reset	Description
15	mr_tx_valid	R/WMC,0	0h	This bit is used to indicate message data in registers 3.2308.11:8, 3.2309, 3.2310, 3.2311, and 3.2312 are valid and ready to be loaded. This bit shall self-clear when registers are loaded by the state machine. 1 = Message data in registers are valid 0 = Message data in registers are not valid
14	mr_tx_toggle	R	0h	Toggle value to be transmitted with message. This bit is set by the state machine and cannot be overridden by the user.
13	mr_tx_received		0h	This bit shall self clear on read. 1 = 1000BASE-T1 OAM message received by link partner 0 = 1000BASE-T1 OAM message not received by link partner
12	mr_tx_received_toggle	R	0h	Toggle value of message that was received by link partner
11-8	mr_tx_message_num	R/W	0h	User-defined message number to send
7-4	RESERVED	R	0h	Reserved
3	mr_rx_ping	R	0h	Received PingTx value from latest good 1000BASE-T1 OAM frame received
2	mr_tx_ping	R/W	0h	Ping value to send to link partner
1-0	mr_tx_snr	R	0h	00 = PHY link is failing and will drop link and relink within 2 ms to 4 ms after the end of the current 1000BASE-T1 OAM frame. 01 = LPI refresh is insufficient to maintain PHY SNR. Request link partner to exit LPI and send idles (used only when EEE is enabled). 10 = PHY SNR is marginal. 11 = PHY SNR is good.

8.6.2.120 OAM_TX_MESSAGE_1 Register (Offset = 3905h) [Reset = 0000h]

OAM_TX_MESSAGE_1 is shown in 图 8-137 and described in 表 8-142.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-137. OAM_TX_MESSAGE_1 Register

15	14	13	12	11	10	9	8
mr_tx_message_15_0							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_15_0							
R/W-0h							

表 8-142. OAM_TX_MESSAGE_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_15_0	R/W	0h	Message octet 1/0. LSB transmitted first.

8.6.2.121 OAM_TX_MESSAGE_2 Register (Offset = 3906h) [Reset = 0000h]

OAM_TX_MESSAGE_2 is shown in 图 8-138 and described in 表 8-143.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-138. OAM_TX_MESSAGE_2 Register

15	14	13	12	11	10	9	8
mr_tx_message_31_16							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_31_16							
R/W-0h							

表 8-143. OAM_TX_MESSAGE_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_31_16	R/W	0h	Message octet 3/2. LSB transmitted first.

8.6.2.122 OAM_TX_MESSAGE_3 Register (Offset = 3907h) [Reset = 0000h]

OAM_TX_MESSAGE_3 is shown in 图 8-139 and described in 表 8-144.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-139. OAM_TX_MESSAGE_3 Register

15	14	13	12	11	10	9	8
mr_tx_message_47_32							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_47_32							
R/W-0h							

表 8-144. OAM_TX_MESSAGE_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_47_32	R/W	0h	Message octet 5/4. LSB transmitted first.

8.6.2.123 OAM_TX_MESSAGE_4 Register (Offset = 3908h) [Reset = 0000h]

OAM_TX_MESSAGE_4 is shown in 图 8-140 and described in 表 8-145.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-140. OAM_TX_MESSAGE_4 Register

15	14	13	12	11	10	9	8
mr_tx_message_63_48							
R/W-0h							
7	6	5	4	3	2	1	0
mr_tx_message_63_48							
R/W-0h							

表 8-145. OAM_TX_MESSAGE_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_tx_message_63_48	R/W	0h	Message octet 7/6. LSB transmitted first.

8.6.2.124 OAM_RECEIVE Register (Offset = 3909h) [Reset = 0000h]

OAM_RECEIVE is shown in 图 8-141 and described in 表 8-146.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-141. OAM_RECEIVE Register

15	14	13	12	11	10	9	8
mr_rx_lp_valid	mr_rx_lp_toggle	RESERVED		mr_rx_lp_message_num			
R-0h	R-0h	R-0h		R-0h			
7	6	5	4	3	2	1	0
RESERVED						mr_rx_lp_SNR	
R-0h						R-0h	

表 8-146. OAM_RECEIVE Register Field Descriptions

Bit	Field	Type	Reset	Description
15	mr_rx_lp_valid	R	0h	This bit is used to indicate message data in registers 3.2313.11:8, 3.2314, 3.2315, 3.2316, and 3.2317 are stored and ready to be read. This bit shall self clear when register 3.2317 is read. 0h = Message data in registers are not valid 1h = Message data in registers are valid
14	mr_rx_lp_toggle	R	0h	Toggle value received with message Note - 0x3 added in [15:12] to differentiate
13-12	RESERVED	R	0h	Reserved
11-8	mr_rx_lp_message_num	R	0h	Message number from link partner Note - 0x3 added in [15:12] to differentiate
7-2	RESERVED	R	0h	Reserved
1-0	mr_rx_lp_SNR	R	0h	00 = Link partner link is failing and will drop link and relink within 2 ms to 4 ms after the end of the current 1000BASE-T1 OAM frame. 01 = LPI refresh is insufficient to maintain link partner SNR. Link partner requests local device to exit LPI and send idles (used only when EEE is enabled). 10 = Link partner SNR is marginal. 11 = Link partner SNR is good

8.6.2.125 OAM_RX_MESSAGE_1 Register (Offset = 390Ah) [Reset = 0000h]

OAM_RX_MESSAGE_1 is shown in 图 8-142 and described in 表 8-147.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-142. OAM_RX_MESSAGE_1 Register

15	14	13	12	11	10	9	8
mr_rx_lp_message_15_0							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_15_0							
R-0h							

表 8-147. OAM_RX_MESSAGE_1 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_15_0	R	0h	Message octet 1/0. LSB transmitted first.

8.6.2.126 OAM_RX_MESSAGE_2 Register (Offset = 390Bh) [Reset = 0000h]

OAM_RX_MESSAGE_2 is shown in 图 8-143 and described in 表 8-148.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-143. OAM_RX_MESSAGE_2 Register

15	14	13	12	11	10	9	8
mr_rx_lp_message_31_16							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_31_16							
R-0h							

表 8-148. OAM_RX_MESSAGE_2 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_31_16	R	0h	Message octet 3/2. LSB transmitted first.

8.6.2.127 OAM_RX_MESSAGE_3 Register (Offset = 390Ch) [Reset = 0000h]

OAM_RX_MESSAGE_3 is shown in 图 8-144 and described in 表 8-149.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-144. OAM_RX_MESSAGE_3 Register

15	14	13	12	11	10	9	8
mr_rx_lp_message_47_32							
R-0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_47_32							
R-0h							

表 8-149. OAM_RX_MESSAGE_3 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_47_32	R	0h	Message octet 5/4. LSB transmitted first.

8.6.2.128 OAM_RX_MESSAGE_4 Register (Offset = 390Dh) [Reset = 0000h]

OAM_RX_MESSAGE_4 is shown in 图 8-145 and described in 表 8-150.

Return to the 表 8-22.

First nibble (0x3) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-145. OAM_RX_MESSAGE_4 Register

15	14	13	12	11	10	9	8
mr_rx_lp_message_63_48							
0h							
7	6	5	4	3	2	1	0
mr_rx_lp_message_63_48							
0h							

表 8-150. OAM_RX_MESSAGE_4 Register Field Descriptions

Bit	Field	Type	Reset	Description
15-0	mr_rx_lp_message_63_48		0h	Message octet 7/6. LSB transmitted first.

8.6.2.129 AN_CFG Register (Offset = 7200h) [Reset = 0000h]

AN_CFG is shown in 图 8-146 and described in 表 8-151.

Return to the 表 8-22.

First nibble (0x7) in the register address is to indicated MMD register space. For register access, ignore the first nibble.

图 8-146. AN_CFG Register

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED							mr_main_reset
R-0h							R/WSC-0h

表 8-151. AN_CFG Register Field Descriptions

Bit	Field	Type	Reset	Description
15-1	RESERVED	R	0h	Reserved
0	mr_main_reset	R/WSC	0h	1 = Reset link sync/autoneg Note - RW bit Note - Added 7 to [15:12] to differentiate

8.6.2.1 基址寄存器

基址寄存器表中列出了基址寄存器。基址寄存器表中未列出的所有寄存器偏移地址都应视为保留位置，且不应修改寄存器内容。

IEEE 根据 802.3 第 22 条定义了基址寄存器组。这些寄存器具有基本状态、控制和识别功能。

表 8-152. 基址寄存器

偏移	首字母缩写	寄存器名称	部分
0x0	Basic_Mode_Control_		查找
0x1	Basic_Mode_Status_		查找
0x2	PHY_Identification__1		查找
0x3	PHY_Identification__2		查找
0xD	Extended__Control_Register		查找
0xE	Address_or_Data_		查找
0x10	PHY_Control_		查找
0x11	PHY_Configuration_		查找
0x12	Interrupt_Status__1		查找
0x13	Interrupt_Status__2		查找
0x16	Loopback_Control_		查找
0x18	Interrupt_Status__3		查找
0x1E	TDR_Control_		查找
0x1F	PHY_Reset_		转到
0x180	Receiver_Status_		转到

复杂的位访问类型经过编码可适应小型表单元。表 8-153 显示了适用于此部分中访问类型的代码。

表 8-153. 基址访问类型代码

访问类型	代码	说明
读取类型		

表 8-153. 基址访问类型代码 (continued)

访问类型	代码	说明
R	R	读取
写入类型		
W	W	写入
W0C	W0C	写入 0 以进行清除
W0S	W0S	写入 0 以进行设置
WMC	W	在手动清除为默认设置时写入（请参阅寄存器说明，了解清除事件）
WMC,0	W	在手动清除为 0 时写入（请参阅寄存器说明，了解清除事件）
WMC,1	W	在手动清除为 1 时写入（请参阅寄存器说明，了解清除事件）
WSC	W	写入
WSC,0	W	在自行清除为 0 时写入
复位或默认值		
-n		复位后的值或默认值

8.6.2.1.1 Basic_Mode_Control_ 寄存器（偏移 = 0x0）[复位 = 0x140]

Basic_Mode_Control_ 如表 8-154 所示。

返回到汇总表。

表 8-154. Basic_Mode_Control_ 寄存器字段说明

位	字段	类型	复位	说明
15	MII 复位	R/WMC	0x0	MII 复位 0x0 = 无复位 0x1 = 数字输入复位，所有 MII 寄存器 (0x0 - 0xF) 复位为默认值
14	启用 MII 环回	读/写	0x0	启用 MII 环回 0x0 = 无 MII 环回 0x1 = MII 环回
13	速度选择 LSB	R	0x0	速度选择 LSB 0x2 = 1000Mb/s
12	保留	R	0x0	保留
11	启用断电模式	读/写	0x0	启用断电模式 0x0 = 正常模式 0x1 = 通过寄存器或引脚断电
10	启用隔离模式	读/写	0x0	启用隔离模式 0x0 = 正常模式 0x1 = 隔离模式
9	RESERVED	R	0x0	保留

表 8-154. Basic_Mode_Control_ 寄存器字段说明 (continued)

位	字段	类型	复位	说明
8	双工模式	R	0x1	双工模式 0x0 = 半双工 0x1 = 全双工
7	RESERVED	R	0x0	保留
6	速度选择 MSB	R	0x1	速度选择 MSB 0x2 = 1000Mb/s
5	RESERVED	R	0x0	保留
4-0	RESERVED	R	0x0	保留

8.6.2.1.2 Basic_Mode_Status_ 寄存器 (偏移 = 0x1) [复位 = 0x141]

Basic_Mode_Status_ 如表 8-155 所示。

返回到汇总表。

表 8-155. Basic_Mode_Status_ 寄存器字段说明

位	字段	类型	复位	说明
15	100BASE-T4	R	0x0	100BASE-T4 0x0 = PHY 无法执行 100BASE-T4 0x1 = PHY 能够执行 100BASE-T4
14	100BASE-TX 全双工	R	0x0	100BASE-TX 全双工 0x0 = PHY 无法执行全双工 100BASE-X 0x1 = PHY 能够执行全双工 100BASE-X
13	100BASE-TX 半双工	R	0x0	100BASE-TX 半双工 0x0 = PHY 无法执行半双工 100BASE-X 0x1 = PHY 能够执行半双工 100BASE-X
12	10BASE-T 全双工	R	0x0	10BASE-T 全双工 0x0 = PHY 无法在全双工模式下以 10Mb/s 的速度运行 0x1 = PHY 能够在全双工模式下以 10Mb/s 的速度运行
11	10BASE-T 半双工	R	0x0	10BASE-T 半双工 0x0 = PHY 无法在半双工模式下以 10Mb/s 的速度运行 0x1 = PHY 能够在半双工模式下以 10Mb/s 的速度运行
10	100BASE-T2 全双工	R	0x0	100BASE-T2 全双工 0x0 = PHY 无法执行全双工 100BASE-T2 0x1 = PHY 能够执行全双工 100BASE-T2
9	100BASE-T2 半双工	R	0x0	100BASE-T2 半双工 0x0 = PHY 无法执行半双工 100BASE-T2 0x1 = PHY 能够执行半双工 100BASE-T2

表 8-155. Basic_Mode_Status_ 寄存器字段说明 (continued)

位	字段	类型	复位	说明
8	扩展状态就绪	R	0x1	寄存器 0xf 中的扩展状态 0x0 = 寄存器 0xF 中无扩展状态信息 0x1 = 寄存器 0xF 中的扩展状态信息
7	RESERVED	R	0x0	保留
6	SMI 前导码抑制	R	0x1	SMI 前导码抑制 0x0 = PHY 不接受前导码受抑制的管理帧 0x1 = PHY 会接受前导码受抑制的管理帧。
5	RESERVED	R	0x0	保留
4	RESERVED	R/W0C	0x0	保留
3	RESERVED	R	0x0	保留
2	链路状态	R/W0S	0x0	链路状态，锁存低电平 0x0 = 链路已断开 0x1 = 链路已建立
1	RESERVED	R/W0C	0x0	保留
0	扩展功能	R	0x1	扩展功能状态 0x0 = 仅基本寄存器组功能 0x1 = 扩展寄存器功能

8.6.2.1.3 PHY_Identification__1 寄存器（偏移 = 0x2）[复位 = 0x2000]

PHY_Identification__1 如表 8-156 所示。

返回到汇总表。

表 8-156. PHY_Identification__1 寄存器字段说明

位	字段	类型	复位	说明
15-0	组织唯一标识符位 [21:6]	R	0x2000	

8.6.2.1.4 PHY_Identification__2 寄存器（偏移 = 0x3）[复位 = 0xA000]

PHY_Identification__2 如表 8-157 所示。

返回到汇总表。

表 8-157. PHY_Identification__2 寄存器字段说明

位	字段	类型	复位	说明
15-10	组织唯一标识符位 [5:0]	R	0x28	
9-4	模型编号	R	0x0	供应商型号：六位供应商型号映射自第 9 至 4 位
3-0	版本号	R	0x0	型号版本号：四位供应商型号版本号映射自第 3 至 0 位。对于所有主要器件更改，该字段都会递增。

8.6.2.1.5 Extended__Control_Register 寄存器（偏移 = 0xD）[复位 = 0x0]

Extended__Control_Register 如表 8-158 所示。

返回到汇总表。

表 8-158. Extended__Control_Register 寄存器字段说明

位	字段	类型	复位	说明
15-14	扩展寄存器命令	读/写	0x0	扩展寄存器命令： 0x0 = 地址 0x1 = 数据，无后增量 0x2 = 数据，读写后增量 0x3 = 数据，仅写入后增量
13-5	RESERVED	R	0x0	保留
4-0	DEVAD	读/写	0x0	器件地址：位 [4:0] 是器件地址 DEVAD，可将 ADDAR 寄存器 0x000E - 地址/数据寄存器的任何访问引至适当 MMD。具体来说，DP83TC811S-Q1 使用特定于供应商的 DEVAD [4:0] = "11111" 来访问 0x04D1 及以下的寄存器。对于 MMD1，访问 DEVAD [4:0] = "00001"。经由寄存器 REGCR 和 ADDAR 进行的所有访问都应使用 MMD 或 MMD1 的 DEVAD。其他 DEVAD 的事务都会被忽略。

8.6.2.1.6 Address_or_Data_ 寄存器（偏移 = 0xE）[复位 = 0x0]

Address_or_Data_ 如表 8-159 所示。

返回到汇总表。

表 8-159. Address_or_Data_ 寄存器字段说明

位	字段	类型	复位	说明
15-0	地址/数据	读/写	0x0	如果 REGCR 寄存器 15:14 = '00'，则保存 MMD DEVAD 的寄存器地址，否则保存 MMD DEVAD 的数据。

8.6.2.1.7 PHY_Control_ 寄存器（偏移 = 0x10）[复位 = 0x4]

PHY_Control_ 如表 8-160 所示。

返回到汇总表。

表 8-160. PHY_Control_ 寄存器字段说明

位	字段	类型	复位	说明
15-11	保留	R	0x0	保留
10	通道正常	R/W0S	0x0	通道正常，锁存为低电平 0x0 = 通道正常已复位 0x1 = 通道正常已设置
9	解码器锁	R/W0S	0x0	解码器锁，锁存为低电平 0x0 = 解码器已锁定 0x1 = 解码器锁定
8	保留	R	0x0	保留

表 8-160. PHY_Control_ 寄存器字段说明 (continued)

位	字段	类型	复位	说明
7	中断引脚状态		0x0	中断引脚状态，读取寄存器 0x12 时清除 0x0 = 未设置中断引脚 0x1 = 已设置中断引脚
6-4	RESERVED	R	0x0	保留
3	MII 环回状态	R	0x0	MII 环回状态 0x0 = 无 MII 环回 0x1 = MII 环回
2	双工模式状态	R	0x1	双工模式状态 0x0 = 半双工 0x1 = 全双工
1	RESERVED	R	0x0	保留
0	链路状态	R	0x0	链路状态 0x0 = 链路已断开 0x1 = 链路已建立

8.6.2.1.8 PHY_Configuration_ 寄存器（偏移 = 0x11）[复位 = 0x8]

PHY_Configuration_ 如 表 8-161 所示。

返回到汇总表。

表 8-161. PHY_Configuration_ 寄存器字段说明

位	字段	类型	复位	说明
15	禁用 MAC 时钟	读/写	0x0	禁用 MAC 时钟 0x0 = 保持 clk_125 到 MAC 0x1 = 在 IEEE 省电模式下停止 clk_125 到 MAC
14	启用强制电源模式	读/写	0x0	从寄存器启用省电模式配置
13-11	保留	R/W	0x0	保留 必须写为 0x0
10-4	RESERVED	R	0x0	保留
3	中断引脚极性	读/写	0x1	中断引脚极性 0x0 = 高电平有效 0x1 = 低电平有效
2	强制中断引脚	读/写	0x0	强制中断引脚 0x0 = 不强制中断引脚 0x1 = 强制中断引脚
1	中断启用	读/写	0x0	启用中断 0x0 = 禁用中断 0x1 = 启用中断

表 8-161. PHY_Configuration_ 寄存器字段说明 (continued)

位	字段	类型	复位	说明
0	保留	R/W	0x0	保留 必须写为 0x0

8.6.2.1.9 Interrupt_Status__1 寄存器（偏移 = 0x12）[复位 = 0x0]

Interrupt_Status__1 如表 8-162 所示。

返回到汇总表。

表 8-162. Interrupt_Status__1 寄存器字段说明

位	字段	类型	复位	说明
15	链路质量低中断	R	0x0	链路质量低中断状态
14	能量检测中断	R	0x0	能量检测更改中断状态
13	链路状态更改中断	R	0x0	链路状态更改中断状态
12	保留	R	0x0	保留
11	ESD 事件中断	R	0x0	ESD 故障检测中断状态
10	1000BASE-T1 链路训练完成中断	R	0x0	训练完成中断状态
9-8	RESERVED	R	0x0	保留
7	链路质量中断启用	读/写	0x0	链路质量不良中断启用
6	能量检测中断启用	读/写	0x0	能量检测更改中断启用
5	链路状态更改中断启用	读/写	0x0	链路状态更改中断启用
4	RESERVED	R	0x0	保留
3	ESD 事件中断启用	读/写	0x0	ESD 故障检测中断启用
2	1000BASE-T1 链路训练完成启用	读/写	0x0	训练完成中断启用
1-0	RESERVED	R	0x0	保留

8.6.2.1.10 Interrupt_Status__2 寄存器（偏移 = 0x13）[复位 = 0x0]

Interrupt_Status__2 如表 8-163 所示。

返回到汇总表。

表 8-163. Interrupt_Status__2 寄存器字段说明

位	字段	类型	复位	说明
15	欠压中断	R	0x0	欠压中断状态
14	过压中断	R	0x0	过压中断状态
13-12	RESERVED	R	0x0	保留
11	过热中断	R	0x0	过热中断状态
10	睡眠模式更改中断	R	0x0	睡眠模式更改中断状态
9	RESERVED	R	0x0	保留
8	not_one_hot_int	R	0x0	非一个热中断状态
7	欠压中断启用	读/写	0x0	欠压中断启用
6	过压中断启用	读/写	0x0	过压中断启用

表 8-163. Interrupt_Status__2 寄存器字段说明 (continued)

位	字段	类型	复位	说明
5-4	RESERVED	R	0x0	保留
3	过热中断启用	读/写	0x0	过热中断启用
2	睡眠模式更改中断启用	读/写	0x0	睡眠模式更改中断启用
1-0	RESERVED	R	0x0	保留

8.6.2.1.11 Loopback_Control_ 寄存器（偏移 = 0x16）[复位 = 0x0]

Loopback_Control_ 如表 8-164 所示。

返回到汇总表。

表 8-164. Loopback_Control_ 寄存器字段说明

位	字段	类型	复位	说明
15-11	保留	R	0x0	保留
10	PRBS 校验器同步丢失	R/W0C	0x0	PRBS 校验器同步丢失指示： 0x0 = PRBS 校验器未丢失同步 0x1 = PRBS 校验器已丢失同步
9	RESERVED	R	0x0	保留
8	内核功率模式	R	0x0	1b = 内核处于正常功率模式 0b = 内核处于断电或睡眠模式 0x0 = 内核处于断电或睡眠模式 0x1 = 内核处于正常功率模式
7	PCS 数字环回启用	读/写	0x0	PCS 数字环回 0x0 = 已禁用 PCS 数字环回 0x1 = 已启用 PCS 数字环回
6	启用环回发送数据	读/写	0x0	将 MII 环回数据发送到 MDI。仅在 MII 环回模式下使用该位。 0x0 = 抑制数据至 MDI 0x1 = 发送数据至 MDI
5-0	环回选择	读/写	0x0	环回模式选择： 0x1 = PCS 环回 0x2 = RS 环回 0x4 = 数字环回 0x8 = 模拟环回 0x10 = 反向环回 0x20 = 外部反向环回

8.6.2.1.12 Interrupt_Status__3 寄存器（偏移 = 0x18）[复位 = 0x8]

Interrupt_Status__3 如表 8-165 所示。

返回到汇总表。

表 8-165. Interrupt_Status__3 寄存器字段说明

位	字段	类型	复位	说明
15	确认接收中断	R	0x0	确认接收中断状态 (OAM)
14	TX 有效 CLR 中断	R	0x0	mr_tx_valid 清除中断状态 (OAM)
13-12	RESERVED	R	0x0	保留
11	POR 完成中断	R	0x0	POR 完成中断状态
10	无帧中断	R	0x0	无帧检测中断状态
9	唤醒请求中断	R	0x0	唤醒请求中断状态
8	LPS 中断	R	0x0	LPS 中断状态
7	确认接收中断启用	读/写	0x0	确认接收中断启用 (OAM)
6	TX 有效 CLR 中断启用	读/写	0x0	mr_tx_valid 清除中断启用 (OAM)
5-4	RESERVED	R	0x0	保留
3	POR 完成中断启用	读/写	0x1	POR 完成中断启用
2	无帧中断启用	读/写	0x0	无帧检测中断启用
1	唤醒请求中断启用	读/写	0x0	唤醒请求中断启用
0	LPS 中断启用	读/写	0x0	LPS 中断启用

8.6.2.1.13 TDR_Control_ 寄存器（偏移 = 0x1E）[复位 = 0x0]

TDR_Control_ 如表 8-166 所示。

返回到汇总表。

表 8-166. TDR_Control_ 寄存器字段说明

位	字段	类型	复位	说明
15	TDR 启动	R/WMC	0x0	手动启动 TDR 0x0 = 无 TDR 0x1 = TDR 启动
14	TDR 自动运行启用	读/写	0x0	在链路断开时启用 TDR 自动运行 0x0 = 手动启动 TDR 0x1 = 在链路断开时 TDR 自动启动
13-2	RESERVED	R	0x0	保留
1	TDR 完成	R	0x0	TDR 完成： 0x0 = 电缆诊断尚未完成 0x1 = 表示电缆测量过程已完成
0	TDR 测试失败	R	0x0	TDR 测试失败： 0x0 = TDR 未发生故障 0x1 = TDR 电缆测量过程失败

8.6.2.1.14 PHY_Reset_ 寄存器（偏移 = 0x1F）[复位 = 0x0]

PHY_Reset_ 如表 8-167 所示。

返回到汇总表。

表 8-167. PHY_Reset_ 寄存器字段说明

位	字段	类型	复位	说明
15	硬件复位	R/WMC	0x0	硬件复位： 0x0 = 正常运行 0x1 = 复位 PHY。该位可自行清除，效果与 RESET_N 引脚相同。
14	软件重启	R/WMC	0x0	软件重启： 0x0 = 正常运行 0x1 = 重启 PHY。该位可自行清除，可复位除电流控制寄存器值之外的所有 PHY 电路。
13-0	保留	R/W	0x0	保留 必须写为 0x0

8.6.2.1.15 Receiver_Status_ 寄存器（偏移 = 0x180）[复位 = 0x0]

Receiver_Status_ 如表 8-168 所示。

返回到汇总表。

表 8-168. Receiver_Status_ 寄存器字段说明

位	字段	类型	复位	说明
15-13	保留	R	0x0	保留
12	链路状态	R	0x0	未锁存链路状态： 0x0 = 无链路 0x1 = 已建立有效链路
11-3	RESERVED	R	0x0	保留
2	解码器锁	R	0x0	解码器锁状态： 0x0 = 解码器未锁定 0x1 = 解码器锁定输入符号
1	本地接收器状态	R	0x0	本地接收器状态： 0x0 = 本地 PHY 接收到无效链路 0x1 = 本地 PHY 接收到有效链路
0	远程接收器状态	R	0x0	远程接收器状态： 0x0 = 远程 PHY 接收到无效链路 0x1 = 远程 PHY 接收到有效链路

9 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

DP83TG720R-Q1 是一款单端口 1Gbps 汽车以太网 PHY，符合 IEEE 802.3bp 标准，支持通过 RGMII 连接至以太网 MAC。在以太网应用中使用该器件时，应满足正常运行要求。以下各小节旨在帮助选择合适的元件并完成所需连接。

9.2 典型应用

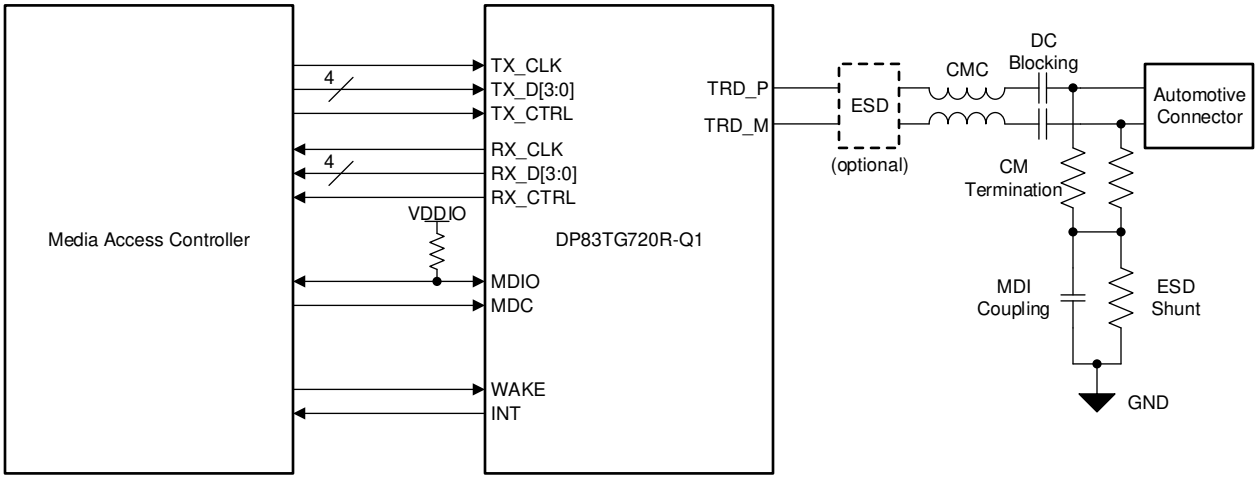


图 9-1. 典型应用 (RGMII)

表 9-1. MDI 网络的建议元件

设计参数	值
直流阻断电容器 1	0.1 μ F
共模扼流圈	Murata：DLW32MH101XT2
共模终端电阻器 1 2	1k Ω
MDI 耦合电容器	4.7nF
ESD 分流器	100k Ω

1. 建议使用 1% 容差的元件，以便获得超过回波损耗和模式转换规格的裕度。
2. 如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。

9.2.1 设计要求

对于这些典型应用，请使用以下参数作为输入参数：

表 9-2. 设计参数

设计参数	示例值
V_{DDIO}	1.8V、2.5V 或 3.3V
去耦电容器 V_{DDIO}（引脚 34）	10nF、100nF
去耦电容器 V_{DDIO}（引脚 22）	10nF、100nF、2.2uF
用于 VDDIO 的组合铁氧体磁珠	BLM18HE102SN1

表 9-2. 设计参数 (continued)

设计参数	示例值
V_{DDA}	3.3V
去耦电容器 V_{DDA}（引脚 11）	10nF、100nF、2.2uF
用于 V_{DDA} 的铁氧体磁珠	BLM18KG601SH1
V_{DD1p0}	1V
去耦电容器 V_{DD1P0}（引脚 9）	10nF、100nF、2.2uF
去耦电容器 V_{DDA}（引脚 21）	10nF、100nF、2.2uF
用于 V_{DD1P0} 的组合铁氧体磁珠	BLM18KG601SH1
V_{sleep}	3.3V
直流阻断电容器 (1)	0.1 μ F
共模扼流圈	Murata：DLW32MH101XT2
共模终端电阻器 (1) (2)	1k Ω
MDI 耦合电容器	4.7nF
ESD 分流器	100k Ω
参考时钟	25MHz

(1) 建议使用 1% 容差元件来改进回波损耗和模式转换测量。如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。
(2) 如果 CM 终端电阻器的规格高于 0805，则有助于增加 ESD 裕度。

10 电源相关建议

DP83TG720R-Q1 能在宽 IO 电源电压范围（3.3V、2.5V 或 1.8V）内运行。不需要电源时序。建议电源去耦网络如下图所示：

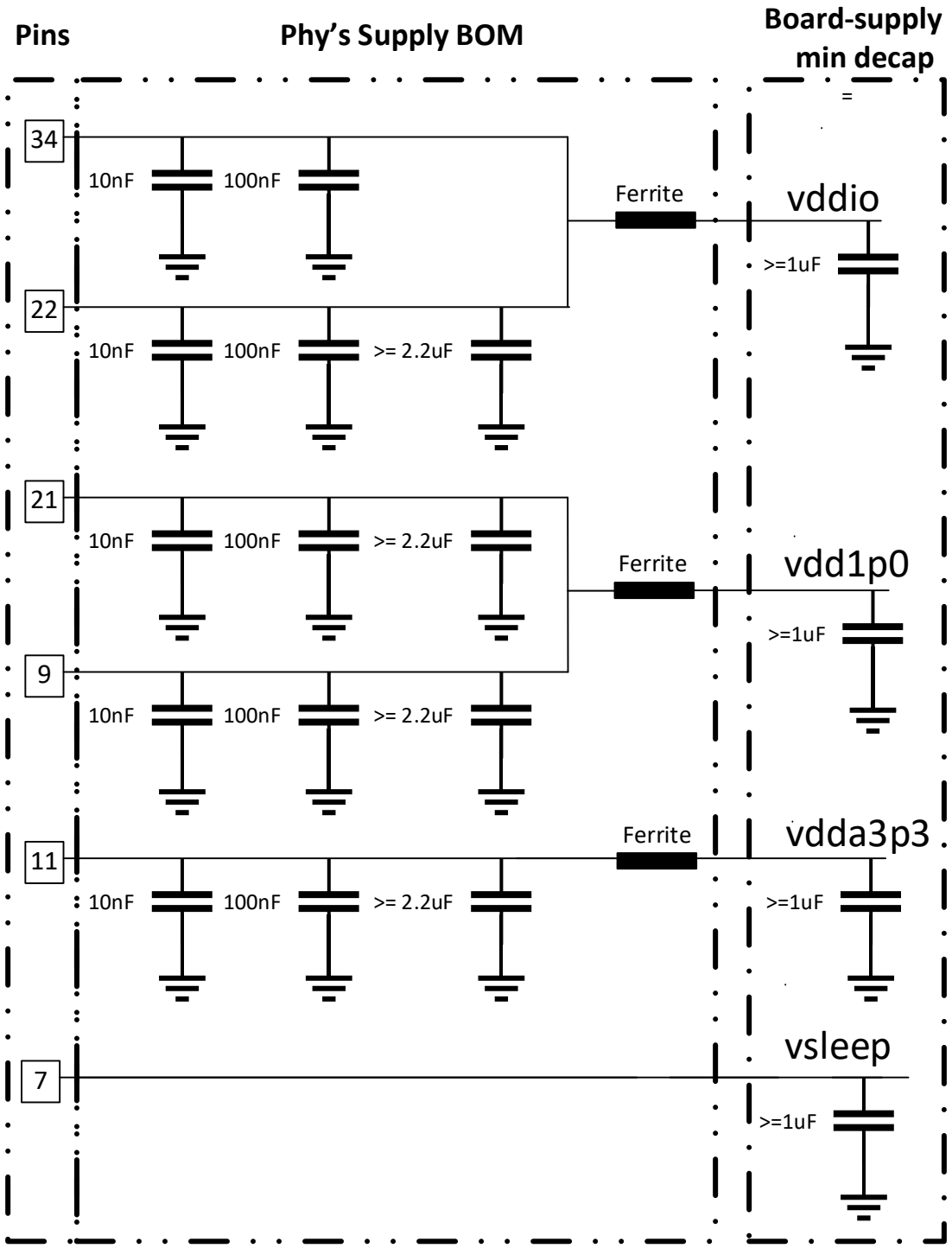


图 10-1. 建议电源去耦网络（如果应用采用睡眠模式）

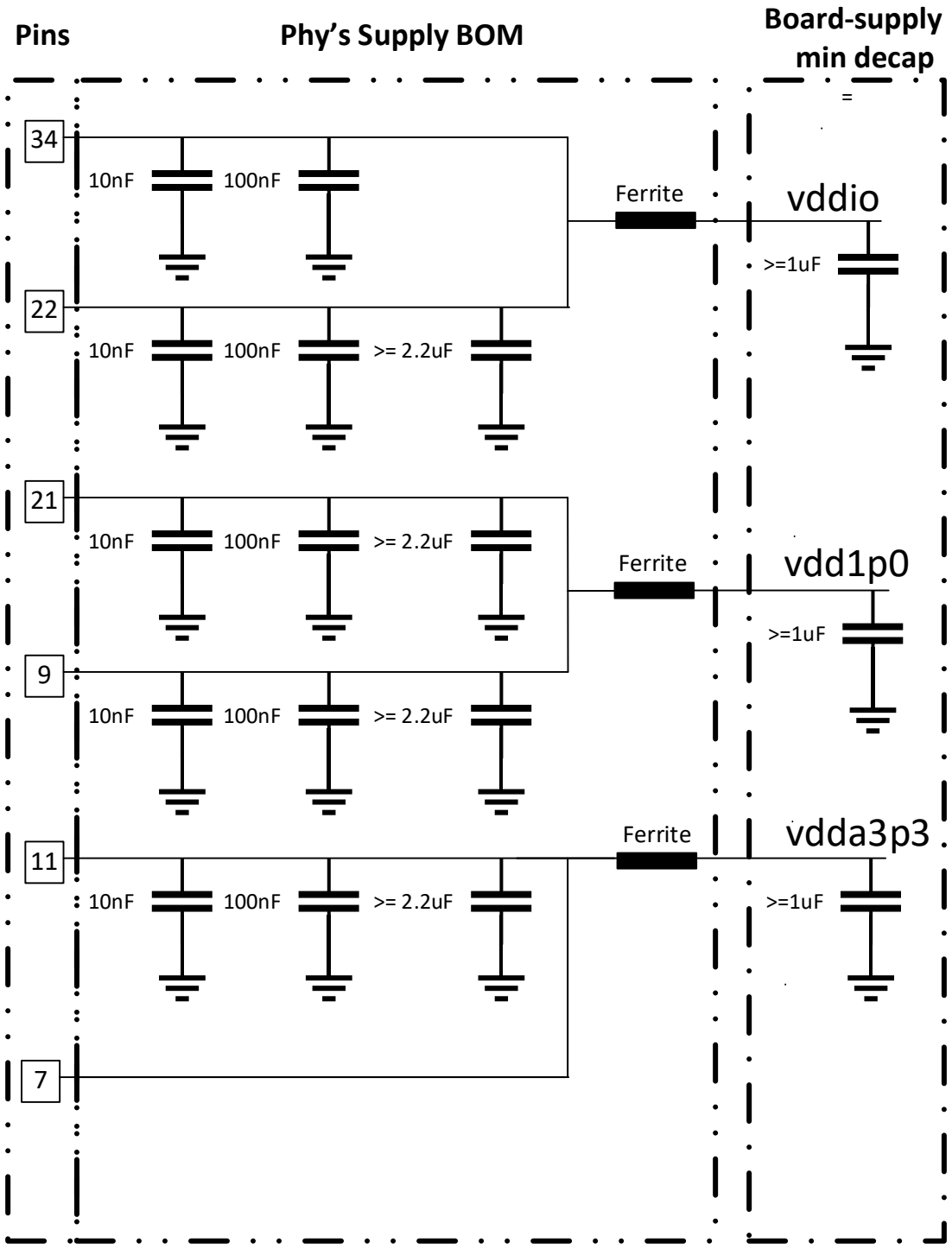


图 10-2. 建议电源去耦网络（如果应用未采用睡眠模式）

表 10-1. 电源网络的建议元件

设计参数	值
V_{DDIO}	1.8V、2.5V 或 3.3V
去耦电容器 V_{DDIO}（引脚 34）	10nF、100nF
去耦电容器 V_{DDIO}（引脚 22）	10nF、100nF、2.2uF

表 10-1. 电源网络的建议元件 (continued)

设计参数	值
用于 VDDIO 的组合铁氧体磁珠	BLM18HE102SN1
V_{DDA}	3.3V
去耦电容器 V_{DDA}（引脚 11）	10nF、100nF、2.2uF
用于 V_{DDA} 的铁氧体磁珠	BLM18KG601SH1
V_{DD1p0}	1V
去耦电容器 V_{DD1P0}（引脚 9）	10nF、100nF、2.2uF
去耦电容器 V_{DDA}（引脚 21）	10nF、100nF、2.2uF
用于 V_{DD1P0} 的组合铁氧体磁珠	BLM18KG601SH1
V_{sleep}	3.3V

备注

有关 VDD1p0 和 Vsleep 的 LDO 建议，请参阅 *DP83TC811、DP83TG730 正式推出文档* 应用报告。

11 与 TI 的 100BT1 PHY 兼容

下表显示了 DP83TC811 与 DP83TG720 之间的引脚比较。为 100BT1 和 1000BT1 PHY 设计通用板时，需注意粗体突出显示的引脚。通用板也可满足 100BT1 与 1000BT1 PHY 的不同 BOM 要求。

有关通用板设计的详细信息和建议，请参阅 *DP83TC811、DP83TG720 正式推出文档* 应用报告。

表 11-1. 引脚比较表

引脚编号	DP83TC811	DP83TG720
1	MDC	MDC
2	INT_N	INT_N
3	RESET_N	RESET_N
4	XO	XO
5	XI	XI
6	LED_1	LED_1
7	**EN**	**VSLEEP**
8	**WAKE**	**WAKE**
9	**DNC**	**VDD1P0**
10	**INH**	**INH**
11	VDDA	VDDA
12	TRD_P	TRD_P
13	TRD_M	TRD_M
14	RX_ER	STRP1
15	RX_DV	RX_CTRL
16	CLKOUT	CLKOUT
17	**TCK**	**DNC**
18	**TDO**	**DNC**
19	**TMS**	**DNC**
20	**TCK**	**DNC**
21	**DNC**	**VDD1P0**
22	VDDIO	VDDIO
23	RX_D3	RX_D3
24	RX_D2	RX_D2
25	RX_D1	RX_D1
26	RX_D0	RX_D0
27	RX_CLK	RX_CLK
28	TXCLK	TXCLK
29	TX_EN	TX_CTRL
30	TX_D3	TX_D3
31	TX_D2	TX_D2
32	TX_D1	TX_D1
33	TX_D0	TX_D0
34	**TX_ER**	**VDDIO**
35	LED_0	LED_0
36	MDIO	MDIO

12 布局

12.1 布局指南

12.1.1 信号布线

PCB 布线存在损耗，长布线会降低信号质量。布线应尽可能短。除非另有说明，否则所有信号布线均应为 50Ω 单端阻抗。差分布线应为 50Ω 单端 和 100Ω 差分。请务必确保阻抗始终可控。阻抗不连续性将产生反射，从而导致发射和信号完整性问题。所有信号布线，尤其是差分信号对，都应避免出现残桩。

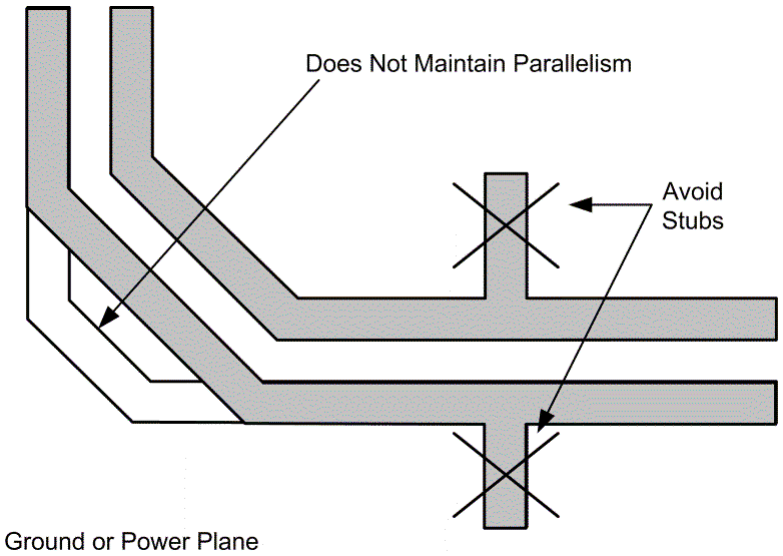


图 12-1. 差分信号布线

在差分对内，布线应相互平行且长度匹配。匹配的长度可充分减小延迟差异，避免增加共模噪声和发射。长度匹配对 MAC 接口连接也很重要。所有发送信号布线的长度都应相互匹配，所有接收信号布线的长度也应相互匹配。

理想情况下，信号路径布线上不应有交叉或过孔。过孔会导致阻抗不连续，应尽量减少过孔。在同一层布线差分信号对。不同层上的信号不应相互交叉，除非它们之间至少有一个返回路径平面。差分对之间应始终保持恒定耦合距离。为提高便利性和效率，TI 建议首先布线关键信号（即 MDI 差分对、基准时钟和 MAC IF 布线）。

12.1.2 返回路径

一般情况下，在所有信号布线下方都设置实心返回路径是可取的做法。该返回路径可以是连续接地平面或直流电源平面。减小返回路径宽度可能会影响信号布线阻抗。如果返回路径宽度与信号布线宽度相当，这种影响就更加明显。无论如何，都应避免信号布线之间的返回路径中断。穿过分离平面的信号可能会导致返回路径电流不可预测，还可能影响信号质量并导致发射问题。

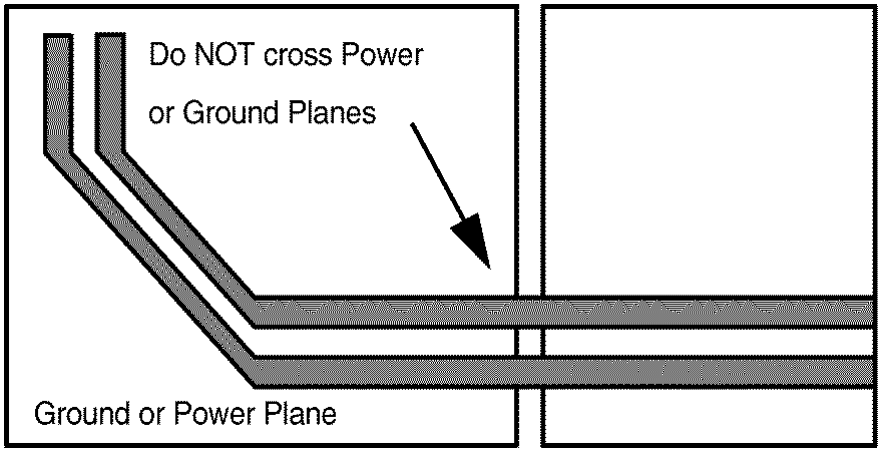


图 12-2. 电源平面和接地平面分裂

12.1.3 物理媒体连接

共模扼流圈下方不允许存在金属。CMC 会将噪声注入其下方的金属，从而影响系统的发射和抗扰度性能。DP83TG720R-Q1 为电压模式线路驱动器，因此无需外部终端电阻器。ESD 分流器和 MDI 耦合电容器都应接地。确保共模终端电阻器的容差为 1% 或以下，以便改善差分耦合。

12.1.4 金属浇注

所有非信号或电源的金属浇注都必须接地。系统中不得有悬空金属，差分布线之间不得有金属。

12.1.5 PCB 层堆叠

为满足信号完整性和性能要求，建议至少使用四层 PCB。但是，应尽可能使用六层及以上的 PCB。

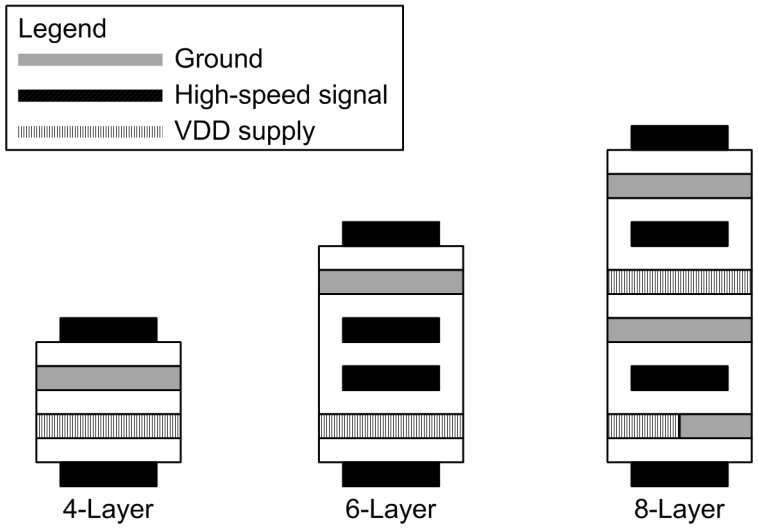


图 12-3. 建议 PCB 层堆叠

13 器件和文档支持

13.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

13.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

13.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

13.4 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

13.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

14 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅右侧的导航栏。

14.1 封装选项附录

14.1.1 封装信息

可订购器件	状态 (1)	封装类型	封装图	引脚	包装数量	环保计划 (2)	铅/焊球镀层 (4)	MSL 峰值温度 (3)	工作温度 (°C)	器件标记(5) (6)
PDP83TG720SWCSTQ1	早期样片	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40 至 125	
DP83TG720RWRHATQ1	ACTIVE	VQFN	RHA	36	250	RoHS	NiPdAu	MSL3-260C	-40 至 125	720R
DP83TG720RWRHARQ1	ACTIVE	VQFN	RHA	36	2500	RoHS	NiPdAu	MSL3-260C	-40 至 125	720R

(1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不建议用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：未发布的器件，尚未投产，未向大众市场供货，也未在网络上供应，样片不可用 。
预发布：器件已发布，但未投产。可能提供样片，也可能无法提供样片。
已停产: TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 http://www.ti.com/productcontent。
待定：无铅/绿色转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅（RoHS 豁免）：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色（RoHS，无锑/溴）：TI 将“绿色”定义为无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 基阻燃剂（Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%）

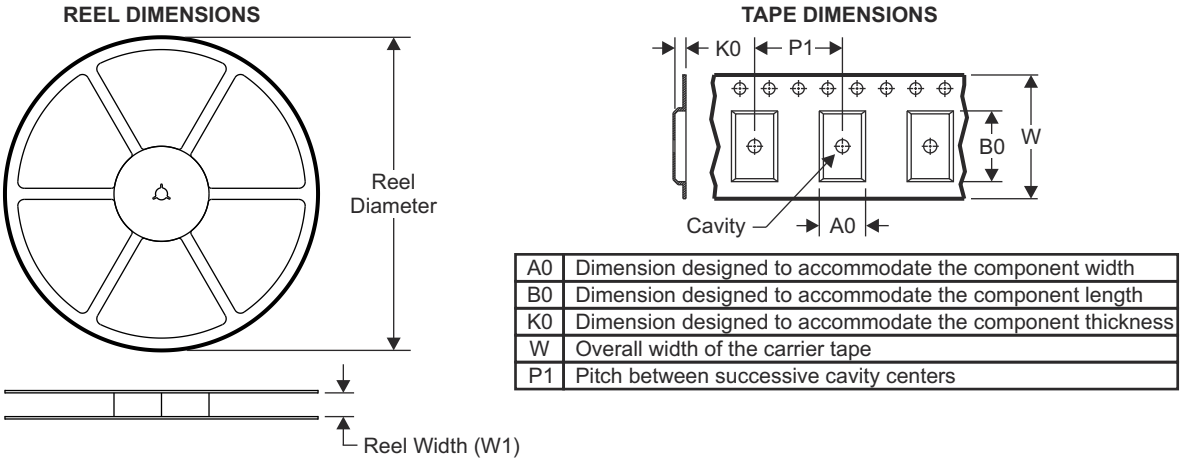
(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。 如果铅/焊球镀层值超出最大列宽，则会折为两行。

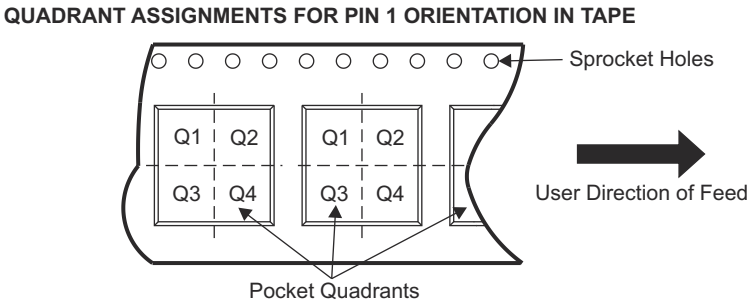
(5) 器件上可能还有与标识、批次跟踪代码或环境分级相关的标记。

(6) 括号内将包含多个器件标记。不过，器件上仅显示括号中以“~”隔开的其中一个器件标志。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标记。

14.1.2 卷带封装信息

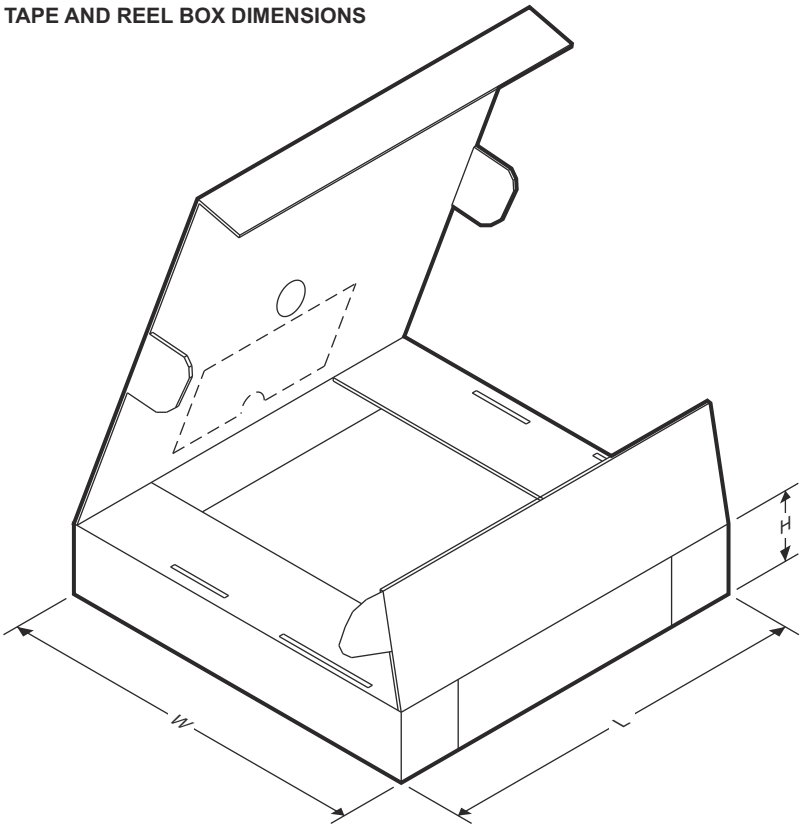


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
PDP83TG720SWCSTQ1	VQFN	RHA	36	250	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI	致电 TI
DP83TG720RWRHATQ1	VQFN	RHA	36	250	180	16.4	6.3	6.3	1.1	12	16	Q2
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	330	16.4	6.3	6.3	1.1	12	16	Q2

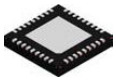
TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度（mm）	宽度（mm）	高度（mm）
DP83TG720RWRHATQ1	VQFN	RHA	36	250	210	185	35
DP83TG720RWRHARQ1	VQFN	RHA	36	2500	367	367	35

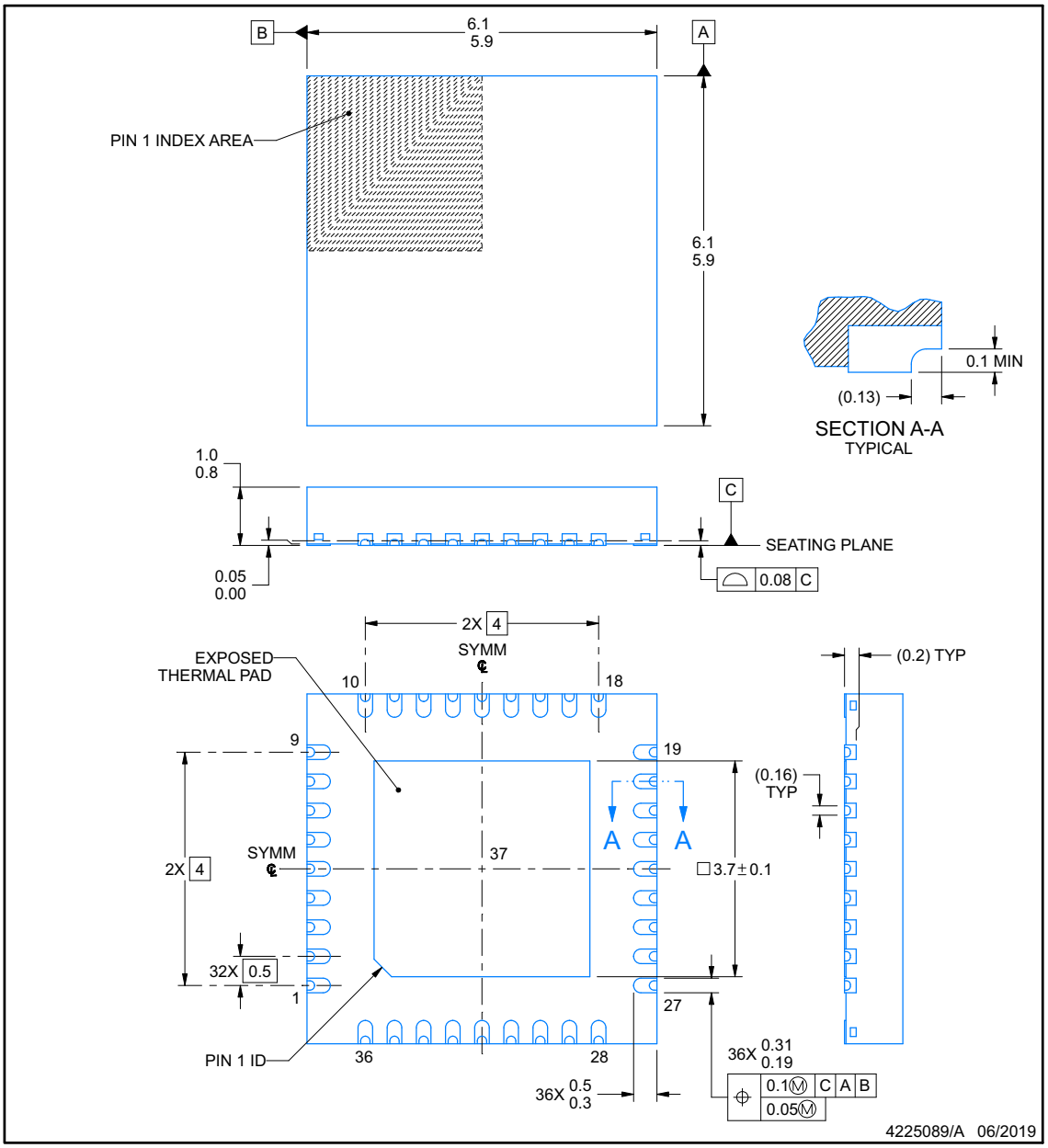
PACKAGE OUTLINE

RHA0036A



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

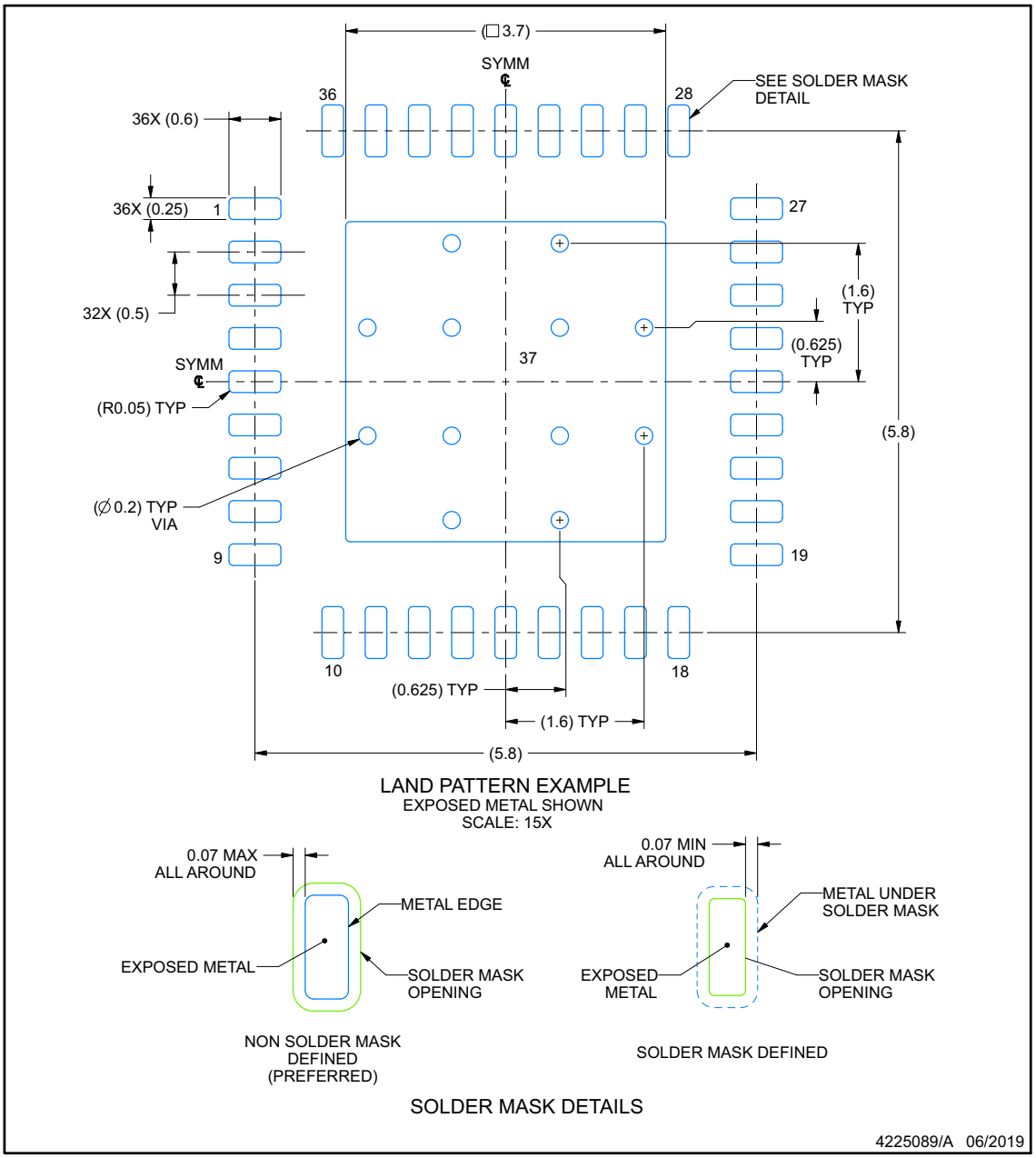
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

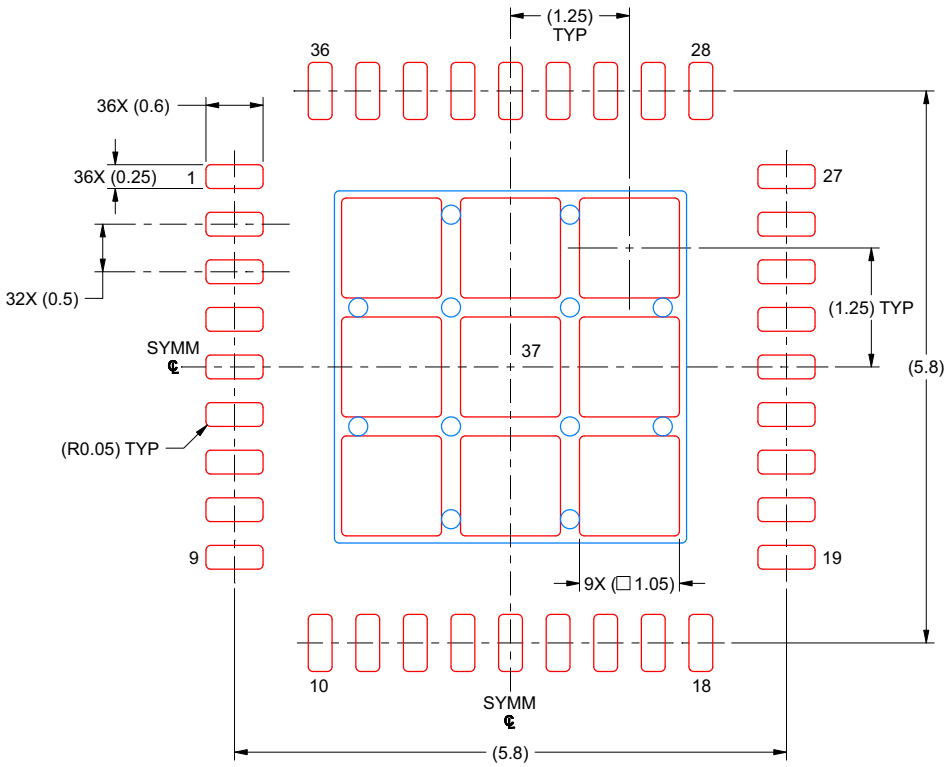
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0036A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
DP83TG720RWRHARQ1	ACTIVE	VQFN	RHA	36	2500	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R	Samples
DP83TG720RWRHATQ1	ACTIVE	VQFN	RHA	36	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	720R	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

GENERIC PACKAGE VIEW

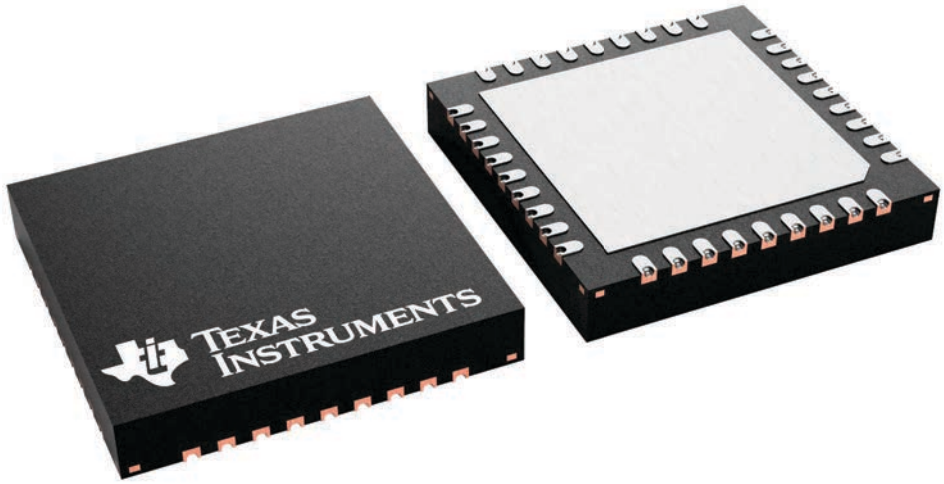
RHA 36

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



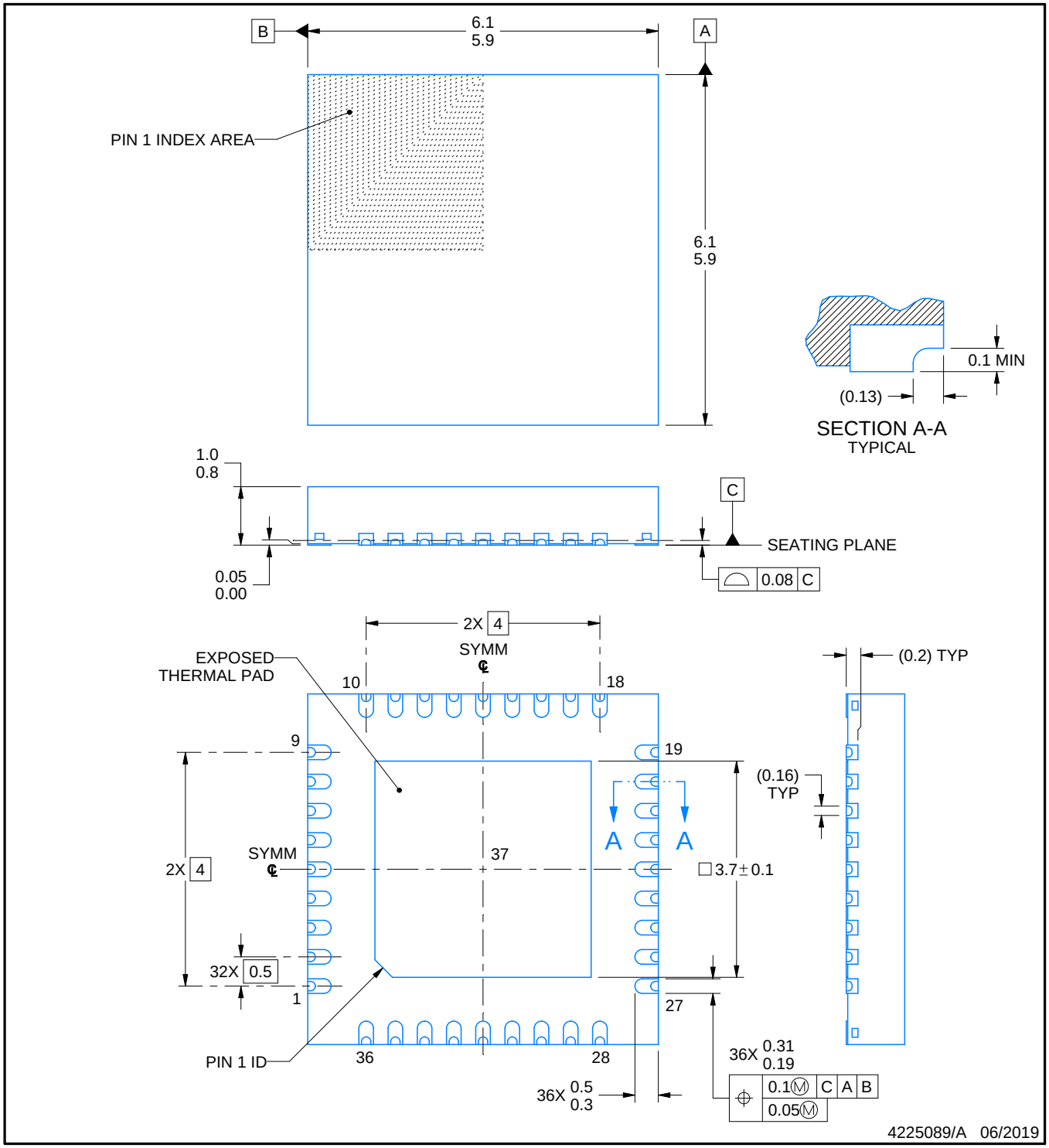
4228438/A

PACKAGE OUTLINE

RHA0036A

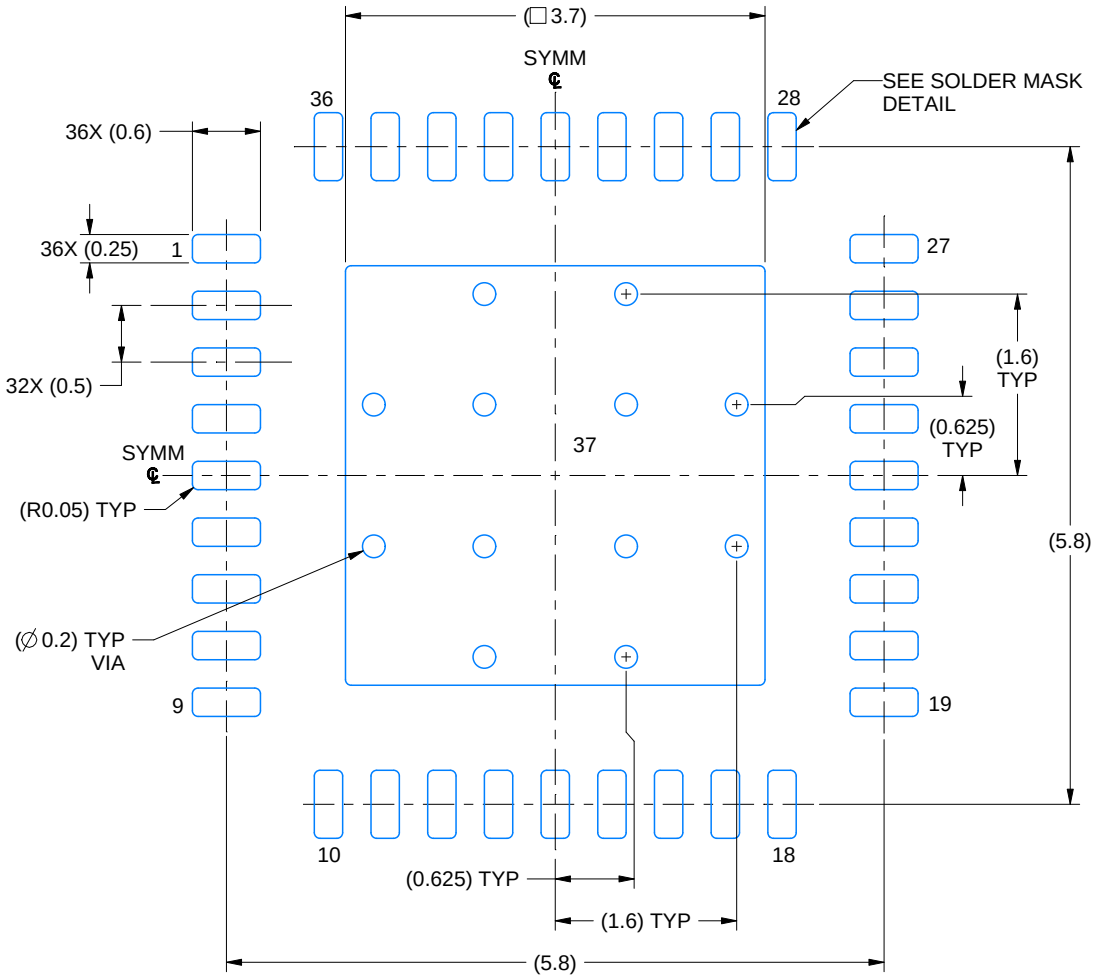
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

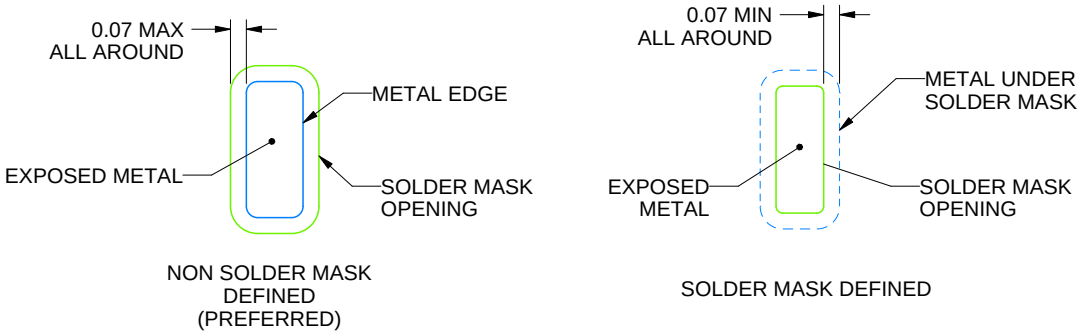


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

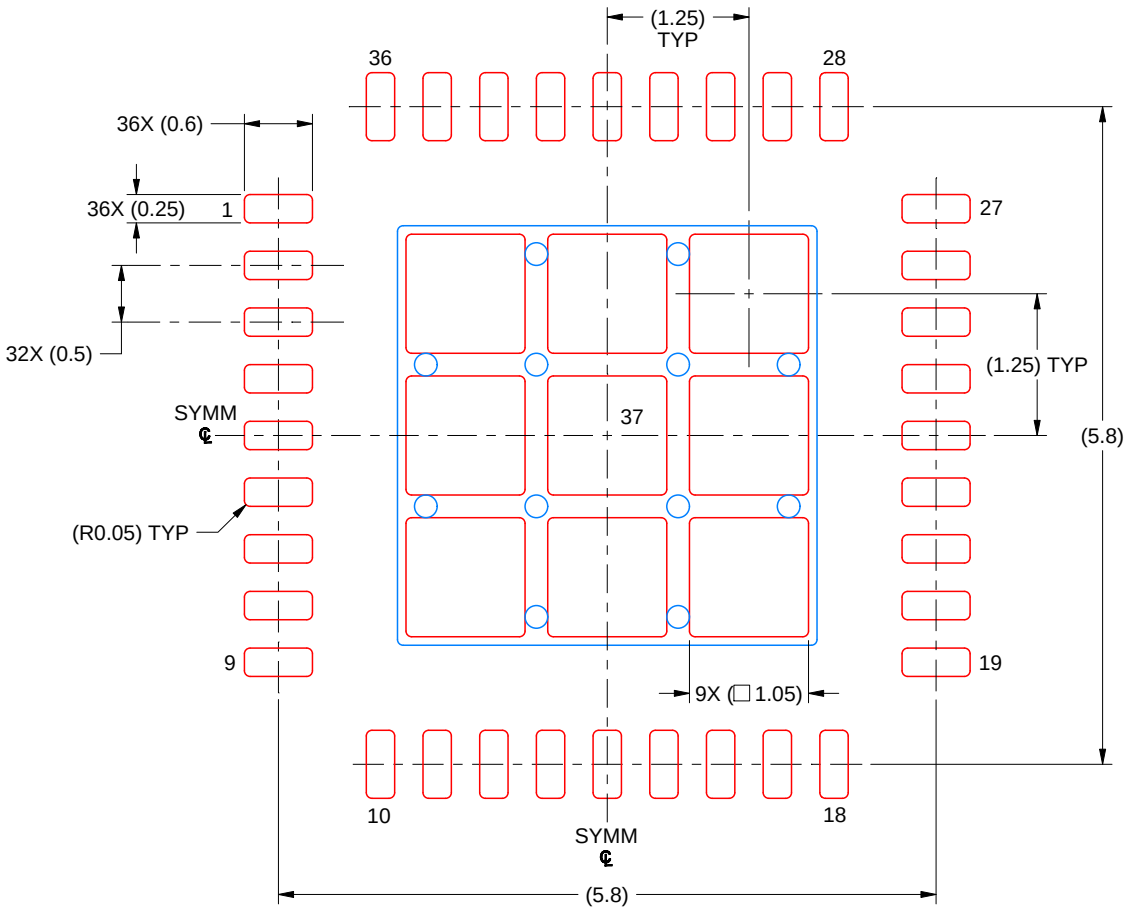


SOLDER MASK DETAILS

4225089/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 37
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225089/A 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265