

概述

CH32V003 系列是基于青稞 RISC-V2A 内核设计的工业级通用微控制器，在产品功能上支持 48MHz 系统主频。该系列具有宽压、单线调试、低功耗、超小封装等特点。提供常用的外设功能，内置 1 组 DMA 控制器、1 组 10 位模数转换 ADC、1 组运放比较器、多组定时器、标准通讯接口如 USART、I2C、SPI 等。产品额定工作电压为 3.3V 或 5V，工作温度范围为-40°C~85°C工业级。

产品特性

- **内核 Core**
 - 青稞 32 位 RISC-V 内核，RV32EC 指令集
 - 快速可编程中断控制器+硬件中断堆栈
 - 支持 2 级中断嵌套
 - 支持系统主频 48MHz
- **存储器**
 - 2KB 易失数据存储区 SRAM
 - 16KB 程序存储区 CodeFlash
 - 1920B 系统引导程序存储区 BootLoader
 - 64B 系统非易失配置信息存储区
 - 64B 用户自定义信息存储区
- **电源管理和低功耗**
 - 系统供电 V_{DD} 额定:3.3V 或 5V
 - 低功耗模式:睡眠、待机
- **系统时钟、复位**
 - 内嵌出厂调校的 24MHz 的 RC 振荡器
 - 内嵌 128KHz 的 RC 振荡器
 - 外部支持 4~25MHz 高速振荡器
 - 上/下电复位、可编程电压监测器
- **1 组 1 路通用 DMA 控制器**
 - 7 个通道，支持环形缓冲区管理
 - 支持 TIMx/ADC/USART/I2C/SPI
- **1 组运放、比较器:连接 ADC 和 TIM2**
- **1 组 10 位模数转换 ADC**
 - 模拟输入范围:0~ V_{DD}
 - 8 路外部信号+2 路内部信号通道
 - 支持外部延迟触发
- **多组定时器**
 - 1 个 16 位高级定时器，增加死区控制和紧急刹车，提供用于电机控制的 PWM 互补输出
 - 1 个 16 位通用定时器，提供输入捕获/输出比较/PWM/脉冲计数及增量编码器输入
 - 2 个看门狗定时器（独立和窗口型）
 - 系统时基定时器:32 位计数器
- **标准通讯接口**
 - 1 个 USART 接口
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- **GPIO 端口**
 - 3 组 GPIO 端口，18 个 I/O 口
 - 映像 1 个外部中断
- **安全特性:64 位芯片唯一 ID**
- **调试模式:串行单线调试接口**
- **封装形式:SOP、TSSOP、QFN**

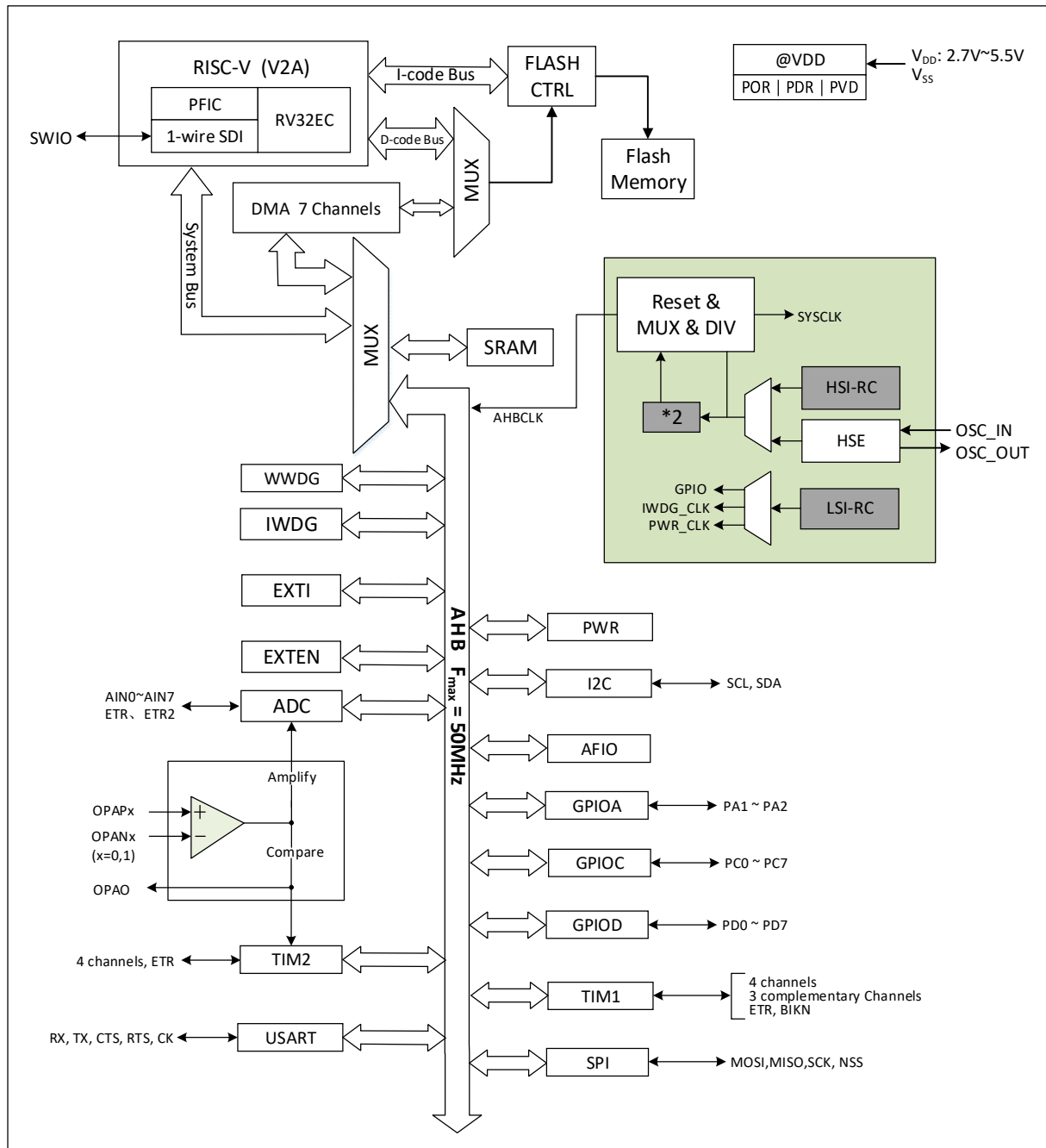
型号	闪存	SRAM	引脚数	通用 I/O	高级定时器	通用定时器	看门狗	系统时钟源	ADC 通道数	SPI	I2C	USART	封装形式
CH32V003F4P6	16K	2K	20	18	1	1	2	3	8	1	1	1	TSSOP20
CH32V003F4U6													QFN20
CH32V003A4M6	16K	2K	16	14	1	1	2	3	6	1	1	1	SOP16
CH32V003J4M6	16K	2K	8	6	1	1	2	3	6	1	1	1	SOP8

第 1 章 规格信息

1.1 系统架构

微控制器基于 RISC-V 指令集的青稞 V2A 设计，其架构中将内核、仲裁单元、DMA 模块、SRAM 存储等部分通过多组总线实现交互。设计中集成通用 DMA 控制器以减轻 CPU 负担、提高访问效率，同时兼有数据保护机制，时钟自动切换保护等措施增加了系统稳定性。下图是系列产品内部总体架构框图。

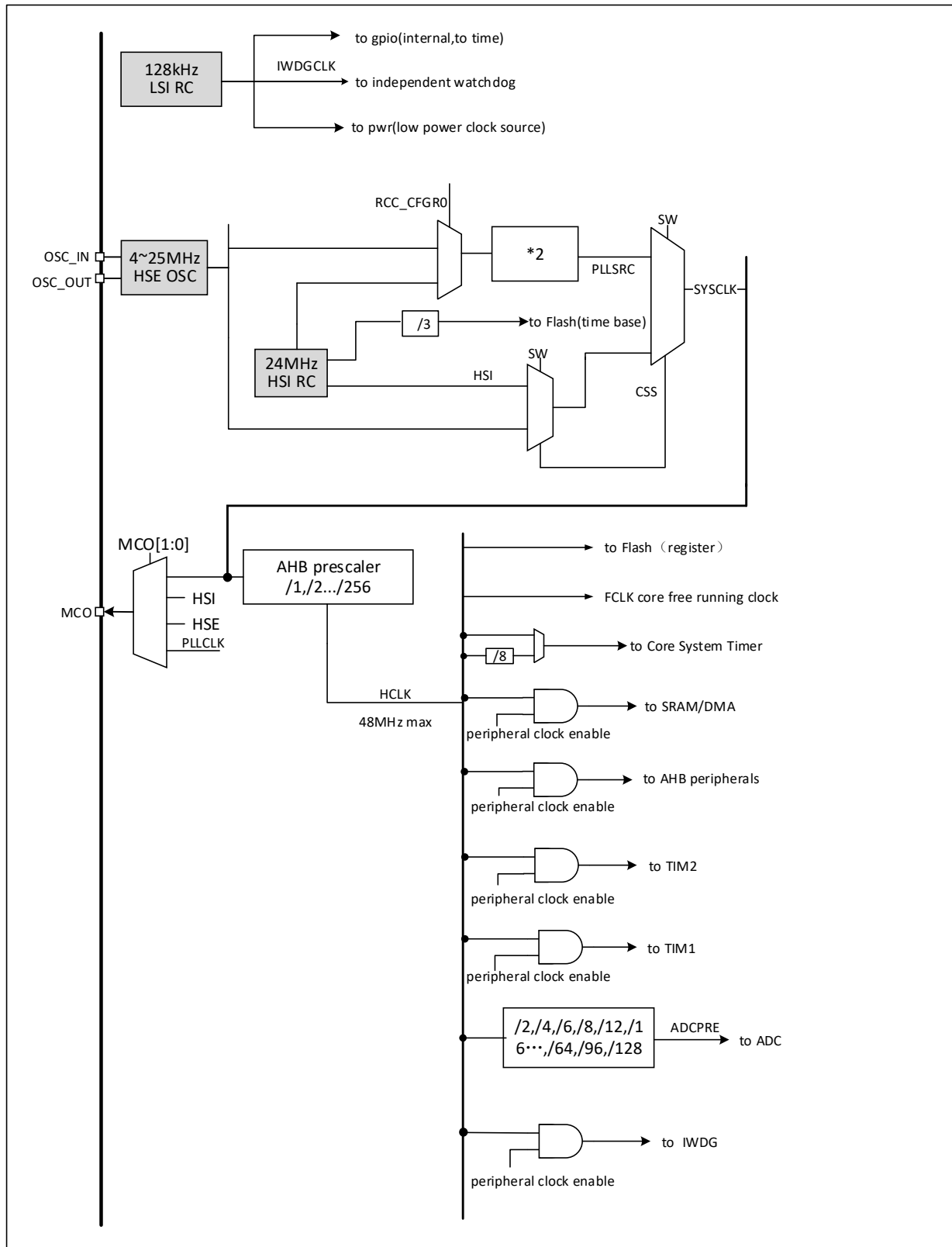
图 1-1 系统框图



1.3 时钟树

系统中引入 3 组时钟源:内部高频 RC 振荡器 (HSI)、内部低频 RC 振荡器 (LSI)、外接高频振荡器 (HSE)。其中, 低频时钟源为独立看门狗提供了时钟基准。高频时钟源直接或者间接通过 2 倍频后输出为系统总线时钟 (SYSCLK), 系统时钟再由各预分频器提供了 AHB 域外设控制时钟及采样或接口输出时钟, 部分模块工作需要由 PLL 时钟直接提供。

图 1-3 时钟树框图



1.4 功能概述

1.4.1 RISC-V2A 处理器

RISC-V2A 支持 RISC-V 指令集 EC 子集。处理器内部以模块化设计，包含快速可编程中断控制器（PFIC）、扩展指令支持等单元。总线与外部单元模块相连，实现外部功能模块和内核的交互。RV32EC 指令集，小端数据模式。

处理器以其极简指令集、多种工作模式、模块化定制扩展等特点可以灵活应用不同场景微控制器设计，例如小面积低功耗嵌入式场景。

- 支持机器模式
- 快速可编程中断控制器（PFIC）
- 2 级硬件中断堆栈
- 串行单线调试接口
- 自定义扩展指令

1.4.2 片上存储器

内置 2K 字节 SRAM 区，用于存放数据，掉电后数据丢失。

内置 16K 字节程序闪存存储区（Code FLASH），用于用户的应用程序和常量数据存储。

内置 1920 字节系统存储区（System FLASH），用于系统引导程序存储（厂家固化自举加载程序）。

64 字节用于系统非易失配置信息存储区，64 字节用于用户选择字存储区。

支持 Boot 和用户代码互相跳转。

1.4.3 供电方案

$V_{DD} = 2.7 \sim 5.5V$: 为 I/O 引脚和内部调压器供电（使用 ADC 时， V_{DD} 如小于 2.9V 则性能逐渐变差）。

1.4.4 供电监控器

本产品内部集成了上电复位（POR）/掉电复位（PDR）电路，该电路始终处于工作状态，保证系统在供电超过 2.7V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态，而不必使用外部复位电路。

另外系统设有一个可编程的电压监测器（PVD），需要通过软件开启，用于比较 V_{DD} 供电与设定的阈值 V_{PVD} 的电压大小。打开 PVD 相应边沿中断，可在 V_{DD} 下降到 PVD 阈值或上升到 PVD 阈值时，收到中断通知。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考第 3 章。

1.4.5 电压调节器

复位后，调节器自动开启，根据应用方式有两个操作模式

- 开启模式：正常的运行操作，提供稳定的内核电源
- 低功耗模式：CPU 停止，系统自动进入待机模式

1.4.6 低功耗模式

系统支持两种低功耗模式，可以针对低功耗、短启动时间和多种唤醒事件等条件下选择达到最佳的平衡。

- 睡眠模式

在睡眠模式下，只有 CPU 时钟停止，但所有外设时钟供电正常，外设处于工作状态。此模式是最浅低功耗模式，但可以达到最快唤醒。

退出条件：任意中断或唤醒事件。

- 待机模式

置位 PDDS、SLEEPDEEP 位，执行 WFI/WFE 指令进入。内核部分的供电被关闭，HSI 的 RC 振荡器和 HSE 晶体振荡器也被关闭，此模式下可以达到最低的电能消耗。

退出条件:任意外部中断/事件 (EXTI 信号)、NRST 上的外部复位信号、IWDG 复位, 其中 EXTI 信号包括 18 个外部 I/O 口之一、PVD 的输出、AWU 自动唤醒。

1.4.7 快速可编程中断控制器 (PFIC)

产品内置快速可编程中断控制器 (PFIC), 最多支持 255 个中断向量, 以最小的中断延迟提供了灵活的中断管理功能。当前产品管理了 4 个内核私有中断和 23 个外设中断管理, 其他中断源保留。PFIC 的寄存器均可以在机器特权模式下访问。

- 23+3 个可单独屏蔽中断
- 提供一个不可屏蔽中断 NMI
- 支持硬件中断堆栈 (HPE), 无需指令开销
- 提供 2 路免表中断 (VTF)
- 支持地址或指令模式的向量表模式
- 支持 2 级中断嵌套
- 支持中断尾部链接功能

1.4.8 外部中断/事件控制器 (EXTI)

外部中断/事件控制器总共包含 8 个边沿检测器, 用于产生中断/事件请求。每个中断线都可以独立地配置其触发事件 (上升沿或下降沿或双边沿), 并能够单独地被屏蔽; 挂起寄存器维持所有中断请求状态。EXTI 可以检测到脉冲宽度小于内部 AHB 的时钟周期。18 个通用 I/O 口都可选择连接到同一个外部中断源。

1.4.9 通用 DMA 控制器

系统内置了 1 组通用 DMA 控制器, 管理 7 个通道, 灵活处理存储器到存储器、外设到存储器和存储器到外设间的高速数据传输, 支持环形缓冲区方式。每个通道都有专门的硬件 DMA 请求逻辑, 支持一个或多个外设对存储器的访问请求, 可配置访问优先权、传输长度、传输的源地址和目标地址等。

DMA 用于主要的外设包括: 通用/高级定时器 TIMx、ADC、USART、I2C、SPI。

注: DMA 和 CPU 经过仲裁器仲裁之后对系统 SRAM 进行访问。

1.4.10 时钟和启动

系统时钟源 HSI 默认开启, 在没有配置时钟或者复位后, 内部 24MH 的 RC 振荡器作为默认的 CPU 时钟, 随后可以另外选择外部 4~25MHz 时钟或 PLL 时钟。当打开时钟安全模式后, 如果 HSE 用作系统时钟 (直接或间接), 此时检测到外部时钟失效, 系统时钟将自动切换到内部 RC 振荡器, 同时 HSE 和 PLL 自动关闭; 对于关闭时钟的低功耗模式, 唤醒后系统也将自动地切换到内部的 RC 振荡器。如果使能了时钟中断, 软件可以接收到相应的中断。

1.4.11 ADC (模拟/数字转换器)

产品内嵌 1 个 10 位的模拟/数字转换器 (ADC), 共用多达 8 个外部通道和 2 个内部通道采样, 可编程的通道采样时间, 可以实现单次、连续、扫描或间断转换。提供模拟看门狗功能允许非常精准地监视一路或多路选中的通道, 用于监视通道信号电压。支持外部事件触发转换, 触发源包括片上定时器的内部信号和外部引脚。支持使用 DMA 操作。支持外部触发延迟功能, 使能该功能后, 当外部触发沿产生时, 控制器根据配置的延迟时间将触发信号进行延迟, 延迟时间到即刻触发 ADC 转换。

1.4.12 定时器及看门狗

系统中的定时器包括 1 个高级定时器、1 个通用定时器、2 个看门狗定时器以及系统时基定时器。

- 高级控制定时器

高级控制定时器是一个 16 位的自动装载递加/递减计数器, 具有 16 位可编程的预分频器。除了完

整的通用定时器功能外,可以被看成是分配到 6 个通道的三相 PWM 发生器,具有带死区插入的互补 PWM 输出功能,允许在指定数目的计数器周期之后更新定时器进行重复计数周期,刹车功能等。高级控制定时器的很多功能都与通用定时器相同,内部结构也相同,因此高级控制定时器可以通过定时器链接功能与其他 TIM 定时器协同操作,提供同步或事件链接功能。

- 通用定时器

通用定时器是一个 16 位的自动装载递加/递减计数器,具有一个可编程的 16 位预分频器以及 4 个独立的通道,每个通道都支持输入捕获、输出比较、PWM 生成和单脉冲模式输出。还能通过定时器链接功能与高级控制定时器共同工作,提供同步或事件链接功能。在调试模式下,计数器可以被冻结,同时 PWM 输出被禁止,从而切断由这些输出所控制的开关。任意通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。这些定时器还能够处理增量编码器的信号,也能处理 1 至 3 个霍尔传感器的数字输出。

- 独立看门狗

独立看门狗是一个自由运行的 12 位递减计数器,支持 7 种分频系数。由一个内部独立的 128KHz 的 RC 振荡器 (LSI) 提供时钟;LSI 独立于主时钟,可运行于待机模式。IWDG 在主程序之外,可以完全独立工作,因此,用于在发生问题时复位整个系统,或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下,计数器可以被冻结。

- 窗口看门狗

窗口看门狗是一个 7 位的递减计数器,并可以设置成自由运行。可以被用于在发生问题时复位整个系统。其由主时钟驱动,具有早期预警中断功能;在调试模式下,计数器可以被冻结。

- 系统时基定时器 (SysTick)

这是内核控制器自带的一个 32 位递增的计数器,用于产生 SYSTICK 异常 (异常号:15),可专用于实时操作系统,为系统提供“心跳”节律,也可当成一个标准的 32 位计数器。具有自动重加载功能及可编程的时钟源。

1.4.13 通讯接口

1.4.13.1 通用同步/异步收发器 (USART)

产品提供了 1 组通用同步/异步收发器 (USART)。支持全双工异步通信、同步单向通信以及半双工单线通信,也支持 LIN (局部互连网),兼容 ISO7816 的智能卡协议和 IrDA SIR ENDEC 传输编解码规范,以及调制解调器 (CTS/RTS 硬件流控) 操作,还允许多处理器通信。其采用分数波特率发生器系统,并支持 DMA 操作连续通讯。

1.4.13.2 串行外设接口 (SPI)

1 个串行外设 SPI 接口,提供主或从操作,动态切换。支持多主模式,全双工或半双工同步传输,支持基本的 SD 卡和 MMC 模式。可编程的时钟极性和相位,数据位宽提供 8 或 16 位选择,可靠通信的硬件 CRC 产生/校验,支持 DMA 操作连续通讯。

1.4.13.3 I2C 总线

1 个 I2C 总线接口,能够工作于多主机模式或从模式,完成所有 I2C 总线特定的时序、协议、仲裁等,支持标准和快速两种通讯速度。

I2C 接口提供 7 位或 10 位寻址,并且在 7 位从模式时支持双从地址寻址。内置了硬件 CRC 发生器/校验器。

1.4.14 通用输入输出接口 (GPIO)

系统提供了 3 组 GPIO 端口, 共 18 个 GPIO 引脚。每个引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口, 所有的 GPIO 引脚都有大电流通过能力。提供锁定机制冻结 IO 配置, 以避免意外的写入 I/O 寄存器。

系统中 IO 引脚电源由 V_{DD} 提供, 通过改变 V_{DD} 供电将改变 IO 引脚输出电平高值来适配外部通讯接口电平。具体引脚请参考引脚描述。

1.4.15 运放/比较器 (OPA)

产品内置 1 组运放/比较器, 内部选择关联到 ADC 和 TIM2 外设, 其输入和输出均可通过更改配置对多个通道进行选择。支持将外部模拟小信号被放大送入 ADC 以实现小信号 ADC 转换, 也可以完成信号比较器功能, 比较结果由 GPIO 输出或者直接接入 TIMx 的输入通道。

1.4.16 串行单线调试接口 (1-wire SDI Serial Debug Interface)

内核自带一个串行单线调试的接口, SWIO 引脚 (Single Wire Input Output)。系统上电或复位后默认调试接口引脚功能开启。

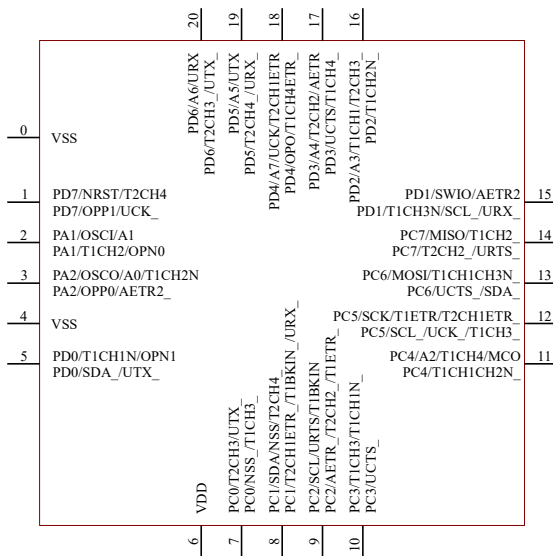
第 2 章 引脚信息

2.1 引脚排列

CH32V003F4P6

1	PD4/A7/UCK/T2CH1ETR/OPO/T1CH4ETR_	PD3/A4/T2CH2/AETR/UCTS/T1CH4	20
2	PD5/A5/UTX/T2CH4_/URX_	PD2/A3/T1CH1/T2CH3_/T1CH2N	19
3	PD6/A6/URX/T2CH3_/UTX_	PD1/SWIO/AETR2/T1CH3N/SCL_/URX_	18
4	PD7/NRST/T2CH4/OPP1/UCK_	PC7/MISO/T1CH2_/T2CH2_/URTS_	17
5	PA1/OSCI/A1/T1CH2/OPN0	PC6/MOSI/T1CH1CH3N_/UCTS_/SDA_	16
6	PA2/OSCO/A0/T1CH2N/OPP0/AETR2_	PC5/SCK/T1ETR/T2CH1ETR_/SCL_/UCK_/T1CH3	15
7	VSS	PC4/A2/T1CH4/MCO/T1CH1CH2N	14
8	PD0/T1CH1N/OPN1/SDA_/UTX_	PC3/T1CH3/T1CH1N_/UCTS_	13
9	VDD	PC2/SCL/URTS/T1BKIN/AETR_/T2CH2_/T1ETR_	12
10	PC0/T2CH3/UTX_/NSS_/T1CH3_	PC1/SDA/NSS/T2CH4_/T2CH1ETR_/T1BKIN_/URX_	11

CH32V003F4U6



CH32V003A4M6

1	PC1/SDA/NSS/T2CH4_/T2CH1ETR_/T1BKIN_/URX_	PC0/T2CH3/UTX_/NSS_/T1CH3_	16
2	PC2/SCL/URTS/T1BKIN/AETR_/T2CH2_/T1ETR_	VDD	15
3	PC3/T1CH3/T1CH1N_/UCTS_	VSS	14
4	PC4/A2/T1CH4/MCO/T1CH1CH2N	PA2/OSCO/A0/T1CH2N/OPP0/AETR2_	13
5	PC6/MOSI/T1CH1CH3N_/UCTS_/SDA_	PA1/OSCI/A1/T1CH2/OPN0	12
6	PC7/MISO/T1CH2_/T2CH2_/URTS_	PD7/NRST/T2CH4/OPP1/UCK_	11
7	PD1/SWIO/AETR2/T1CH3N/SCL_/URX_	PD6/A6/URX/T2CH3_/UTX_	10
8	PD4/A7/UCK/T2CH1ETR/OPO/T1CH4ETR_	PD5/A5/UTX/T2CH4_/URX_	9

CH32V003J4M6

1	PD6/A6/URX/T2CH3_/UTX_	PD4/A7/UCK/T2CH1ETR/OPO/T1CH4ETR_	8
2	PA1/OSCI/A1/T1CH2/OPN0	PD5/A5/UTX/T2CH4_/URX_	7
3	VSS	PD1/SWIO/AETR2/T1CH3N/SCL_/URX_	6
4	PA2/OSCO/A0/T1CH2N/OPP0/AETR2_	PC4/A2/T1CH4/MCO/T1CH1CH2N	5
5	VDD	PC2/SCL/URTS/T1BKIN	
		PC2/AETR_/T2CH2_/T1ETR_	
		PC1/SDA/NSS/T2CH4_/T2CH1ETR_/T1BKIN_/URX_	

注：引脚图中复用功能均为缩写。

示例：A:ADC_, A7 (ADC_IN7)
T:TIME_, T2CH4 (TIM2_CH4)
U:USART, URX (USART_RX)
OP:OPA_, OP0 (OPA_OUT)、OPP1 (OPA_P1)
OSCI (OSCIN)
OSCO (OSCOOUT)
SDA (I2C_SDA)
SCL (I2C_SCL)
SCK (SPI_SCK)
NSS (SPI_NSS)
MOSI (SPI_MOSI)
MISO (SPI_MISO)
AETR (ADC_ETR)

2.2 引脚描述

表 2-1 CH32V003xx 引脚定义

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

引脚编号				引脚名称	引脚类型	主功能 (复位后)	默认复用功能	重映射功能
SOP16	TSSOP20	QFN20	SOP8					
-	-	0	-	VSS	P	VSS	-	-
8	1	18	8	PD4	I/O	PD4	UCK/T2CH1ETR/A7/OP0	T1CH4ETR ⁽¹⁾
9	2	19	8	PD5	I/O	PD5	UTX/A5	T2CH4_/URX_
10	3	20	1	PD6	I/O	PD6	URX/A6	T2CH3_/UTX_
11	4	1	-	PD7	I/O	PD7	NRST/T2CH4/OPP1	UCK_
12	5	2	1	PA1	I/O	PA1	T1CH2/A1/OPN0	OSCI
13	6	3	3	PA2	I/O	PA2	T1CH2N/A0/OPP0	OSCO/AETR2_
14	7	4	2	VSS	P	VSS	-	-
-	8	5	-	PD0	I/O	PD0	T1CH1N/OPN1	SDA_/UTX_
15	9	6	4	VDD	P	VDD	-	-
16	10	7	-	PC0	I/O	PC0	T2CH3	NSS_/UTX_/T1CH3_
1	11	8	5	PC1	I/O/FT	PC1	SDA/NSS	T1BKIN_/T2CH4_ T2CH1ETR_/URX_
2	12	9	6	PC2	I/O/FT	PC2	SCL/URTS/T1BKIN	AETR_/T2CH2_/T1ETR_
3	13	10	-	PC3	I/O	PC3	T1CH3	T1CH1N_/UCTS_
4	14	11	7	PC4	I/O	PC4	T1CH4/MCO/A2	T1CH1CH2N ⁽²⁾
-	15	12	-	PC5	I/O/FT	PC5	SCK/T1ETR	T2CH1ETR_/SCL_ UCK_/T1CH3_
5	16	13	-	PC6	I/O/FT	PC6	MOSI	T1CH1CH3N ⁽³⁾ UCTS_/SDA_
6	17	14	-	PC7	I/O	PC7	MISO	T1CH2_/URTS_/T2CH2_
7	18	15	8	PD1	I/O	PD1	SWIO/T1CH3N/AETR2	SCL_/URX_
-	19	16	-	PD2	I/O	PD2	T1CH1/A3	T2CH3_/T1CH2N_
-	20	17	-	PD3	I/O	PD3	A4/T2CH2/AETR/UCTS	T1CH4_

注：(1) TIM1_CH4、TIM1_ETR (2) TIM1_CH1、TIM1_CH2N (3) TIM1_CH1、TIM1_CH3N

注：表格缩写解释

I = TTL/CMOS 电平斯密特输入；

O = CMOS 电平三态输出；

P = 电源；

FT = 耐受5V；

2.3 引脚复用功能

注意，下表中的引脚功能描述针对的是所有功能，不涉及具体型号产品。不同型号之间外设资源有差异，查看前请先根据产品型号资源表确认是否有此功能。

表 2-2 CH32V003xx 引脚复用功能

复用 引脚	ADC	TIM1	TIM2	USART	SYS	I2C	SPI	SWIO	OPA
PA1	A1	T1CH2			OSCI				OPNO
PA2	A0/AETR2_	T1CH2N			OSCO				OPPO
PC0		T1CH3_	T2CH3	UTX_			NSS_		
PC1		T1BKIN_	T2CH4_/T2CH1ETR_	URX_		SDA	NSS		
PC2	AETR_	T1BKIN/T1ETR_	T2CH2_	URTS		SCL			
PC3		T1CH3/T1CH1N_		UCTS_					
PC4	A2	T1CH4/T1CH1CH2N_ ⁽²⁾			MCO				
PC5		T1ETR/T1CH3_	T2CH1ETR_	UCK_		SCL_	SCK		
PC6		T1CH1CH3N_ ⁽³⁾		UCTS_		SDA_	MOSI		
PC7		T1CH2_	T2CH2_	URTS_			MISO		
PD0		T1CH1N		UTX_		SDA_			OPN1
PD1	AETR2	T1CH3N		URX_		SCL_		SWIO	
PD2	A3	T1CH1/T1CH2N_	T2CH3_						
PD3	A4/AETR	T1CH4_	T2CH2	UCTS					
PD4	A7	T1CH4ETR_ ⁽¹⁾	T2CH1ETR	UCK					OP0
PD5	A5		T2CH4_	UTX/URX_					
PD6	A6		T2CH3_	URX/UTX_					
PD7			T2CH4	UCK_	NRST				OPP1

注：(1) TIM1_CH4、TIM1_ETR (2) TIM1_CH1、TIM1_CH2N (3) TIM1_CH1、TIM1_CH3N

第 3 章 电气特性

3.1 测试条件

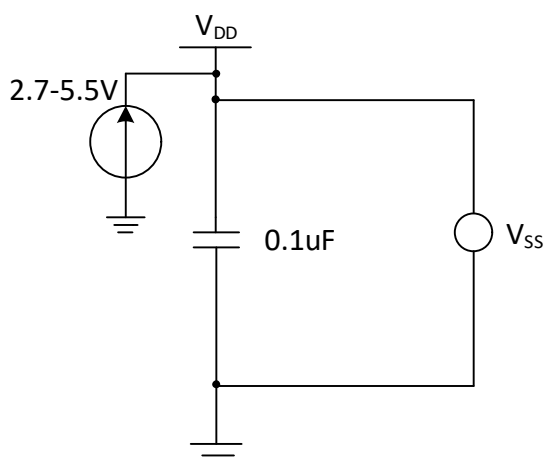
除非特殊说明和标注，所有电压都以 V_{SS} 为基准。

所有最小值和最大值将在最坏的环境温度、供电电压和时钟频率条件下得到保证。典型数值是基于常温 25°C 和 $V_{DD} = 3.3\text{V}$ 或 5V 环境下用于设计指导。

对于通过综合评估、设计模拟或工艺特性得到的数据，不会在生产线上进行测试。在综合评估的基础上，最小和最大值是通过样本测试后统计得到。除非特殊说明为实测值，否则特性参数以综合评估或设计保证。

供电方案：

图 3-1 常规供电典型电路



3.2 绝对最大值

临界或者超过绝对最大值将可能导致芯片工作不正常甚至损坏。

表 3-1 绝对最大值参数表

符号	描述	最小值	最大值	单位
T_A	工作时的环境温度	-40	85	$^{\circ}\text{C}$
T_S	存储时的环境温度	-40	125	$^{\circ}\text{C}$
$V_{DD}-V_{SS}$	外部主供电电压 (V_{DD})	-0.3	5.5	V
V_{IN}	FT (耐受 5V) 引脚上的输入电压	$V_{SS}-0.3$	5.5	V
	其他引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	
$ \Delta V_{DD,x} $	不同主供电引脚之间的电压差		50	mV
$ \Delta V_{SS,x} $	不同接地引脚之间的电压差		50	mV
$V_{ESD}(HBM)$	ESD 静电放电电压 (人体模型, 非接触式)	4K		V
I_{VDD}	经过 V_{DD} 电源线的总电流 (供应电流)		100	mA
I_{VSS}	经过 V_{SS} 地线的总电流 (流出电流)		80	
I_{IO}	任意 I/O 和控制引脚上的灌电流		20	
	任意 I/O 和控制引脚上的输出电流		-20	
$I_{INJ}(PIN)$	HSE 的 OSC_IN 引脚		+/-4	
	其他引脚的注入电流		+/-4	
$\Sigma I_{INJ}(PIN)$	所有 IO 和控制引脚的总注入电流		+/-20	

3.3 电气参数

3.3.1 工作条件

表 3-2 通用工作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK}	内部 AHB 时钟频率			50	MHz
V_{DD}	标准工作电压	未使用 ADC	2.7	5.5	V
		使用 ADC (建议)	2.8	5.5	
T_A	环境温度		-40	85	$^{\circ}\text{C}$
T_J	结温度范围		-40	85	$^{\circ}\text{C}$

表 3-3 上电和掉电条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 上升速率		0	∞	us/V
	V_{DD} 下降速率		30	∞	

3.3.2 内嵌复位和电源控制模块特性

表 3-4 复位及电压监测 (PDR 选择高阈值档位)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{PVD}^{(1)}$	可编程电压检测器的电平选择	PLS[2:0] = 000 (上升沿)		2.85		V
		PLS[2:0] = 000 (下降沿)		2.7		V
		PLS[2:0] = 001 (上升沿)		3.05		V
		PLS[2:0] = 001 (下降沿)		2.9		V
		PLS[2:0] = 010 (上升沿)		3.3		V
		PLS[2:0] = 010 (下降沿)		3.15		V
		PLS[2:0] = 011 (上升沿)		3.5		V
		PLS[2:0] = 011 (下降沿)		3.3		V
		PLS[2:0] = 100 (上升沿)		3.7		V
		PLS[2:0] = 100 (下降沿)		3.5		V
		PLS[2:0] = 101 (上升沿)		3.9		V
		PLS[2:0] = 101 (下降沿)		3.7		V
		PLS[2:0] = 110 (上升沿)		4.1		V
		PLS[2:0] = 110 (下降沿)		3.9		V
PLS[2:0] = 111 (上升沿)		4.4		V		
PLS[2:0] = 111 (下降沿)		4.2		V		
$V_{PVDhyst}$	PVD 迟滞			0.18		V
$V_{POR/PDR}$	上电/掉电复位阈值	上升沿	2.32	2.5	2.68	V
		下降沿	2.3	2.48	2.66	V
$V_{PDRhyst}$	PDR 迟滞			20		mV
$t_{RSTTEMPO}$	上电复位		12	17	22	mS
	其他复位			300		uS

注: 1. 常温测试值。

3.3.3 内置的参考电压

表 3-5 内置参考电压

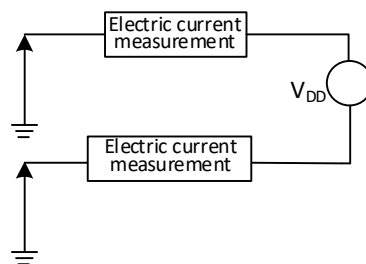
符号	参数	条件	最小值	典型值	最大值	单位
V_{REFINT}	内置参考电压	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	1.17	1.2	1.23	V
$T_{S_vrefint}$	当读出内部参考电压时, ADC 的采样时间		3		500	$1/f_{ADC}$

3.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标, 这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗测量方法如下图:

图 3-2 电流消耗测量



微控制器处于下列条件:

常温 $V_{DD} = 3.3\text{V}$ 或 5V 情况下, 测试时: 所有 I/O 端口配置上拉输入; HSE 或 HSI 只开 1 个, HSE= 24M, HIS= 24M (已校准); 当 $F_{HCLK} > 24\text{MHz}$ 时, 系统时钟来源 $\text{CLK} * 2$; 打开所有外设时仅打开所有外设的时钟; 运行模式和睡眠模式关闭所有外设时, 滴答定时器时钟未关闭。使能或关闭所有外设时钟的功耗。

表 3-6-1 运行模式下典型的电流消耗, 数据处理代码从内部闪存中运行 ($V_{DD} = 3.3\text{V}$)

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)}$	运行模式下的 供应电流	外部时钟	$F_{HCLK} = 48\text{MHz}$	6.96	4.67	mA
			$F_{HCLK} = 24\text{MHz}$	5.01	3.87	
			$F_{HCLK} = 16\text{MHz}$	4.43	3.64	
			$F_{HCLK} = 8\text{MHz}$	2.81	2.42	
			$F_{HCLK} = 750\text{KHz}$	1.50	1.46	
		运行于高速内部 RC 振荡器 (HSI), 使用 AHB 预分频 以减低频率	$F_{HCLK} = 48\text{MHz}$	6.57	4.16	
			$F_{HCLK} = 24\text{MHz}$	4.60	3.42	
			$F_{HCLK} = 16\text{MHz}$	4.06	3.26	
			$F_{HCLK} = 8\text{MHz}$	2.43	2.03	
			$F_{HCLK} = 750\text{KHz}$	1.11	1.07	

注: 1. 以上为实测参数。

表 3-6-2 运行模式下典型的电流消耗, 数据处理代码从内部闪存中运行 ($V_{DD} = 5\text{V}$)

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)}$	运行模式下的	外部时钟	$F_{HCLK} = 48\text{MHz}$	8.02	5.77	mA

	供应电流		$F_{HCLK} = 24\text{MHz}$	6.21	5.17
			$F_{HCLK} = 16\text{MHz}$	5.64	4.85
			$F_{HCLK} = 8\text{MHz}$	3.61	3.22
			$F_{HCLK} = 750\text{KHz}$	1.93	1.89
		运行于高速内部 RC 振荡器 (HSI), 使用 AHB 预分频以减低频率	$F_{HCLK} = 48\text{MHz}$	7.67	5.27
			$F_{HCLK} = 24\text{MHz}$	5.77	4.60
			$F_{HCLK} = 16\text{MHz}$	5.28	4.48
			$F_{HCLK} = 8\text{MHz}$	3.24	2.84
			$F_{HCLK} = 750\text{KHz}$	1.54	1.50

注:1. 以上为实测参数。

表 3-7-1 睡眠模式下典型的电流消耗, 数据处理代码从内部闪存或 SRAM 中运行 ($V_{DD} = 3.3\text{V}$)

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)}$	睡眠模式下的供应电流 (此时外设供电和时钟保持)	外部时钟	$F_{HCLK} = 48\text{MHz}$	5.07	2.66	mA
			$F_{HCLK} = 24\text{MHz}$	3.05	1.86	
			$F_{HCLK} = 16\text{MHz}$	2.64	1.84	
			$F_{HCLK} = 8\text{MHz}$	1.83	1.43	
			$F_{HCLK} = 750\text{KHz}$	1.28	1.24	
		运行于高速内部 RC 振荡器 (HSI), 使用 AHB 预分频以减低频率	$F_{HCLK} = 48\text{MHz}$	4.31	1.88	
			$F_{HCLK} = 24\text{MHz}$	2.24	1.05	
			$F_{HCLK} = 16\text{MHz}$	1.84	1.04	
			$F_{HCLK} = 8\text{MHz}$	1.03	0.62	
			$F_{HCLK} = 750\text{KHz}$	0.47	0.43	

注:1. 以上为实测参数。

表 3-7-2 睡眠模式下典型的电流消耗, 数据处理代码从内部闪存或 SRAM 中运行 ($V_{DD} = 5\text{V}$)

符号	参数	条件	典型值		单位	
			使能所有外设	关闭所有外设		
$I_{DD}^{(1)}$	睡眠模式下的供应电流 (此时外设供电和时钟保持)	外部时钟	$F_{HCLK} = 48\text{MHz}$	5.29	2.91	mA
			$F_{HCLK} = 24\text{MHz}$	3.28	2.08	
			$F_{HCLK} = 16\text{MHz}$	2.87	2.07	
			$F_{HCLK} = 8\text{MHz}$	2.06	1.66	
			$F_{HCLK} = 750\text{KHz}$	1.50	1.47	
		运行于高速内部 RC 振荡器 (HSI), 使用 AHB 预分频以减低频率	$F_{HCLK} = 48\text{MHz}$	4.39	1.95	
			$F_{HCLK} = 24\text{MHz}$	2.31	1.13	
			$F_{HCLK} = 16\text{MHz}$	1.92	1.11	
			$F_{HCLK} = 8\text{MHz}$	1.10	0.70	
			$F_{HCLK} = 750\text{KHz}$	0.54	0.50	

注:1. 以上为实测参数。

表 3-8 待机模式下典型的电流消耗

符号	参数	条件	典型值	单位
----	----	----	-----	----

I _{DD}	待机模式下的供应电流	LSI 打开	V _{DD} = 3.3V	10.26	uA
			V _{DD} = 5V	10.65	
		LSI 关闭	V _{DD} = 3.3V	8.76	
			V _{DD} = 5V	9.15	

注: 以上为实测参数。

3.3.5 外部时钟源特性

表 3-9 来自外部高速时钟

符号	参数	条件	最小值	典型值	最大值	单位
F _{HSE_ext}	外部时钟频率		4	24	25	MHz
V _{HSEH} ⁽¹⁾	OSC_IN 输入引脚高电平电压		0.8V _{DD}		V _{DD}	V
V _{HSEL} ⁽¹⁾	OSC_IN 输入引脚低电平电压		0		0.2V _{DD}	V
C _{in(HSE)}	OSC_IN 输入电容			5		pF
DuCy _(HSE)	占空比		40	50	60	%
I _L	OSC_IN 输入漏电流				±1	uA

注: 1. 不满足此条件可能会引起电平识别错误。

图 3-3 外部提供高频时钟源电路

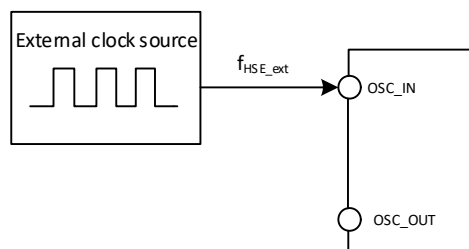


表 3-10 使用一个晶体/陶瓷谐振器产生的高速外部时钟

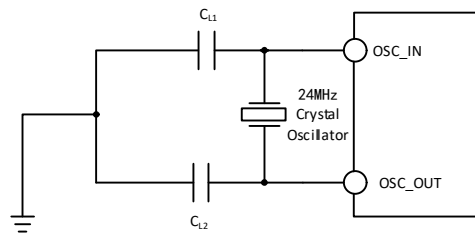
符号	参数	条件	最小值	典型值	最大值	单位
F _{OSC_IN}	谐振器频率		4	24	25	MHz
R _F	反馈电阻（无需外置）			250		kΩ
C	建议的负载电容与对应晶体串行阻抗 R _S	R _S = 60Ω ⁽¹⁾		20		pF
I ₂	HSE 驱动电流	V _{DD} = 3.3V, 20p 负载		0.53		mA
g _m	振荡器的跨导	启动		17.5		mA/V
t _{SU(HSE)}	启动时间	V _{DD} 稳定, 24M 晶体		2		ms

注: 1. 25M 晶体 ESR 建议不超过 60 欧, 低于 25M 可适当放宽。

电路参考设计及要求:

晶体的负载电容以晶体厂商建议为准, 通常情况 C_{L1}=C_{L2}。

图 3-4 外接 24M 晶体典型电路



3.3.6 内部时钟源特性

表 3-11 内部高速 (HSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{HSI}	频率 (校准后)			24		MHz
$DuCy_{HSI}$	占空比		45	50	55	%
ACC_{HSI}	HSI 振荡器的精度 (校准后)	$T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$	-1.2		1.6	%
		$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$	-2.2		2.2	%
$t_{SU(HSI)}$	HSI 振荡器启动稳定时间			10		μs
$I_{DD(HSI)}$	HSI 振荡器功耗		120	180	270	μA

表 3-12 内部低速 (LSI) RC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
F_{LSI}	频率		100	128	150	KHz
$DuCy_{LSI}$	占空比		45	50	55	%
$t_{SU(LSI)}$	LSI 振荡器启动稳定时间			80		μs
$I_{DD(LSI)}$	LSI 振荡器功耗			0.6		μA

3.3.7 从低功耗模式唤醒的时间

表 3-13 低功耗模式唤醒的时间⁽¹⁾

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用 HSI RC 时钟唤醒	30	μs
$t_{WUSTDBY}$	从待机模式唤醒	LDO 稳定时间 + HSI RC 时钟唤醒	200	μs

注: 以上为实测参数。

3.3.8 存储器特性

表 3-14 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{ERASE_64}	页 (64 字节) 编程时间	$T_A = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.4		3.1	ms
t_{ERASE}	页 (64 字节) 擦除时间	$T_A = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.4		3.1	ms
t_{prog}	16 位的编程时间	$T_A = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.4		3.1	ms
t_{ME}	整片擦除时间	$T_A = -20^{\circ}\text{C} \sim 85^{\circ}\text{C}$	2.4		3.1	ms
V_{prog}	编程电压		2.8		5.5	V

表 3-15 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值	典型值	最大值	单位
----	----	----	-----	-----	-----	----

N_{END}	擦写次数	$T_A = 25^\circ\text{C}$	10K	80K ⁽¹⁾		次
t_{RET}	数据保存期限		10			年

注:实测操作擦写次数,非担保。

3.3.9 I/O 端口特性

表 3-16 通用 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	标准 I/O 脚, 输入高电平电压		$0.41*(V_{DD}-1.8)+1.3$		$V_{DD}+0.3$	V
	FT I/O 引脚, 输入高电平电压		$0.42*(V_{DD}-1.8)+1.2$		5.5	V
V_{IL}	标准 I/O 脚, 输入低电平电压		-0.3		$0.28*(V_{DD}-1.8)+0.6$	V
	FT I/O 引脚, 输入低电平电压		-0.3		$0.32*(V_{DD}-1.8)+0.55$	V
V_{hys}	标准 I/O 脚施密特触发器电压迟滞		150			mV
	FT I/O 引脚施密特触发器电压迟滞		90			
I_{Ikg}	输入漏电流	标准 I/O 端口			1	uA
		FT I/O 端口			3	
R_{PU}	弱上拉等效电阻		35	45	55	k Ω
R_{PD}	弱下拉等效电阻		35	45	55	k Ω
C_{I0}	I/O 引脚电容			5		pF

输出驱动电流特性

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流,并且吸收或输出 $\pm 20\text{mA}$ 电流(不严格达到 V_{OL}/V_{OH})。在用户应用中,所有 I/O 引脚驱动总电流不能超过 3.2 节给出的绝对最大额定值。

表 3-17 输出电压特性

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 8 个引脚吸收电流	TTL 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 5.5\text{V}$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD}-0.4$		
V_{OL}	输出低电平, 8 个引脚吸收电流	CMOS 端口, $I_{IO} = +8\text{mA}$ $2.7\text{V} < V_{DD} < 5.5\text{V}$		0.4	V
V_{OH}	输出高电平, 8 个引脚输出电流		2.3		
V_{OL}	输出低电平, 8 个引脚吸收电流	$I_{IO} = +20\text{mA}$ $2.7\text{V} < V_{DD} < 5.5\text{V}$		1.3	V
V_{OH}	输出高电平, 8 个引脚输出电流		$V_{DD}-1.3$		

注:以上条件中如果多个 I/O 引脚同时驱动, 电流总和不能超过表 3.2 节给出的绝对最大额定值。另外多个 I/O 引脚同时驱动时, 电源/地线点上的电流很大, 会导致压降使内部 I/O 的电压达不到表中电源电压, 从而导致驱动电流小于标称值。

表 3-18 输入输出交流特性

MODEx[1:0] 配置	符号	参数	条件	最小值	最大值	单位
10	$F_{max(I0)out}$	最大频率	$C_L = 50\text{pF}, V_{DD} = 2.7-5.5\text{V}$		2	MHz

(2MHz)	$t_{f(10)out}$	输出高至低电平的下降时间	$CL = 50pF, V_{DD} = 2.7-5.5V$		125	ns
	$t_{r(10)out}$	输出低至高电平的上升时间			125	ns
01 (10MHz)	$F_{max(10)out}$	最大频率	$CL = 50pF, V_{DD} = 2.7-5.5V$		10	MHz
	$t_{f(10)out}$	输出高至低电平的下降时间	$CL = 50pF, V_{DD} = 2.7-5.5V$		25	ns
	$t_{r(10)out}$	输出低至高电平的上升时间			25	ns
11 (30MHz)	$F_{max(10)out}$	最大频率	$CL = 50pF, V_{DD} = 2.7-5.5V$		30	MHz
	$t_{f(10)out}$	输出高至低电平的下降时间	$CL = 50pF, V_{DD} = 2.7-5.5V$		10	ns
	$t_{r(10)out}$	输出低至高电平的上升时间			10	ns
	t_{EXT1pw}	EXTI 控制器检测到外部信号的脉冲宽度		10		ns

3.3.10 NRST 引脚特性

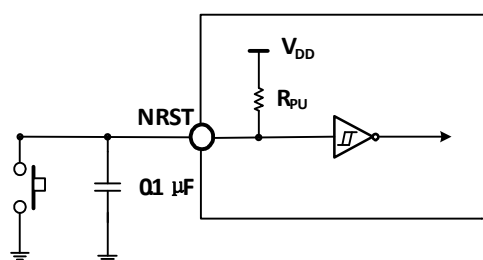
表 3-19 外部复位引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-0.3		$0.28*(V_{DD}-1.8)+0.6$	V
$V_{IH(NRST)}$	NRST 输入高电平电压		$0.41*(V_{DD}-1.8)+1.3$		$V_{DD}+0.3$	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞		150			mV
$R_{PU}^{(1)}$	弱上拉等效电阻		35	45	55	k Ω

注: 1. 上拉电阻是一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

电路参考设计及要求:

图 3-5 外部复位引脚典型电路



3.3.11 TIM 定时器特性

表 3-20 TIMx 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器基准时钟		1		$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	13.9		ns
F_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK} = 48MHz$	0	36	MHz
R_{esTIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	0.0139	910	us

t_{MAX_COUNT}	最大可能的计数		65535	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 48MHz$	59.6	s

3.3.12 I2C 接口特性

图 3-6 I2C 总线时序图

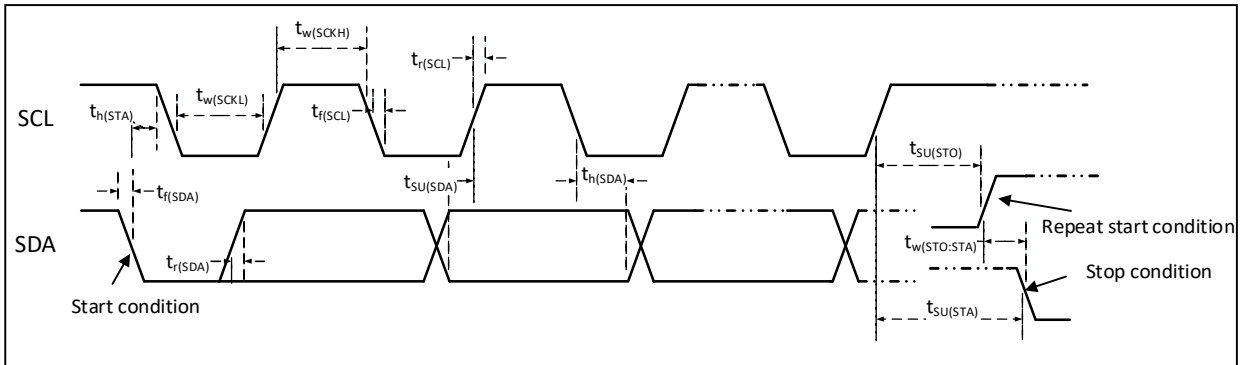


表 3-21 I2C 接口特性

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_w(SCKL)$	SCL 时钟低电平时间	4.7		1.2		us
$t_w(SCKH)$	SCL 时钟高电平时间	4.0		0.6		us
$t_{SU}(SDA)$	SDA 数据建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	ns
$t_r(SDA)/t_r(SCL)$	SDA 和 SCL 上升时间		1000	20		ns
$t_f(SDA)/t_f(SCL)$	SDA 和 SCL 下降时间		300			ns
$t_h(STA)$	开始条件保持时间	4.0		0.6		us
$t_{SU}(STA)$	重复的开始条件建立时间	4.7		0.6		us
$t_{SU}(STO)$	停止条件建立时间	4.0		0.6		us
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	4.7		1.2		us
C_b	每条总线的容性负载		400		400	pF

3.3.13 SPI 接口特性

图 3-7 SPI 主模式时序图

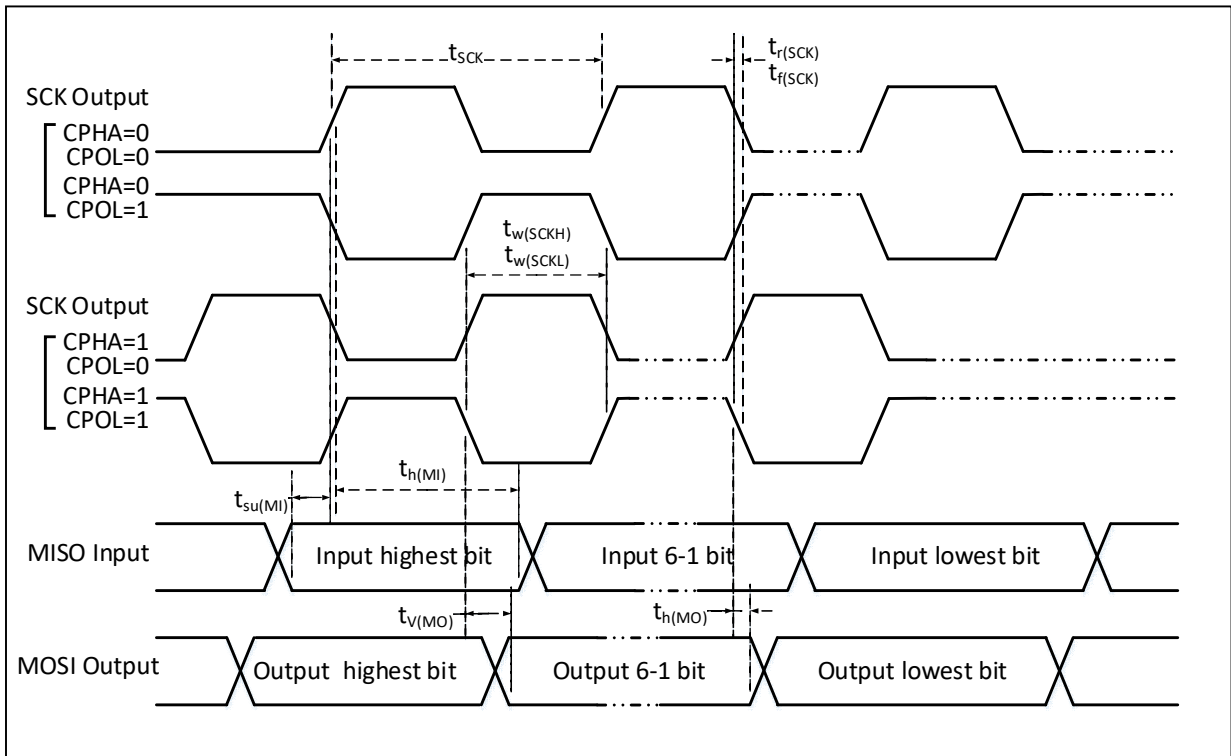


图 3-8 SPI 从模式时序图 (CPHA=0)

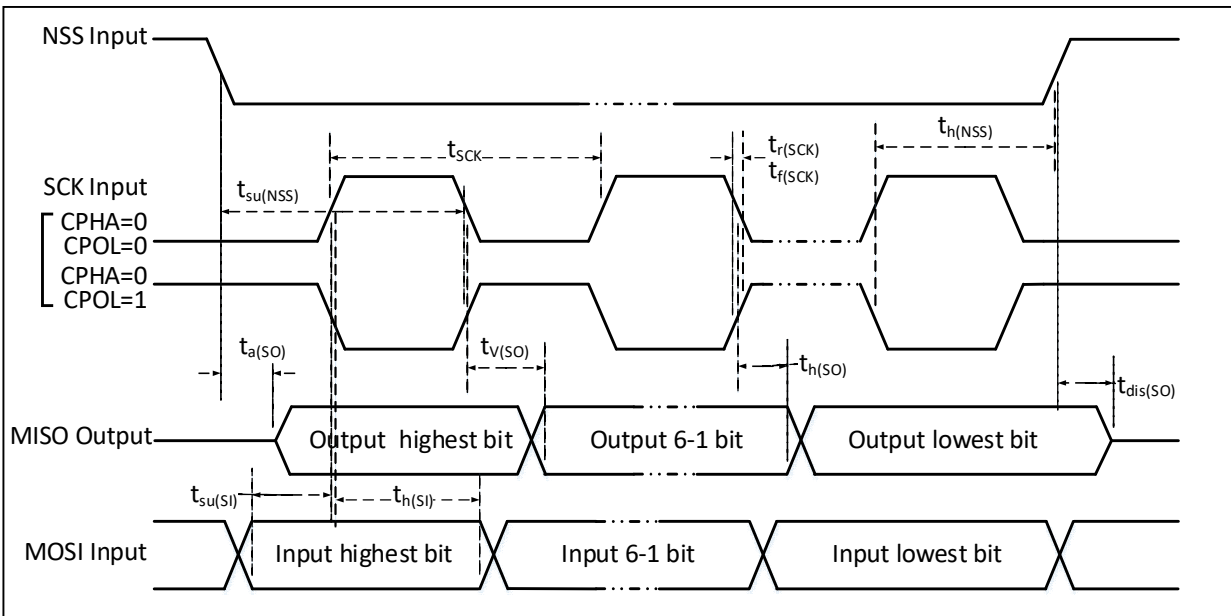
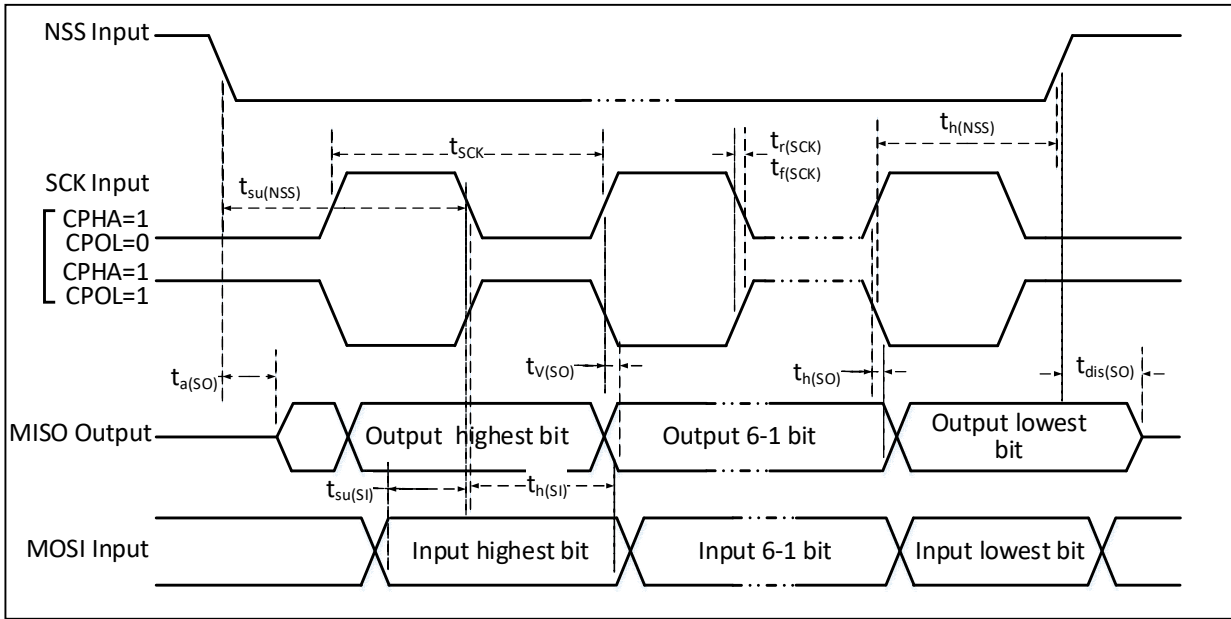


图 3-9 SPI 从模式时序图 (CPHA=1)

表 3-22 SPI 接口特性



符号	参数	条件	最小值	最大值	单位
f_{SCK}/t_{SCK}	SPI 时钟频率	主模式		24	MHz
		从模式		24	MHz
$t_{r(SCK)}/t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: C = 30pF		20	ns
$t_{SU(NSS)}$	NSS 建立时间	从模式	$2t_{PCLK}$		ns
$t_{h(NSS)}$	NSS 保持时间	从模式	$2t_{PCLK}$		ns
$t_{w(SCKH)}/t_{w(SCKL)}$	SCK 高电平和低电平时间	主模式 $f_{PCLK} = 48MHz$, 预分频系数=2	30	70	ns
$t_{SU(MI)}$	数据输入建立时间	主模式	5		ns
$t_{SU(SI)}$		从模式	5		ns
$t_{h(MI)}$	数据输入保持时间	主模式	5		ns
$t_{h(SI)}$		从模式	4		ns
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{PCLK} = 24MHz$	0	$1t_{PCLK}$	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	0	10	ns
$t_{V(SO)}$	数据输出有效时间	从模式 (使能边沿之后)		5	ns
$t_{V(MO)}$		主模式 (使能边沿之后)		5	ns
$t_{h(SO)}$	数据输出保持时间	从模式 (使能边沿之后)	2		ns
$t_{h(MO)}$		主模式 (使能边沿之后)	0		ns

3.3.14 10 位 ADC 特性

表 3-23 10 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	供电电压		2.8		5.5	V
I_{DD}	供电电流			370		uA
f_{ADC}	ADC 时钟频率	$V_{DD} = 2.8 \text{ to } 5.5V$	1		6	MHz
		$V_{DD} = 3.2 \text{ to } 5.5V$	1		12	
		$V_{DD} = 4.5 \text{ to } 5.5V$	1		24	

V_{AIN}	转换电压范围		V_{SS}		V_{DD}	V
C_{ADC}	内部采样和保持电容			3		pF
f_s	采样速率	$f_{ADC} = 4\text{MHz}$			285	KHz
		$f_{ADC} = 6\text{MHz}$			430	
		$f_{ADC} = 12\text{MHz}$			857	
		$f_{ADC} = 24\text{MHz}$			1710	
t_s	采样时间	$f_{ADC} = 4\text{MHz}$		0.75		us
		$f_{ADC} = 6\text{MHz}$		0.5		
		$f_{ADC} = 12\text{MHz}$		0.25		
t_{STAB}	上电时间			7		us
t_{CONV}	总的转换时间（包括采样时间）	$f_{ADC} = 4\text{MHz}$	3.5			us
		$f_{ADC} = 6\text{MHz}$	2.33			us
		$f_{ADC} = 12\text{MHz}$	1.17			us
		-		14		$1/f_{ADC}$

注：以上均为设计参数保证。

表 3-24 ADC 误差 ($f_{ADC} = 12\text{MHz}:R_{AIN} < 10\text{k}\Omega, V_{DD} > 2.9\text{V}$) ($f_{ADC} = 24\text{MHz}:R_{AIN} < 3\text{k}\Omega, V_{DD} = 5\text{V}$)

符号	参数	条件	最小值	典型值	最大值	单位
ET	数据总偏差	$f_{ADC} = 12\text{MHz}$		2	4	LSB
ETF24	$f_{ADC} = 24\text{MHz}$ 数据总偏差	$f_{ADC} = 24\text{MHz}$		3	6	
E0	失调误差	$f_{ADC} = 12\text{MHz}$		1	3	
EG	增益误差	$f_{ADC} = 12\text{MHz}$		1	2	
ED	微分非线性误差	$f_{ADC} = 12\text{MHz}$		0.5	2	
EL	积分非线性误差	$f_{ADC} = 12\text{MHz}$		0.6	2.5	

注：来源仿真。

C_p 表示 PCB 与焊盘上的寄生电容（大约 5pF），可能与焊盘和 PCB 布局质量有关。较大的 C_p 数值将降低转换精度，解决办法是降低 f_{ADC} 值。

图 3-10 ADC 典型连接图

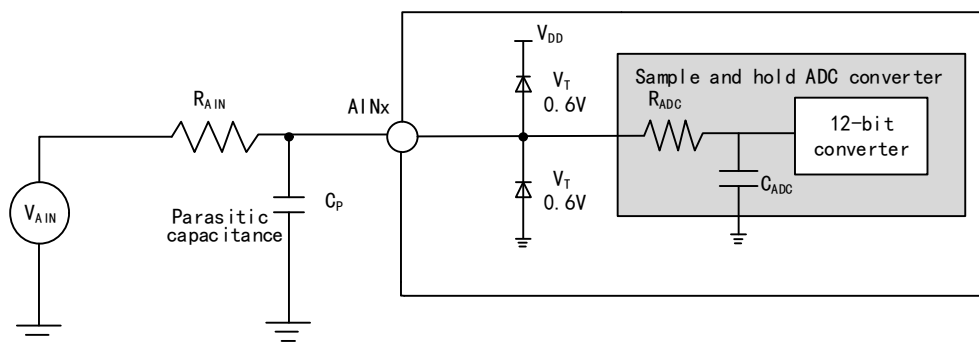
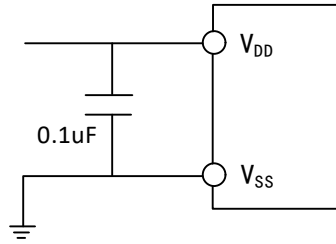


图 3-11 模拟电源及退耦电路参考



3.3.15 OPA 特性

表 3-25 OPA 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DD}	供电电压		2.8		5.5	V
C_{MIR}	共模输入电压		0		V_{DD}	V
$V_{I\text{OFFSET}}$	输入失调电压			2.2	7	mV
I_{LOAD}	驱动电流				1.5	mA
$I_{DDOPAMP}$	消耗电流	无负载, 静态模式		273		uA
$C_{MRR}^{(1)}$	共模抑制比	@1KHz		81		dB
$P_{SRR}^{(1)}$	电源抑制比	@1KHz		88		dB
$A_v^{(1)}$	开环增益	$C_{LOAD} = 50\text{pF}$		105		dB
$G_{BW}^{(1)}$	单位增益带宽	$C_{LOAD} = 50\text{pF}$		12		MHz
$P_M^{(1)}$	相位裕度	$C_{LOAD} = 50\text{pF}$		75		deg
$S_R^{(1)}$	压摆率	$C_{LOAD} = 50\text{pF}$		7.7		V/us
$t_{WAKU}^{(1)}_P$	关闭到唤醒建立时间, 0.1%	输入 $V_{DD}/2$, $C_{LOAD}=50\text{pF}$, $R_{LOAD}=4\text{k}\Omega$		520		ns
R_{LOAD}	电阻性负载		4			k Ω
C_{LOAD}	电容性负载	$R_{LOAD} = 4\text{k}\Omega$, 输入 V_{DD}			50	pF
$V_{OHSAT}^{(2)}$	高饱和输出电压	$R_{LOAD} = 20\text{k}\Omega$, 输入 V_{DD}	$V_{DD}-100\text{mv}$			mV
		$R_{LOAD} = 4\text{k}\Omega$, 输入 0	$V_{DD}-20\text{mv}$			
$V_{OLSAT}^{(2)}$	低饱和输出电压	$R_{LOAD} = 20\text{k}\Omega$, 输入 0			5	mV
		$R_{LOAD} = 4\text{k}\Omega$, @1KHz			5	
$EN^{(1)}$	等效输入电压噪声	$R_{LOAD} = 4\text{k}\Omega$, @10KHz		83		$\frac{\text{nv}}{\sqrt{\text{Hz}}}$
				28		

注: 1. 来源设计仿真非实测;

2. 负载电阻会限制饱和输出电压。

第 4 章 封装及订货信息

芯片封装

订货型号	封装形式	塑体宽度	引脚间距	封装说明	出货料盘
CH32V003F4P6	TSSOP20	4.4*6.5mm	0.65mm	薄小型的 20 脚贴片	塑管
CH32V003F4U6	QFN20	3.0*3.0mm	0.4mm	方形无引线 20 脚	托盘
CH32V003A4M6	SOP16	3.9*10mm	1.27mm	标准的 16 脚贴片	塑管
CH32V003J4M6	SOP8	3.9*5.0mm	1.27mm	标准的 8 脚贴片	塑管

说明：1. QFP/QFN 一般默认为托盘，具体型号可与封装厂确认。

2. 托盘尺寸：托盘大小一般为统一尺寸，322.6*135.9*7.62，不同封装类型限位孔尺寸有区别，塑管不同封装厂有区别，具体与厂家确认。

说明:尺寸标注的单位是 mm (毫米), 引脚中心间距总是标称值, 没有误差, 除此之外的尺寸误差不大于±0.2mm 或者±10%两者中的较大值。

图 4-1 TSSOP20 封装

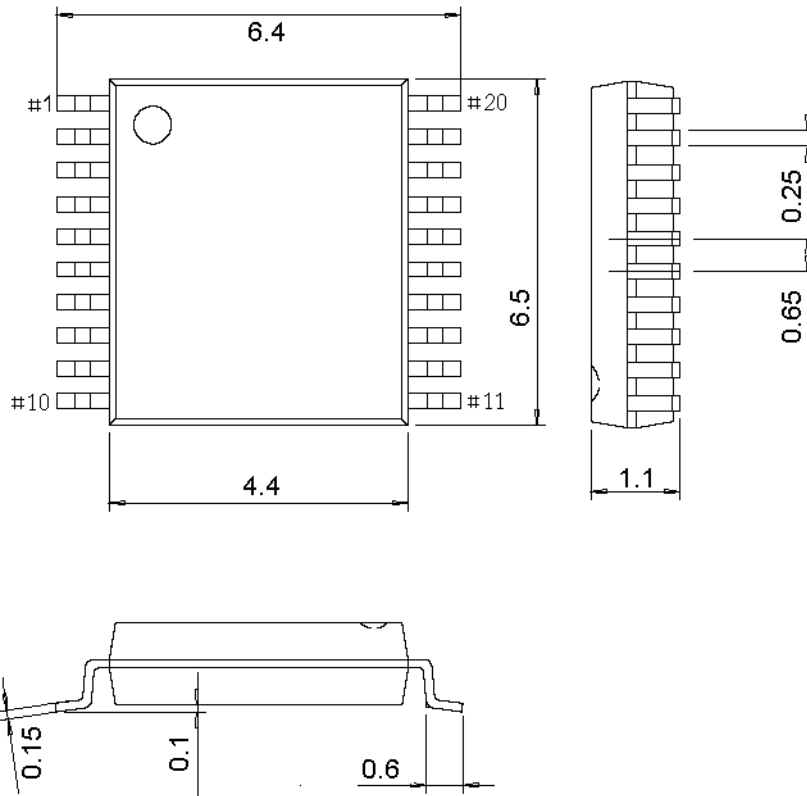


图 4-2 QFN20 封装

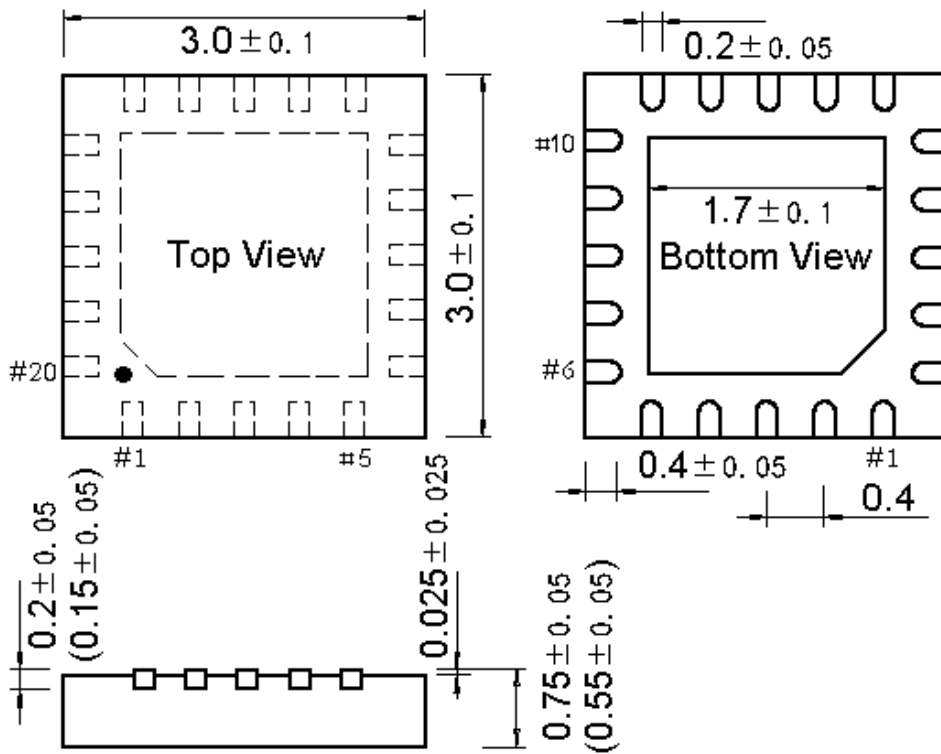


图 4-3 SOP16 封装

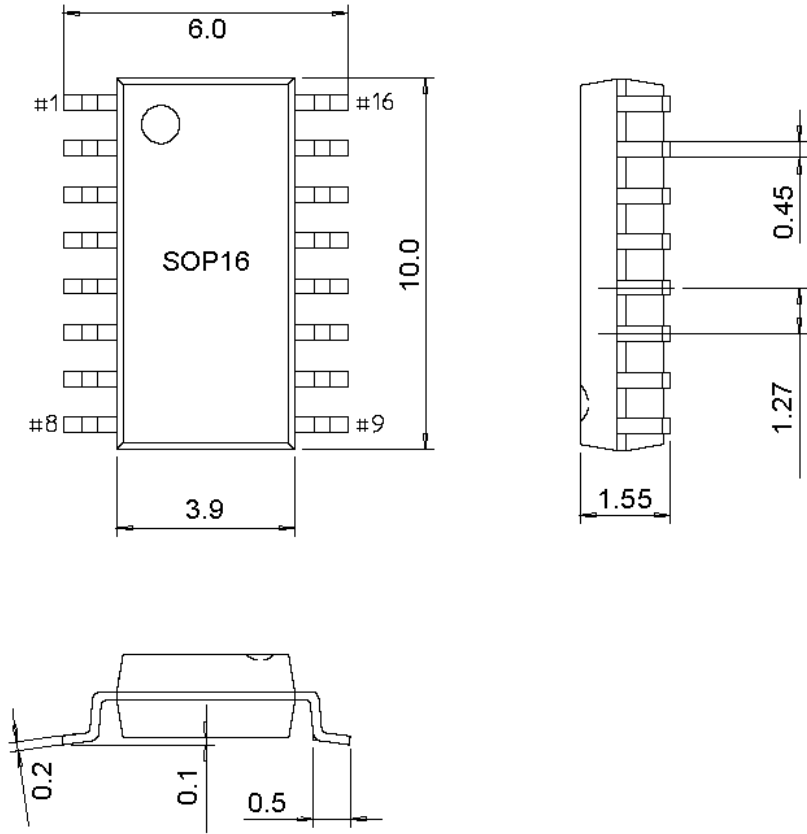


图 4-4 SOP8 封装

