

# TPS5450 5A 宽输入范围降压转换器

## 1 特性

- 宽输入电压范围：5.5V 至 36V
- 高达 5A 的持续 ( 峰值为 6A ) 输出电流
- 通过 110mΩ 集成 MOSFET 开关实现大于 90% 的高效率
- 宽输出电压范围：可调节为低至 1.22V，初始精度为 1.5%
- 内部补偿最大限度地减少了外部器件数量
- 适用于小型滤波器尺寸的固定 500kHz 开关频率
- 18μA 关断电源电流
- 通过输入电压前馈改进线路调整和瞬态响应
- 系统受过流限制、过压保护和热关断的保护
- -40°C 至 125°C 的工作结温范围
- 采用小型热增强型 8 引脚 SOIC PowerPAD™ 封装

## 2 应用

- 高密度负载点调节器
- LCD 显示屏、等离子显示屏
- 电池充电器
- 12V 和 24V 分布式电源系统

## 3 说明

TPS5450 是一款高输出电流的 PWM 转换器，集成了低电阻高侧 N 沟道 MOSFET。具有所列特性的基板上还包括高性能电压误差放大器 ( 可在瞬态条件下提供高稳压精度 )、欠压锁定电路 ( 用于防止在输入电压达到 5.5V 前启动 )、内部设置的慢启动电路 ( 用于限制浪涌电流 ) 以及电压前馈电路 ( 用于改进瞬态响应 )。通过使用 ENA 引脚，关断电源电流通常可减少到 18 μ A。其他特性包括高电平有效使能端、过流限制、过压保护和热关断。为降低设计复杂性并减少外部组件数量，TPS5450 反馈环路进行了内部补偿。

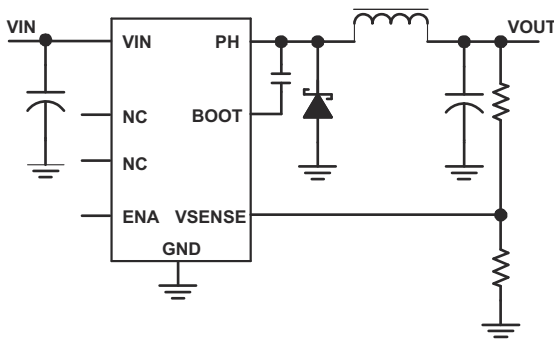
TPS5450 器件采用热增强型 8 引脚 SOIC PowerPAD 封装。TI 提供评估模块和软件工具，有助于实现高性能电源设计，可满足迫切的器件开发周期要求。

### 器件信息(1)

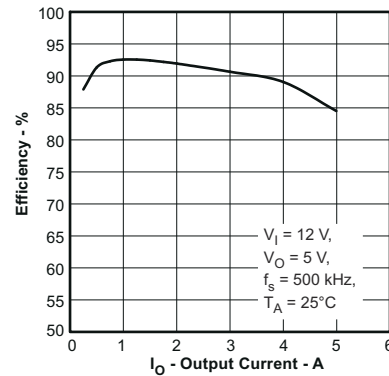
器件型号	封装	封装尺寸 ( 标称值 )
TPS5450	HSOP (8)	4.89mm × 3.90mm

(1) 有关所有的可用封装，请参阅数据表末尾的可订购产品附录。

Simplified Schematic



Efficiency vs Output Current



## 内容

<b>1 特性</b> .....	1	7.3 特性说明.....	9
<b>2 应用</b> .....	1	7.4 器件功能模式.....	11
<b>3 说明</b> .....	1	<b>8 应用和实现</b> .....	12
<b>4 修订历史记录</b> .....	2	8.1 应用信息.....	12
<b>5 引脚配置和功能</b> .....	3	8.2 典型应用.....	12
引脚功能.....	3	<b>9 电源相关建议</b> .....	18
<b>6 规格</b> .....	4	<b>10 布局</b> .....	18
6.1 绝对最大额定值.....	4	10.1 布局指南.....	18
6.2 ESD 额定值.....	4	10.2 布局示例.....	19
6.3 建议工作条件.....	4	10.3 热计算.....	20
6.4 热性能信息.....	4	<b>11 器件和文档支持</b> .....	21
6.5 电气特性.....	6	11.1 器件支持.....	21
6.6 典型特性.....	7	11.2 商标.....	21
<b>7 详细说明</b> .....	9	11.3 Electrostatic Discharge Caution.....	21
7.1 概述.....	9	11.4 术语表.....	21
7.2 功能方框图.....	9	<b>12 机械、封装和可订购信息</b> .....	21

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

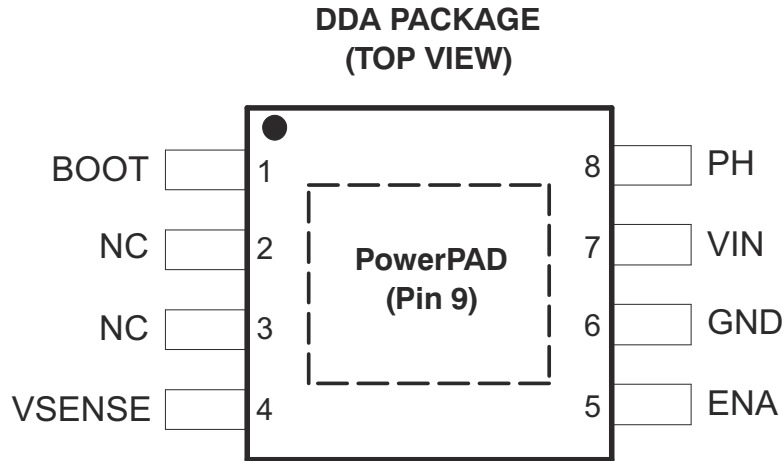
### Changes from Revision D (December 2014) to Revision E (July 2022) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式。..... 1

### Changes from Revision C (October 2013) to Revision D (September 2014) Page

- 新增了 *引脚配置和功能* 部分、*ESD 等级表*、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及 *机械、封装和可订购信息* 部分..... 1

## 5 引脚配置和功能



### 引脚功能

引脚		I/O	说明
名称	编号		
BOOT	1	O	高侧 FET 栅极驱动器的升压电容器。从 BOOT 引脚至 PH 引脚连接一个 0.01 $\mu$ F、低 ESR 电容器。
NC	2、3	-	内部未连接。
VSENSE	4	I	稳压器的反馈电压。连接到输出电压分压器。
ENA	5	I	导通和关闭控制。低于 0.5V，器件停止切换。悬空引脚即可启用。
GND	6	-	接地。连接到 PowerPAD。
VIN	7	I	输入电源电压。采用高质量、低 ESR 陶瓷电容器将 VIN 引脚旁路至靠近器件封装的 GND 引脚。
PH	8	O	高侧功率 MOSFET 的源极。连接至外部电感器和二极管。
PowerPAD	9	-	必须将 GND 引脚连接到外露焊盘才能正常工作。

## 6 规格

### 6.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位	
V	电压	VIN	-0.3	40 <sup>(2)</sup>	V
		PH ( 稳定状态 )	-0.6	40 <sup>(2)</sup>	
		PH ( 瞬态 < 10ns )	-1.2		
		ENA	-0.3	7	
		BOOT-PH	-0.3	10	
		VSENSE	-0.3	3	
I <sub>O</sub>	拉电流	PH	内部受限制		
I <sub>lkg</sub>	漏电流	PH	10	μA	
T <sub>J</sub>	工作虚拟结温		-40	150	°C
T <sub>stg</sub>	存储温度		-65	150	°C

- (1) 超出 [节 6.1](#) 下列出的值的应力可能会对器件造成永久性损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在 [建议工作条件](#) 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 接近 VIN 引脚的绝对最大额定值可能会导致 PH 引脚上的电压超过绝对最大额定值。

### 6.2 ESD 额定值

		值	单位
V <sub>(ESD)</sub>	静电放电		V
	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	±2000	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	±1500	

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 6.3 建议工作条件

		最小值	最大值	单位
V <sub>I</sub>	输入电压范围	5.5	36	V
T <sub>J</sub>	工作结温	-40	125	°C

### 6.4 热性能信息

热指标 <sup>(1) (2) (3)</sup>		TPS5450		单位
		DDA		
		8 引脚		
R <sub>θJA</sub>	结至环境热阻 ( 定制电路板 ) <sup>(4)</sup>	30		°C/W
R <sub>θJA</sub>	结至环境热阻 ( 标准电路板 )	42.3		
ψ <sub>JT</sub>	结至顶部特征参数	4.9		
ψ <sub>JB</sub>	结至电路板特征参数	20.7		
R <sub>θJC(top)</sub>	结至外壳 ( 顶部 ) 热阻	46.4		
R <sub>θJC(bot)</sub>	结至外壳 ( 底部 ) 热阻	0.8		
R <sub>θJB</sub>	结至电路板热阻	20.8		

- (1) 有关新旧热指标的更多信息，请参阅 IC 封装热指标应用报告，[SPRA953](#)。
- (2) 过流保护可以限制最大功率耗散
- (3) 特定环境温度 T<sub>A</sub> 下的额定功率应在结温为 125°C 时确定。在这一点，失真开始大幅增加。最终 PCB 的热管理应该力求将结温保持在 125°C 或以下，以获得最佳性能和长期可靠性。请参阅 [节 10.3](#)，了解更多信息。
- (4) 测试板条件：

- a. 2 英寸 x 1.85 英寸, 4 层, 厚度 : 0.062 英寸 ( 1.57 毫米 )。
- b. 位于 PCB 顶部上的 2oz 铜走线
- c. 2 个内部层和底部层上的 2oz 铜接地平面
- d. 位于器件封装下方的 4 个散热过孔 (10mil)

## 6.5 电气特性

$T_J = -40^{\circ}\text{C}$  至  $125^{\circ}\text{C}$ ,  $V_{IN} = 5.5\text{V} - 36\text{V}$  (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
<b>电源电压 (VIN 引脚)</b>					
$I_Q$ 静态电流	$V_{SENSE} = 2\text{V}$ , 未切换, PH 引脚开路		3	4.4	mA
	关断, $EN_A = 0\text{V}$		18	50	$\mu\text{A}$
<b>欠压锁定 (UVLO)</b>					
启动阈值电压, UVLO			5.3	5.5	V
迟滞电压, UVLO			330		mV
<b>电压基准</b>					
电压基准精度	$T_J = 25^{\circ}\text{C}$	1.202	1.221	1.239	V
	$I_O = 0\text{A} - 5\text{A}$	1.196	1.221	1.245	
<b>振荡器</b>					
内部设定自由运行频率		400	500	600	kHz
最短可控导通时间			150	200	ns
最大占空比		87%	89%		
<b>使能 (EN_A 引脚)</b>					
启动阈值电压, EN_A				1.3	V
停止阈值电压, EN_A		0.5			V
迟滞电压, EN_A			450		mV
内部慢启动时间 (0~100%)		6.6	8	10	ms
<b>电流限制</b>					
电流限制		6.0	7.5	9.0	A
电流限制断续时间		13	16	20	ms
<b>热关断</b>					
热关断跳变点		135	162		$^{\circ}\text{C}$
热关断迟滞			14		$^{\circ}\text{C}$
<b>输出 MOSFET</b>					
$r_{DS(on)}$ 高侧电源 MOSFET 开关	$V_{IN} = 5.5\text{V}$		150		$\text{m}\Omega$
			110	230	

## 6.6 典型特性

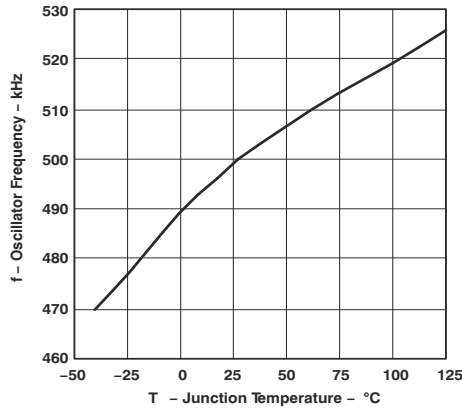


图 6-1. 振荡器频率与结温间的关系

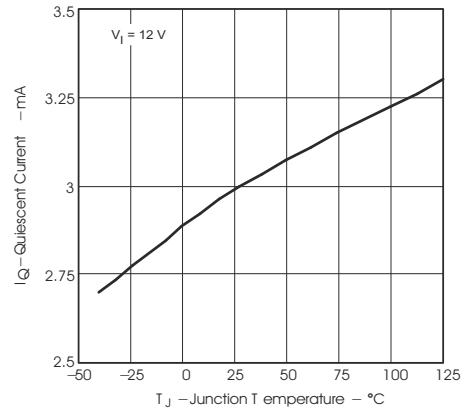


图 6-2. 非开关静态电流与结温间的关系

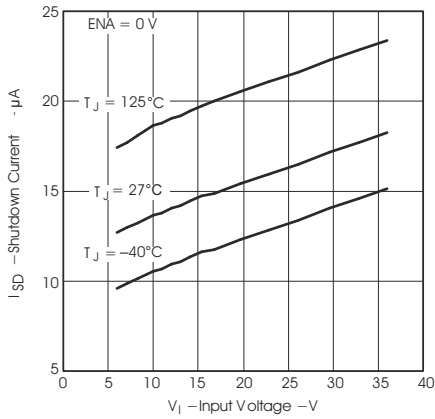


图 6-3. 关断静态电流与输入电压间的关系

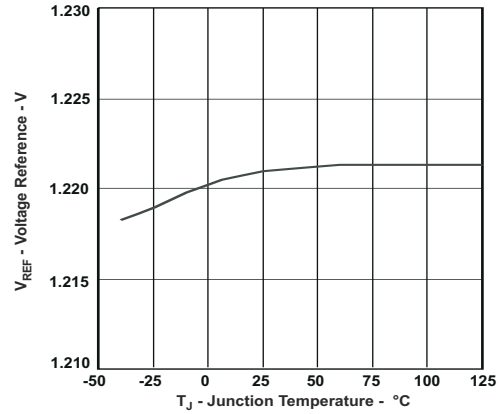


图 6-4. 电压基准与结温间的关系

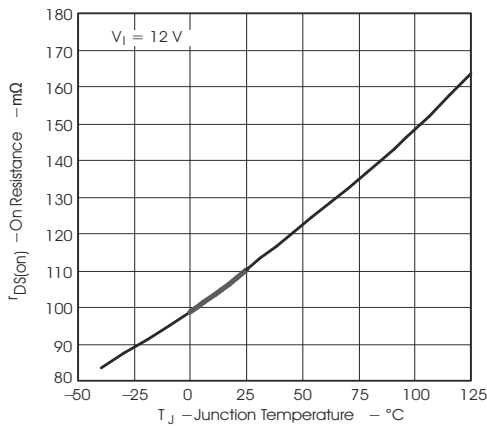


图 6-5. 导通电阻与结温间的关系

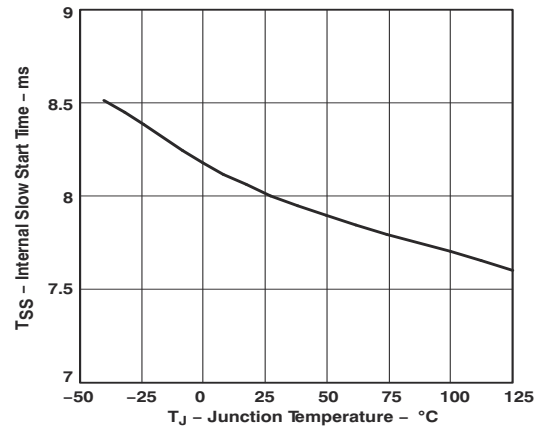


图 6-6. 内部慢启动时间与结温间的关系

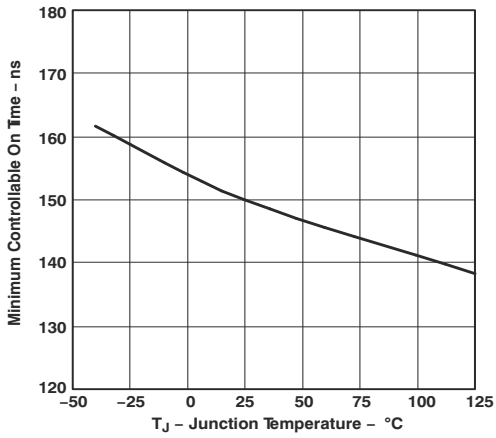


图 6-7. 最短可控导通时间与结温间的关系

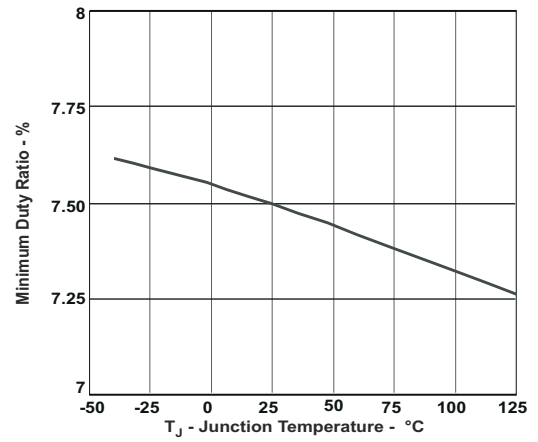


图 6-8. 最小可控占空比与结温间的关系





### 7.3.2 电压基准

电压基准系统通过调节温度稳定的带隙电路的输出来生成精确的基准信号。在生产测试期间将带隙和调节电路修整为在室温下输出为 1.221V。

### 7.3.3 使能 (ENA) 和内部慢启动

ENA 引脚提供稳压器的电气开/关控制功能。一旦 ENA 引脚电压超过阈值电压，稳压器开始工作，且内部慢启动开始斜升。如果 ENA 引脚电压被拉至阈值电压以下，稳压器停止切换且内部慢启动复位。将引脚接地或连接到任何低于 0.5V 的电压将禁用稳压器，并激活关断模式。在关断模式下，TPS5450 的静态电流通常为 18μA。

ENA 引脚具备一个内部上拉电流源，从而允许用户将 ENA 引脚悬空。如果应用需要控制 ENA 引脚，可使用漏极开路或集电极开路输出逻辑与该引脚连接。为了限制启动时的浪涌电流，使用内部慢启动电路将基准电压从 0V 线性上升至其最终值。内部慢启动时间通常为 8ms。

### 7.3.4 欠压锁定 (UVLO)

TPS5450 包括了 UVLO 电路以在 VIN (输入电压) 低于 UVLO 启动电压阈值时，器件保持禁用。在上电期间，内部电路保持非活动状态，内部慢启动接地，直至 VIN 超过 UVLO 启动阈值电压。一旦达到 UVLO 启动阈值电压，释放内部慢启动，器件开始启动。器件保持工作，直至 VIN 降至低于 UVLO 停止阈值电压。UVLO 比较器中的典型迟滞为 330mV。

### 7.3.5 升压电容器 (BOOT)

在 BOOT 引脚和 PH 引脚之间连接一个 0.01 μF、低 ESR 陶瓷电容。此电容器为高侧 MOSFET 提供栅极驱动电压。由于 X7R 或 X5R 等级的电介质值在不同温度下很稳定，因此建议使用它们。

### 7.3.6 输出反馈 (VSENSE) 和内部补偿

通过将外部电阻分压器网络的中心点电压反馈回 VSENSE 引脚来设置稳压器的输出电压。在稳定工作时，VSENSE 引脚电压应等于电压基准 1.221V。

TPS5450 实现了内部补偿以简化稳压器设计。由于 TPS5450 使用电压模式控制，因此在芯片上设计了 3 类补偿网络，以提供高交叉频率和高相位裕度，从而实现良好的稳定性。有关更多详细信息，请参阅 [图 8.2.2.9.2](#)。

### 7.3.7 电压前馈

不管输入电压有任何变化，内部电压前馈始终提供恒定的直流功率级增益。这大大简化了稳定性分析和改进了瞬态响应。电压前馈使峰值斜坡电压与输入电压成反比变化，从而使调制器和功率级增益在前馈增益下保持不变，即

$$\text{Feed Forward Gain} = \frac{V_{IN}}{\text{Ramp}_{pk-pk}} \quad (1)$$

TPS5450 的典型前馈增益为 25。

### 7.3.8 脉宽调制 (PWM) 控制

稳压器采用固定频率脉宽调制 (PWM) 控制方法。首先，通过高增益误差放大器和补偿网络将反馈电压 (VSENSE 引脚电压) 与恒定电压基准进行比较，以便生成误差电压。然后，通过 PWM 比较器将误差电压与斜坡电压进行比较。通过这种方式，误差电压幅度转换为脉冲宽度，即占空比。最后，PWM 输出馈送到栅极驱动电路以控制高侧 MOSFET 的导通时间。

### 7.3.9 过流限制

通过检测高侧 MOSFET 的漏源电压来实现过流限制。然后将漏源电压与表示过流阈值限制的电压电平进行比较。如果漏源电压超过过流阈值限制值，则过流指示器设置为 true (真)。在每个周期开始时的前沿消隐时间内，系统将忽略过流指示器，以避免任何开启噪声干扰。

一旦过流指示器设置为 **true** (真), 就会触发过流限制。在传播延迟之后, 高侧 MOSFET 在周期的剩余时间内关闭。过流限制模式称为逐周期电流限制。

有时在短路等严重过载情况下, 使用逐周期电流限制仍可能会发生过流失控。使用第二种电流限制模式, 即断续模式过流限制。在断续模式过流限制期间, 电压基准接地, 且高侧 MOSFET 在断续时间内关闭。一旦断续时间结束, 稳压器在慢启动电路的控制下重新启动。

### 7.3.10 过压保护

TPS5450 具有过压保护 (OVP) 电路, 当其从输出故障状态恢复时, 可以最大限度地减少电压过冲。OVP 电路包括一个过压比较器, 用于比较 **VSENSE** 引脚电压和  $112.5\% \times VREF$  的阈值。一旦 **VSENSE** 引脚电压高于阈值, 高侧 MOSFET 将被强制关闭。在 **VSENSE** 引脚电压降至低于阈值时, 高侧 MOSFET 将被重新启用。

### 7.3.11 热关断

TPS5450 使用内部热关断电路防止自身过热。如果结温超过热关断跳变点, 则电压基准会接地且高侧 MOSFET 关闭。当结温降至低于热关断跳变点  $14^{\circ}\text{C}$  时, 器件会在慢启动电路的控制下自动重启。

## 7.4 器件功能模式

### 7.4.1 在最低输入电压附近工作

建议器件在输入电压高于  $5.5\text{V}$  时工作。典型的 **VIN UVLO** 阈值为  $5.3\text{V}$ , 且该器件可在输入电压低至 **UVLO** 电压下工作。当输入电压低于实际 **UVLO** 电压时, 该器件将不再切换。如果 **EN** 悬空或外部上拉至大于  $1.3\text{V}$ , 则当  $V_{(VIN)}$  超出 **UVLO** 阈值时, 器件将变为活动状态。启用开关, 且慢启动序列随之启动。在内部慢启动期间, TPS5450 器件开始将基准电压从  $0\text{V}$  线性上升至其最终值。

### 7.4.2 通过 **ENA** 控制工作

使能启动阈值电压最大为  $1.3\text{V}$ 。即使 **VIN** 高于其 **UVLO** 阈值, 当 **ENA** 保持在  $0.5\text{V}$  的最小停止阈值电压以下时, 器件被禁用, 切换被抑制。这种状态下, **IC** 静态电流有所减少。如果 **EN** 电压升至高于阈值, 同时 **VIN** 高于其 **UVLO** 阈值, 则该器件变为活动状态。启用切换, 且慢启动序列随之启动。在内部慢启动期间, TPS5450 器件开始将基准电压从  $0\text{V}$  线性上升至其最终值。

## 8 应用和实现

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 8.1 应用信息

TPS5450 器件是一款具有集成高侧 MOSFET 的 36V、5A 降压稳压器。此器件通常用于将较高的直流电压转换为较低的直流电压，其最大可用输出电流为 5A。示例应用为：高密度负载点稳压器、LCD 显示屏和等离子显示屏、电池充电器，以及 12V 和 24V 分布式电源系统。按照以下设计过程为 TPS5450 器件选择元件值。此过程说明了高频开关稳压器的设计。

### 8.2 典型应用

图 8-1 显示了典型 TPS5450 应用的原理图。在额定输出电压为 5V 时，TPS5450 可以提供高达 5A 的输出电流。为了获得适当的热性能，器件下方裸露的 PowerPAD 必须焊接至印刷电路板上。

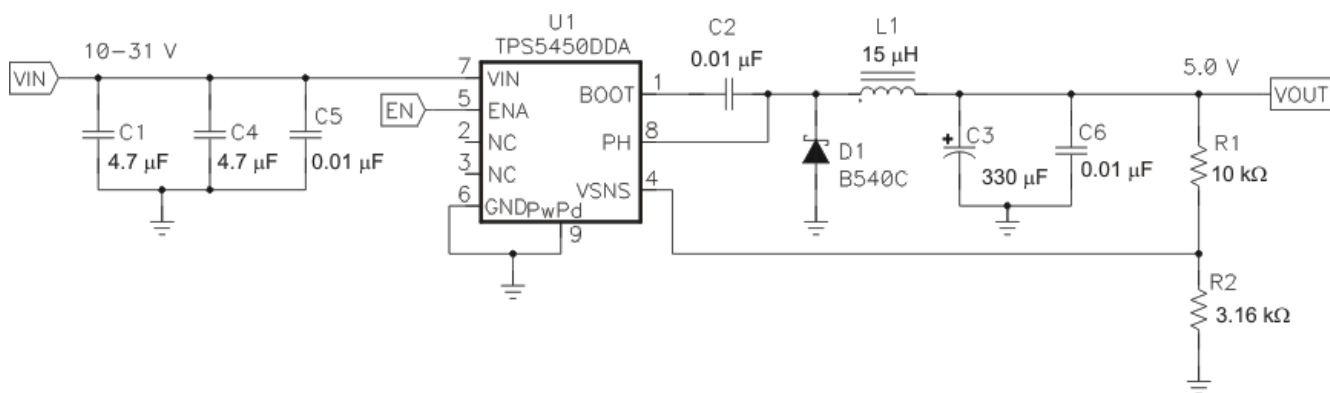


图 8-1. 应用电路，12V 至 5.0V

#### 8.2.1 设计要求

在开始设计过程之前，必须先确定几个参数。这些要求通常在系统层面确定。这个示例按照以下已知参数进行设计：

表 8-1. 设计参数

设计参数 <sup>(1)</sup>	示例值
输入电压范围	10V 至 31V
输出电压	5V
输入纹波电压	400mV
输出纹波电压	30mV
输出电流额定值	5A
工作频率	500kHz

(1) 作为附加约束，该设计设置为小尺寸和低元件高度。

#### 8.2.2 详细设计过程

以下设计过程可用于为 TPS5450 选择元件值。或者，使用 WEBENCH 软件生成完整设计。WEBENCH 软件采用迭代设计过程，并在生成设计时访问全面的元件数据库。本部分简要讨论了设计过程。

##### 8.2.2.1 开关频率

TPS5450 的开关频率在内部设置为 500kHz。无法调整开关频率。

### 8.2.2.2 输出电压设定

TPS5450 的输出电压通过由输出到 VSENSE 引脚的电阻分压器 ( R1 和 R2 ) 来设置。使用 [方程式 2](#) 计算在输出电压为 5V 时的 R2 电阻值：

$$R2 = \frac{R1 \times 1.221}{V_{OUT} - 1.221} \quad (2)$$

对于任何 TPS5450 设计，R1 值均从 10kΩ 开始。对于最接近但至少为 5V 的输出电压，R2 为 3.16kΩ。

### 8.2.2.3 输入电容器

TPS5450 需要一个输入去耦电容器，并且根据应用需要一个大容量输入电容器。建议的最小去耦电容器为 4.7 μF。需要高质量陶瓷型 X5R 或 X7R。对于某些应用，只要不超过输入电压和电流纹波的额定值，可以使用较小值的去耦电容器。额定电压必须大于最大输入电压，包括纹波。

输入纹波电压可以通过 [方程式 3](#) 估算得出：

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{sw}} = I_{OUT(MAX)} \times ESR_{MAX} \quad (3)$$

其中

- $I_{OUT(MAX)}$  为最大负载电流
- $f_{sw}$  是开关频率
- $C_{IN}$  为输入电容器值
- $ESR_{MAX}$  为输入电容器的最大串联电阻

对于此设计，输入电容由两个并联的 4.7 μF 电容器 C1 和 C4 组成。另外还使用了一个额外的高频率旁路电容器 C5。

除此之外，还需要检查最大 RMS 纹波电流。在最坏的情况下，可以通过 [方程式 4](#) 估算得出此值：

$$I_{CIN} = \frac{I_{OUT(MAX)}}{2} \quad (4)$$

在这种情况下，输入纹波电压将为 281mV，RMS 纹波电流将为 2.5A。输入电容器两端的最大电压将为  $V_{IN(MAX)} + \Delta V_{IN}/2$ 。所选输入去耦电容器的额定电压为 50V，每个纹波电流容量大于 2.5A，提供了足够的裕量。重要的是，在任何情况下都不得超过电压和电流的最大额定值。

此外可能需要一些大容量电容，尤其是当 TPS5450 电路位于距离输入电压源约 2 英寸的范围内。此电容器的值并不重要，但其额定值也应能够应对包含纹波电压在内的最大输入电压，并应能够对输出进行滤波，以使输入纹波电压是可以接受的。

### 8.2.2.4 输出滤波器元件

需要为输出滤波器选择两个元件 L1 和 C2。由于 TPS5450 是内部补偿器件，因此可以支持有限范围的过滤器元件类型和值。

### 8.2.2.5 电感器选择

如需计算输出电感器的最小值，请使用 [方程式 5](#)：

$$L_{MIN} = \frac{V_{OUT(MAX)} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times F_{SW(MIN)}} \quad (5)$$

$K_{IND}$  是一个系数，表示电感纹波电流大小与最大输出电流之比。在确定电感器中的纹波电流大小时，需要考虑三件事：峰峰值纹波电流影响输出纹波电压的幅度，纹波电流影响开关电流的峰值，纹波电流量确定电路何时不连续。对于使用 TPS5450 的设计， $K_{IND}$  为 0.2 至 0.3 时会产生良好的效果。当与适当的输出电容器配合使用时，可以获得低输出纹波电压，峰值开关电流将远低于电流限制设定点，并且在不连续工作之前可以获得相对较低的负载电流。

在本设计示例中，使用  $K_{IND} = 0.2$ ，计算出最小电感值为  $10.4\mu\text{H}$ 。此设计中使用的标准值更高，为  $15\mu\text{H}$ 。

对于输出滤波电感器而言，必须确保不超出 RMS 电流和饱和电流的额定值。RMS 电感器电流可以在 [方程式 6](#) 中找到。

$$I_{L(RMS)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times \left( \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{SW(MIN)}} \right)^2} \quad (6)$$

峰值电感器电流可以使用 [方程式 7](#) 来确定：

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{1.6 \times V_{IN(MAX)} \times L_{OUT} \times F_{SW(MIN)}} \quad (7)$$

对于本设计，RMS 电感器电流为  $5.004\text{A}$ ，峰值电感器电流为  $5.34\text{A}$ 。所选的电感器为 Sumida CDRH1127/LD-150  $15\mu\text{H}$ 。饱和电流和 RMS 电流的最小额定值均为  $5.65\text{A}$ 。通常，与 TPS5450 配合使用的电感器值的范围为  $10\mu\text{H}$  至  $100\mu\text{H}$ 。

### 8.2.2.6 电容器选型

输出电容器的重要设计因素是直流电压额定值、纹波电流额定值和等效串联电阻 (ESR)。不得超过直流电压和纹波电流额定值。ESR 很重要，因为其与电感器纹波电流一起决定输出纹波电压的大小。输出电容器的实际值并不重要，但确实存在一些实际限制。考虑设计所需的闭环交叉频率与输出滤波器 LC 转角频率间的关系。由于采用内部补偿设计，闭环交叉频率最好保持在  $3\text{kHz}$  至  $30\text{kHz}$  的范围内，因为这个频率范围有足够的相位升压以允许实现稳定工作。对于此设计示例，假设所需的闭环交叉频率将在  $2590\text{Hz}$  至  $24\text{kHz}$  之间，同时低于输出电容的 ESR 零点。在这些条件下，闭环交叉频率与 LC 转角频率的关系如下：

$$f_{CO} = \frac{f_{LC}^2}{85 V_{OUT}} \quad (8)$$

且输出滤波器所需的输出电容器值为：

$$C_{OUT} = \frac{1}{3357 \times L_{OUT} \times f_{CO} \times V_{OUT}} \quad (9)$$

对于所需的  $12\text{kHz}$  交叉频率和  $15\mu\text{H}$  电感器，输出电容器的计算值为  $330\mu\text{F}$ 。应选择电容器类型，以便使 ESR 零点高于环路交叉频率。最大 ESR 应为：

$$ESR_{MAX} = \frac{1}{2\pi \times C_{OUT} \times f_{CO}} \quad (10)$$

输出电容器的最大 ESR 也决定了初始设计参数中指定的输出纹波量。输出纹波电压是电感器纹波电流乘以输出滤波器的 ESR。核实电容器数据表中列出的最大指定 ESR 是否产生可接受的输出纹波电压：

$$V_{PP}(\text{MAX}) = \frac{ESR_{\text{MAX}} \times V_{\text{OUT}} \times (V_{\text{IN}(\text{MAX})} - V_{\text{OUT}})}{N_{\text{C}} \times V_{\text{IN}(\text{MAX})} \times L_{\text{OUT}} \times F_{\text{SW}}} \quad (11)$$

其中

- $\Delta V_{PP}$  是所需的峰峰值输出纹波。
- $N_{\text{C}}$  是并联输出电容器的数量。
- $F_{\text{SW}}$  是开关频率。

在本设计示例中，为 C3 选择了单个 330  $\mu\text{F}$  输出电容器。计算出的 RMS 纹波电流为 143mA，所需的最大 ESR 为 40m $\Omega$ 。Sanyo Poscap 10TPB330M 电容器可以满足这些要求，其额定值为 10V，最大 ESR 为 35m $\Omega$ ，额定纹波电流为 3A。在此设计中还使用了一个额外的 0.1  $\mu\text{F}$  小陶瓷旁路电容器 C6。

还应考虑输出电容器的最小 ESR。为了获得良好的相位裕度，当 ESR 处于最小值时，ESR 零点不应太高于 24kHz 和 54kHz 的内部补偿极点。

所选输出电容器的额定电压也必须大于所需的输出电压加上纹波电压的一半。还必须包括任何降额。输出电容器中的最大 RMS 纹波电流计算公式如下：[方程式 12](#)

$$I_{\text{COUT}(\text{RMS})} = \frac{1}{\sqrt{12}} \times \left( \frac{V_{\text{OUT}} \times (V_{\text{IN}(\text{MAX})} - V_{\text{OUT}})}{V_{\text{IN}(\text{MAX})} \times L_{\text{OUT}} \times F_{\text{SW}} \times N_{\text{C}}} \right) \quad (12)$$

其中

- $N_{\text{C}}$  是并联输出电容器的数量。
- $f_{\text{SW}}$  是开关频率。

根据应用的需求，TPS5450 可以使用其他类型的电容器。

### 8.2.2.7 启动电容器

启动电容器应为 0.01  $\mu\text{F}$ 。

### 8.2.2.8 环流二极管

TPS5450 设计为在 PH 和 GND 之间使用一个外部环流二极管来工作。所选二极管必须满足应用的绝对最大额定值：反向电压必须高于 PH 引脚的最大电压，即  $V_{\text{INMAX}} + 0.5\text{V}$ 。峰值电流必须大于  $I_{\text{OUTMAX}}$  加上峰峰值电感电流的一半。为了获得更高的效率，正向压降应很小。值得注意的是，环流二极管导通时间通常比高侧 FET 的导通时间长，因此，注重二极管参数的细节可以显著提高整体效率。此外，核实所选器件是否能够消散功率损耗。对于此设计，选择一个反向电压为 40V、正向电流为 5A 且正向压降为 0.5V 的二极管，包括 B540A。

### 8.2.2.9 高级信息

#### 8.2.2.9.1 输出电压限制

由于 TPS5450 采用特殊内部设计，对于任何给定的输入电压，都有输出电压上限和下限。输出电压设定点的上限受最大占空比 87% 的限制，计算公式如下：

$$V_{\text{OUTMAX}} = 0.87 \times \left( (V_{\text{INMIN}} - I_{\text{OMAX}} \times 0.230) + V_{\text{D}} \right) - (I_{\text{OMAX}} \times R_{\text{L}}) - V_{\text{D}} \quad (13)$$

其中

- $V_{\text{INMIN}}$  = 最小输入电压
- $I_{\text{OMAX}}$  = 最大负载电流
- $V_{\text{D}}$  = 环流二极管正向电压。
- $R_{\text{L}}$  = 输出电感器串联电阻。

此公式假定内部高侧 FET 的电阻为最大值。

下限受到可高达 200ns 的最小可控导通时间的限制。给定输入电压和最小负载电流的近似最小输出电压计算公式如下：

$$V_{\text{OUTMIN}} = 0.12 \times \left( (V_{\text{INMAX}} - I_{\text{OMIN}} \times 0.110) + V_{\text{D}} \right) - (I_{\text{OMIN}} \times R_{\text{L}}) - V_{\text{D}} \quad (14)$$

其中

- $V_{\text{INMAX}}$  = 最大输入电压
- $I_{\text{OMIN}}$  = 最小负载电流
- $V_{\text{D}}$  = 环流二极管正向电压。
- $R_{\text{L}}$  = 输出电感器串联电阻。

此公式假定高侧 FET 的导通电阻为额定电阻，并考虑到工作频率设定点的最坏情况变化。应仔细检查任何在器件运行极限工作的设计，以确保正常工作。

#### 8.2.2.9.2 内部补偿网络

示例电路中给出的设计公式可用于生成使用 TPS5450 的电路。这些设计基于某些假设，并倾向于总是在有限的 ESR 值范围内选择输出电容器。如果需要不同类型的电容器，可以在 TPS5450 内部补偿中安装一个。方程式 15 给出了内部电压模式 III 型补偿网络的标称频率响应：

$$H(s) = \frac{\left(1 + \frac{s}{2\pi \times Fz1}\right) \times \left(1 + \frac{s}{2\pi \times Fz2}\right)}{\left(\frac{s}{2\pi \times Fp0}\right) \times \left(1 + \frac{s}{2\pi \times Fp1}\right) \times \left(1 + \frac{s}{2\pi \times Fp2}\right) \times \left(1 + \frac{s}{2\pi \times Fp3}\right)} \quad (15)$$

其中

- $Fp0 = 2165\text{Hz}$ ,  $Fz1 = 2170\text{Hz}$ ,  $Fz2 = 2590\text{Hz}$
- $Fp1 = 24\text{kHz}$ ,  $Fp2 = 54\text{kHz}$ ,  $Fp3 = 440\text{kHz}$
- $Fp3$  表示不理想的寄生效应。

利用这些信息以及期望的输出电压、前馈增益和输出滤波器的特性，可以推导出闭环传递函数。



### 8.2.3 应用曲线

性能图 (图 8-2 至 图 8-8) 适用于图 8-1 中的电路。除非另有说明, 否则  $T_A = 25^\circ\text{C}$ 。

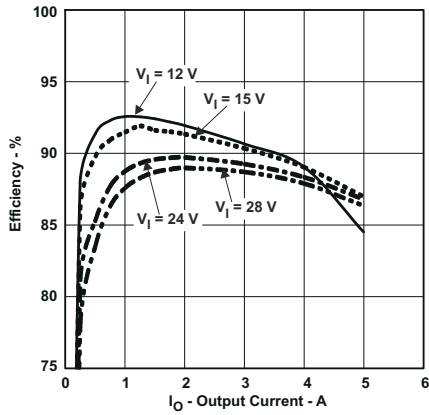


图 8-2. 效率与输出电流间的关系

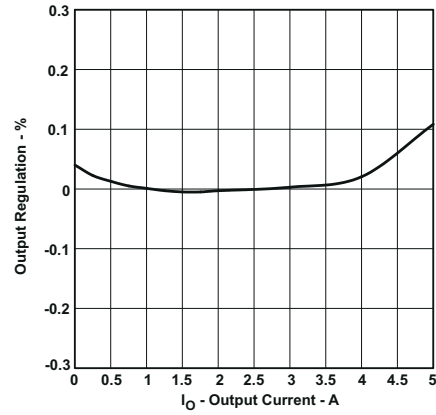


图 8-3. 输出调整百分比与输出电流间的关系

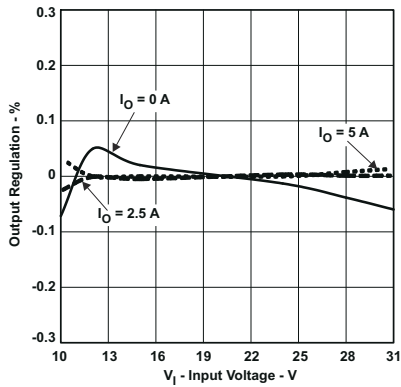


图 8-4. 输出调整百分比与输入电压间的关系

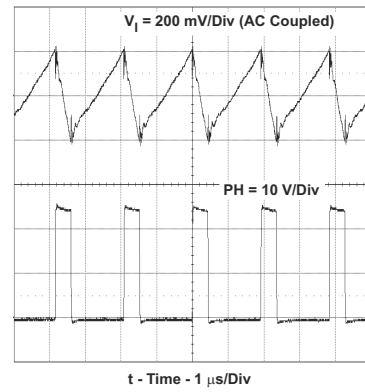


图 8-5. 输入电压纹波和 PH 节点,  $I_O = 5\text{A}$ 。

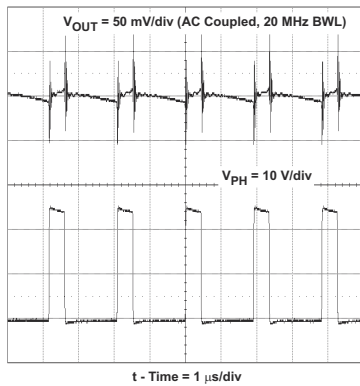


图 8-6. 输出电压纹波和 PH 节点,  $I_O = 5\text{A}$

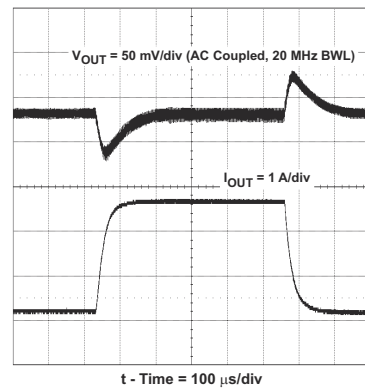


图 8-7. 瞬态响应,  $I_O$  步进 1.25A 至 3.75A。

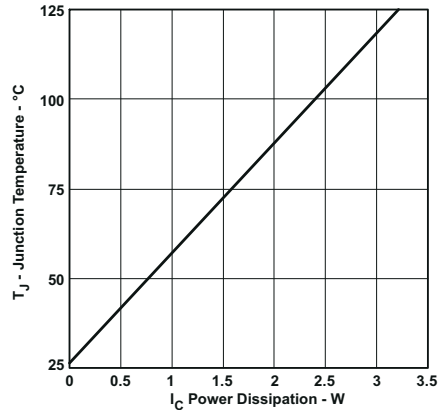


图 8-8. TPS5450 功率耗散与结温间的关系。

## 9 电源相关建议

该器件被设计为 5.5V 至 36V 的输入电源电压范围内工作。此输入电源应经过良好调节。如果输入电源距离 TPS5450 转换器超过几英寸，那么除了陶瓷旁路电容器之外可能还需要额外的大容量电容。通常，选择电容值为 100 $\mu$ F 的电解电容器。

## 10 布局

### 10.1 布局指南

将低 ESR 陶瓷旁路电容器连接到 VIN 引脚。注意尽可能缩小由旁路电容连接电路、VIN 引脚和 TPS5450 接地引脚形成的回路面积。最好的方法是将顶层接地区域从器件邻近区域下方延伸到 VIN 走线，并将旁路电容器尽可能靠近 VIN 引脚放置。建议的最小旁路电容为具有 X5R 或 X7R 电介质的 4.7  $\mu$ F 陶瓷电容器。

IC 正下方的顶层应该有一个接地区域，有一个用于连接到 PowerPAD 的外露区。使用过孔将该接地区域连接至任何内部接地平面。在输入和输出滤波电容器的接地侧也使用附加过孔。通过将 GND 引脚连接至器件下方的接地区域，从而将其连接至 PCB 接地，如下所示。

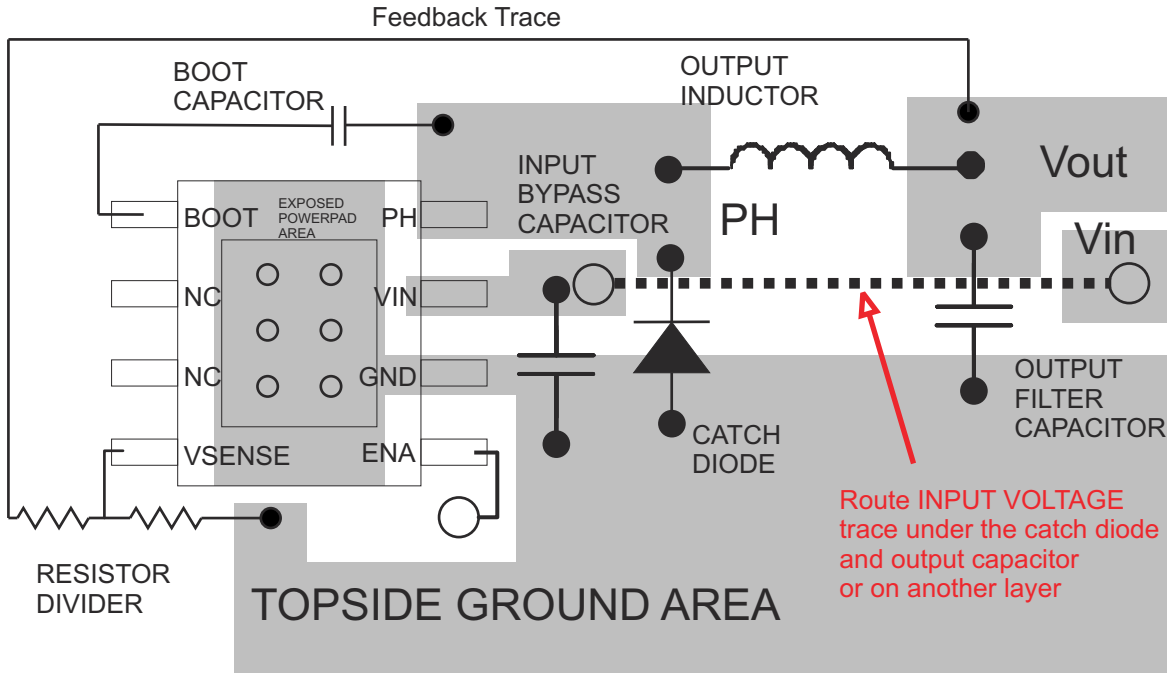
PH 引脚应连接至输出电感器、环流二极管和启动电容器。由于 PH 连接是开关节点，因此电感器应尽量靠近 PH 引脚放置，PCB 导体面积也应尽可能缩小，以避免电容过度耦合。环流二极管也应放置在靠近器件的位置，以尽量减小输出电流环路面积。在相节点和 BOOT 引脚之间连接启动电容器，如下所示。使启动电容器靠近 IC，并尽可能减小导体走线长度。所示的元件放置和连接工作良好，但其他连接走线也可能有效。

如图所示，在 VOUT 走线和 GND 之间连接输出滤波电容器。重要的是保持 PH 引脚、Lout、Cout 和 GND 形成的环路尽可能小。

使用电阻分压器网络将 VOUT 走线连接至 VSENSE 引脚，以设置输出电压。请勿将此走线布置得离 PH 走线太近。由于 IC 封装的大小和器件引脚排列，走线可能需要布置在输出电容器下方。或者，如果不希望在输出电容器下走线，也可以在交替层上进行布线。

如果使用如图 10-1 所示的接地方案，请使用连接到另一层的过孔连接到 ENA 引脚。

## 10.2 布局示例



○ Signal VIA

图 10-1. 设计布局

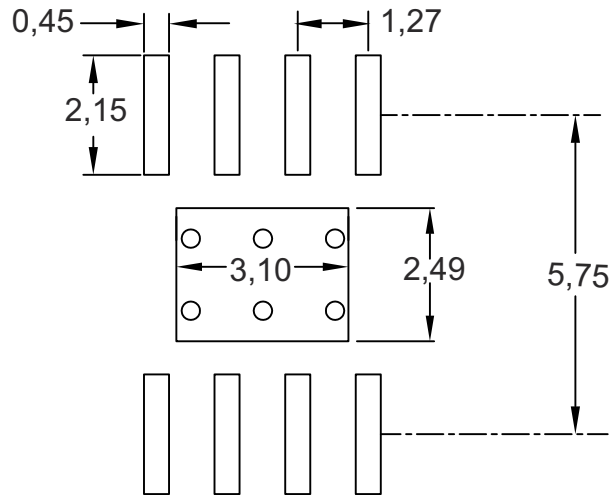


图 10-2. TPS5450 焊盘图案

### 10.3 热计算

以下公式显示了如何估算器件在连续导通模下的功率耗散。如果器件在轻负载下以不连续导通模式工作，则不应使用这些公式。

**导通损耗** :  $P_{con} = I_{OUT}^2 \times R_{DS(on)} \times V_{OUT}/V_{IN}$

**开关损耗** :  $P_{sw} = V_{IN} \times I_{OUT} \times 0.01$

**静态电流损耗** :  $P_q = V_{IN} \times 0.01$

**总损耗** :  $P_{tot} = P_{con} + P_{sw} + P_q$

**给定  $T_A$  → 估算结温** :  $T_J = T_A + R_{th} \times P_{tot}$

**给定  $T_{JMAX} = 125^\circ\text{C}$  → 估算最高环境温度**  $T_{AMAX} = T_{JMAX} - R_{th} \times P_{tot}$

## 11 器件和文档支持

### 11.1 器件支持

#### 11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

### 11.2 商标

PowerPAD™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 11.3 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

### 11.4 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

## 12 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，可对文档进行修订，恕不另行通知。有关此数据表的基于浏览器的版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS5450DDA	ACTIVE	SO PowerPAD	DDA	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDAG4	ACTIVE	SO PowerPAD	DDA	8	75	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDAR	ACTIVE	SO PowerPAD	DDA	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>
TPS5450DDARG4	ACTIVE	SO PowerPAD	DDA	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	5450	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPS5450 :**

- Automotive : [TPS5450-Q1](#)
- Enhanced Product : [TPS5450-EP](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

**TUBE**


\*All dimensions are nominal

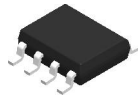
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS5450DDA	DDA	HSOIC	8	75	506.6	8	3940	4.32
TPS5450DDAG4	DDA	HSOIC	8	75	506.6	8	3940	4.32





Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

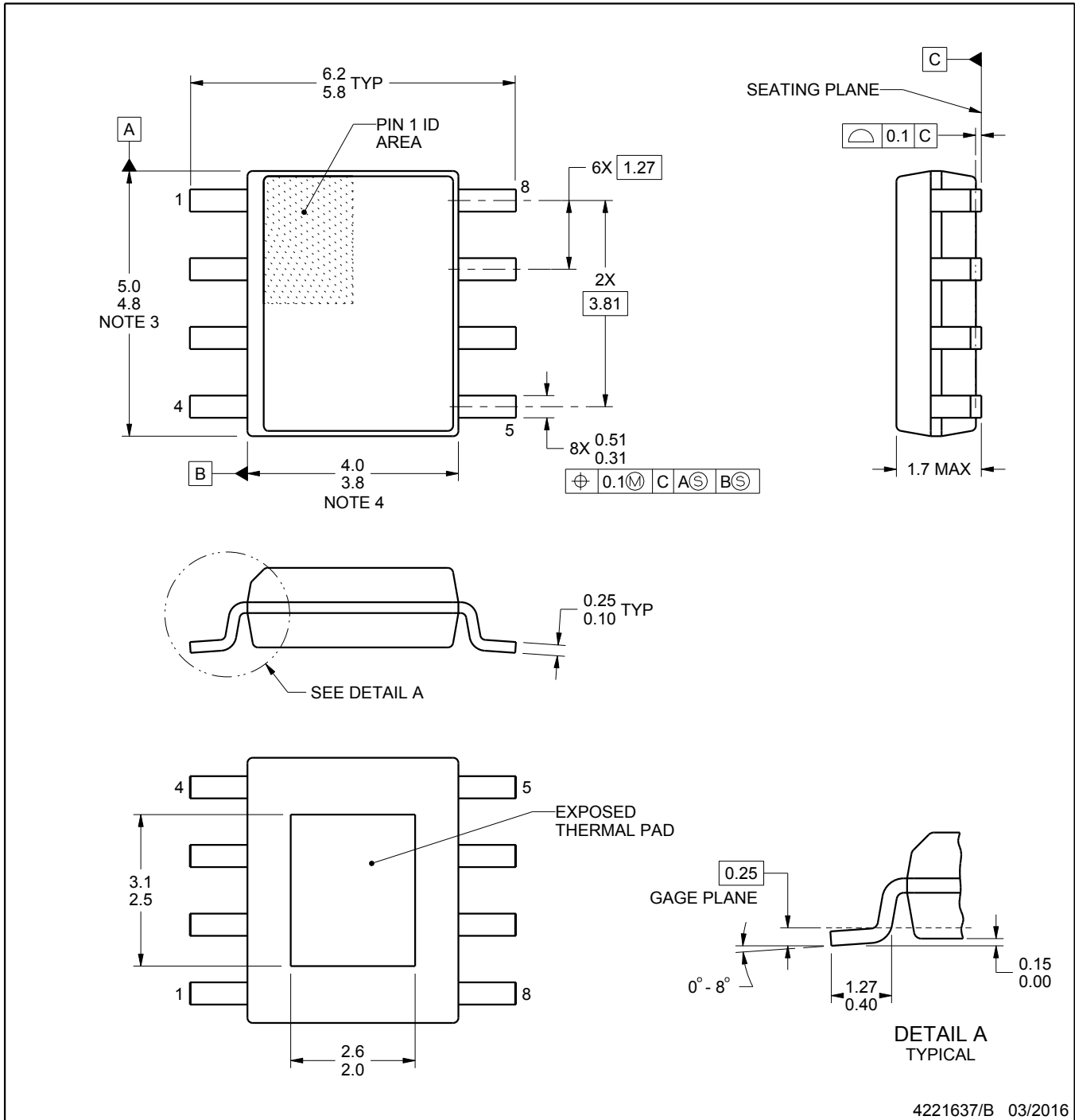
DDA0008J



# PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

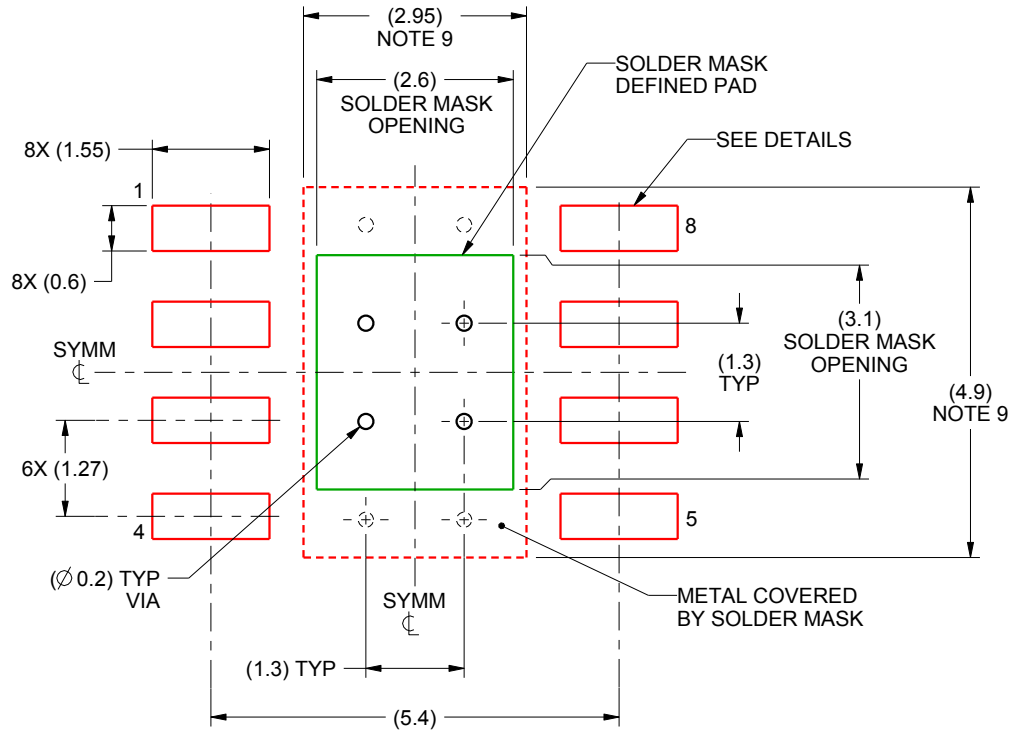
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

# EXAMPLE BOARD LAYOUT

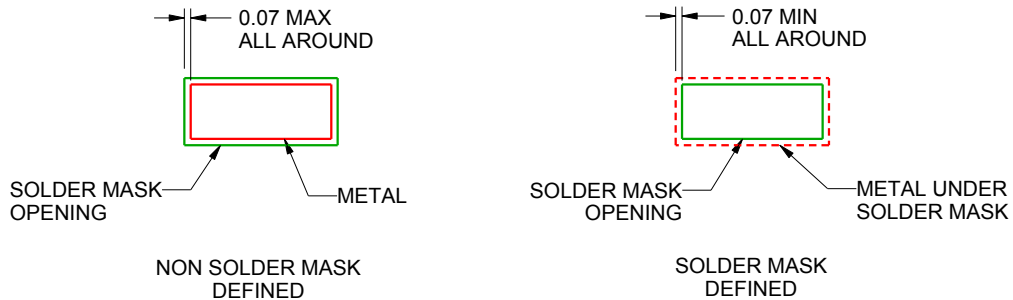
DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

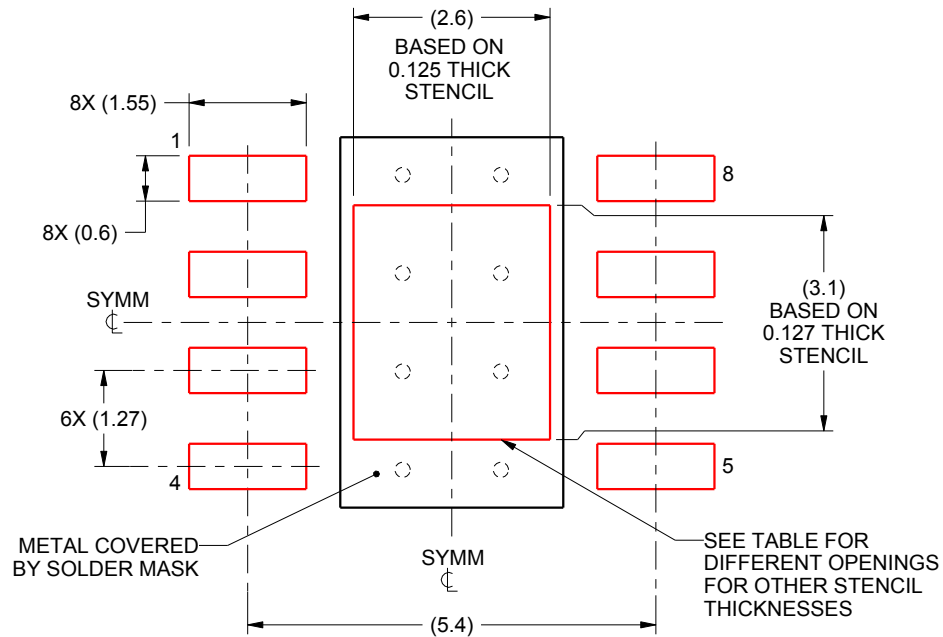
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
- 8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
- 9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
 EXPOSED PAD  
 100% PRINTED SOLDER COVERAGE BY AREA  
 SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

- 10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 11. Board assembly site may have different recommendations for stencil design.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司