

MSP430FR21xx, MSP430FR2000 混合信号微控制器

1 特性

- 嵌入式微控制器
 - 频率高达 16MHz 的 16 位精简指令集计算机 (RISC) 架构
 - 1.8V 至 3.6V 的宽电源电压范围 (最低电源电压受限于 SVS 电平, 请参阅 [SVS 规格](#))
- 经优化的低功耗模式 (3V)
 - 工作模式: 120 μ A/MHz
 - 待机
 - 具有 VLO 的 LPM3.5: 1 μ A
 - 实时时钟 (RTC) 计数器 (采用 32768Hz 晶体的 LPM3.5): 1 μ A
 - 关断 (LPM4.5): 34nA, 未使用 SVS
- 高性能模拟
 - 8 通道 10 位模数转换器 (ADC)
 - 集成温度传感器
 - 1.5V 的内部基准电压
 - 采样与保持 200kpsps
 - 增强型比较器 (eCOMP)
 - 集成 6 位 DAC 作为基准电压
 - 可编程迟滞
 - 可配置的高功率和低功率模式
- 低功耗铁电 RAM (FRAM)
 - 非易失性存储器容量高达 3.75KB
 - 内置错误修正码 (ECC)
 - 可配置的写保护
 - 对程序、常量和存储的统一存储
 - 耐写次数达 10^{15} 次
 - 抗辐射和非磁性
- 智能数字外设
 - 具有三个捕捉/比较寄存器的 16 位计时器 (Timer_B3)
 - 一个仅用作计数器的 16 位 RTC 计数器
 - 16 位循环冗余校验器 (CRC)
- 增强型串行通信
 - 增强型 USCI A (eUSCI_A) 支持 UART、IrDA 和 SPI
- 时钟系统 (CS)
 - 片上 32kHz RC 振荡器 (REFO)
 - 带有锁频环 (FLL) 的片上 16MHz 数控振荡器 (DCO)
 - 室温下的精度为 $\pm 1\%$ (具有片上基准)
 - 片上超低频 10kHz 振荡器 (VLO)
 - 片上高频调制振荡器 (MODOSC)
 - 外部 32kHz 晶振 (LFXT)
 - 可编程 MCLK 预分频器 (1 至 128)
 - 通过可编程预分频器 (1、2、4 或 8) 从 MCLK 获得的 SMCLK
- 通用输入/输出和引脚功能
 - 16 引脚封装有 12 个 I/O
 - 8 个中断引脚 (4 个 P1 引脚和 4 个 P2 引脚) 可将 MCU 从 LPM 唤醒
 - 所有 I/O 均为电容式触控 I/O
- 开发与软件 (另请参阅 [工具与软件](#))
 - 免费的专业开发环境
 - 开发套件
 - [MSP-TS430PW20](#)
 - [MSP-FET430U20](#)
 - [MSP-EXP430FR2311](#)
 - [MSP-EXP430FR4133](#)
- 系列成员 (另请参阅 [器件比较](#))
 - MSP430FR2111: 3.75KB 程序 FRAM, 1KB RAM
 - MSP430FR2110: 2KB 程序 FRAM, 1KB RAM
 - MSP430FR2100: 1KB 程序 FRAM, 512 字节 RAM
 - MSP430FR2000: 0.5KB 程序 FRAM, 512 字节 RAM
- 封装选项
 - 16 引脚: TSSOP (PW16)
 - 24 引脚: VQFN (RLL)

2 应用

- 电器电池组
- 烟雾和热量探测器
- 门窗传感器
- 照明传感器
- 电源监控
- 个人护理电子装置
- 便携式保健和健身设备



3 说明

MSP430FR2000 和 MSP430FR21xx 器件属于 MSP430™ 微控制器 (MCU) 超值系列检测产品组合。这款超低功耗, 低成本的 MCU 系列提供从 0.5KB 至 4KB 内存大小的 FRAM 统一存储器, 并具有多种封装选项, 包括 3mm×3mm 的小型 VQFN 封装。架构、FRAM 和集成外设与多种低功耗模式相结合, 针对在便携式和电池供电检测应用中延长电池寿命进行了优化。MSP430FR2000 和 MSP430FR21xx 器件为 8 位设计提供了迁移路径, 以便通过外设集成以及 FRAM 的数据记录和低功耗优势获得额外的特性和功能。此外, 使用 MSP430G2x 系列 MCU 可将现有设计迁移到 MSP430FR2000 和 MSP430FR21xx 系列, 以提高性能并利用 FRAM 的优点。

MSP430FR2000 和 MSP430FR21xx 系列 MCU 具有功能强大的 16 位 RISC CPU、16 位寄存器和一个有助于获得最大编码效率的常数发生器。数字控制振荡器 (DCO) 通常还可以让器件在不到 10μs 的时间内从低功耗模式唤醒至激活模式。此 MCU 的功能集可满足从电器电池包和电池监控到烟雾探测器和健身附件等各种应用的需求。

MSP 超低功耗 (ULP) FRAM 微控制器平台将独特的嵌入式 FRAM 和全面的超低功耗系统架构相结合, 从而使系统设计人员在低能耗条件下提升性能。FRAM 技术将 RAM 的低能耗快速写入、灵活性和耐用性与闪存的非易失性相结合。

MSP430FR2000 和 MSP430FR21x 系列 MCU 由一款广泛的硬件和软件生态系统进行支持, 提供参考设计和代码示例, 协助用户快速开展设计。开发套件包括 MSP-EXP430FR2311 和 MSP430FR4133 LaunchPad™ 开发套件以及 MSP-TS430PW20 20 引脚目标开发板。TI 还提供免费的 MSP430Ware™ 软件, 该软件以 Code Composer Studio™ IDE 桌面和云版本组件 (位于 TI Resource Explorer 中) 的形式提供。我们为 MSP430 MCU 提供广泛的在线配套资料 (例如通用示例系列、MSP Academy 培训), 也通过 TI E2E™ 支持论坛提供在线支持。

有关完整的模块说明, 请参阅 MSP430FR4xx 和 MSP430FR2xx 系列器件用户指南。

器件信息

器件型号 ⁽¹⁾	封装	封装尺寸 ⁽²⁾
MSP430FR2111IPW16	TSSOP (16)	5mm × 4.4mm
MSP430FR2110IPW16		
MSP430FR2100IPW16		
MSP430FR2000IPW16		
MSP430FR2111IRLL	VQFN (24)	3mm x 3mm
MSP430FR2110IRLL		
MSP430FR2100IRLL		
MSP430FR2000IRLL		

(1) 若要获得最新的产品、封装和订购信息, 请参阅节 12 中的封装选项附录, 或者访问德州仪器 (TI) 网站 www.ti.com.cn。

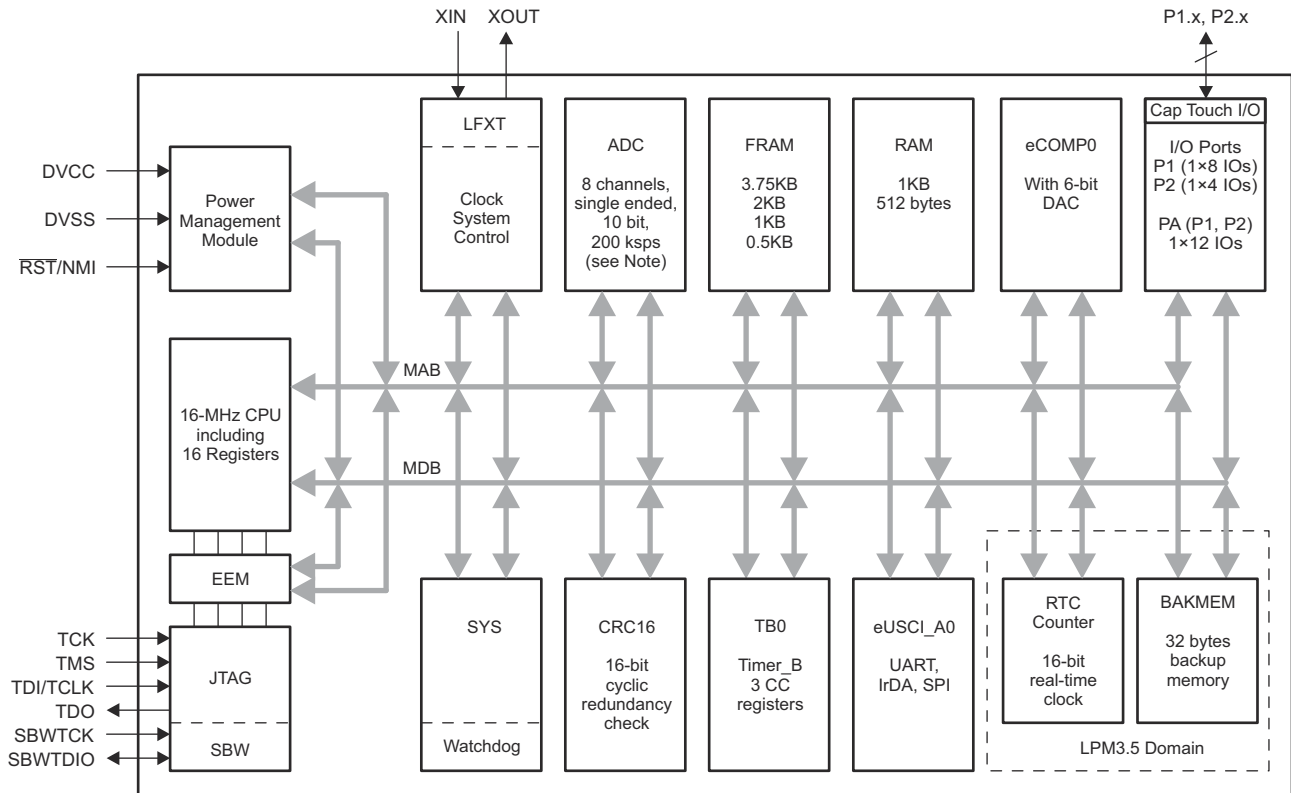
(2) 这里显示的尺寸为近似值。要获得包含误差值的封装尺寸, 请参阅机械数据 (节 12 中)。

CAUTION

系统级静电放电 (ESD) 保护必须符合器件级 ESD 规范, 以防发生电气过载或对数据或代码存储器造成干扰。如需更多信息, 请参阅 MSP430™ 系统级 ESD 注意事项。

4 功能方框图

图 4-1 给出了功能方框图。



注：ADC 在 MSP430FR2000 器件上不可用。

图 4-1. 功能方框图

- 该器件具有一对主电源 (DVCC 和 DVSS)，分别为数字和模拟模块供电。推荐的旁路电容和去耦电容分别为 $4.7 \mu\text{F}$ 至 $10 \mu\text{F}$ 和 $0.1 \mu\text{F}$ ，精度为 $\pm 5\%$ 。
- P1 的 4 个引脚和 P2 的 4 个引脚均具备引脚中断功能，可将 MCU 从所有低功耗模式 (LPM) 唤醒 (包括 LPM4、LPM3.5 和 LPM4.5)。
- Timer_B3 具有三个捕捉/比较寄存器。仅 CCR1 和 CCR2 从外部连接。CCR0 寄存器仅用于内部周期时序和中断生成。
- 在 LPM3.5 模式下，RTC 计数器与备用存储器可继续工作，而其余外设停止工作。
- 所有通用 I/O 均可配置为电容式触控 I/O。

内容

1 特性	1	8.12 时序和开关特性	19
2 应用	1	9 详细说明	38
3 说明	2	9.1 概述	38
4 功能方框图	3	9.2 CPU	38
5 修订历史记录	5	9.3 工作模式	38
6 器件比较	7	9.4 中断向量地址	40
6.1 相关产品	7	9.5 内存组织	41
7 终端配置和功能	8	9.6 引导加载程序 (BSL)	41
7.1 引脚图	8	9.7 JTAG 标准接口	41
7.2 引脚属性	9	9.8 Spy-Bi-Wire 接口 (SBW)	42
7.3 信号说明	11	9.9 FRAM	42
7.4 引脚复用	13	9.10 存储器保护	42
7.5 未使用引脚的连接	13	9.11 外设	42
7.6 缓冲类型	13	9.12 器件描述符 (TLV)	60
8 规格	14	9.13 标识	61
8.1 绝对最大额定值	14	10 应用、实现和布局	62
8.2 ESD 等级	14	10.1 器件连接和布局基本准则	62
8.3 建议运行条件	14	10.2 外设和接口的相关设计信息	65
8.4 工作模式下流入 V_{CC} 的电源电流 (不包括外部电 流)	15	10.3 典型应用	66
8.5 工作模式下每兆赫兹的电源电流	15	11 器件和文档支持	67
8.6 LPM0 低功耗模式下流入 V_{CC} 的电源电流 (不包 括外部电流)	15	11.1 开始	67
8.7 LPM3 和 LPM4 低功耗模式下流入 V_{CC} 的电源电 流 (不包括外部电流)	16	11.2 器件命名规则	67
8.8 LPMx.5 低功耗模式下流入 V_{CC} 的电源电流 (不 包括外部电流)	17	11.3 工具和软件	68
8.9 典型特性 - LPM 电源电流	18	11.4 文档支持	70
8.10 每个模块的电流消耗	19	11.5 支持资源	71
8.11 热阻特征	19	11.6 商标	71
		11.7 静电放电警告	71
		11.8 术语表	71
		12 机械、封装和可订购信息	72

5 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

从修订版本 D 更改为修订版本 E

Changes from DECEMBER 11, 2019 to JUNE 2, 2021	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 更新了 节 3 说明	2
• 更新了 节 6.1, 相关产品	7
• 在 节 8.12.5 VREF+ 内置基准 中添加了有关 1.5V 内部基准规格的注释.....	27
• 在 图 9-1 中为施密特触发使能添加了逆变器.....	56

从修订版本 C 更改为修订版本 D

Changes from AUGUST 30, 2018 to DECEMBER 10, 2019	Page
• 在 节 8.3 建议运行条件 中更改了以“如果电源电压的变化速率快于 0.2V/μs, 会触发 BOR 复位...”开头的注释.....	14
• 在 节 8.3 建议运行条件 中添加了以“TI 建议至 DVCC 引脚的电源不得超过限制...”开头的注释.....	14
• 在 节 8.3 建议运行条件 中添加了以“需要 ±20% 或更高的电容器容差...”开头的注释.....	14
• 向 节 8.12.3.1 XT1 晶体振荡器 (低频) 中添加了注释“请参阅 MSP430 32kHz 晶体振荡器, 了解有关晶体断面、布局 and 测试的详细信息”	21
• 在 节 8.12.3.1 XT1 晶体振荡器 (低频) 中更改了以“在两个端子上都需要外部电容器...”开头的注释.....	21
• 在 节 8.12.4.1 数字输入 中添加了 $t_{(int)}$ 参数.....	25
• 在 节 8.12.8.1 ADC, 电源和输入范围条件 中将参数符号从 R_I 更改为 $R_{I,MUX}$	32
• 在 节 8.12.8.1 ADC, 电源和输入范围条件 中更正了 $R_{I,MUX}$ 参数的测试条件.....	32
• 在 节 8.12.8.1 ADC, 电源和输入范围条件 中添加了 $R_{I,Misc}$ 典型值 34kΩ	32
• 在 节 8.12.8.2 ADC, 10 位时序参数 中为外部 ADCCLK 源添加了 $t_{CONVERT}$	32
• 在 节 8.12.8.2 ADC, 10 位时序参数 中为 R_I 添加了公式.....	32
• 在 节 8.12.8.2 ADC, 10 位时序参数 中添加了以“ $t_{Sample} = \ln(2^{n+1}) \times \tau$...”开头的注释.....	32
• 删除了 节 8.12.8.3 ADC, 10 位线性参数 中以“器件描述符结构...”开头的表注中的“±3°C”描述.....	33
• 在 节 9.11.8 计时器 (Timer0_B3) 中以“Timer0_B3 互连...”开头的描述中将位字段从 IRDSEL 更正为 IRDSSEL”	47
• 更正了 表 9-14 ADC 通道连接 中的 ADCINCH _x 列标题.....	48
• 在 表 9-26 端口 P1、P2 寄存器 (基地址: 0200h) 中添加了 P1SEL _C 信息	51
• 在 表 9-26 端口 P1、P2 寄存器 (基地址: 0200h) 中添加了 P2SEL _C 信息	51

从修订版本 B 更改为修订版本 C

Changes from JULY 14, 2017 to AUGUST 29, 2018	Page
• 在 节 8.12.1.1 PMM、SVS 和 BOR 中为 V_{SVSH-} 和 V_{SVSH+} 参数添加了注释.....	20
• 在 表 9-7 时钟分配 中添加了注释“在 SYSCFG2 寄存器中由 RTCKSEL 位控制”	43
• 在 图 10-1 电源去耦 中将 1μF 电容器更改为 10μF.....	62
• 更新了 节 11.2 器件命名规则 中的文本和图.....	67

从修订版本 A 更改为修订版本 B

Changes from AUGUST 13, 2016 to JULY 13, 2017	Page
• 添加了 MSP430FR2100 和 MSP430FR2000 器件.....	1
• 重新排列节 1 特性中的项目.....	1
• 更正了整个文档中的 RLL 封装系列 (将 QFN 更改为 VQFN)	1
• 更新了节 2 中的应用程序列表.....	1
• 更新了节 3 说明.....	2
• 在图 4-1 功能框图中更正了端口 P1 的位数.....	3
• 在表 7-2 信号说明中更新了以“这是通过 TBRMP 位控制的重新映射功能...”开头的注释.....	11
• 在表 7-2 信号说明中更新了以“这是通过 USCIARMP 位控制的重新映射功能...”开头的注释.....	11
• 删除了之前的图 5-2 低功耗模式 3 电源电流与温度间的关系	18
• 更新了节 8.11 热阻特性中的注释.....	19
• 在表 9-1 工作模式中将 LPM3 列中的 eUSCI_A 的条目从“关闭”更改为“可选”	38
• 在表 9-11 eUSCI 引脚配置中更新了以“这是通过 USCIARMP 位控制的重新映射功能...”开头的注释.....	46
• 在表 9-12 Timer0_B3 信号连接中更新了以“这是通过 TBRMP 位控制的重新映射功能...”开头的注释.....	47
• 从表 9-21 SYS 寄存器中删除了 SYSBERRIV 寄存器 (不受支持)	51
• 更新了节 11.3 工具和软件中的“设计套件和评估模块”说明.....	68

从初始发行版更改为修订版本 A

Changes from AUGUST 11, 2016 to AUGUST 12, 2016	Page
• 将文档状态从“产品预发布”更改为“生产数据”	1

6 器件比较

表 6-1 总结了可用产品系列成员的特性。

表 6-1. 器件比较

器件 ⁽¹⁾ ⁽²⁾	程序 FRAM (KB)	SRAM (字节)	TB0	eUSCI_A	10 位 ADC 通道	eCOMP0	I/O	封装
MSP430FR2111IPW16	3.75	1024	3 × CCR ⁽³⁾	1	8	1	12	16 PW (TSSOP)
MSP430FR2110IPW16	2	1024	3 × CCR ⁽³⁾	1	8	1	12	16 PW (TSSOP)
MSP430FR2100IPW16	1	512	3 × CCR ⁽³⁾	1	8	1	12	16 PW (TSSOP)
MSP430FR2000IPW16	0.5	512	3 × CCR ⁽³⁾	1	-	1	12	16 PW (TSSOP)
MSP430FR2111IRLL	3.75	1024	3 × CCR ⁽³⁾	1	8	1	12	24 RLL (VQFN)
MSP430FR2110IRLL	2	1024	3 × CCR ⁽³⁾	1	8	1	12	24 RLL (VQFN)
MSP430FR2100IRLL	1	512	3 × CCR ⁽³⁾	1	8	1	12	24 RLL (VQFN)
MSP430FR2000IRLL	0.5	512	3 × CCR ⁽³⁾	1	-	1	12	24 RLL (VQFN)

(1) 要获得最新的器件、封装和订购信息，请参阅 *封装选项附录* (节 12)，或者访问 TI 网站 www.ti.com.cn。

(2) 封装图、标准包装数量、热数据、符号和 PCB 设计指南可从 www.ti.com/packaging 获得。

(3) CCR 寄存器属于可配置寄存器，可提供内部和外部捕捉/比较输入，或者内部和外部 PWM 输出。

6.1 相关产品

有关该系列产品或相关产品中的其他器件的信息，请参阅以下链接。

微控制器 (MCU) 和处理器概述

我们种类丰富的 16 和 32 位微控制器 (MCU) 产品系列具有实时控制功能和高精度模拟集成功能，并针对工业和汽车应用进行了优化。凭借数十年积累的专业知识和创新的硬件和软件解决方案，我们的 MCU 可满足任何设计和预算需求。

MSP430™ 微控制器 (MCU) 概述

我们的 16 位 MSP430™ 微控制器 (MCU) 可提供经济实惠、适用于所有应用的解决方案。凭借我们在集成式精密模拟产品领域的领导地位，设计人员能够提高系统性能并降低系统成本。设计人员可以从种类广泛的 MSP430 产品系列中找到具有成本效益的 MCU，该产品系列包含可满足几乎任何需求的 2000 多种器件。借助我们简易的工具、软件和卓越的支持，快速开始并缩短上市时间。

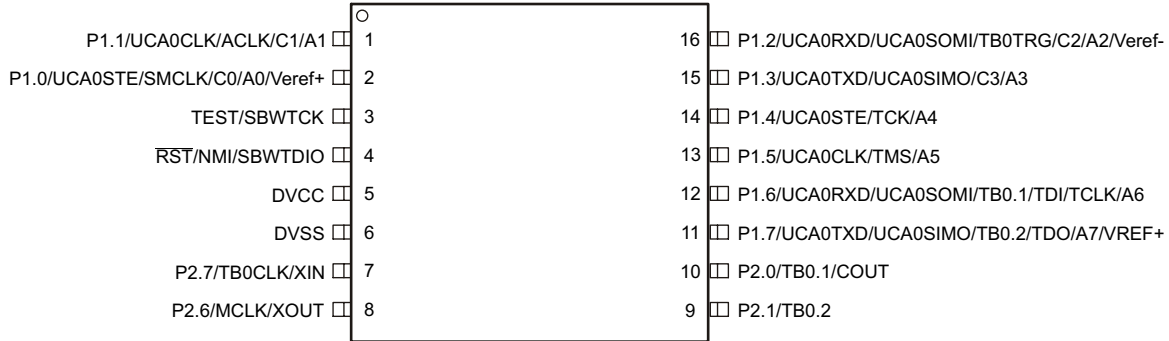
参考设计

查找采用了 TI 出色技术的参考设计 - 从模拟和电源管理到嵌入式处理器。

7 终端配置和功能

7.1 引脚图

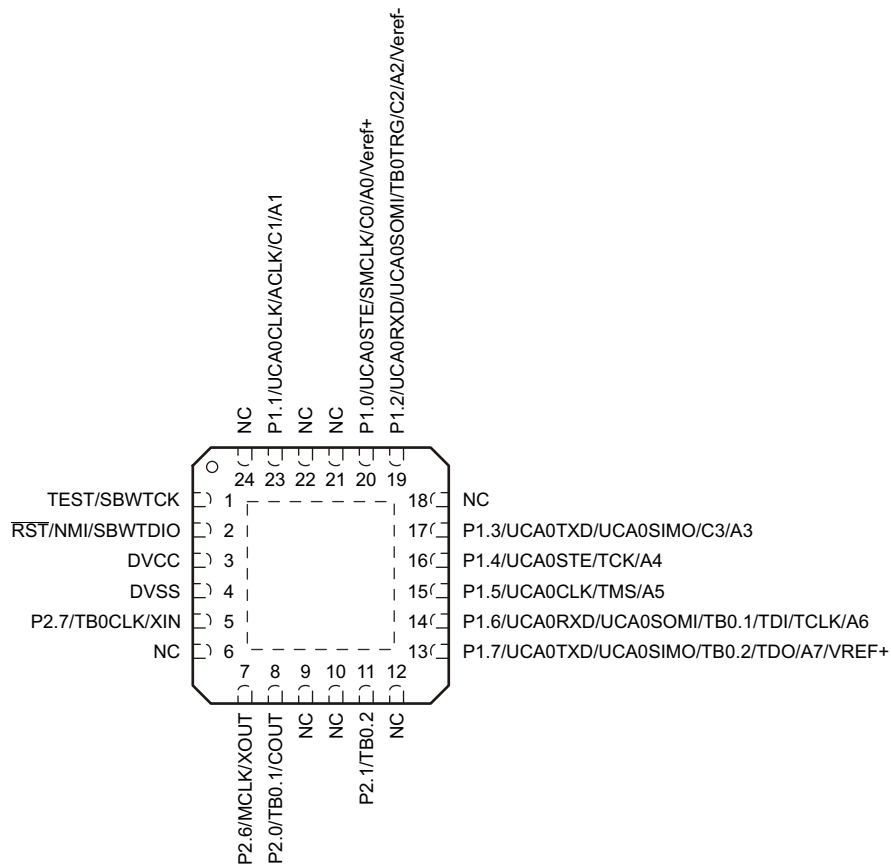
图 7-1 展示了 16 引脚 PW 封装的引脚分配。



ADC (信号 A0 至 A7、Verif+ 和 Verif-) 在 MSP430FR2000 器件上不可用。

图 7-1. 16 引脚 PW (TSSOP) (顶视图)

图 7-2 展示了 24 引脚 RLL 封装的引脚分配。



ADC (信号 A0 至 A7、Verif+ 和 Verif-) 在 MSP430FR2000 器件上不可用。

图 7-2. 24 引脚 RLL (VQFN) (俯视图)

7.2 引脚属性

表 7-1 列出了所有引脚的属性。

表 7-1. 引脚属性

引脚编号		信号名称 ^{(1) (2)}	信号类型 ⁽³⁾	缓冲类型 ⁽⁴⁾	电源	BOR 后的复位状态 ⁽⁵⁾
PW16	RLL					
1	23	P1.1 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0CLK	I/O	LVC MOS	DVCC	-
		ACLK	O	LVC MOS	DVCC	-
		C1	I	模拟	DVCC	-
		A1 ⁽⁶⁾	I	模拟	DVCC	-
2	20	P1.0 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0STE	I/O	LVC MOS	DVCC	-
		SMCLK	O	LVC MOS	DVCC	-
		C0	I	模拟	DVCC	-
		A0 ⁽⁶⁾	I	模拟	DVCC	-
		Veref+ ⁽⁶⁾	I	电源	DVCC	-
3	1	TEST (RD)	I	LVC MOS	DVCC	关闭
		SBWTCK	I	LVC MOS	DVCC	-
4	2	RST (RD)	I/O	LVC MOS	DVCC	关闭
		NMI	I	LVC MOS	DVCC	-
		SBWTDIO	I/O	LVC MOS	DVCC	-
5	3	DVCC	P	电源	DVCC	N/A
6	4	DVSS	P	电源	DVCC	N/A
7	5	P2.7 (RD)	I/O	LVC MOS	DVCC	关闭
		TB0CLK	I	LVC MOS	DVCC	-
		XIN	I	LVC MOS	DVCC	-
8	7	P2.6 (RD)	I/O	LVC MOS	DVCC	关闭
		MCLK	O	LVC MOS	DVCC	-
		XOUT	O	LVC MOS	DVCC	-
9	11	P2.1(RD)	I/O	LVC MOS	DVCC	关闭
		TB0.2	I/O	LVC MOS	DVCC	-
10	8	P2.0 (RD)	I/O	LVC MOS	DVCC	关闭
		TB0.1	I/O	LVC MOS	DVCC	-
		COUT	O	LVC MOS	DVCC	-
11	13	P1.7 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0TXD	O	LVC MOS	DVCC	-
		UCA0SIMO	I/O	LVC MOS	DVCC	-
		TB0.2	I/O	LVC MOS	DVCC	-
		TDO	O	LVC MOS	DVCC	-
		A7 ⁽⁶⁾	I	模拟	DVCC	-
		VREF+	O	电源	DVCC	-

表 7-1. 引脚属性 (continued)

引脚编号		信号名称 ^{(1) (2)}	信号类型 ⁽³⁾	缓冲类型 ⁽⁴⁾	电源	BOR 后的复位状态 ⁽⁵⁾
PW16	RLL					
12	14	P1.6 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0RXD	I	LVC MOS	DVCC	-
		UCA0SOMI	I/O	LVC MOS	DVCC	-
		TB0.1	I/O	LVC MOS	DVCC	-
		TDI	I	LVC MOS	DVCC	-
		TCLK	I	LVC MOS	DVCC	-
		A6 ⁽⁶⁾	I	模拟	DVCC	-
13	15	P1.5 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0CLK	I/O	LVC MOS	DVCC	-
		TMS	I	LVC MOS	DVCC	-
		A5 ⁽⁶⁾	I	模拟	DVCC	-
14	16	P1.4 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0STE	I/O	LVC MOS	DVCC	-
		TCK	I	LVC MOS	DVCC	-
		A4 ⁽⁶⁾	I	模拟	DVCC	-
15	17	P1.3 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0TXD	O	LVC MOS	DVCC	-
		UCA0SIMO	I/O	LVC MOS	DVCC	-
		C3	I	模拟	DVCC	-
		A3 ⁽⁶⁾	I	模拟	DVCC	-
16	19	P1.2 (RD)	I/O	LVC MOS	DVCC	关闭
		UCA0RXD	I	LVC MOS	DVCC	-
		UCA0SOMI	I/O	LVC MOS	DVCC	-
		TB0TRG	I	LVC MOS	DVCC	-
		C2	I	模拟	DVCC	-
		A2 ⁽⁶⁾	I	模拟	DVCC	-
		Verif- ⁽⁶⁾	I	电源	DVCC	-
	6、9、 10、12、 18、21、 22、24	NC ⁽⁷⁾	-	-	-	-

- (1) 带有 (RD) 的信号名称表示复位默认引脚名称。
- (2) 要确定每个引脚的复用编码, 请参阅节 9.11.15。
- (3) 信号类型: I = 输入, O = 输出, I/O = 输入或输出。
- (4) 缓冲类型: LVC MOS、模拟或电源 (请参阅节 7.6)
- (5) 复位状态:
 OFF = 禁用上拉或下拉的高阻抗输入 (如果可用)
 N/A = 不适用
- (6) ADC 在 MSP430FR2000 器件上不可用。
- (7) NC = 未连接

7.3 信号说明

表 7-2 介绍了所有器件型号和封装选项的信号。

表 7-2. 信号说明

功能	信号名称	引脚编号		引脚类型	说明
		PW16	RLL		
ADC ⁽¹⁾	A0	2	20	I	模拟输入 A0
	A1	1	23	I	模拟输入 A1
	A2	16	19	I	模拟输入 A2
	A3	15	17	I	模拟输入 A3
	A4	14	16	I	模拟输入 A4
	A5	13	15	I	模拟输入 A5
	A6	12	14	I	模拟输入 A6
	A7	11	13	I	模拟输入 A7
	Veref+	2	20	I	ADC 正基准
Veref-	16	19	I	ADC 负基准	
eCOMP0	C0	2	20	I	比较器输入通道 C0
	C1	1	23	I	比较器输入通道 C1
	C2	16	19	I	比较器输入通道 C2
	C3	15	17	I	比较器输入通道 C3
	COUT	10	8	O	比较器输出通道 COUT
时钟	ACLK	1	23	O	ACLK 输出
	MCLK	8	7	O	MCLK 输出
	SMCLK	2	20	O	SMCLK 输出
	XIN	7	5	I	晶振的输入引脚
	XOUT	8	7	O	晶振的输出引脚
调试	SBWTCK	3	1	I	Spy-Bi-Wire 输入时钟
	SBWTDIO	4	2	I/O	Spy-Bi-Wire 数据输入/输出
	TCK	14	16	I	测试时钟
	TCLK	12	14	I	测试时钟输入
	TDI	12	14	I	测试数据输入
	TDO	11	13	O	测试数据输出
	TMS	13	15	I	测试模式选择
	测试	3	1	I	测试模式引脚 - JTAG 引脚上选定的数字 I/O
系统	NMI	4	2	I	不可屏蔽的中断输入
	RST	4	2	I/O	复位输入，低电平有效
电源	DVCC	5	3	P	电源
	DVSS	6	4	P	电源接地
	VREF+	11	13	P	以接地端电压为基准的正向基准电压输出

表 7-2. 信号说明 (continued)

功能	信号名称	引脚编号		引脚类型	说明
		PW16	RLL		
通用输入/输出 (GPIO)	P1.0	2	20	I/O	通用 I/O
	P1.1	1	23	I/O	通用 I/O
	P1.2	16	19	I/O	通用 I/O
	P1.3	15	17	I/O	通用 I/O
	P1.4	14	16	I/O	通用 I/O ⁽²⁾
	P1.5	13	15	I/O	通用 I/O ⁽²⁾
	P1.6	12	14	I/O	通用 I/O ⁽²⁾
	P1.7	11	13	I/O	通用 I/O ⁽²⁾
	P2.0	10	8	I/O	通用 I/O
	P2.1	9	11	I/O	通用 I/O
	P2.6	8	7	I/O	通用 I/O
	P2.7	7	5	I/O	通用 I/O
SPI 和 UART	UCA0CLK	13	15	I/O	eUSCI_A0 SPI 时钟输入/输出
	UCA0RXD	12	14	I	eUSCI_A0 UART 接收数据
	UCA0SIMO	11	13	I/O	eUSCI_A0 SPI 从器件输入/主器件输出
	UCA0SOMI	12	14	I/O	eUSCI_A0 SPI 从器件输出/主器件输入
	UCA0STE	14	16	I/O	eUSCI_A0 SPI 从器件发送使能
	UCA0TXD	11	13	O	eUSCI_A0 UART 发送数据
	UCA0CLK ⁽⁴⁾	1	23	I/O	eUSCI_A0 SPI 时钟输入/输出
	UCA0RXD ⁽⁴⁾	16	19	I	eUSCI_A0 UART 接收数据
	UCA0SIMO ⁽⁴⁾	15	17	I/O	eUSCI_A0 SPI 从器件输入/主器件输出
	UCA0SOMI ⁽⁴⁾	16	19	I/O	eUSCI_A0 SPI 从器件输出/主器件输入
	UCA0STE ⁽⁴⁾	2	20	I/O	eUSCI_A0 SPI 从器件发送使能
	UCA0TXD ⁽⁴⁾	15	17	O	eUSCI_A0 UART 发送数据
Timer_B	TB0.1	12	14	I/O	计时器 TB0 CCR1 捕捉: CCI1A 输入, 比较: Out1 输出
	TB0.2	11	13	I/O	计时器 TB0 CCR2 捕捉: CCI2A 输入, 比较: Out2 输出
	TB0CLK	7	5	I	TB0 的计时器时钟输入 TBCLK
	TB0TRG	16	19	I	TB0OUTH 的 TB0 外部触发器输入
	TB0.1 ⁽³⁾	10	8	I/O	计时器 TB0 CCR1 捕捉: CCI1A 输入, 比较: Out1 输出
	TB0.2 ⁽³⁾	9	11	I/O	计时器 TB0 CCR2 捕捉: CCI2A 输入, 比较: Out2 输出
NC 焊盘	NC	-	6、9、 10、 12、 18、 21、 22、24	-	不连接
VQFN 焊盘	Pad	-	Pad		VQFN 封装 (RLL) 外露散热焊盘。连接至 V _{SS} 。

(1) ADC 在 MSP430FR2000 器件上不可用。

(2) 由于该引脚与 JTAG 功能复用, 因此德州仪器 (TI) 建议您在 JTAG 调试过程中禁用引脚中断功能, 以免发生冲突。

(3) 这是通过 SYSCFG3 寄存器中的 TBRMP 位控制的重新映射功能。当 TB0 用作捕捉输入功能时, 同一时刻只有一个所选端口有效。无论此重映射位的设置如何, TB0 PWM 都会输出。

(4) 这是通过 SYSCFG3 寄存器中的 USCIARMP 位控制的重新映射功能。同一时刻, 所选端口只有一个有效。

7.4 引脚复用

这些器件的引脚复用由寄存器设置和工作模式共同控制（例如，器件处于测试模式下）。有关每个引脚设置的详细信息以及复用端口的原理图，请参阅节 9.11.15。

7.5 未使用引脚的连接

表 7-3 列出了未使用引脚的正确端接方式。

表 7-3. 未使用引脚的连接

引脚 ⁽¹⁾	电势	注释
Px.0 至 Px.7	断开	设置为端口功能，输出方向 (PxDIR.n = 1)
RST/NMI	DVCC	47kΩ 上拉电阻或内部上拉电阻，通过 10nF (1.1nF) 下拉电容选择 ⁽²⁾
TEST	断开	该引脚总是有一个使能的内部下拉。

(1) 任何具有第二功能（与通用 I/O 共用）的引脚都应遵循 Px.0 到 Px.7 未使用引脚连接指南。

(2) 当所用器件的 Spy-Bi-Wire 接口处于 Spy-Bi-Wire 模式，并且使用 FET 接口或 GANG 编程器等 TI 工具时，下拉电容不得超过 1.1nF。

7.6 缓冲类型

表 7-4 定义表 7-1 中列出的引脚缓冲器类型。

表 7-4. 缓冲类型

缓冲器类型 (标准)	标称电压	迟滞	PU 或 PD	标称 PU 或 PD 强度 (μA)	输出驱动强度 (mA)	其他特性
LVC MOS	3.0V	是 ⁽¹⁾	可编程	请参阅节 8.12.4	请参阅节 8.12.4.3	
模拟	3.0V	否	否	N/A	N/A	有关详细信息，请参阅节 8 中的模拟模块。
电源 (DVCC)	3.0V	否	否	N/A	N/A	SVS 启用 DVCC 上的迟滞。
电源 (AVCC)	3.0V	否	否	N/A	N/A	

(1) 仅适用于输入引脚

8 规格

8.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

	最小值	最大值	单位
施加到 DVCC 引脚的电压 (相对于 V _{SS})	-0.3	4.1	V
施加到任一引脚的电压 ⁽²⁾	-0.3	V _{CC} + 0.3 (最大 4.1V)	V
任一器件引脚上的二极管电流		±2	mA
最大结温, T _J		85	°C
贮存温度范围, T _{stg} ⁽³⁾	-40	125	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成损坏。这些仅为压力额定值,并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 所有电压均以 V_{SS} 为基准。
- (3) 电路板焊接期间可以采用较高的温度,根据现行的 JEDEC J-STD-020 规范,峰值回流焊温度不得超过器件装运包装盒或卷盘上标注的界定值。

8.2 ESD 等级

		值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±1000	V
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±250	

- (1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。如果具备必要的预防措施,则可以在低于 500V HBM 时进行生产。列为 ±1000 V 的引脚的实际性能可能会更高。
- (2) JEDEC 文档 JEP157 规定: 250V CDM 能够在标准 ESD 控制流程下安全生产。若部署必要的预防措施,不足 250 V CDM 时也能进行生产。列为 ±250 V 的引脚的实际性能可能会更高。

8.3 建议运行条件

		最小值	标称值	最大值	单位
V _{CC}	施加到 DVCC 引脚的电源电压 ^{(1) (2) (3) (4)}	1.8		3.6	V
V _{SS}	电源电压 (施加到 DVSS 引脚)		0		V
T _A	自然通风工作温度	-40		85	°C
T _J	工作结温	-40		85	°C
C _{DVCC}	DVCC 上的推荐电容 ⁽⁵⁾	4.7	10		μF
f _{SYSTEM}	处理器频率 (最大 MCLK 频率) ⁽⁶⁾	无 FRAM 等待状态 (NWAITS _x = 0)	0	8	MHz
		有 FRAM 等待状态 (NWAITS _x = 1) ⁽⁷⁾	0	16 ⁽⁸⁾	
f _{ACLK}	最大 ACLK 频率			40	kHz
f _{SMCLK}	最大 SMCLK 频率			16 ⁽⁸⁾	MHz

- (1) 如果电源电压的变化速率快于 0.2V/μs,即使处于建议的电源电压范围内,也会触发 BOR 复位。根据数据表中针对电容器 C_{DVCC} 的建议,相应地限制斜率。
- (2) 模块的电源电压范围规范可能有所不同。可在本数据表中查看各个模块的规范。
- (3) TI 建议 DVCC 引脚的电源不得超过建议运行条件中指定的限值。如果超出规定的限值会导致器件发生故障,包括错误地写入 RAM 和 FRAM。
- (4) 最小电源电压由 SVS 电平决定。请参阅节 8.12.1.1 中的 SVS 阈值参数。
- (5) 要求电容容差为 ±20% 或以上。100nF (最小值) 的低 ESR 陶瓷电容器应放置在尽可能靠近相应引脚对的位置 (几毫米以内)。
- (6) 模块的最大输入时钟规范可能有所不同。可在本数据表中查看各个模块的规范。
- (7) 等待状态仅发生在实际 FRAM 访问时 (即, FRAM 缓存缺失时)。RAM 和外设访问始终在无等待状态的情况下执行。
- (8) 如果使用频率大于 16MHz 的时钟源 (例如, HF 晶振或 DCO),则必须在时钟系统中将时钟进行分频,以满足上述工作条件。

8.4 工作模式下流入 V_{CC} 的电源电流 (不包括外部电流)

$V_{CC} = 3.0V$, $T_A = 25^\circ C$ (除非另有说明) ⁽¹⁾

参数	执行存储器	测试条件	频率 ($f_{MCLK} = f_{SMCLK}$)						单位
			1MHz 0 等待状态 (NWAITSx = 0)		8MHz 0 等待状态 (NWAITSx = 0)		16MHz 1 等待状态 (NWAITSx = 1)		
			典型值	最大值	典型值	最大值	典型值	最大值	
$I_{AM, FRAM}$ (0%)	FRAM 0% 缓存命中比率	3.0V, 25°C	460		2670		2940	μA	
		3.0V, 85°C	475		2730		2980		
$I_{AM, FRAM}$ (100%)	FRAM 100% 缓存命中比率	3.0V, 25°C	191		570		942	μA	
		3.0V, 85°C	199		585		960		
$I_{AM, RAM}$ ⁽²⁾	RAM	3.0V, 25°C	213		739		1244	μA	

- (1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。其特点是程序执行典型数据处理。
在指定频率下, $f_{ACLK} = 32768Hz$, $f_{MCLK} = f_{SMCLK} = f_{DCO}$
程序和数据全部驻留在 FRAM 中。全部从 FRAM 执行。
- (2) 程序和数据全部存储在 RAM 中。全部从 RAM 执行。不访问 FRAM。

8.5 工作模式下每兆赫兹的电源电流

$V_{CC} = 3.0V$, $T_A = 25^\circ C$ (除非另有说明)

参数	测试条件	典型值	单位
$dI_{AM,FRAM}/df$	工作模式下每兆赫兹的电流消耗, 从 FRAM 执行, 无等待状态 ⁽¹⁾	120	$\mu A/MHz$

- (1) 默认设置下, 所有外设均接通。

8.6 LPM0 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

$V_{CC} = 3.0V$, $T_A = 25^\circ C$ (除非另有说明) ^{(1) (2)}

参数	V_{CC}	频率 (f_{SMCLK})						单位
		1MHz		8MHz		16MHz		
		典型值	最大值	典型值	最大值	典型值	最大值	
I_{LPM0}	2.0V	148		295		398	μA	
	3.0V	157		304		402		

- (1) 所有输入均连接至 0V 或 V_{CC} 。输出不供应或吸收任何电流。
- (2) 包括由 SMCLK 提供时钟的看门狗计时器的电流。
 $f_{ACLK} = 32768Hz$, $f_{MCLK} = 0MHz$, f_{SMCLK} 处于指定频率下。

8.7 LPM3 和 LPM4 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明) ⁽¹⁾ (请参阅图 8-1)

参数	V _{CC}	温度						单位
		- 40°C		25°C		85°C		
		典型值	最大值	典型值	最大值	典型值	最大值	
I _{LPM3,XT1} 低功耗模式 3, 包括 SVS ^{(2) (3) (4)}	3.0V	0.95		1.07		2.13	6.00	μA
	2.0V	0.92		1.03		2.09		
I _{LPM3,VLO} 低功耗模式 3, VLO, 不包括 SVS ⁽⁵⁾	3.0V	0.76		0.87		1.94	5.70	μA
	2.0V	0.74		0.85		1.90		
I _{LPM3,RTC} 低功耗模式 3, RTC, 不包括 SVS ⁽⁶⁾	3.0 V	0.88		1.00		2.06		μA
	2.0V	0.86		0.98		2.02		
I _{LPM4,SVS} 低功耗模式 4, 包括 SVS	3.0V	0.49		0.58		1.60		μA
	2.0V	0.46		0.56		1.57		
I _{LPM4} 低功耗模式 4, 不包括 SVS	3.0V	0.33		0.42		1.44		μA
	2.0V	0.32		0.41		1.42		
I _{LPM4,RTC,VLO} 低功耗模式 4, RTC 源自 VLO, 不包括 SVS	3.0V	0.48		0.59		1.91		μA
	2.0V	0.48		0.58		1.89		
I _{LPM4,RTC,XT1} 低功耗模式 4, RTC 源自 XT1, 不包括 SVS	3.0V	0.89		1.04		2.41		μA
	2.0V	0.88		1.02		2.38		

- (1) 所有输入均连接至 0V 或 V_{CC}。输出无任何拉电流或灌电流
- (2) 不适用于仅配有 HF 晶振的器件。
- (3) 采用 Seiko Crystal SC-32S MS1V-T1K 晶体, 选用的负载电容与要求使用的负载非常匹配。
- (4) 低功耗模式 3, 包括 SVS 测试条件:
 包括由 ACLK 提供时钟的看门狗计时器和由 XT1 提供时钟的 RTC 的电流。包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。
 CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 0 (LPM3),
 f_{XT1} = 32768Hz, f_{ACLK} = f_{XT1}, f_{MCLK} = f_{SMCLK} = 0MHz
- (5) 低功耗模式 3, VLO, 不包括 SVS 测试条件:
 包括由 VLO 提供时钟的看门狗计时器的电流。已禁用 RTC。包括用于欠压保护的电流。已禁用 SVS (SVSHE = 0)。
 CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 0 (LPM3),
 f_{XT1} = 32768Hz, f_{MCLK} = f_{SMCLK} = 0MHz
- (6) RTC 使用外部 32768Hz 作为源, 每秒定期唤醒一次。

8.8 LPMx.5 低功耗模式下流入 V_{CC} 的电源电流 (不包括外部电流)

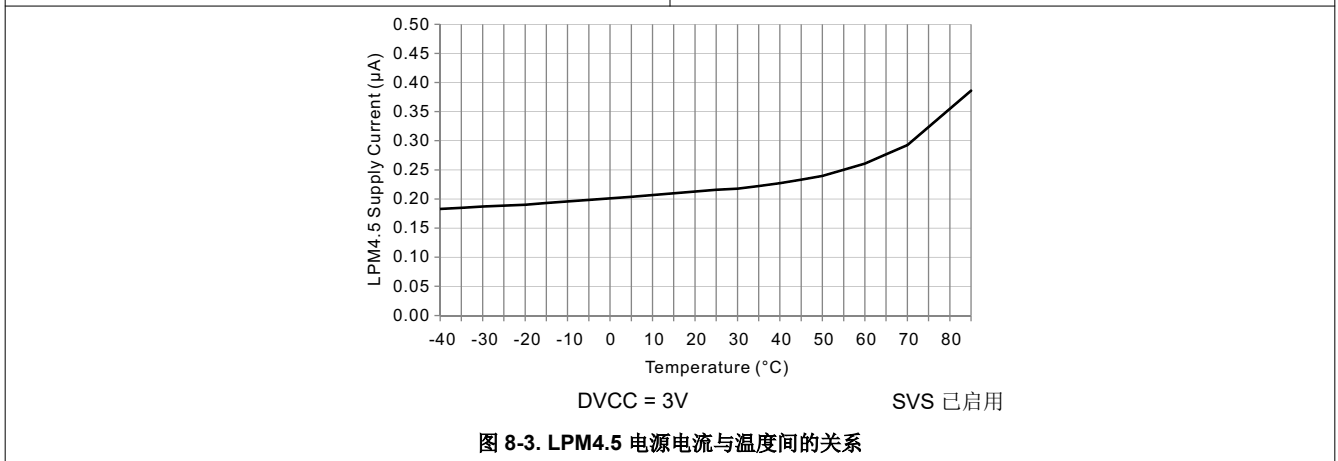
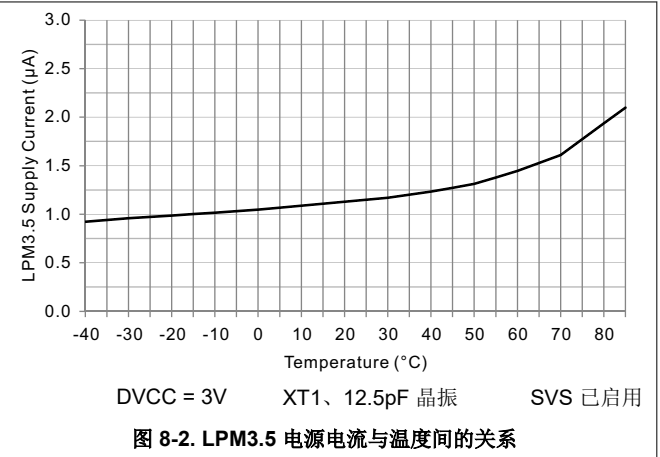
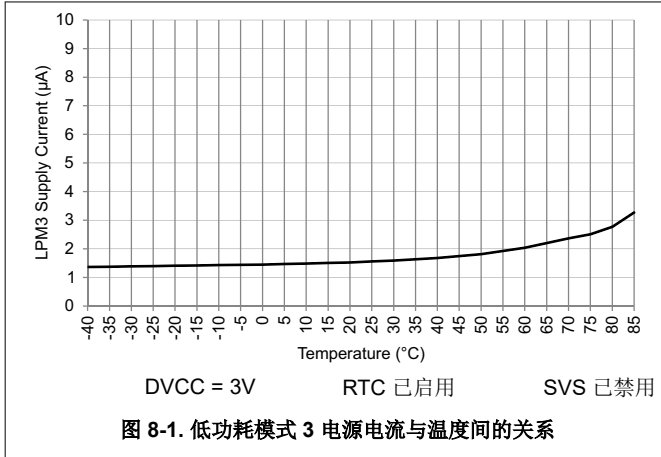
在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	V _{CC}	温度						单位
		- 40°C		25°C		85°C		
		典型值	最大值	典型值	最大值	典型值	最大值	
I _{LPM3.5, XT1} 低功耗模式 3.5, 包括 SVS ^{(1) (2) (3)} (另请参见图 8-2)	3.0V	0.60		0.66		0.80	2.17	μA
	2.0V	0.57		0.64		0.75		
I _{LPM4.5, SVS} 低功耗模式 4.5, 包括 SVS ⁽⁴⁾	3.0V	0.23		0.25		0.32	0.43	μA
	2.0V	0.20		0.23		0.27		
I _{LPM4.5} 低功耗模式 4.5, 不包括 SVS ⁽⁵⁾ (另请参见图 8-3)	3.0V	0.025		0.034		0.064	0.130	μA
	2.0V	0.021		0.029		0.055		

- (1) 不适用于仅配有 HF 晶振的器件。
- (2) 采用 Seiko Crystal SC-32S 晶体, 选用的负载电容与要求使用的负载非常匹配。
- (3) 低功耗模式 3.5, 包括 SVS 测试条件:
包括由 XT1 提供时钟的 RTC 的电流。包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。已禁用内核稳压器。
PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),
f_{XT1} = 32768Hz, f_{ACLK} = f_{XT1}, f_{MCLK} = f_{SMCLK} = 0MHz
- (4) 低功耗模式 4.5, 包括 SVS 测试条件:
包括用于欠压保护和 SVS 的电流 (SVSHE = 1)。已禁用内核稳压器。
PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),
f_{XT1} = 0Hz, f_{ACLK} = f_{MCLK} = f_{SMCLK} = 0MHz
- (5) 低功耗模式 4.5, 不包括 SVS 测试条件:
包括用于欠压保护的电流。已禁用 SVS (SVSHE = 0)。已禁用内核稳压器。
PMMREGOFF = 1, CPUOFF = 1, SCG0 = 1 SCG1 = 1, OSCOFF = 1 (LPMx.5),
f_{XT1} = 0Hz, f_{ACLK} = f_{MCLK} = f_{SMCLK} = 0MHz

8.9 典型特性 - LPM 电源电流

25°C 时为 3V, 85°C 时为 3V



8.10 每个模块的电流消耗

模块	测试条件	基准时钟	典型值	单位
Timer_B	SMCLK = 8Hz, MC = 10	模块输入时钟	5	μA/MHz
eUSCI_A	UART 模式	模块输入时钟	7	μA/MHz
eUSCI_A	SPI 模式	模块输入时钟	5	μA/MHz
RTC		32kHz	85	nA
CRC	从运行开始到结束	MCLK	8.5	μA/MHz

8.11 热阻特征

热指标 ^{(1) (2)}		值	单位
R ^θ _{JA}	结至环境热阻, 静止空气	VQFN 24 引脚 (RLL)	38.7
		TSSOP 16 引脚 (PW16)	106.5
R ^θ _{JC}	结至外壳 (顶部) 热阻	VQFN 24 引脚 (RLL)	39.5
		TSSOP 16 引脚 (PW16)	41.2
R ^θ _{JB}	结至电路板热阻	VQFN 24 引脚 (RLL)	8.6
		TSSOP 16 引脚 (PW16)	51.5

(1) 有关新旧热性能指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#)。

(2) 这些值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1SOP 系统的 Theta_{JC} [R^θ_{JC}] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

8.12 时序和开关特性

8.12.1 电源时序

图 8-4 展示了下电上电、SVS 和 BOR 复位条件。

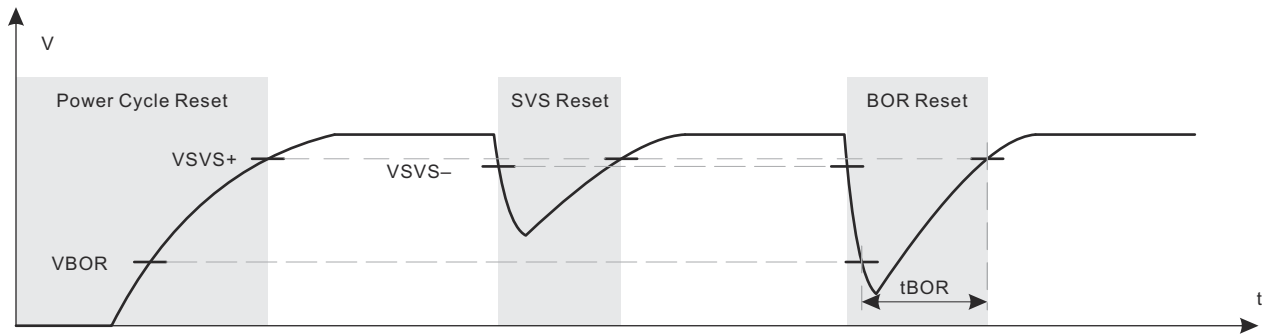


图 8-4. 重启、SVS 和 BOR 复位条件

8.12.1.1 PMM、SVS 和 BOR

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	最小值	典型值	最大值	单位
V _{BOR, safe}	安全 BOR 断电电平 ⁽¹⁾		0.1			V
t _{BOR, safe}	安全 BOR 复位延迟 ⁽²⁾		10			ms
I _{SVSH, AM}	SVS _H 电流消耗，工作模式	V _{CC} = 3.6V			1.5	μA
I _{SVSH, LPM}	SVS _H 电流消耗，低功耗模式	V _{CC} = 3.6V		240		nA
V _{SVSH-}	SVS _H 断电电平 ⁽³⁾		1.71	1.81	1.86	V
V _{SVSH+}	SVS _H 上电电平 ⁽³⁾		1.74	1.88	1.99	V
V _{SVSH_hys}	SVS _H 滞后			80		mV
t _{PD, SVSH, AM}	SVS _H 传播延迟，工作模式				10	μs
t _{PD, SVSH, LPM}	SVS _H 传播延迟，低功耗模式				100	μs

- (1) 仅当 DVCC 在升高之前降至该电压以下才能正确生成安全 BOR。
- (2) 如果发生 BOR，则仅当 DVCC 在达到 V_{SVSH+} 之前保持低电平的时间长于此时间段时，才能正确生成安全 BOR。
- (3) 如需更多信息，请参阅适用于具有单通道 LDO 参考设计的 MSP430 器件的动态电压调节电源解决方案。

8.12.2 复位时序

8.12.2.1 从低功耗模式和复位唤醒的时间

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
t _{WAKE-UP FRAM}	(额外信息) 如果之前通过 FRAM 控制器禁用，则是在 AM 中激活 FRAM 的唤醒时间，如果为唤醒选择了立即激活，则是从 LPM 唤醒的时间 ⁽¹⁾		3V		10		μs
t _{WAKE-UP LPM0}	从 LPM0 唤醒并进入工作模式的时间 ⁽¹⁾		3V		200 + 2.5 / f _{DCO}		ns
t _{WAKE-UP LPM3}	从 LPM3 唤醒并进入工作模式的时间 ⁽¹⁾		3V		10		μs
t _{WAKE-UP LPM4}	从 LPM4 唤醒并进入工作模式的时间 ⁽²⁾		3V		10		μs
t _{WAKE-UP LPM3.5}	从 LPM3.5 唤醒并进入工作模式的时间 ⁽²⁾		3V		350		μs
t _{WAKE-UP LPM4.5}	从 LPM4.5 唤醒并进入工作模式的时间 ⁽²⁾	SVSHE = 1	3V		350		μs
		SVSHE = 0			1		ms
t _{WAKE-UP-RESET}	从 $\overline{\text{RST}}$ 或 BOR 事件唤醒并进入工作模式的时间 ⁽²⁾		3V		1		ms
t _{RESET}	$\overline{\text{RST}}/\text{NMI}$ 引脚接受复位所需的脉冲持续时间				2		μs

- (1) 唤醒时间测量的是从外部唤醒信号（例如，端口中断或唤醒事件）的边沿到可从外部观察到第一个 MCLK 时钟边沿的时间。
- (2) 唤醒时间测量的是从外部唤醒信号（例如，端口中断或唤醒事件）的边沿到执行用户程序第一条指令的时间。

8.12.3 时钟规格

8.12.3.1 XT1 晶振 (低频)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明) ⁽¹⁾ ⁽²⁾

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{XT1, LF}	XT1 晶振, 低频	LFXTBYPASS = 0			32768		Hz
DC _{XT1, LF}	XT1 振荡器 LF 占空比	在 MCLK 下测得, f _{LFXT} = 32768Hz		30%		70%	
f _{XT1, SW}	XT1 振荡器逻辑电平方波输入频率	LFXTBYPASS = 1 ⁽³⁾ ⁽⁴⁾			32768		Hz
DC _{XT1, SW}	LFXT 振荡器逻辑电平方波输入占空比	LFXTBYPASS = 1		40%		60%	
OA _{LFXT}	LF 晶振的振荡容差 ⁽⁵⁾	LFXTBYPASS = 0, LFXTDRIVE = {3}, f _{LFXT} = 32768Hz, C _{L,eff} = 12.5pF			200		kΩ
C _{L,eff}	集成的有效负载电容 ⁽⁶⁾	请参阅 ⁽⁷⁾			1		pF
t _{START, LFXT}	启动时间 ⁽⁹⁾	f _{OSC} = 32768Hz LFXTBYPASS = 0, LFXTDRIVE = {3}, T _A = 25°C, C _{L,eff} = 12.5pF			1000		ms
f _{Fault, LFXT}	振荡器故障频率 ⁽¹⁰⁾	XTS = 0 ⁽⁸⁾		0		3500	Hz

- (1) 要改善 LFXT 振荡器上的 EMI, 请遵循以下准则:
 - 应使器件与晶体之间的走线尽可能地短。
 - 在振荡器引脚的周围设计一个良好的接地平面。
 - 防止来自其它时钟或数据线路的串扰进入振荡器引脚 XIN 和 XOUT。
 - 应避免在 XIN 和 XOUT 引脚的下方或附近布设 PCB 走线。
 - 采用的组装材料和工艺应避免在振荡器的 XIN 和 XOUT 引脚上产生寄生负载。
 - 如果采用敷形涂覆, 则应确保其不会在振荡器引脚之间引起容性或阻性漏电流。
- (2) 请参阅 [MSP430 32kHz 晶体振荡器](#), 了解有关晶体断面、布局和测试的详细信息。
- (3) 如果 LFXTBYPASS 置 1, 则 LFXT 电路会自动断电。输入信号是一个数字方波, 其参数在 [节 8.12.4.1](#) 中定义。占空比要求由 DC_{LFXT, SW} 定义。
- (4) 不能超过整个器件的最大工作频率。
- (5) 振荡容差基于推荐晶体的安全系数 5。振荡容差是 LFXTDRIVE 设置和有效负载的函数。一般来讲, 可根据以下准则获得比较高的振荡器容差, 但应根据为应用选择的实际晶体进行评估:
 - 对于 LFXTDRIVE = {0}, C_{L,eff} = 3.7pF
 - 对于 LFXTDRIVE = {1}, 6pF ≤ C_{L,eff} ≤ 9pF
 - 对于 LFXTDRIVE = {2}, 6pF ≤ C_{L,eff} ≤ 10pF
 - 对于 LFXTDRIVE = {3}, 6pF ≤ C_{L,eff} ≤ 12pF
- (6) 包括寄生接合及封装电容 (每引脚约 2pF)。
- (7) 两个端子上都需要外部电容器, 来满足晶体制造商指定的有效负载电容。支持的建议有效负载电容值为 3.7pF、6pF、9pF 和 12.5pF。最大并联电容为 1.6pF。PCB 会增加额外的电容, 因此在总电容中也必须考虑到此电容。确认所选晶振的建议有效负载电容满足要求。
- (8) 采用逻辑电平输入频率来测量, 但也适用于采用晶振的操作。
- (9) 包括 1024 个时钟周期的启动计数器。
- (10) 高于最大值规范的频率不会将故障标志置 1。介于最小值和最大值规范之间的频率可能会设置标志。静态状态或长时间处于故障状态会将标志置 1。

8.12.3.2 DCO FLL , 频率

在推荐的自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{DCO, FLL}	FLL 锁定频率, 16MHz, 25°C	在 MCLK 下测得, 内部修整 REFO 作为基准	3.0 V	- 1.0%		1.0%	
	FLL 锁定频率, 16MHz, -40°C 至 85°C		3.0 V	- 2.0%		2.0%	
	FLL 锁定频率, 16MHz, -40°C 至 85°C	在 MCLK 下测得, XT1 晶振作为基准	3.0 V	- 0.5%		0.5%	
f _{DUTY}	占空比	在 MCLK 下测得, XT1 晶振作为基准	3.0 V	40%	50%	60%	
Jitter _{cc}	周期间抖动, 16MHz		3.0 V		0.25%		
Jitter _{long}	长期抖动, 16MHz		3.0 V		0.022%		
t _{FLL, lock}	FLL 锁定时间		3.0 V		245		ms

8.12.3.3 DCO 频率

在建议的自然通风条件下的工作温度下 (除非另有说明) (请参阅图 8-5)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{DCO, 16MHz} ⁽¹⁾ DCO 频率, 16MHz	DCORSEL = 101b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		7.8		MHz
	DCORSEL = 101b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			12.5		
	DCORSEL = 101b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			18.0		
	DCORSEL = 101b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			30.0		
f _{DCO, 12MHz} ⁽¹⁾ DCO 频率, 12MHz	DCORSEL = 100b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		6.0		MHz
	DCORSEL = 100b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			9.5		
	DCORSEL = 100b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			13.5		
	DCORSEL = 100b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			22.0		
f _{DCO, 8MHz} ⁽¹⁾ DCO 频率, 8MHz	DCORSEL = 011b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		3.8		MHz
	DCORSEL = 011b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			6.5		
	DCORSEL = 011b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			9.5		
	DCORSEL = 011b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			16.0		
f _{DCO, 4MHz} ⁽¹⁾ DCO 频率, 4MHz	DCORSEL = 010b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		2.0		MHz
	DCORSEL = 010b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			3.2		
	DCORSEL = 010b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			4.8		
	DCORSEL = 010b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			8.0		

8.12.3.3 DCO 频率 (continued)

在建议的自然通风条件下的工作温度下 (除非另有说明) (请参阅图 8-5)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{DCO, 2MHz} ⁽¹⁾ DCO 频率, 2MHz	DCORSEL = 001b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		1.0		MHz
	DCORSEL = 001b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			1.7		
	DCORSEL = 001b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			2.5		
	DCORSEL = 001b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			4.2		
f _{DCO, 1MHz} ⁽¹⁾ DCO 频率, 1MHz	DCORSEL = 000b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 0	3.0 V		0.5		MHz
	DCORSEL = 000b, DISMOD = 1b, DCOFTRIM = 000b, DCO = 511			0.85		
	DCORSEL = 000b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 0			1.2		
	DCORSEL = 000b, DISMOD = 1b, DCOFTRIM = 111b, DCO = 511			2.1		

(1) 此频率反映了启用或禁用 FLL 时可实现的频率范围。

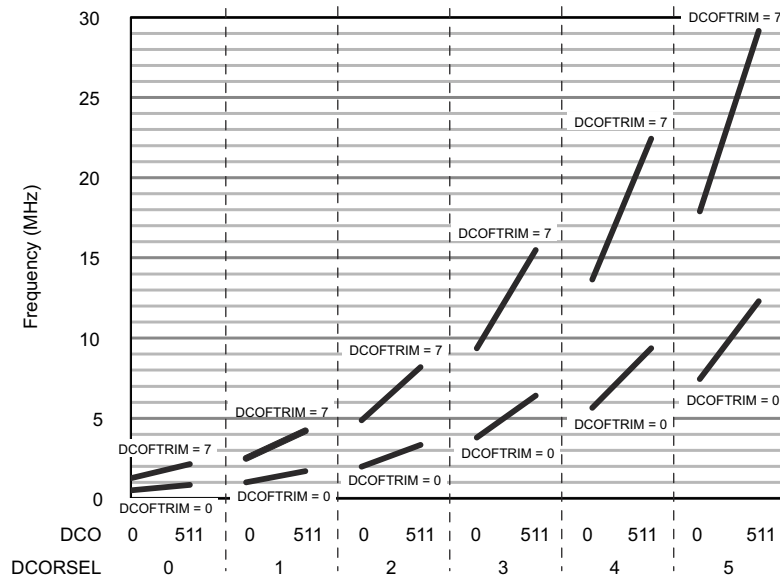


图 8-5. 典型 DCO 频率

8.12.3.4 REFO

在推荐的自然通风条件下的工作温度范围内 (除非另外注明)

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{REFO}	REFO 振荡器电流消耗	T _A = 25°C	3.0 V		15		μA
f _{REFO}	REFO 校准频率	在 MCLK 下测得	3.0 V		32768		Hz
	REFO 绝对校准容差	-40°C 至 85°C	1.8V 至 3.6V	-3.5%		+3.5%	
df _{REFO} /dT	REFO 频率温度漂移	在 MCLK 下测得 ⁽¹⁾	3.0 V		0.01		%/°C
df _{REFO} /dV _{CC}	REFO 频率电源电压漂移	25°C 时在 MCLK 下测得 ⁽²⁾	1.8V 至 3.6V		1		%/V
f _{DC}	REFO 占空比	在 MCLK 下测得	1.8V 至 3.6 V	40%	50%	60%	
t _{START}	REFO 启动时间	40% 到 60% 占空比			50		μs

(1) 使用箱形法计算: (MAX (-40°C 到 85°C) - MIN (-40°C 到 85°C)) / MIN (-40°C 到 85°C) / (85°C - (-40°C))

(2) 使用箱形法计算: (MAX (1.8V 至 3.6V) - MIN (1.8V 至 3.6V)) / MIN (1.8V 至 3.6V) / (3.6V - 1.8V)

8.12.3.5 内部超低功耗低频振荡器 (VLO)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明)

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{VLO}	VLO 频率	在 MCLK 下测得	3.0V		10		kHz
df _{VLO} /dT	VLO 频率温度漂移	在 MCLK 下测得 ⁽¹⁾	3.0V		0.5		%/°C
df _{VLO} /dV _{CC}	VLO 频率电源电压漂移	在 MCLK 下测得 ⁽²⁾	1.8V 至 3.6V		4		%/V
f	占空比	在 MCLK 下测得	3.0V		50%		

(1) 使用箱形法计算: (MAX (-40°C 到 85°C) - MIN (-40°C 到 85°C)) / MIN (-40°C 到 85°C) / (85°C - (-40°C))

(2) 使用箱形法计算: (MAX (1.8V 至 3.6V) - MIN (1.8V 至 3.6V)) / MIN (1.8V 至 3.6V) / (3.6V - 1.8V)

备注

当器件从工作模式切换到 LPM3 或 LPM4 时, 由于基准电压发生变化, VLO 时钟频率会降低 15% (典型值)。这种较低的频率并不违反 VLO 规范 (请参阅节 8.12.3.5)。

8.12.3.6 模块振荡器 (MODOSC)

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数		V _{CC}	最小值	典型值	最大值	单位
f _{MODOSC}	MODOSC 频率	3.0V	3.8	4.8	5.8	MHz
f _{MODOSC} /dT	MODOSC 频率温度漂移	3.0V		0.102		%/°C
f _{MODOSC} /dV _{CC}	MODOSC 频率电源电压漂移	1.8V 至 3.6V		2.29		%/V
f _{MODOSC,DC}	占空比	3.0V	40%	50%	60%	

8.12.4 数字 I/O

8.12.4.1 数字输入

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{IT+} 正向输入阈值电压		2V	0.90		1.50	V
		3V	1.35		2.25	
V _{IT-} 负向输入阈值电压		2V	0.50		1.10	V
		3V	0.75		1.65	
V _{hys} 输入电压滞后 (V _{IT+} -V _{IT-})		2V	0.3		0.8	V
		3V	0.4		1.2	
R _{Pull} 上拉或下拉电阻	对于上拉电阻: V _{IN} = V _{SS} 对于下拉电阻: V _{IN} = V _{CC}		20	35	50	kΩ
C _{I,dig} 输入电容, 仅数字端口引脚	V _{IN} = V _{SS} 或 V _{CC}			3		pF
C _{I,ana} 输入电容, 共享模拟功能的端口引脚	V _{输入} = V _{SS} 或 V _{CC}			5		pF
I _{Ikg(Px.y)} 高阻抗漏电流 ^{(1) (2)}		2V, 3V	-20		+20	nA
t _(int) 外部中断时序 (设置中断标志的外部触发脉冲持续时间) ⁽³⁾	具有中断功能的端口 (请参见框图和引脚功能描述)	2V, 3V	50			ns

(1) 漏电流是在把 V_{SS} 或 V_{CC} 施加至对应引脚的情况下测量的, 除非另外注明。

(2) 数字端口引脚的漏电流单独测量。为输入选择端口引脚, 而且上拉/下拉电阻器被禁用。

(3) 每次达到最小中断脉冲持续时间 t_(int) 时, 外部信号都会将中断标志置 1。可能通过短于 t_(int) 的触发信号置 1。

8.12.4.2 数字输出

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{OH} 高电平输出电压 (另请参见图 8-8 和图 8-9)	I _(OHmax) = -3mA ⁽¹⁾	2.0V	1.4		2.0	V
		3.0V	2.4		3.0	
V _{OL} 低电平输出电压 (另请参见图 8-6 和图 8-7)	I _(OLmax) = 3mA ⁽¹⁾	2.0V	0.0		0.60	V
		3.0V	0.0		0.60	
f _{Port_CLK} 时钟输出频率	C _L = 20pF ⁽²⁾	2.0V	16			MHz
		3.0V	16			
t _{rise,dig} 端口输出上升时间, 仅数字端口引脚	C _L = 20pF	2.0V		10		ns
		3.0V		7		
t _{fall,dig} 端口输出下降时间, 仅数字端口引脚	C _L = 20pF	2.0V		10		ns
		3.0V		5		

(1) 所有输出组合在一起的最大总电流 I_(OHmax) 和 I_(OLmax) 不应超过 ±48mA, 以保持指定的最大压降。

(2) 端口的输出频率至少可达到指定的限值, 并可能支持更高的频率。

8.12.4.3 数字 I/O 典型特性

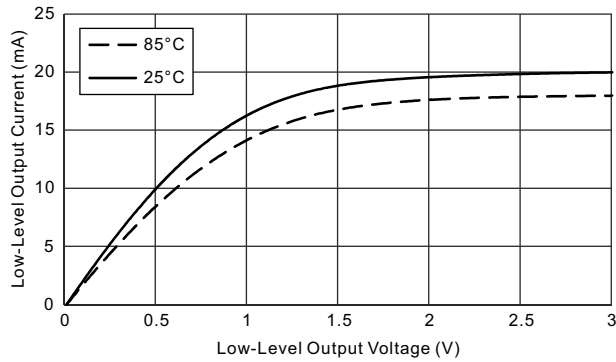


图 8-6. 典型低电平输出电流与低电平输出电压 (DVCC = 3V) 间的关系

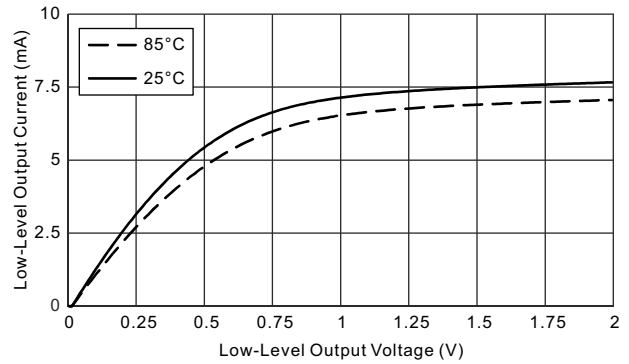


图 8-7. 典型低电平输出电流与低电平输出电压 (DVCC = 2V) 间的关系

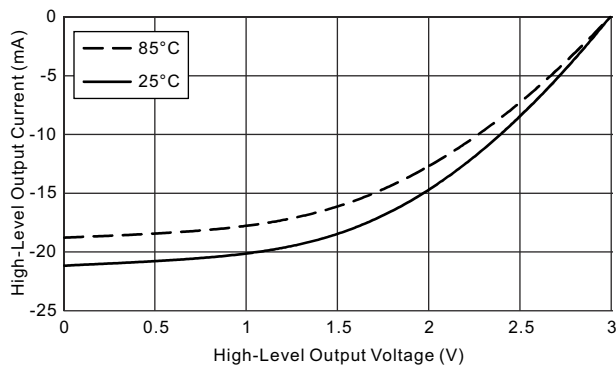


图 8-8. 典型高电平输出电流与高电平输出电压 (DVCC = 3V) 间的关系

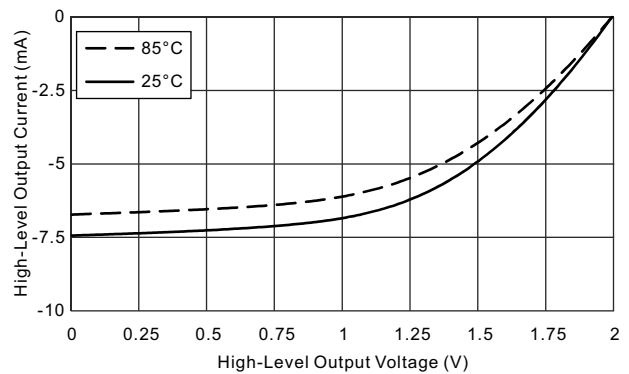


图 8-9. 典型高电平输出电流与高电平输出电压 (DVCC = 2V) 间的关系

8.12.5 VREF+ 内置基准

备注

下面指定了可供外部使用的 1.2V 基准。模拟模块仅为内部使用提供 1.5V 基准。因此，ADC 规格中包括了 1.5V 基准的精度。

8.12.5.1 VREF+ 特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{REF+} 正内置基准电压	EXTREFEN = 1, 负载电流为 1mA	2.0 V/ 3.0 V	1.158	1.2	1.242	V
TC _{REF+} 内置基准电压的温度系数	EXTREFEN = 1, 负载电流为 1mA			30		μV/°C

8.12.6 Timer_B

8.12.6.1 Timer_B

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另外注明）

参数	测试条件	V _{CC}	最小值	最大值	单位
f _{TB} Timer_B 输入时钟频率	内部：SMCLK 或 ACLK， 外部：TBCLK， 占空比 = 50% ± 10%	2.0 V/3.0 V		16	MHz
t _{TB,cap} Timer_A 捕获时序	所有捕获输入、捕获所需的最小脉冲持续时间	2.0 V/3.0 V	20		ns

8.12.7 eUSCI

8.12.7.1 eUSCI (UART 模式) 时钟频率

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	最大值	单位
f _{eUSCI} eUSCI 输入时钟频率	内部: SMCLK 或 MODCLK, 外部: UCLK, 占空比 = 50% ± 10%	2.0 V/3.0 V		16	MHz
f _{BITCLK} BITCLK 时钟频率 (等于波特率, 单位为 Mbaud)		2.0 V/3.0 V		5	MHz

8.12.7.2 eUSCI (UART 模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
t _t UART 接收抗尖峰脉冲时间 ⁽¹⁾	UCGLITx = 0	2.0 V/3.0 V		12		ns
	UCGLITx = 1			40		
	UCGLITx = 2			68		
	UCGLITx = 3			110		

(1) 对 UART 接收输入 (UCxRx) 上短于 UART 接收去毛刺脉冲时间的脉冲进行了抑制。为了确保脉冲能够正确识别, 其宽度应超过规定的最大去毛刺脉冲时间。

8.12.7.3 eUSCI (SPI 主模式) 时钟频率

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	最大值	单位
f _{eUSCI} eUSCI 输入时钟频率	内部: SMCLK 或 MODCLK, 占空比 = 50% ± 10%			8	MHz

8.12.7.4 eUSCI (SPI 主模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)⁽¹⁾

参数	测试条件	V _{CC}	最小值	最大值	单位
t _{STE, LEAD} STE 超前时间, STE 有效到时钟	UCSTEM = 1, UCMODEx = 01 或 10	3.0V	1		UCxCLK 周期
t _{STE, LAG} STE 滞后时间, 最后一个时钟到 STE 无效	UCSTEM = 1, UCMODEx = 01 或 10	3.0V	1		UCxCLK 周期
t _{SU, MI} 从器件输出, 主器件输入 (SOMI) 输入数据建立时间		2.0V	53		ns
		3.0V	35		
t _{HD, MI} SOMI 输入数据保持时间		2.0V	0		ns
		3.0V	0		
t _{VALID, MO} SIMO 输出数据有效时间 ⁽²⁾	UCLK 边缘至 SIMO 有效, C _L = 20pF	2.0V		20	ns
		3.0V		20	
t _{HD, MO} SIMO 输出数据保持时间 ⁽³⁾	C _L = 20pF	2.0V	0		ns
		3.0V	0		

(1) $f_{UCxCLK} = 1/2t_{LO/HI}$, $t_{LO/HI} = \max(t_{VALID, MO}(eUSCI) + t_{SU, SI}(Slave), t_{SU, MI}(eUSCI) + t_{VALID, SO}(Slave))$

对于从器件参数 $t_{SU, SI}(Slave)$ 和 $t_{VALID, SO}(Slave)$, 请参见所连接从器件的 SPI 参数。

(2) 指定输出更改 UCLK 时钟边沿后将下一有效数据驱动到 SIMO 输出的时间。请参阅图 8-10 和图 8-11 中的时序图。

(3) 指定输出更改 UCLK 脉冲边沿后 SIMO 输出上的数据的有效时长。负值表示 SIMO 输出上的数据可能在 UCLK 上观察到输出更改时钟边沿前变为无效状态。请参阅图 8-10 和图 8-11 中的时序图。

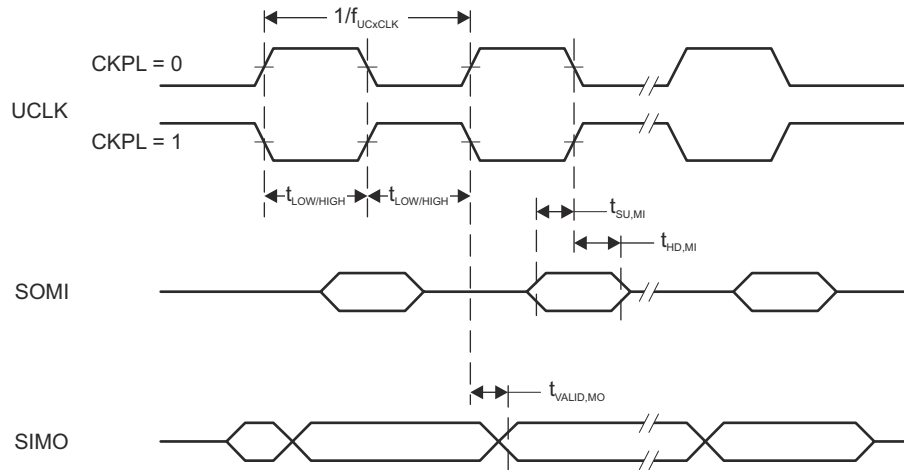


图 8-10. SPI 主控模式，CKPH = 0

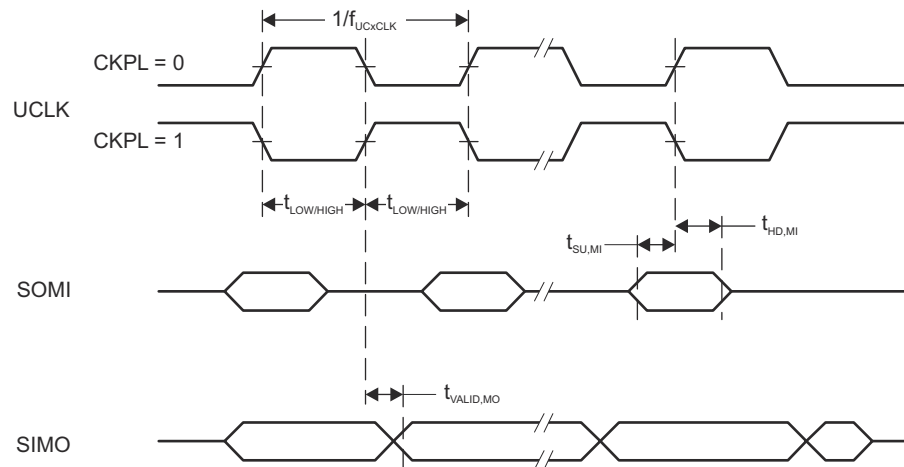


图 8-11. SPI 主控模式，CKPH = 1

8.12.7.5 eUSCI (SPI 从模式) 开关特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明) ⁽¹⁾

参数	测试条件	V _{CC}	最小值	最大值	单位
t _{STE,LEAD} STE 超前时间, STE 有效到时钟		2.0V	55		ns
		3.0V	45		
t _{STE,LAG} STE 滞后时间, 最后一个时钟到 STE 无效		2.0V	20		ns
		3.0V	20		
t _{STE,ACC} STE 访问时间, STE 有效到 SOMI 数据输出		2.0V		65	ns
		3.0V		40	
t _{STE,DIS} STE 禁用时间, STE 无效到 SOMI 高阻抗		2.0V		50	ns
		3.0V		35	
t _{SU,SI} SIMO 输入数据建立时间		2.0V	10		ns
		3.0V	8		
t _{HD,SI} SIMO 输入数据保持时间		2.0V	12		ns
		3.0V	12		
t _{VALID,SO} SOMI 输出数据有效时间 ⁽²⁾	UCLK 边缘至 SOMI 有效, C _L = 20pF	2.0V		68	ns
		3.0V		42	
t _{HD,SO} SOMI 输出数据保持时间 ⁽³⁾	C _L = 20pF	2.0V	5		ns
		3.0V	5		

(1) $f_{UCxCLK} = 1/2t_{LO/Hi}$, $t_{LO/Hi} \geq \max(t_{VALID,MO(Master)} + t_{SU,SI(eUSCI)}, t_{SU,MI(Master)} + t_{VALID,SO(eUSCI)})$
 对于主器件参数 $t_{SU,MI(Master)}$ 和 $t_{VALID,MO(Master)}$, 请参阅所连接主器件的 SPI 参数。

(2) 指定输出更改 UCLK 时钟边沿后将下一有效数据驱动到 SOMI 输出的时间。请参阅图 8-12 和图 8-13 中的时序图。

(3) 指定输出更改 UCLK 脉冲边沿后 SOMI 输出上的数据的有效时长。请参阅图 8-12 和图 8-13 中的时序图。

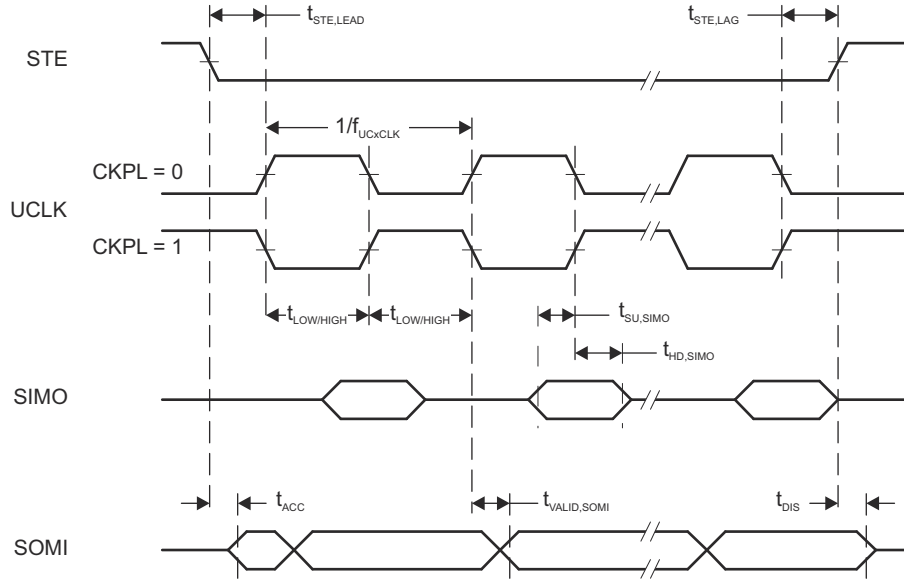


图 8-12. SPI 受控模式，CKPH = 0

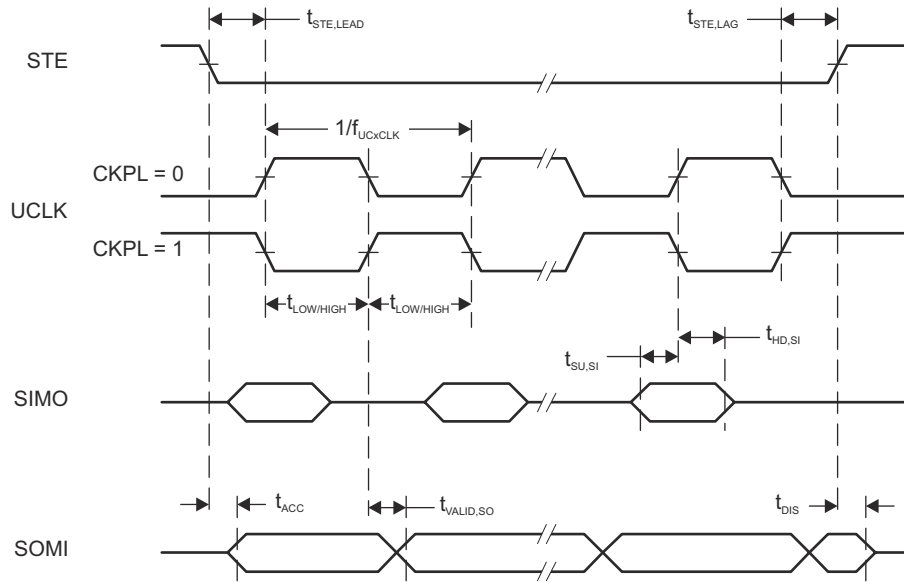


图 8-13. SPI 受控模式，CKPH = 1

8.12.8 ADC

备注

ADC 在 MSP430FR2000 器件上不可用。

8.12.8.1 ADC，电源和输入范围条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
DV _{CC} ADC 电源电压			2.0		3.6	V
V _(Ax) 模拟输入电压范围	所有 ADC 引脚		0		DV _{CC}	V
I _{ADC} 流入 DV _{CC} 引脚的工作电源电流，不包含基准电流，重复单通道模式	f _{ADCCLK} = 5MHz, ADCON = 1, REFON = 0, SHT0 = 0, SHT1 = 0, ADCDIV = 0, ADCCONSEQx = 10b	2V		185		μA
		3V		207		
C _I 输入电容	从焊盘到 ADC 电容器阵列一次只能选择一个端子 Ax (包括接线和焊盘)	2.2V		2.5	3.5	pF
R _{I,MUX} 输入 MUX 导通电阻	DV _{CC} = 2V, 0V ≤ V _{Ax} ≤ DV _{CC}				2	kΩ
R _{I,Misc} 输入其他电阻				34		kΩ

8.12.8.2 ADC，10 位时序参数

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
f _{ADCCLK}	对于指定的 ADC 线性参数的性能	2V 至 3.6V	0.45	5	5.5	MHz
f _{ADCOSC} 内部 ADC 振荡器 (MODOSC)	ADCDIV = 0, f _{ADCCLK} = f _{ADCOSC}	2V 至 3.6V	3.8	4.8	5.8	MHz
t _{转换} 转换时间	REFON = 0, 内部振荡器, 10 个 ADCCLK 周期, 10 位模式, f _{ADCOSC} = 4.5MHz 至 5.5MHz	2V 至 3.6V	2.18		2.67	μs
	来自 ACLK、MCLK 或 SMCLK 的外部 f _{ADCCLK} , ADCSSEL ≠ 0	2V 至 3.6V		12 × 1 / f _{ADCCLK}		
t _{ADCON} ADC 的接通稳定时间	转换 t _{ADCON} 后的误差小于 ±0.5 LSB。基准和输入信号已稳定下来。				100	ns
t _{Sample} 采样时间	R _S = 1000Ω, R _I ⁽¹⁾ = 36000Ω, C _I = 3.5pF, 使误差小于 ±0.5 LSB 需要大约 8 Tau(t) ⁽²⁾	2V	1.5			μs
		3V	2.0			

(1) R_I = R_{I,MUX} + R_{I,Misc}

(2) t_{Sample} = ln(2ⁿ⁺¹) × τ, 其中 n = ADC 分辨率, τ = (R_I + R_S) × C_I

8.12.8.3 ADC, 10 位线性参数

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	V _{CC}	最小值	典型值	最大值	单位
E _I	积分线性误差 (10 位模式)	V _{ref+} 基准	2.4V 至 3.6 V	-2		2	LSB
	积分线性误差 (8 位模式)		2.0V 至 3.6V	-2		2	
E _D	差分线性误差 (10 位模式)	V _{ref+} 基准	2.4V 至 3.6 V	-1		1	LSB
	差分线性误差 (8 位模式)		2.0V 至 3.6V	-1		1	
E _O	偏移误差 (10 位模式)	V _{ref+} 基准	2.4V 至 3.6 V	-6.5		6.5	mV
	偏移误差 (8 位模式)		2.0V 至 3.6V	-6.5		6.5	
E _G	增益误差 (10 位模式)	V _{ref+} 作为基准	2.4V 至 3.6 V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
	增益误差 (8 位模式)	V _{ref+} 作为基准	2.0V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
E _T	总未调整误差 (10 位模式)	V _{ref+} 作为基准	2.4V 至 3.6 V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
	总未调整误差 (8 位模式)	V _{ref+} 作为基准	2.0V 至 3.6V	-2.0		2.0	LSB
		内部 1.5V 基准		-3.0%		3.0%	
V _{SENSOR}	请参阅 ⁽¹⁾	ADCON = 1, INCH = 0Ch, T _A = 0°C	3.0V		913		mV
TC _{SENSOR}	请参阅 ⁽²⁾	ADCON = 1, INCH = 0Ch	3.0V		3.35		mV/°C
t _{SENSOR} (sample)	如果选择通道 12, 则需要采样时间	ADCON = 1, INCH = 0Ch, 转换结果误差 ≤ 1LSB, AM 以及 LPM3 以上的所有 LPM	3.0V		30		μs
		ADCON = 1, INCH = 0Ch, 转换结果误差 ≤ 1LSB, LPM3	3.0V		100		

- (1) 温度传感器偏移可能明显不同。德州仪器 (TI) 建议进行单点校准, 以便最大限度地减小内置温度传感器的偏移误差。
- (2) 器件描述符结构包含每个可用基准电压等级的 30°C 和 85°C 的校准值。传感器电压计算公式为: $V_{SENSE} = TC_{SENSOR} \times (\text{温度}, ^\circ\text{C}) + V_{SENSOR}$, 其中 TC_{SENSOR} 和 V_{SENSOR} 可采用校准值计算得出, 以便提高精度。

8.12.9 增强型比较器 (eCOMP)

8.12.9.1 eCOMP 特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{CC}	电源电压		2.0		3.6	V
V _{IC}	共模输入范围		0		V _{CC}	V
V _{HYS}	直流输入迟滞	2.0V 至 3.6V	CPEN = 1, CPHSEL = 00		0	mV
			CPEN = 1, CPHSEL = 01		10	
			CPEN = 1, CPHSEL = 10		20	
			CPEN = 1, CPHSEL = 11		30	
V _{OFFSET}	输入失调电压	2.0V 至 3.6V	CPEN = 1, CPMSEL = 0, CPHSEL = 00		-40	mV
			CPEN = 1, CPMSEL = 1, CPHSEL = 00		±5	
I _{COMP}	来自 V _{CC} 的静态电流消耗, 仅使用比较器	2.0V 至 3.6V	V _{IC} = V _{CC} /2, CPEN = 1, CPMSEL = 0		22	μA
			V _{IC} = V _{CC} /2, CPEN = 1, CPMSEL = 1		1.3	
I _{DAC}	来自 V _{CC} 的静态电流消耗, 仅 DAC	2.0V 至 3.6V	CPDACREFS = 0, CPEN = 0		0.5	μA
C _{IN}	输入通道电容 ⁽¹⁾	2.0V 至 3.6V			1	pF
R _{IN}	输入通道串联电阻	2.0V 至 3.6V	开启 (开关关闭)		10	kΩ
			关闭 (开关打开)		20	
t _{PD}	传播延迟, 响应时间	2.0V 至 3.6V	CPMSEL = 0, CPFLT = 0, 过驱 = 20mV ⁽²⁾		1	μs
			CPMSEL = 1, CPFLT = 0, 过驱 = 20mV ⁽²⁾		2.4	
t _{EN_CP}	比较器使能时间	2.0V 至 3.6V	CPEN = 0→1, CPMSEL = 0, V+ 和 V- 来自焊盘, 过驱 = 20mV ⁽²⁾		9.3	μs
			CPEN = 0→1, CPMSEL = 1, 来自焊盘的 V+ 和 V-, 过驱 = 20mV ⁽²⁾		12	
t _{EN_CP_DAC}	具有基准 DAC 使能时间的比较器	2.0V 至 3.6V	CPEN = 0→1, CPDACEN=0→1, CPMSEL = 0, CPDACREFS = 1, CPDACBUF1 = 0F, 过驱 = 20mV ⁽²⁾		9.3	μs
			CPEN = 0→1, CPDACEN=0→1, CPMSEL = 1, CPDACREFS = 1, CPDACBUF1 = 0F, 过驱 = 20mV ⁽²⁾		113	
t _{FDLY}	模拟滤波器激活时的传播延迟	2.0V 至 3.6V	CPMSEL = 0, CPFLTDY = 00, 过驱 = 20mV, ⁽²⁾ CPFLT = 1		0.7	μs
			CPMSEL = 0, CPFLTDY = 01, 过驱 = 20mV, ⁽²⁾ CPFLT = 1		1.1	
			CPMSEL = 0, CPFLTDY = 10, 过驱 = 20mV, ⁽²⁾ CPFLT = 1		1.9	
			CPMSEL = 0, CPFLTDY = 11, 过驱 = 20mV, ⁽²⁾ CPFLT = 1		3.7	
V _{CP_DAC}	内置 6 位 DAC 的基准电压	2.0V 至 3.6V	VIN = 6 位 DAC 的基准电压, DAC 使用内部 REF, n = 0 至 63		VIN × n / 64	V
			VIN = 6 位 DAC 的基准电压, DAC 使用 V _{CC} 作为 REF, n = 0 至 63		VIN × n / 64	
INL	积分非线性	2.0V 至 3.6V	-0.5		+0.5	LSB
DNL	微分非线性	2.0V 至 3.6V	-0.5		+0.5	LSB
	零标度	2.0V 至 3.6V			0	LSB

8.12.9.1 eCOMP 特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{DACOFF} 漏电流		2.0V 至 3.6V		5		nA

- (1) 对于 eCOMP C_{IN} 模型, 请参阅图 8-14。
- (2) 此值是在输入失调电压上测得。

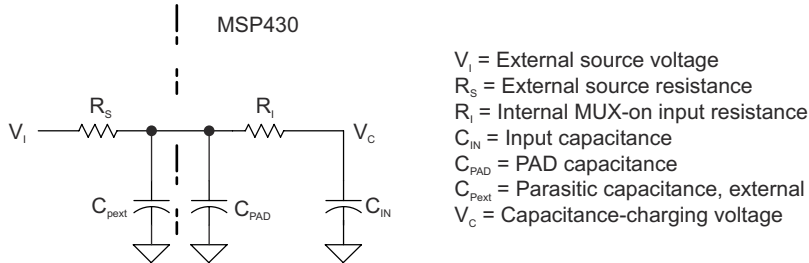


图 8-14. eCOMP 输入电路

8.12.10 FRAM

8.12.10.1 FRAM 特性

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另外注明)

参数	测试条件	最小值	典型值	最大值	单位
耐读写次数		10 ¹⁵			周期
t _{保持} 数据保持持续时间	T _J = 25°C	100			年
	T _J = 70°C	40			
	T _J = 85°C	10			
I _{WRITE} 写入 FRAM 的电流			I _{READ} ⁽¹⁾		nA
I _{ERASE} 擦除电流			n/a ⁽²⁾		
t _{WRITE} 写入时间			t _{READ} ⁽³⁾		ns
I _{READ}	读取时间, NWAITSx = 0		1 / f _{SYSTEM} ⁽⁴⁾		ns
	读取时间, NWAITSx = 1		2 / f _{SYSTEM} ⁽⁴⁾		ns

- (1) 与对 FRAM 执行读取操作相比, 对 FRAM 执行写入操作无需设置过程或更多功耗。活动模式电流消耗 I_{AM, FRAM} 中包括 FRAM 读取电流 I_{READ}。
- (2) n/a = 不适用。FRAM 不需要特殊的擦除序列。
- (3) 写入 FRAM 的速度与读取速度一样快。
- (4) 最大读取 (和写入) 速度由 f_{SYSTEM} 使用适当的等待状态设置 (NWAITSx) 来指定。

8.12.11 仿真和调试

8.12.11.1 JTAG, Spy-Bi-Wire 接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内 (除非另有说明) (请参阅图 8-15)

参数		V _{CC}	最小值	典型值	最大值	单位
f _{SBW}	Spy-Bi-Wire 输入频率	2.0 V/3.0 V	0		8	MHz
t _{SBW, 低电平}	Spy-Bi-Wire 低电平时钟脉冲持续时间	2.0 V/3.0 V	0.028		15	μs
t _{SU,SBWTDIO}	SBWTDIO 建立时间 (在 TMS 和 TDI 时隙 Spy-Bi-Wire 中 SBWTCK 的下降沿之前)	2.0 V/3.0 V	4			ns
t _{HD,SBWTDIO}	SBWTDIO 保持时间 (在 TMS 和 TDI 时隙 Spy-Bi-Wire 中 SBWTCK 的上升沿之后)	2.0 V/3.0 V	19			ns
t _{Valid,SBWTDIO}	SBWTDIO 数据有效时间 (在 TDO 时隙 Spy-Bi-Wire 中 SBWTCK 的下降沿之后)	2.0 V/3.0 V			31	ns
t _{SBW, En}	Spy-Bi-Wire 使能时间 (TEST 高电平到接受第一个时钟边沿的时间) (1)	2.0 V/3.0 V			110	μs
t _{SBW, Ret}	Spy-Bi-Wire 恢复正常运行的时间(2)	2.0 V/3.0 V	15		100	μs

- (1) 访问 Spy-Bi-Wire 接口的工具必须在将 TEST/SBWTCK 引脚拉为高电平后等待 t_{SBW,En} 时间, 然后再施加第一个 SBWTCK 时钟边沿。
- (2) 将 TEST/SBWTCK 引脚拉低或释放, Spy-Bi-Wire 引脚从其 Spy-Bi-Wire 功能恢复为其应用功能之后的最大 t_{SBW,Rst} 时间。仅当选择了 Spy-Bi-Wire 模式时, 此时间才适用。

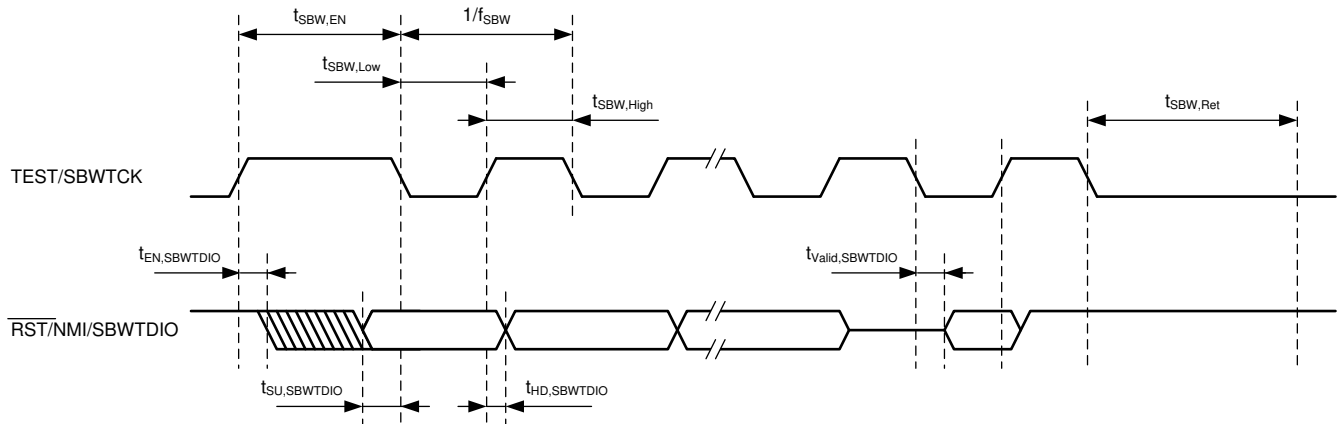


图 8-15. JTAG Spy-Bi-Wire 时序

8.12.11.2 JTAG 4 线制接口

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）（请参阅图 8-16）

参数		V _{CC}	最小值	典型值	最大值	单位
f _{TCK}	TCK 输入频率 ⁽¹⁾	2.0 V/3.0 V	0		10	MHz
t _{TCK,Low}	TCK 低电平时钟脉冲持续时间	2.0 V/3.0 V	15			ns
t _{TCK,high}	TCK 高电平时钟脉冲持续时间	2.0 V/3.0 V	15			ns
t _{SU,TMS}	TMS 建立时间 (TCK 的上升沿之前)	2.0 V/3.0 V	11			ns
t _{HD,TMS}	TCK 保持时间 (TCK 的上升沿之后)	2.0 V/3.0 V	3			ns
t _{SU,TDI}	TDI 建立时间 (TCK 的上升沿之前)	2.0 V/3.0 V	13			ns
t _{HD,TDI}	TDI 保持时间 (TCK 的上升沿之后)	2.0 V/3.0 V	5			ns
t _{Z-Valid,TDO}	TDO 高阻抗到有效输出时间 (TCK 的下降沿之后)	2.0 V/3.0 V			26	ns
t _{Valid,TDO}	TDO 到新的有效输出时间 (TCK 的下降边沿之后)	2.0 V/3.0 V			26	ns
t _{Valid-Z,TDO}	TDO 有效到高阻抗输出时间 (TCK 的下降沿之后)	2.0 V/3.0 V			26	ns
t _{JTAG,Ret}	JTAG 恢复正常运行的时间		15		100	μs
R _{internal}	TEST 上的内部下拉电阻	2.0 V/3.0 V	20	35	50	kΩ

(1) 可限制 f_{TCK} 以满足选定模块的时序要求。

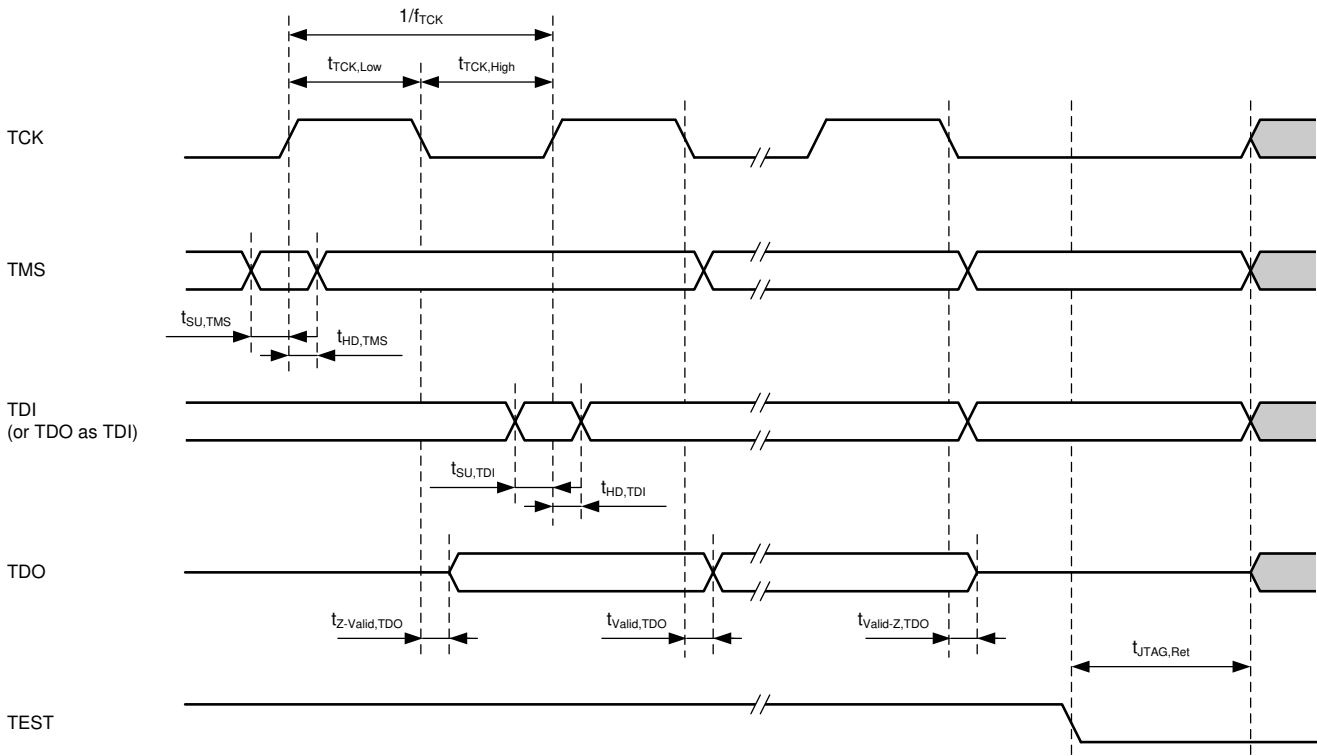


图 8-16. JTAG 4 线制时序

9 详细说明

9.1 概述

德州仪器 (TI) MSP430FR211x 系列超低功耗微控制器包含多种器件, 各成员器件配备不同的外设集。这种架构与五种低功耗模式相组合, 专为延长电池使用寿命 (例如, 在便携式测量应用中) 而优化。该器件具有功能强大的 16 位 RISC CPU、16 位寄存器和常数发生器, 有助于实现出色的编码效率。

MSP430FR211x 器件是有一个 Timer_B、具有内置 6 位 DAC 作为内部基准电压的 eCOMP、高性能 10 位 ADC、支持 UART 和 SPI 的 eUSCI、具有警报功能的 RTC 模块以及多达 12 个 I/O 引脚的微控制器配置。

9.2 CPU

MSP430 CPU 具有一个对于应用高度透明的 16 位精简指令集 (RISC) 架构。所有的操作 (程序流指令除外) 均作为寄存器操作与用于源操作数的 7 种寻址模式和用于目的操作数的 4 种寻址模式一起执行。

CPU 与 16 个寄存器进行了集成, 从而提供精简指令执行时间。寄存器至寄存器操作执行时间为 CPU 时钟的一个周期。

R0 到 R3 这四个寄存器为专用寄存器, 分别用于程序计数器 (PC)、堆栈指针 (SP)、状态寄存器 (SR) 和常数发生器 (CG)。其余的寄存器为通用型寄存器。

外设通过数据、地址和控制总线连接至 CPU。可使用所有指令管理外设。

9.3 工作模式

MSP430 具有一种活动模式和几种软件可选的低功耗运行模式 (请参阅表 9-1)。中断事件可将器件从低功耗模式 LPM0、LPM3 或 LPM4 唤醒、为请求提供服务, 以及从中断程序返回时恢复到低功耗模式。低功耗模式 LPM3.5 和 LPM4.5 禁用了内核电源, 可最大限度地降低功耗。

备注

如果低频外设发出请求, 则 XT1CLK 和 VLOCLK 可在 LPM4 期间处于活动状态。

表 9-1. 工作模式

模式		AM	LPM0	LPM3	LPM4	LPM3.5	LPM4.5
		工作模式	CPU 关闭	待机	关闭	仅 RTC 计数器	SHUTDOWN
最大系统时钟		16MHz	16MHz	40kHz	0	40kHz	0
25°C, 3V 条件下的功耗		120µA/MHz	40µA/MHz	1.5µA	0.42µA, 未使用 SVS	0.66µA	34nA, 未使用 SVS
唤醒时间		N/A	即时	10µs	10µs	150µs	150µs
唤醒事件		N/A	全部	全部	I/O	RTC 计数器 I/O	I/O
电源	稳压器	完全稳压	完全稳压	部分断电	部分断电	部分断电	断电
	SVS	打开	打开	可选	可选	可选	可选
	欠压	打开	打开	打开	打开	打开	打开
时钟 ⁽²⁾	MCLK	激活	关闭	关闭	关闭	关闭	关闭
	SMCLK	可选	可选	关闭	关闭	关闭	关闭
	FLL	可选	可选	关闭	关闭	关闭	关闭
	DCO	可选	可选	关闭	关闭	关闭	关闭
	MODCLK	可选	可选	关闭	关闭	关闭	关闭
	REFO	可选	可选	可选	关闭	关闭	关闭
	ACLK	可选	可选	可选	关闭	关闭	关闭
	XT1LFCLK	可选	可选	可选	关闭	可选	关闭
VLOCLK	可选	可选	可选	关闭	可选	关闭	
内核	CPU	打开	关闭	关闭	关闭	关闭	关闭
	FRAM	打开	打开	关闭	关闭	关闭	关闭
	RAM	打开	打开	打开	打开	关闭	关闭
	备用存储器 ⁽¹⁾	打开	打开	打开	打开	打开	关闭
外设	Timer_B3	可选	可选	可选	关闭	关闭	关闭
	WDT	可选	可选	可选	关闭	关闭	关闭
	eUSCI_A	可选	可选	可选	关闭	关闭	关闭
	CRC	可选	可选	关闭	关闭	关闭	关闭
	ADC ⁽³⁾	可选	可选	可选	关闭	关闭	关闭
	eCOMP	可选	可选	可选	可选	关闭	关闭
	RTC 计数器	可选	可选	可选	关闭	可选	关闭
I/O	通用数字输入/输出	开启	可选	状态保持	状态保持	状态保持	状态保持
	电容式触控 I/O	可选	可选	可选	关闭	关闭	关闭

(1) 外设存储器中的备用存储器包含 32 个字节的寄存器空间。有关其存储器分配的信息，请参阅表 9-18 和表 9-31。

(2) 为 LPM4 显示的状态仅适用于内部时钟。

(3) ADC 在 MSP430FR2000 器件上不可用。

9.4 中断向量地址

中断向量和上电起始地址在 0FFFFh 至 0FF80h 地址范围内。该向量包含相应中断处理程序指令序列的 16 位地址。表 9-2 汇总了中断源、标志和向量。

表 9-2. 中断源、标志、和矢量

中断源	中断标志	系统中断	字地址	优先级
系统复位 上电、欠压、电源监控器 外部复位 RST 看门狗超时、密钥违反 FRAM 不可纠正位错误检测 软件 POR、BOR FLL 解锁错误	SVSHIFG PMMRSTIFG WDTIFG PMMPORIFG、PMMBORIFG SYSRSTIV FLLULPUC	复位	FFFEh	63, 最高
系统 NMI 空内存访问 JTAG 邮箱 FRAM 访问时间错误 FRAM 位错误检测	VMAIFG JMBINIFG、JMBOUTIFG CBDIFG、UBDIFG	(不)可屏蔽	FFFCh	62
用户 NMI 外部 NMI 振荡器故障	NMIIFG OFIFG	(不)可屏蔽	FFFAh	61
Timer0_B3	TB0CCR0 CCIFG0	可屏蔽	FFF8h	60
Timer0_B3	TB0CCR1 CCIFG1、TB0CCR2 CCIFG2、TB0IFG (TB0IV)	可屏蔽	FFF6h	59
RTC 计数器	RTCIFG	可屏蔽	FFF4h	58
看门狗计时器间隔模式	WDTIFG	可屏蔽	FFF2h	57
eUSCI_A0 接收或发送	UCTXGPTIFG、UCSTTIFG、 UCRXIFG、UCTXIFG (UART 模 式) UCRXIFG、UCTXIFG (SPI 模 式) (UCA0IV)	可屏蔽	FFF0h	56
ADC	ADCIFG0, ADCINIFG, ADCLOIFG, ADCHIIFG, ADCTOVIFG, ADCOVIFG (ADCIV)	可屏蔽	FFEEh	55
P1	P1IFG.0 至 P1IFG.3 (P1IV)	可屏蔽	FFECh	54
P2	P2IFG.0、P2IFG.1、P2IFG.6 和 P2IFG.7 (P2IV)	可屏蔽	FFEAh	53
eCOMP0	CPIIFG、CPIFG (CPIV)	可屏蔽	FFE8h	52
保留	保留	可屏蔽	FFE6h 至 FF88h	
签名	BSL 签名 2		0FF86h	
	BSL 签名 1		0FF84h	
	JTAG 签名 2		0FF82h	
	JTAG 签名 1		0FF80h	

9.5 内存组织

表 9-3 总结了 MSP430FR211x 和 MSP430FR210x 器件的存储器映射。

表 9-3. 内存组织

内存类型	访问	MSP430FR2111	MSP430FR2110	MSP430FR2100	MSP430FR2000
存储器 (FRAM) 主: 中断向量和签名 主: 代码存储器	读/写 (可选写保护) ⁽¹⁾	3.75KB FFFFh 至 FF80h FFFFh 至 F100h	2KB FFFFh 至 FF80h FFFFh 至 F800h	1KB FFFFh 至 FF80h FFFFh 至 FC00h	0.5KB FFFFh 至 FF80h FFFFh 至 FE00h
RAM	读取/写入	1KB 23FFh 至 2000h	1KB 23FFh 至 2000h	512 字节 21FFh 至 2000h	512 字节 21FFh 至 2000h
引导加载程序 (BSL) 存储器 (ROM) (TI 内部使用)	只读	1KB 13FFh 至 1000h	1KB 13FFh 至 1000h	1KB 13FFh 至 1000h	1KB 13FFh 至 1000h
外设	读取/写入	4KB 0FFFh 至 0000h	4KB 0FFFh 至 0000h	4KB 0FFFh 至 0000h	4KB 0FFFh 至 0000h

(1) 程序 FRAM 可通过设置 SYSCFG0 寄存器中的 PFWP 位进行写保护。更多详细信息, 请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx](#) 系列用户指南中的 SYS 一章。

9.6 引导加载程序 (BSL)

BSL 支持用户使用 UART 接口对 FRAM 或 RAM 进行编程。通过 BSL 访问器件存储器时受用户定义的密码保护。表 9-4 列出了 BSL 引脚要求。要进入 BSL, 需在 $\overline{RST}/NMI/SBWTIO$ 和 $\overline{TEST}/SBWTCK$ 引脚上使用特定的进入序列。要获取 BSL 特性及其实施的完整说明, 请参阅 [MSP430 FRAM 器件引导加载程序 \(BSL\) 用户指南](#)。

表 9-4. UART BSL 引脚要求和功能

器件信号	BSL 功能
$\overline{RST}/NMI/SBWTIO$	进入序列信号
$\overline{TEST}/SBWTCK$	进入序列信号
P1.7	数据发送
P1.6	数据接收
DVCC	电源
DVSS	接地电源

9.7 JTAG 标准接口

MSP430 系列支持标准 JTAG 接口, 该接口需要四个信号来发送和接收数据。JTAG 信号与通用 I/O 共享。 $\overline{TEST}/SBWTCK$ 引脚用于使能 JTAG 信号。与 MSP430 开发工具和器件编程器连接还需要 $\overline{RST}/NMI/SBWTIO$ 引脚。表 9-5 列出了 JTAG 引脚要求。有关连接开发工具和器件编程器的详细信息, 请参阅 [MSP430 硬件工具用户指南](#)。

表 9-5. JTAG 引脚要求和功能

器件信号	方向	JTAG 功能
P1.4/UCA0STE/TCK/A4	IN	JTAG 时钟输入
P1.5/UCA0CLK/TMS/A5	IN	JTAG 状态控制
P1.6/UCA0RXD/UCA0SOMI/TB0.1/TDI/TCLK/A6	IN	JTAG 数据输入, TCLK 输入
P1.7/UCA0TXD/UCA0SIMO/TB0.2/TDO/A7/VREF+	OUT	JTAG 数据输出
$\overline{TEST}/SBWTCK$	IN	使能 JTAG 引脚
$\overline{RST}/NMI/SBWTIO$	IN	外部复位
DVCC	-	电源
DVSS	-	接地电源

9.8 Spy-Bi-Wire 接口 (SBW)

MSP430 系列支持 2 线制 Spy-Bi-Wire 接口。Spy-Bi-Wire 可用于连接 MSP430 开发工具和器件编程器。表 9-6 列出了 Spy-Bi-Wire 接口引脚要求。有关连接开发工具和器件编程器的更多详细信息，请参阅 [MSP430 硬件工具用户指南](#)。

表 9-6. Spy-Bi-Wire 引脚要求和功能

器件信号	方向	SBW 功能
TEST/SBWTCK	IN	Spy-Bi-Wire 时钟输入
RST/NMI/SBWDIO	IN, OUT	Spy-Bi-Wire 数据输入和输出
VCC		电源
VSS		接地电源

9.9 FRAM

FRAM 可使用 JTAG 端口、Spy-Bi-Wire (SBW) 或 BSL 进行编程，或者通过 CPU 在系统中进行编程。FRAM 的特性包括：

- 能够进行字节和字访问
- 可生成可编程等待状态
- 纠错码 (ECC)

9.10 存储器保护

该器件具有用户访问权限的存储器保护和写保护功能，包括：

- 通过使用 JTAG 端口、SBW、BSL 或由 CPU 在系统内写入 JTAG 和 BSL 签名以确保整个存储器映射的安全，防止通过 JTAG 端口或 BSL 进行未经授权访问。
- 在系统配置寄存器 0 中使用相应的密码设置控制位，启用写保护，从而防止对 FRAM 内容进行不必要的写操作。有关更多详细信息，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#) 中的 SYS 一章。

9.11 外设

外设通过数据、地址和控制总线连接至 CPU。所有外设均可通过存储器映射中的所有指令进行处理。有关完整的模块说明，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#)。

9.11.1 电源管理模块 (PMM) 和片上基准电压

PMM 包含集成稳压器，可为器件提供内核电压。PMM 还包括电源电压监控器 (SVS) 和欠压保护。实现的欠压复位电路 (BOR) 可在上电和断电期间为器件提供适当的内部复位信号。SVS 电路会检测电源电压是否降至可由用户选择的安全等级以下。SVS 电路可用于主电源。

该器件包含两个片上基准：1.5V 用于内部基准，1.2V 用于外部基准。

1.5V 基准在内部连接至 ADC 通道 13。DVCC 在内部连接至 ADC 通道 15。如果 DVCC 设为 ADC 转换的基准电压，则 DVCC 可使用 ADC 采样 1.5V 基准轻松表示为 [方程式 1](#)，而无需任何外部组件支持。

$$DVCC = (1023 \times 1.5V) / 1.5V \text{ 基准 ADC 结果} \quad (1)$$

1.5V 基准电压还在内部连接到比较器内置 DAC，作为基准电压。DVCC 在内部连接到 DAC 基准的另一个源，这两个源都由 CPDACREFS 位控制。相关更多详细信息，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#) 中的“比较器”一章。

当 PMMCTL2 寄存器中的 EXTREFEN = 1 时，1.2V 基准电压可进行缓冲并输出到 P1.7/TDO/A7/VREF+。还可以选择 ADC 通道 7 来监控此电压。有关更多详细信息，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#)。

备注

ADC 在 MSP430FR2000 器件上不可用。

9.11.2 时钟系统 (CS) 和时钟分配

时钟系统包括 32kHz 低频振荡器 (XT1)、内部超低功耗低频振荡器 (VLO)、集成 32kHz RC 振荡器 (REFO)、可使用锁频环 (FLL) 锁定内部或外部 32kHz 基准时钟的集成内部数控振荡器 (DCO) 以及片上异步高速时钟 (MODOSC)。时钟系统的设计旨在以最少的外部组件实现经济高效的设计。针对 XT1 设计了故障安全机制。时钟系统模块提供以下时钟信号。

- 主时钟 (MCLK) : CPU 和总线访问的所有相关外设所使用的系统时钟。除 MODOSC 外, 所有时钟源均可通过 1、2、4、8、16、32、64 或 128 预分频器选为时钟源。
- 子主时钟 (SMCLK) : 供外设模块使用的子系统时钟。SMCLK 源自预分频器为 1、2、4 或 8 的 MCLK。这意味着 SMCLK 始终等于或小于 MCLK。
- 辅助时钟 (ACLK) : 该时钟由外部 XT1 时钟或内部 REFO 时钟 (最高频率 40kHz) 提供。

所有外设可能有一个或多个时钟源, 具体视特定功能而定。表 9-7 和表 9-8 汇总了此器件中使用的时钟分配。

表 9-7. 时钟分配

	时钟源选择位	MCLK	SMCLK	ACLK	MODCLK	VLOCLK	外部引脚
频率范围		DC 到 16MHz	DC 到 16MHz	DC 到 40kHz	4MHz	10kHz	
CPU	N/A	默认值					
FRAM	N/A	默认值					
RAM	N/A	默认值					
CRC	N/A	默认值					
I/O	N/A	默认值					
TB0	TBSSEL		10b	01b			00b (TB0CLK 引脚)
eUSCI_A0	UCSSEL		10b 或 11b	01b			00b (UCA0CLK 引脚)
WDT	WDTSEL		00b	01b		10b	
ADC ⁽¹⁾	ADCSEL		10b 或 11b	01b	00b		
RTC	RTCSS		01b ⁽²⁾	01b ⁽²⁾		11b	

(1) ADC 在 MSP430FR2000 器件上不可用。

(2) 由 SYSCFG2 寄存器中的 RTCCKSEL 位来控制。

表 9-8. XTCLK 分配

运行模式	时钟源选择位	XTLCLK
		AM 至 LPM3.5 (直流至 40kHz)
MCLK	SEMS	10b
SMCLK	SEMS	10b
REFO	SELREF	0b
ACLK	SELA	0b
RTC	RTCSS	10b

9.11.3 通用输入/输出端口 (I/O)

器件实现了多达 12 个 I/O 端口。

- P1 实现了 8 位，P2 实现了 4 位。
- 所有单独的 I/O 位均可独立进行编程。
- 输入、输出和中断条件的任意组合均可用于 P1 和 P2。
- 所有端口上均具有可编程的上拉电阻或下拉电阻。
- P1.0 至 P1.3、P2.0、P2.1、P2.6 和 P2.7 均提供可选择边沿的中断、LPM4、LPM3.5 和 LPM4.5 唤醒输入功能。
- 所有指令均支持对端口控制寄存器的读写访问。
- 端口可按字节或字成对访问。
- 所有引脚上均支持电容式触控 I/O 功能。

备注

BOR 复位后的数字 I/O 配置

为了避免器件启动期间出现交叉电流，所有端口引脚均呈高阻态，并且禁用了施密特触发器和模块功能。要在 BOR 复位后使能 I/O 功能，必须先配置端口，随后必须将 LOCKLPM5 位清零。有关详细信息，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx](#) 系列用户指南的“数字 I/O”一章中的复位后配置部分。

9.11.4 看门狗计时器 (WDT)

WDT 模块的主要功能是在出现软件问题后使受控系统重启。如果选定的时间间隔到期，则会产生一个系统复位。如果应用中不需要看门狗功能，该模块可配置为间隔计时器，并可在选定的时间间隔生成中断。

表 9-9. WDT 时钟

WDTSEL	正常运行 (看门狗和间隔计时器模式)
00	SMCLK
01	ACLK
10	VLOCLK
11	保留

9.11.5 系统模块 (SYS)

SYS 模块会处理器件内的许多系统功能。这些系统功能包括上电复位 (POR) 和上电清除 (PUC) 处理、NMI 源选择和管理、复位中断向量发生器、引导加载程序进入机制以及配置管理 (器件描述符)。SYS 还包括一种通过称为 JTAG 邮箱的 SBW 实现的数据交换机制，可在应用中使用。表 9-10 列出了 SYS 模块中断向量寄存器。

表 9-10. 系统模块中断向量寄存器

中断向量寄存器	地址	中断事件	值	优先级
SYSRSTIV, 系统复位	015Eh	无中断待处理	00h	
		欠压 (BOR)	02h	最高
		RSTIFG RST/NMI (BOR)	04h	
		PMMSWBOR 软件 BOR (BOR)	06h	
		LPMx.5 唤醒 (BOR)	08h	
		安全违例 (BOR)	0Ah	
		保留	0Ch	
		SVSHIFG SVSH 事件 (BOR)	0Eh	
		保留	10h	
		保留	12h	
		PMMSWPOR 软件 POR (POR)	14h	
		WDTIFG 看门狗超时 (PUC)	16h	
		WDTPW 密码违例 (PUC)	18h	
		FRCTLPW 密码违例 (PUC)	1Ah	
		不可纠正的 FRAM 位错误检测	1Ch	
		外设区域获取 (PUC)	1Eh	
		PMMPW PMM 密码违例 (PUC)	20h	
		保留	22h	
		FLL 解锁 (PUC)	24h	
保留	26h 至 3Eh	最低		
SYSSNIV, 系统 NMI	015Ch	无中断待处理	00h	
		SVS 低功耗复位进入	02h	最高
		不可纠正的 FRAM 位错误检测	04h	
		保留	06h	
		被保留	08h	
		被保留	0Ah	
		保留	0Ch	
		被保留	0Eh	
		保留	10h	
		VMAIFG 空存储器访问	12h	
		JMBINIFG JTAG 邮箱输入	14h	
		JMBOUTIFG JTAG 邮箱输出	16h	
		可纠正的 FRAM 位错误检测	18h	
		被保留	1Ah 至 1Eh	最低
SYSUNIV, 用户 NMI	015Ah	无中断待处理	00h	
		NMIIFG NMI 引脚或 SVS _H 事件	02h	最高
		OFIFG 振荡器故障	04h	
		保留	06h 至 1Eh	最低

9.11.6 循环冗余校验 (CRC)

16 位 CRC 模块会根据数据值序列生成签名，并可用于数据检查。CRC 生成多项式符合 CRC-16-CCITT 标准 $x^{16} + x^{12} + x^5 + 1$ 。

9.11.7 增强型通用串行通信接口 (eUSCI_A0)

eUSCI 模块用于串行数据通信。eUSCI_A 模块支持 UART 或 SPI 通信。此外，eUSCI_A 还支持自动波特率检测和 IrDA。

表 9-11. eUSCI 引脚配置

eUSCI_A0	引脚 (USCIARMP = 0)	UART	SPI
	P1.7	TXD	SIMO
	P1.6	RXD	SOMI
	P1.5		SCLK
	P1.4		STE
	引脚 (USCIARMP = 1)	UART	SPI
	P1.3 ⁽¹⁾	TXD	SIMO
	P1.2 ⁽¹⁾	RXD	SOMI
	P1.1 ⁽¹⁾		SCLK
	P1.0 ⁽¹⁾		STE

(1) 这是通过 SYSCFG3 寄存器中的 USCIARMP 位控制的重新映射功能。同一时刻，所选端口只有一个有效。

9.11.8 计时器 (Timer0_B3)

Timer0_B3 模块是具有三个捕捉/比较寄存器的 16 位计时器/计数器。计时器可支持多次捕捉或比较、PWM 输出和间隔时序 (请参阅表 9-12)。Timer0_B3 具有丰富的中断功能。计数器在溢出发生时可生成中断而每个捕获/比较寄存器也可生成中断。Timer0_B3 上的 CCR0 寄存器未从外部连接, 只能用于硬件周期时序和中断生成。在向上计数模式下, 它可用于设置计数器的溢出值。

表 9-12. Timer0_B3 信号连接

端口引脚	器件输入信号	模块输入名称	模块区块	模块输出信号	器件输出信号	
P2.7	TB0CLK	TBCLK	Timer	N/A		
	ACLK (内部)	ACLK				
	SMCLK (内部)	SMCLK				
	来自电容式触摸 I/O (内部)	INCLK				
	来自 RTC (内部)	CCI0A	CCR0	TB0		
	ACLK (内部)	CCI0B				
	DVSS	GND				
	DVCC	VCC				
P1.6 (TBRMP = 0)	TB0.1	CCI1A	CCR1	TB1	TB0.1	
P2.0 (TBRMP = 1) ⁽¹⁾		CCI1B			至 ADC 触发器 ⁽²⁾	
		DVSS			GND	
		DVCC			VCC	
P1.7 (TBRMP = 0)	TB0.2	CCI2A	CCR2	TB2	TB0.2	
P2.1 (TBRMP = 1) ⁽¹⁾		CCI2B				
		DVSS			GND	
		DVCC			VCC	

(1) 这是通过 SYSCFG3 寄存器中的 TBRMP 位控制的重新映射功能。当 TB0 用作捕捉输入功能时, 同一时刻只有一个所选端口有效。无论此重映射位的设置如何, TB0 PWM 都会输出。

(2) ADC 在 MSP430FR2000 器件上不可用。

Timer0_B3 的互连可用于在 ASK 或部分 FSK 模式下调制 UCA0TXD/UCA0SIMO 的 eUSCI_A 引脚, 用户可以通过它轻松获取调制红外命令以直接驱动外部 IR 二极管。IR 功能完全由 SYSCFG1 控制, 包括 IREN (使能)、IRPSEL (极性选择)、IRMSEL (模式选择)、IRDSEL (数据选择) 和 IRDATA (数据) 位。有关更多信息, 请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx](#) 系列用户指南中的 SYS 一章。

当触发所选源时, Timer_B 模块可将所有 Timer_B 输出置于一个高阻抗状态。源可从外部引脚或器件内部进行选择, 这由 SYS 中的 TB0TRG 控制。有关更多信息, 请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx](#) 系列用户指南中的 SYS 一章。

表 9-13 总结了 Timer_B 高阻抗触发器的选择。

表 9-13. TBxOUTH

TB0TRGSEL	TB0OUTH 触发源选择	Timer_B 焊盘输出高阻抗
TB0TRGSEL = 0	eCOMP0 输出 (内部)	P1.6、P1.7、P2.0、P2.1 ⁽¹⁾
TB0TRGSEL = 1	P1.2	

(1) 当 TB0 设置为 PWM 输出功能时，两个端口组都可以接收输出，输出仅由 PxSEL.y 位控制。

9.11.9 备用存储器 (BAKMEM)

在 LPM3.5 模式下，BAKMEM 支持数据保留功能。在 LPM3.5 模式下，此器件提供最多 32 个保留的字节。

9.11.10 实时时钟 (RTC) 计数器

RTC 计数器是一个 16 位模块计数器，在 AM、LPM0、LPM3、LPM4 和 LPM3.5 下工作。此模块可根据 XT1、ACLK 或 VLO 等低功耗时钟源的时序，定期从 LPM0、LPM3、LPM4 或 LPM3.5 唤醒 CPU。在 AM 下，RTC 可由 SMCLK 驱动生成高频时序事件和中断。ACLK 和 SMCLK 都可以为 RTC 提供时钟源；但是，在任何给定的时间只能选择其中一个。RTC 溢出事件触发器：

- Timer0_B3 CCR0A
- ADCSHSx 位设为 01b 时为 ADC 转换触发器

9.11.11 10 位模数转换器 (ADC)

10 位 ADC 模块支持利用单端输入实现快速 10 位模数转换。该模块应用 10 位 SAR 内核、采样选择控制、参考信号发生器和转换结果缓冲区。具有下限和上限的窗口比较器可利用三个窗口比较器中断标志实现独立于 CPU 的结果监控。

备注

ADC 在 MSP430FR2000 器件上不可用。

ADC 支持 10 个外部输入和 4 个内部输入 (请参阅表 9-14) 。

表 9-14. ADC 通道连接

ADCINCHx	ADC 通道	外部引脚输出
0	A0/Veref+	P1.0
1	A1/	P1.1
2	A2/Veref-	P1.2
3	A3	P1.3
4	A4	P1.4
5	A5	P1.5
6	A6	P1.6
7	A7 ⁽¹⁾	P1.7
8	未使用	N/A
9	未使用	N/A
10	未使用	N/A
11	未使用	N/A
12	片上温度传感器	N/A
13	基准电压 (1.5V)	N/A
14	DVSS	N/A
15	DVCC	N/A

(1) 使用了 A7 时，可通过设置 PMM 控制寄存器，将 PMM 1.2V 基准电压输出到此引脚。1.2V 电压可直接通过 A7 通道测量。

转换可通过软件或硬件触发来启动。表 9-15 列出了可用的触发源。

表 9-15. ADC 触发信号连接

ADC SHSx		触发源
二进制	十进制	
00	0	ADCSC 位 (软件触发)
01	1	RTC 事件
10	2	TB0.1B
11	3	eCOMP0 COUT

9.11.12 eCOMP0

增强型比较器是一款模拟电压比较器，内置 6 位 DAC 作为内部电压基准。对于比较器基准电压，集成的 6 位 DAC 可设置为 64 级。此模块具有 4 级可编程迟滞和可配置的功率模式：高功率或低功率模式。

eCOMP0 支持外部输入和内部输入（请参阅表 9-16）和输出（请参阅表 9-17）

表 9-16. eCOMP0 输入通道连接

CPPSEL, CPNSEL	eCOMP0 通道	外部或内部连接
二进制		
000	C0	P1.0
001	C1	P1.1
010	C2	P1.2
011	C3	P1.3
100	C4	未使用
101	C5	未使用
110	C6	内置 6 位 DAC

表 9-17. eCOMP0 输出通道连接

eCOMP0 输出	外部引脚输出, 模块
1	P2.0
2	TB0.1B ; TB0 (TB0OUTH) ; ADC

9.11.13 嵌入式仿真模块 (EEM)

EEM 支持实时系统内调试。该系列器件上的 EEM 具有以下特性：

- 存储器访问时有三个硬件触发信号或断点
- CPU 寄存器写访问时有一个硬件触发信号或断点
- 最多可结合四个硬件触发器，形成复杂的触发器或断点
- 一个周期计数器
- 模块级时钟控制

9.11.14 外设文件映射

表 9-18 列出了每个外设寄存器的基地址和存储器大小。

表 9-18. 外设汇总

模块名称	基址	大小
特殊功能 (请参阅表 9-19)	0100h	0010h
PMM (请参阅表 9-20)	0120h	0020h
SYS (请参阅表 9-21)	0140h	0040h
CS (请参阅表 9-22)	0180h	0020h
FRAM (请参阅表 9-23)	01A0h	0010h
CRC (请参阅表 9-24)	01C0h	0008h
WDT (请参阅表 9-25)	01CCh	0002h
端口 P1、P2 (请参阅表 9-26)	0200h	0020h
电容式触摸 I/O (请参阅表 9-27)	02E0h	0010h
RTC (请参阅表 9-28)	0300h	0010h
Timer0_B3 (请参阅表 9-29)	0380h	0030h
eUSCI_A0 (请参阅表 9-30)	0500h	0020h
备用存储器 (请参阅表 9-31)	0660h	0020h
ADC ⁽¹⁾ (请参阅表 9-32)	0700h	0040h
eCOMP0 (请参阅表 9-33)	08E0h	0020h

(1) ADC 在 MSP430FR2000 器件上不可用。

表 9-19. 特殊功能寄存器 (基地址 : 0100h)

寄存器说明	寄存器	偏移量
SFR 中断使能	SFRIE1	00h
SFR 中断标志	SFRIFG1	02h
SFR 复位引脚控制	SFRRPCR	04h

表 9-20. PMM 寄存器 (基地址 : 0120h)

寄存器说明	寄存器	偏移量
PMM 控制 0	PMMCTL0	00h
PMM 控制 1	PMMCTL1	02h
PMM 控制 2	PMMCTL2	04h
PMM 中断标志	PMMIFG	0Ah
PM5 控制 0	PM5CTL0	10h

表 9-21. SYS 寄存器 (基地址 : 0140h)

寄存器说明	寄存器	偏移量
系统控制	SYCTL	00h
引导加载程序配置区域	SYSBSLC	02h
JTAG 邮箱控制	SYSJMBC	06h
JTAG 邮箱输入 0	SYSJMBI0	08h
JTAG 邮箱输入 1	SYSJMBI1	0Ah
JTAG 邮箱输出 0	SYSJMBO0	0Ch
JTAG 邮箱输出 1	SYSJMBO1	0Eh
用户 NMI 向量发生器	SYSUNIV	1Ah
系统 NMI 向量发生器	SYSSNIV	1Ch
复位向量发生器	SYSRSTIV	1Eh
系统配置 0	SYSCFG0	20h
系统配置 1	SYSCFG1	22h
系统配置 2	SYSCFG2	24h
系统配置 3	SYSCFG3	26h

表 9-22. CS 寄存器 (基地址 : 0180h)

寄存器说明	寄存器	偏移量
CS 控制 0	CSCTL0	00h
CS 控制 1	CSCTL1	02h
CS 控制 2	CSCTL2	04h
CS 控制 3	CSCTL3	06h
CS 控制 4	CSCTL4	08h
CS 控制 5	CSCTL5	0Ah
CS 控制 6	CSCTL6	0Ch
CS 控制 7	CSCTL7	0Eh
CS 控制 8	CSCTL8	10h

表 9-23. FRAM 寄存器 (基地址 : 01A0h)

寄存器说明	寄存器	偏移量
FRAM 控制 0	FRCTL0	00h
通用控制 0	GCCTL0	04h
通用控制 1	GCCTL1	06h

表 9-24. CRC 寄存器 (基地址 : 01C0h)

寄存器说明	寄存器	偏移量
CRC 数据输入	CRC16DI	00h
CRC 数据输入反向字节	CRCDIRB	02h
CRC 初始化和结果	CRCINIRES	04h
CRC 结果反向字节	CRCRESR	06h

表 9-25. WDT 寄存器 (基地址 : 01CCh)

寄存器说明	寄存器	偏移量
看门狗计时器控制	WDTCTL	00h

表 9-26. 端口 P1、P2 寄存器 (基地址 : 0200h)

寄存器说明	寄存器	偏移量
端口 P1 输入	P1IN	00h
端口 P1 输出	P1OUT	02h
端口 P1 方向	P1DIR	04h
端口 P1 上拉使能	P1REN	06h
端口 P1 选择 0	P1SEL0	0Ah
端口 P1 选择 1	P1SEL1	0Ch
端口 P1 中断向量字	P1IV	0Eh
端口 P1 互补选择	P1SELC	16h
端口 P1 中断边沿选择	P1IES	18h
端口 P1 中断使能	P1IE	1Ah
端口 P1 中断标志	P1IFG	1Ch
端口 P2 输入	P2IN	01h
端口 P2 输出	P2OUT	03h
端口 P2 方向	P2DIR	05h
端口 P2 上拉使能	P2REN	07h
端口 P2 选择 0	P2SEL0	0Bh
端口 P2 选择 1	P2SEL1	0Dh
端口 P2 互补选择	P2SELC	17h
端口 P2 中断向量字	P2IV	1Eh
端口 P2 中断边沿选择	P2IES	19h
端口 P2 中断使能	P2IE	1Bh
端口 P2 中断标志	P2IFG	1Dh

表 9-27. 电容式触摸 I/O 寄存器 (基地址 : 02E0h)

寄存器说明	寄存器	偏移量
电容式触摸 I/O 0 控制	CAPIOCTL	0Eh

表 9-28. RTC 寄存器 (基地址 : 0300h)

寄存器说明	寄存器	偏移量
RTC 控制	RTCCTL	00h
RTC 中断向量	RTCIV	04h
RTC 模	RTCMOD	08h
RTC 计数器	RTCCNT	0Ch

表 9-29. Timer0_B3 寄存器 (基地址 : 0380h)

寄存器说明	寄存器	偏移量
TB0 控制	TB0CTL	00h
捕捉/比较控制 0	TB0CCTL0	02h
捕捉/比较控制 1	TB0CCTL1	04h
捕捉/比较控制 2	TB0CCTL2	06h
TB0 计数器	TB0R	10h
捕捉/比较 0	TB0CCR0	12h
捕捉/比较 1	TB0CCR1	14h
捕捉/比较 2	TB0CCR2	16h
TB0 扩展 0	TB0EX0	20h
TB0 中断向量	TB0IV	2Eh

表 9-30. eUSCI_A0 寄存器 (基地址 : 0500h)

寄存器说明	寄存器	偏移量
eUSCI_A 控制字 0	UCA0CTLW0	00h
eUSCI_A 控制字 1	UCA0CTLW1	02h
eUSCI_A 控制速率 0	UCA0BR0	06h
eUSCI_A 控制速率 1	UCA0BR1	07h
eUSCI_A 调制控制	UCA0MCTLW	08h
eUSCI_A 状态	UCA0STAT	0Ah
eUSCI_A 接收缓冲器	UCA0RXBUF	0Ch
eUSCI_A 发送缓冲器	UCA0TXBUF	0Eh
eUSCI_A LIN 控制	UCA0ABCTL	10h
eUSCI_A IrDA 发送控制	IUCA0IRTCTL	12h
eUSCI_A IrDA 接收控制	IUCA0IRRCTL	13h
eUSCI_A 中断使能	UCA0IE	1Ah
eUSCI_A 中断标志	UCA0IFG	1Ch
eUSCI_A 中断向量字	UCA0IV	1Eh

表 9-31. 备用存储器寄存器 (基地址 : 0660h)

寄存器说明	寄存器	偏移量
备用存储器 0	BAKMEM0	00h
备用存储器 1	BAKMEM1	02h
备用存储器 2	BAKMEM2	04h
备用存储器 3	BAKMEM3	06h
备用存储器 4	BAKMEM4	08h
备用存储器 5	BAKMEM5	0Ah
备用存储器 6	BAKMEM6	0Ch
备用存储器 7	BAKMEM7	0Eh
备用存储器 8	BAKMEM8	10h
备用存储器 9	BAKMEM9	12h
备用存储器 10	BAKMEM10	14h
备用存储器 11	BAKMEM11	16h
备用存储器 12	BAKMEM12	18h
备用存储器 13	BAKMEM13	1Ah
备用存储器 14	BAKMEM14	1Ch
备用存储器 15	BAKMEM15	1Eh

表 9-32. ADC 寄存器 (基地址 : 0700h)

寄存器说明	寄存器	偏移量
ADC 控制 0	ADCCTL0	00h
ADC 控制 1	ADCCTL1	02h
ADC 控制 2	ADCCTL2	04h
ADC 窗口比较器阈值下限	ADCLO	06h
ADC 窗口比较器阈值上限	ADCHI	08h
ADC 存储器控制 0	ADCMCTL0	0Ah
ADC 转换存储器	ADCMEM0	12h
ADC 中断使能	ADCIE	1Ah
ADC 中断标志	ADCIFG	1Ch
ADC 中断向量字	ADCIV	1Eh

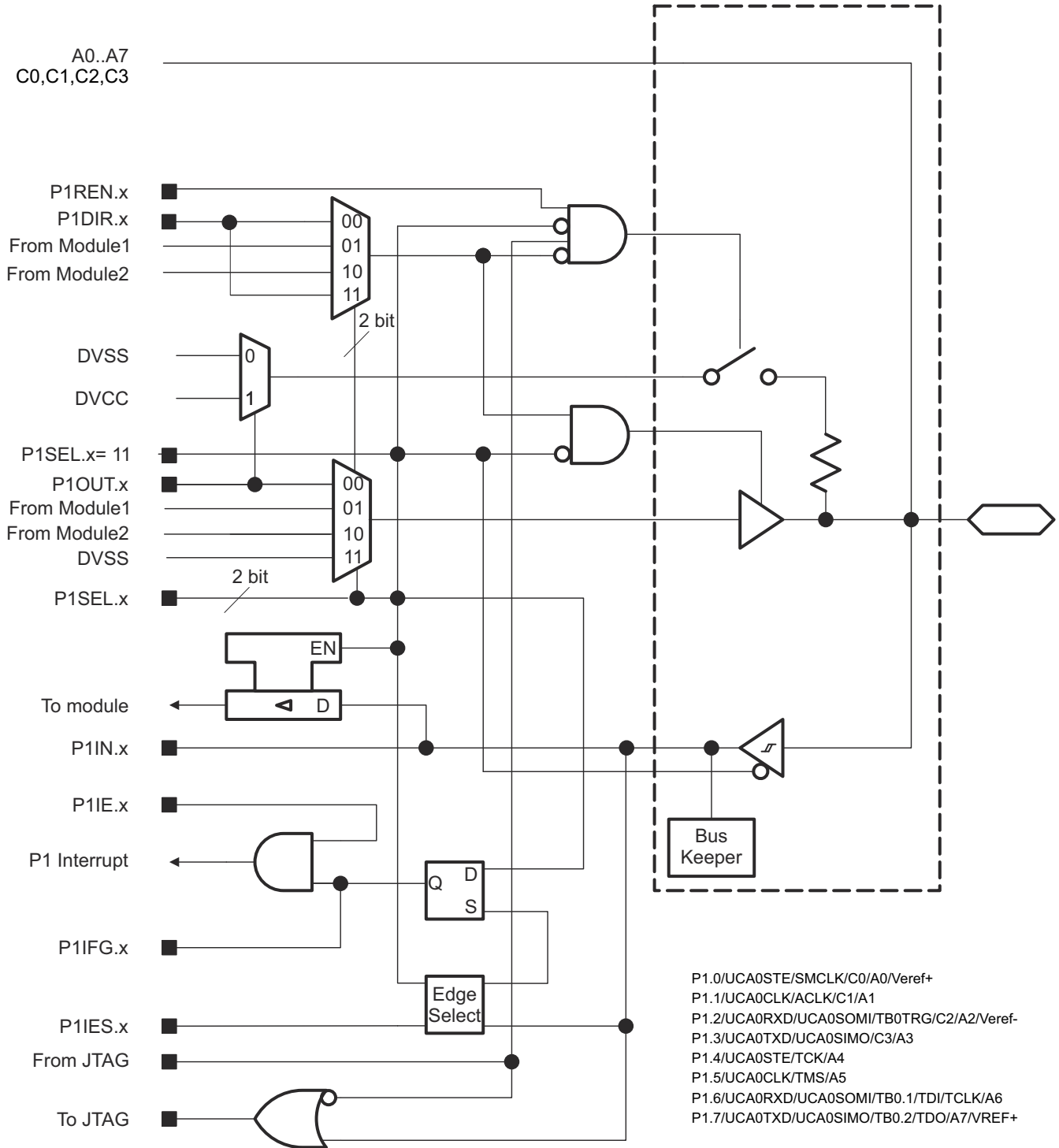
表 9-33. eCOMP0 寄存器 (基地址 : 08E0h)

寄存器说明	寄存器	偏移量
比较器控制 0	CPCTL0	00h
比较器控制 1	CPCTL1	02h
比较器中断	CPINT	06h
比较器中断向量	CPIV	08h
比较器内置 DAC 控制	CPDACCTL	10h
比较器内置 DAC 数据	CPDACDATA	12h

9.11.15 输入/输出图

9.11.15.1 使用施密特触发器的端口 P1 输入/输出

图 9-1 展示了端口图。表 9-34 总结了引脚功能的选择。



仅用于功能表示。

ADC (信号 A0 至 A7、Veref+ 和 Veref-) 在 MSP430FR2000 器件上不可用。

图 9-1. 使用施密特触发器的端口 P1 输入/输出

表 9-34. 端口 P1 引脚功能

引脚名称 (P1.x)	x	功能	控制位和信号 ⁽¹⁾		
			P1DIR.x	P1SELx	JTAG
P1.0/UCA0STE/SMCLK/ C0/A0/Veref+	0	P1.0 (I/O)	I: 0; O: 1	00	N/A
		UCA0STE	X	01	N/A
		SMCLK	1	10	N/A
		VSS	0		
		C0、A0/Veref+ ⁽²⁾	X	11	N/A
P1.1/UCA0CLK/ACLK/ C1/A1	1	P1.1 (I/O)	I: 0; O: 1	0	N/A
		UCA0CLK	X	01	N/A
		ACLK	1	10	N/A
		VSS	0		
		C1、A1 ⁽²⁾	X	11	N/A
P1.2/UCA0RXD/ UCA0SOMI/TB0TRG/ C2/A2/Veref-	2	P1.2 (I/O)	I: 0; O: 1	00	N/A
		UCA0RXD/UCA0SOMI	X	01	N/A
		TB0TRG	0	10	N/A
		C2、A2/Veref- ⁽²⁾	X	11	N/A
P1.3/UCA0TXD/ UCA0SIMO/C3/A3	3	P1.3 (I/O)	I: 0; O: 1	00	N/A
		UCA0TXD/UCA0SIMO	X	01	N/A
		C3、A3 ⁽²⁾	X	11	N/A
P1.4/UCA0STE/TCK/A4	4	P1.4 (I/O)	I: 0; O: 1	00	禁用
		UCA0STE	X	01	N/A
		A4 ⁽²⁾	X	11	禁用
		JTAG TCK	X	X	TCK
P1.5/UCA0CLK/TMS/A5	5	P1.5 (I/O)	I: 0; O: 1	00	禁用
		UCA0CLK	X	01	N/A
		A5 ⁽²⁾	X	11	禁用
		JTAG TMS	X	X	TMS
P1.6/UCA0RXD/ UCA0SOMI/TB0.1/ TDI/ TCLK/A6	6	P1.6 (I/O)	I: 0; O: 1	00	禁用
		UCA0RXD/UCA0SOMI	X	01	N/A
		TB0.CCI1A	0	10	N/A
		TB0.1	1		
		A6 ⁽²⁾	X	11	禁用
		JTAG TDI/TCLK	X	X	TDI/TCLK
P1.7/UCA0TXD/ UCA0SIMO/TB0.2/ TDO/A7/VREF+	7	P1.7 (I/O)	I: 0; O: 1	00	禁用
		UCA0TXD/UCA0SIMO	X	01	N/A
		TB0.CCI2A	0	10	N/A
		TB0.2	1		
		A7 ⁽²⁾ 、VREF+	X	11	禁用
		JTAG TDO	X	X	TDO

(1) X = 无关

(2) ADC 在 MSP430FR2000 器件上不可用。

9.11.15.2 使用施密特触发器的端口 P2 输入/输出

图 9-2 展示了端口图。表 9-35 总结了引脚功能的选择。

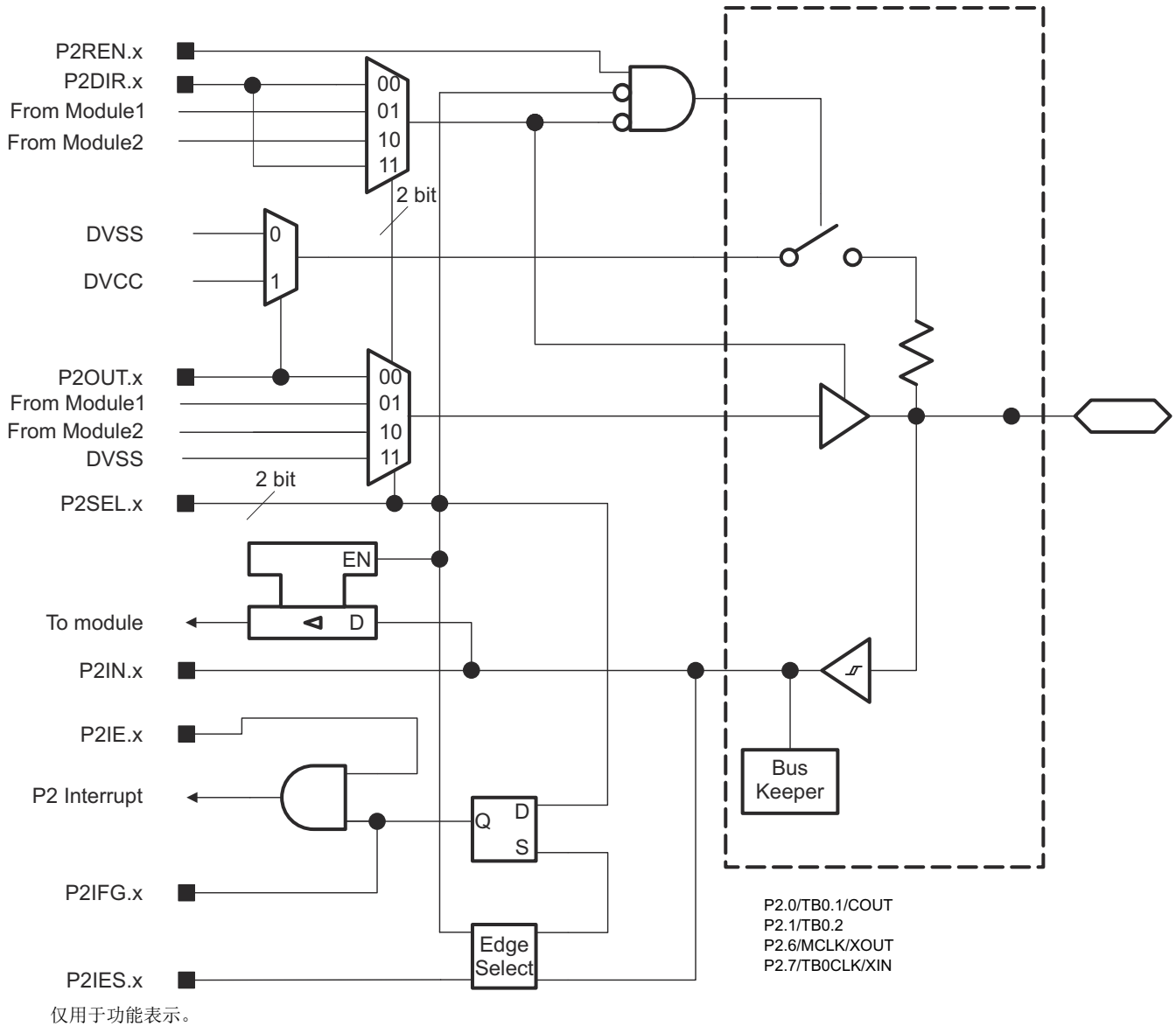


图 9-2. 使用施密特触发器的端口 P2 输入/输出

表 9-35. 端口 P2 引脚功能

引脚名称 (P2.x)	x	功能	控制位和信号 ⁽¹⁾	
			P2DIR.x	P2SELx
P2.0/TB0.1/COU _T	0	P2.0 (I/O)	I: 0; O: 1	00
		TB0.CCI1A	0	01
		TB0.1	1	
		COU _T	1	10
P2.1/TB0.2	1	P2.1 (I/O)0	I: 0; O: 1	00
		TB0.CCI2A	0	01
		TB0.2	1	
P2.6/MCLK/XOU _T	6	P2.6 (I/O)	I: 0; O: 1	00
		MCLK	1	01
		VSS	0	
		XOU _T	X	10
P2.7/TB0CLK/XIN	7	P2.7 (I/O)	I: 0; O: 1	00
		TB0CLK	0	01
		VSS	1	
		XIN	X	10

9.12 器件描述符 (TLV)

表 9-36 列出了 MSP430FR211x MCU 的器件 ID。表 9-37 列出了 MSP430FR211x MCU 的器件描述符标签长度值 (TLV) 结构的内容。

表 9-36. 器件 ID

器件	器件 ID	
	1A04h	1A05h
MSP430FR2111	FA	82
MSP430FR2110	FB	82
MSP430FR2100	20	83
MSP430FR2000	21	83

表 9-37. 器件描述符

	说明	MSP430FR211x	
		地址	值
信息块	信息长度	1A00h	06h
	CRC 长度	1A01h	06h
	CRC 值 ⁽¹⁾	1A02h	标么值
		1A03h	标么值
	器件 ID	1A04h	请参阅表 9-36
		1A05h	
	硬件版本	1A06h	标么值
固件版本	1A07h	标么值	
芯片记录	裸片记录标签	1A08h	08h
	裸片记录长度	1A09h	0Ah
	晶圆批次 ID	1A0Ah	标么值
		1A0Bh	标么值
		1A0Ch	标么值
		1A0Dh	标么值
	芯片 X 位置	1A0Eh	标么值
		1A0Fh	标么值
	芯片 Y 位置	1A10h	标么值
		1A11h	标么值
测试结果	1A12h	标么值	
	1A13h	标么值	
ADC 校准 ⁽³⁾	ADC 校准标签	1A14h	标么值
	ADC 校准长度	1A15h	标么值
	ADC 增益系数	1A16h	标么值
		1A17h	标么值
	ADC 偏移	1A18h	标么值
		1A19h	标么值
	ADC 1.5V 基准温度 30°C	1A1Ah	标么值
		1A1Bh	标么值
	ADC 1.5V 基准温度 85°C	1A1Ch	标么值
1A1Dh		标么值	

表 9-37. 器件描述符 (continued)

	说明	MSP430FR211x	
		地址	值
基准和 DCO 校准	校准标签	1A1Eh	12h
	校准长度	1A1Fh	04h
	1.5V 基准系数	1A20h	标么值
		1A21h	标么值
	16MHz、温度 30°C 时的 DCO 抽头设置 ⁽²⁾	1A22h	标么值
1A23h		标么值	

- (1) CRC 值包括从 0x1A04h 到 0x1A77h 的校验和，通过应用 CRC-CCITT-16 多项式计算得出：
 $X^{16} + X^{12} + X^5 + 1$
- (2) 此值可直接载入 CSCTL0 寄存器的 DCO 位，以便在室温条件下获取准确的 16MHz 频率，尤其是当 MCU 退出 LPM3 及以下模式时。如果温度漂移可能导致频率过冲到 16MHz 以上，TI 建议使用预分频器降低频率。
- (3) ADC 在 MSP430FR2000 器件上不可用。

9.13 标识

9.13.1 版本标识

器件版本信息作为器件封装顶部标记的一部分显示。特定于器件的勘误表介绍了这些标记。有关此数据表中器件勘误表的链接，请参阅节 11.4。

另外，硬件版本存储在“器件描述符”结构中的“信息块”部分。有关该值的详细信息，请参阅节 9.12 中的“硬件版本”条目。

9.13.2 器件标识

器件类型可通过器件封装的顶部标记标识。特定于器件的勘误表介绍了这些标记。有关此数据表中器件勘误表的链接，请参阅节 11.4。

另外，器件标识值存储在“器件描述符”结构中的“信息块”部分。有关该值的详细信息，请参阅节 9.12 中的“器件 ID”条目。

9.13.3 JTAG 标识

[通过 JTAG 接口对 MSP430 进行编程](#) 中详细介绍了如何通过 JTAG 接口进行编程（包括读取和标识 JTAG ID）。

10 应用、实现和布局

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

10.1 器件连接和布局基本准则

本节介绍使用 MSP430 MCU 进行设计时推荐的指导原则。这些准则旨在确保对器件进行适当连接，从而实现供电、编程、调试用途以及最佳模拟性能。

10.1.1 电源去耦和大容量电容

TI 建议将 10 μ F 电容器和 100nF 低 ESR 陶瓷去耦电容器的组合连接至 DVCC 引脚。可以使用电容值较大的电容，但会影响电源轨斜升时间。将去耦电容放置在尽可能靠近其去耦引脚的位置（几毫米范围内）。

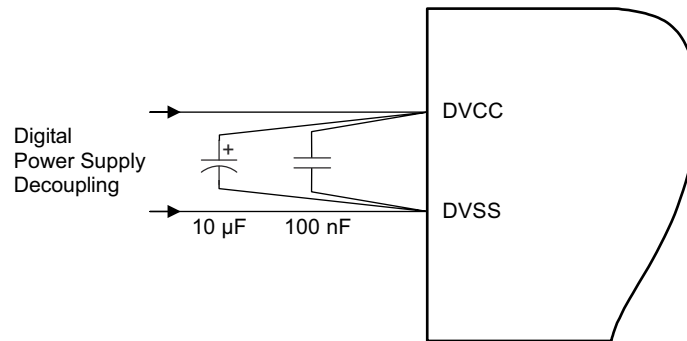


图 10-1. 电源去耦

10.1.2 外部振荡器

根据器件型号（请参阅表 6-1），器件在 LFXT 引脚上仅支持低频晶振（32kHz）。需要为晶振引脚使用外部旁路电容。

如果选择了合适的 LFXTBYPASS 模式，还可以向 LFXIN 输入引脚施加符合相应振荡器规范的数字时钟信号。这种情况下，相关的 LFXOUT 引脚可用于其他用途。如果 LFXOUT 引脚未使用，则必须按照节 7.5 对其进行端接。

图 10-2 给出了典型的连接图。有关 MSP430 器件晶体振荡器的选择，测试和设计的信息，请参阅 [MSP430 32kHz 晶体振荡器](#)。

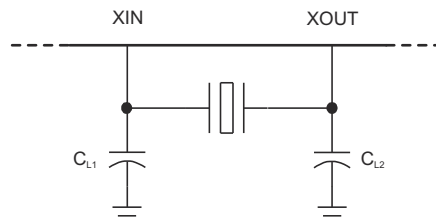


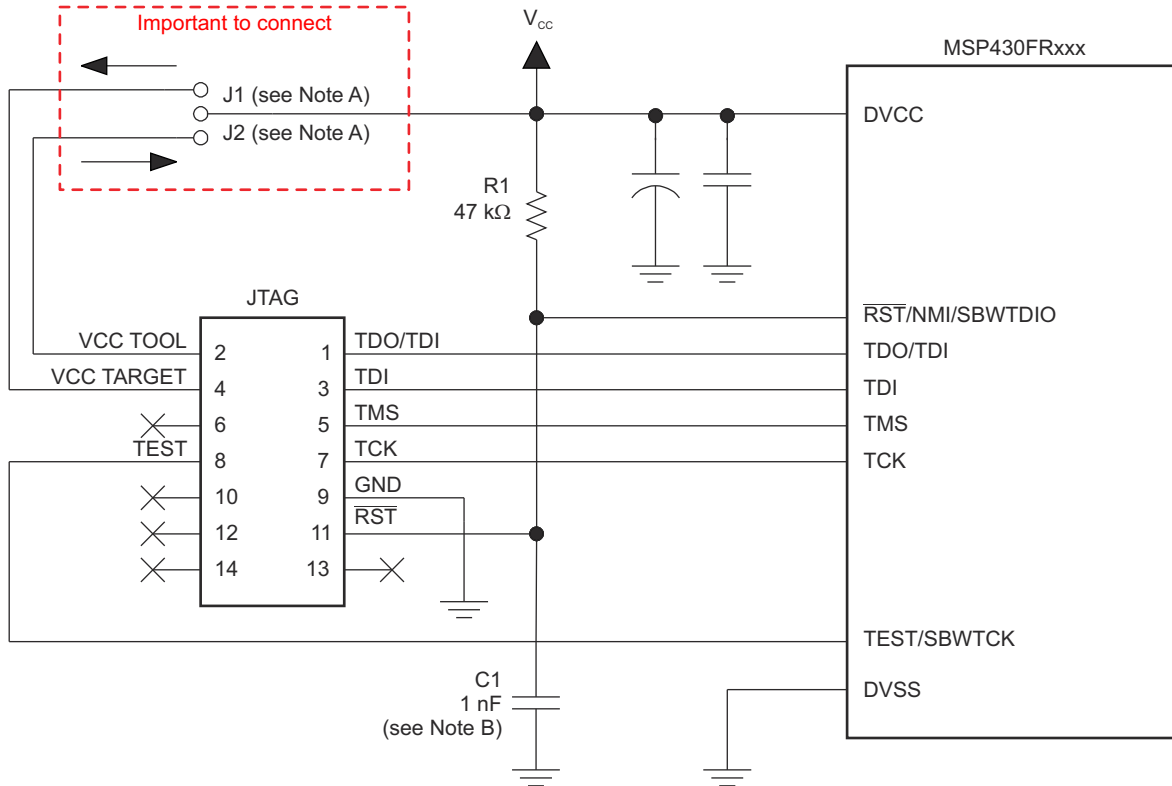
图 10-2. 典型晶振连接

10.1.3 JTAG

正确连接后，可以使用调试器和硬件 JTAG 接口（例如，MSP-FET 或 MSP-FET430UIF）在目标板上编程和调试代码。此外，连接还支持 MSP-GANG 生产编程器，因此，如果需要，还提供了一种对原型板进行编程的简单方法。图 10-3 展示了 14 引脚 JTAG 连接器与支持 4 线制 JTAG 通信系统内编程和调试所需的目標器件之间的连接。图 10-4 给出了 2 线制 JTAG 模式 (Spy-Bi-Wire) 的连接。

MSP-FET 和 MSP-FET430UIF 接口模块与 MSP-GANG 的连接是相同的。两者均可为目标板提供 V_{CC} (通过引脚 2)。此外, MSP-FET 和 MSP-FET430UIF 接口模块以及 MSP-GANG 都具有 V_{CC} 检测功能,若使用此功能,则需要替代连接(通过引脚 4,而非引脚 2)。 V_{CC} 感测特性感测出现在目标板上的本地 V_{CC} (即,一个电池或者其它本地电源)并相应地调节输出信号。图 10-3 和 图 10-4 显示了一个跳线块,此跳线块支持 V_{CC} 为目标板供电的两种模式。如果不需要这种灵活性,可对所需 V_{CC} 连接进行硬接线,从而不需要跳线块。引脚 2 和 4 不得同时连接。

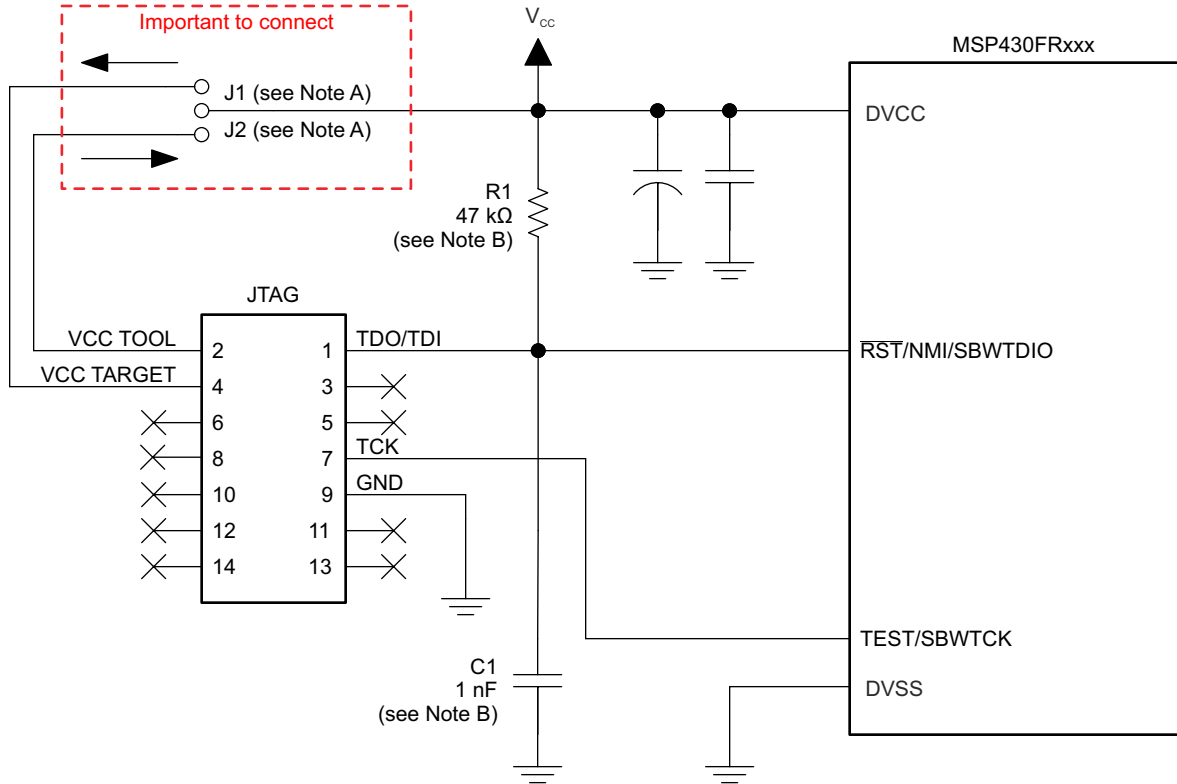
有关 JTAG 接口的额外设计信息,请参阅 [MSP430 硬件工具用户指南](#)。



Copyright © 2016, Texas Instruments Incorporated

- A. 如果使用一个本地目标电源,那么连接 J1。如果使用调试或编程适配器供电,那么连接 J2。
- B. 如果使用当前 TI 工具,那么 C1 的上限是 1.1nF。

图 10-3. 4 线制 JTAG 通信的信号连接



Copyright © 2016, Texas Instruments Incorporated

- A. 如果使用一个本地目标电源，那么连接 J1，或者当使用调试或编程适配器供电时，连接 J2。
- B. JTAG 访问期间，此器件的 $\overline{\text{RST/NMI/SBWTIO}}$ 引脚为 2 线制模式用于与器件进行双向通信，并且任何连接到这个信号上的电容都有可能影响到与器件建立连接的能力。如果使用当前 TI 工具，那么 C1 的上限是 1.1nF。

图 10-4.2 线制 JTAG 通信 (Spy-Bi-Wire) 的信号连接

10.1.4 复位

复位引脚可配置为复位功能（默认），也可以配置为特殊功能寄存器 (SFR) 中的 NMI 功能，即 SFRRPCR。

在复位模式下， $\overline{\text{RST/NMI}}$ 引脚为低电平有效，对该引脚施加符合复位时序规范的脉冲会引起 BOR 型器件复位。

设置 SYSNMI 会引起 $\overline{\text{RST/NMI}}$ 引脚被配置为一个外部 NMI 源。外部 NMI 是边缘敏感的，其边缘是由 SYSNMIIES 选择的。设置 NMIIE 能使能外部 NMI 的中断。如果发生外部 NMI 事件，NMIIFG 会置 1。

$\overline{\text{RST/NMI}}$ 引脚可连接上拉电阻或下拉电阻（使能或禁用）。SYSRSTUP 用于选择上拉电阻或下拉电阻，SYSRSTRE 用于使能（默认）或禁用上拉电阻（默认）或下拉电阻。如果未使用 $\overline{\text{RST/NMI}}$ 引脚，则需要选择并使能内部上拉电阻，或者使用 10nF 下拉电容将外部 47kΩ 上拉电阻连接至 $\overline{\text{RST/NMI}}$ 引脚。如果所用器件的 Spy-Bi-Wire 接口处于 Spy-Bi-Wire 模式或 4 线制 JTAG 模式，并且使用 FET 接口或 GANG 编程器等 TI 工具，下拉电容不得超过 1.1nF。

有关基准控制寄存器和位的更多信息，请参阅 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#)。

10.1.5 未使用的引脚

有关未使用引脚连接的详细信息，请参阅节 7.5。

10.1.6 一般布局建议

- 为外部晶振进行正确接地并使用短走线以减小寄生电容。有关建议的布局指南，请参阅 [MSP430 32kHz 晶体振荡器](#)。
- 在 DVCC、AVCC 和基准引脚（如果已使用）上连接正确的旁路电容器。

- 避免将任何高频信号引到模拟信号线附近。例如，请使数字开关信号（例如 PWM 或 JTAG 信号）远离振荡器电路和 ADC 信号。
- 应考虑使用适当等级的 ESD 保护，以防止器件发生意外的高压静电放电。请参阅 [MSP430 系统级 ESD 注意事项](#)，获取相关指南。

10.1.7 注意事项

在上电、断电和器件运行期间，AVCC 和 DVCC 之间的电压差不得超过 [节 8.1](#) 中规定的限值。如果超出规定的限值，可能导致器件发生故障，包括对 RAM 和 FRAM 执行错误的写操作。

10.2 外设和接口的相关设计信息

10.2.1 ADC 外设

备注

ADC 在 MSP430FR2000 器件上不可用。

10.2.1.1 部分原理图

[图 10-5](#) 展示了带有内部或外部电压基准的推荐去耦电路。

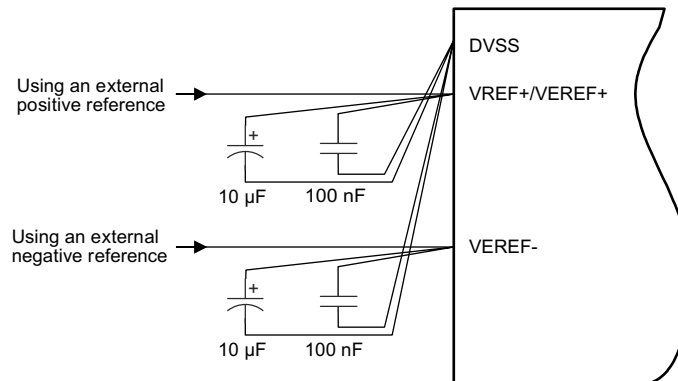


图 10-5. ADC 接地和噪声注意事项

10.2.1.2 设计要求

与任何高分辨率 ADC 一样，应遵循适当的印刷电路板布局和接地技术，以消除接地环路，不必要的寄生效应和噪声。

来自 ADC 的返回电流流经与其他模拟或数字电路共用的路径时，就会形成接地环路。如果不当心，这个电流会产生小的有害的偏移电压，该电压可以增加或减少 ADC 的基准电压或输入电压。遵循 [节 10.1.1](#) 中的通用准则并采用 [节 10.2.1.1](#) 中显示的连接可避免这种情况的发生。

除了接地之外，因数字开关或开关电源而致电源线路上出现的纹波和噪声尖峰会影响转换结果。德州仪器 (TI) 建议您选择采用单点连接独立模拟和数字接地层的无噪声设计，以提高精度。

[图 10-5](#) 显示了使用外部基准电压时的建议去耦电路。内部基准模块的最大驱动电流如 [MSP430FR4xx](#) 和 [MSP430FR2xx 系列用户指南](#) 的 [ADC 引脚使能和 1.2V 基准设置](#) 小节中所述。

基准电压必须是稳定电压才能实现精确测量。采用通用准则中选择的电容值时，可在基准电压进入器件前过滤掉高频和低频纹波。在这种情况下，使用 10-μF 电容器来缓冲基准引脚和滤除任何低频纹波。100nF 旁路电容器滤除高频噪声。

10.2.1.3 布局准则

部分原理图（请参阅 [图 10-5](#)）中显示的组件应放置在应尽量靠近相应器件引脚的位置，以免走线过长，因为这些组件会在信号上增加额外的寄生电容、电感和电阻。

避免将模拟输入信号引到高频引脚（例如高频 PWM）附近，因为高频开关可能耦合到模拟信号中。

10.3 典型应用

表 10-1 列出的参考设计反映了 MSP430FR211x 系列器件在不同实际应用场景中的使用。请参考这些设计，了解关于原理图、布局和软件实现的附加指南。有关可用参考设计的最新列表，请参阅特定于器件的产品文件夹或访问 [TI 参考设计](#)。

表 10-1. 参考设计

设计名称	链接
采用 MSP430FR4xx 实现的温度调节装置	TIDM-FRAM-THERMOSTAT
采用 MSP430FR4xx 实现的水表	TIDM-FRAM-WATERMETER
采用低功耗微控制器实现的空调遥控器	TIDM-REMOTE-CONTROLLER-FOR-AC

11 器件和文档支持

11.1 开始

更多有关 MSP430™ 系列器件以及有助于开发的工具和库的信息，请访问 [MSP430 超低功耗检测和测量 MCU 概述](#)。

11.2 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 MSP MCU 器件的器件型号分配了前缀。每个 MSP MCU 商用系列产品都具有以下两个前缀之一：MSP 或 XMS。这些前缀代表了产品开发的发展阶段，即从工程原型 (XMS) 直到完全合格的生产器件 (MSP)。

XMS - 实验器件，不一定代表最终器件的电气规格

MSP - 完全合格的生产器件

XMS 器件在供货时附带如下免责声明：

“开发中的产品用于内部评估用途。”

MSP 器件的特性已经全部明确，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书对该器件适用。

预测显示原型器件 (XMS) 的故障率大于标准生产器件。由于这些器件的预计最终使用故障率尚不确定，德州仪器 (TI) 建议不要将它们用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示温度范围、封装类型和配送形式。图 11-1 提供了解读完整器件名称的图例。

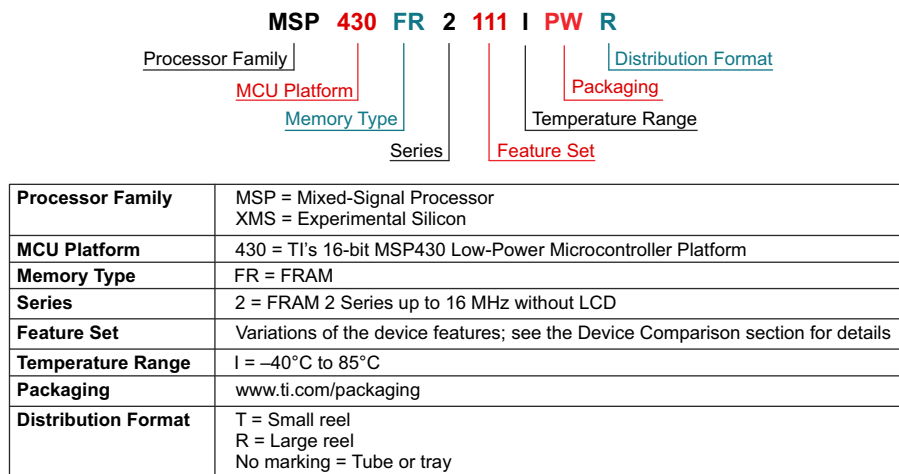


图 11-1. 器件命名规则

11.3 工具和软件

所有 MSP 微控制器均受多种软件和硬件开发工具的支持。相关工具由 TI 以及多家第三方供应商提供。可从[低功耗 MCU 开发套件和软件](#)获取全部信息。

表 11-1 列出了 MSP430FR211x 微控制器的调试特性。请参阅[适用于 MSP430 MCU 的 Code Composer Studio IDE 用户指南](#)，了解有关可用功能的详细信息。

表 11-1. 硬件调试特性

MSP430 架构	四线制 JTAG	两线制 JTAG	断点 (N)	范围断点	时钟控制	状态序列发生器	跟踪缓冲器	LPMx.5 调试支持	EEM 版本
MSP430Xv2	有	有	3	有	是	否	否	无	S

设计套件与评估模块

适用于 MSP430FR23x/21x MCU 的 20 引脚目标插座开发板

MSP-TS430PW20 是一款独立的 ZIF 插座目标板，用于通过 JTAG 接口或 Spy Bi-Wire (双线制 JTAG) 协议对 MSP430 MCU 系统进行编程和调试。该开发板支持采用 20 引脚或 16 引脚的 TSSOP 封装 (TI 封装代码 : PW) 的所有 MSP430FR2000、MSP430FR21x 和 MSP430FR23x FRAM MCU。

MSP430FR2311 LaunchPad 开发套件

MSP-EXP430FR2311 LaunchPad 开发套件是一款适用于 MSP430FR2000、MSP430FR21x 和 MSP430FR23x MCU 系列的微控制器开发板。此套件包含对平台进行评估所需要的所有资源，包括用于编程、调试和能量测量的板载仿真。板载按钮和 LED 允许集成简单的用户交互。

MSP430FR4133 LaunchPad 开发套件

MSP-EXP430FR4133 LaunchPad 开发套件是一款适用于 MSP430FR2xx 和 MSP430FR4xx MCU 系列的微控制器开发板。此套件包含对 MSP430FR2xx 和 MSP430FR4xx FRAM 平台进行评估所需要的所有资源，包括用于编程、调试和能量测量的板载仿真。借助板载按钮和 LED 实现简单的用户交互集成，而借助 BoosterPack™ 插件模块的 20 引脚接头，可以使用 BoosterPack 模块快速进行用户实验。

MSP-FET 和 MSP-TS430PW20 FRAM 微控制器开发套件包

MSP-FET430U20 开发套件包将两种调试工具相结合，支持 MSP430FR2000、MSP430FR21xx 和 MSP430FR23xx MCU 的 20 引脚 PW 封装 (例如 MSP430FR2311IPW20)。所包括的工具是 MSP-TS430PW20 和 MSP-FET。

软件

MSP430Ware™ 软件

MSP430Ware 软件集合了所有 MSP430 器件的代码示例、产品说明书以及其他设计资源，打包提供给用户。除了提供已有 MSP430 设计资源的完整集合外，MSP430Ware 软件还包含名为 MSP 驱动程序库的高级 API。借助该库可以轻松地对 MSP430 硬件进行编程。MSP430Ware 软件以 CCS 组件或独立软件包两种形式提供。

MSP430FR21xx 代码示例

根据不同应用需求配置各集成外设的每个 MSP 器件均具备相应的 C 代码示例。

MSP 驱动程序库

MSP 驱动程序库的抽象 API 提供易用的函数调用，无需直接操纵 MSP430 硬件的位与字节。完整的文档通过具有帮助意义的 API 指南交付，其中包括有关每个函数调用和经过验证的参数的详细信息。开发人员可使用驱动程序库函数以尽可能低的费用编写全部项目。

ULP (超低功耗) Advisor

ULP Advisor™ 软件是一款工具，用于指导开发人员编写更高效代码，以便充分利用 MSP 和 MSP432 微控制器独特的超低功耗特性。ULP Advisor 的目标人群是微控制器的资深开发者和开发新手，可以根据详尽的 ULP 检验表检查代码，以便最大限度地减少应用程序的能耗。在编译时，ULP Advisor 会提供通知和备注以突出显示代码中可以进一步优化的区域，进而实现更低功耗。

IEC60730 软件包

开发 IEC60730 MSP430 软件包是为了帮助客户遵守 IEC 60730-1:2010 (家用和类似用途的自动电气控制 - 第 1 部分：一般要求)，这类产品包括家用电器、电弧检测器、电源转换器、电动工具、电动自行车和许多其他产品。IEC60730 MSP430 软件包可以嵌入在 MSP430 上运行的客户应用中，以便帮助简化客户的多功能安全兼容消费类器件针对 IEC 60730-1:2010 B 类的认证工作。

用于 MSP 的定点数学运算库

MSP IQmath 和 Qmath 库是为 C 语言开发者提供的一套经过高度优化的高精度数学运算函数集合，能够将浮点算法无缝嵌入 MSP430 和 MSP432 器件的定点代码中。这些例程通常用于计算密集型实时应用，理想执行速度、高精度和超低能耗是这些应用的关键。与使用浮点数学算法编写的同等代码相比，使用 IQmath 和 Qmath 库可以大幅提高执行速度并显著降低能耗。

适用于 MSP430 的浮点数学库

TI 在低功耗和低成本微控制器领域锐意创新，为您提供 MSPMATHLIB。此标量函数的浮点数学库，能够充分利用器件的智能外设，使速度最高达到标准 MSP430 数学函数的 26 倍。Mathlib 能够轻松集成到您的设计中。该运算库免费使用并集成在 Code Composer Studio IDE 和 IAR Embedded Workbench IDE 中。

开发工具

适用于 MSP 微控制器的 Code Composer Studio™ 集成开发环境

Code Composer Studio (CCS) 集成开发环境 (IDE) 支持所有 MSP 微控制器器件。CCS 包含一整套用于开发和调试嵌入式应用程序的嵌入式软件实用程序。它包含优化的 C/C++ 编译器、源代码编辑器、工程构建环境、调试器、分析器以及多种其他功能。

MSP EnergyTrace™ 技术

适用于 MSP430 微控制器的 EnergyTrace 技术是基于电能的代码分析工具，适用于测量和显示应用的电能系统配置并帮助优化应用以实现超低功耗。

命令行编程器

MSP Flasher 是一款基于 shell 的开源接口，可使用 JTAG 或 Spy-Bi-Wire (SBW) 通信通过 FET 编程器或 eZ430 对 MSP 微控制器进行编程。MSP Flasher 可用于将二进制文件 (.txt 或 .hex 文件) 直接下载到 MSP 微控制器，而无需使用 IDE。

MSP MCU 编程器和调试器

MSP-FET 是一款强大的仿真开发工具 (通常称为调试探针), 可帮助用户在 MSP 低功耗微控制器 (MCU) 中快速开发应用。创建 MCU 软件通常需要将生成的二进制程序下载到 MSP 器件中, 从而进行验证和调试。

MSP-GANG 量产编程器

MSP Gang 编程器是一款 MSP430 或 MSP432 器件编程器, 可同时对多达八个完全相同的 MSP430 或 MSP432 闪存或 FRAM 器件进行编程。MSP Gang 编程器可使用标准的 RS-232 或 USB 连接与主机 PC 相连并提供灵活的编程选项, 允许用户完全自定义流程。

11.4 文档支持

以下文档介绍了 MSP430FR211x 微控制器。www.ti.com 网站上提供了这些文档的副本。

接收文档更新通知

要接收文档更新 (包括器件勘误表) 通知, 请转至 ti.com.cn 上相关器件的产品文件夹 (例如 <https://www.ti.com/product/MSP430FR2111>)。请单击右上角的“通知我”按钮。点击注册后, 即可收到产品信息更改每周摘要 (如有)。有关更改的详细信息, 请查阅已修订文档的修订历史记录。

勘误

MSP430FR2111 微控制器勘误表

说明了功能规格的已知例外情况。

MSP430FR2110 微控制器勘误表

说明了功能规格的已知例外情况。

MSP430FR2100 微控制器勘误表

说明了功能规格的已知例外情况。

MSP430FR2000 微控制器勘误表

说明了功能规格的已知例外情况。

用户指南

MSP430FR4xx 和 MSP430FR2xx 系列用户指南

详细介绍了该器件系列提供的模块和外设。

MSP430 FRAM 器件引导加载程序 (BSL) 用户指南

MSP430 MCU 上的引导加载程序 (BSL) 允许用户在原型设计、投产和维护等各阶段与 MSP430 MCU 中的嵌入式存储器进行通信。可编程存储器 (FRAM) 和数据存储器 (RAM) 均可按要求予以修改。

通过 JTAG 接口对 MSP430 进行编程

本文档介绍了使用 JTAG 通信端口擦除、编程和验证基于闪存和基于 FRAM 的 MSP430 微控制器系列的存储器模块所需的功能。此外, 该文档还介绍了如何编程所有 MSP430 器件上均具备的 JTAG 访问安全保险丝。此文档介绍了使用标准四线制 JTAG 接口和两线制 JTAG 接口 (也称为 Spy-Bi-Wire (SBW)) 的器件访问。

MSP430 硬件工具用户指南

此手册介绍了 TI MSP-FET430 闪存仿真工具 (FET) 的硬件。FET 是针对 MSP430 超低功耗微控制器的程序开发工具。

应用报告

MSP430 FRAM 技术 - 操作方法和最佳实践

FRAM 是一种非易失性存储器技术，其行为与 SRAM 类似，不仅支持大量新应用，还改变了固件的设计方式。该应用报告从嵌入式软件开发视角概述了 FRAM 技术在 MSP430 中的使用方法和最佳实践，其中介绍了如何按照应用程序特定的代码、常量、数据空间要求实施存储器布局以及如何使用 FRAM 优化应用程序的能耗。

MSP430FR4xx 和 MSP430FR2xx 系列的 VLO 校准

MSP430FR4xx 和 MSP430FR2xx (FR4xx/FR2xx) 系列微控制器 (MCU) 提供了各种时钟源，包括一些高速、高精度时钟以及一些低功耗、低系统成本时钟。用户可以选择以最佳方式权衡了性能、功耗和系统成本的时钟。片上超低频振荡器 (VLO) 是 FR4xx/FR2xx 系列 MCU 中包含的频率为 10kHz (典型值) 的时钟源。VLO 具有超低功耗，因此广泛用于各种应用。

MSP430 32kHz 晶体振荡器

选择合适的晶体、正确的负载电路和适当的电路板布局是实现稳定的晶体振荡器的关键。该应用报告总结了晶体振荡器的功能，介绍了用于选择合适的晶体以实现 MSP430 超低功耗运行的参数。此外，还给出了正确电路板布局的提示和示例。此外，为了确保振荡器在大规模生产后能够稳定运行，还可能需要进行一些振荡器测试，该文档中提供了有关这些测试的详细信息。

MSP430 系统级 ESD 注意事项

随着芯片技术向更低电压方向发展以及设计具有成本效益的超低功耗组件的需求的出现，系统级 ESD 要求变得越来越苛刻。该应用报告介绍了不同的 ESD 主题，旨在帮助电路板设计人员和 OEM 理解并设计出稳健耐用的系统级设计。

11.5 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.6 商标

MSP430™, LaunchPad™, MSP430Ware™, Code Composer Studio™, TI E2E™, BoosterPack™, ULP Advisor™, 适用于 MSP 微控制器的 Code Composer Studio™, EnergyTrace™, and are trademarks of Texas Instruments. 所有商标均为其各自所有者的财产。

11.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.8 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2021, 德州仪器 (TI) 公司

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
MSP430FR2000IPW16	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2000	Samples
MSP430FR2000IPW16R	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2000	Samples
MSP430FR2000IRLLR	ACTIVE	VQFN	RLL	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	FR2000	Samples
MSP430FR2000IRLLT	ACTIVE	VQFN	RLL	24	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	FR2000	Samples
MSP430FR2100IPW16	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2100	Samples
MSP430FR2100IPW16R	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2100	Samples
MSP430FR2100IRLLR	ACTIVE	VQFN	RLL	24	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	FR2100	Samples
MSP430FR2100IRLLT	ACTIVE	VQFN	RLL	24	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	FR2100	Samples
MSP430FR2110IPW16	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2110	Samples
MSP430FR2110IPW16R	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2110	Samples
MSP430FR2110IRLLR	ACTIVE	VQFN	RLL	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2110	Samples
MSP430FR2110IRLLT	ACTIVE	VQFN	RLL	24	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2110	Samples
MSP430FR2111IPW16	ACTIVE	TSSOP	PW	16	90	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2111	Samples
MSP430FR2111IPW16R	ACTIVE	TSSOP	PW	16	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2111	Samples
MSP430FR2111IRLLR	ACTIVE	VQFN	RLL	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2111	Samples
MSP430FR2111IRLLT	ACTIVE	VQFN	RLL	24	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	FR2111	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of ≤ 1000 ppm threshold. Antimony trioxide based flame retardants must also meet the ≤ 1000 ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MSP430FR2000IPW16R	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430FR2000IRLLT	VQFN	RLL	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2100IPW16R	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430FR2100IRLLR	VQFN	RLL	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2100IRLLT	VQFN	RLL	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2110IPW16R	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430FR2110IRLLR	VQFN	RLL	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2110IRLLT	VQFN	RLL	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2111IPW16R	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MSP430FR2111IRLLR	VQFN	RLL	24	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
MSP430FR2111IRLLT	VQFN	RLL	24	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MSP430FR2000IPW16R	TSSOP	PW	16	2000	350.0	350.0	43.0
MSP430FR2000IRLLT	VQFN	RLL	24	250	210.0	185.0	35.0
MSP430FR2100IPW16R	TSSOP	PW	16	2000	350.0	350.0	43.0
MSP430FR2100IRLLR	VQFN	RLL	24	3000	367.0	367.0	35.0
MSP430FR2100IRLLT	VQFN	RLL	24	250	210.0	185.0	35.0
MSP430FR2110IPW16R	TSSOP	PW	16	2000	350.0	350.0	43.0
MSP430FR2110IRLLR	VQFN	RLL	24	3000	367.0	367.0	35.0
MSP430FR2110IRLLT	VQFN	RLL	24	250	210.0	185.0	35.0
MSP430FR2111IPW16R	TSSOP	PW	16	2000	350.0	350.0	43.0
MSP430FR2111IRLLR	VQFN	RLL	24	3000	367.0	367.0	35.0
MSP430FR2111IRLLT	VQFN	RLL	24	250	210.0	185.0	35.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
MSP430FR2000IPW16	PW	TSSOP	16	90	530	10.2	3600	3.5
MSP430FR2100IPW16	PW	TSSOP	16	90	530	10.2	3600	3.5
MSP430FR2110IPW16	PW	TSSOP	16	90	530	10.2	3600	3.5
MSP430FR2111IPW16	PW	TSSOP	16	90	530	10.2	3600	3.5



4220204/A 02/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

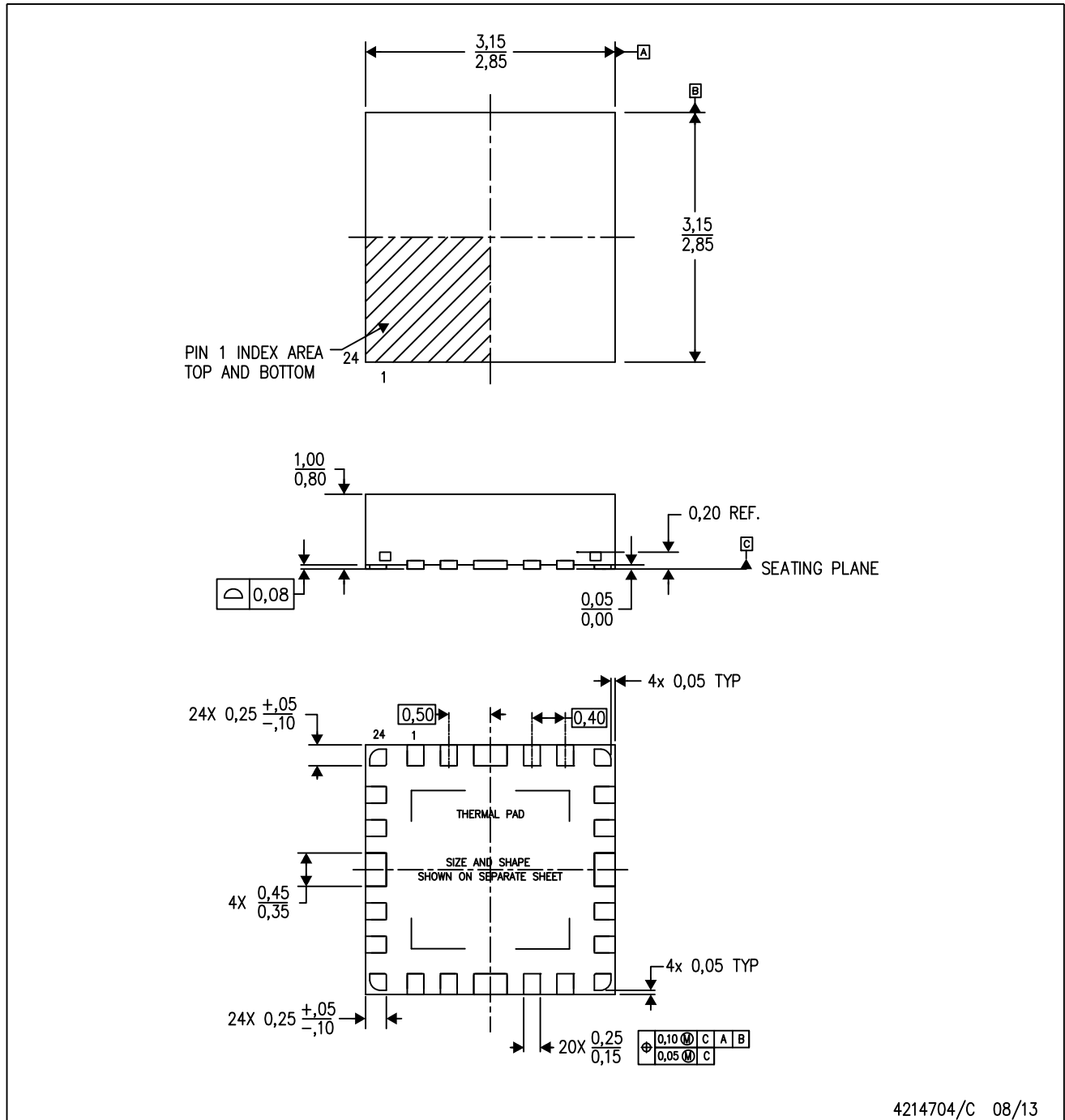
4220204/A 02/2017

NOTES: (continued)

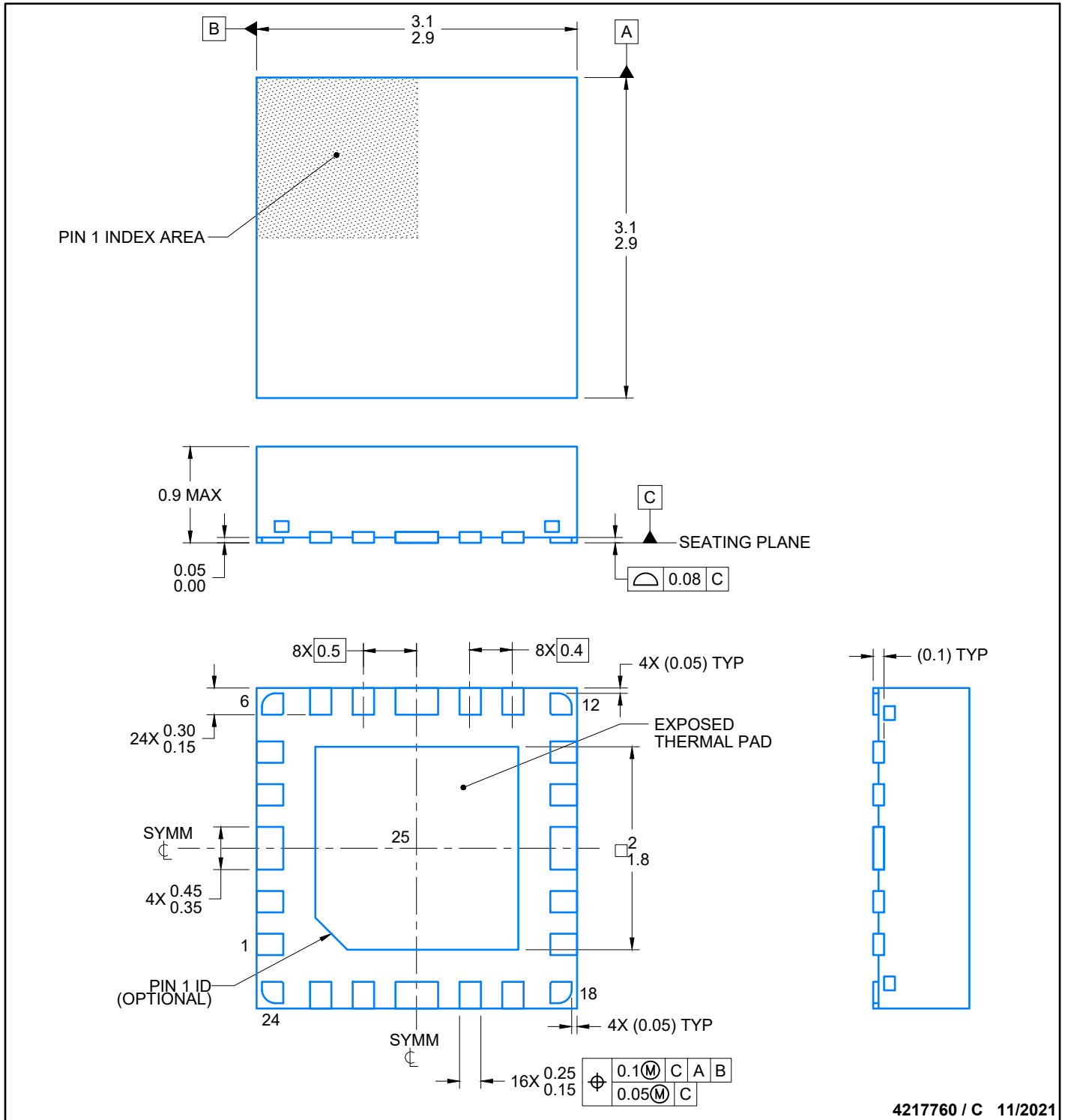
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

RLL (S-PVQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



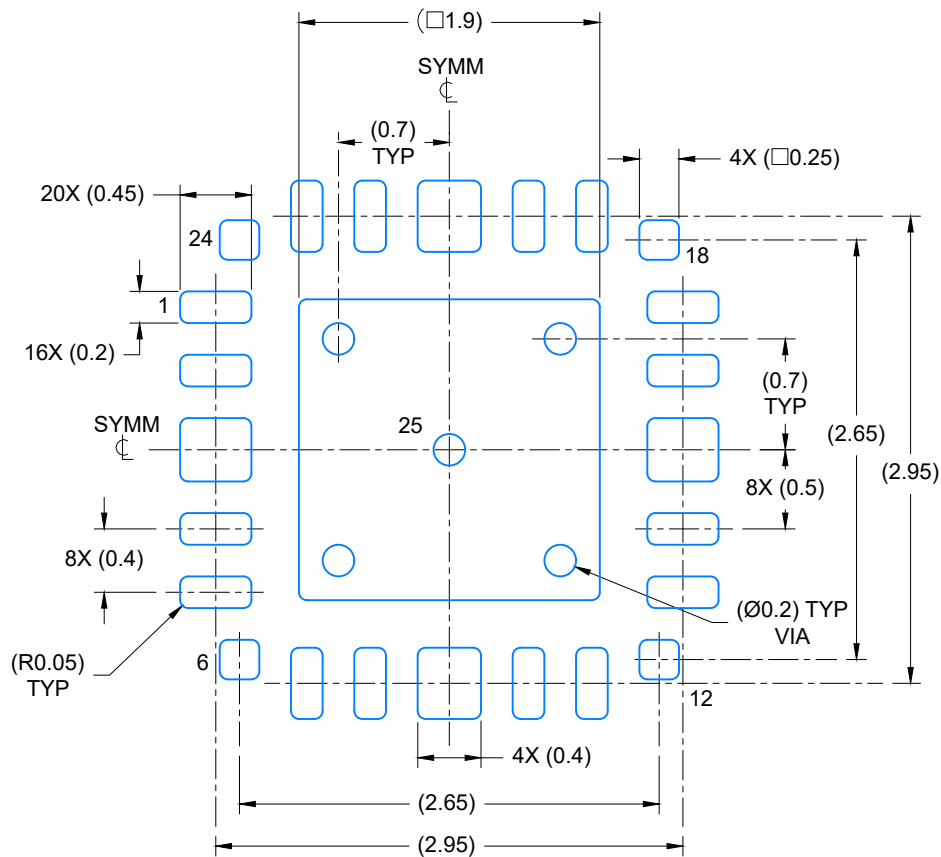
- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Quad Flatpack, No-leads (QFN) package configuration.
 - D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.



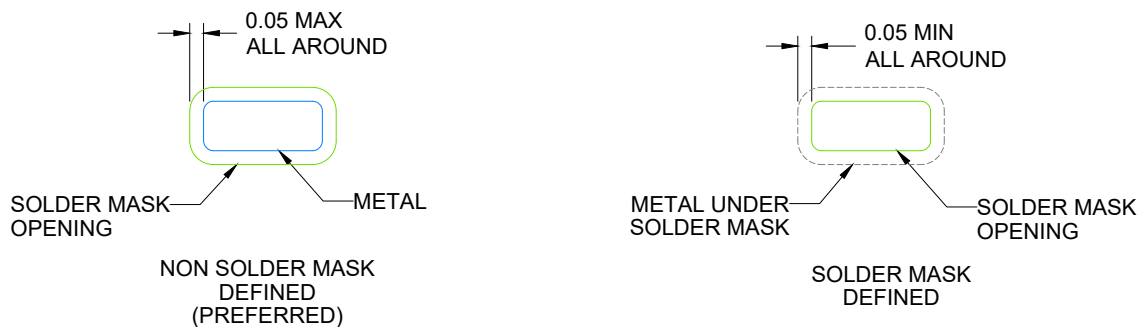
4217760 / C 11/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE: 20X

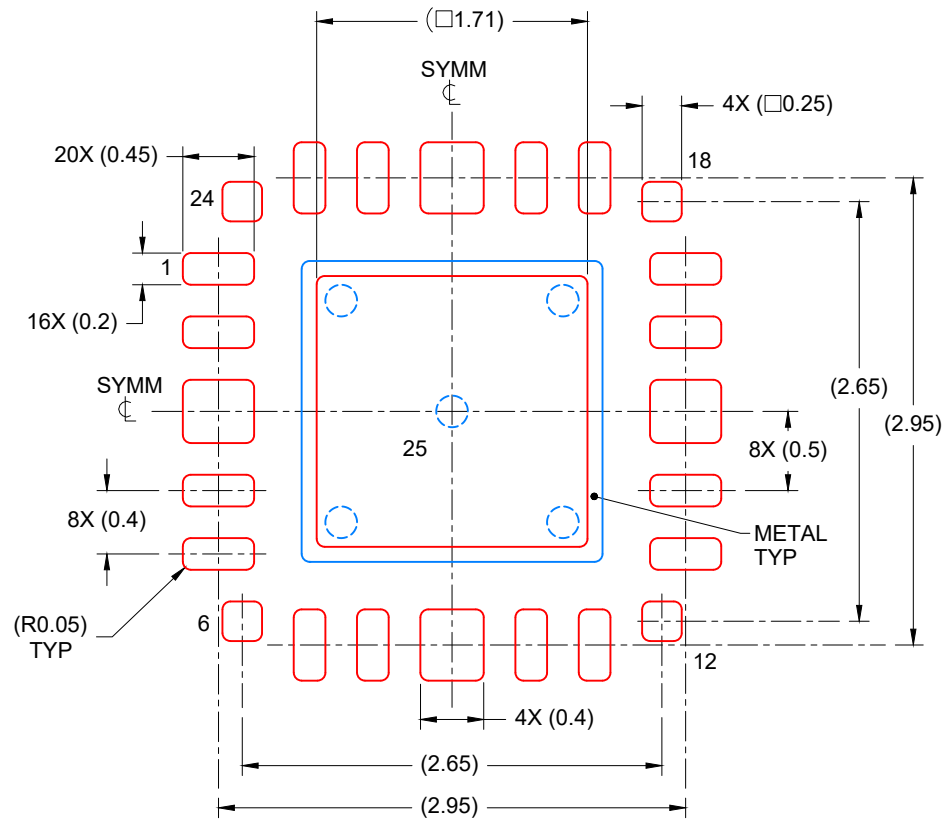


SOLDER MASK DETAILS

4217760 / C 10/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
 81% PRINTED COVERAGE BY AREA
 SCALE: 20X

4217760 / C 10/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司