

TPS543x 3A, 宽输入范围, 降压转换器

1 特性

- 宽输入电压范围：
 - TPS5430：5.5V 至 36V
 - TPS5431：5.5V 至 23V
- 高达 3A 的持续（峰值为 4A）输出电流
- 通过 110mΩ 集成式 MOSFET 开关实现高达 95% 的高效率
- 宽输出电压范围：可调节为低至 1.22V，初始精度为 1.5%
- 内部补偿可最大限度减少外部器件数量
- 适用于小型滤波器尺寸的固定 500kHz 开关频率
- 通过输入电压前馈改进线性调整率和瞬态响应
- 通过过流限制、过压保护和热关断保护系统
 - 40°C 至 125°C 的工作结温范围
- 采用小型热增强型 8 引脚 SO PowerPAD™ 封装
- 使用 TPS5430 并借助 [WEBENCH® Power Designer](#) 创建定制设计

2 应用

- 消费类：机顶盒、DVD 显示屏、LCD 显示屏
- 工业用和车载音频电源
- 电池充电器、大功率 LED 电源
- 12V 和 24V 分布式电源系统

3 说明

TPS543x 是一款高输出电流 PWM 转换器，集成了低电阻、高侧 N 沟道 MOSFET。除了所列的特性，基板上还包括高性能电压误差放大器（可在瞬态条件下提供高稳压精度）、欠压锁定电路（用于防止在输入电压达到 5.5V 前启动）、内部设置的慢启动电路（用于限制浪涌电流）以及电压前馈电路（用于改进瞬态响应）。借助 ENA 引脚，关断电源电流通常可减小至 18 μA。其他特性包括高电平有效使能、过流限制、过压保护和热关断。为降低设计复杂性并减少外部元件数量，对 TPS543x 反馈环路进行内部补偿。TPS5431 旨在通过高达 23V 的电源轨运行。TPS5430 调节各种电源，包括 24V 总线。

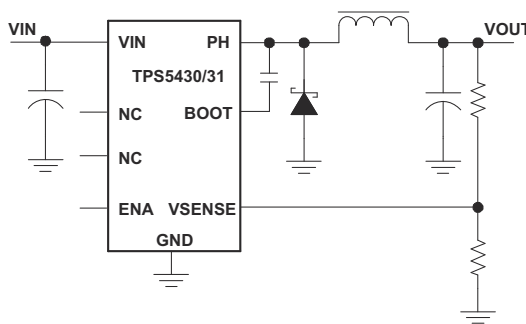
TPS543x 器件采用热增强型且易于使用的 8 引脚 SOIC PowerPAD™ 封装。TI 提供评估模块和 Designer 软件工具，协助快速实现高性能电源设计，满足迫切的设备开发周期要求。

器件信息

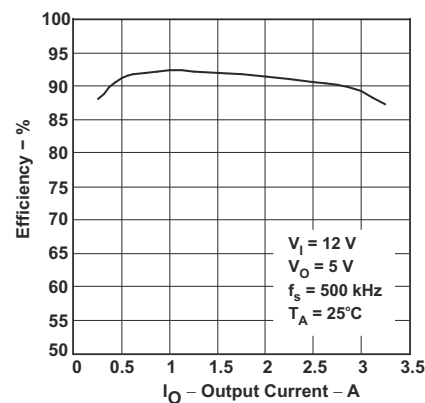
| 器件型号 | 封装 ⁽¹⁾ | 输入电压 |
|---------|-------------------|------------|
| TPS5430 | HSOP (8) | 5.5V 至 36V |
| TPS5431 | | 5.5V 至 23V |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

Simplified Schematic



Efficiency vs Output Current



内容

| | | | |
|------------------------|---|---|----|
| 1 特性 | 1 | 7.4 器件功能模式..... | 11 |
| 2 应用 | 1 | 8 应用和实现 | 12 |
| 3 说明 | 1 | 8.1 应用信息..... | 12 |
| 4 修订历史记录 | 2 | 8.2 典型应用..... | 13 |
| 5 引脚配置和功能 | 3 | 9 电源建议 | 25 |
| 6 规格 | 4 | 10 布局 | 25 |
| 6.1 绝对最大额定值..... | 4 | 10.1 布局指南..... | 25 |
| 6.2 ESD 额定值..... | 4 | 10.2 布局示例..... | 26 |
| 6.3 建议工作条件..... | 4 | 11 器件和文档支持 | 27 |
| 6.4 热性能信息..... | 5 | 11.1 器件支持..... | 27 |
| 6.5 电气特性..... | 6 | 11.2 接收文档更新通知..... | 27 |
| 6.6 典型特性..... | 7 | 11.3 支持资源..... | 27 |
| 7 详细说明 | 9 | 11.4 商标..... | 27 |
| 7.1 概述..... | 9 | 11.5 Electrostatic Discharge Caution..... | 27 |
| 7.2 功能方框图..... | 9 | 11.6 术语表..... | 27 |
| 7.3 特性说明..... | 9 | 12 机械、封装和可订购信息 | 27 |

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision I (April 2017) to Revision J (July 2022) | Page |
|---|-------------|
| • 更新了整个文档中的表格、图和交叉参考的编号格式..... | 1 |

| Changes from Revision H (April 2016) to Revision I (March 2017) | Page |
|--|-------------|
| • 添加了 WEBENCH® 模型..... | 1 |
| • 将节 6.1 PH (瞬态 < 10ns) 规格最小值电压从“- 1.2”更改为了“- 4”..... | 4 |

5 引脚配置和功能

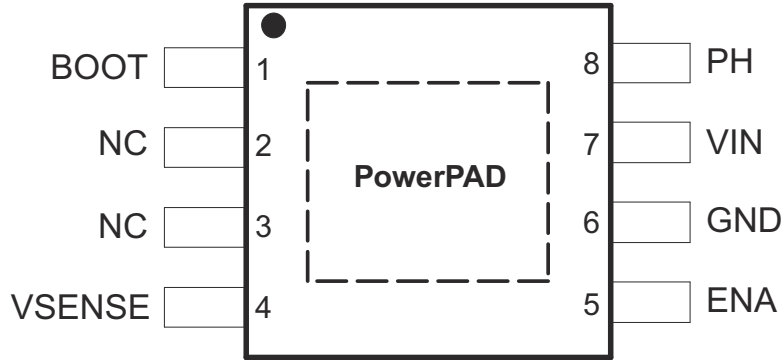


图 5-1. DDA 封装 8 引脚 SOIC (带散热焊盘) 俯视图

表 5-1. 引脚功能

| 引脚 | | I/O | 说明 |
|----------|-----|-----|---|
| 名称 | 编号 | | |
| BOOT | 1 | O | 高侧 FET 栅极驱动器的升压电容器。从 BOOT 引脚至 PH 引脚连接一个 0.01 μ F 低 ESR 电容器。 |
| NC | 2、3 | — | 内部未连接。 |
| VSENSE | 4 | I | 稳压器的反馈电压。连接到输出电压分压器。 |
| ENA | 5 | I | 开/关控制。低于 0.5V，器件会停止开关。悬空引脚以启用。 |
| GND | 6 | — | 接地。连接到 PowerPAD。 |
| VIN | 7 | — | 输入电源电压。旁路 VIN 引脚至 GND 引脚靠近采用高质量、低 ESR 陶瓷电容器的器件封装。 |
| PH | 8 | I | 高侧功率 MOSFET 的源极。连接至外部电感器和二极管。 |
| PowerPAD | | — | 必须将 GND 引脚连接到外露焊盘才能正常运行。 |

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

| | | | 最小值 | 最大值 | 单位 |
|------------------|----------|----------------|------|-------------------|----|
| V _I | TPS5430 | VIN | -0.3 | 40 ⁽³⁾ | V |
| | | PH (稳态) | -0.6 | 40 ⁽³⁾ | |
| | TPS5431 | VIN | -0.3 | 25 | |
| | | PH (稳态) | -0.6 | 25 | |
| | | ENA | -0.3 | 7 | |
| | | BOOT-PH | -0.3 | 10 | |
| | | VSENSE | -0.3 | 3 | |
| | | PH (瞬态 < 10ns) | -4 | | |
| I _O | 拉电流 | PH | 内部受限 | | |
| I _{lkg} | 漏电流 | PH | 10 | | μA |
| T _J | 工作等效结温范围 | | -40 | 150 | °C |
| T _{stg} | 贮存温度范围 | | -65 | 150 | °C |

- 超出**绝对最大额定值**下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过**建议工作条件**所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- 所有电压值都相对于网络接地端而言。
- VIN 引脚接近绝对最大额定值可能会导致 PH 引脚上的电压超过绝对最大额定值。

6.2 ESD 额定值

| | | 值 | 单位 |
|--------------------|---|-------|----|
| V _(ESD) | 静电放电 | | V |
| | 人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾ | ±2000 | |
| | 充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾ | ±1500 | |

- JEDEC 文档 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议工作条件

| | | | 最小值 | 最大值 | 单位 |
|----------------|--------|---------|-----|-----|----|
| VIN | 输入电压范围 | TPS5430 | 5.5 | 36 | V |
| | | TPS5431 | 5.5 | 23 | |
| T _J | 工作结温 | | -40 | 125 | °C |

6.4 热性能信息

| 热指标 ^{(1) (2) (3)} | | TPS5430 TPS5431 | 单位 |
|----------------------------|------------------------------------|--------------------|------|
| | | DDA | |
| | | 8 引脚 | |
| $R_{\theta JA}$ | 结至环境热阻 (2 层定制电路板) ⁽⁴⁾ | 33 | °C/W |
| $R_{\theta JA}$ | 结至环境热阻 (4 层定制电路板) ⁽⁵⁾ | 26 | |
| $R_{\theta JA}$ | 结至环境热阻 (标准电路板) | 42.3 | |
| ψ_{JT} | 结至顶部特征参数 | 4.9 | |
| ψ_{JB} | 结至电路板特征参数 | 20.7 | |
| $R_{\theta JC(top)}$ | 结至外壳 (顶部) 热阻 | 46.4 | |
| $R_{\theta JC(bottom)}$ | 结至外壳 (底部) 热阻 | 0.8 | |
| $R_{\theta JB}$ | 结至电路板热阻 | 20.8 | |

- (1) 有关传统和新热指标的更多信息，请参阅 [IC 封装热指标](#) 应用报告。
- (2) 过流保护可能会限制最大功率损耗
- (3) 特定环境温度 T_A 下的额定功率应在 125°C 的结温下确定。在这一点，失真开始大幅增加。最终 PCB 的热管理应力力求将结温保持在 125°C 或以下，以实现最佳性能和长期可靠性。有关更多信息，请参阅本数据表应用部分的 [热计算](#)。
- (4) 测试板条件：
- 3 英寸 x 3 英寸，2 层，厚度：0.062 英寸。
 - 位于 PCB 顶部和底部的 2oz 覆铜线迹。
 - PowerPAD 区域中位于器件封装下方的 6 个散热过孔。
- (5) 测试板条件：
- 3 英寸 x 3 英寸，4 层，厚度：0.062 英寸。
 - 位于 PCB 顶部和底部的 2oz 覆铜线迹。
 - 2 个内部层上的 2oz 铜接地平面。
 - PowerPAD 区域中位于器件封装下方的 6 个散热过孔。

6.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 125°C , $V_{IN} = 12\text{V}$ (除非另有说明)

| 参数 | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|-----------------------------|--------------------------------|-------|-------|-------|--------------------|
| 电源电压 (VIN 引脚) | | | | | |
| I_Q 静态电流 | VSENSE = 2V, 不进行开关, PH 引脚开路 | | 3 | 4.4 | mA |
| | 关断, ENA = 0V | | 18 | 50 | μA |
| 欠压锁定 (UVLO) | | | | | |
| 启动阈值电压, UVLO | | | 5.3 | 5.5 | V |
| 迟滞电压, UVLO | | | 330 | | mV |
| 电压基准 | | | | | |
| 电压基准精度 | $T_J = 25^{\circ}\text{C}$ | 1.202 | 1.221 | 1.239 | V |
| | $I_O = 0\text{A} - 3\text{A}$ | 1.196 | 1.221 | 1.245 | |
| 振荡器 | | | | | |
| 内部设定自由工作频率 | | 400 | 500 | 600 | kHz |
| 最短可控导通时间 | | | 150 | 200 | ns |
| 最大占空比 | | 87% | 89% | | |
| 使能 (ENA 引脚) | | | | | |
| 启动阈值电压, ENA | | | | 1.3 | V |
| 停止阈值电压, ENA | | 0.5 | | | V |
| 迟滞电压, ENA | | | 450 | | mV |
| 内部慢启动时间 (0~100%) | | 6.6 | 8 | 10 | ms |
| 电流限制 | | | | | |
| 电流限制 | | 4 | 5 | 6 | A |
| 电流限制断续时间 | | 13 | 16 | 20 | ms |
| 热关断 | | | | | |
| 热关断跳闸点 | | 135 | 162 | | $^{\circ}\text{C}$ |
| 热关断迟滞 | | | 14 | | |
| 输出 MOSFET | | | | | |
| $r_{DS(on)}$ 高侧电源 MOSFET 开关 | VIN = 5.5V | | 150 | | $\text{m}\Omega$ |
| | | | 110 | 230 | |

6.6 典型特性

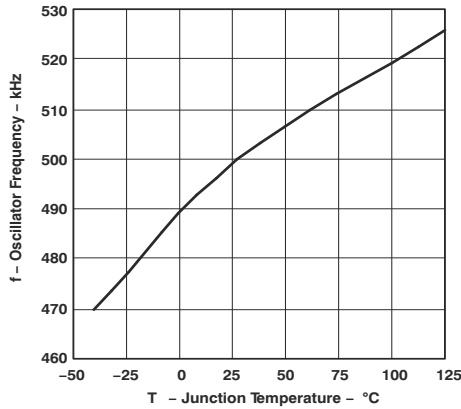


图 6-1. 振荡器频率与结温的关系

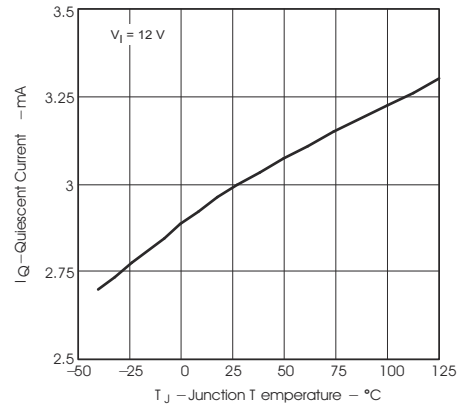


图 6-2. 非开关静态电流与结温的关系

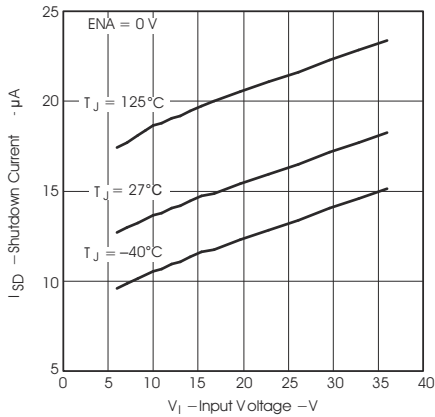


图 6-3. 关断静态电流与输入电压的关系

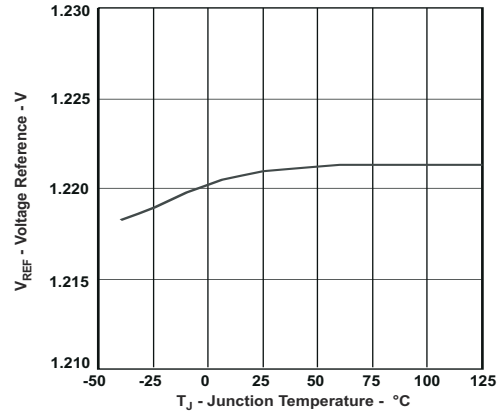


图 6-4. 电压基准与结温的关系

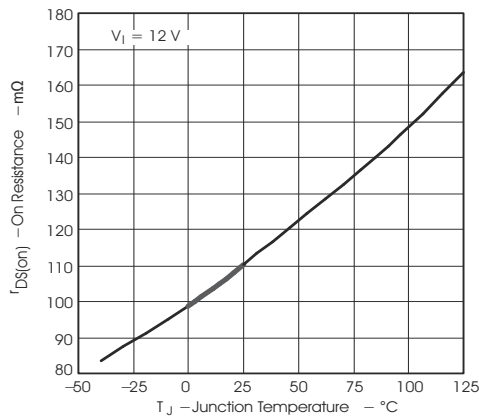


图 6-5. 导通电阻与结温的关系

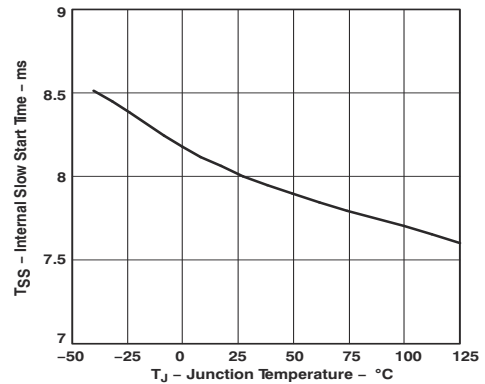


图 6-6. 内部慢启动时间与结温的关系

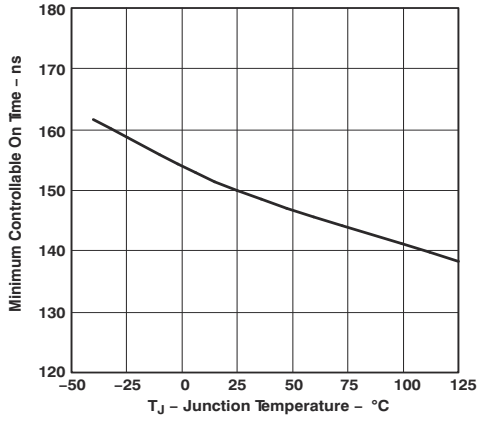


图 6-7. 最短可控导通时间与结温的关系

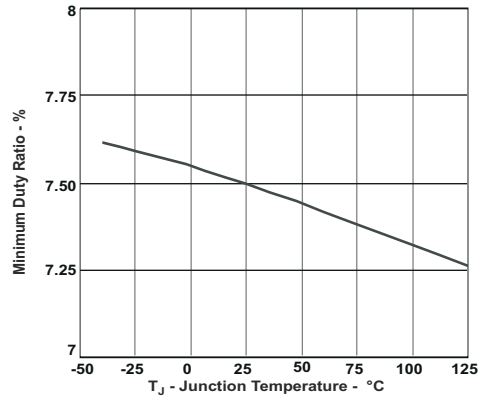


图 6-8. 最小可控占空比与结温的关系

7 详细说明

7.1 概述

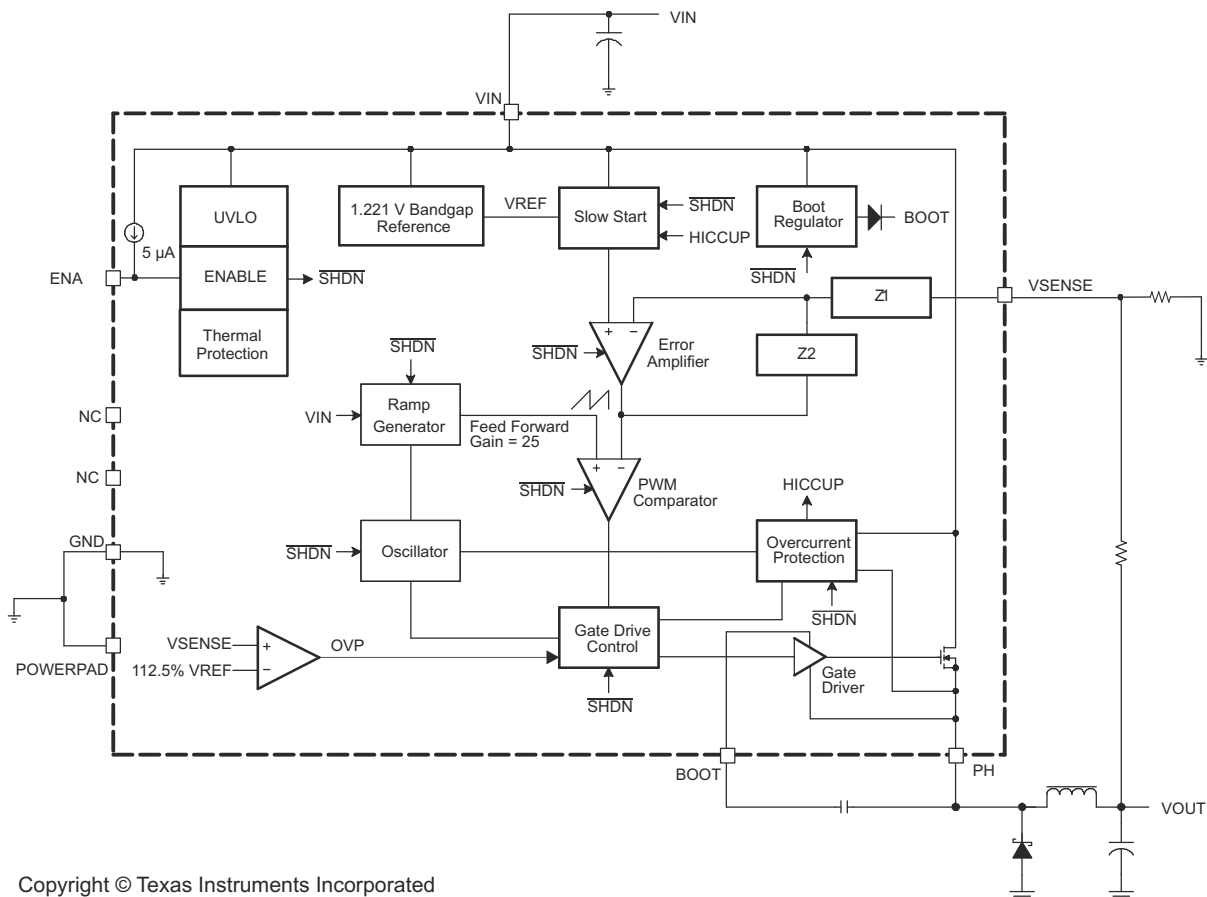
TPS543x 是一款 3A 降压稳压器，具有一个集成式高侧 N 沟道 MOSFET。TPS5431 通过高达 23V 的电源轨运行，而 TPS5430 则通过高达 36V 的电源轨运行。这些器件通过电压前馈实现恒定频率电压模式控制，来改善线性调整率和线性瞬态响应。内部补偿可降低设计复杂性并减少外部元件数量。

集成式 110mΩ 高侧 MOSFET 支持高效电源设计，可以向负载提供 3A 的连续电流。从 BOOT 连接至 PH 引脚的自举电容器为集成式高侧 MOSFET 提供栅极驱动偏置电压。TPS543x 通过集成自举再充电二极管减少外部元件数量。

TPS543x 的默认输入启动电压为 5.3V (典型值)。ENA 引脚可用于禁用 TPS543x，将电源电流降低至 18μA。当 ENA 引脚悬空时，内部上拉电流源实现运行。TPS543x 包括内部慢启动电路，此电路可在启动期间减慢输出上升时间，以减少浪涌电流和输出电压过冲。最小输出电压为内部 1.221V 反馈基准。通过过压保护 (OVP) 比较器最大限度地减少输出过压瞬变。激活 OVP 比较器时，关闭高侧 MOSFET，直至输出电压低于所需输出电压的 112.5%。

内部逐周期过流保护限制集成式高侧 MOSFET 中的峰值电流。对于连续过流故障情况，TPS543x 将进入断续模式过流限制。热保护可防止器件过热。

7.2 功能方框图



7.3 特性说明

7.3.1 振荡器频率

内部自由运行振荡器将 PWM 开关频率设置为 500kHz。对于相同的输出纹波要求，500kHz 开关频率可实现较低的输出电感，从而可使用更小的输出电感器。

7.3.2 电压基准

电压基准系统通过对具有温度稳定性的带隙电路输出进行调节生成精确的基准信号。在生产测试期间将带隙和调节电路修整为室温下 1.221V 的输出。

7.3.3 使能 (ENA) 和内部慢启动

稳压器的 ENA 引脚可提供电气开/关控制功能。ENA 引脚电压超过阈值电压后，稳压器就会开始运行，且内部慢启动开始斜升。如果 ENA 引脚电压被拉至阈值电压以下，稳压器停止开关且内部慢启动复位。将引脚接地或连接到任何低于 0.5V 的电压将禁用稳压器并激活关断模式。在关断模式下，TPS543x 的静态电流量通常为 18μA。

ENA 引脚具备一个内部上拉电流源，可使用户悬空 ENA 引脚。如果应用需要控制 ENA 引脚，可采用漏极开路或集电极开路输出逻辑与该引脚连接。要限制启动期间的浪涌电流，可使用内部慢启动电路将基准电压从 0V 线性斜升至其最终值。内部慢启动时间通常为 8ms。

7.3.4 欠压锁定 (UVLO)

TPS543x 包括一个欠压锁定电路，用于在 VIN (输入电压) 低于 UVLO 启动电压阈值时使器件保持禁用状态。在上电期间，内部电路保持非运行状态，内部慢启动接地，直至 VIN 超过 UVLO 启动阈值电压。达到 UVLO 启动阈值电压之后，就会释放内部慢启动，器件启动开始。器件会保持运行，直至 VIN 降至低于 UVLO 停止阈值电压。UVLO 比较器中的典型迟滞为 330mV。

7.3.5 升压电容器 (BOOT)

在 BOOT 引脚和 PH 引脚之间连接一个 0.01 μF 低 ESR 陶瓷电容器。此电容器为高侧 MOSFET 提供栅极驱动电压。由于 X7R 或 X5R 等级的电介质在不同温度下的值保持稳定，因此建议使用。

7.3.6 输出反馈 (VSENSE) 和内部补偿

通过将外部电阻分压器网络的中心点电压反馈回 VSENSE 引脚，设定稳压器的输出电压。在稳态运行期间，VSENSE 引脚电压应等于电压基准 1.221V。

TPS543x 实施内部补偿以简化稳压器设计。由于 TPS543x 使用电压模式控制，因此在片上设计了 3 类补偿网络，以提供高交叉频率和高相位裕度，从而实现良好的稳定性。更多详细信息，请参阅应用部分中的 *内部补偿网络*。

7.3.7 电压前馈

不管输入电压有任何变化，内部电压前馈都会提供恒定直流功率级增益。这极大简化了稳定性分析和改善了瞬态响应。电压前馈使峰值斜坡电压与输入电压成反比变化，以使调制器和功率级增益在前馈增益处保持恒定，即

$$\text{Feed Forward Gain} = \frac{V_{IN}}{\text{Ramp}_{pk-pk}} \quad (1)$$

TPS543x 的典型前馈增益为 25。

7.3.8 脉宽调制 (PWM) 控制

稳压器采用固定频率脉宽调制 (PWM) 控制方法。首先，通过高增益误差放大器和补偿网络将反馈电压 (VSENSE 引脚电压) 与恒定电压基准进行比较，以生成误差电压。然后，通过 PWM 比较器将误差电压与斜坡电压进行比较。通过这种方式，误差电压幅度转换为脉冲宽度，即占空比。最后，PWM 输出馈送到栅极驱动电路，以控制高侧 MOSFET 的导通时间。

7.3.9 过流限制

通过检测高侧 MOSFET 的漏源电压来实施过流限制。然后将漏源电压与表示过流阈值限制的电压电平进行比较。如果漏源电压高于过流阈值限制，则过流指示器设置为 true。系统会忽略每个周期开始时前沿消隐时间的过流指示器，以避免任何开启噪声干扰。

过流指示器设置为 **true** 之后，触发过流限制。在传播延迟之后，在周期的剩余时间内关闭高侧 MOSFET。过流限制模式称为逐周期电流限制。

有时在短路等严重过载情况下，使用逐周期电流限制时仍可能会发生过流失控。使用第二种电流限制模式，即断续模式过流限制。在断续模式过流限制期间，电压基准接地，且在断续时间段内关闭高侧 MOSFET。断续时间段结束之后，稳压器在慢启动电路的控制下重新启动。

7.3.10 过压保护

TPS543x 有过压保护 (OVP) 电路，以便从输出故障状态恢复时最大限度地减少电压过冲。OVP 电路包括一个过压比较器，用于比较 **VSENSE** 引脚电压和 **112.5% x VREF** 的阈值。一旦 **VSENSE** 引脚电压高于阈值，高侧 MOSFET 将被强制关闭。当 **VSENSE** 引脚电压降至低于阈值时，高侧 MOSFET 将重新启用。

7.3.11 热关断

TPS543x 使用内部热关断电路防止自身过热。如果结温超过热关断跳闸点，则电压基准会接地并关断高侧 MOSFET。当结温降至低于热关断跳闸点 **14°C** 时，器件会在慢启动电路的控制下自动重启。

7.4 器件功能模式

7.4.1 在最低输入电压附近运行

建议 TPS543x 在超过 **5.5V** 的输入电压下运行。典型的 **VIN UVLO** 阈值为 **5.3V**，且该器件可在低至 **UVLO** 电压的输入电压下运行。当输入电压低于实际 **UVLO** 电压时，该器件不再开关。如果 **EN** 悬空或在外部上拉至大于 **1.3V**，则当 $V_{(VIN)}$ 超出 **UVLO** 阈值时，TPS543x 将变为运行状态。开关启用，且慢启动序列随之启动。在内部慢启动期间，TPS543x 器件开始将内部基准电压从 **0V** 线性上升至其最终值。

7.4.2 在实施 **ENA** 控制的情况下运行

使能启动阈值电压最大为 **1.3V**。当 **ENA** 持续低于 **0.5V** 最小停止阈值电压时，TPS543x 处于禁用状态并禁止进行开关，即使 **VIN** 高于其 **UVLO** 阈值时也是如此。这种状态下的静态电流有所降低。如果 **ENA** 电压升至高于最大启动阈值，而 $V_{(VIN)}$ 高于其 **UVLO** 阈值，则该器件变为有效状态。开关启用，且慢启动序列随之启动。在内部慢启动期间，TPS543x 器件开始将内部基准电压从 **0V** 线性上升至其最终值。

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS543x 是一款 3A 降压稳压器，具有一个集成式高侧 MOSFET。此器件通常用于将较高的直流电压转换为较低的直流电压，提供的最大输出电流为 3A。示例应用为：适用于机顶盒、DVD、LCD 和等离子显示屏、大功率 LED 电源、汽车音响、电池充电器和其他 12V 和 24V 分布式电源系统的高密度负载点稳压器。按照以下设计过程为 TPS543x 选择合适的元件值。此过程阐明了高频开关稳压器的设计。此外，可以使用 WEBENCH 软件生成完整设计。生成设计时，WEBENCH 软件采用一种迭代设计过程并访问综合元件数据库。

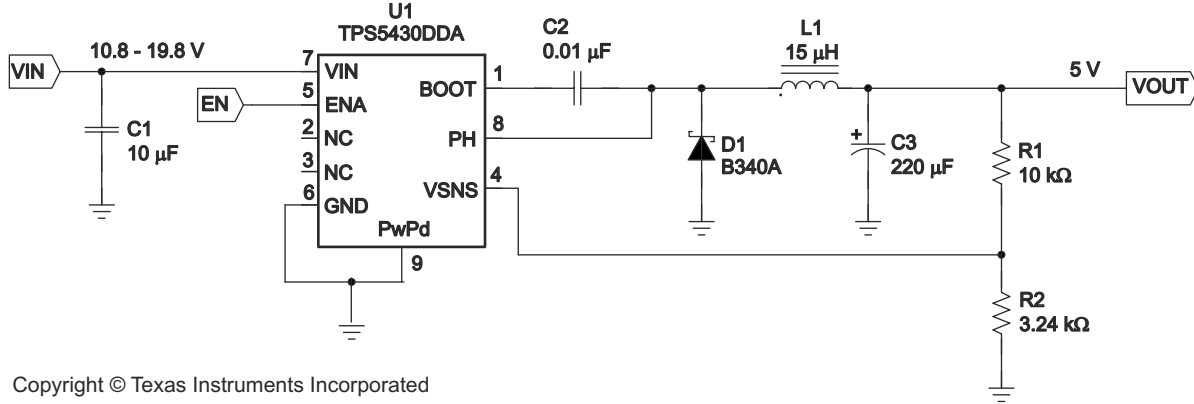
要开始设计过程，必须先确定几个参数。设计人员需要了解以下内容：

- 输入电压范围
- 输出电压
- 输入纹波电压
- 输出纹波电压
- 输出电流额定值
- 工作频率

8.2 典型应用

8.2.1 12V 输入到 5.0V 输出

图 8-1 显示了典型 TPS5430 应用的原理图。TPS5430 可以在 5V 的标称输出电压下提供高达 3A 的输出电流。为了获得适当的热性能，器件下方裸露的 PowerPAD™ 必须焊接至印刷电路板。



Copyright © Texas Instruments Incorporated

图 8-1. 应用电路，12V 输入到 5.0V 输出

8.2.1.1 设计要求

本设计示例使用以下参数作为输入参数：

| 设计参数 ⁽¹⁾ | 示例值 |
|---------------------|---------------|
| 输入电压范围 | 10.8V 至 19.8V |
| 输出电压 | 5V |
| 输入纹波电压 | 300mV |
| 输出纹波电压 | 30mV |
| 输出电流额定值 | 3A |
| 工作频率 | 500kHz |

(1) 作为一项附加约束，该设计设置为小尺寸和低元件高度。

8.2.1.2 详细设计过程

以下设计过程可用于为 TPS5430 选择元件值。本部分简要讨论了设计过程。

8.2.1.2.1 使用 WEBENCH® 工具定制设计方案

[点击此处](#)，使用 TPS5430 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化该设计的关键参数，如效率、尺寸和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 可提供定制原理图以及罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

8.2.1.2.2 开关频率

TPS5430 的开关频率在内部设置为 500kHz。无法调整开关频率。

8.2.1.2.3 输入电容器

TPS5430 需要一个输入去耦电容器，并且根据具体应用需要一个大容量输入电容器。去耦电容器 C1 的建议值为 10 μ F。需要高品质的陶瓷型 X5R 或 X7R 电容器。对于某些应用，只要不超过输入电压和电流纹波额定值，就可以使用具有更小值的去耦电容器。额定电压必须大于最大输入电压，包括纹波电压。

此输入纹波电压可以通过 [方程式 2](#) 估算得出：

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times f_{sw}} + (I_{OUT(MAX)} \times ESR_{MAX}) \quad (2)$$

其中 $I_{OUT(MAX)}$ 是最大负载电流， f_{sw} 是开关频率， C_{IN} 是输入电容值， ESR_{MAX} 是输入电容器的最大串联电阻。

还需要检查最大 RMS 纹波电流。在最坏的情况下，可以通过 [方程式 3](#) 估算得出此值：

$$I_{CIN} = \frac{I_{OUT(MAX)}}{2} \quad (3)$$

在这种情况下，输入纹波电压将为 156mV，RMS 纹波电流将为 1.5A。输入电容器两端的最大电压将为 V_{IN} 最大值 + $\Delta V_{IN}/2$ 。所选输入去耦电容器的额定电压为 25V，纹波电流容量大于 3A，提供了足够的裕量。非常重要的是，在任何情况下都不得超过电压和电流的最大额定值。

此外可能需要一些大容量电容，尤其是当 TPS5430 电路的位置不在输入电压源 2 英寸以内时。此电容器的值并不重要，但其额定值也应能够应对最大输入电压（包括纹波电压），并应能够对输出进行滤波，以使输入纹波电压可以接受。

8.2.1.2.4 输出滤波器元件

需要为输出滤波器选择两个元件，即 L1 和 C2。由于 TPS5430 是内部补偿器件，因此可以支持有限范围的滤波器元件类型和值。

8.2.1.2.4.1 电感器选择

要计算输出电感器的最小值，请使用[方程式 4](#)：

$$L_{\text{MIN}} = \frac{V_{\text{OUT(MAX)}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{V_{\text{IN(max)}} \times K_{\text{IND}} \times I_{\text{OUT}} \times F_{\text{SW}}} \quad (4)$$

K_{IND} 是一个系数，表示电感器纹波电流值与最大输出电流之比。在确定电感器中的纹波电流值时，需要考虑三件事：峰峰值纹波电流会影响输出纹波电压幅度，纹波电流会影响峰值开关电流，纹波电流值决定了电路变得不连续的位置。对于使用 TPS5430 的设计，0.2 至 0.3 的 K_{IND} 可以产生良好的效果。当与适当的输出电容器配合使用时，可以获得低输出纹波电压，峰值开关电流将远低于电流限制设定点，并且在非连续运行之前可以拉取相对较低的负载电流。

在此设计示例中，使用 $K_{\text{IND}} = 0.2$ ，且计算得出的最小电感值为 12.5 μH 。此设计中使用的下一个最高标准值为 15 μH 。

对于输出滤波电感器而言，重要的是不得超出额定 RMS 电流和饱和电流。RMS 电感器电流可由[方程式 5](#)得出：

$$I_{\text{L(RMS)}} = \sqrt{I_{\text{OUT(MAX)}}^2 + \frac{1}{12} \times \left(\frac{V_{\text{OUT}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{V_{\text{IN(MAX)}} \times L_{\text{OUT}} \times F_{\text{SW}} \times 0.8} \right)^2} \quad (5)$$

而峰值电感器电流可以使用[方程式 6](#)来确定：

$$I_{\text{L(PK)}} = I_{\text{OUT(MAX)}} + \frac{V_{\text{OUT}} \times (V_{\text{IN(MAX)}} - V_{\text{OUT}})}{1.6 \times V_{\text{IN(MAX)}} \times L_{\text{OUT}} \times F_{\text{SW}}} \quad (6)$$

对于此设计，RMS 电感器电流为 3.003A，峰值电感器电流为 3.31A。所选的电感器为 Sumida CDRH104R-150 15 μH 。该电感的额定饱和电流为 3.4A，额定均方根电流为 3.6A，轻松满足这些要求。可以使用额定值较低的电感器，但选择该器件是因为其低元件高度。通常，与 TPS5430 配合使用的电感值为 10 μH 至 100 μH 。

8.2.1.2.4.2 电容器选择

输出电容器的重要设计因素是直流电压额定值、纹波电流额定值和等效串联电阻 (ESR)。不得超过直流电压和纹波电流额定值。ESR 很重要，因为它与电感器纹波电流一起决定输出纹波电压的大小。输出电容器的实际值并不重要，但确实存在一些实际限制。应考虑此设计的所需闭环交叉频率与输出滤波器的 LC 转角频率之间的关系。由于采用内部补偿设计，闭环交叉频率尽量保持在 3kHz 至 30kHz 范围之内，因为这个频率范围有足够的相位升压，可实现稳定运行。对于此设计示例，假设预期的闭环交叉频率将在 2590Hz 至 24kHz 之间，且也低于输出电容器的 ESR 零点。在这些条件下，闭环交叉频率与 LC 转角频率的关系如下：

$$f_{CO} = \frac{f_{LC}^2}{85 V_{OUT}} \quad (7)$$

输出滤波器的所需输出电容值为：

$$C_{OUT} = \frac{1}{3357 \times L_{OUT} \times f_{CO} \times V_{OUT}} \quad (8)$$

对于所需的 18kHz 交叉频率和 15 μH 电感器，输出电容器的计算值为 220 μF。选择的电容器类型应使 ESR 零点高于环路交叉频率。最大 ESR 应为：

$$ESR_{MAX} = \frac{1}{2\pi \times C_{OUT} \times f_{CO}} \quad (9)$$

输出电容器的最大 ESR 也决定了初始设计参数中规定的输出纹波的大小。输出纹波电压是电感器纹波电流与输出滤波器的 ESR 的乘积。检查电容器数据表中列出的最大规定 ESR 是否产生可接受的输出纹波电压：

$$V_{PP} (MAX) = \frac{ESR_{MAX} \times V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{N_C \times V_{IN(MAX)} \times L_{OUT} \times F_{SW}} \quad (10)$$

其中

- ΔV_{PP} 为所需的峰峰值输出纹波。
- N_C 为并联输出电容器数。
- f_{SW} 为开关频率。

在本设计示例中，为 C3 选择了单个 220 μF 输出电容器。计算出的 RMS 纹波电流为 143mA，所需的最大 ESR 为 40mΩ。满足这些要求的电容器是 Sanyo Poscap 10TPB220M，其额定值为 10V，最大 ESR 为 40mΩ，额定纹波电流为 3A。也可使用一个额外的 0.1 μF 小型陶瓷旁路电容器，但未包括在本设计中。

还应考虑输出电容器的最小 ESR。为了获得良好的相位裕度，当 ESR 处于最小值时，ESR 零点不应远高于 24kHz 和 54kHz 的内部补偿极点。

所选输出电容器的额定电压也必须大于所需的输出电压加上纹波电压的一半。还必须包括任何降额量。输出电容器中的最大 RMS 纹波电流由方程式 11 给出：

$$I_{COUT(RMS)} = \frac{1}{\sqrt{12}} \times \left[\frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{SW} \times N_C} \right] \quad (11)$$

其中

- N_C 为并联输出电容器数。
- f_{SW} 为开关频率。

其他电容器类型也可以与 TPS5430 一起使用，具体取决于应用的需求。

8.2.1.2.5 输出电压设定

TPS5430 的输出电压通过从输出到 VSENSE 引脚的电阻分压器 (R1 和 R2) 设定。使用 [方程式 12](#) 计算输出电压为 5V 时的 R2 电阻值：

$$R2 = \frac{R1 \times 1.221}{V_{OUT} - 1.221} \quad (12)$$

对于任何 TPS5430 设计，从 R1 值 10kΩ 开始。R2 则为 3.24kΩ。

8.2.1.2.6 BOOT 电容器

BOOT 电容器应为 0.01 μF。

8.2.1.2.7 环流二极管

TPS5430 设计为在 PH 和 GND 之间使用一个外部环流二极管来运行。所选二极管必须满足应用的绝对最大额定值：反向电压必须高于 PH 引脚处的最大电压，即 $V_{IN(MAX)} + 0.5V$ 。峰值电流必须大于 $I_{OUT(MAX)}$ 加上峰峰值电感器电流的一半。为获得更高的效率，正向压降应较小。值得注意的是，环流二极管导通时间通常长于高侧 FET 导通时间，因此，关注二极管参数可以显著提高整体效率。此外，检查所选器件是否能够消散功率损耗。对于此设计，选择了 Diodes, Inc. 的一个反向电压为 40V、正向电流为 3A 且正向压降为 0.5V 的 B340A。

8.2.1.2.8 高级信息

8.2.1.2.8.1 输出电压限制

由于 TPS543x 的内部设计，对于任何给定的输入电压，都有输出电压上限和下限。输出电压设定点的上限受 87% 的最大占空比限制，计算公式如下：

$$V_{OUTMAX} = 0.87 \times \left((V_{INMIN} - I_{OMAX} \times 0.230) + V_D \right) - (I_{OMAX} \times R_L) - V_D \quad (13)$$

其中

- V_{INMIN} = 最小输入电压
- I_{OMAX} = 最大负载电流
- V_D = 环流二极管正向电压
- R_L = 输出电感器串联电阻

此公式假定内部高侧 FET 的电阻为最大值。

下限受到可高达 200ns 的最小可控导通时间的约束。给定输入电压和最小负载电流的近似最小输出电压计算公式如下：

$$V_{OUTMIN} = 0.12 \times \left((V_{INMAX} - I_{OMIN} \times 0.110) + V_D \right) - (I_{OMIN} \times R_L) - V_D \quad (14)$$

其中

- V_{INMAX} = 最大输入电压
- I_{OMIN} = 最小负载电流
- V_D = 环流二极管正向电压
- R_L = 输出电感器串联电阻

8.2.1.2.8.2 内部补偿网络

示例电路中给出的设计公式可用于使用 TPS543x 生成电路。这些设计基于某些假设，往往始终在 ESR 值的有限范围内选择输出电容器。如果需要不同类型的电容器，可以选择适合 TPS543x 内部补偿的电容器。方程式 15 给出了内部电压模式 III 型补偿网络的标称频率响应：

$$H(s) = \frac{\left(1 + \frac{s}{2\pi \times Fz1}\right) \times \left(1 + \frac{s}{2\pi \times Fz2}\right)}{\left(\frac{s}{2\pi \times Fp0}\right) \times \left(1 + \frac{s}{2\pi \times Fp1}\right) \times \left(1 + \frac{s}{2\pi \times Fp2}\right) \times \left(1 + \frac{s}{2\pi \times Fp3}\right)} \quad (15)$$

其中

- $fp0 = 2165\text{Hz}$, $fz1 = 2170\text{Hz}$, $fz2 = 2590\text{Hz}$
- $fp1 = 24\text{kHz}$, $fp2 = 54\text{kHz}$, $fp3 = 440\text{kHz}$
- $fp3$ 表示不理想的寄生效应。

利用这些信息以及所需的输出电压、前馈增益和输出滤波器特性，可以推导出闭环传递函数。

8.2.1.2.8.3 热计算

以下公式显示在连续导通模式运行时，如何估算器件的功率耗散。如果器件在不连续导通模式下以轻负载工作，则不得使用这些公式。

导通损耗 : $P_{con} = I_{OUT}^2 \times R_{ds(on)} \times V_{OUT}/V_{IN}$

开关损耗 : $P_{sw} = V_{IN} \times I_{OUT} \times 0.01$

静态电流损耗 : $P_q = V_{IN} \times 0.01$

总损耗 : $P_{tot} = P_{con} + P_{sw} + P_q$

给定 $T_A \Rightarrow$ 估算结温 : $T_J = T_A + R_{th} \times P_{tot}$

给定 $T_{JMAX} = 125^\circ\text{C} \Rightarrow$ 估算最高环境温度 : $T_{AMAX} = T_{JMAX} - R_{th} \times P_{tot}$

8.2.1.3 应用曲线

性能图 (图 8-2 至图 8-8) 适用于图 8-1 中的电路。T_a = 25°C，除非另有说明。

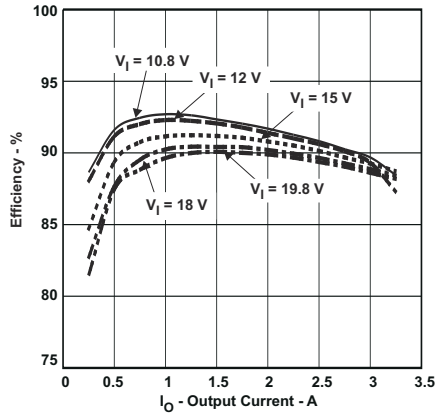


图 8-2. 效率与输出电流的关系

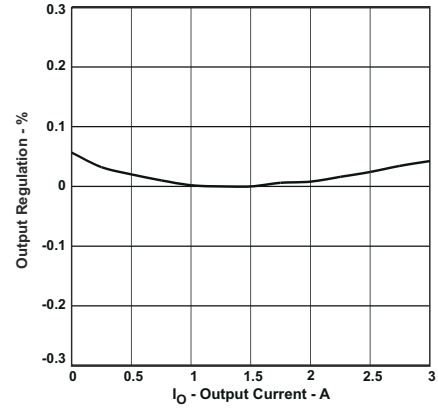


图 8-3. 输出调节百分比与输出电流的关系

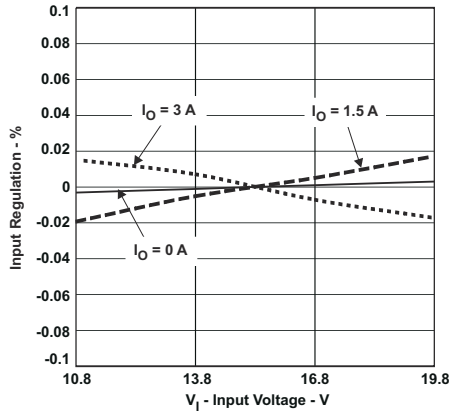


图 8-4. 输入调节百分比与输入电压的关系

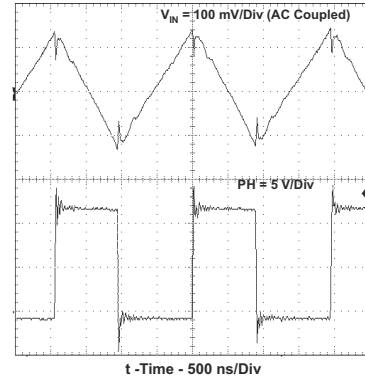


图 8-5. 输入电压纹波和 PH 节点 I_O = 3A 的关系

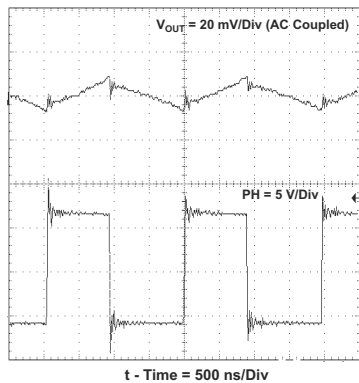


图 8-6. 输出电压纹波和 PH 节点 I_O = 3A 的关系

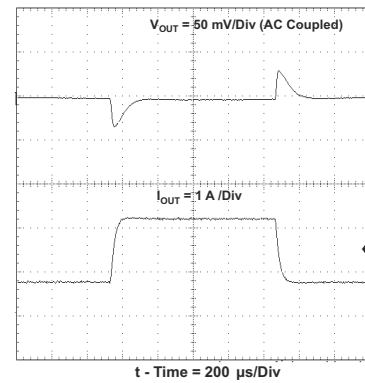


图 8-7. 瞬态响应, I_O 步进 0.75A 至 2.25A

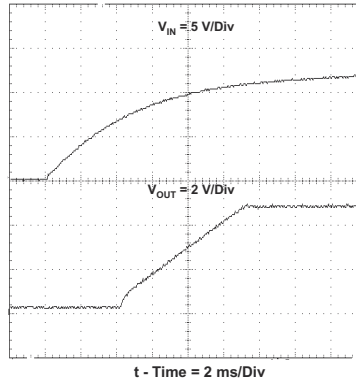
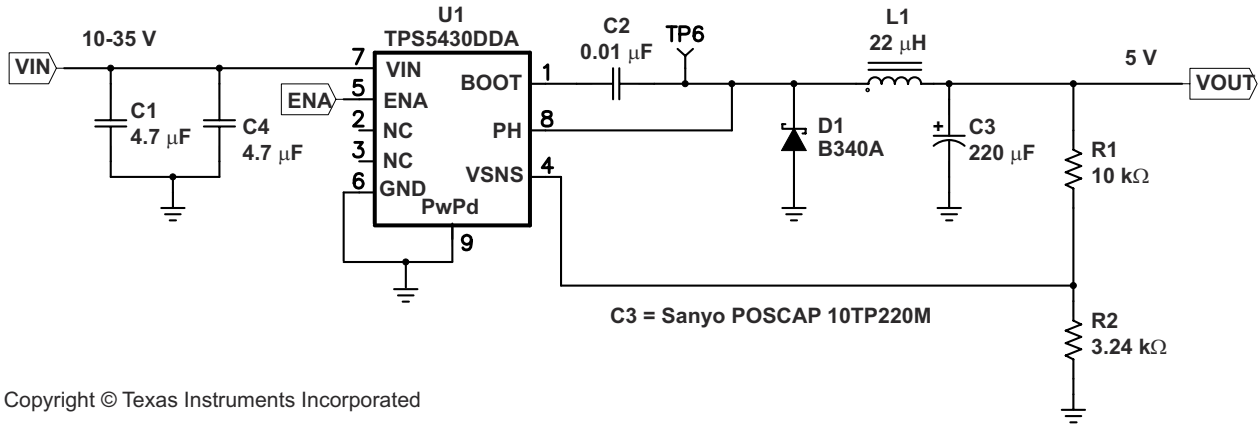


图 8-8. 启动波形, V_{IN} 和 V_{OUT}

8.2.2 TPS5430 的宽输入电压范围

图 8-9 显示了使用 TPS5430 的宽输入电压范围的应用电路。



Copyright © Texas Instruments Incorporated

图 8-9. 10V - 35V 输入到 5V 输出应用电路

8.2.2.1 设计要求

本设计示例使用以下参数作为输入参数。该电路还设计了较大的输出电感值和较低的闭环交叉频率。

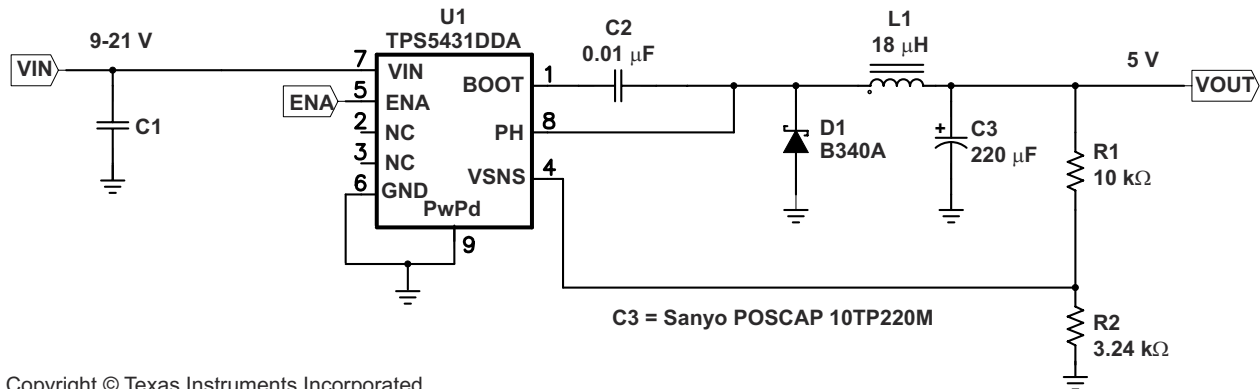
| 设计参数 | 示例值 |
|---------|-----------|
| 输入电压范围 | 10V 至 35V |
| 输出电压 | 5V |
| 输入纹波电压 | 300mV |
| 输出纹波电压 | 30mV |
| 输出电流额定值 | 3A |
| 工作频率 | 500kHz |

8.2.2.2 详细设计过程

设计过程与为节 8.2.1.2 中的设计示例给出的设计过程类似。

8.2.2.3 TPS5431 的宽输入电压范围

图 8-10 显示了使用 TPS5431 宽输入电压范围的应用电路。



Copyright © Texas Instruments Incorporated

图 8-10. 9V - 21V 输入到 5V 输出应用电路

8.2.2.3.1 设计要求

本设计示例使用以下参数作为输入参数。该电路还设计了较大的输出电感值和较低的闭环交叉频率。

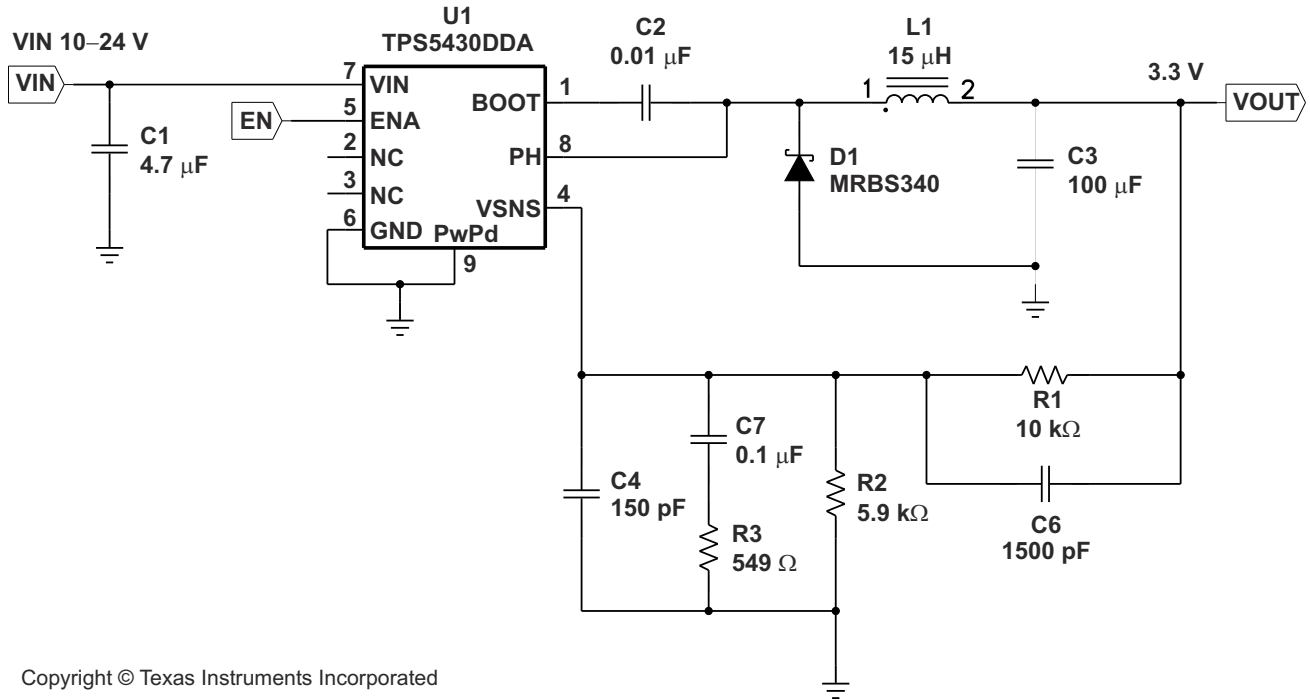
| 设计参数 | 示例值 |
|---------|----------|
| 输入电压范围 | 9V 至 21V |
| 输出电压 | 5V |
| 输入纹波电压 | 300mV |
| 输出纹波电压 | 30mV |
| 输出电流额定值 | 3A |
| 工作频率 | 500kHz |

8.2.2.3.2 详细设计过程

设计过程与为节 8.2.1.2 中的设计示例给出的设计过程类似。

8.2.3 使用陶瓷输出滤波电容器的电路

图 8-11 显示了一个将所有陶瓷电容器用于输入和输出滤波器的应用电路。



Copyright © Texas Instruments Incorporated

图 8-11. 陶瓷输出滤波电容器电路

8.2.3.1 设计要求

本设计示例使用以下参数作为输入参数。该电路还设计了一个陶瓷输出滤波电容器。

| 设计参数 | 示例值 |
|---------|-----------|
| 输入电压范围 | 10V 至 24V |
| 输出电压 | 3.3V |
| 输入纹波电压 | 300mV |
| 输出电流额定值 | 3A |
| 工作频率 | 500kHz |

8.2.3.2 详细设计过程

设计过程与为节 8.2.1.2 中的设计示例给出的设计过程类似，但输出滤波电容器值的选择和使电路稳定所需的额外补偿元件的设计除外。

8.2.3.2.1 输出滤波器元件选择

使用[方程式 11](#)，最小电感值为 $12 \mu\text{H}$ 。为此设计选择 $15 \mu\text{H}$ 的值。

当使用陶瓷输出滤波电容器时，建议的 LC 谐振频率应不超过 7kHz 。由于输出电感器已选择为 $15 \mu\text{H}$ ，这会将最小输出电容值限制为：

$$C_O (\text{MIN}) \geq \frac{1}{(2\pi \times 7000)^2 \times L_O} \quad (16)$$

计算得出最小电容值为 $34 \mu\text{F}$ 。对于该电路，较大的电容值会产生更好的瞬态响应。单个 $100 \mu\text{F}$ 输出电容器用于 C3。值得注意的是，陶瓷电容器的实际电容随施加的电压而减小。在本例中，输出电压设置为 3.3V ，可将此效应降至最低。

8.2.3.2.2 外部补偿网络

当使用陶瓷输出电容器时，需使用额外的电路使闭环系统稳定。对于该电路，外部元件为 R3、C4、C6 和 C7。为了确定这些元件的值，首先计算输出滤波器的 LC 谐振频率：

$$F_{LC} = \frac{1}{2\pi \sqrt{L_O \times C_O (\text{EFF})}} \quad (17)$$

在本例中，有效谐振频率计算为 4109Hz

由 R1、R2、R3、C5、C6 和 C7 组成的网络具有两个极点和两个零点，用于调整反馈网络的整体响应，以适应陶瓷输出电容器的使用。极点和零点位置由以下公式给出：

$$F_{p1} = 500000 \times \frac{V_O}{F_{LC}} \quad (18)$$

$$F_{z1} = 0.7 \times F_{LC} \quad (19)$$

$$F_{z2} = 2.5 \times F_{LC} \quad (20)$$

最后一个极点的频率过高，不值得关注。由[方程式 20](#)定义的第二个零点 f_{z2} 使用 2.5 作为倍频器。在某些情况下，这可能需要略高或略低。可以使用 2.3 到 2.7 范围内的值。R1 和 R2 的值由 3.3V 输出电压确定（使用[方程式 12](#)计算）。对于此设计， $R1 = 10\text{k}\Omega$ 和 $R2 = 5.90\text{k}\Omega$ 。当 $F_{p1} = 401\text{Hz}$ 、 $F_{z1} = 2876\text{Hz}$ 和 $F_{z2} = 10.3\text{kHz}$ 时，使用[方程式 21](#)、[方程式 22](#) 和 [方程式 23](#) 确定 R3、C6 和 C7 的值：

$$C7 = \frac{1}{2\pi \times F_{p1} \times (R1 \parallel R2)} \quad (21)$$

$$R3 = \frac{1}{2\pi \times F_{z1} \times C7} \quad (22)$$

$$C6 = \frac{1}{2\pi \times F_{z2} \times R1} \quad (23)$$

对于本设计，使用最接近的标准值，即 C7 为 $0.1 \mu\text{F}$ ，R3 为 549Ω ，C6 为 1500pF 。添加 C4 以提高负载调节性能。它在第二极点频率的位置与 C6 有效地并联，因此相对于 C6，它应该较小。C4 应小于 C6 值的 $1/10$ 。对于此示例， 150pF 效果良好。

有关 TPS5430、TPS5431 或其他宽电压范围器件的外部补偿的更多信息，请参阅[使用带铝/陶瓷输出电容器的 TPS5410/20/30/31 应用报告](#)。

9 电源建议

TPS5430 设计为在 5.5V 至 36V 的输入电源电压范围内运行。TPS5431 设计为在 5.5V 至 23V 的输入电源电压范围内运行。该输入电源应保持在输入电源电压范围内。如果输入电源与 TPS543x 转换器的间距超过几英寸，则除陶瓷旁路电容器外，可能还需要使用大容量电容。通常，选择值为 100 μ F 的电解电容器。

10 布局

10.1 布局指南

将低 ESR 陶瓷旁路电容器连接到 VIN 引脚。应尽可能地减少由旁路电容器连线、VIN 引脚和 TPS543x 接地引脚组成的环路面积。最好的方法是将顶端接地区域从器件邻近区域下方延伸到 VIN 布线，并将旁路电容器尽可能靠近 VIN 引脚放置。建议的最小旁路电容为具有 X5R 或 X7R 电介质的 4.7 μ F 陶瓷电容器。

IC 正下方的顶层应有一个接地区域，有一个用于连接到 PowerPAD 的外露区。用过孔将这个接地区域连接至任何内部接地平面。还要在输入和输出滤波电容器的接地侧使用额外的过孔。应将 GND 引脚连接至器件下方的接地区域，从而绑定至 PCB 接地，如下所示。

PH 引脚应引至输出电感器、环流二极管和启动电容器。由于 PH 连接是开关节点，因此电感器应尽量靠近 PH 引脚放置，PCB 导体面积也应尽可能地缩减，以防止电容过度耦合。环流二极管也应放置在尽可能靠近器件的位置，以尽可能减小输出电流环路面积。在相节点和 BOOT 引脚之间连接启动电容器，如下所示。使启动电容器靠近 IC，并尽可能减小导体布线长度。所示的元件放置和连接可以很好地工作，但其他连接布线也可能有效。

如下所示，在 VOUT 布线和 GND 之间连接输出滤波电容器。重要的是使 PH 引脚、Lout、Cout 和 GND 形成的环路尽可能小。

通过使用电阻分压器网络来设置输出电压，将 VOUT 布线连接至 VSENSE 引脚。不要将此走线布置到离 PH 走线太近的位置。由于 IC 封装和器件引脚布局的尺寸，走线可能需要布置在输出电容器下方。或者，如果不希望在输出电容器下走线，则可以在备用层上进行布线。

如果使用如图 10-1 所示的接地方案，请使用另一层的过孔连接来布线到 ENA 引脚。

10.2 布局示例

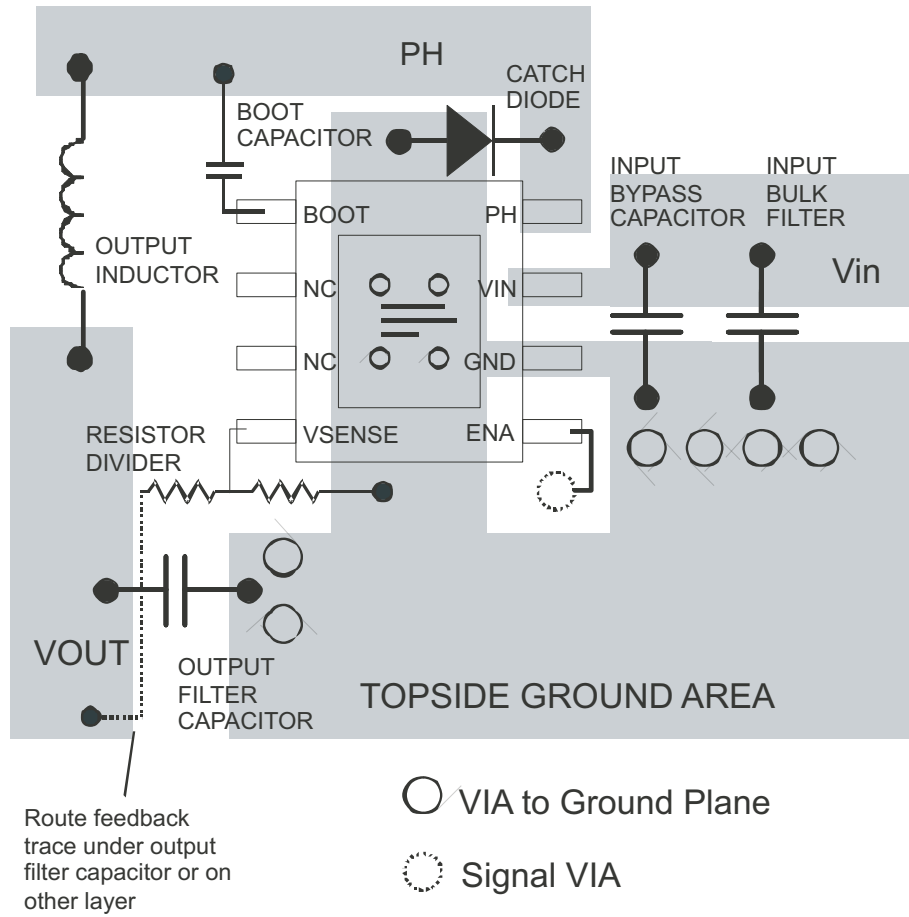


图 10-1. 设计布局

11 器件和文档支持

11.1 器件支持

11.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.1.2 开发支持

11.1.2.1 使用 WEBENCH® 工具定制设计方案

[点击此处](#)，使用 TPS5430 器件并借助 WEBENCH® Power Designer 创建定制设计方案。

1. 首先输入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化该设计的关键参数，如效率、尺寸和成本。
3. 将生成的设计与德州仪器 (TI) 其他可行的解决方案进行比较。

WEBENCH Power Designer 可提供定制原理图以及罗列了实时价格和元件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案以常用 CAD 格式导出
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 www.ti.com/WEBENCH。

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

下述页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

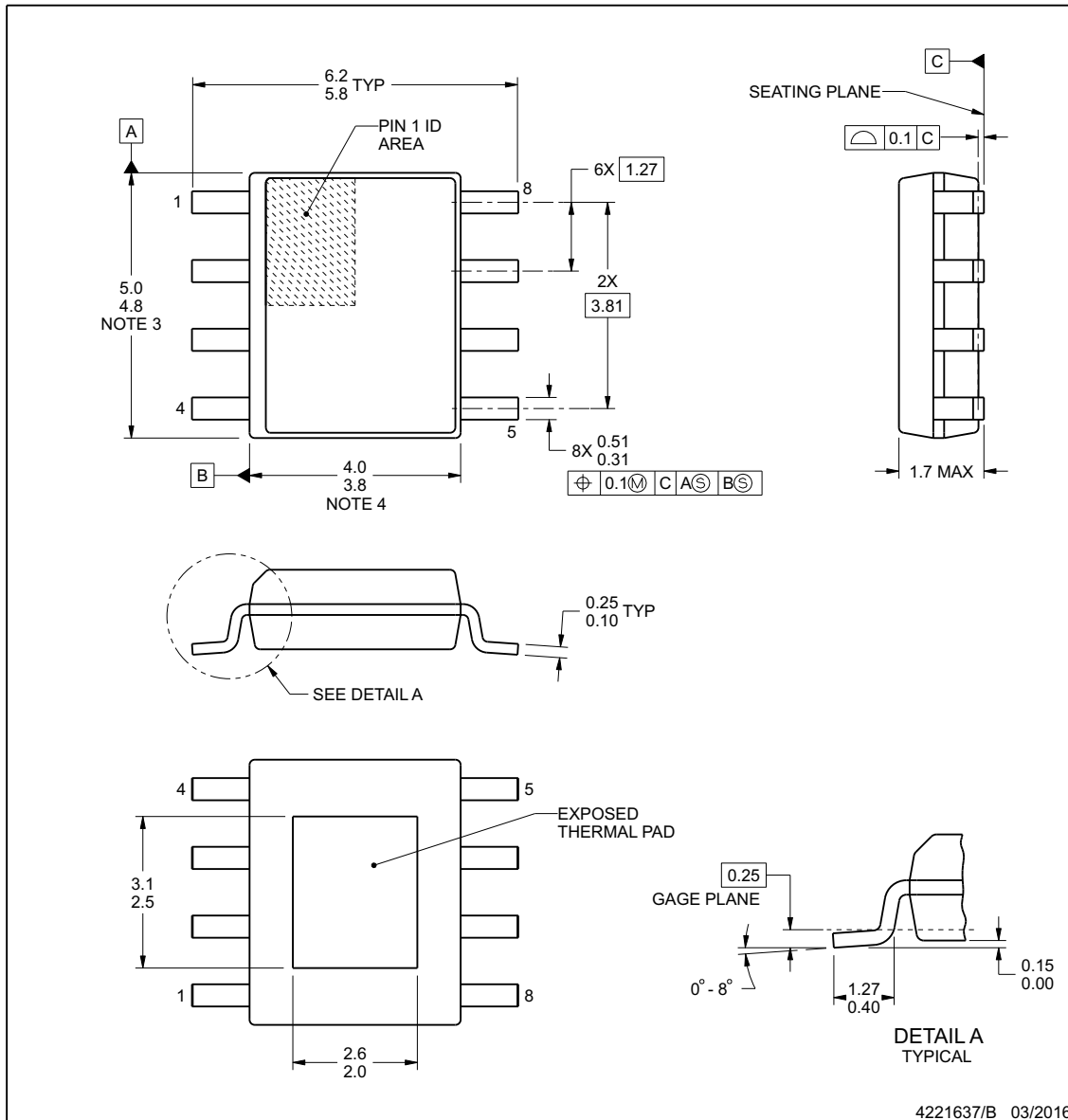


PACKAGE OUTLINE

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

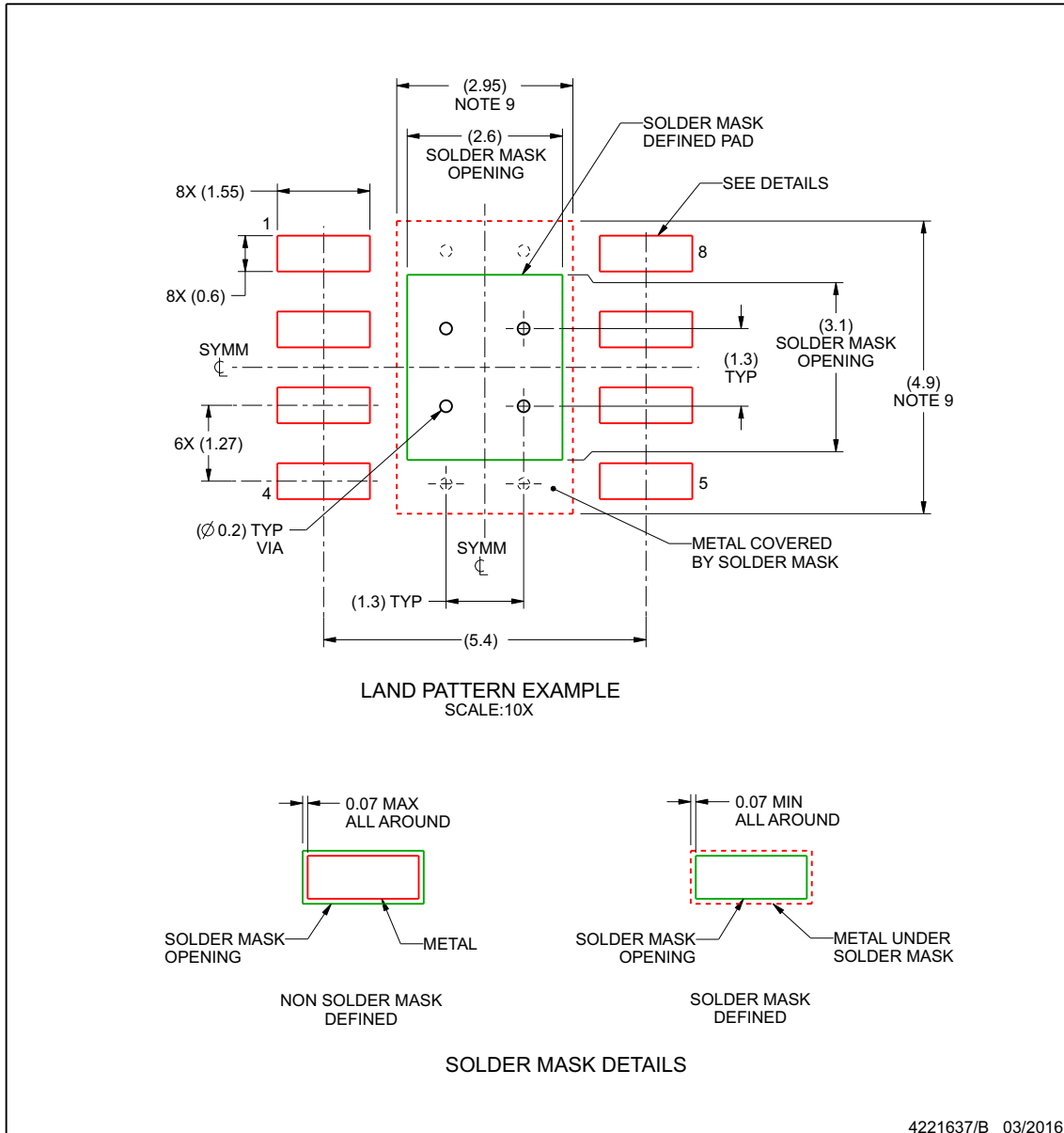
www.ti.com

EXAMPLE BOARD LAYOUT

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

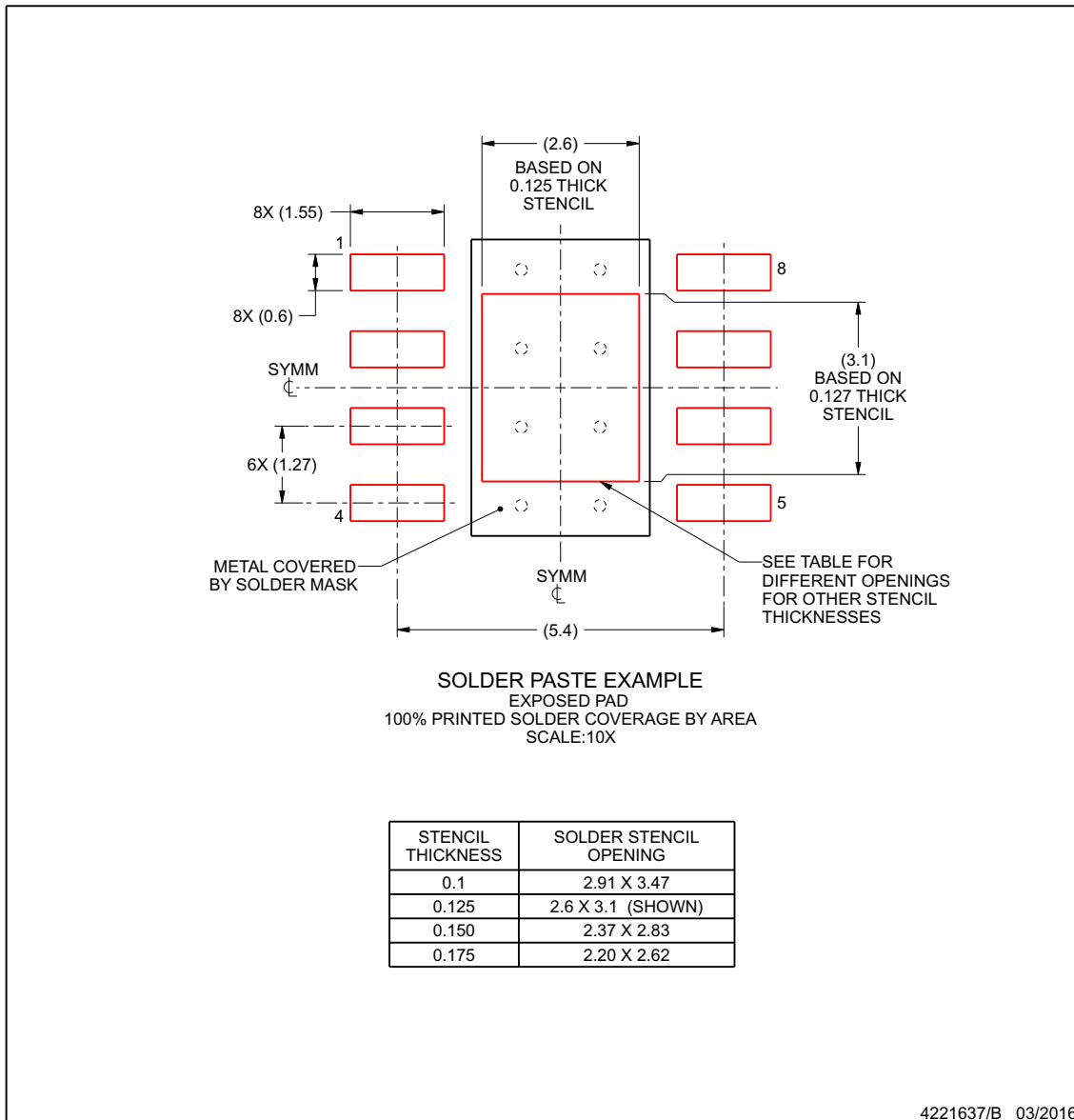
www.ti.com

EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

www.ti.com

PACKAGING INFORMATION

| Orderable Device | Status (1) | Package Type | Package Drawing | Pins | Package Qty | Eco Plan (2) | Lead finish/ Ball material (6) | MSL Peak Temp (3) | Op Temp (°C) | Device Marking (4/5) | Samples |
|------------------|---------------|--------------|-----------------|------|-------------|-----------------|--------------------------------------|----------------------|--------------|-------------------------|---------|
| TPS5430DDA | ACTIVE | SO PowerPAD | DDA | 8 | 75 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5430 | Samples |
| TPS5430DDAG4 | ACTIVE | SO PowerPAD | DDA | 8 | 75 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5430 | Samples |
| TPS5430DDAR | ACTIVE | SO PowerPAD | DDA | 8 | 2500 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5430 | Samples |
| TPS5430DDARG4 | ACTIVE | SO PowerPAD | DDA | 8 | 2500 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5430 | Samples |
| TPS5431DDA | ACTIVE | SO PowerPAD | DDA | 8 | 75 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5431 | Samples |
| TPS5431DDAG4 | ACTIVE | SO PowerPAD | DDA | 8 | 75 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5431 | Samples |
| TPS5431DDAR | ACTIVE | SO PowerPAD | DDA | 8 | 2500 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5431 | Samples |
| TPS5431DDARG4 | ACTIVE | SO PowerPAD | DDA | 8 | 2500 | RoHS & Green | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 5431 | Samples |

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS5430 :

- Automotive : [TPS5430-Q1](#)
- Enhanced Product : [TPS5430-EP](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TUBE


*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (μm) | B (mm) |
|--------------|--------------|--------------|------|-----|--------|--------|--------|--------|
| TPS5430DDA | DDA | HSOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |
| TPS5430DDAG4 | DDA | HSOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |
| TPS5431DDA | DDA | HSOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |
| TPS5431DDAG4 | DDA | HSOIC | 8 | 75 | 506.6 | 8 | 3940 | 4.32 |

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司