

用于隔离电源的 UCD3138064 高度集成数字控制器（带 64kB 程序闪存存储器）

1 器件概述

1.1 特性

- UCD3138 系列的 64kB 衍生程序闪存
 - 2-32kB 程序闪存存储器组
 - 支持从组 1 执行，同时对其它组进行编程
 - 在不关闭电源的情况下，能够更新固件
 - 与 UCD3138 (+1 SPI, +1 I2C) 相对的额外通信端口
 - 与 UCD3138 (SLUSAP2B) 引脚到引脚兼容的 RGC 封装。节3.1)
- 可对多达 3 个独立式反馈环路的数字控制
 - 专用的基于 PID 的硬件
 - 2 极 / 2 零可配置、非线性控制
- 高达 16MHz 误差数模 (A/D) 转换器 (EADC)
 - 可配置分辨率 (最小值: 1mV/LSB)
 - 高达 8 倍过采样和自适应触发配置
 - 基于硬件的取平均值操作 (高达 8 倍)
 - 14 位高效数模转换器 (DAC)
- 高达 8 个高分辨率数字脉宽已调制 (DPWM) 输出
 - 脉宽分辨率为 250ps
 - 4ns 频率和相位分辨率
 - 可调相移和死区
 - 逐周期占空比匹配
 - 高达 2MHz 开关频率
- 可配置后缘/前缘/三角调制
- 可配置的反馈控制
 - 电压、平均电流和峰值电流模式控制
 - 恒定电流、恒定功率
- 可配置 FM, 相移调制和脉宽调制 (PWM)
- 快速、自动和平滑模式开关
 - 频率调制和 PWM
 - 相移调制和 PWM
- 高效和轻负载管理
 - 突发模式 & 理想的二极管仿真
- 同步镇流器软打开/关闭
- 低集成电路 (IC) 待机功率
- 初级侧电压感应
- 磁通和相位电流均衡 (适用于非峰值电流模式控制应用)
- 电流共享 (平均 & 主/从)
- 特有丰富的故障保护选项
 - 7 个模拟 / 4 个数字比较器,
 - 逐周期电流限制
 - 可编程消隐时间和故障计数
 - 外部故障输入
- 多个 UCD3138064 器件间的 DPWM 波形同步
- 14 通道, 12 位, 267ksps 通用 ADC, 此 ADC 具有集成的
 - 可编程平均滤波器
 - 双采样保持
- 内部温度传感器
- 完全可编程高性能 31.25MHz, 32 位 ARM7TDMI-S 处理器
 - 64kB 程序闪存 (2-32kB 组)
 - 具有纠错码 (ECC) 的 2kB 数据闪存
 - 4kB 数据 RAM
 - 8kB 引导 ROM 实现固件引导-加载
- 通信外设
 - 1 - I²C/PMBus, 1 - I²C (只适用于主控模式)
 - 2 - UART
 - 1 - SPI
- 具有可选输入引脚的定时器捕捉
- 内置安全装置: 欠压检测 (BOD) 和加电复位 (POR)
- 64 引脚 QFN 和 40 引脚 QFN 封装
- 运行温度: -40°C 至 125°C
- Fusion Digital Power Studio GUI 支持

1.2 应用范围

- 电源和电信整流器
- 功率因数校正
- 独立的 DC-DC 模块



1.3 说明

UCD3138064 是一款德州仪器 (TI) 数字电源控制器，此控制器在一个单一芯片解决方案内提供高集成度和出色性能。相对于德州仪器 (TI) 的 UCD3138 数字电源控制器 (节3.1)，UCD3138064 提供 64kB 程序闪存存储器（在 UCD3138 中这个值为 32kB），以及诸如 SPI 和第二 I²C 端口等针对通信的额外选项。2-32kB 组内的 64kB 程序闪存存储器的可用性使得设计人员能够在器件中执行固件的双镜像（例如，一个主镜像 + 一个备份镜像），以及从任一使用适当算法的组中执行的灵活性。它还处理器创造了独一无二的机会来载入一个新程序并随后执行该程序，而不会中断电力输送。该特性使得最终用户能够现场为电源添加新特性，同时消除了载入新程序所需的任何停机时间。

UCD3138064 灵活的特性使得此器件适用于广泛的电源转换应用，SN65HVD101 和 HVD102 采用 20 引脚 RGB 封装 (4 mm × 3.5 mm QFN)。此外，器件内的多种外设已经过专门优化，用于提升 AC/DC 和隔离式 DC/DC 应用性能并减少信息技术 (IT) 和网络基础设施空间内的解决方案组件数量。UCD3138064 是一款完全可编程解决方案，此方案可以使用户对他们的应用进行完全控制，以及很多的区分他们的解决方案的能力。与此同时，德州仪器 (TI) 致力于通过提供同类产品最佳的开发工具以简化我们用户的开发工作，这些开发工具包括应用固件，Code Composer Studio™ 软件开发环境，和德州仪器 (TI) 的整合电源开发 GUI，这使得用户能够配置和监控关键系统参数。

UCD3138064 控制器的内核上是数字电源外设 (DPP)。每个 DPP 执行一个高速数字控制环路，此环路由一个专用误差模数转换器 (EADC)，一个基于 2 极 - 2 零数字补偿器的 PID 和具有 250ps 脉宽分辨率的 DPWM 输出组成。此器件还包含一个 12 位，267ksps 通用 ADC，此 ADC 具有多达 14 个通道、定时器、中断控制、电源管理总线 (PMBus)，I²C，SPI 以及通用异步收发器 (UART) 通信端口。此器件基于一个执行实时监控、配置外设且管理通信的 32 位 ARM7TDMI-S 精简指令集计算机 (RISC) 微控制器。ARM 微控制器从可编程闪存存储器以及片载 RAM 和 ROM 里执行它的程序。

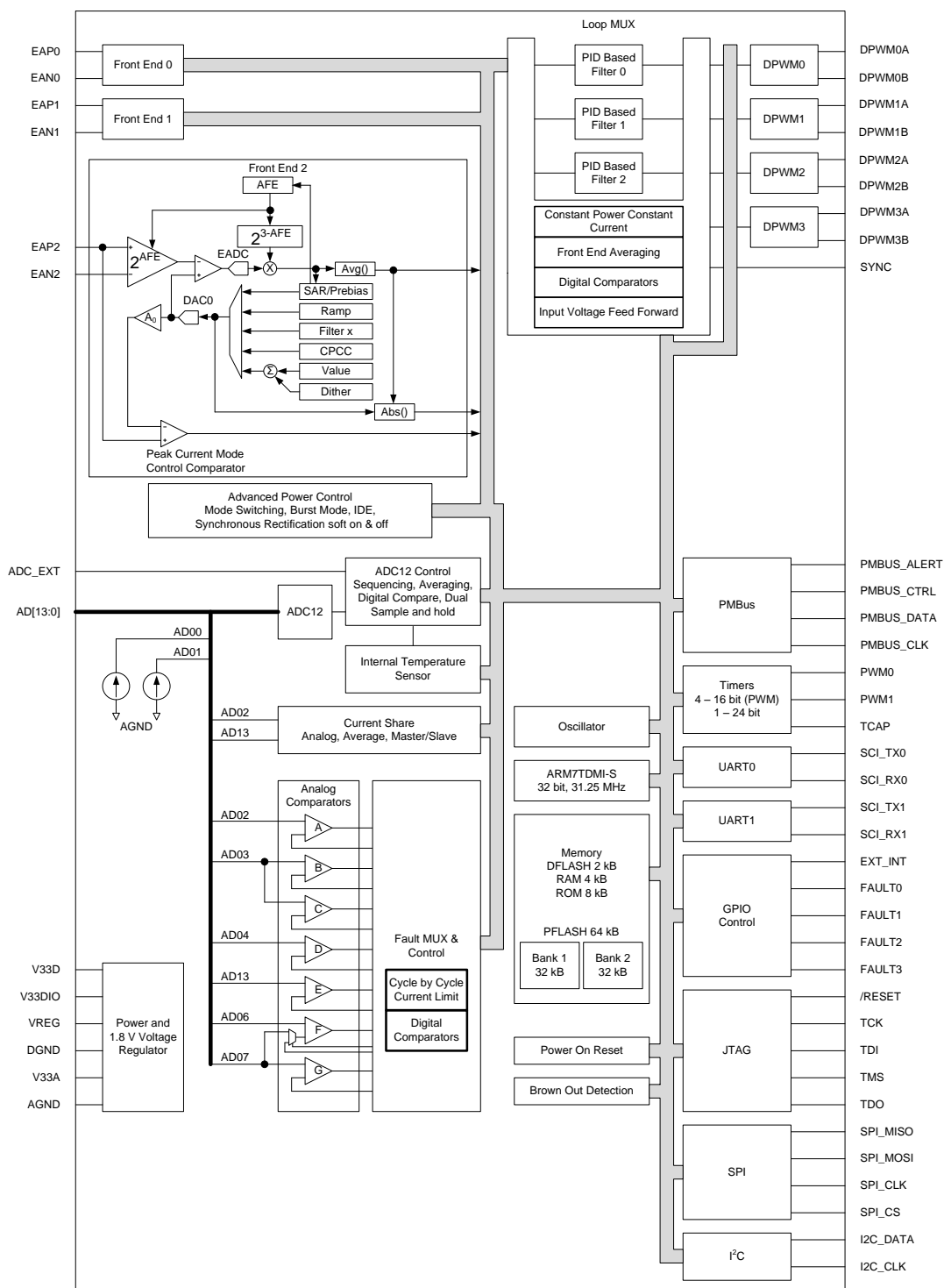
除了 DPP，特定电源管理外设已被添加以便在全部运行范围内启用高效、针对增加的功率密度的高集成度、可靠性、和最低总体系统成本以及支持最广泛控制体系和拓扑数量的高灵活性。此类外设包括：轻负载突发模式、同步整流、LLC 和移相全桥模式开关、输入电压前馈、覆铜线迹电流感应、理想的二极管仿真、恒定电流恒定功率控制、同步整流软导通和关断、峰值电流模式控制、磁通量均衡、次级侧输入电压感应、高分辨率电流共享、具有预偏置的硬件可配置软启动以及几个其他功能的磁场感测解决方案。已经针对电压模式和峰值电流模式受控相移全桥、单双相位功率因数校正 (PFC)、无桥 PFC、硬开关全桥和半桥、以及 LLC 半桥和全桥进行了拓扑支持优化。

器件信息⁽¹⁾

器件型号	封装	封装尺寸 (标称值)
UCD3138064	VQFN (64)	9.00mm x 9.00mm
	VQFN (40)	6.00mm x 6.00mm

(1) 如需了解所有可用封装，请见数据表末尾的可订购产品附录。

1.4 功能方框图



内容

1	器件概述	1	5.8	上电复位 (POR)/欠压复位 (BOR)	16
1.1	特性	1	5.9	典型时钟门控功耗节省	17
1.2	应用范围	1	5.10	典型特性	18
1.3	说明	2	6	详细说明	19
1.4	功能方框图	3	6.1	概述	19
2	修订历史	4	6.2	功能框图	20
3	器件选项	5	6.3	特性说明	21
3.1	器件比较表	5	6.4	器件功能模式	44
3.2	产品选择矩阵	5	6.5	存储器	52
4	引脚配置和功能	7	7	应用、实施和布局	55
4.1	引脚图	7	7.1	应用信息	55
5	技术规格	11	7.2	典型应用	56
5.1	绝对最大额定值	11	8	器件和文档支持	70
5.2	处理额定值	11	8.1	器件支持	70
5.3	建议的工作条件	11	8.2	文档支持	71
5.4	热性能信息	11	8.3	商标	71
5.5	电气特性	12	8.4	静电放电警告	71
5.6	计时特性	14	8.5	Glossary	71
5.7	PMBus/SMBus/I ² C 计时	15	9	机械、封装和可订购信息	72

2 修订历史

注：之前版本的页码可能与当前版本有所不同。

Changes from Revision B (September 2014) to Revision C		Page
•	已更改 器件接地和布局指南部分。	67

Changes from Revision A (February 2014) to Revision B		Page
•	已添加 40 引脚 RMH QFN 封装选项（通改）。	1

Changes from Original (March 2013) to Revision A		Page
•	已添加 引脚配置和功能部分，处理额定值表，特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分	1
•	最终发布。将修订版本改为 A。	1
•	删除了表格“UCD3138x 和 UCD3138 的主要差异摘要”	5

3 器件选项

3.1 器件比较表

特性	UCD3138 RHA/RMH	UCD3138064 RMH	UCD3138 RGC	UCD3138064 RGC	UCD3138128 PFC	UCD3138A64 PFC	
提供的封装	40 引脚 QFN (6mm x 6mm)	40 引脚 QFN (6mm x 6mm)	64 引脚 QFN (9mm x 9mm)	64 引脚 QFN (9mm x 9mm)	80 引脚 QFP (14mm x 14mm) (含引线)	80 引脚 QFP (14mm x 14mm) (含引线)	
ARM7TDMI-S 核心处理器	31.25MHz	31.25MHz	31.25MHz	31.25MHz	31.25MHz	31.25MHz	
高分辨率数字脉宽调制 (DPWM) 输出 (250ps 分辨率)	8	8	8	8	8	8	
高速独立反馈环路数量 (# 经调节的输出电压)	3	3	3	3	3	3	
12 位, 256kps, 通用 ADC 通道	7	7	14	14	15	15	
ADC 输出上的数字比较器	4	4	4	4	4	4	
闪存存储器 (程序)	32kB	64kB	32kB	64kB	128kB	64kB	
32kB 闪存存储器组中存储器的数量	1	2	1	2	4	仅提供 1 组 64kB 闪存	
闪存存储器 (数据)	2kB	2kB	2kB	2kB	2kB	2kB	
RAM	4kB	4kB	4kB	4kB	8kB	8kB	
可编程故障输出	1 + 2 ⁽¹⁾	1 + 2 ⁽¹⁾	4	2 + 2 ⁽¹⁾	4	4	
具有逐周期电流限制的高速模拟比较器	6	6	7	7	7	7	
UART (SCI)	1 ⁽¹⁾	1 ⁽¹⁾	2	2	2	2	
PMBus/I ² C	1	1	1	1	1	1	
其它 I ² C	0	0	0	1 ⁽¹⁾	1	1	
SPI	0	0	0	1 ⁽¹⁾	1	1	
定时器	4 (16 位) 和 1 (24 位)	4 (16 位) 和 1 (24 位)	4 (16 位) 和 1 (24 位)	4 (16 位) 和 1 (24 位)	4 (16 位) 和 2 (24 位)	4 (16 位) 和 2 (24 位)	
定时器 PWM 输出	1 ⁽¹⁾	1 ⁽¹⁾	2	2	4	4	
定时器捕捉输入	2 ⁽¹⁾	2 ⁽¹⁾	1 + 3 ⁽¹⁾	1 + 3 ⁽¹⁾	2 + 2 ⁽¹⁾	2 + 2 ⁽¹⁾	
数字通用输入输出 (GPIO) 总数	18	18	30	30	43	43	
外部中断	0	0	1	1	1	1	
外部石英钟支持	否	否	否	否	是 (引脚 # 61、62)	是 (引脚 # 61、62)	
峰值电流模式控制	只适用于 EADC2	所有 EADC 通道	只适用于 EADC	所有 EADC 通道	所有 EADC 通道	所有 EADC 通道	

(1) 代表一个可通过固件编程的备用引脚输出。

3.2 产品选择矩阵

功能 :	UCD3138064 64 引脚	UCD3138064 40 引脚	
ARM7TDMI-S 内核处理器	31.25MHz	31.25MHz	
高分辨率数字脉宽调制 (DPWM) 输出 (250ps 分辨率)	8	8	
高速独立反馈环路数量 (# 经调节的输出电压)	3	3	
12 位, 267kps, 通用 ADC 通道	14	7	
ADC 输出上的数字比较器	4	4	
闪存存储器 (程序)	64kB	32KB	
闪存存储器 (数据)	2kB	2KB	
闪存安全	√	√	
RAM	4kB	4KB	

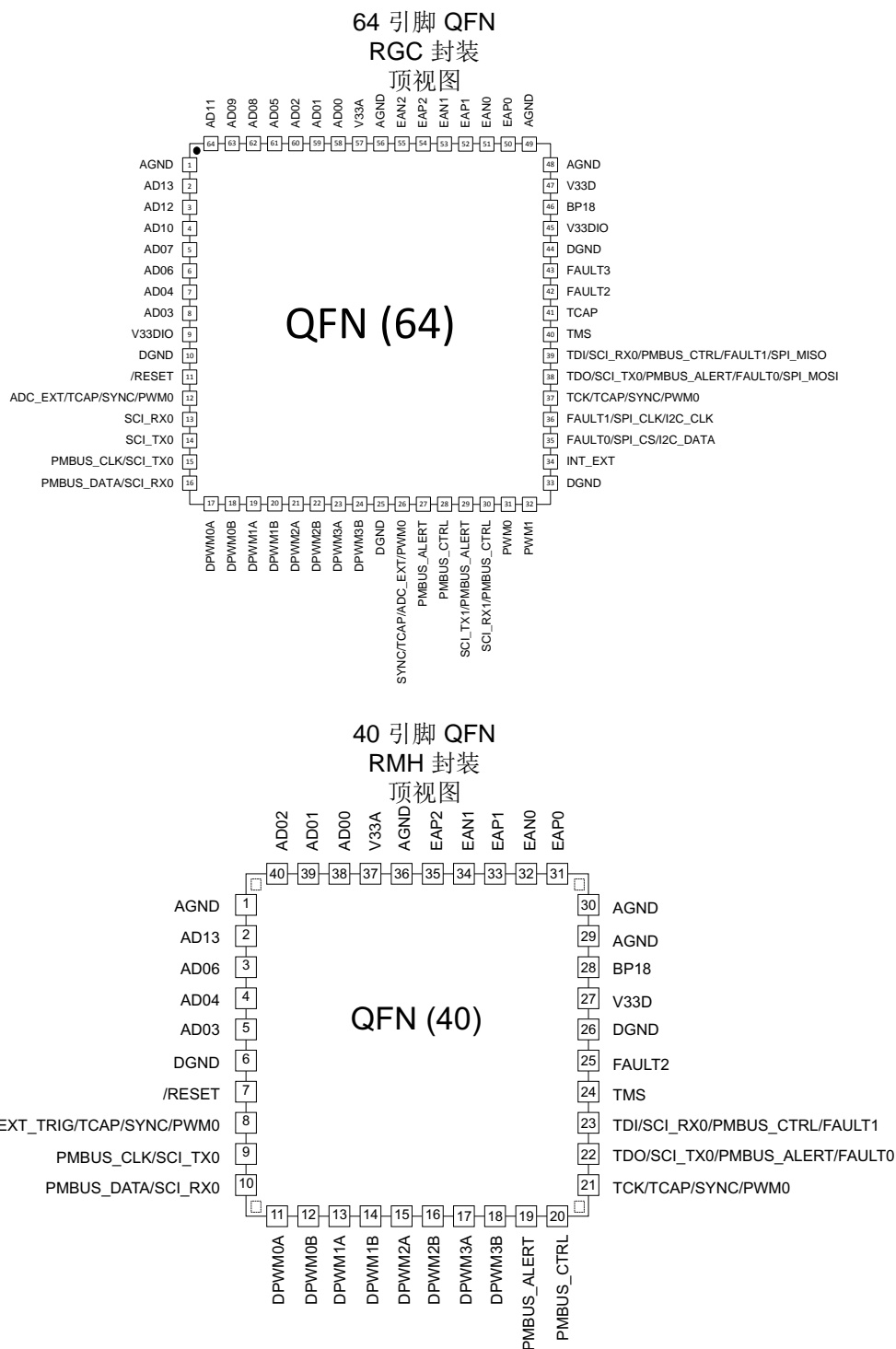
功能：	UCD3138064 64 引脚	UCD3138064 40 引脚	
DPWM 开关频率	高达 2MHz	高达 2MHz	
可编程故障输出	2 + 2 ⁽¹⁾	1 + 2 ⁽¹⁾	
具有逐周期电流限制的高速模拟比较器	7 ⁽²⁾	6	
UART (SCI)	2	1 ⁽¹⁾	
PMBus	1	√	
I ² C	1 ⁽¹⁾	0	
SPI	1 ⁽¹⁾	0	
定时器	4 (16 位) 和 1 (24 位)	4 (16 位) 和 1 (24 位)	
定时器 PWM 输出	2	1	
定时器捕捉输入	1	1 ⁽¹⁾	
安全装置	√	√	
片载振荡器	√	√	
加电复位和欠压复位	√	√	
同步输入和同步输出功能	√	√	
全部 GPIO (包括所有具有复用功能的引脚, 例如 DPWM, 故障输入, SCI 等)	30	18	
外部中断	1	0	
提供的封装	64 引脚 QFN (9.00mm x 9.00mm)	40 引脚 QFN (6.00mm x 6.00mm)	

(1) 这个数字代表一个可通过固件进行编程的替代引脚输出。细节请见《UCD3138064 数字电源外设程序设计者手册》。

(2) 为了使简单过压保护 (OVP) 和欠压保护 (UVP) 连接更加便捷, 比较器 B 和 C 被连接至 AD03 引脚。

4 引脚配置和功能

4.1 引脚图



引脚功能

引脚功能 - 64 VQFN

引脚		主分配	替代分配				可配置为一个 GPIO 吗?
编号	名称		编号1	编号2	编号3	编号4	
1	AGND	模拟接地					
2	AD13	12 位 ADC, 通道 13, 比较器 E, I-共享	数模转换器 (DAC) 输出				
3	AD12	12 位 ADC、通道 12					
4	AD10	12 位 ADC, 通道 10					
5	AD07	12 位 ADC, 通道 7, 连接至比较器 F 并且以比较器 G 为基准	DAC 输出				
6	AD06	12 位 ADC, 通道 6, 连接至比较器 F	DAC 输出				
7	AD04	12 位 ADC, 通道 4, 连接至比较器 D	DAC 输出				
8	AD03	12 位 ADC, 通道 3, 连接至比较器 B 和 C					
9	V33DIO	数字 I/O 3.3V 内核电源					
10	数字接地 (DGND)	数字接地					
11	复位	器件复位输入、低电平有效					
12	ADC_EXT	ADC 转换外部触发器输入	TCAP	SYNC	PWM0		支持
13	SCI_RX0	SCI RX 0					支持
14	SCI_TX0	SCI TX 0					支持
15	PMBUS_CLK	PMBUS 时钟 (开漏)	SCI TX 0				支持
16	PMBUS_DATA	PMBus 数据 (开漏)	SCI RX 0				支持
17	DPWM0A	DPWM 0A 输出					支持
18	DPWM0B	DPWM 0B 输出					支持
19	DPWM1A	DPWM 1A 输出					支持
20	DPWM1B	DPWM 1B 输出					支持
21	DPWM2A	DPWM 2A 输出					支持
22	DPWM2B	DPWM 2B 输出					支持
23	DPWM3A	DPWM 3A 输出					支持
24	DPWM3B	DPWM 3B 输出					支持
25	数字接地 (DGND)	数字接地					
26	SYNC	DPWM 同步引脚	TCAP	ADC_EXT_TRIG	PWM0		支持
27	PMBUS_ALERT	PMBus 警报 (开漏)					支持
28	PMBUS_CTRL	PMBus 控制 (开漏)					支持
29	SCI_TX1	SCI_TX1	PMBUS_ALERT				支持
30	SCI_RX1	SCI_RX 1	PMBUS_CTRL				支持
31	PWM0	通用 PWM 0					支持
32	PWM1	通用 PWM 1					支持
33	数字接地 (DGND)	数字接地					
34	INT_EXT	外部中断					支持
35	FAULT0	外部故障输入 0	SPI_CS	I2C_DATA			支持
36	FAULT1	外部故障输入 1	SPI_CLK	I2C_CLK			支持
37	TCK ⁽¹⁾	JTAG TCK (只用于制造商测试)	TCAP	SYNC	PWM0		支持
38	TDO ⁽¹⁾	JTAG TDO (只用于制造商测试)	SCI_TX0	PMBUS_ALERT	FAULT0	SPI_MOSI	支持
39	TDI ⁽¹⁾	JTAG TDI (只用于制造商测试)	SCI_RX0	PMBUS_CTRL	FAULT1	SPI_MISO	支持
40	TMS ⁽¹⁾	JTAG TMS (只用于制造商测试)					支持
41	TCAP	定时器捕捉输入					支持
42	FAULT2	外部故障输入 2					支持
43	FAULT3	外部故障输入 3					支持
44	DGND	数字接地					
45	V33DIO	数字 I/O 3.3V 内核电源					
46	BP 18	1.8V 旁通					
47	V33D	数字 3.3V 内核电源					
48	AGND	基板模拟接地					
49	AGND	模拟接地					
50	EAP0	通道 #0, 差分模拟电压, 正输入					
51	EAN0	通道 #0, 差分模拟电压, 负输入					

(1) 推荐使用基于整合数字电源 (Fusion Digital Power) 的调试工具, 而非 JTAG。

引脚功能 - 64 VQFN (continued)

引脚		主分配	替代分配				可配置为一个 GPIO 吗？
编号	名称		编号1	编号2	编号3	编号4	
52	EAP1	通道 #1, 差分模拟电压, 正输入					
53	EAN1	通道 #1, 差分模拟电压, 负输入					
54	EAP2	通道 #2, 差分模拟电压, 正输入					
55	EAN2	通道 #2, 差分模拟电压, 负输入					
56	AGND	模拟接地					
57	V33A	模拟 3.3V 电源					
58	AD00	12 位 ADC, 通道 0, 被连接至电流源					
59	AD01	12 位 ADC, 通道 1, 被连接至电流源					
60	AD02	12 位 ADC, 通道 2, 被连接至比较器 A, I-共享					
61	AD05	12 位 ADC, 通道 5					
62	AD08	12 位 ADC, 通道 8					
63	AD09	12 位 ADC, 通道 9					
64	AD11	12 位 ADC, 通道 11					

引脚功能 - 40 WQFN

引脚		主分配	替代分配			可配置为一个 GPIO 吗？
编号	名称		编号1	编号2	编号3	
1	AGND	模拟接地				
2	AD13	12 位 ADC, 被连接至比较器 E, I-共享				
3	AD06	12 位 ADC, 通道 6, 被连接至比较器 F				
4	AD04	12 位 ADC, 通道 4, 被连接至比较器 D				
5	AD03	12 位 ADC, 通道 3, 被连接至比较器 B 和 C				
6	DGND	数字接地				
7	复位	器件复位输入, 低电平有效				
8	ADC_EXT_TRIG	ADC 转换外部触发器输入	TCAP	SYNC	PWM0	支持
9	PMBUS_CLK	PMBUS 时钟 (开漏)	SCI_TX0			支持
10	PMBUS_DATA	PMBUS 数据 (开漏)	SCI_RX0			支持
11	DPWM0A	DPWM 0A 输出				支持
12	DPWM0B	DPWM 0B 输出				支持
13	DPWM1A	DPWM 1A 输出				支持
14	DPWM1B	DPWM 1B 输出				支持
15	DPWM2A	DPWM 2A 输出				支持
16	DPWM2B	DPWM 2B 输出				支持
17	DPWM3A	DPWM 3A 输出				支持
18	DPWM3B	DPWM 3B 输出				支持
19	PMBUS_ALERT	PMBus 警报 (开漏)				支持
20	PMBUS_CTRL	PMBUS 控制 (开漏)				支持
21	TCK	JTAG TCK (只用于制造商测试)	TCAP	SYNC	PWM0	支持
22	TDO	JTAG TDO (只用于制造商测试)	SCI_TX0	PMBUS_ALERT	FAULT0	支持
23	TDI	JTAG TDI (只用于制造商测试)	SCI_RX0	PMBUS_CTRL	FAULT1	支持
24	TMS	JTAG TMS (只用于制造商测试)				支持
25	FAULT2	外部故障输入 2				支持
26	DGND	数字接地				
27	V33D	数字 3.3V 内核电源				
28	BP 18	1.8V 旁通				
29	AGND	基板模拟接地				
30	AGND	模拟接地				
31	EAP0	通道 #0, 差分模拟电压, 正输入				
32	EAN0	通道 #0, 差分模拟电压, 负输入				
33	EAP1	通道 #1, 差分模拟电压, 正输入				
34	EAN1	通道 #1, 差分模拟电压, 负输入				
35	EAP2	通道 #2, 差分模拟电压, 正输入 (推荐用于峰值电流模式控制)				

引脚功能 - 40 WQFN (continued)

引脚		主分配	替代分配			可配置 为一个 GPIO 吗?
编号	名称		编号1	编号2	编号3	
36	AGND	模拟接地				
37	V33A	模拟 3.3V 电源				
38	AD00	12 位 ADC, 通道 0, 被连接至电流源				
39	AD01	12 位 ADC, 通道 1, 被连接至电流源				
40	AD02	12 位 ADC, 通道 2, 被连接至比较器 A, I-共享				
角落 NA	角落锚引脚 (仅 RMH)	所有四个锚均应焊接固定并连接 GND				

5 技术规格

5.1 绝对最大额定值⁽¹⁾

在自然通风温度范围内运行（除非另有说明）

		最小值	最大值	单位
V33D	V33D 至 DGND	-0.3	3.8	V
V33DIO	V33DIO 至 DGND	-0.3	3.8	V
V33A	V33A 至 AGND	-0.3	3.8	V
BP 18	BP18 至 DGND	-0.3	2.5	V
DGND – AGND	接地差动		0.3	V
所有引脚，不包括 AGND ⁽²⁾	施加到任一引脚的电压	-0.3	3.8	V
T _{OPT}	结温	-40	125	°C

(1) 在超出那些下面列出的绝对最大额定值条件下工作可能会造成器件的永久损坏。这些只是应力额定值，在这些值或者任何超过 [Section 5.3](#) 下所标明的其它条件下的功能运行并未注明。长时间处于最大绝对额定情况下会影响设备的可靠性。

(2) 以 DGND 为基准

5.2 处理额定值

		最小值	最大值	单位
T _{STG}	存储温度	-55	150	°C
V _{ESD} ⁽¹⁾	人体模型 (HBM) ESD 应力电压 ⁽²⁾	-2000	2000	V
	带电器件模型 (CDM) ESD 应力电压 ⁽³⁾	-500	500	

(1) 静电放电 (ESD) 衡量器件对装配线在其内部的静电放电所造成的损坏的敏感度和抵抗能力。

(2) 上表所列级别是 ANSI、ESDA 和 JEDEC JS-001 规定的通过级别。JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(3) 上表所列级别是 EIA-JEDEC JESD22-C101 规定的通过级别。JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议的工作条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	典型值	最大值	单位
V33D	数字电源	3.0	3.3	3.6	V
V33DIO	数字 I/O 电源	3.0	3.3	3.6	V
V33A	模拟电源 (Analog power)	3.0	3.3	3.6	V
BP 18	1.8V 数字电源	1.6	1.8	2.0	V
T _J	结温	-40	-	125	°C

5.4 热性能信息

热指标	UCD3138064			单位
	VQFN (64)		WQFN (40)	
R _{θJA} 结至环境热阻	19.9		30.8	°C/W
R _{θJC(top)} 结至外壳（顶部）热阻	5.7		15.7	
R _{θJB} 结至电路板热阻	3.1		5.7	
ψ _{JT} 结至顶部的特征参数	0.1		0.2	
ψ _{JB} 结至电路板的特征参数	3.0		5.7	
R _{θJC(bot)} 结至外壳（底部）热阻	0.3		0.9	

5.5 电气特性

V33A = V33D = V33DIO = 3.3V; 从 BP18 到 DGND 为 1 μ F, T_J = -40°C 到 125°C (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源电流						
I33A		在 V33A 上测得。器件已通电, 但所有 ADC12 和 EADC 采样已禁用		6.3		mA
I33DIO		所有 GPIO 和通信引脚均为开路		0.35		mA
I33D		ROM 程序执行		60		mA
I33D		ROM 模式下的闪存编程			70	mA
I33		器件处于 ROM 模式, 已启用所有 DPWM 且开关频率为 2MHz。所有 DPWM 均为空载。			100	mA
误差 ADC 输入 EAP、EAN						
EAP – AGND			-0.15		1.998	V
EAP – EAN			-0.256		1.848	V
典型误差范围		AFE = 0	-256		248	mV
EAP – EAN 误差电压数字分辨率		AFE = 3	0.8	1	1.20	mV
		AFE = 2	1.7	2	2.30	mV
		AFE = 1	3.55	4	4.45	mV
		AFE = 0	6.90	8	9.10	mV
R _{EA}	输入阻抗 (请参阅图 6-1)	AGND 基准	0.5			M Ω
I _{OFFSET}	输入失调电流 (请参阅图 6-1)		-5		5	μ A
EADC 失调电压		AFE = 0 时, 输入电压 = 0V	-2		2	LSB
		AFE = 1 时, 输入电压 = 0V	-2.5		2.5	LSB
		AFE = 2 时, 输入电压 = 0V	-3		-3	LSB
		AFE = 3 时, 输入电压 = 0V	-4		4	LSB
采样速率					15.62 5	MHz
模拟前端放大器带宽				100		MHz
A ₀	增益	请参阅图 6-2		1		V/V
	最小输出电压				21	mV
EADC DAC						
DAC 范围			0		1.6	V
VREF DAC 基准分辨率		10 位, 未启用抖动		1.56		mV
VREF DAC 基准分辨率		启用 4 位抖动		97.6		μ V
INL			-2.0		2.0	LSB
DNL		不包括 MSB 转换	-1.0		2.1	LSB
MSB 转换时的 DNL				-1.4		LSB
DAC 基准电压			1.58		1.61	V
ADC12						
I _{BIAS}	PMBus 地址引脚的偏置电流		9.5		10.5	μ A
电压监控的测量范围			0		2.5	V
内部 ADC 基准电压		-40 至 125°C	2.475	2.500	2.53	V
以 25°C 基准电压为基准的内部 ADC 基准变化		-40 至 25°C		-0.7		mV
		25°C 至 125°C		-2.1		
ADC12 INL 积分非线性				-7.5/+2 .9		LSB
ADC12 DNL 差分非线性		25°C 至 125°C 条件下, 所有 ADC12 数据的 ADC_SAMPLING_SEL = 6		-0.7/+3 .2		LSB
ADC 零标度误差			-7		7	mV
ADC 满量程误差			-35		35	mV

电气特性 (continued)

V33A = V33D = V33DIO = 3.3V; 从 BP18 到 DGND 为 1 μ F, T_J = -40°C 到 125°C (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
输入偏置	引脚应用 2.5V 电压			200	nA
输入泄漏电阻	ADC_SAMPLING_SEL= 6 或 0		1		M Ω
输入电容			10		pF
数字输入/输出 (1)(2)					
V _{OL} 低电平输出电压 (3)	I _{OH} = 4mA, V33DIO = 3V			DGND + 0.25	V
V _{OH} 高电平输出电压 (3)	I _{OH} = -4mA, V33DIO = 3V	V33DIO - 0.6			V
V _{IH} 高电平输入电压	V33DIO = 3V	2.1			V
V _{IL} 低电平输入电压	V33DIO = 3V			1.1	V
I _{OH} 输出灌电流				4	mA
I _{OL} 输出拉电流		-4			mA
系统性能					
TWD 看门狗超时分辨率	总时间: TWD x (WDCTRL.PERIOD+1)	13.1	17	22.7	ms
处理器主时钟 (MCLK)			31.25		MHz
t _{Delay} 数字滤波器延迟 (4)	(1 时钟 = 32ns)			6	MCLK
闪存内容的保留期 (数据保留和程序)	T _J = 25°C	100			年
f _(PCLK) 内部振荡器频率		240	250	260	MHz
闪存读取			1		MCLK
I _{SHARE} 电流共享电流源 (请参阅)		238		259	μ A
R _{SHARE} 电流共享电阻器 (请参阅)		9.75		10.3	k Ω
上电复位和欠压 (V33A 引脚, 请参阅图 5-3)					
V _{GH}	正常高电压		2.7		V
V _{GL}	正常低电压		2.5		V
V _{res} IReset 信号有效时的电压 (5)			0.8		V
欠压	欠压状况的内部信号警告		2.9		V
温度传感器 (5)					
V _{TEMP}	传感器电压范围	1.46		2.44	V
电压分辨率	V/°C		5.9		mV/°C
温度分辨率	°C/位		0.1034		°C/LSB
准确度 (5)(6)	-40 至 125° C	-10	\pm 5	10	°C
温度范围	-40 至 125° C	-40		125	°C
I _{TEMP}	传感器工作时的电流消耗		30		μ A
V _{AMB} 环境温度	修整后的 25°C 读数		1.85		V
模拟比较器					
DAC 基准 DAC 范围		0		2.5	V
基准电压		2.478	2.5	2.513	V
位			7		位
INL (5)		-0.42		0.21	LSB
DNL (5)		0.06		0.12	LSB

(1) 复位后 DPWM 输出偏低。复位后其他 GPIO 引脚都被配置为输入。

(2) 在 40 引脚封装上, V33DIO 从内部连接到 V33D。

(3) 所有输出组合在一起的最大总电流 I_{OHmax} 和 I_{OLmax} 不应超过 12mA, 以保持额定的最大压降。V_{OL} 时各引脚的最大灌电流 = -6mA; V_{OH} 时各引脚的最大拉电流 = 6mA。

(4) 从误差 ADC 采样窗口关闭到以数字方式计算的控制措施 (占空比) 可用所经历的时间。计算系统动态响应时必须考虑这种延迟 (该参数的值是固定的)。

(5) 以设计为特征, 未经过生产环境测试。

(6) 应使用来自 TEMPSENCTRL 寄存器的环境温度偏移值以满足精度要求。

电气特性 (continued)

V33A = V33D = V33DIO = 3.3V; 从 BP18 到 DGND 为 1 μ F, T_J = -40°C 到 125°C (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
偏移		-5.5		19.5	mV
基准 DAC 缓冲输出负载 ⁽⁷⁾		-0.5		1	mA
缓冲失调电压 (-0.5mA)		4.6		8.3	mV
缓冲失调电压 (1.0mA)		-0.05		17	mV
输出范围 (-0.5mA)		0.2		2.5	V
输出范围 (1.0mA)		0		2.5	V

(7) 可从比较器 D、E、F 和 G 的基准 DAC 中获取。

5.6 计时特性

V33A = V33D = V33DIO = 3.3V; 从 BP18 到 DGND 为 1 μ F, T_J = -40°C 到 125°C (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
EADC DAC					
τ 稳定时间	从 10% 到 90%		250		ns
ADC12					
ADC 单次采样转换时间 ⁽¹⁾	ADC_SAMPLING_SEL= 6 或 0		3.9		μ s
系统性能					
t _{WD} 看门狗超时分辨率	总时间: t _{WD} x (WDCTRL.PERIOD+1)	14.6	17	20.5	ms
基于有效故障引脚信号禁用 DPWM 输出的时间	故障引脚高电平		70		ns
闪存内容的保留期 (数据保留和程序)	T _J = 25°C	100			年
擦除数据闪存或程序闪存中的一个页面或块的程序时间			20		ms
向数据闪存或程序闪存写入一个字的程序时间			30		μ s
同步输入/同步输出脉宽	同步输入		256		ns
闪存写入			20		μ s
上电复位和欠压 (V33D 引脚, 请参阅图 5-3)					
t _{POR}	电源正常或复位*释放后的时间延迟		1		ms
t _{EXC1}	器件退出复位状态并开始执行程序闪存组 1 (32kB) 所用时间。 ⁽¹⁾	I _{RESET} 由低状态变为高状态。这大概相当于由低到高切换外部复位引脚状态。		9.5	ms
t _{EXC2}	器件退出复位状态并开始执行程序闪存组 2 (32kB) 所用时间。 ⁽¹⁾	I _{RESET} 由低状态变为高状态。这大概相当于由低到高切换外部复位引脚状态。		19	ms
t _{EXCT}	器件退出复位状态并开始执行总程序闪存 (64kB) 所用时间。 ⁽¹⁾	I _{RESET} 由低状态变为高状态。这大概相当于由低到高切换外部复位引脚状态。		19	ms
温度传感器⁽¹⁾					
t _{导通}	传感器开启时间/趋稳时间		100		μ s
模拟比较器					
	基于模拟比较器上的 0V 到 2.5V 步进输入禁用 DPWM 输出的时间。 ⁽¹⁾			150	ns

(1) 以设计为特征, 未经过生产环境测试。

5.7 PMBus/SMBus/I²C 计时

可在主/从模式下支持 I²C、SMBus 和 PMBus 的通信接口的计时特性和计时图如表 5-1、图 5-1 和图 5-2 所示。表 5-1 中的数字针对 400kHz 的工作频率。但器件支持所有三种速度，分别是标准 (100kHz)、快速 (400kHz) 和快速模式升级版 (1MHz)。

表 5-1. I²C/SMBus/PMBus 计时特性

参数	测试条件	最小值	典型值	最大值	单位
T _A = 25°C 且 VCC = 3.3V 时的典型值 (除非另有说明)					
f _{SMB}	SMBus/PMBus 工作频率		100	400	kHz
f _{I2C}	I ² C 工作频率		100	400	kHz
t _(BUF)	开始和停止之间的总线空闲时间 ⁽¹⁾		1.3		µs
t _(HD:STA)	(重复) 开始后的保持时间 ⁽¹⁾		0.6		µs
t _(SU:STA)	重复开始设置时间 ⁽¹⁾		0.6		µs
t _(SU:STO)	停止设置时间 ⁽¹⁾		0.6		µs
t _(HD:DAT)	数据保持时间	接收模式	0		ns
t _(SU:DAT)	数据建立时间		100		ns
t _(TIMEOUT)	误差信号/检测 ⁽²⁾			35	ms
t _(LOW)	时钟低电平时间	1.3			µs
t _(HIGH)	时钟高电平时间 ⁽³⁾		0.6	50	µs
t _(LOW:SEXT)	累计时钟低电平从属延长时间 ⁽⁴⁾			25	ms
t _f	时钟/数据下降时间	上升时间 t _r = (V _{ILmax} - 0.15) 至 (V _{IHmin} + 0.15)	20 + 0.1Cb ⁽⁵⁾	300	ns
t _r	时钟/数据上升时间	下降时间 t _f = 0.9 VDD 至 (V _{ILmax} - 0.15)	20 + 0.1Cb ⁽⁵⁾	300	ns
C _b	单根总线的总电容			400	pF

- (1) 快速模式, 400kHz
- (2) 任何时钟低电平超过 t_(TIMEOUT) 则器件超时。
- (3) t_(HIGH) 的最大值是最短总线空闲时间。t > 50ms 时, SMBC = SMBD = 1 会导致正在进行中的事务发生复位。此规范在 NC_SMB 控制位保持默认清零状态 (CLK[0] = 0) 时有效。
- (4) t_(LOW:SEXT) 是允许从器件延长一条消息中从初始启动到停止的时钟周期的累计时间。
- (5) C_b (pF)

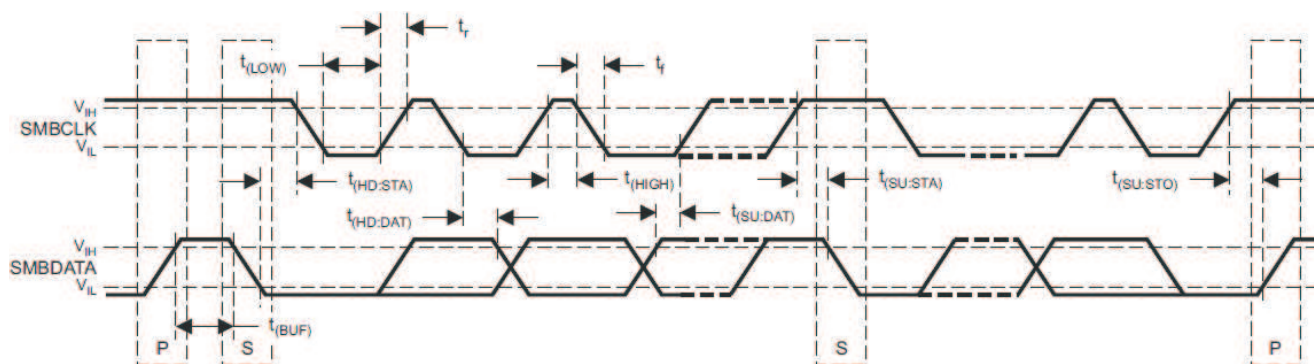


图 5-1. I²C/SMBus/PMBus 计时图

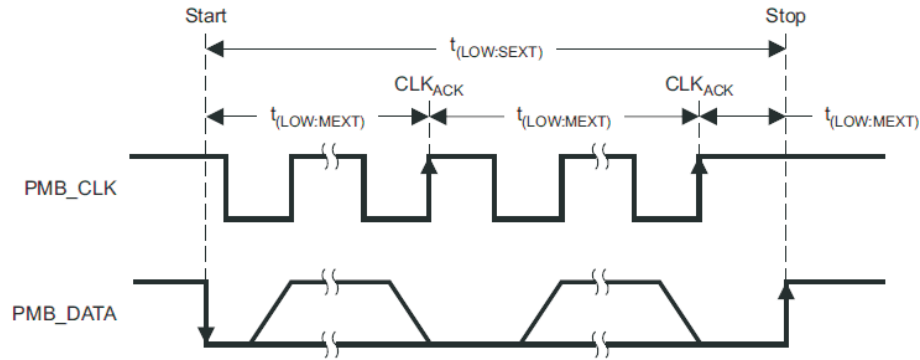


图 5-2. 延长模式下的总线计时

5.8 上电复位 (POR)/欠压复位 (BOR)

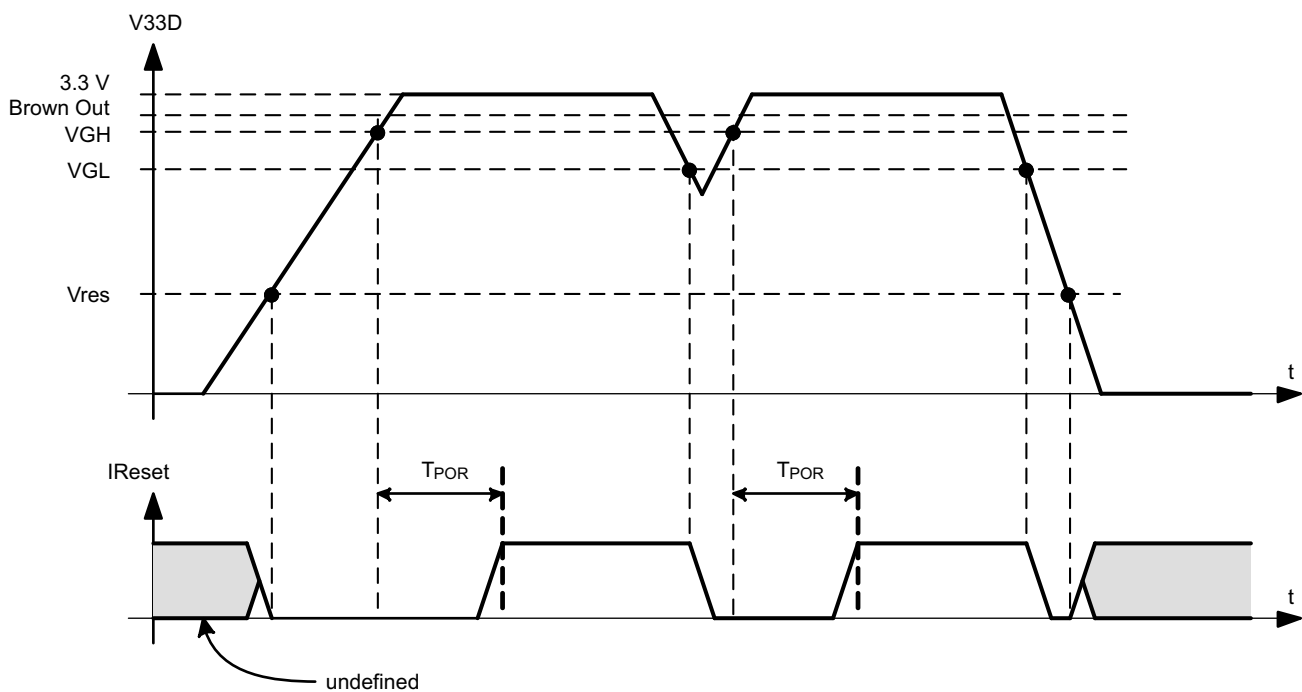


图 5-3. 上电复位 (POR)/欠压复位 (BOR)

- VGH – 这是声明内部功率正常的 V33A 阈值。高于该阈值时，UCD3138064 结束复位。
- VGL – 这是声明内部功率不良的 V33A 阈值。低于该阈值时，器件发生复位。
- V_{res} – 这是内部复位信号不再有效的 V33A 阈值。低于该阈值时，器件处于不确定状态。
- I_{Reset} – 这是内部复位信号。信号低时，器件保持复位状态。这相当于把复位引脚保持在 IC 低的状态。
- T_{POR} – 从超过 VGH 到器件结束复位的时间延迟。
- 欠压 – 这是器件设置欠压状态位的 V33A 电压阈值。另外也可触发中断（如果已启用）。

5.9 典型时钟门控功耗节省

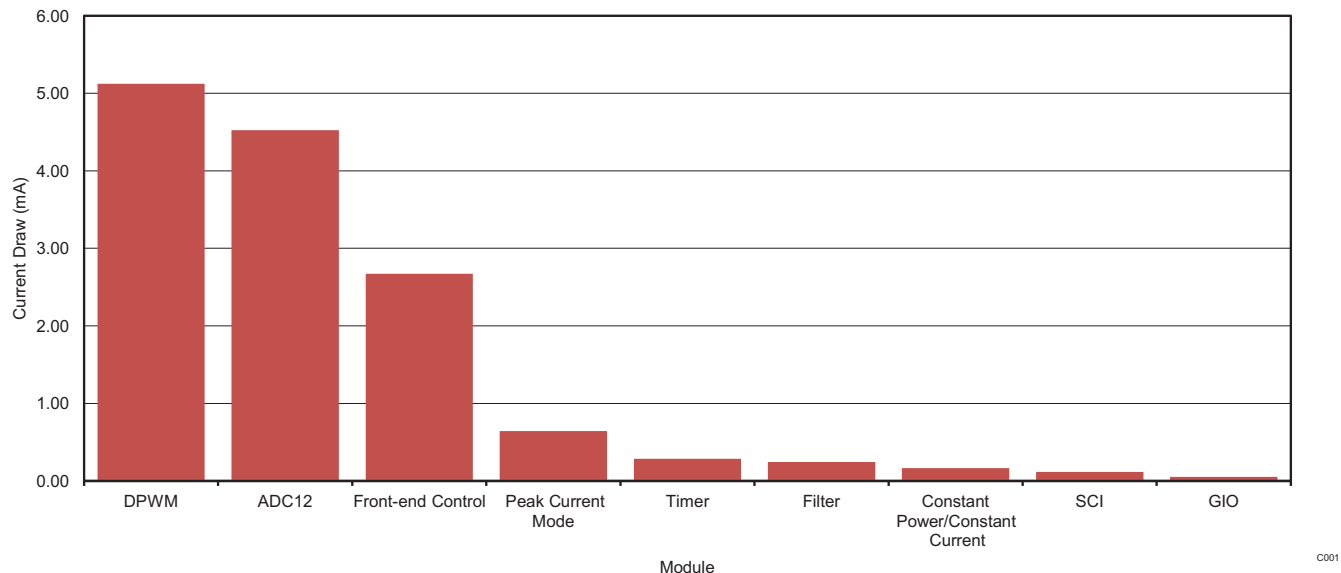


图 5-4. 时钟门控功耗节省

电源禁用控制寄存器提供的控制位可以启用或禁用多种外设的时钟，例如 PCM、CPCC、数字滤波器、前端、DPWM、UART、ADC-12 等。

默认情况下，上述所有控件为启用状态。如果未使用某个特定外设，可以禁用时钟门控以阻止时钟信号传播到该外设，从而减少器件的总体电流消耗。功耗节省图显示了每个模块节省的功耗。例如，一共有 4 个 DPWM 模块，因此，如果将这 4 个模块全部禁用，则总共可节省大约 20mA。

5.10 典型特性

(数据源于 UCD3138)

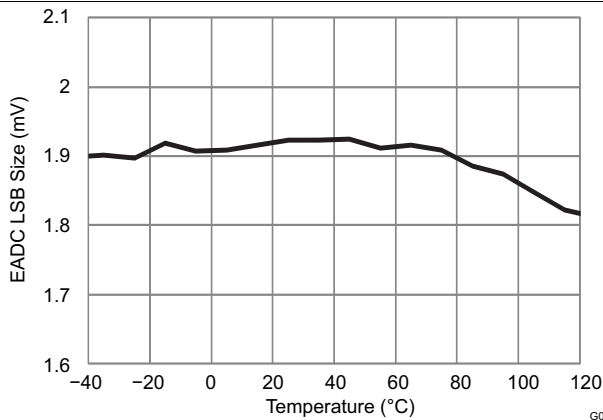


图 5-5. 具有 4 倍增益 (mV) 的 EADC LSB 大小的温度变化图 ^{G005a}

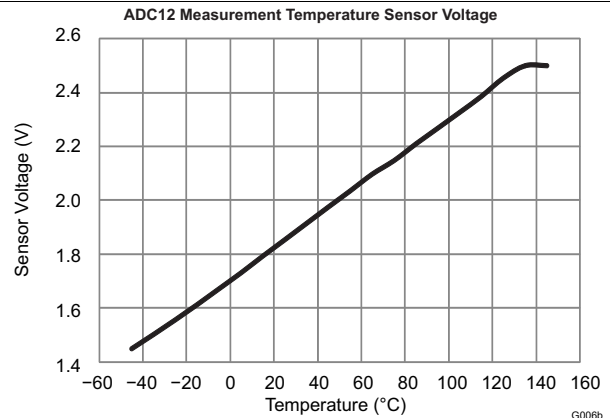


图 5-6. ADC12 测量温度传感器电压的温度变化图 ^{G006b}

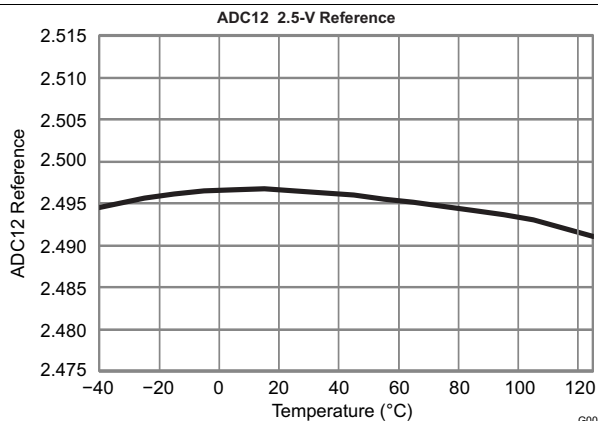


图 5-7. ADC12 2.5V 基准的温度变化图 ^{G003b}

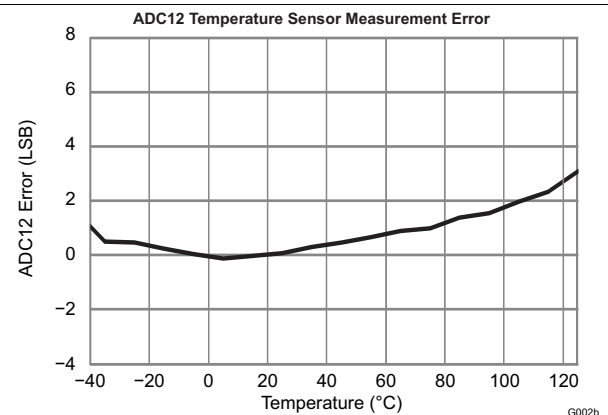


图 5-8. ADC12 温度传感器测量误差的温度变化图 ^{G002b}

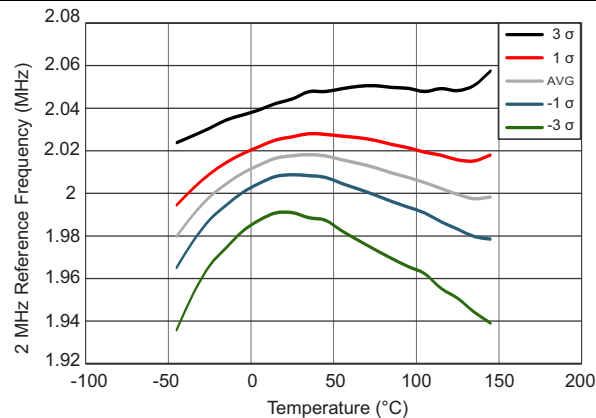


图 5-9. 振荡器频率 (2MHz 基准, 从 250MHz 进行分频) 的温度变化图

6 详细 说明

6.1 概述

6.1.1 ARM 处理器

ARM7TDMI-S 处理器是 ARM 通用 32 位微处理器产品系列中的一款可合成产品。ARM 架构基于 RISC（精简指令集计算机）原则，可使用两个指令集。32 位 ARM 指令集和 16 位 Thumb 指令集。Thumb 指令可实现相当于 16 位微处理器的更高代码密度，以及 32 位微处理器的出色性能。

三级流水线 ARM 处理器具有提取、解码和执行级架构。ARM 处理器中的主要的块包括 32 位 ALU、32 x 8 乘法器和桶形转换器。

6.1.2 存储器

UCD3138x (ARM7TDMI-S) 是一种冯诺依曼架构，可通过单路总线接入所有存储器模块。所有存储器模块地址沿相同地址范围按序排列。

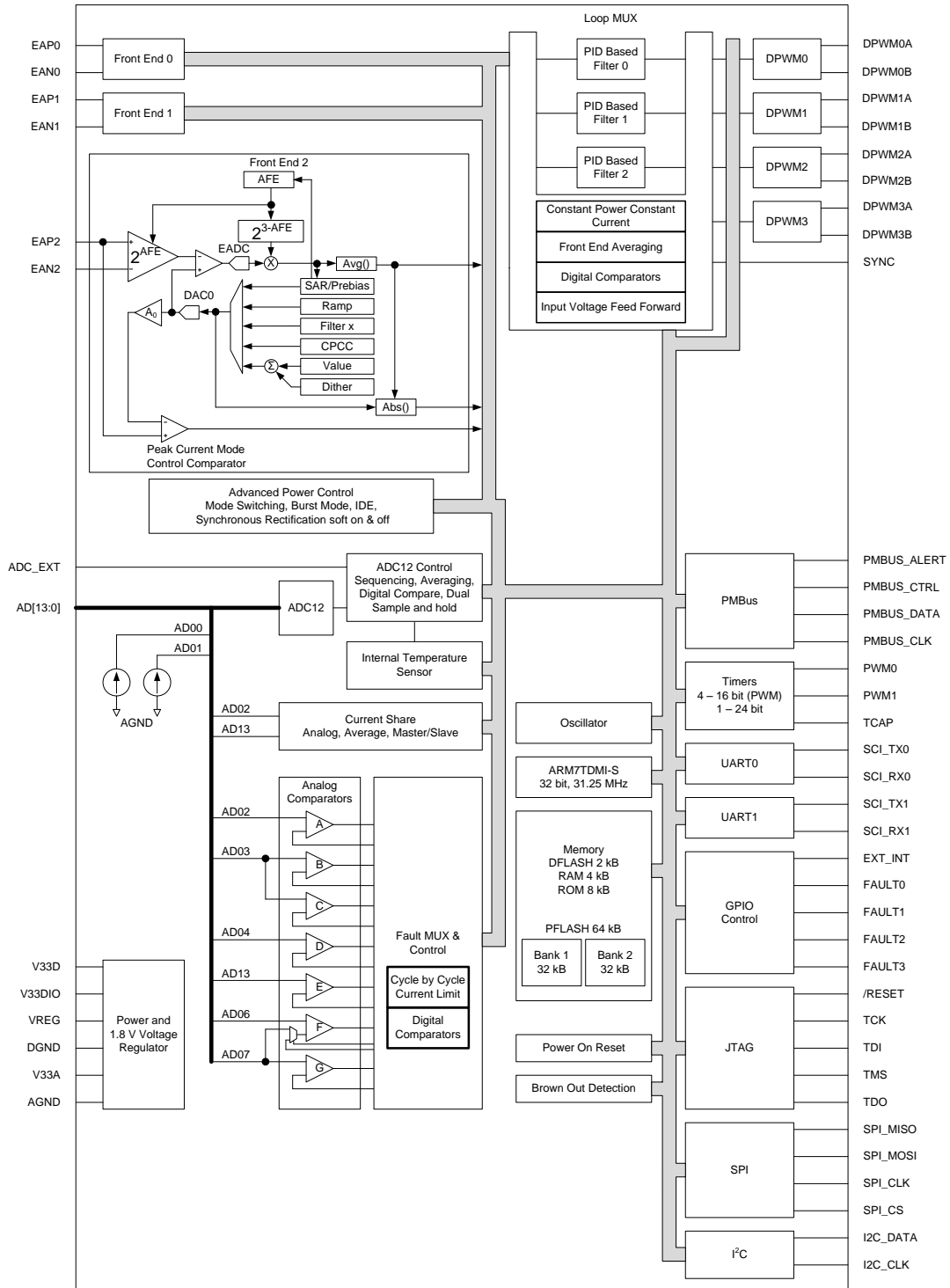
这类架构适用于程序闪存、数据闪存、ROM 和所有其他外设。在 UCD3138 系列架构中，有一种 1024x32 位引导 ROM，它包含用于 PMBUS 通信和非易失性（闪存）存储器下载的初始固件启动例程。如果存在已写入的有效闪存程序，该引导 ROM 将在加电复位检查后执行。如果存在有效程序，ROM 代码将转移到主闪存程序执行。如果没有有效程序，器件将等待通过 PMBus 下载程序。

UCD3138 系列还允许从程序闪存执行替代引导例程，以此方式支持引导程序定制。借助此功能，设计人员可为各器件分配唯一地址；这样，即使在多个器件连接到同一通信总线的情况下也能对固件进行重新编程。

该器件包含三个独立的闪存区。分别是 2 个 32kB 程序闪存块和 1 个 2kB 数据闪存区。32kB 程序区被划分为 8k x 32 位存储器块，用于固件程序。这些块配置有页擦除功能，可擦除小至每页 1kB 的块，或配置有整体擦除功能，可擦除整个 32kB 阵列。额定闪存寿命为 1000 个擦除/写入周期，数据可保留 100 年。2kB 数据闪存阵列被划分为 512 x 32 位存储器块（每页大小为 32 字节）。数据闪存用于固件数据值存储和数据记录。因此，数据闪存被指定为嵌有错误校正代码 (ECC) 的高擦写次数（20000 个周期）存储器。

对于运行时数据存储和暂存存储器，有 8kB RAM 可供使用。RAM 被划分为 2k x 32 位阵列。利用 2 个 32kB 组内的 64kB 程序闪存存储器，设计人员能够在器件中实施多个固件镜像（例如，一个主镜像 + 一个备用镜像），并能够灵活选择使用适当算法从任一组中执行。它还还为处理器创造了独一无二的机会来载入一个新程序并随后执行该程序，而不会中断电力输送。该特性使得最终用户能够现场为电源添加新特性，同时消除了载入新程序所需的任何停机时间。

6.2 功能框图



6.3 特性说明

6.3.1 系统模块

系统模块包含控制和配置所有存储器、外设和中断机制的接口逻辑和配置寄存器。系统模块中的块包括地址解码器、存储器管理控制器、系统管理单元、中央中断单元和时钟控制单元。

6.3.1.1 地址解码器 (DEC)

地址解码器生成用于闪存、ROM 和 RAM 阵列的存储器选项。可通过可配置寄存器设置来选择存储器映射地址。这些存储器选项可配置为 1kB 到 16MB。上电复位使用存储器映射中的默认地址来支持 ROM 执行，该映射随后由 ROM 代码配置为应用设置。访问 DEC 寄存器期间，CPU 置位为等待状态。DEC 寄存器仅在 ARM 特权模式下可写入，以实现用户模式保护。

6.3.1.2 存储器管理控制器 (MMC)

MMC 通过控制接口总线来管理与外设的连接，从而扩展对各个外设的读取和写入访问。此单元生成八个外设选择线路，带有 1kB 地址空间解码。

6.3.1.3 系统管理 (SYS)

SYS 单元通过配置用户对存储器或外设模块的特权等级来实现软件访问保护。它可以针对非法地址或访问条件解码生成故障或复位条件。另具有针对处理器时钟 (MCLK) 速度的时钟控制设置功能。

6.3.1.4 中央中断模块 (CIM)

CIM 接受 32 个中断请求以满足固件计时要求。ARM 处理器支持两个中断级别：FIQ 和 IRQ。FIQ 是最高优先级中断。CIM 通过使用 FIQ/IRQ 矢量寄存器提供中断的硬件扩展，用于在矢量表中提供偏移索引。此数字索引值表示处于等待中断状态的最高优先级通道，并用于在中断矢量表中找到中断矢量地址。中断通道 0 的优先级最低，而中断通道 31 的优先级最高。若要删除中断请求，固件应将清除请求作为中断服务例程的第一个步骤。请求通道是可屏蔽的，因此可以选择性地启用或禁用各个通道。

表 6-1. 中断优先级表

名称	模块组件或寄存器	说明	优先级
BRN_OUT_INT	欠压	欠压中断	0 (最低)
EXT_INT	外部中断	外部输入引脚发生中断	1
WDRST_INT	看门狗定时器控制寄存器	看门狗超时中断 (复位)	2
WDWAKE_INT	看门狗定时器控制寄存器	看门狗等于设定监视时间的一半时唤醒中断	3
SCI_ERR_INT	UART 或 SCI 控制	UART 或 SCI 错误中断。帧、奇偶性或超限	4
SCI_RX_0_INT	UART 或 SCI 控制	UART0 RX 缓冲区有一个字节	5
SCI_TX_0_INT	UART 或 SCI 控制	UART0 TX 缓冲区为空	6
SCI_RX_1_INT	UART 或 SCI 控制	UART1 RX 缓冲区有一个字节	7
SCI_TX_1_INT	UART 或 SCI 控制	UART1 TX 缓冲区为空	8
PMBUS_INT		PMBus 相关中断	9
DIG_COMP_SPI_I2C_INT	12 位 ADC 控制、SPI、I ² C	数字比较器、SPI 和 I ² C 中断	10
FE0_INT	前端 0	“预偏置完成”、“斜坡延迟完成”、“斜坡完成”、“检测到负载阶跃”、“检测到过压”、“EADC 已饱和”	11
FE1_INT	前端 1	“预偏置完成”、“斜坡延迟完成”、“斜坡完成”、“检测到负载阶跃”、“检测到过压”、“EADC 已饱和”	12
FE2_INT	前端 2	“预偏置完成”、“斜坡延迟完成”、“斜坡完成”、“检测到负载阶跃”、“检测到过压”、“EADC 已饱和”	13
PWM3_INT	16 位计时器 PWM 3	16 位计时器 PWM3 计数器溢出或比较中断	14
PWM2_INT	16 位计时器 PWM 2	16 位计时器 PWM2 计数器溢出或比较中断	15
PWM1_INT	16 位计时器 PWM 1	16 位计时器 PWM1 计数器溢出或比较中断	16

表 6-1. 中断优先级表 (continued)

名称	模块组件或寄存器	说明	优先级
PWM0_INT	16 位计时器 PWM 0	16 位计时器 PWM0 计数器溢出或比较中断	17
OVF24_INT	24 位计时器控制	24 位计时器计数器溢出中断	18
CAPTURE_1_INT	24 位计时器控制	24 位计时器采集 1 中断	19
保留供将来使用			20
CAPTURE_0_INT	24 位计时器控制	24 位计时器采集 0 中断	21
COMP_0_INT	24 位计时器控制	24 位计时器比较 0 中断	22
CPCC_RTC_INT	恒定功率恒定电流或实时时钟输出	在 CPCC 模块中切换的模式。需要读取标志以了解更多详情。RTC 计时器输出生成中断。	23
ADC_CONV_INT	12 位 ADC 控制	ADC 转换结束中断	24
FAULT_INT	故障多路复用器中断	模拟比较器中断、过压检测、欠压检测、LLM 负载阶跃检测	25
DPWM3	DPWM3	与 DPWM1 相同	26
DPWM2	DPWM2	与 DPWM1 相同	27
DPWM1	DPWM1	1) 每个 (1-256) 开关周期 2) 故障检测 3) 模式切换	28
DPWM0	DPWM0	与 DPWM1 相同	29
EXT_FAULT_INT	外部故障	故障引脚中断	30
SYS_SSI_INT	系统软件	系统软件中断	31 (最高)

6.3.2 外设

6.3.2.1 数字电源外设

UCD3138x 控制器的核心是 3 个数字电源外设 (DPP)。每个 DPP 均可配置由一到八个 DPWM 输出进行驱动。每个 DPP 包含：

- 带有精密控件的差分输入误差 ADC (EADC)
- 基于硬件加速数字双极点/双零点 PID 的滤波器
- 支持多种拓扑的数字 PWM 模块

可以使用多个滤波器和 DPWM，通过多种不同组合方式连接这些外设。它们支持多种功能，例如输入电压前馈、电流模式控制和恒定电流/恒定功率等。最简单的配置如下图所示：



6.3.2.1.1 前端

图 6-1 显示了前端模块的方框图。包括一个差分放大器、一个可调节增益误差放大器、一个高速闪存模数转换器 (EADC)，多个数字平均滤波器和一个精密高分辨率设置点 DAC 基准。与 EADC 相结合的可编程增益放大器与 EADC 输出上的可调节数字增益配合工作，在 EADC 输出上提供 9 位范围和 6 位分辨率。前端模块的输出是一个 9 位符号扩展结果，增益为 1LSB/mV。根据所选 AFE 的值，该输出的分辨率可能是 1、2、4 或 8LSB。此外，前端 0 能够自动选择 AFE 值，从而保留仍可电压处于测量范围之内最小分辨率。EADC 控制逻辑从 DPWM 模块接收启动 EADC 转换的样本请求。EADC 控制电路采集 EADC 9 位代码并选通滤波器以处理具有代表性的错误。设置点 DAC 共有 10 位，另有 4 个抖动位，因此有效分辨率为 14 位。此 DAC 可从多种源进行驱动以方便执行软启动、嵌套循环等操作。其他具有包括更改误差测量极性的功能，并且具有绝对值模式，可自动向误差添加 DAC 值。

可以在峰值电流模式控制配置下操作控制器。在此模式下，可以控制相移全桥转换器之类的拓扑以维持变压器磁通量平衡。可让内部 DAC 以同步控制转换率斜升，最终达到可编程斜坡补偿。这可以消除子谐波振荡，同时提高了输入电压前馈性能。A0 是用于隔离峰值电流模式比较器的单位增益缓冲器。此缓冲器的偏移见 Section 5.5 表格。

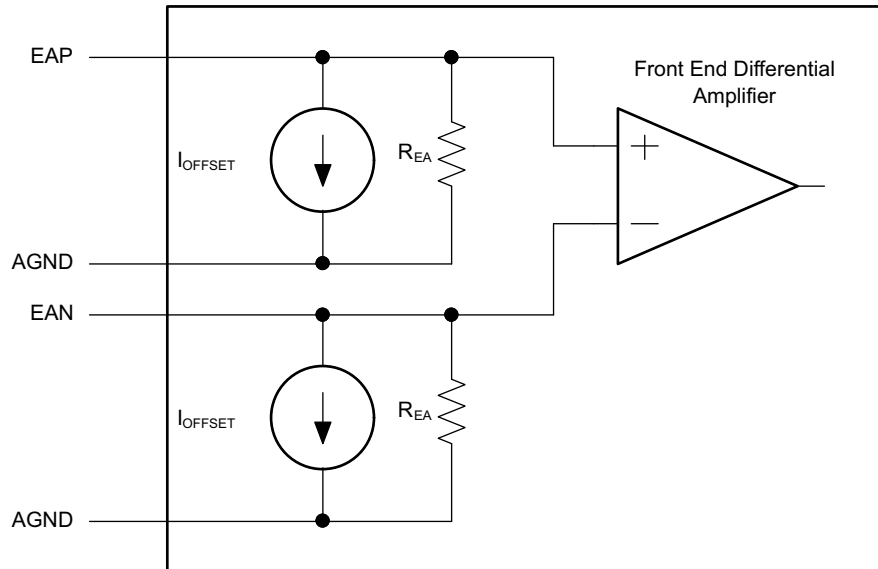


图 6-1. EADC 模块的输入级

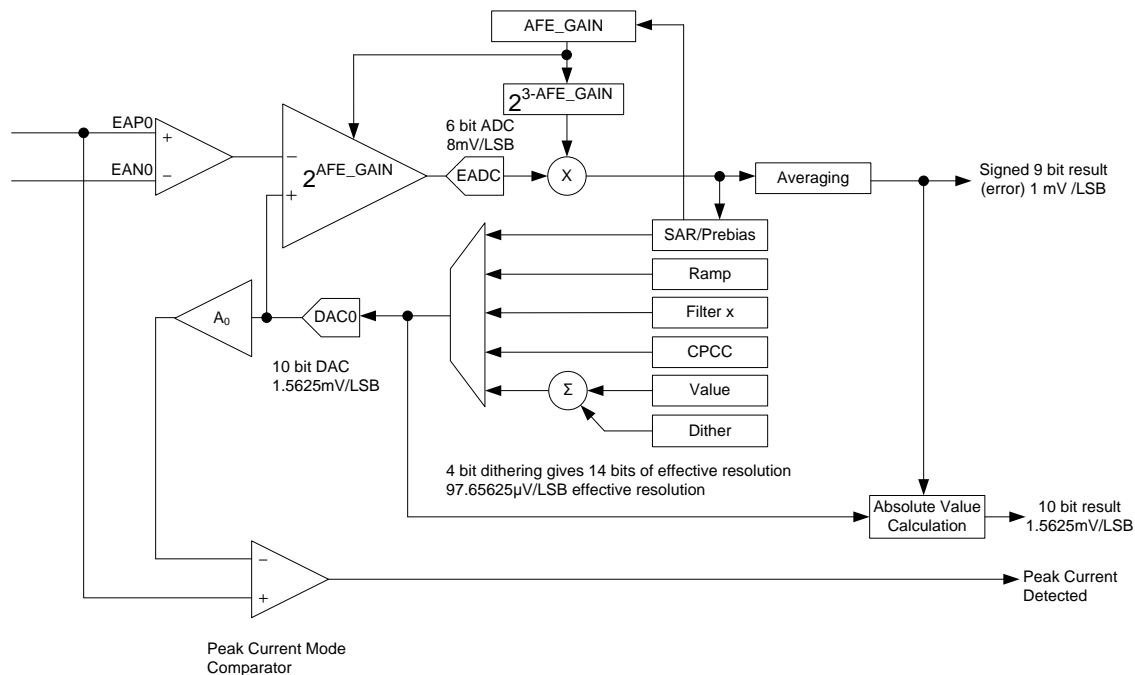


图 6-2. 前端模块

6.3.2.1.2 DPWM 模块

DPWM 模块代表一个完整的 DPWM 通道和 2 个独立输出 (A 和 B)。可在 UCD3138x 系统中配置多个 DPWM 以支持所有关键电源拓扑。DPWM 模块可用作独立 DPWM 输出，每个模块控制一个电源输出电压轨。也可以用作同步 DPWM：借助用户可选的 DPWM 通道间相移来控制具有多相位或交错 DPWM 配置的电源输出。

滤波器输出将相应输出馈送至高分辨率 DPWM 模块。DPWM 模块会为功率级开关生成经过脉宽调制的输出。滤波器会计算必要占空比，该值以 Q23 定点格式的 24 位数表示（23 位整数和 1 个符号位）。它代表 0.0 到 1.0 范围内的一个值。此占空比值用于生成相应的 DPWM 输出接通时间。DPWM 接通时间的分辨率为 250ps。

各 DPWM 模块可与其他模块或外部同步信号同步。SYNC 输入信号会导致 DPWM 斜坡计时器复位。SYNC 信号输出（来自四个 DPWM 模块之一）在斜坡计时器超过编程阈值时产生。这样就可以严格控制多个功率级的 DPWM 输出相位。

DPWM 逻辑采集滤波器输出并将其转换为正确的 DPWM 输出以用于多个电源拓扑。它提供可编程死区时间和周期调整以实现相位之间的电流平衡。它控制 EADC 的触发。它可以与其他 DPWM 或外部源同步。它可以向其他 DPWM 或外部接收者提供同步信息。此外，它可以连接多个故障处理电路。DPWM 寄存器具有针对这些故障处理电路的部分控制功能。故障处理将在“故障多路复用器”部分介绍。

各 DPWM 模块支持以下特性：

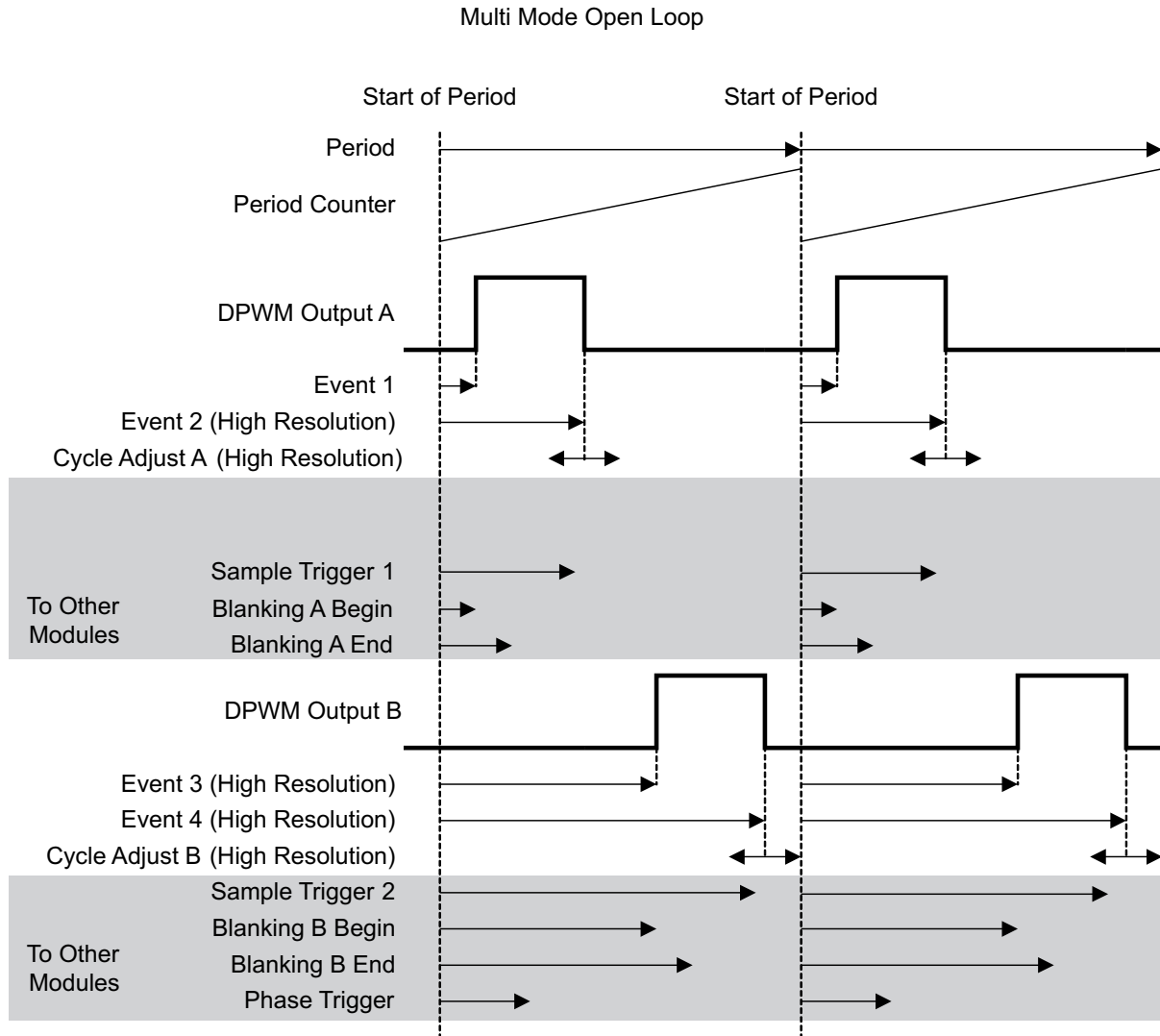
- 可进行周期和频率控制的专用 14 位时基
- 用于期末更新的影子周期寄存器。
- 四事件控制寄存器（A 和 B，上升和下降）（事件 1-4）
 - 用于打开/关闭 DPWM 占空比更新。
- 相对于其他 DPWM 模块的相位控制
- 样本触发器位置，用于在 DPWM 周期中的任意时间点进行输出电压传感。
- 支持 2 个独立沿位置 DPWM 输出（相同频率或周期设置）
- DPWM A 和 B 输出之间的死区时间
- 高分辨率 PWM 功能 – 250ps
- 脉冲周期调整，最高 $\pm 8.192\mu\text{s}$ ($32768 \times 250\text{ps}$)
- 高电平有效/低电平有效输出极性选择
- 提供事件以触发 CPU 中断和 ADC12 转换启动。

6.3.2.1.3 DPWM 事件

各 DPWM 可控制以下计时事件：

1. 样本触发器计数 – 此寄存器定义了 EADC 在何处采样与 DPWM 周期相关的误差电压。寄存器中设置的编程值应为基于 DPWM 时钟计算所得值的四分之一。因为控制电路的 DCLK（DCLK 最大值 = 62.5MHz）以 DPWM 时钟的四分之一运行（PCLK 最大值 = 250MHz）。此样本触发器计数等于 DPWM 计数器时，会通过触发 EADC 启动前端计算，进而引发 CLA 计算和 DPWM 更新。可将过采样设置为采样率的 2、4 或 8 倍。
2. 相位触发器计数 – 支配另一个 DPWM（多相位/交错运行）的计数偏移。
3. 周期 – 低分辨率开关周期计数。（PCLK 周期计数）
4. 事件 1 – 上升 DPWM A 事件的计数偏移。（PCLK 周期）
5. 事件 2 – 下降 DPWM A 事件（用以设置占空比）的 DPWM 计数。寄存器最后 4 位用于高分辨率控制。高 14 位是 PCLK 周期计数的数量。
6. 事件 3 – 上升 DPWM B 事件的 DPWM 计数。寄存器最后 4 位用于高分辨率控制。高 14 位是 PCLK 周期计数的数量。
7. 事件 4 – 下降 DPWM B 事件的 DPWM 计数。寄存器最后 4 位用于高分辨率控制。高 14 位是 PCLK 周期计数的数量。
8. 周期调整 – 事件 2 和事件 4 调整的恒定偏移。

编程寄存器和 DPWM 计数器之间的基本比较可在 DPWM 中创建所需的沿位置。事件 2、3 和 4 提供高分辨率沿功能。



Events which change with DPWM mode:

- DPWM A Rising Edge = Event 1
- DPWM A Falling Edge = Event 2 + Cycle Adjust A
- DPWM B Rising Edge = Event 3
- DPWM B Falling Edge = Event 4 + Cycle Adjust B
- Phase Trigger = Phase Trigger Register value

Events always set by their registers, regardless of mode:

- Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

图 6-3. 多模式开环

图 6-3 显示了多模式开环。开环意味着 DPWM 完全由其自己的寄存器而非滤波器输出进行控制。换句话说，电源控制环路未闭合。

样本触发器信号用于触发前端的输入信号采样。消隐信号用于消除噪声事件（例如 FET 开启和关闭）期间的故障测量结果。其他 DPWM 模式将在下文进行介绍。

6.3.2.1.4 高分辨率 DPWM

与时钟频率决定 PWM 沿最大分辨率的传统 PWM 控制器不同，UCD3138x DPWM 可生成分辨率小至 250ps 的波形。这是驱动 DPWM 模块的时钟分辨率的 16 倍。

这是通过提供具有 16 个 250MHz 相移时钟信号的 DPWM 机制实现的。

6.3.2.1.5 过采样

DPWM 模块能够通过启动 EADC 进行误差电压采样来触发过采样事件。如采用默认的“00”配置，DPWM 将基于采样触发器寄存器值触发 EADC 一次。过采样寄存器每个 PWM 周期能触发采样 2、4 或 8 次。因此，过采样的发生时间是采样寄存器设定时间的 2、4 或 8 等分点处。“01”设置触发 2 倍过采样，“10”设置触发 4 倍过采样，“11”触发 8 倍过采样。

6.3.2.1.6 DPWM 中断生成

DPWM 能够基于周期寄存器中编程的 PWM 频率生成 CPU 中断。可使用最高 255 的分频比调节中断，以建立较慢的中断服务执行循环。此中断可馈送至 ADC 电路，以提供用于实现序列同步的 ADC12 触发器。[表 6-2](#) 列出了可编程的分频比。

6.3.2.1.7 DPWM 中断调节/范围

表 6-2. DPWM 中断分频比

中断分频设置	中断分频计数	中断分频计数（十六进制）	开关周期帧（假设采用 1MHz 循环）	32MHZ 处理器周期次数
1	0	00	1	32
2	1	01	2	64
3	3	03	4	128
4	7	07	8	256
5	15	0F	16	512
6	31	1F	32	1024
7	47	2F	48	1536
8	63	3F	64	2048
9	79	4F	80	2560
10	95	5F	96	3072
11	127	7F	128	4096
12	159	9F	160	5120
13	191	BF	192	6144
14	223	DF	224	7168
15	255	FF	256	8192

6.3.3 自动模式切换

借助自动模式切换功能，DPWM 模块可在不同模式间自动切换，无需固件干预。这有助于提高效率和扩展功率范围。以下段落描述了相移全桥和 LLC 示例。

6.3.3.1 相移全桥示例

在相移全桥拓扑中，可通过在轻负载时使用脉宽调制而非相移来提高效率。如下图所示：

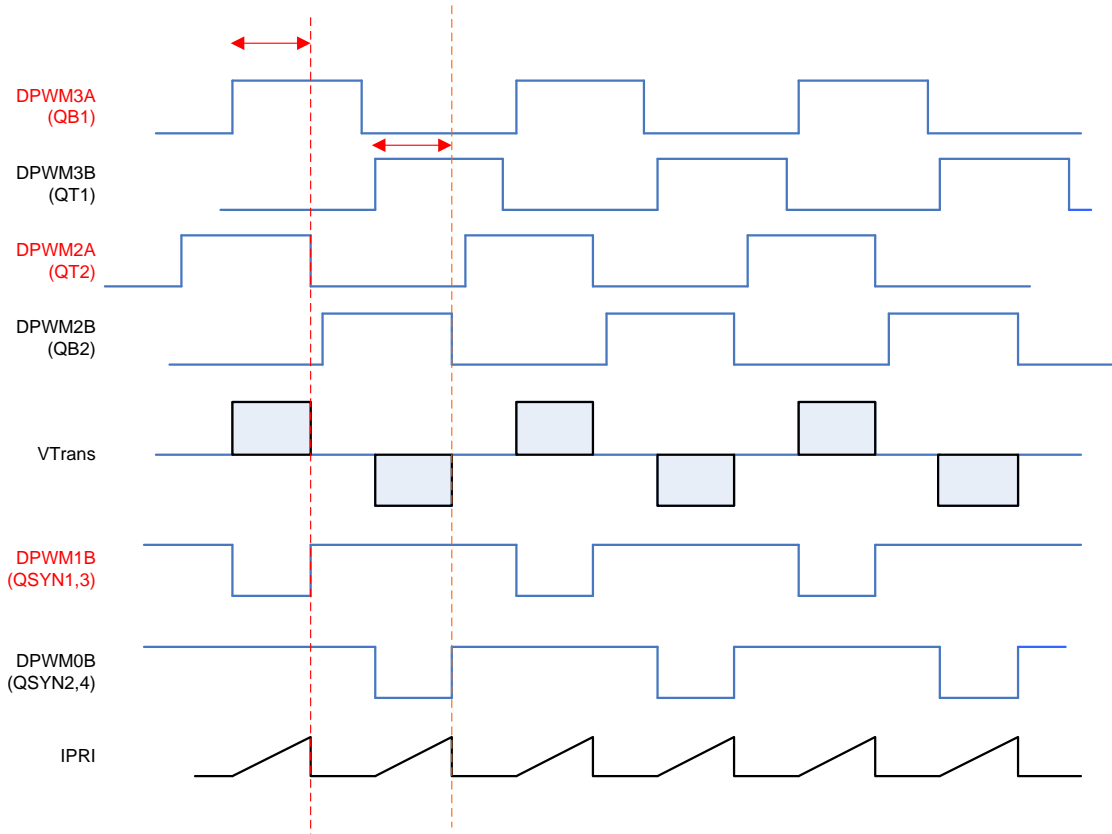


图 6-4. 相移全桥波形

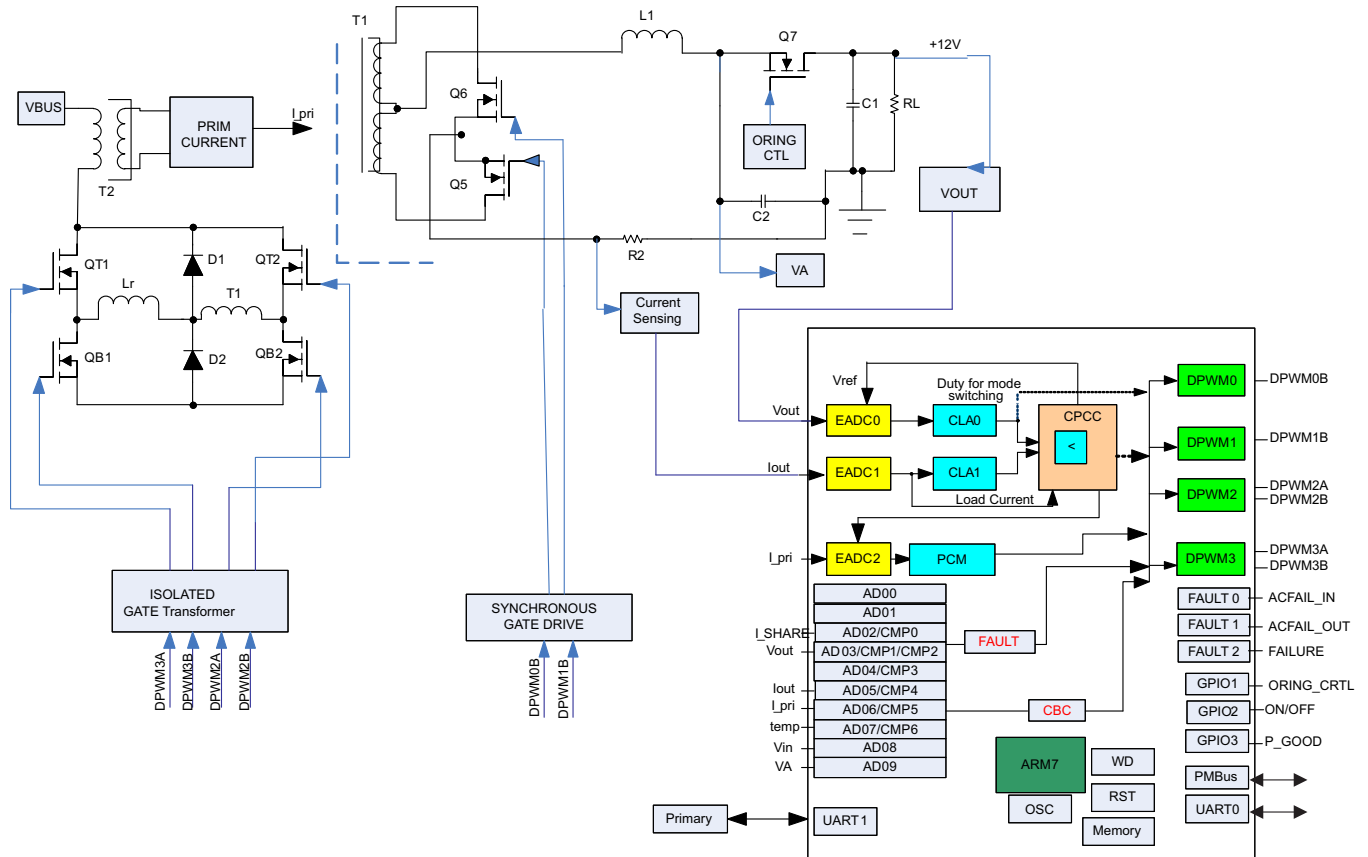


图 6-5. 带有同步整流功能的次级基准相移全桥控制

6.3.3.2 LLC 示例

在 LLC 中使用了三种模式。频率最高时，使用脉宽调制模式（多模式）。随着频率下降，开始使用谐振模式。频率继续降低，同步 MOSFET 驱动随之发生变化，因此导通时间固定并且不再增加。此外，LLC 控制支持逐周期电流限制。此保护功能由监控 DPWMA 导通时间内最大电流的比较器运作。只要电流超过可编程比较器基准值，脉冲将立即终止。由于半桥拓扑典型的不稳定问题，也可以强制 DPWMB 匹配截断的 DPWMA 脉宽。以下是 LLC 的波形：

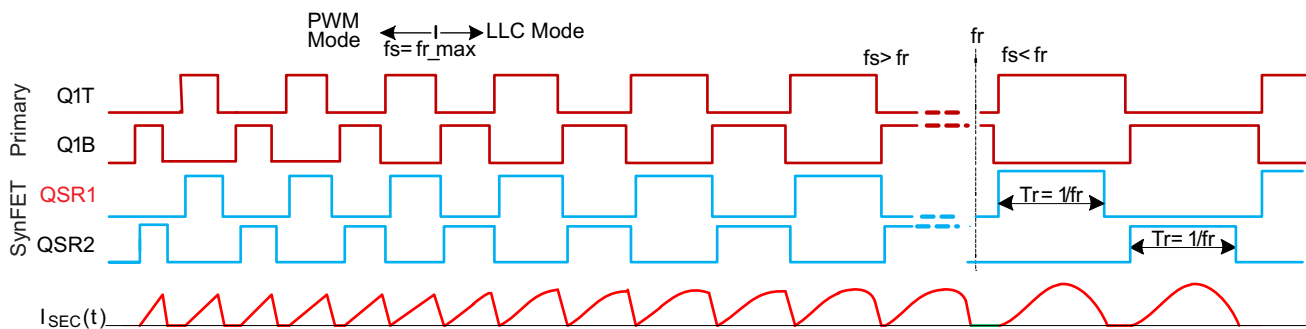


图 6-6. LLC 波形

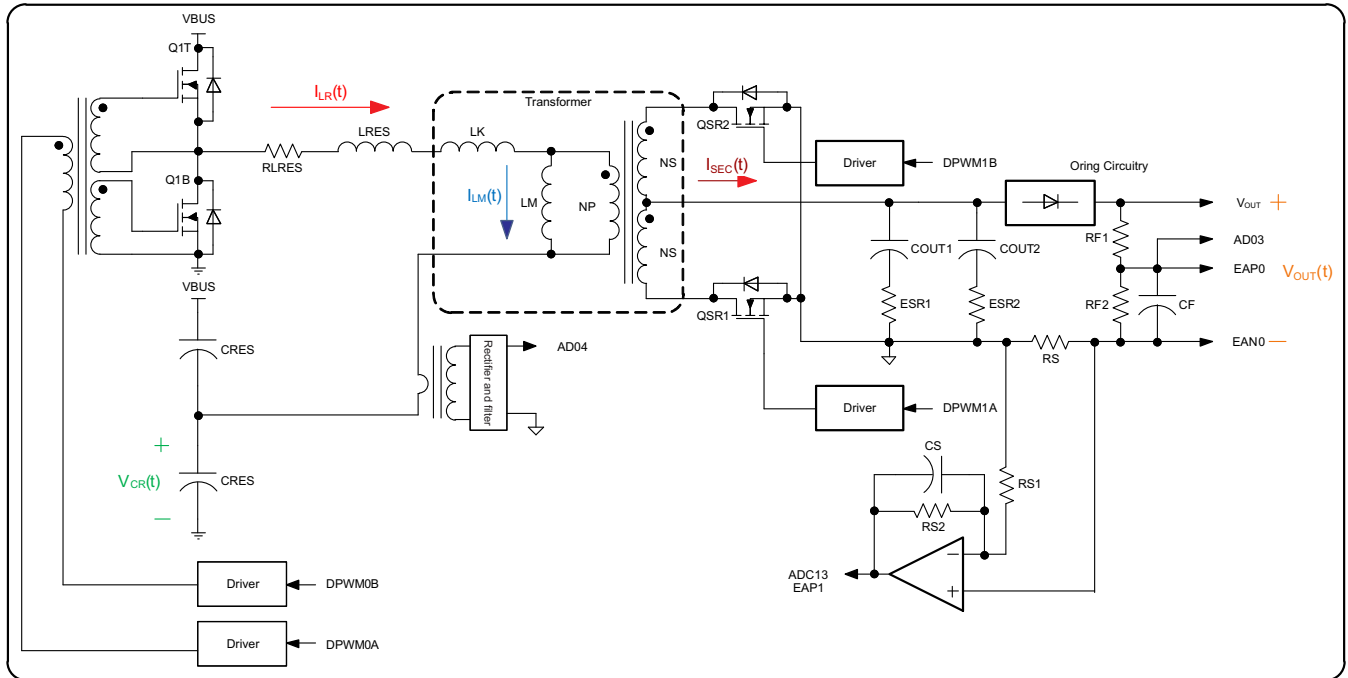


图 6-7. 带有同步整流功能的次级基准半桥谐振 LLC 控制

6.3.3.3 自动模式切换机制

UCD3138x 允许客户启用最多两个不同级别的自动模式切换。这些不同模式用于增强轻负载运行、短路运行 and 软启动。DPWM 的许多配置参数位于 DPWM 控制寄存器 1 中。对于自动模式切换，部分参数在“自动配置中”和“自动配置高”寄存器中重复出现。

如果启用了自动模式切换，系统将使用滤波器负载信号从三个寄存器中选择要使用的寄存器。用来选择模式切换点的寄存器共有 4 个。它们的使用方式如下所示。

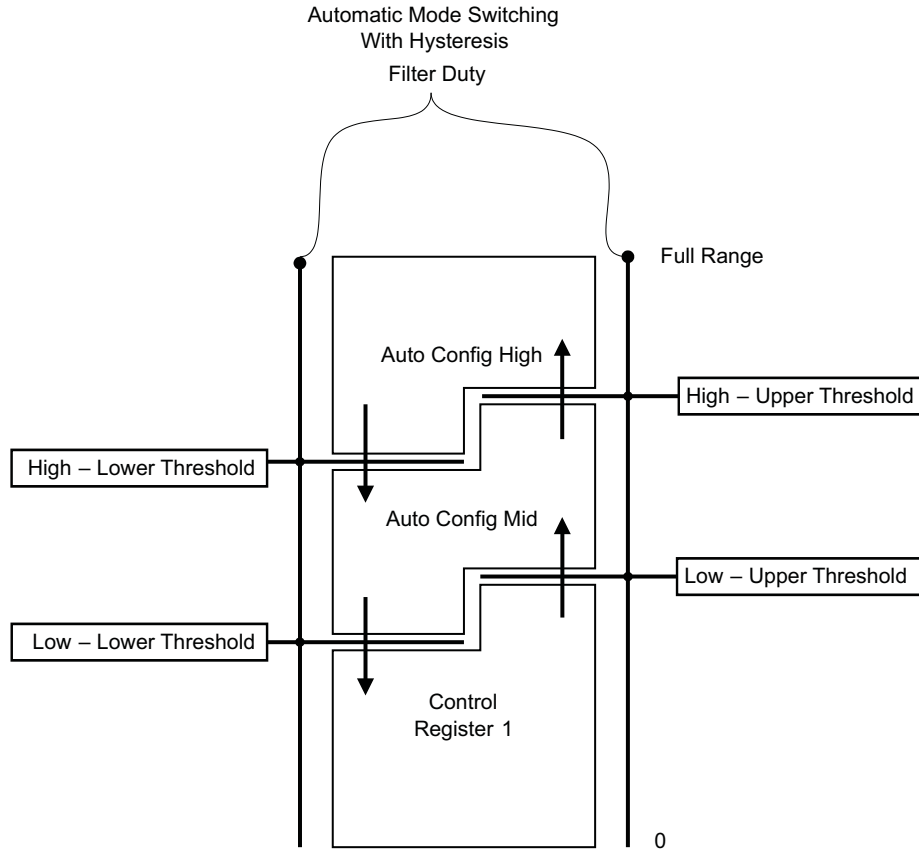


图 6-8. 自动模式切换

如图所示，寄存器成对用于磁滞。只有在滤波器负载高于低阈值上限时，控制寄存器 1 才会转换为“自动配置中”寄存器。直到低于低阈值下限时才会回到“自动配置中”寄存器。这将防止滤波器负载接近模式切换点时产生模式间振荡。

6.3.4 DPWMC、沿生成、内部多路复用器

除了已经讨论过的简单 DPWMA 和 DPWMB 波形，UCD3138x 所含硬件还可生成复杂波形 – DPWMC、沿生成模块和内部多路复用器。

DPWMC 是一种 DPWM 逻辑内部的信号。它在消隐 A 开始时升高，在消隐 A 结束时降低。

沿生成模块从其自己的 DPWM 模块以及下一个模块中获取 DPWMA 和 DPWMB，然后用它们生成两个输出的沿。对于 DPWM3，DPWM0 被视为下一个 DPWM。各沿（DPWMA 和 DPWMB 的上升沿和下降沿）可通过 8 个选项生成。

分别是：

- 0 = DPWM(n) A 上升沿
- 1 = DPWM(n) A 下降沿
- 2 = DPWM(n) B 上升沿
- 3 = DPWM(n) B 下降沿

- 4 = DPWM(n+1) A 上升沿
- 5 = DPWM(n+1) A 下降沿
- 6 = DPWM(n+1) B 上升沿
- 7 = DPWM(n+1) B 下降沿

其中“n”是相关 DPWM 模块的数字索引。例如 n=1 代表 DPWM1。

沿生成受 DPWMEDGEGEN 寄存器控制。它也有启用/禁用位。

内部多路复用器受自动配置寄存器控制。Intra Mux 是内部多路复用器的简写。内部多路复用器从多个 DPWM 和沿生成中获取信号，并以逻辑方式对其进行组合，从而生成 DPWMA 和 DPWMB 信号。这对于相移全桥之类的拓扑非常有用，尤其是在使用自动模式切换进行控制时。当然，也可以全部禁用，这种情况下将通过上文章节所述方式驱动 DPWMA 和 DPWMB。如果启用了内部多路复用器，则必须禁用高分辨率，且 DPWM 沿分辨率下降到 4ns。

以下是沿生成/内部多路复用器原理图：

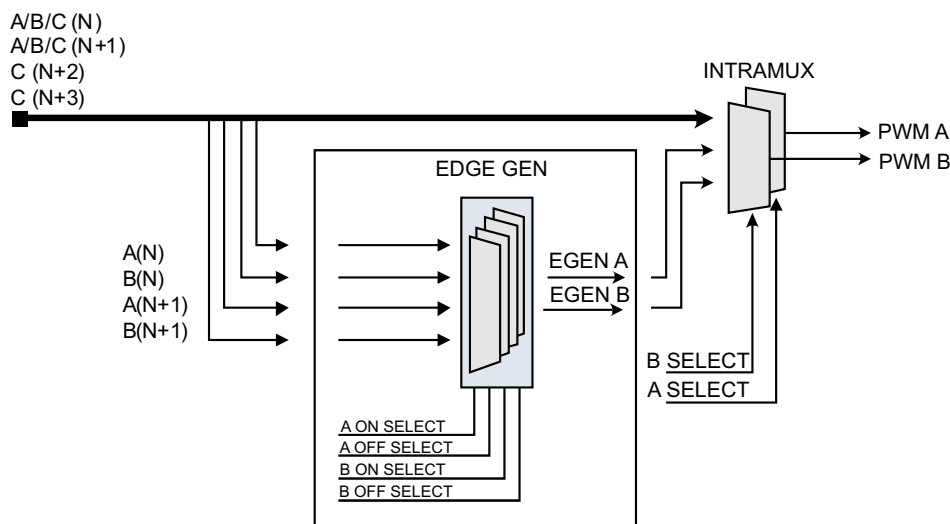


图 6-9. 沿生成/内部多路复用器

以下是针对 DPWMA 的内部多路复用器模式列表：

- 0 = DPWMA(n) 直通（默认）
- 1 = 沿生成输出，DPWMA(n)
- 2 = DPWNC(n)
- 3 = DPWMB(n)（交叉）
- 4 = DPWMA(n+1)
- 5 = DPWMB(n+1)
- 6 = DPWMC(n+1)
- 7 = DPWMC(n+2)
- 8 = DPWMC(n+3)

针对 DPWMB 的列表：

- 0 = DPWMB(n) 直通（默认）
- 1 = 沿生成输出，DPWMB(n)
- 2 = DPWNC(n)
- 3 = DPWMA(n)（交叉）
- 4 = DPWMA(n+1)
- 5 = DPWMB(n+1)
- 6 = DPWMC(n+1)
- 7 = DPWMC(n+2)
- 8 = DPWMC(n+3)

DPWM 编号会像沿生成单元一样绕回。对于 DPWM3，以下定义适用：

DPWM(n)	DPWM3
DPWM(n+1)	DPWM0
DPWM(n+2)	DPWM1
DPWM(n+3)	DPWM2

6.3.5 滤波器

UCD3138x 滤波器是一种 PID 滤波器，具有许多用于电源控制的增强功能。它的一些特性包括：

- 传统 PID 架构
- 基于接收到的 EADC 误差对滤波器系数进行自动修改的可编程非线性限制
- 完全可通过固件配置的多个系数集
- 覆盖滤波器计算全程的全 24 位精度
- 积分器分支和滤波器输出上的可编程钳位
- 能够在系统运行时将值加载到内部滤波器寄存器中
- 能够暂停任意单个滤波器分支上的计算
- 能够关闭任意单个滤波器分支上的计算
- 基于滤波器输出的占空比、谐振周期或相移生成。
- 磁通量平衡
- 电压前馈

以下是该滤波器的第一部分：

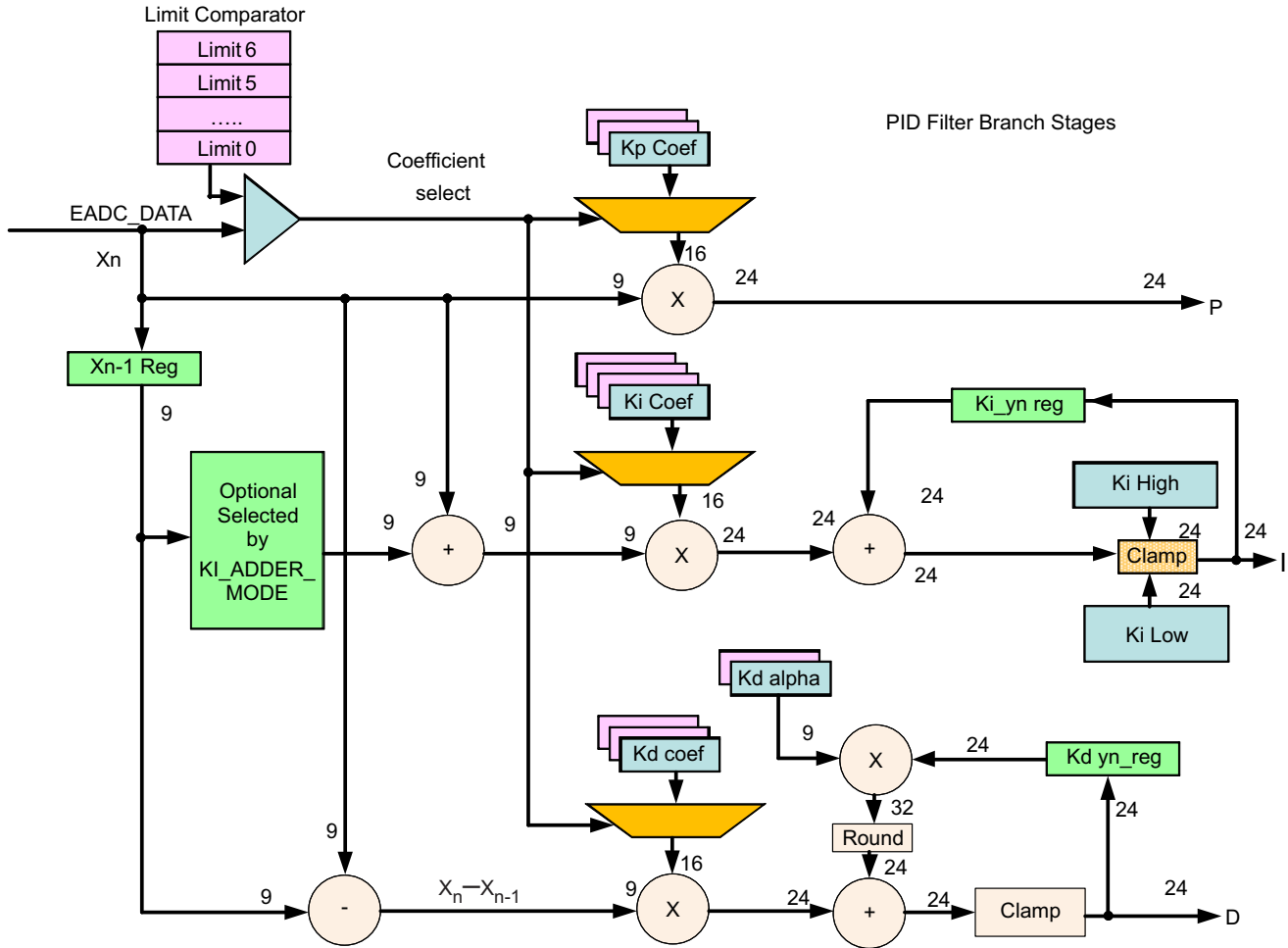


图 6-10. 滤波器的第一部分

滤波器输入 X_n 一般来自前端。然后是三个分支 P、I 和 D。注意，D 分支也有一个极点，即 Kd Alpha。I 分支和 D alpha 极点上都提供钳位。

滤波器还支持非线性模式，在该模式下，可以根据误差输入 X_n 的幅度从最多 7 个不同的系数集中进行选择。这可以用于增加较高误差的滤波器增益以改善瞬态响应。

以下是滤波器的输出部分（S0.23 表示有 1 个符号位、0 个整数位和 23 个分数位）：

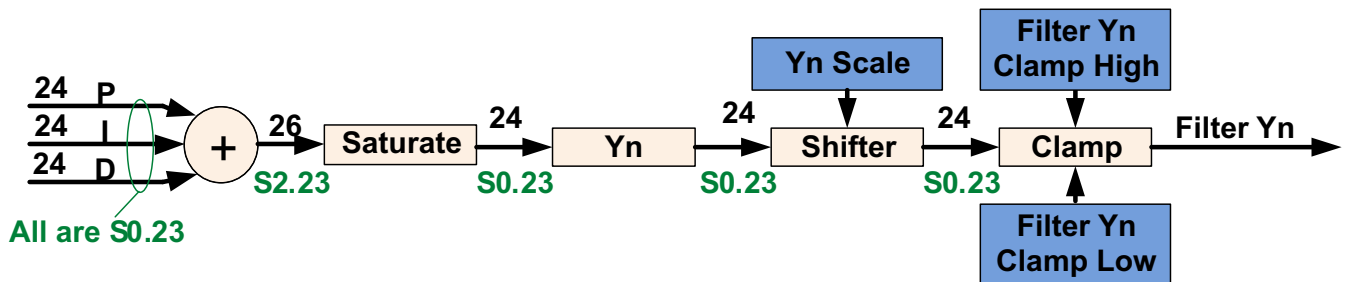


图 6-11. 滤波器的输出部分

此部分结合了 P、I 和 D 部分，用于饱和、调节和钳位操作。

滤波器的最后一部分将其输出与 DPWM 相匹配：

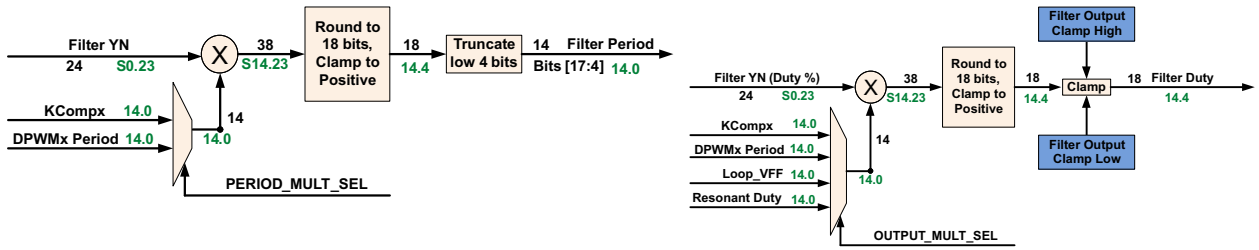


图 6-12. 滤波器的最后一部分

允许将滤波器输出乘以各种校正系数以匹配 DPWM 周期，从而用于电压前馈或其他目的。之后是另一个钳位。对于谐振模式，滤波器可用于生成周期和占空比。

6.3.5.1 环路多路复用器

环路多路复用器控制滤波器、前端和 DPWM 之间的互连。任何滤波器、前端和 DPWM 都可以组成各种不同的配置。

它还控制以下连接：

- DPWM 到前端
- 来自滤波器或恒定电流/恒定功率模块的前端 DAC 控制
- 滤波器特殊系数和前馈
- DPWM 同步
- 滤波器到 DPWM

以下控制模块在环路多路复用器中进行配置：

- 恒定功率/恒定电流
- 周期调整（电流和磁通量平衡）
- 全局周期
- 轻负载（突发模式）
- 模拟峰值电流模式

6.3.5.2 故障多路复用器

为了以灵活的方式将多个故障触发源映射到所有 DPWM 通道，UCD3138x 提供了广泛的多路复用器产品，它们共同组成了故障多路复用器模块。

故障多路复用器模块支持所有故障源和各 DPWM 模块内部所有不同故障响应机制之间的以下各类映射。

- 多个故障源可以映射到单个故障响应机制。例如，负责过压保护的模拟比较器、负责过流保护的数字比较器以及外部数字故障引脚都可以映射到连接单个故障模块的 Fault-A 信号并关闭 DPWM1-A。
- 单个故障源可以映射到多个 DPWM 模块内部的多个故障响应机制。例如，负责过流保护的模拟比较器可以通过多个故障模块映射到 DPWM-0 至 DPWM-3。
- 多个故障源可以映射到多个 DPWM 模块内部的多个故障模块。

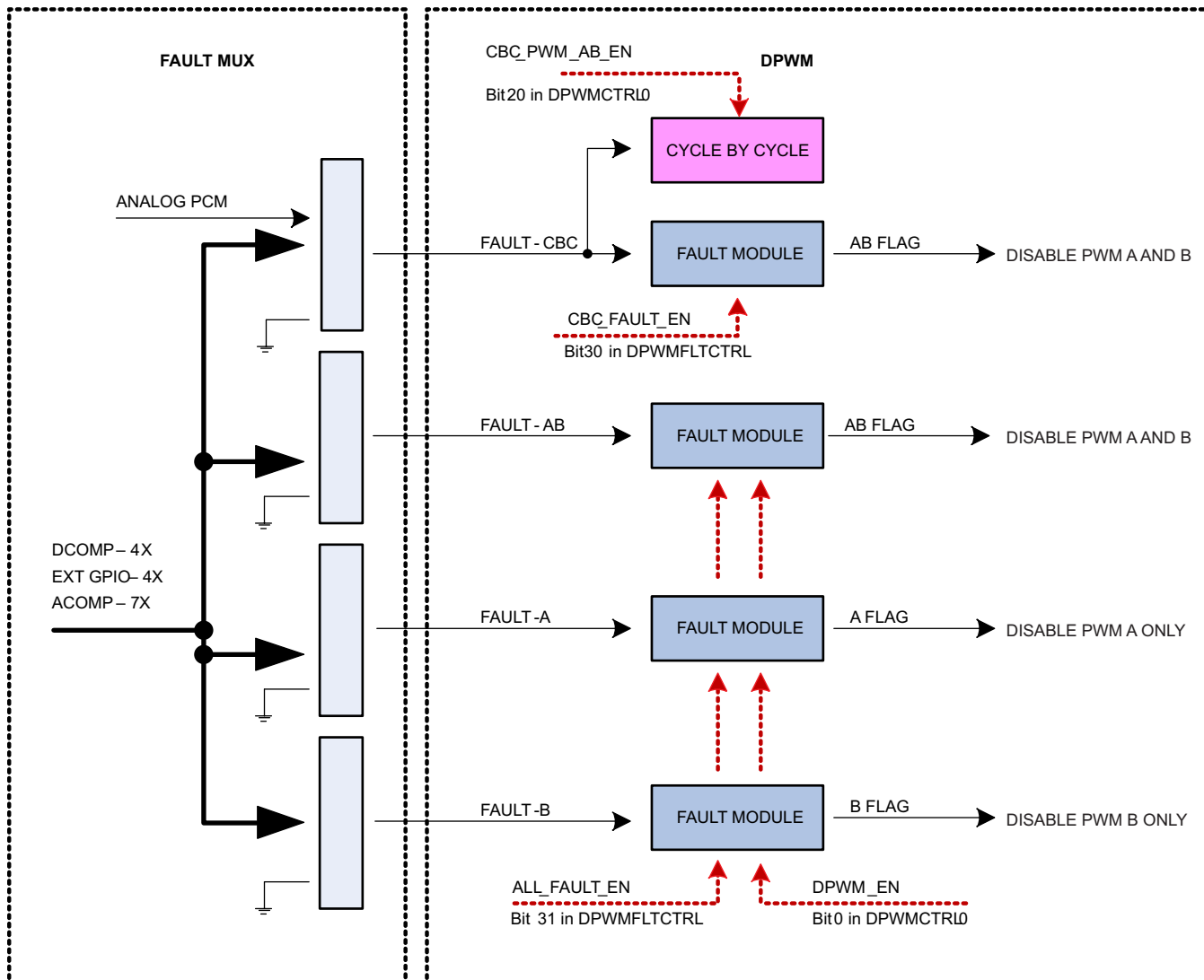


图 6-13. 故障多路复用器模块

故障多路复用器模块可在 UCD3138x 高速环路（前端控制、滤波器、DPWM 以及环路多路复用器模块）内提供多种故障保护功能。通过故障多路复用器模块，可实现基于数字比较器、高速模拟比较器和外部故障引脚的高度可配置故障生成。每个 DPWM 模块的故障输入端可配置为故障多路复用器模块中的一个或任意组合的故障事件。

每个 DPWM 引擎有四个故障模块。这四个模块分别是 CBC 故障模块、AB 故障模块、A 故障模块 和 B 故障模块。

所有四个故障模块中的内部电路都完全相同，这些模块间的不同之处仅限于与 DPWM 连接的方式不同。

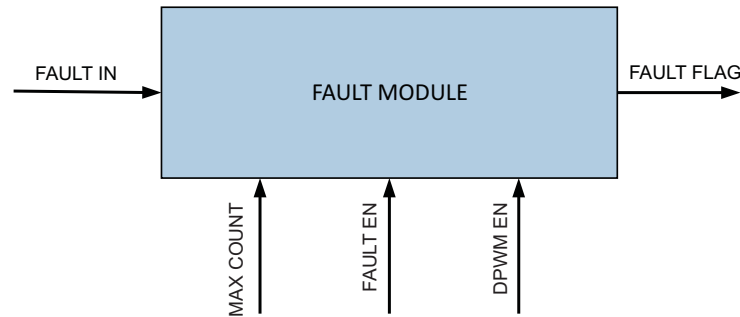


图 6-14. 故障模块

所有故障模块均可提供即时故障检测，但每个 DPWM 开关周期只可检测一次。每个故障模块都有各自的 max_count，只有在顺序逐周期故障数目超过 max_count 时，才会设置故障标志。

一旦设置了故障标志，需要通过降低 DPWM_EN 来禁用 DPWM，从而清除故障标志。请注意，由于所有四个故障模块共用同一个 DPWM_EN 控制，因此所有故障标志（故障模块的输出端）将会同时被清除。

所有四个故障模块也共用同一个全局 FAULT_EN。因此，无法单独启用/禁用某个特定的故障模块。

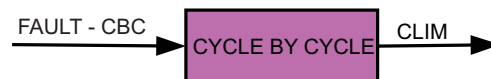


图 6-15. 逐周期块

与故障模块不同，每个 DPWM 模块内只有一个逐周期块。

逐周期块与 CBC 故障模块协同运作，可使 DPWM 对来自模拟峰值电流模式 (PCM) 模块的信号产生反应。

故障多路复用器模块支持下列基本功能：

- 4 个采用可编程阈值和故障生成的数字比较器
- 适用于 7 个采用可编程阈值和故障生成的高速模拟比较器的配置
- 采用可编程故障生成的外部 GPIO 检测控制
- 针对 DPWM 电流限制故障、DPWM 过压检测故障、DPWM A 外部故障、DPWM B 外部故障和 DPWM IDE 标志的可配置 DPWM 故障生成
- 高频和低频振荡器块的时钟故障检测
- 非连续导通模式检测

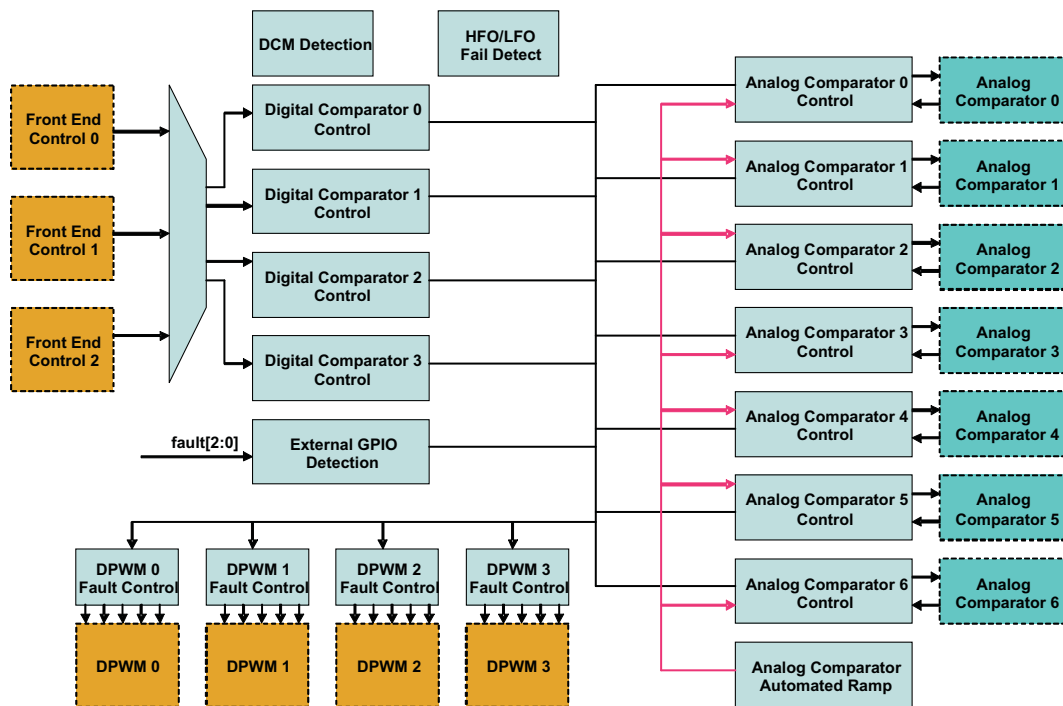


图 6-16. 故障多路复用器方框图

6.3.6 通信端口

6.3.6.1 SCI (UART) 串行通信接口

器件内最多有两个独立的串行通信接口 (SCI) 或通用异步接收器/发送器 (UART) 接口用于异步启停串行数据通信 (有关详情, 请参阅引脚排列部分)。每个接口有一个支持可编程波特率的 24 位预分频器、一个可编程数据字和多个停止位选项。半双工或全双工操作可通过寄存器位进行配置。也可设置回环功能以进行固件验证。未使用外设时, SCI-TX 和 SCI-RX 引脚集合均可作为 GPIO 引脚使用。

6.3.6.2 PMBus/I²C

UCD3138x 有两个独立的接口, 均支持主模式和从模式的 PMBus 和 I²C。但只有一个接口可控制地址引脚电流源, 并支持 PMBus 规格中描述的可选控制和警报线。除了这些差异外, 这些接口完全相同。

PMBus/I²C 接口用于最大程度降低接口所需的处理器开销。它可以自动检测并确认地址。它可以自动处理启动和停止状况, 并且可以延长时钟直至处理器有时间去轮询 PMBus 状态。它每次最多自动接收和发送 4 字节。它可以自动验证并生成一个数据包错误检查 (PEC)。这意味着处理器只需通过一个函数调用即可接收写入字节命令。使用这种 PMBus/I²C 接口, 根本不需要任何中断。如果每隔几毫秒对这种接口进行轮询, 它将会运行得非常流畅。

这种接口也支持对两个独立地址的自动 ACK。如果同时使用 PMBus 和 I²C 接口, 总共可以自动检测到 4 个独立地址。

例如: 通过 ADC12 读取进行 PMBus 地址解码

用户可以配置 2 引脚 12 位 ADC 输入通道 (AD_00 和 AD_01), 用于 PMBus 地址解码。加电时, 器件将 I_{BIAS} 施加到每个地址检测引脚, 通过内部 12 位 ADC 捕获这些引脚上的电压。

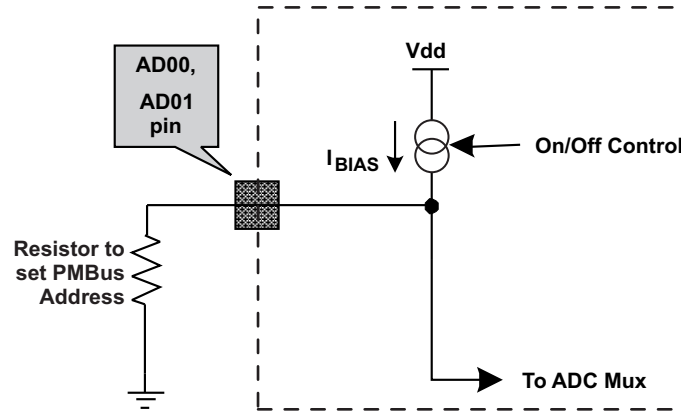
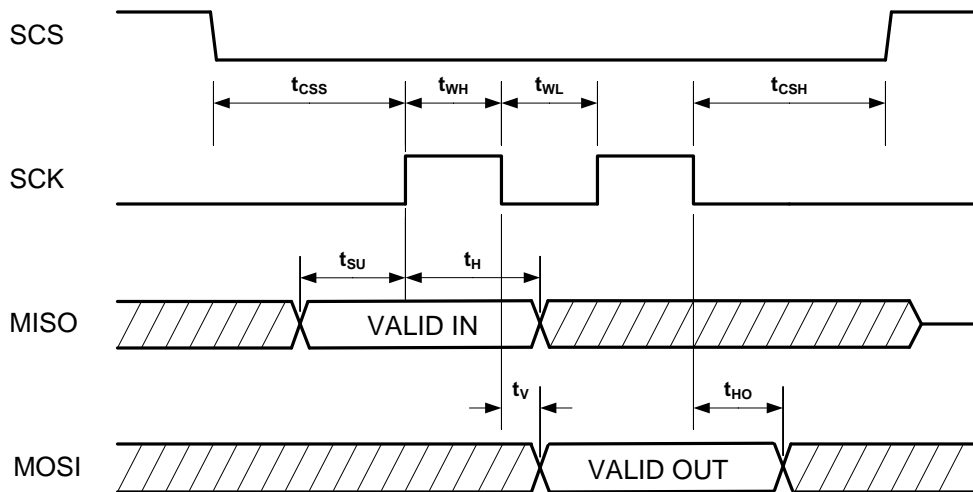


图 6-17. PMBUS 地址检测方法

PMBus/I²C 地址 0x7E 是保留地址，不得在使用 UCD3138x 的系统中使用。该地址用于制造测试。

6.3.6.3 SPI

SPI 是一款高速同步串行输入/输出端口，此端口允许一个已编辑长度（1 至 16 位）的串行比特流以一个设定比特传输速率移入和移出器件。SPI 通常用于 UCD3138x 和外部外设之间的通信。TPDxE05U06 应用包括外部 I/O 接口或者通过移位寄存器、显示驱动器、SPI EPROM 和模数转换器等器件进行外设扩展。SPI 允许通过 3 引脚或 4 引脚模式接口与其他 SPI 器件进行串行通信。SPI 通常被配置为和外部 EEPROM 通信的主接口。



P_{SCK}	Period SCK	2 ICLK
t_{WH}	SCK High Time	$1/2 P_{SCK}$
t_{WL}	SCK Low Time	$1/2 P_{SCK}$
t_{SU}	Data in setup	2 ns (typical)
t_H	Data in hold	4 ns (typical)
t_V	Output Valid	4 ns (typical)
t_{HO}	Output Data Hold	2 ns (typical)
t_{CSS}	Chip Select Setup	1 P_{SCK}
t_{CSH}	Chip Select Hold	1 P_{SCK}

图 6-18. SPI 时序图

6.3.7 实时时钟

UCD3138x 有一个内部实时时钟 (RTC) 功能，可以秒、分钟、小时和日为单位来追踪时间。此功能依赖于外部精密 10MHz 时钟。

- 用以追踪总天数的固件可写入时/日寄存器。
 - 天数计数器最多可以计数 4 年的天数。
 - 年、月和闰年的计算必须在固件中进行。
- 在 0.8ppm 阶跃中固件可编程频率校正为 ± 200 ppm
- RTC 功能可以 1、10、30 和 60 秒间隔对 IRQ 或 FIQ 提供中断。
- 来自 RTC 驱动器的时钟可以通过内部多路复用器驱动到外部引脚。
- 外部时钟可以通过专用 GPIO 引脚成为 RTC 功能时钟。

6.3.8 定时器

在数字电源外设的外侧，UCD3138x 中还有 3 种不同类型的计时器。分别是 24 位计时器、16 位计时器和监视器计时器。

6.3.8.1 24 位计时器

24 位计时器运行不受接口时钟控制。这种计时器可以用于测量两个事件之间的时间，以及在特定间隔后生成中断。这种计时器的时钟可以通过 8 位预分频器进行分频，以提供更长的时间间隔。这种计时器有两个比较寄存器（数据寄存器）。这两个寄存器都可以用于在一定时间间隔后生成中断。另外，这种计时器还有一个影子寄存器（数据缓冲寄存器），可在仍使用该计时器的同时用于存储比较事件的 CPU 更新内容。被选中的影子寄存器更新模式在比较事件匹配后发生。

TCAP0 和 TCAP1 两种捕捉引脚是用于记录捕捉事件的输入端。可以将捕捉事件设置到捕捉引脚信号的上升沿和/或下降沿。该事件发生时，计数器的值存储在相应的捕捉数据寄存器中。24 位计时器可以设置五种中断，分别是计数器翻转（溢出）事件、捕捉事件 0 和 1 以及两个比较匹配事件。每种中断都可以被禁用或启用。

6.3.8.2 16 位 PWM 计时器

有四种可脱离接口时钟运行的 16 位计数器 PWM 计时器，它们可通过 8 位预分频器进一步分频，以生成更短的 PWM 时间周期。每个计时器有两个比较寄存器（数据寄存器），用于生成 PWM 设置/未设置事件。另外，每个计时器还有一个影子寄存器（数据缓冲寄存器），可在仍使用该计时器的同时用于存储比较事件的 CPU 更新内容。被选中的影子寄存器更新模式在比较事件匹配后发生。

可将计数器复位配置为在计数器翻转或比较等效事件发生时发生，或通过软件控制寄存器实现。PWM 计时器可设置为由于计数器翻转（溢出）事件或两个比较匹配事件而出现中断。每个比较匹配和溢出中断都可被禁用或启用。

在事件比较后，可以配置 PWM 引脚以实现在输出端进行设置、清除、切换或不做任何操作。可通过读取 PWM 引脚输出的值来获取状态信息，也可直接将该引脚配置为通用 I/O 引脚，读取引脚处的输入值。

6.3.8.3 看门狗计时器

该器件上装有看门狗计时器，以确保正确的固件循环执行。该计时器的时钟信号来自独立的低速振荡器源。如果允许计时器到期，系统会向 ARM 处理器发送复位条件。看门狗由写入看门狗密钥寄存器内的一个简单 CPU 写入位按照固件例程进行复位。器件加电时将禁用看门狗。但是，看门狗启用后无法由固件禁用。只有器件复位才能将此位恢复至默认禁用状态。同时，为进行看门狗状态监控，还提供了半计时器标志。

6.3.9 通用 ADC12

ADC12 是一款 12 位高速模数转换器，配备了下列选项：

- 267ksps 的典型转换速度
- 可按任何需要序列进行的 1 至 16 ADC 通道转换
- 涵盖 4、8、16 或 32 倍采样的后转换平均能力

- 来自以下来源的 ADC 转换可配置触发：固件、DPWM 上升沿、ADC_EXT_TRIG 引脚或模拟比较器结果
- 完成 ADC 转换时内嵌处理器的中断能力
- 转换序列中前 6 个通道上的六个数字比较器（使用原始 ADC 数据或平均 ADC 数据）
- 激发 PMBus 寻址电阻器的两个 10 μ A 电流源
- 保证功率测量精确性的双重采样保持功能
- 用于温度保护和监控的内部温度传感器

控制模块（图 6-19）包含用于自动对一系列转换进行定序的控制和转换逻辑。通过内嵌在 ADC12 块中的模拟多路复用器，可以对 16 个可能 ADC 通道的任意组合内的时序进行完全配置。一旦转换，被选中的通道的值就会存储在与其序列号相关联的结果寄存器中。在一个转换序列中，既可以按照所需顺序对多个输入通道进行采样，也可以通过编程方式在同一通道上多次重复进行转换。被选中的通道转换也按转换的顺序存储在结果寄存器中，结果 0 寄存器存储的是 16 通道序列的首次转换，结果 15 寄存器则存储的是 16 通道序列的最后一次转换。一个序列中所转换通道的数量从 1 至 16 个不等。

EADC0 至 EADC2 的主要设计目的是关闭高速补偿环路，而 ADC12 有所不同，它通常并不是用于环路补偿目的。EADC 转换器的转换速率明显更快，因此更适用于闭环控制。ADC12 的具有使其非常适用于监控和检测电流、电压、温度和故障。有关与此功能的温度波动趋势，请参阅节 5.10。

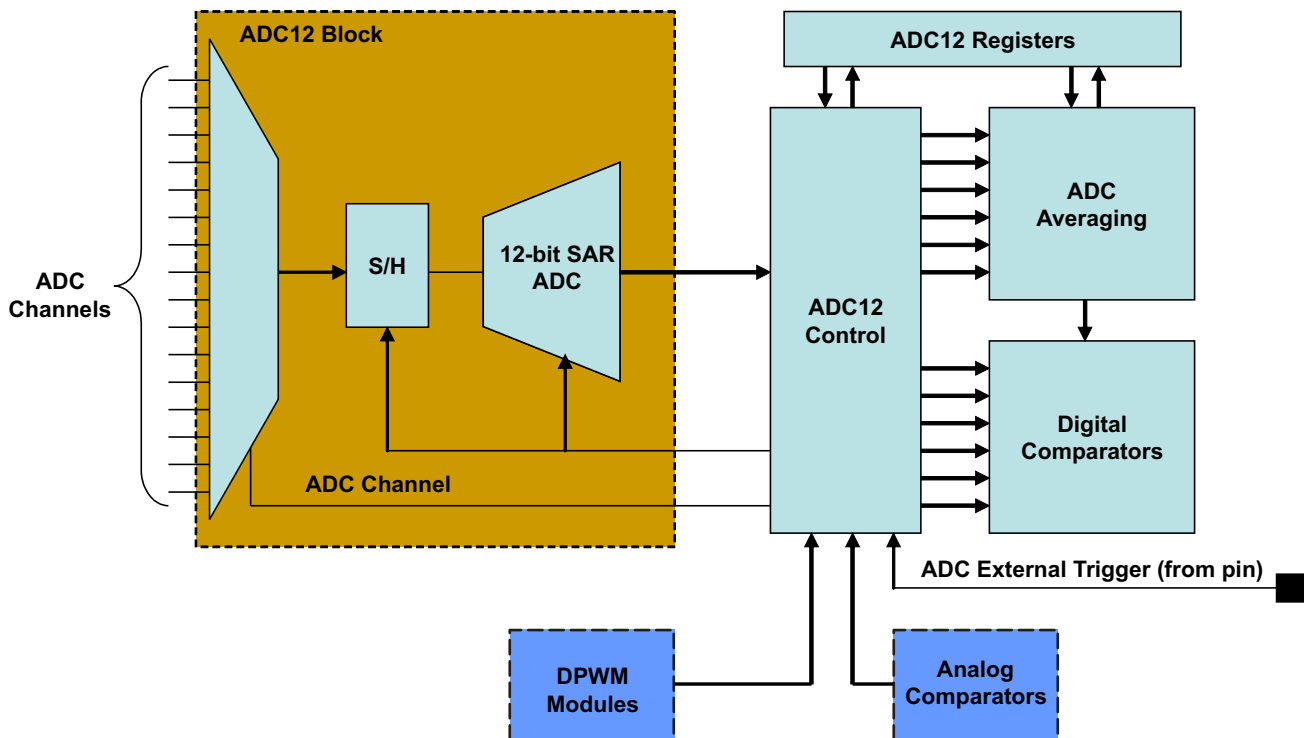


图 6-19. ADC12 控制方框图

6.3.10 杂项模拟

杂项模拟控制 (MAC) 寄存器是一种控制和监控多种功能的全方位寄存器。这些功能包括多种器件监控 具有如欠压和节能配置、通用输入/输出配置及连接、内部温度传感器控制和电流共享控制。

MAC 模块还向振荡器和 AFE 块提供微调信号。这些控制功能通常用于制造过程中的微调阶段，因此本文档不涵盖这些微调控制功能。

6.3.11 欠压

欠压功能用于判定器件电源电压是否低于阈值电压。若低于阈值电压，则可能无法保证器件在正常运行情况下的安全性。

欠压阈值比复位阈值电压高，因此当电源电压低于欠压阈值时，不一定会触发器件复位。

欠压中断标志可能会被轮询，或者按照中断服务例程触发这种情况下的服务中断。请参阅节 5.8。

6.3.12 全局 I/O

UCD3138x 中有多达 32 个引脚可在全局 I/O 寄存器中进行配置，用作通用输入或输出引脚 (GPIO)。这些引脚包括除复位引脚以外的所有数字输入或输出引脚。

无法作为 GPIO 引脚配置的引脚有电源引脚、接地引脚、ADC-12 模拟输入引脚、EADC 模拟输入引脚和复位引脚。未列入此寄存器的其他数字引脚可通过各自的本地配置寄存器进行配置。

将数字引脚作为 GPIO 引脚配置和使用的方式有以下两种：

1. 通过集中式全局 I/O 控制寄存器。
2. 通过具有标准 GPIO 功能引脚的特定外设中的分散控制寄存器。

全局 I/O 寄存器在以下方面提供全面控制：

1. 将每个引脚配置为 GPIO 引脚。
2. 将每个引脚设置为输入或输出。
3. 读取引脚的逻辑状态（如果该引脚被配置为输入引脚）。
4. 设置引脚的逻辑状态（如果该引脚被配置为输出引脚）。
5. 通过内部推/挽驱动器或外部上拉寄存器将一个或多个引脚与高轨连接。

全局 I/O 寄存器包括全局 I/O EN 寄存器、全局 I/O OE 寄存器、全局 I/O 开漏控制寄存器、全局 I/O 值寄存器和全局 I/O 读取寄存器。

以全局 I/O EN 寄存器 (GLBIOEN) 为例，寄存器的格式如下所示：

位编号	31:0
位名字	GLOBAL_IO_EN
访问	读/写
缺省值	0000_0000_0000_0000_0000_0000_0000_0000

位 29-0: GLOBAL_IO_EN – 此寄存器可实现全局数字 I/O 引脚控制

0 表示 IO 控制由分配给 IO 的功能块完（默认）

1 表示 IO 控制由全局 IO 寄存器完成。

位	PIN_NAME	引脚编号
		UCD3138x
31	PWM2	11
30	PWM3	12
29	FAULT3	55
28	ADC_EXT_TRIG	14
27	TCK	45
26	TDO	46
25	TMS	48
24	TDI	47
23	SCI_TX1	37
22	SCI_TX0	35
21	SCI_RX1	38
20	SCI_RX0	36
19	TCAP0	49
18	PWM1	40
17	PWM0	39
16	TCAP1	13
15	I2C_DATA	20

位	PIN_NAME	引脚编号
		UCD3138x
14	PMBUS_CTRL	18
13	PMBUS_ALERT	17
12	EXT_INT	42
11	FAULT2	54
10	FAULT1	44
9	FAULT0	43
8	SYNC	34
7	DPWM3B	29
6	DPWM3A	28
5	DPWM2B	27
4	DPWM2A	26
3	DPWM1B	25
2	DPWM1A	24
1	DPWM0B	23
0	DPWM0A	22

6.3.13 温度传感器控制

温度传感器寄存器提供内部温度传感器启用和微调功能。默认情况下，内部温度传感器被禁用。

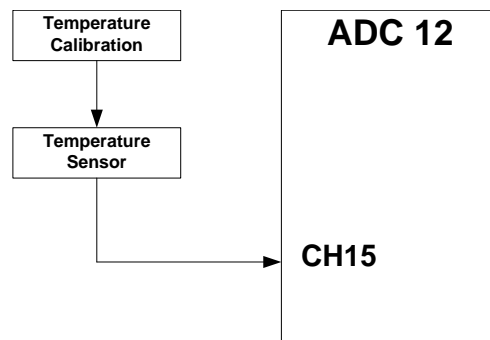


图 6-20. 内部温度传感器

温度传感器在室温 (25°C) 下依据校准寄存器值进行校准。

使用 ADC 12（通过通道 15）测量温度传感器。然后使用涉及校准寄存器的数学公式计算温度（这可以有效地将增量添加到 ADC 测量中）。

可选择启用或禁用温度传感器。

6.3.14 I/O 多路复用器控制

I/O 多路复用器控制寄存器可用于选择需分配至应用中的实体器件引脚的单个特定功能。有关可用配置详情，请参阅 UCD3138x 程序员手册。

6.3.15 电流共享控制

UCD3138x 提供三种不同的电流共享运行模式。

- 模拟总线电流共享
- PWM 总线电流共享
- 主/从电流共享
- AD02 具有特殊的 ESD 保护机制，可在 UCD3138x 断电时防止引脚下拉电流共享总线

简化的电流共享电路如下图所示。与 SW3 连接的数字脉冲将 SW3 转变为脉宽调制电流源。数字功率融合外设手册介绍了此功能频率和分辨率的详细信息。

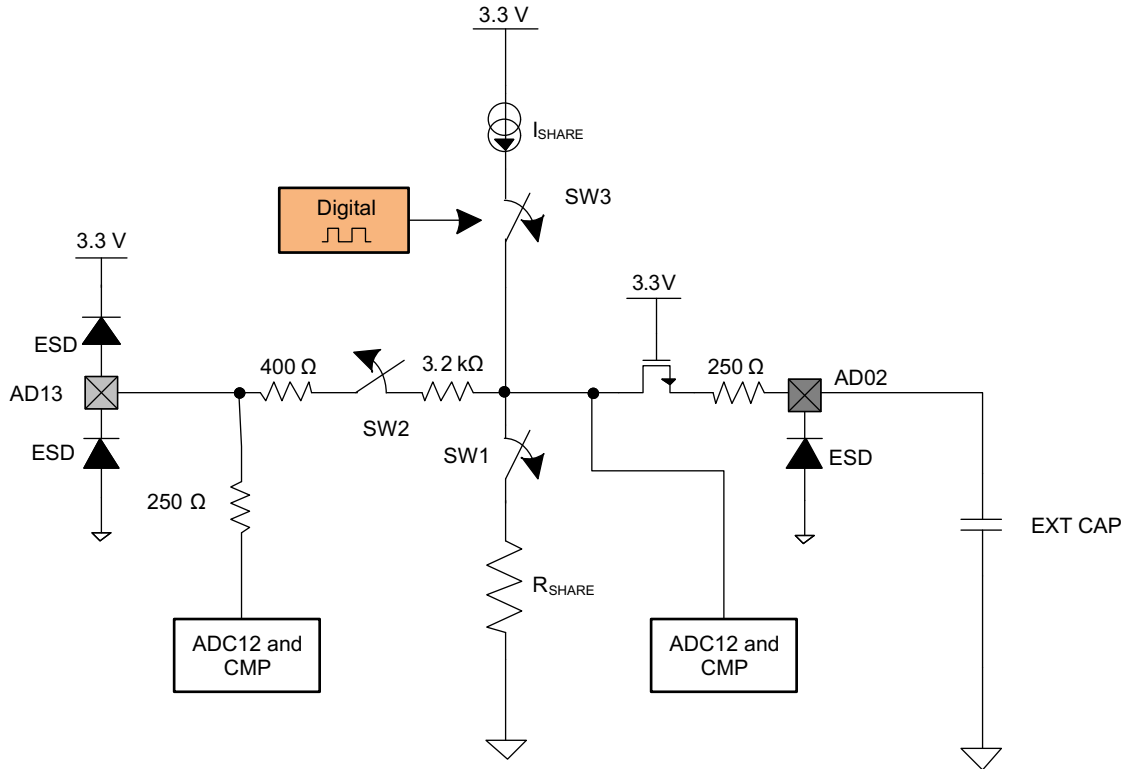


图 6-21. 简化的电流共享电路

电流共享模式	仅供测试， 始终保持 00	CS_MODE	EN_SW1	EN_SW2	DPWM
关闭模式或从模式（三态）	00	00（默认值）， 假设值 = 0	0	0	0
PWM 总线	00	01	1	0	有效
关闭模式或从模式（三态）	00	10	0	0	0
模拟总线或主模式	00	11	0	1	0

8 位 PWM 电流源的周期和负荷以及 SW1 和 SW2 开关的状态可通过电流共享控制寄存器 (CSCTRL) 控制。

6.3.16 温度基准

在出厂调整和校准期间，温度基准寄存器 (TEMPREF) 可在 ADC12 测量内部温度传感器（通道 15）时提供 ADC12 计数。

此信息可被固件中实施的不同周期性温度补偿例程使用。但是，不得由固件对其进行重写。否则，出厂写入值将会丢失，只有在器件复位后才能找回。

6.4 器件功能模式

6.4.1 DPWM 运行模式

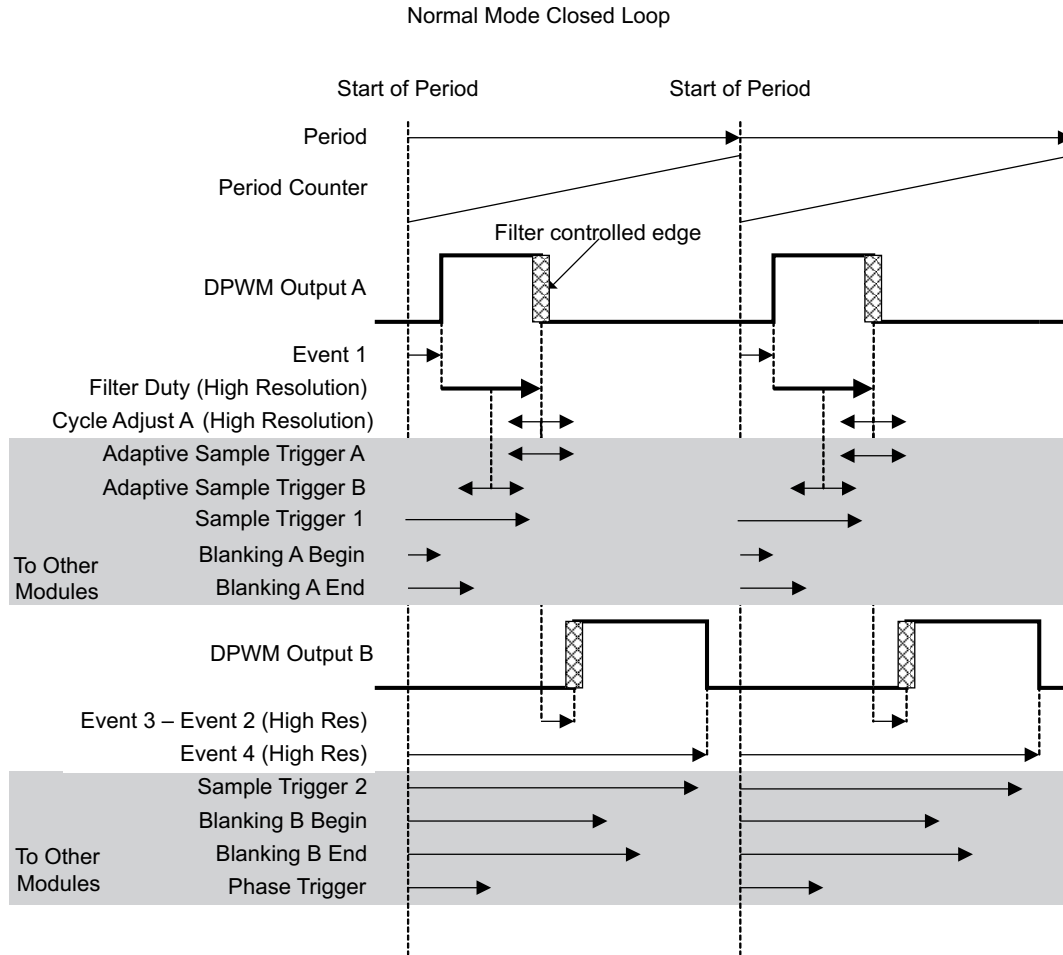
DPWM 是一种高度可配置的复杂逻辑系统，用于支持一些不同的电源拓扑。下文主要集中探讨波形、时序和寄存器设置，而非逻辑设计。

DPWM 的核心是周期计数器，该计数器可以从 0 计数至 PRD，然后进行复位，再重新开始计数。

当周期计数器计数值达到数字信号的目标值时，DPWM 逻辑会致使许多数字信号中发生切换。

6.4.1.1 正常模式

在正常模式下，滤波器输出将决定 DPWM A 上的脉冲宽度。DPWM B 恰好对应剩余的开关周期，通过死区时间与 DPWM A 导通时间隔开。这对于降压拓扑等拓扑结构非常有用。以下是正常模式的波形图：



Events which change with DPWM mode:

DPWM A Rising Edge = Event 1
 DPWM A Falling Edge = Event 1 + Filter Duty + Cycle Adjust A
 Adaptive Sample Trigger A = Event 1 + Filter Duty + Adaptive Sample Register or
 Adaptive Sample Trigger B = Event 1 + Filter Duty/2 + Adaptive Sample Register
 DPWM B Rising Edge = Event 1 + Filter Duty + Cycle Adjust A + (Event 3 – Event 2)
 DPWM B Falling Edge = Event 4
 Phase Trigger = Phase Trigger Register value or Filter Duty

Events always set by their registers, regardless of mode:

Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

图 6-22. 正常模式 - 闭环

周期调整 A 可用于调整多相系统中各个相位的脉宽。这可用于电流平衡等功能。自适应样本触发器可用于在导通时间中期采样（适用于平均输出）或导通时间结束时采样（以最大程度减少相位延迟）。自适应样本触发器从导通时间中心开始提供偏移。这可以补偿外部延迟，如 MOSFET 和栅极驱动器启动时间。

消隐 A 开始和消隐 A 结束可用于在周期开始（DPWMA 上升沿）消除源于 MOSFET 启动的噪声。消隐 B 可在 DPWMB 的关闭时间使用。由于其他沿是动态的，因此消隐就更加困难。

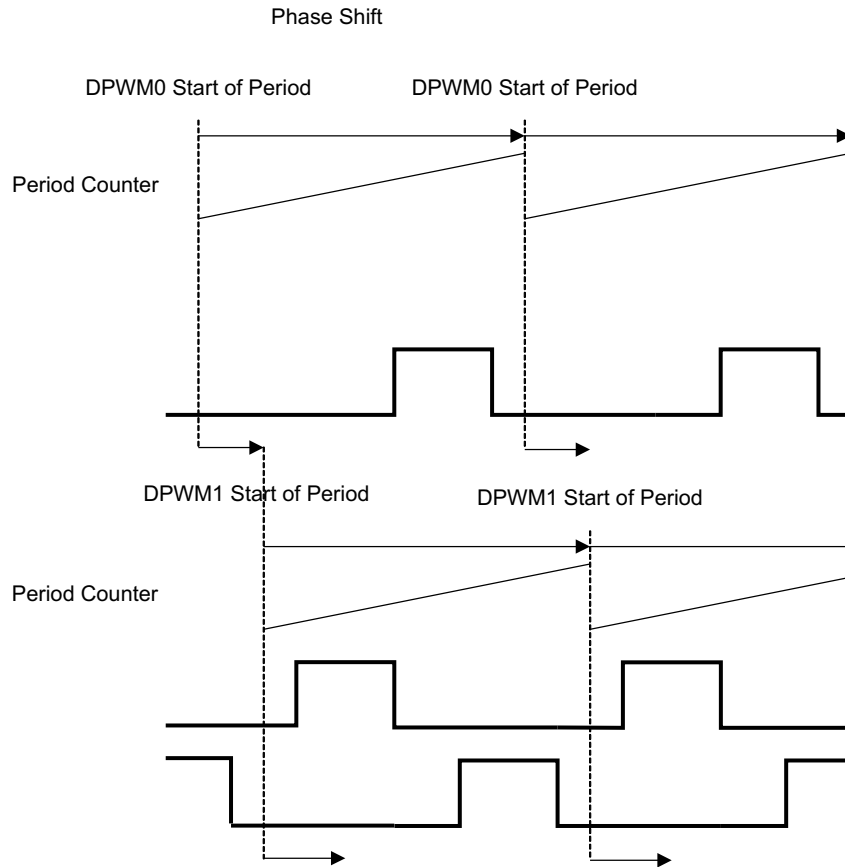
在正常模式下，周期调整 B 没有任何作用。

6.4.1.2 相移

在大多数模式下，可以使用相移信号同步多个 DPWM 模块。相移信号有两个可能的来源。它可以来自相位触发器寄存器。这可以提供一个固定值，对于交错 PFC 等应用很有用。

相移值也可以来自滤波器输入。在此情况下，滤波器输出变化会导致两个 DPWM 模块的相位关系发生变化。这对于相移全桥拓扑很有用。

相移机制如下图所示：



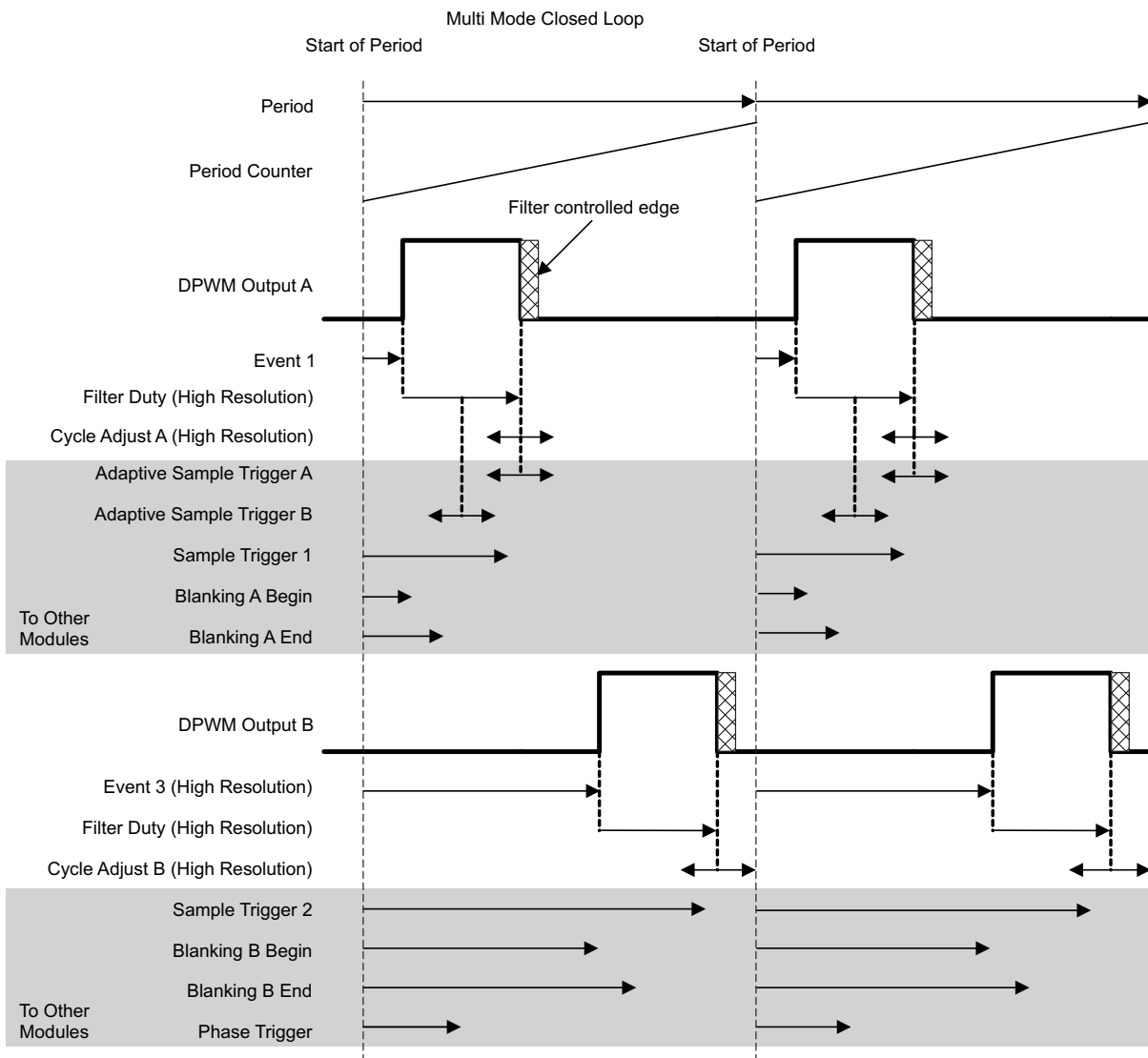
Phase Trigger = Phase Trigger Register value or Filter Duty

图 6-23. 相移

6.4.1.3 DPWM 多输出模式

多模式适用于每个相位只有一个驱动器信号的系统。在该模式下，每个 DPWM 外设可驱动两个相位，这两个相位会有相同的脉宽，但彼此之间会有时间偏移且各自具有不同的周期调节。

图 6-24 显示了多模式图。



Events which change with DPWM mode:

DPWM A Rising Edge = Event 1
 DPWM A Falling Edge = Event 1 + Filter Duty + Cycle Adjust A
 Adaptive Sample Trigger A = Event 1 + Filter Duty + Adaptive Sample Register
 Adaptive Sample Trigger B = Event 1 + Filter Duty/2 + Adaptive Sample Register
 DPWM B Rising Edge = Event 3
 DPWM B Falling Edge = Event 3 + Filter Duty + Cycle Adjust B
 Phase Trigger = Phase Trigger Register value or Filter Duty

Events always set by their registers, regardless of mode:

Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

图 6-24. DPWM 多模式闭环

在多模式下，事件 2 和事件 4 不相关。

DPWMB 可在安全跨过周期边界的同时仍保持正确的脉宽，因此完整的 100% 脉宽运行是可实现的。DPWMA 无法跨过周期边界。

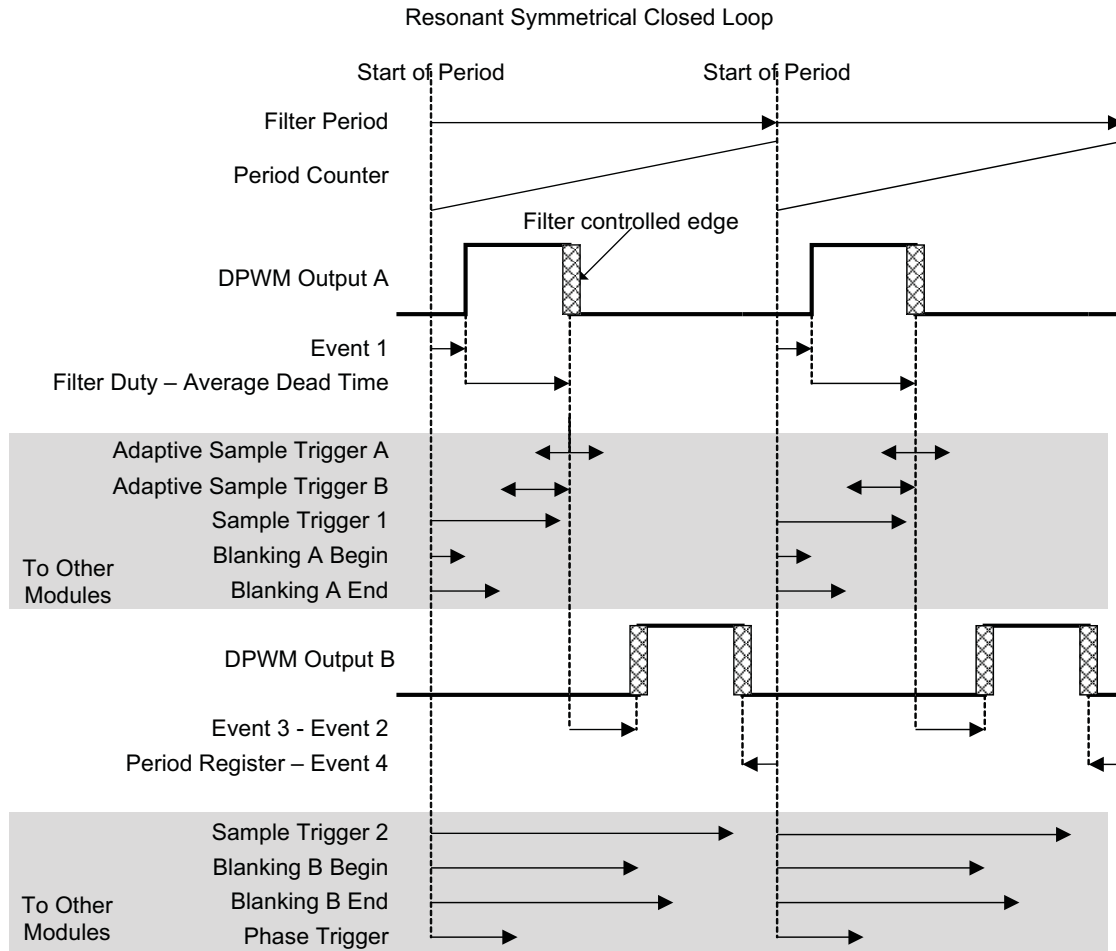
由于 DPWM B 的上升沿也是固定的，因此消隐 B 开始和消隐 B 结束也可用于消隐该上升沿。

当然，可以在 DPWM B 上使用周期调整 B。

6.4.1.4 DPWM 谐振模式

此模式可提供对称的波形，其中 DPWMA 和 DPWMB 的脉宽相同。随着开关频率的变化，脉冲之间的死区时间将保持不变。

此模式的等式是为了实现从 PWM 模式到谐振模式的顺利过渡，如节 6.3.3.2 所示。此模式如下图所示：



Events which change with DPWM mode:

$$\begin{aligned} \text{Dead Time 1} &= \text{Event 3} - \text{Event 2} \\ \text{Dead Time 2} &= \text{Event 1} + \text{Period Register} - \text{Event 4} \\ \text{Average Dead Time} &= (\text{Dead Time 1} + \text{Dead Time 2})/2 \end{aligned}$$

$$\begin{aligned} \text{DPWM A Rising Edge} &= \text{Event 1} \\ \text{DPWM A Falling Edge} &= \text{Event 1} + \text{Filter Duty} - \text{Average Dead Time} \\ \text{Adaptive Sample Trigger A} &= \text{Event 1} + \text{Filter Duty} + \text{Adaptive Sample Register} \\ \text{Adaptive Sample Trigger B} &= \text{Event 1} + \text{Filter Duty}/2 + \text{Adaptive Sample Register} \\ \text{DPWM B Rising Edge} &= \text{Event 1} + \text{Filter Duty} - \text{Average Dead Time} + (\text{Event 3} - \text{Event 2}) \\ \text{DPWM B Falling Edge} &= \text{Filter Period} - (\text{Period Register} - \text{Event 4}) \\ \text{Phase Trigger} &= \text{Phase Trigger Register value or Filter Duty} \end{aligned}$$

Events always set by their registers, regardless of mode:

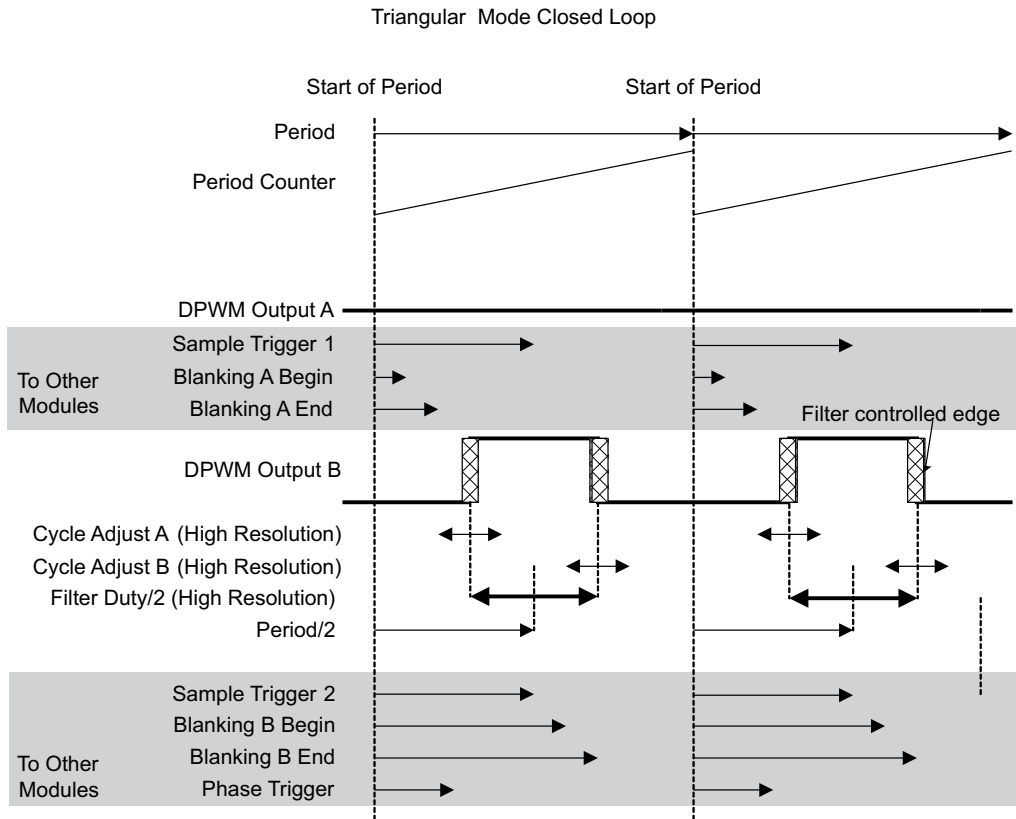
Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

图 6-25. DPWM 谐振对称模式

滤波器有两个输出，分别是滤波器负载和滤波器周期。在此情况下，配置的滤波器的滤波器周期是滤波器负载的两倍。因此，如果没有死区时间，每个 DPWM 引脚的运行时间将为整个周期的一半。为了控制死区时间，已经将两个 DPWM 引脚的死区时间的平均值从滤波器负载中减去。因此，这两个引脚会有相同的导通时间。不管周期如何，死区时间都将是固定的。与周期开始相对的唯一固定沿是 DPWM A 的上升沿。消隐信号可以很容易地用于此唯一沿。

6.4.2 三角模式

三角模式可在交错 PFC 和类似拓扑中提供稳定相移。在此情况下，PWM 脉冲集中在周期的中端，而不是从两端中的任意一端开始。在三角模式下，只有 DPWM-B 可用。三角模式如下图所示：



Events which change with DPWM mode:

DPWM A Rising Edge = None
 DPWM A Falling Edge = None
 Adaptive Sample Trigger = None
 $DPWM\ B\ Rising\ Edge = Period/2 - Filter\ Duty/2 + Cycle\ Adjust\ A$
 $DPWM\ B\ Falling\ Edge = Period/2 + Filter\ Duty/2 + Cycle\ Adjust\ B$
 Phase Trigger = Phase Trigger Register value or Filter Duty

Events always set by their registers, regardless of mode:

Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

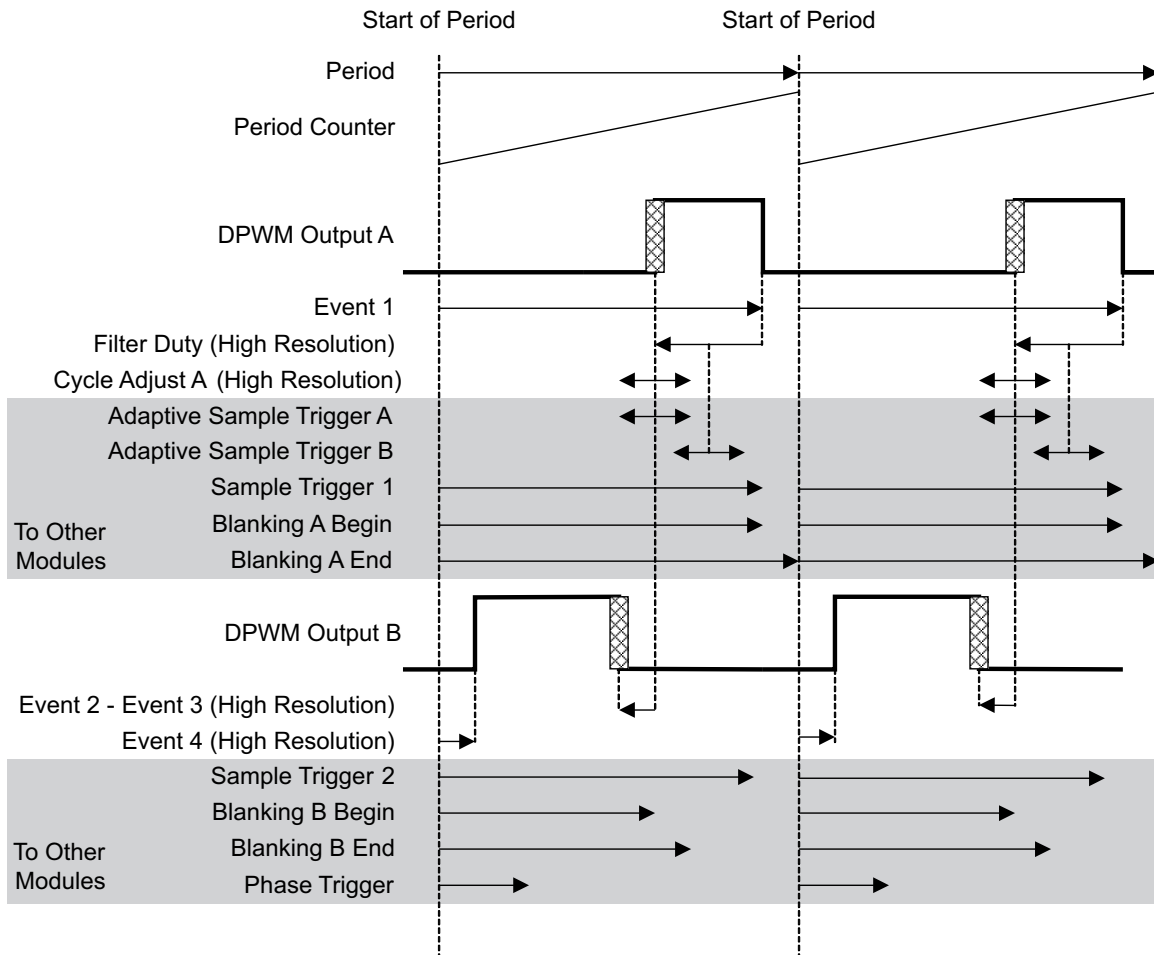
图 6-26. 三角模式

三角模式下，所有的沿都是动态的，因此固定消隐并没有多大用处。自适应样本触发器也不需要了。将固定样本触发器准确放置在 FET 导通时间的中心会很容易，因为此模式下导通时间的中心不会移动。

6.4.3 前沿模式

前沿模式与正常模式相似，但时间上是相反的。滤波器输出增加时，DPWM A 下降沿是固定不变的，上升沿会向左移动，或者时间向后倒退。DPWM B 的下降沿会保持在 DPWMA 的上升沿的前面，二者之间的间隔为固定的死区时间。前沿模式如下图所示：

Leading Edge Closed Loop



Events which change with DPWM mode:

- DPWM A Falling Edge = Event 1
- DPWM A Rising Edge = Event 1 - Filter Duty + Cycle Adjust A
- Adaptive Sample Trigger A = Event 1 - Filter Duty + Adaptive Sample Register or
- Adaptive Sample Trigger B = Event 1 - Filter Duty/2 + Adaptive Sample Register
- DPWM B Rising Edge = Event 4
- DPWM B Falling Edge = Event 1 - Filter Duty + Cycle Adjust A -(Event 2 – Event 3)
- Phase Trigger = Phase Trigger Register value or Filter Duty

Events always set by their registers, regardless of mode:

- Sample Trigger 1, Sample Trigger 2, Blanking A Begin, Blanking A End, Blanking B Begin, Blanking B End

图 6-27. 前沿模式

和正常模式下一样，周期中段的的两沿是动态的，因此固定消隐间隔主要对周期开始和结束的沿有用。

6.5 存储器

6.5.1 寄存器映射

6.5.1.1 CPU 存储器映射和中断

在器件完成上电复位后，数据存储器会映射到处理器，如下所示：

6.5.1.1.1 存储器映射（复位操作后）

地址	大小（字节）	模块
0x0000_0000 – 0x0003_FFFF 在 32 个重复块中，每个大小为 8k	32 X 8k	引导 ROM
0x0004_0000 – 0x0004_7FFF	32k	程序闪存 1
0x0004_8000 – 0x0004_FFFF	32k	程序闪存 2
0x0006_8800 – 0x0006_8FFF	2k	数据闪存
0x0006_9000 – 0x0006_9FFF	4k	数据 RAM

6.5.1.1.2 存储器映射（正常操作）

在引导 ROM 程序将要对闪存程序进行控制时，ROM 配置如下所示的存储器：

地址	大小（字节）	模块
0x0000_0000 – 0x0000_7FFF	32k	程序闪存 1（或 2）
0x0000_8000 – 0x0000_FFFF	32k	程序闪存 2（或 1）
0x0002_0000 – 0x0002_1FFF	8k	引导 ROM
0x0006_8800 – 0x0006_8FFF	2k	数据闪存
0x0006_9000 – 0x0006_9FFF	4k	数据 RAM

6.5.1.1.3 存储器映射（系统和外设块）

地址	容量	模块
0x0012_0000 - 0x0012_00FF	256	环路复用
0x0013_0000 - 0x0013_00FF	256	故障复用
0x0014_0000 - 0x0014_00FF	256	ADC
0x0015_0000 - 0x0015_00FF	256	DPWM 3
0x0016_0000 - 0x0016_00FF	256	滤波器 2
0x0017_0000 - 0x0017_00FF	256	DPWM 2
0x0018_0000 - 0x0018_00FF	256	前端/斜坡接口 2
0x0019_0000 - 0x0019_00FF	256	滤波器 1
0x001A_0000 - 0x001A_00FF	256	DPWM 1
0x001B_0000 - 0x001B_00FF	256	前端/斜坡接口 1
0x001C_0000 - 0x001C_00FF	256	滤波器 0
0x001D_0000 - 0x001D_00FF	256	DPWM 0
0x001E_0000 - 0x001E_00FF	256	前端/斜坡接口 0
0xFFF7_EC00 - 0xFFF7_ECFE	256	UART0
0xFFF7_ED00 - 0xFFF7_EDFE	256	UART1
0xFFF7_F000 - 0xFFF7_F0FE	256	杂项模拟控制
0xFFF7_F600 - 0xFFF7_F6FE	256	PMBus 接口
0xFFF7_FA00 - 0xFFF7_FAFE	256	GIO
0xFFF7_FD00 - 0xFFF7_FDFE	256	计时器
0xFFFF_FD00 - 0xFFFF_FDFE	256	MMC
0xFFFF_FE00 - 0xFFFF_FEFE	256	DEC
0xFFFF_FF20 - 0xFFFF_FF37	23	CIM
0xFFFF_FF40 - 0xFFFF_FF50	16	PSA

地址	容量	模块
0xFFFF_FF00 - 0xFFFF_FFEC	28	系统 (SYS)

各个外设的程序员手册详细介绍了系统和外设块内部的寄存器和位定义。

6.5.1.2 引导 ROM

UCD3138064 包含一个 8kB 引导 ROM。此引导 ROM 支持：

- 通过 PMBus 下载程序
- 器件初始化
- 检查和修改寄存器和存储器
- 自动验证和执行程序闪存
- 跳至用户指定的引导程序
- 校验和评估，以促进从程序闪存 1 或 程序闪存 2 执行程序

器件复位时会自动输入引导 ROM。引导 ROM 将器件初始化，然后在程序闪存上执行校验和。如果这两个程序闪存中任一个的前 2kB 校验和有效，该程序就会转移到相应程序闪存模块中的位置 0。这允许使用自定义引导程序。如果最初的校验和失败，则执行一些其他的校验和计算，以确定有效程序的位置。在不需要自定义引导程序时，允许全自动程序存储器检查。完整的决策树位于 图 6-28。“转移至程序闪存 1”意味着闪存 1 位于地址 0x0000，闪存 2 位于地址 0x8000。“转移至程序闪存 2”意味着闪存 2 位于地址 0x0000，闪存 1 位于地址 0x8000。

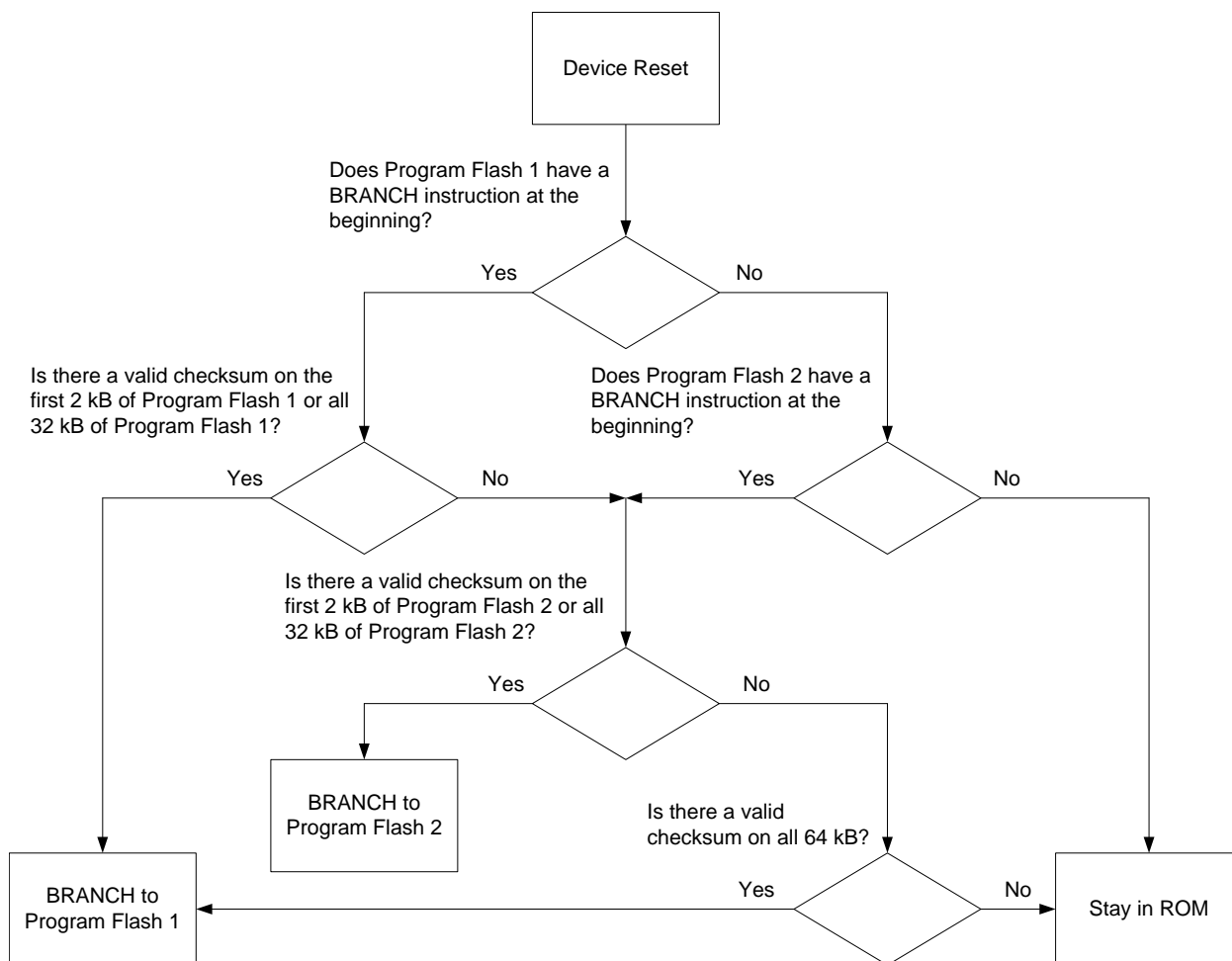


图 6-28. 校验和评估流程图

如果不存在有效的校验和，则引导 ROM 仍处于控制中，可通过 PMBus 接口接受命令。这些功能可用于读取和写入到 UCD3138064 中的所有存储器位置。通常情况下，这些功能用于将程序下载到程序闪存，并命令程序执行。

6.5.1.3 客户引导程序

如上所述，使用 2kB 或 2kB 以上的程序闪存生成用户引导程序是可能实现的。这可以支持引导 ROM 不能支持的内容，包括：

- 通过 UART 下载程序，这对于 UCD3138064 与主机隔离的应用要求尤其有用
- 加密下载，这对于在字段更新中保证代码安全非常有用。
- 不同地址的 PMBus 下载

6.5.1.4 闪存管理

UCD3138064 具有各种具有便于轻松完成原型设计和闪存编程。同时，即便是在进行字段更新时，生产代码的安全级别也可以很高。还配备了标准固件，用于在数据闪存中存储系统参数的多个副本。这可以在数据闪存编程中断时最大程度降低信息丢失的风险。

6.5.1.5 同步整流器 MOSFET 斜坡和 IDE 计算

UCD3138064 拥有用于优化同步整流器 MOSFET 性能的内置逻辑。具有两种形式：

- 同步整流器 MOSFET 斜坡
- 理想二极管仿真 (IDE) 计算

启动电源时，输出上通常已经存在电压，这可以称作预偏置。这种情况下，计算理想的同步整流器 MOSFET 导通时间会非常困难。如果导通时间计算不准确，可能会下拉预偏置电压，导致电源灌入电流。为避免出现这种情况，只有在电源电压斜升至标称输出电压之后，才能打开同步整流器 MOSFET。并且应缓慢打开同步整流器 MOSFET，以避免出现输出电压故障。使用同步整流器 MOSFET 斜坡逻辑能以远低于滤波器带宽的速度打开同步整流器 MOSFET。

在非连续模式下，同步整流器 MOSFET 的理想导通时间是 V_{in} 、 V_{out} 和初级侧占空比 (D) 的函数。UCD3138064 中的 IDE 逻辑获取固件的 V_{in} 和 V_{out} 数据，并将其与滤波器硬件的 D 数据结合起来。然后使用这些信息计算理想的同步整流器 MOSFET 导通时间。

7 应用、实施和布局

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

UCD3138x 有一整套完全可编程的高性能外设，适用于各种不同的电源 应用，SN65HVD101 和 'HVD102 采用 20 引脚 RGB 封装 (4 mm × 3.5 mm QFN)。为了使这个部件更方便使用，TI 针对几个关键应用准备了具有 材料，以展示该器件的各种 应用，SN65HVD101 和 'HVD102 采用 20 引脚 RGB 封装 (4 mm × 3.5 mm QFN)。针对各个情况提供的材料如下所示：

1. 展示典型电源功能的全功能 EVM 硬件。
2. EVM 用户指南，包含原理图、物料清单、布局指南以及展示器件和硬件的性能和 具有的测试数据。
3. 分步介绍代码信息的固件程序员手册。

表 7-1. 应用信息

应用	EVM 说明
相移全桥	此 EVM 展示了使用 UCD3138x 器件的采用数字控制的 PSFB 直流/直流电源转换器。控制通过具有斜坡补偿的 PCMC 实现。这种方法不再需要一连串阻隔电容器，而且提供了来自 PCMC 的固有输入电压前馈，简化了硬件设计。控制器位于子卡上，需要固件才能运行。TI 可提供这种固件和全部的源代码，而且还提供免费的自定义功能 GUI，以帮助用户试用不同硬件和软件启用的 功能的磁场感测解决方案。该 EVM 接受 350VDC 至 400VDC 的直流输入，并输出额定 12VDC，其中满载输出功率为 360W 或最大输出电流为 30A。
LLC 谐振转换器	该 EVM 展示了使用 UCD3138x 器件的采用数字控制的 LLC 谐振半桥直流/直流电源转换器。控制器位于子卡上，需要固件才能运行。TI 可提供这种固件和全部的源代码，而且还提供免费的自定义功能 GUI，以帮助用户试用不同硬件和软件启用的 功能的磁场感测解决方案。该 EVM 接受 350VDC 至 400VDC 的直流输入，并输出额定 12VDC，其中满载输出功率为 340W 或最大输出电流为 29A。

7.2 典型应用

此部分概述了 PSFB EVM 直流/直流电源转换器。

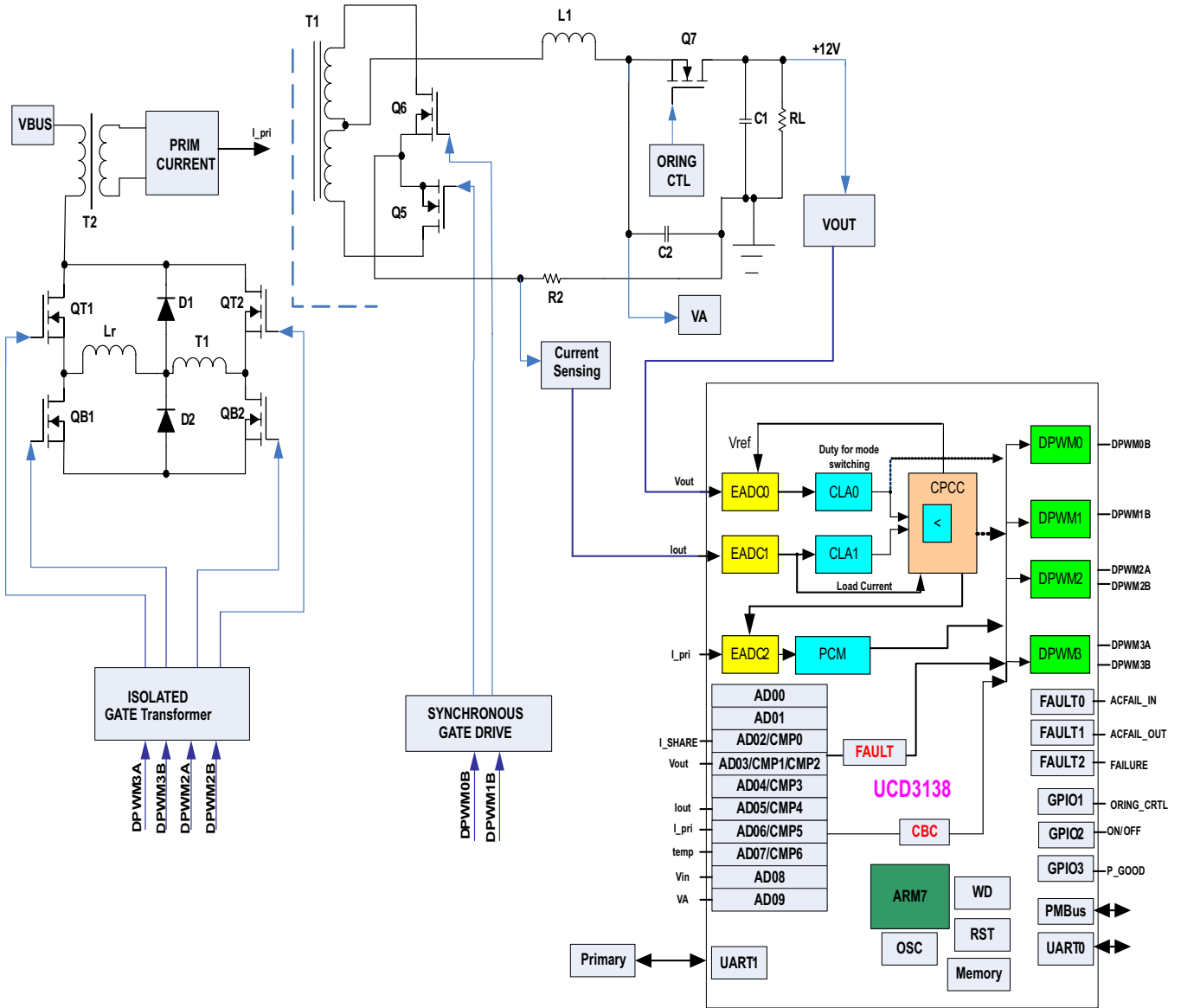


图 7-1. 相移全桥

7.2.1 设计要求

表 7-2. 输入特点

参数	条件	最小值	典型值	最大值	单位
除非特别说明，所有规格参数均在 $V_{in}=400V$ 和环境温度为 $25^{\circ}C$ 的条件下。					
V_{in} 输入电压范围	正常运行	350	385	420	V
V_{inmax} 最大输入电压	连续			420	V
I_{in} 输入电流	$V_{in}=350V$, 满负载		1.15		A
I_{stby} 空载输入电流	输出电流是 0A		30		mA
V_{on}	欠压锁定	V_{in} 下降 (在次级侧检测到输入电压)		340	V
V_{hys}		V_{in} 升高		360	V

表 7-3. 输出特征

参数	条件	最小值	典型值	最大值	单位
除非特别说明，所有规格参数均在 $V_{in}=400V$ 和环境温度为 $25^{\circ}C$ 的条件下。					
V_O 输出电压设定点	输出无负载		12		V
Reg_{line} 电源调整率	所有输出; $360 \leq V_{in} \leq 420$; $I_O = I_{Omax}$			0.5	%
Reg_{load} 负载调整率	所有输出; $0 \leq I_O \leq I_{Omax}$; $V_{in} = 400V$			1	%
V_n 波纹和噪声 ⁽¹⁾	5Hz 至 20MHz		100		mVpp
I_O 输出电流		0		30	A
η 相移模式下的效率	$V_o = 12V$, $I_o = 15A$		93%		
η PWM ZVS 模式下的效率	$V_o = 12V$, $I_o = 15A$		93%		
η 硬开关模式下的效率	$V_o = 12V$, $I_o = 15A$		90%		
V_{adj} 输出调节范围		11.4		12.6	V
V_{tr} 瞬态响应过冲/下冲	1A μ S 时 50% 负载阶跃, 2A 时负载最低		± 0.36		V
$t_{settling}$ 瞬态响应趋稳时间			100		μ S
t_{start} 输出上升时间	V_{out} 的 10% 至 90%		50		mS
	过冲			2	%
f_s 开关频率	超过 V_{in} 和 I_O 范围		150		kHz
I_{share} 电流共享准确度	50% - 满负载		± 5		%
ϕ 环路相补角	10% - 满负载		45		度
G 环路增益裕量	10% - 满负载		10		dB

(1) 使用跨越输出的 10 μ F 钽电容器和 0.1 μ F 陶瓷电容器测量波纹和噪声。

7.2.2 详细设计流程

7.2.2.1 PCMC (峰值电流模式控制) PSFB (相移全桥) 硬件配置概述

UCD3138x PCMC PSFB 转换器的硬件配置包含两个关键元素，在后续部分会重点介绍。

- DPWM 初始化 - 这部分将重点介绍关键寄存器设置以及使用 UCD3138x 生成此拓扑的正确 MOSFET 波形的必要注意事项。这将维持 MOSFET 和同步整流器之间的正确相位关系，以及协同 PCMC 一起正常运行所需的恰当设置。
- PCMC 初始化 - 这部分将探讨寄存器设置，以及借助 PCMC 和内部斜坡补偿调制 DPWM 引脚的必要硬件注意事项。

7.2.2.2 PSFB 的 DPWM 初始化

UCD3138x DPWM 外设为各种不同的拓扑提供灵活性。PSFB 配置利用 DPWM 的内部多路复用器和沿生成模块。有关展示这些模块的示意图，请参阅《UCD3138x 数字电源外设手册》。

PSFB 的功率级原理图如下所示：

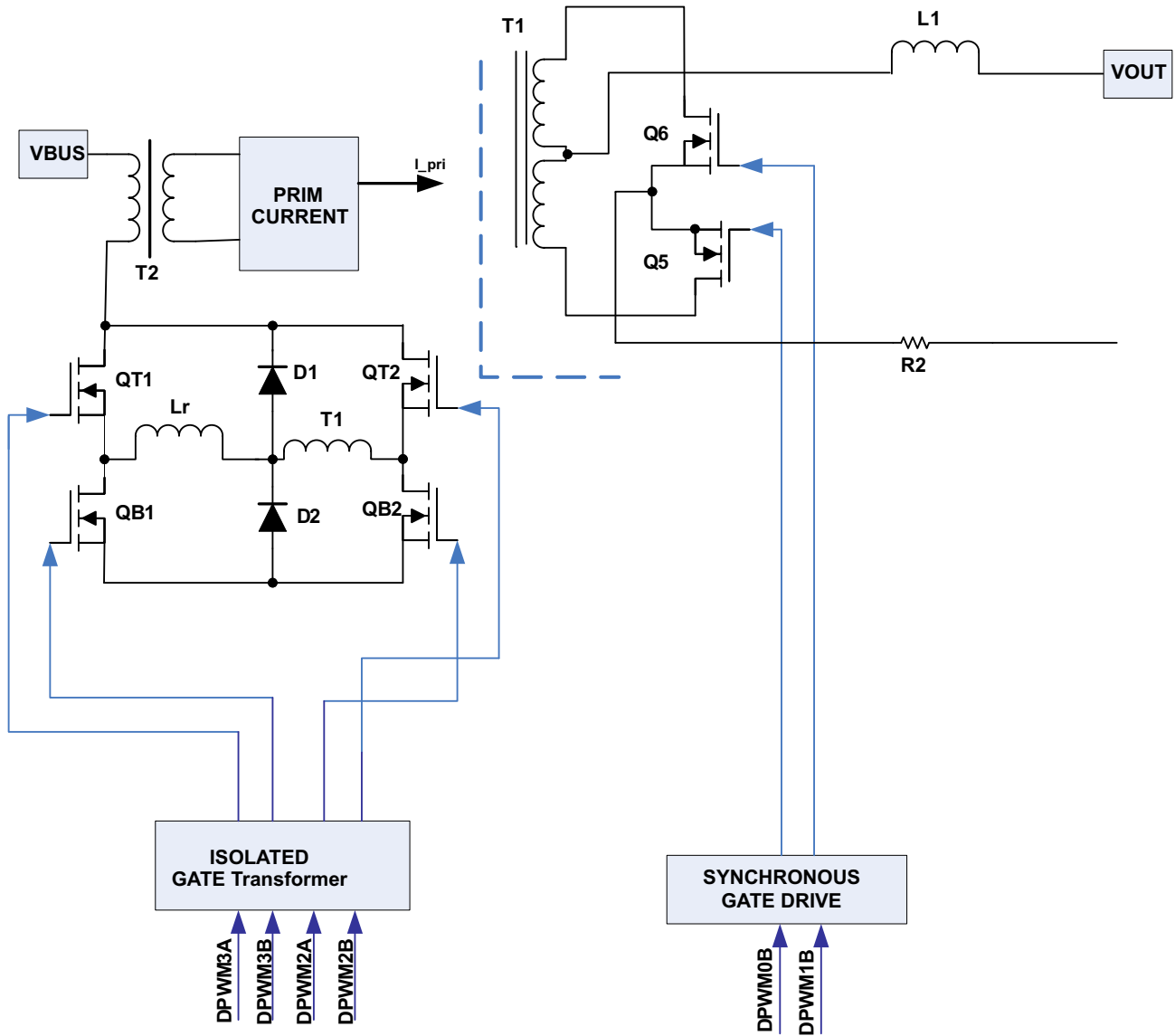
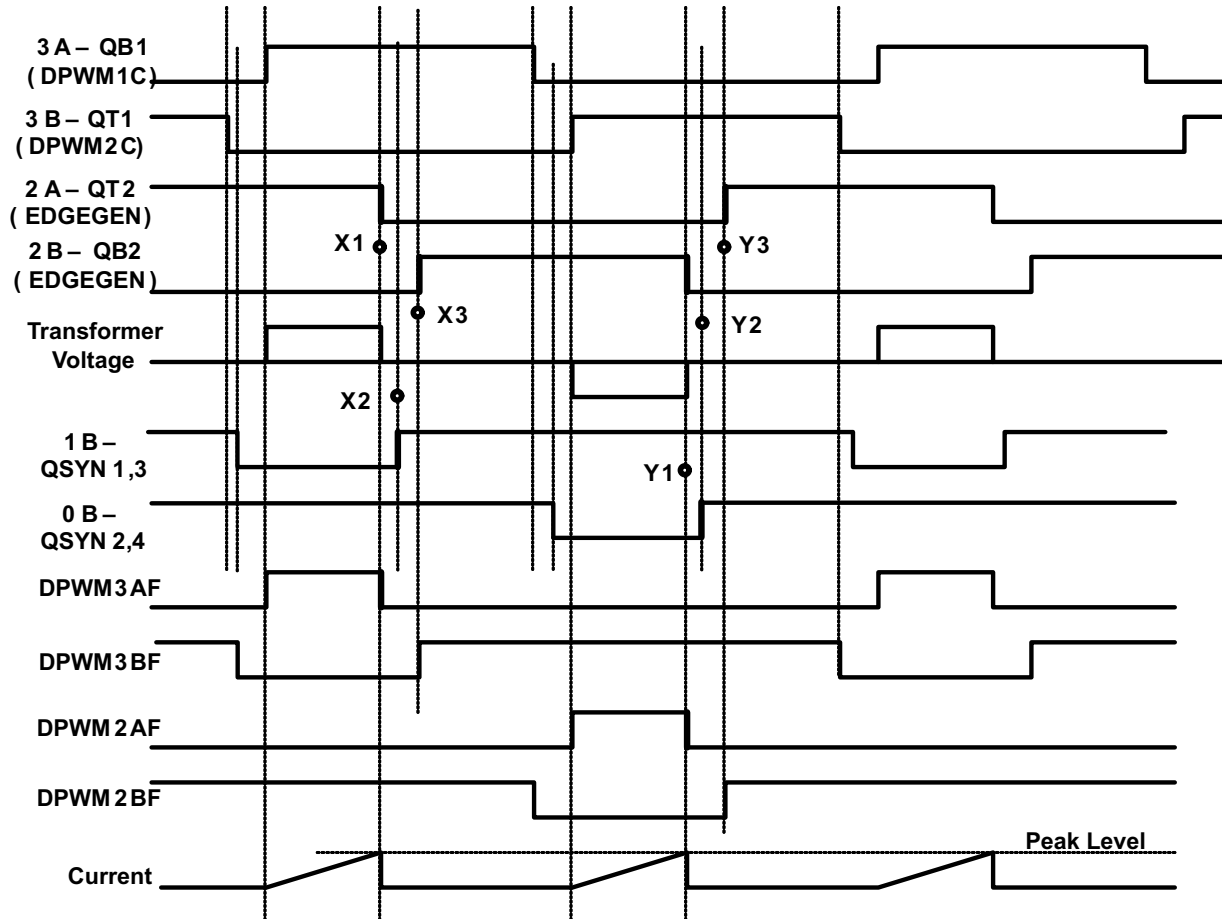


图 7-2. 原理图 – PSFB 功率级

关键 PSFB 信号概览如下所示:



X1, X2, X3 and Y1, Y2, Y3 are sets of moving edges
All other edges are fixed .

图 7-3. 关键 PSFB 信号

7.2.2.2.1 DPWM 同步

使用下列命令将 DPWM1 同步到 DPWM0, DPWM2 同步到 DPWM1, DPWM3 同步到 DPWM2 (½ 周期异相) :

```
Dpwm1Regs.DPWMCTRL0.bit.MSYNC_SLAVE_EN = 1; //configured to slave
Dpwm2Regs.DPWMCTRL0.bit.MSYNC_SLAVE_EN = 1; // configured to slave
Dpwm3Regs.DPWMCTRL0.bit.MSYNC_SLAVE_EN = 1; // configured to slave
```

```
Dpwm0Regs.DPWMPHASETRIG.all = PWM_SLAVESYNC;
Dpwm1Regs.DPWMPHASETRIG.all = PWM_SLAVESYNC;
Dpwm2Regs.DPWMPHASETRIG.all = PWM_SLAVESYNC;
```

```
LoopMuxRegs.DPWMMUX.bit.DPWM1_SYNC_SEL // Slave to dpwm-0
= 0; // Slave to dpwm-1
LoopMuxRegs.DPWMMUX.bit.DPWM2_SYNC_SEL // Slave to dpwm-2
= 1;
LoopMuxRegs.DPWMMUX.bit.DPWM3_SYNC_SEL
= 2;
```

如果 DPWM 上的事件寄存器相同，两对信号将是对称的。除非另有说明，所有代码示例均取自 PSFB EVM 代码。

7.2.2.3 桥固定信号

上图中的最上面两个信号有固定时序。DPWM1CF 和 DPWM2CF 信号用于这些引脚。DPWMCx_F 指的是从 DPWMx 故障模块发出的信号，如图 7-4 所示。

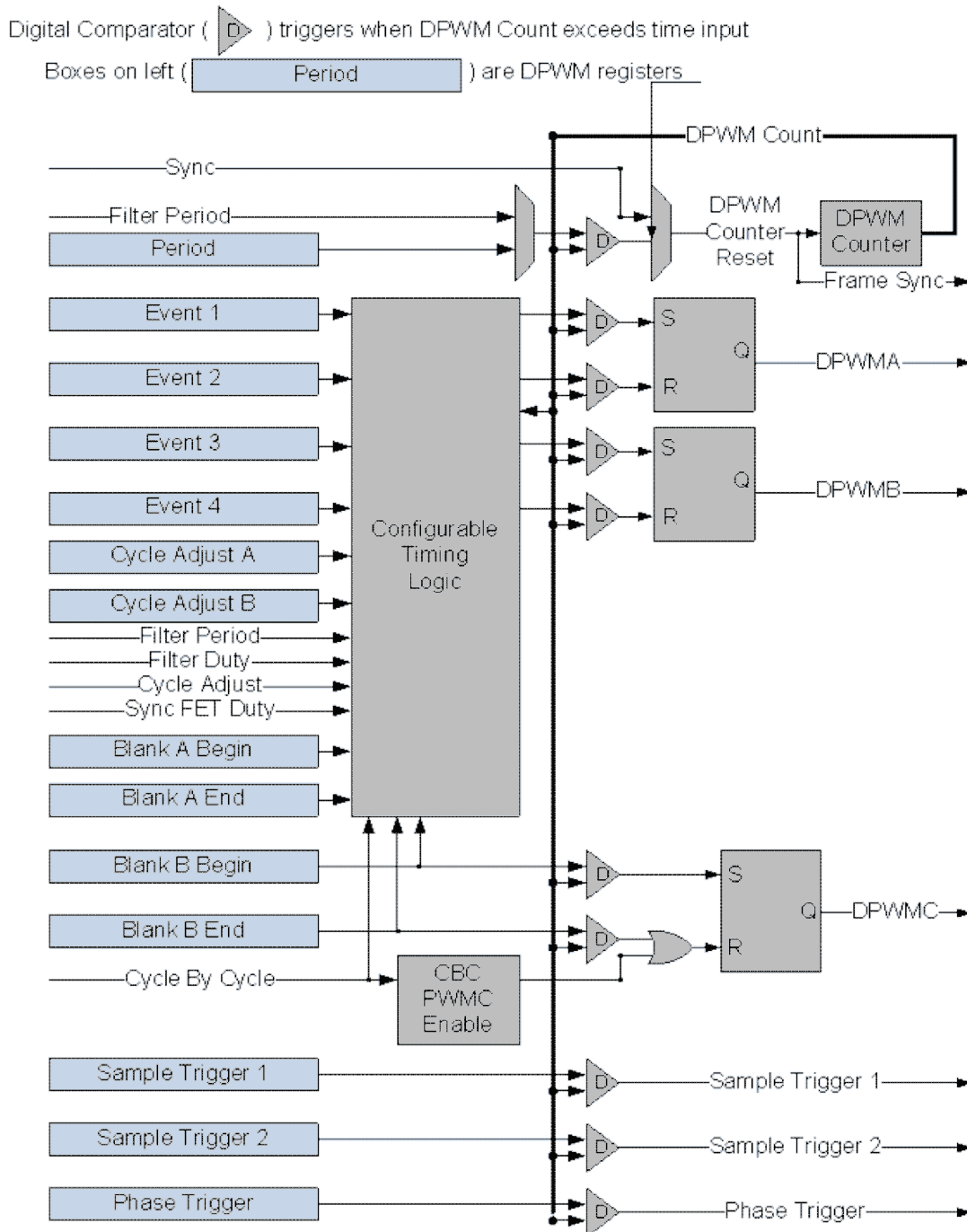


图 7-4. 桥固定信号

实际上，这些信号通过下列这些语句，使用内部多路复用器路由到 DPWM3A 和 3B 引脚：

```
Dpwm3Regs.DPWMCTRL0.bit.PWM_A_INTRA_MUX = 7; // Send DPWM1C
Dpwm3Regs.DPWMCTRL0.bit.PWM_B_INTRA_MUX = 8; // Send DPWM2C
```

由于这些信号实际上作为事件在计时器中使用，因此 #define 被称为 EV5 和 EV6。用于初始化这些信号的语句如下所示：

```
// Setup waveform for DPWM-C (re-using blanking B regs)
Dpwm2Regs.DPWMBLKBBEG.all = PWM2_EV5 + (4 * 16);
Dpwm2Regs.DPWMBLKBEND.all = PWM2_EV6;
```

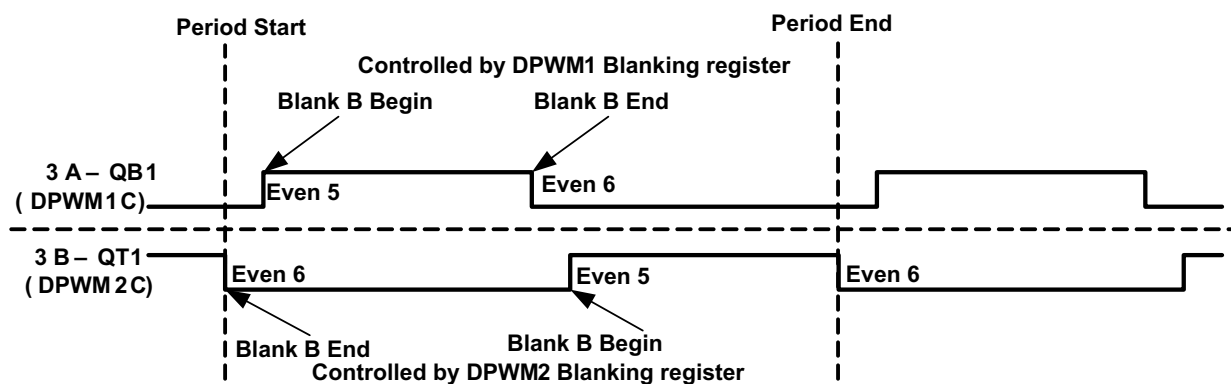


图 7-5. 消隐 B 时序信息

针对 DPWM1 的语句是相同的。请记住，DPWMC 重复使用消隐 B 寄存器获取时序信息。

7.2.2.4 桥动态信号

DPWM0 和 1 均设置为正常模式。PCMC 触发信号（故障）会逐周期削减 DPWM0A 和 1A。相应的 DPWM0B 和 1B 则用于同步整流器 MOSFET 控制。相同的 PCMC 触发信号会被应用于 DPWM2 和 DPWM3。DPWM2 和 DPWM3 也设置为正常模式。DPWM2 和 3 被削减，它们的沿用于生成下两个桥动态信号。生成这两个信号时使用的是 DPWM2 中的沿发生器模块。沿发生器源是 DPWM2 和 DPWM3。使用的沿包括：

- 通过 DPWM2BF 的上升沿开启 DPWM2A
- 通过 DPWM3AF 的下降沿关闭 DPWM2A
- 通过 DPWM3BF 的上升沿开启 DPWM2B
- 通过 DPWM2AF 的下降沿关闭 DPWM2B

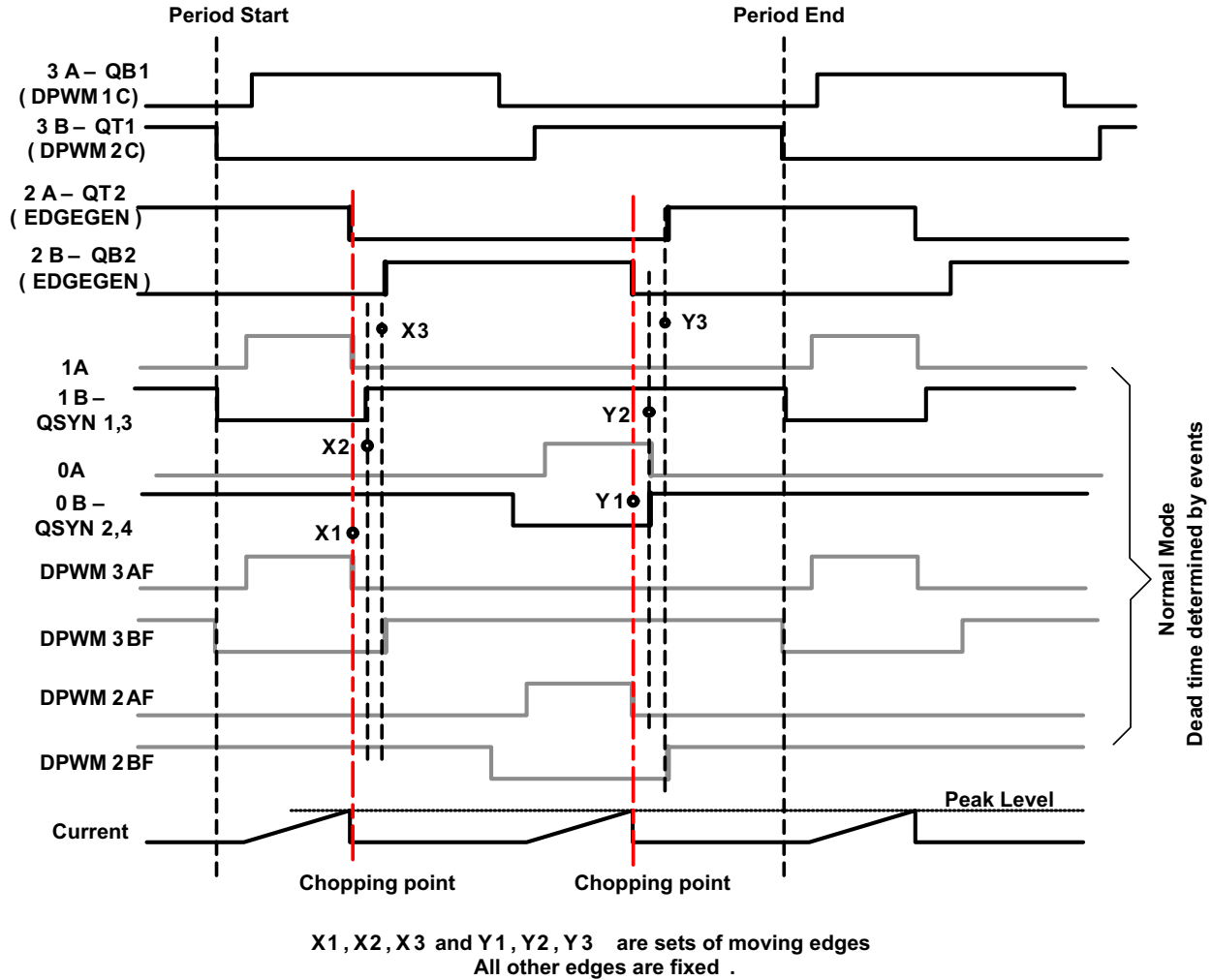


图 7-6. 桥动态信号

沿发生器通过下列语句配置:

```
Dpwm2Regs.DPWMEDGEGEN.bit.A_ON_EDGE = 2;
Dpwm2Regs.DPWMEDGEGEN.bit.A_OFF_EDGE = 5;
Dpwm2Regs.DPWMEDGEGEN.bit.B_ON_EDGE = 6;
Dpwm2Regs.DPWMEDGEGEN.bit.B_OFF_EDGE = 1;
```

```
Dpwm2Regs.DPWMCTRL0.bit.PWM_A_INTRA_MUX = 1; // EDGEGEN-A out the A output
Dpwm2Regs.DPWMCTRL0.bit.PWM_B_INTRA_MUX = 1; // EDGEGEN-B out the B output
```

```
Dpwm2Regs.DPWMEDGEGEN.bit.EDGE_EN = 1;
```

4 个 DPWM 均设置了 EDGE_EN 位。这用于确保所有的信号穿过 DPWM 时具有相同的时序延迟。

最后 6 个栅极信号如图 7-7 所示。

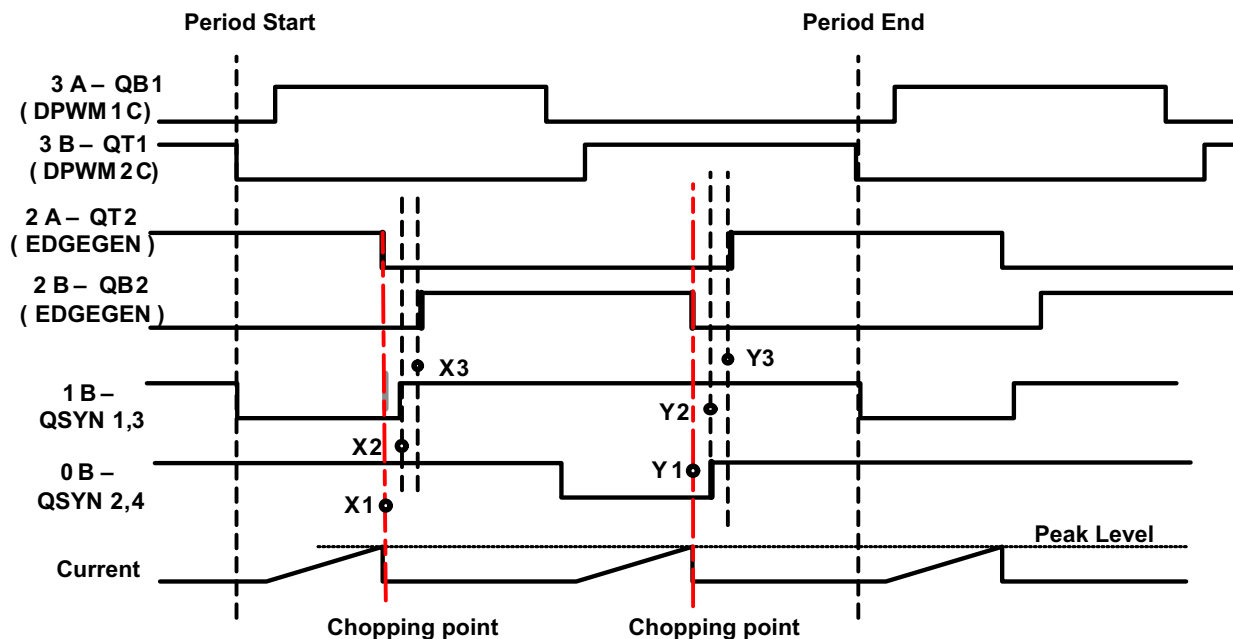


图 7-7. 最后 6 个栅极信号

注意 DPWM2AF 的下降沿如何与 X1 沿对准，以及 DPWM2BF 的上升沿如何与 X3 沿对准。DPWM2AF 和 DPWM3AF 的下降沿由峰值检测逻辑引起。这通过逐周期逻辑馈送。逐周期逻辑也具有特殊功能，可控制 DPWM2BF (X1 和 X3) 以及 DPWM3BF (Y1 和 Y3) 的上升沿。它使用事件 3 – 事件 2 的值来控制不同沿之间的时间。DPWM0 和 DPWM1 也使用这一功能来控制 X2 和 Y2 信号。使用其他 2 个 DPWM 可让这些信号具有不同的死区时间。

电压模式控制也可使用同样的设置。在此情况下，滤波器输出设置 DPWMxAF 下降沿的时序。

所有 DPWM 均配置为正常模式，并启用 CBC。如果使用了外部斜坡补偿，DPWM1A 和 DPWM1B 用于在每半个周期的开始阶段对外部补偿器进行复位。如果未发生 PCMC 事件，和开环模式下一样，事件 2 和 3 的值决定各沿的位置。

7.2.2.5 PCM 系统初始化

PCM（峰值电流模式）是 UCD3138x 的一项专用配置，涉及多种外设。这部分描述了峰值电流模式如何跨越不同外设运作。

7.2.2.5.1 PSFB 中前端和滤波器的使用

三个前端均可在 PSFB 中使用。PCMC 和电压模式下，相同位置使用相同信号。这两种控制模式可使用相同的硬件，其中模式由加载到器件中的固件决定。FE0 和 FE1 与各自关联的滤波器一起使用，但是根本不会用到滤波器 2。

- FE0 – Vout – 电压环路
- FE1 – Iout – 电流环路
- FE2 – I_{pri} – PCM

在 PCMC 模式下，FE2 用于 PCMC，而且电压环路通常用于提供补偿斜坡的起始点。如果 CPCC 固件检测到需要使用恒流模式，其将切换到电流环路，提供起始点。

7.2.2.5.2 峰值电流检测

峰值电流检测涉及所有重要的 DPP、前端、滤波器、环路多路复用器、故障多路复用器和 DPWM 模块。主要元素图如图 7-8 所示。

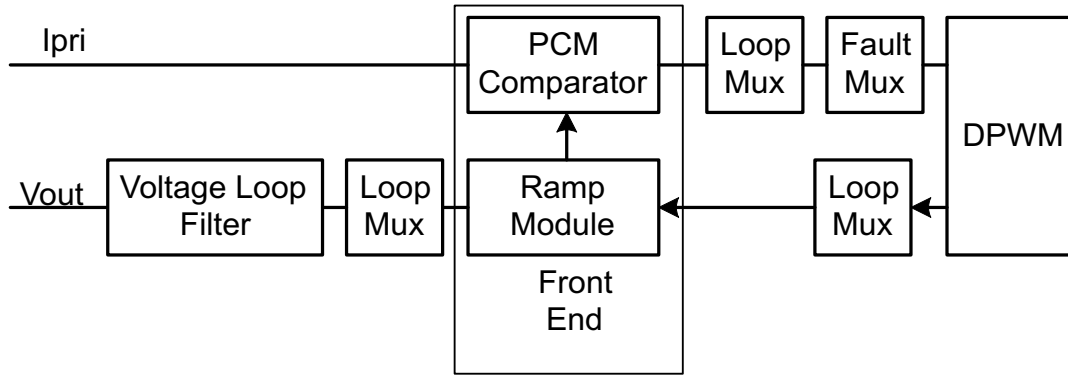


图 7-8. 峰值电流检测功能

所有不带箭头的信号的流向均为从左至右。电压环路用于选择一个峰值电流等级。这个等级被馈送到斜坡模块，以生成补偿斜坡。前端中的 PCMC 比较器将此补偿斜坡与初级电流进行比较。当斜坡值大于初级电流时，APCMC 信号就会发送至 DPWM，产生先前部分描述的事件。

DPWM 帧启动和输出引脚信号可用于触发斜坡模块。与其他斜坡模块的功能不同，这此情况下，每个 DPWM 帧将触发斜坡的启动。斜坡的阶跃间隔是 32ns。

滤波器正常配置，PCMC 没有实质差异。LoopMux.PCMCTRL 寄存器中的 PCM_FILTER_SEL 位用于选择与斜坡模块连接的滤波器：

```
LoopMuxRegs.PCMCTRL.bit.PCM_FILTER_SEL = 0; //select filter0
```

固件功率/电流恒定时，滤波器 1 和前端 1 作为电流控制环路使用，并将 EADC DAC 设置为高电流。当电压环路值大于电流环路值时，滤波器 1 则用于控制 PCM 斜坡启动值：

```
LoopMuxRegs.PCMCTRL.bit.PCM_FILTER_SEL = 1;
//select filter1 for slope compensation source
```

在斜坡模式下，RAMPCTRL 寄存器中有 2 个位域必须进行配置。必须将 PCM_START_SEL 设置为 a 1，以使滤波器能作为斜坡启动源使用。当然，也必须设置 RAMP_EN 位。

DAC_STEP 寄存器设置补偿斜坡的斜率。当然，该 DAC 值以伏特为单位，因此必须在电流转换到电压后再计算斜率。将毫伏每微秒转换到 DACSTEP 的公式如下所示。

m = 以毫伏每微秒为单位的补偿斜率

$$ACSTEP = 335.5 \times M$$

如果是 C 语言，则可以编写下列语句：

```
#define COMPENSATION_SLOPE 150 //compensation slope in millivolts per microsecond
#define DACSTEP_COMP_VALUE ((int) (COMPENSATION_SLOPE*335.5) )
//value in DACSTEP for desired compensation slope

FeCtrl0Regs.DACSTEP.all = DACSTEP_COMP_VALUE;
```

可能还需要在 RAMPDACEND 寄存器中设置斜坡结束值。

另外，还需要在 EADCCTRL 寄存器中设置 D2S_COMP_EN 位。这可以实现单端比较器功能差动。为简单起见，前端图将此省略，但是 DAC 和 EADC 放大器之间的连接确实是差动的。但是，PCMC 比较器是单端的。因此，有必要如图 7-9 所示进行转换。

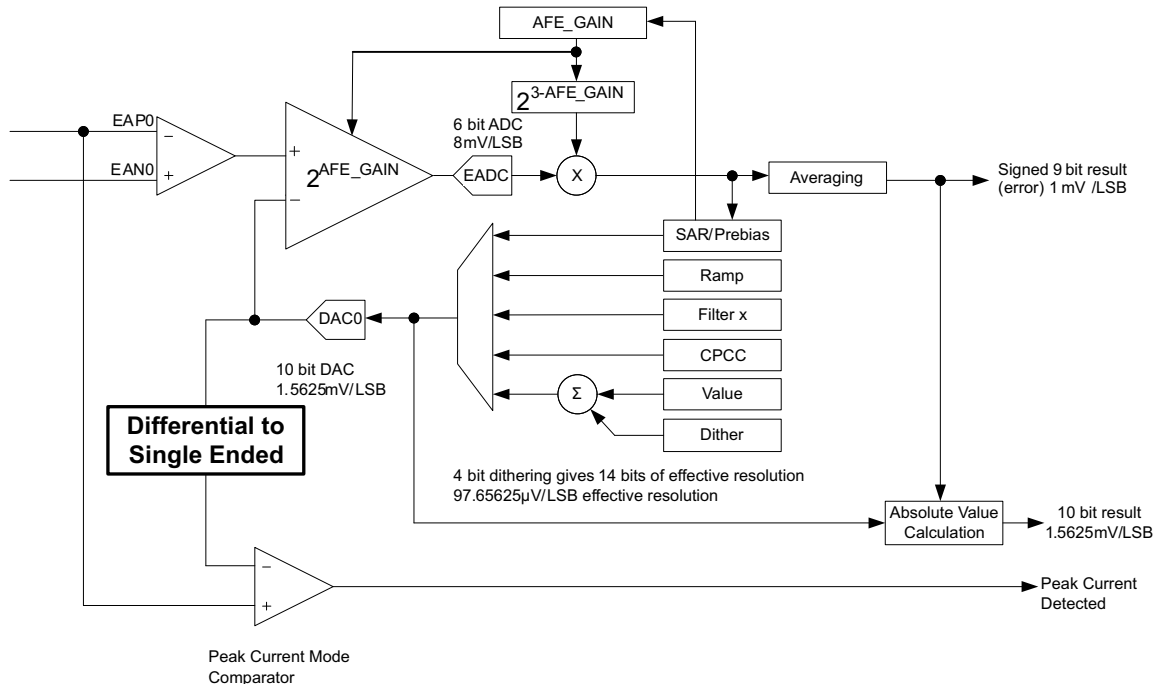


图 7-9. 单端比较器功能差动

峰值电流模式下，EADCCTRL 中的 EADC_MODE 位应该设置为 a 5。

然后，峰值电流检测信号进入环路多路复用器。故障多路复用器只有 1 个 APCM 输入，但是有 3 个前端。因此，必须设置 APCMCTRL 中的 PCM_FE_SEL 位以选择要使用的前端：

LoopMuxRegs.APCMCTRL.bit.PCM_FE_SEL = 2; // use FE2 for PCM */

也必须设置 PCM_EN 位。

LoopMuxRegs.APCMCTRL.bit.PCM_EN = 1; // Enable PCM

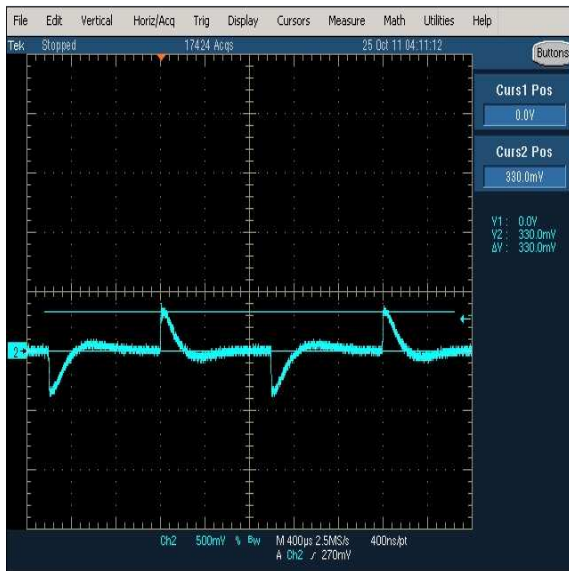
之后，使用故障多路复用器将 APCM 位发送到 CLIM/CBC 信号再到 DPWM。共有 4 个 DPWMxCLIM 寄存器，每个 DPWM 使用一个。必须在每个寄存器中设置 ANALOG_PCM_EN 位，以将 PCM 检测信号与每个 DPWM 上的 CLIM/CBC 信号连接。有关所有这些位的最新配置信息，请参阅适用的 EVM 固件。为避免出现错误，最好使用相同的 DPWM、滤波器和前端来配置硬件设计，从而实现与 EVM 相同的功能。

DPWM 时序用于触发斜坡的启动。这由环路多路复用器中的 FECTRLxMUX 寄存器进行选择。一旦设置 DPWMx_FRAME_SYNC_EN 位，将导致斜坡在 DPWM 周期的开始被触发。

7.2.2.5.3 峰值电流模式 (PCM)

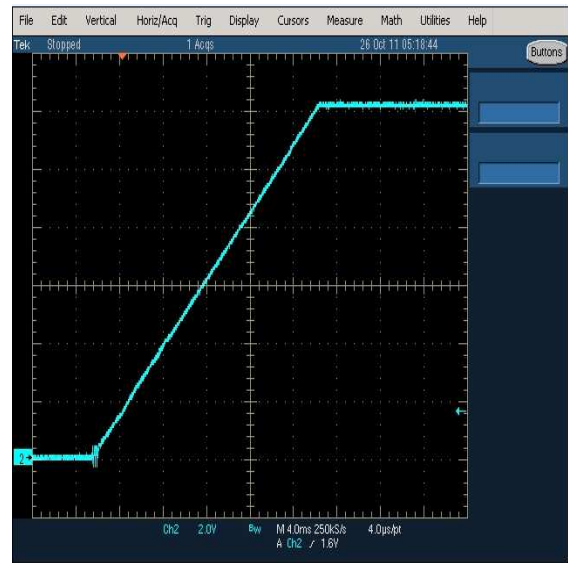
器件中只有一个峰值电流模式控制模块，但是可以配置任何前端使用该模块。

7.2.3 应用曲线



1A-16A-1A Vin = 385V

图 7-10. 负载瞬态



30A 负载 syncFET 关闭

图 7-11. V_{OUT} 软启动

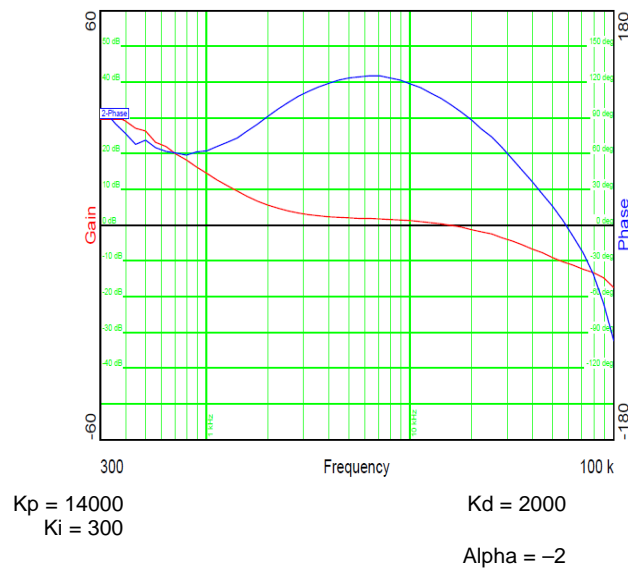


图 7-12. 波特图

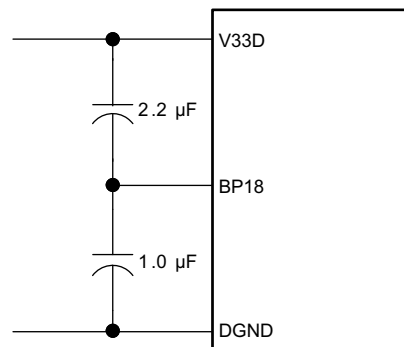
7.2.4 电源相关建议

- 3.3VD 和 3.3VA 都应该在尽可能接近器件引脚的位置放置一个本机 4.7 μ F 电容器
- BP18 应该有一个 1 μ F 电容器。

7.2.5 布局

7.2.5.1 器件接地和布局指南

- 建议单点接地：SGND。建议使用多层板（如 4 层板），以便有一个固定的 SGND 专用于电流回流路径，这在布局示例中有所提及。
- 针对去耦电路上不同的频率范围，应用多种不同的电容器。每个电容器有不同的 ESL 和 ESR，可产生不同的频率响应。
- 避免在辐射组件附近布置较长的迹线，将这些迹线放入内层，最好要有接地屏蔽，并且在终端添加终端电路。
- ADC 感应线路等模拟电路需要有进入模拟电路的电流回流路径；GPIO、PMBus 和 PWM 等数字电路需要进入数字电路的电流回流路径；即使使用的是单层平面，也仍需尽力避免将模拟电流和数字电流混合。
- 不要使用铁氧体磁珠或超过 3 Ω 的电阻器连接 V33A 和 V33D。
- 3.3VD 和 3.3VA 都应在靠近器件电源引脚的位置配备本机去耦电容器，添加通孔以直接连接去耦电容器和 SGND。
- 避免在任何引脚上出现负电流/负电压，因此可能需要肖特基二极管来钳制电压；避免任何引脚上的电压尖峰超过 3.8V 或低于 -0.3V，请在浪涌测试期间会有电压尖峰的引脚上添加肖特基二极管；注意肖特基二极管的泄漏电流相对较高，可能会影响高温时的电压感应。
- 如果 V33 转换率低于 2.5V/ms，RESET 引脚应该在复位引脚和 V33D 之间配备一个 2.21k Ω 的电阻器，在 RESET 和接地之间配备一个 2.2 μ F 的电容器。更多详细信息，请参阅《UCD3138 系列 - 实用设计指南》。此电容器必须设置在靠近器件 RESET 引脚的位置。
- 按照下图所示选择电容比。V33D 和 BP18 之间使用 2.2 μ F，BP18 和 DGND 或 SGND 之间则使用 1 μ F。



- 将未使用的 GPIO 引脚配置为输入引脚或将其与接地（DGND 或 SGND）连接；
- 有关详细的实用指南，请参阅《UCD3138 系列 - 实用设计指南》。

7.2.5.2 布局示例

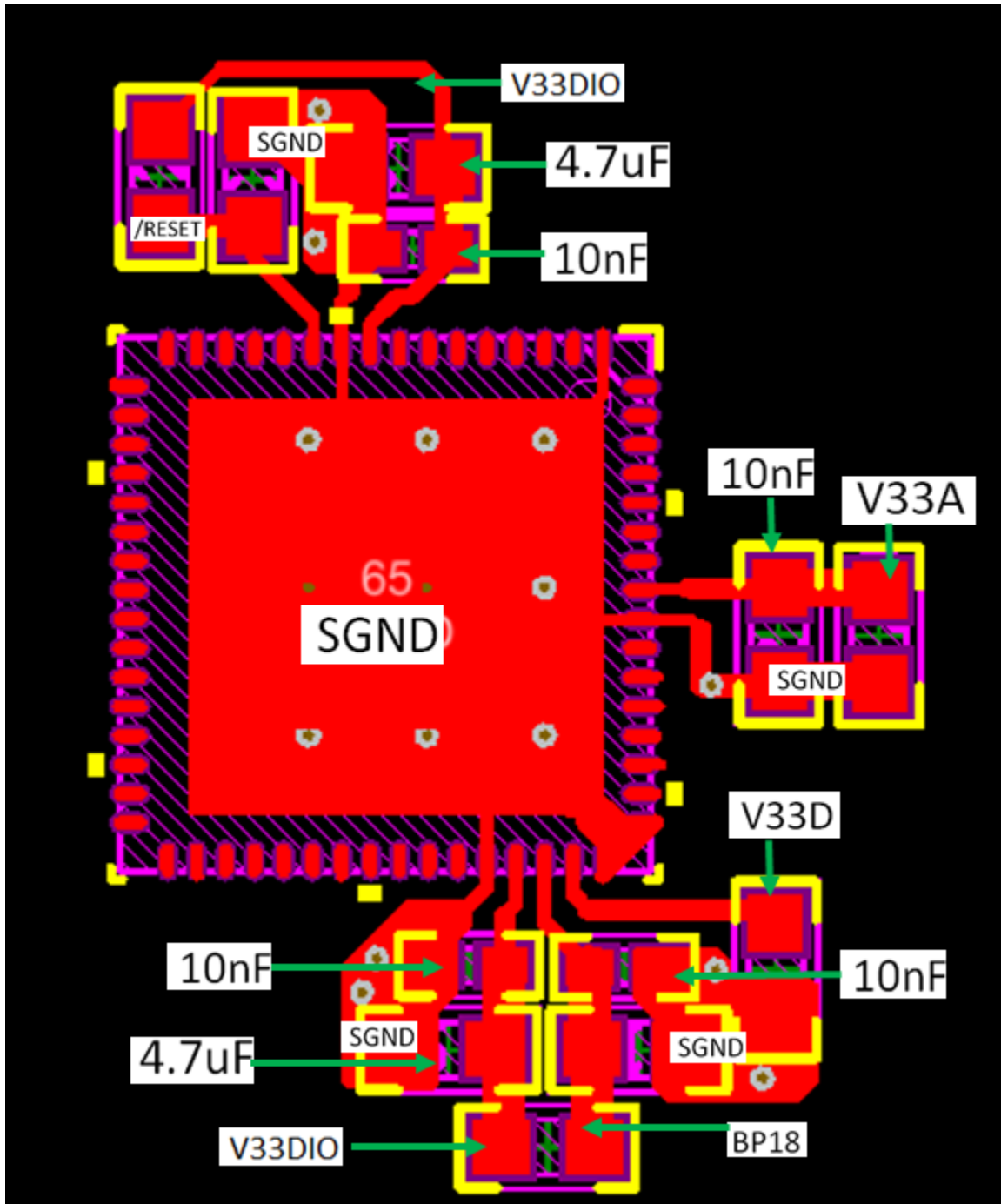


图 7-13. 布局示例

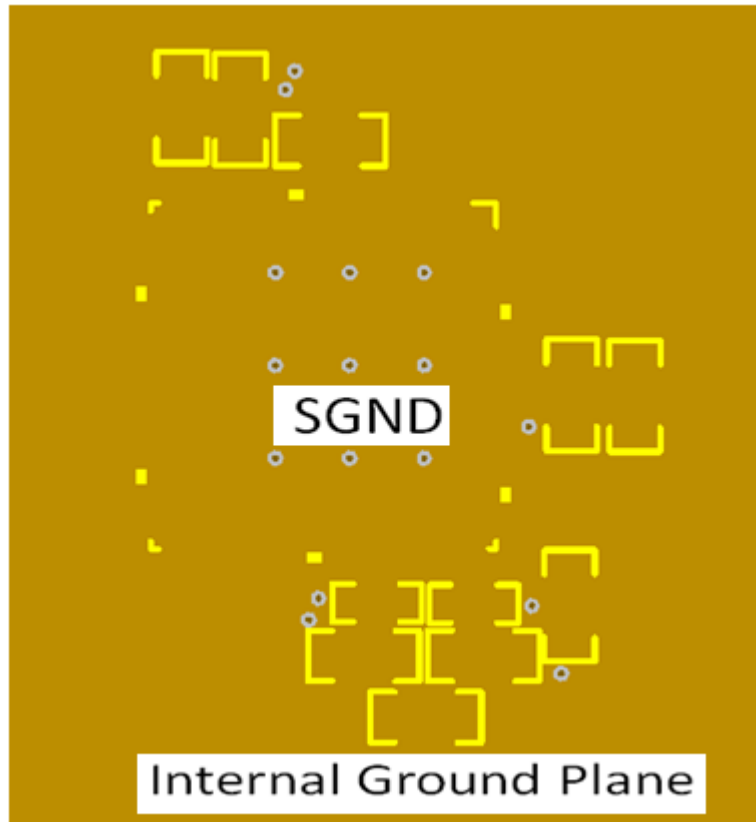


图 7-14. 布局示例

8 器件和文档支持

8.1 器件支持

UCD3138064 应用固件在德州仪器 (TI) Code Composer Studio (CCS) 集成开发环境 (建议采用版本 v3.3) 中开发。

特定电源拓扑的器件编程、实时调试以及主要器件参数的监视/配置工作都可通过德州仪器 (TI) 的 FUSION_DIGITAL_POWER_DESIGNER 图形用户界面进行 (http://www.ti.com.cn/tool/cn/fusion_digital_power_designer)。FUSION_DIGITAL_POWER_DESIGNER 软件应用采用 PMBus 协议通过串行总线与器件通信, 所使用的接口适配器为德州仪器 (TI) 评估模块 (EVM) USB-TO-GPIO (<http://www.ti.com.cn/tool/cn/usb-to-gpio>)。FUSION_DIGITAL_POWER_DESIGNER GUI 的器件 GUI 模块中的“内存调试器”工具可提供基于 PMBUS 的实时调试功能, 这是替代基于 JTAG 的传统方法的有效选择。

该软件应用还可用于器件编程, 所使用的工具是针对生产环境进行优化的 FUSION_MFR_GUI (http://www.ti.com.cn/tool/cn/fusion_mfr_gui)。FUSION_MFR_GUI 工具支持多个板载器件, 且具有内置记录和报告功能。

在参考文档方面, 以下编程手册可提供关于 UCD3138064 数字控制器应用和使用方法的详细信息:

1. 《UCD3138064 程序员手册》

2. UCD3138 数字电源外设编程手册 本手册中介绍的关键主题包括:

- 数字脉宽调制器 (DPWM)
 - 工作模式 (正常/多相/相移/谐振等)
 - 自动模式切换
 - 数字脉宽调制控制器 (DPWMC), 边沿生成和内部多路复用
- 前端
 - 模拟前端
 - ADC 或 EADC 误差
 - 前端 DAC
 - 斜坡模块
 - 逐次逼近寄存器模块
- 滤波器
 - 滤波器数学函数
- 环路复用
 - 模拟峰值电流模式
 - 恒定电流/恒定功率 (CCCP)
 - 自动周期调整
- 故障复用
 - 模拟比较器
 - 数字比较器
 - 故障引脚功能
 - DPWM 故障动作
 - 理想二极管仿真 (IDE), 断续传导模式 (DCM) 检测
 - 振荡器故障检测
- UCD3138064 中上述全部外设的寄存器映射

3. UCD3138 监视和通信编程手册 本手册中介绍的关键主题包括:

- ADC12
 - 控制、转换、定序和取平均值
 - 数字比较器
 - 温度传感器
 - PMBUS 寻址
 - 双路采样与保持
- 其它模拟控制 (电流分流、欠压、时钟门控)
- PMBUS 接口
- 通用输入输出 (GPIO)

- 定时器模块
 - PMBus
 - UCD3138064 中上述全部外设的寄存器映射
4. UCD3138 ARM 和数字系统编程手册本手册中介绍的关键主题包括:
- 引导 ROM 和引导闪存
 - BootROM 函数
 - 存储器读/写功能
 - 校验和函数
 - 闪存函数
 - 避免程序闪存锁定
 - ARM7 构架
 - 工作模式
 - 硬件/软件中断
 - 指令集
 - 两种内部工作状态 (Thumb 16 位模式/ARM 32 位模式)
 - 存储器与系统模块
 - 地址解码器、DEC (存储器映射)
 - 存储器控制器 (MMC)
 - 中央中断模块
 - UCD3138064 中上述全部外设的寄存器映射
5. 适用于 UCD31XX 隔离式电源的 FUSION_DIGITAL_POWER_DESIGNER 应用 – 用户指南

除上述工具和文档外, 如需获取有关评估模块、参考应用固件和应用手册/设计提示的最新信息, 请访问 <http://www.ti.com.cn/product/cn/ucd3138064>。

8.2 文档支持

8.2.1 相关文档

1. 《UCD3138064 编程手册》 (文献编号: [SLUUAD8](#))
2. 《UCD3138 数字电源外设编程手册》 (文献编号: [SLUU995](#))
3. 《UCD3138 监视和通信编程手册》 (文献编号: [SLUU996](#))
4. 《UCD3138 ARM 和数字系统编程手册》 (文献编号: [SLUU994](#))
5. 《隔离电源应用 FUSION_DIGITAL_POWER_DESIGNER》 (文献编号: [SLUA676](#))
6. 《Code Composer Studio 开发工具 v3.3》 – 入门指南 (文献编号: [SPRU509H](#))
7. ARM7TDMI-S 技术参考手册
8. 系统管理总线 (SMBus) 技术规范
9. PMBus™ 电源系统管理协议规范

8.3 商标

PMBus is a trademark of SMIF, Inc..
All other trademarks are the property of their respective owners.

8.4 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时, 应将导线一起截短或将装置放置于导电泡棉中, 以防止 MOS 门极遭受静电损伤。

8.5 Glossary

[SLYZ022](#) — TI Glossary.

This glossary lists and explains terms, acronyms, and definitions.

9 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
UCD3138064RGCR	ACTIVE	VQFN	RGC	64	2000	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCD3138064	Samples
UCD3138064RGCT	ACTIVE	VQFN	RGC	64	250	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCD3138064	Samples
UCD3138064RJAR	ACTIVE	VQFN	RJA	40	3000	RoHS & Green	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	U3138064	Samples
UCD3138064RMHR	ACTIVE	WQFN	RMH	40	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3138064	Samples
UCD3138064RMHT	ACTIVE	WQFN	RMH	40	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3138064	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSELETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCD3138064RGCR	VQFN	RGC	64	2000	330.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
UCD3138064RGCT	VQFN	RGC	64	250	180.0	16.4	9.3	9.3	1.1	12.0	16.0	Q2
UCD3138064RJAR	VQFN	RJA	40	3000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
UCD3138064RMHR	WQFN	RMH	40	2000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
UCD3138064RMHT	WQFN	RMH	40	250	180.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCD3138064RGCR	VQFN	RGC	64	2000	367.0	367.0	38.0
UCD3138064RGCT	VQFN	RGC	64	250	210.0	185.0	35.0
UCD3138064RJAR	VQFN	RJA	40	3000	367.0	367.0	38.0
UCD3138064RMHR	WQFN	RMH	40	2000	367.0	367.0	38.0
UCD3138064RMHT	WQFN	RMH	40	250	210.0	185.0	35.0

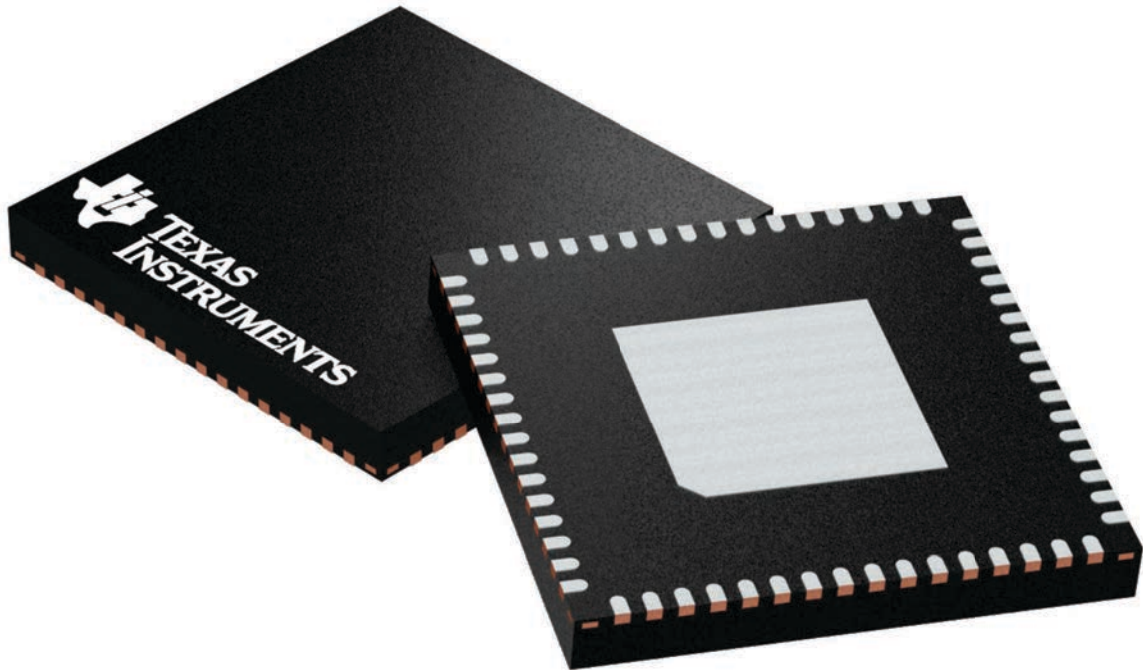
GENERIC PACKAGE VIEW

RGC 64

VQFN - 1 mm max height

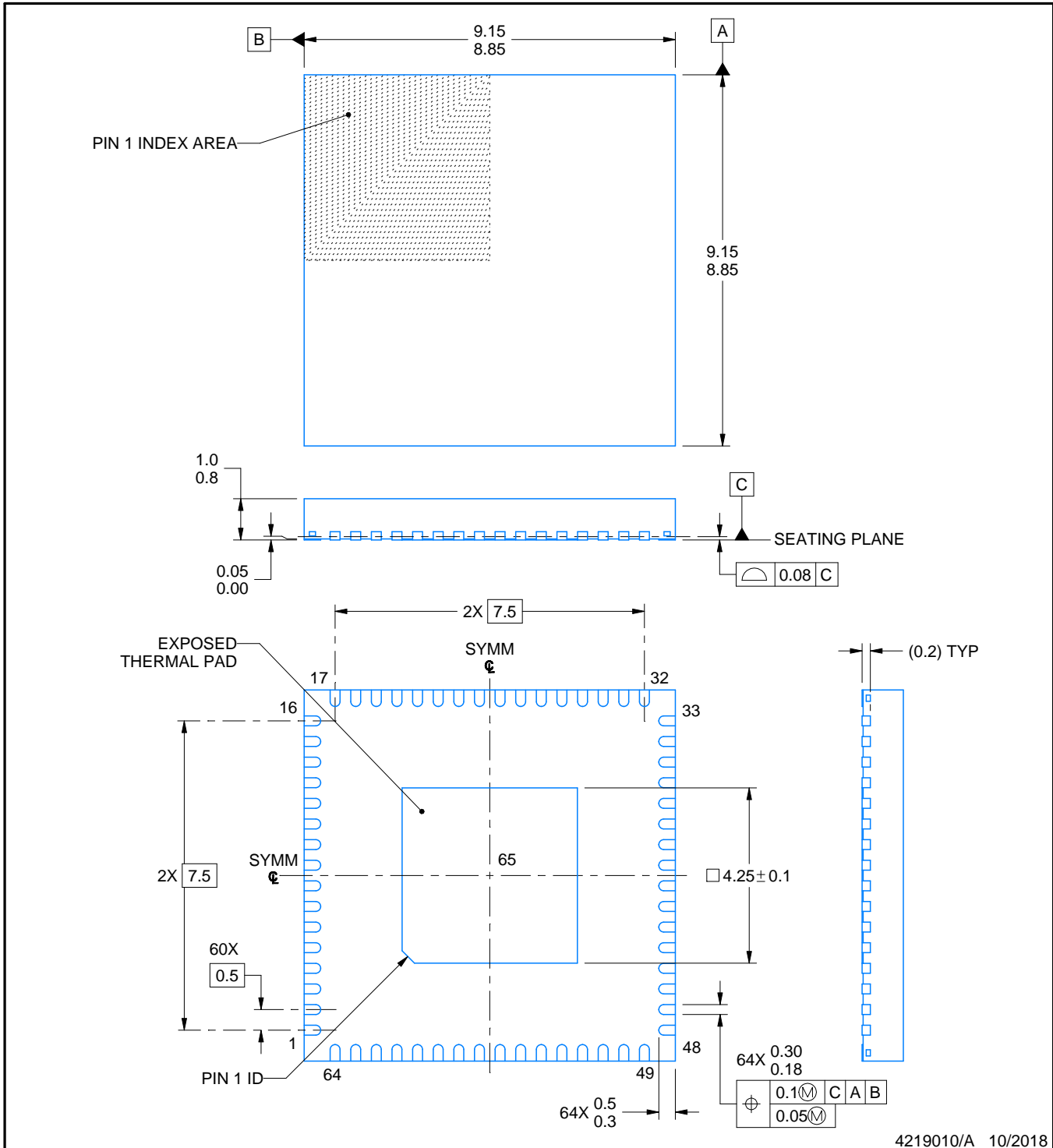
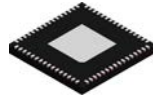
9 x 9, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224597/A



NOTES:

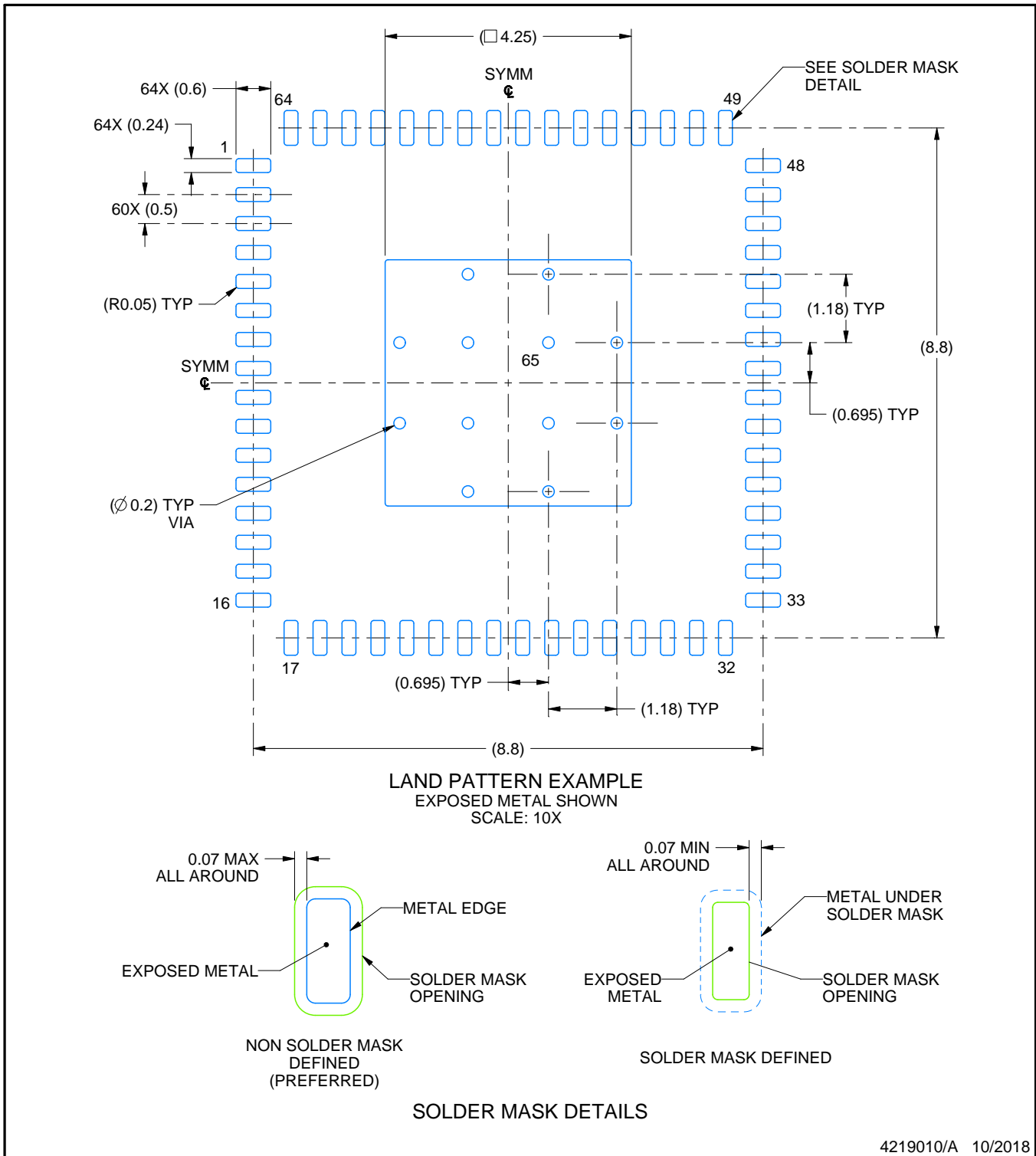
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGC0064B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219010/A 10/2018

NOTES: (continued)

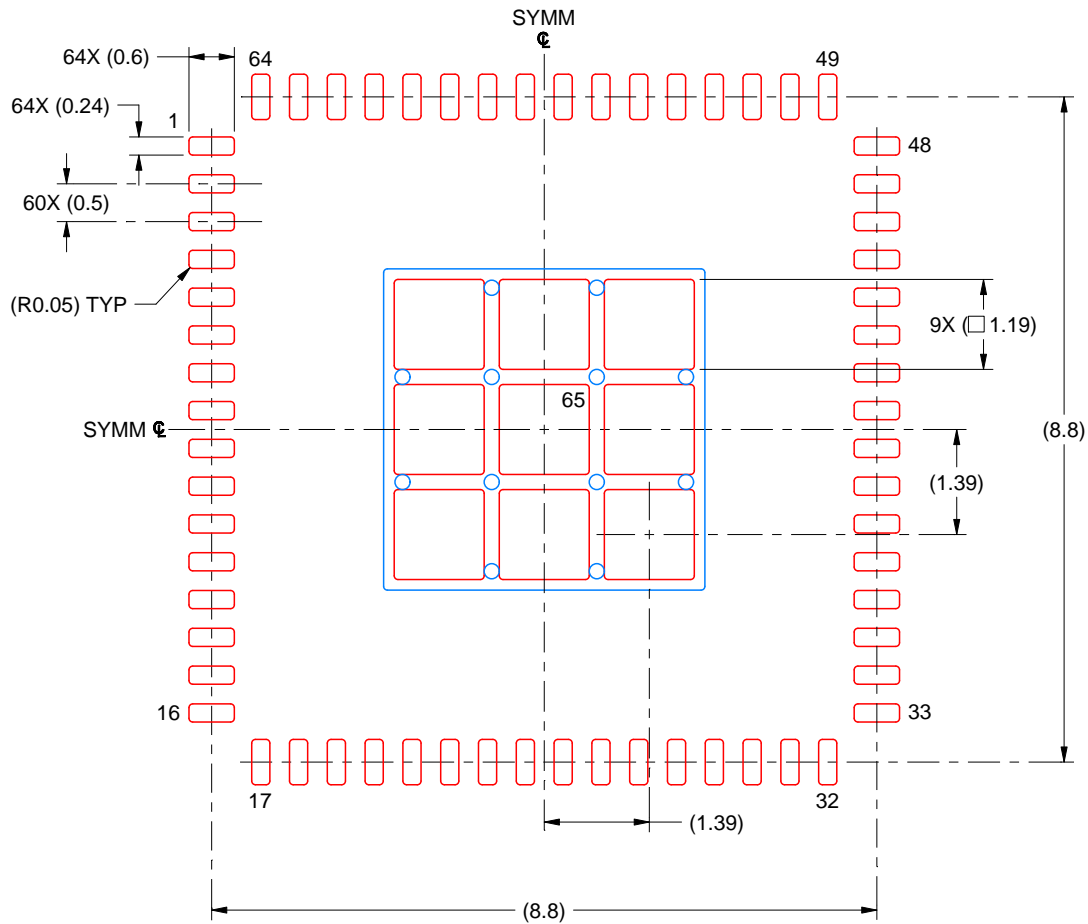
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGC0064B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



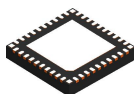
SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 10X

EXPOSED PAD 65
 71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219010/A 10/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

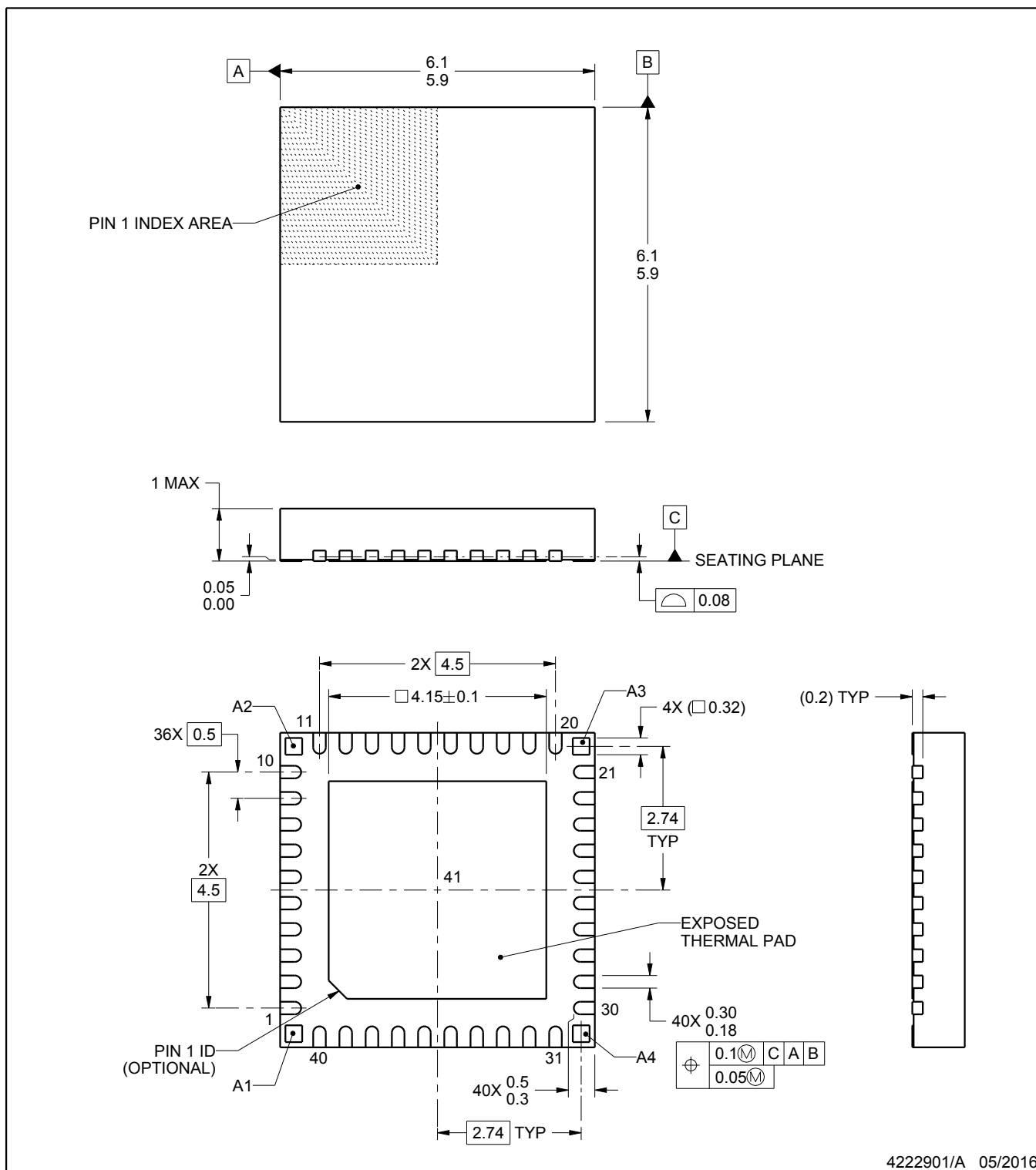


RJA0040A

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222901/A 05/2016

NOTES:

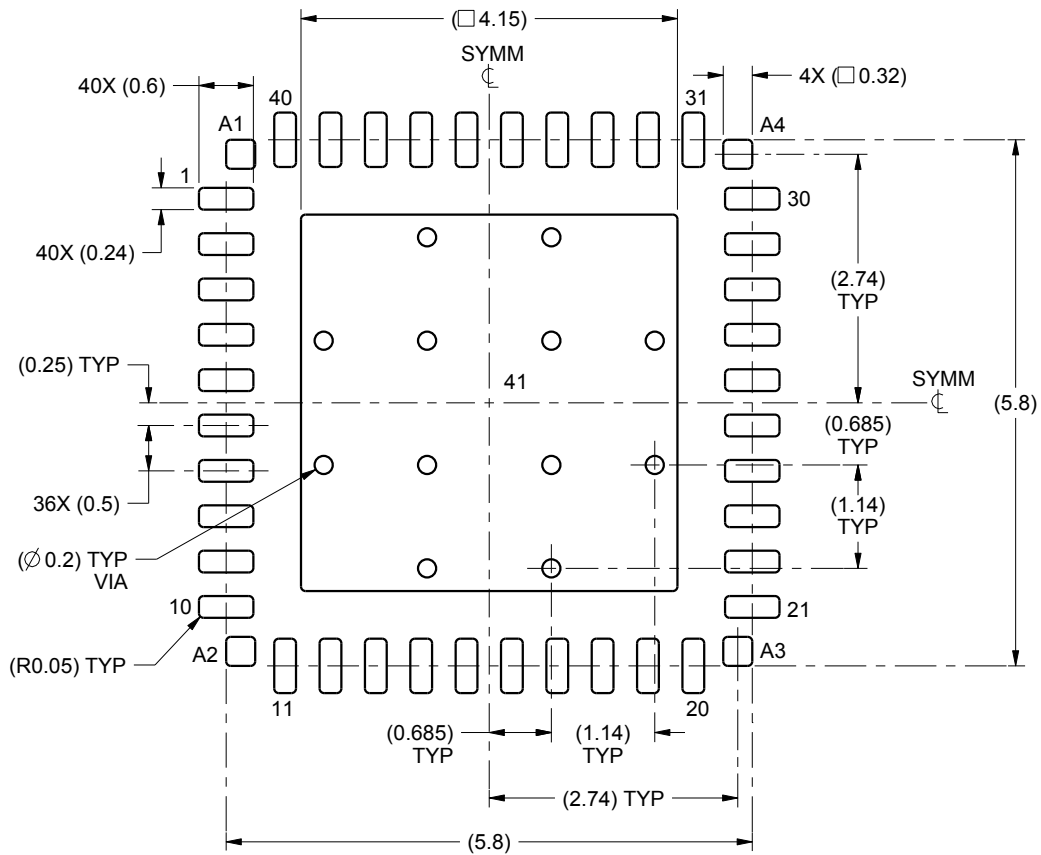
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

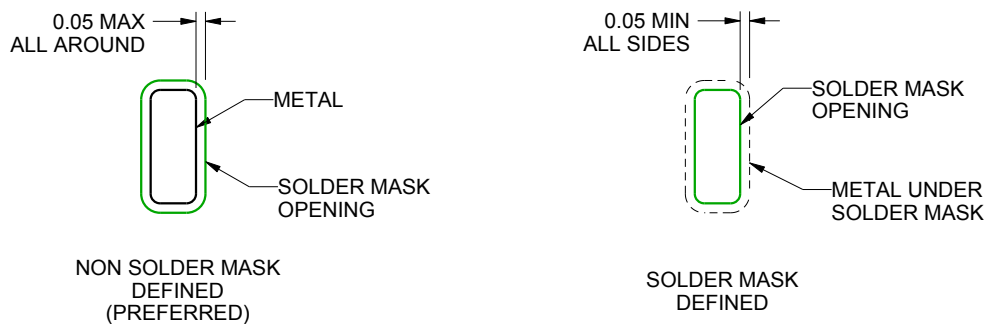
RJA0040A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:12X



SOLDER MASK DETAILS

4222901/A 05/2016

NOTES: (continued)

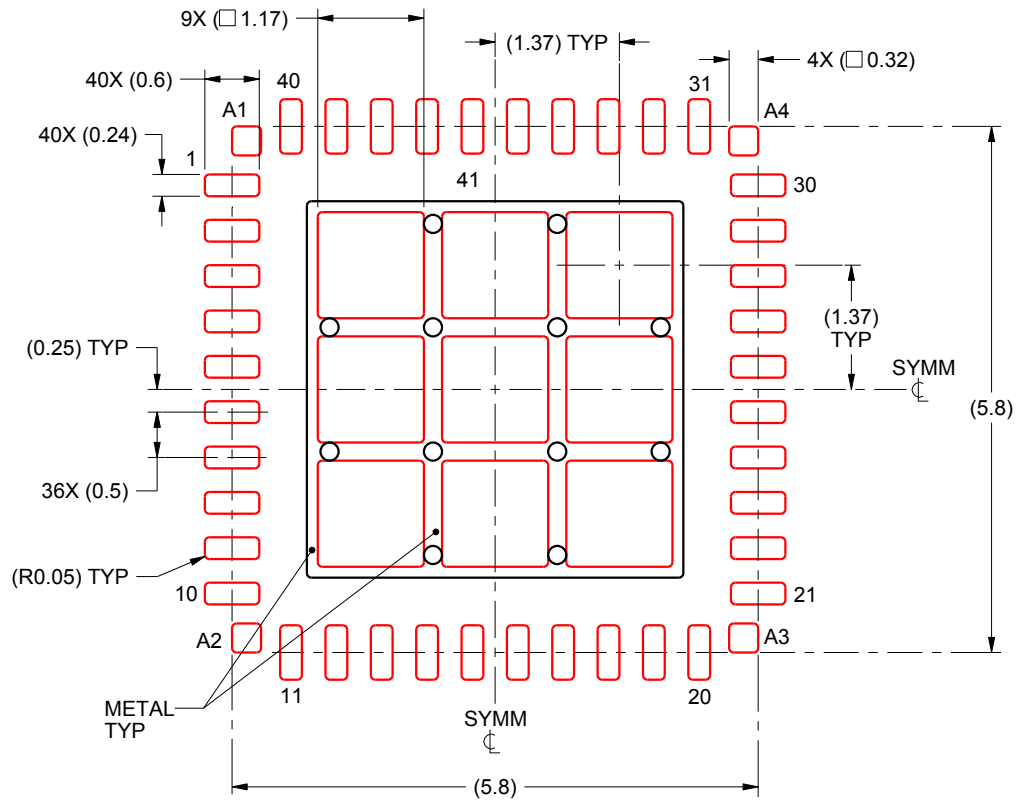
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RJA0040A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
72% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

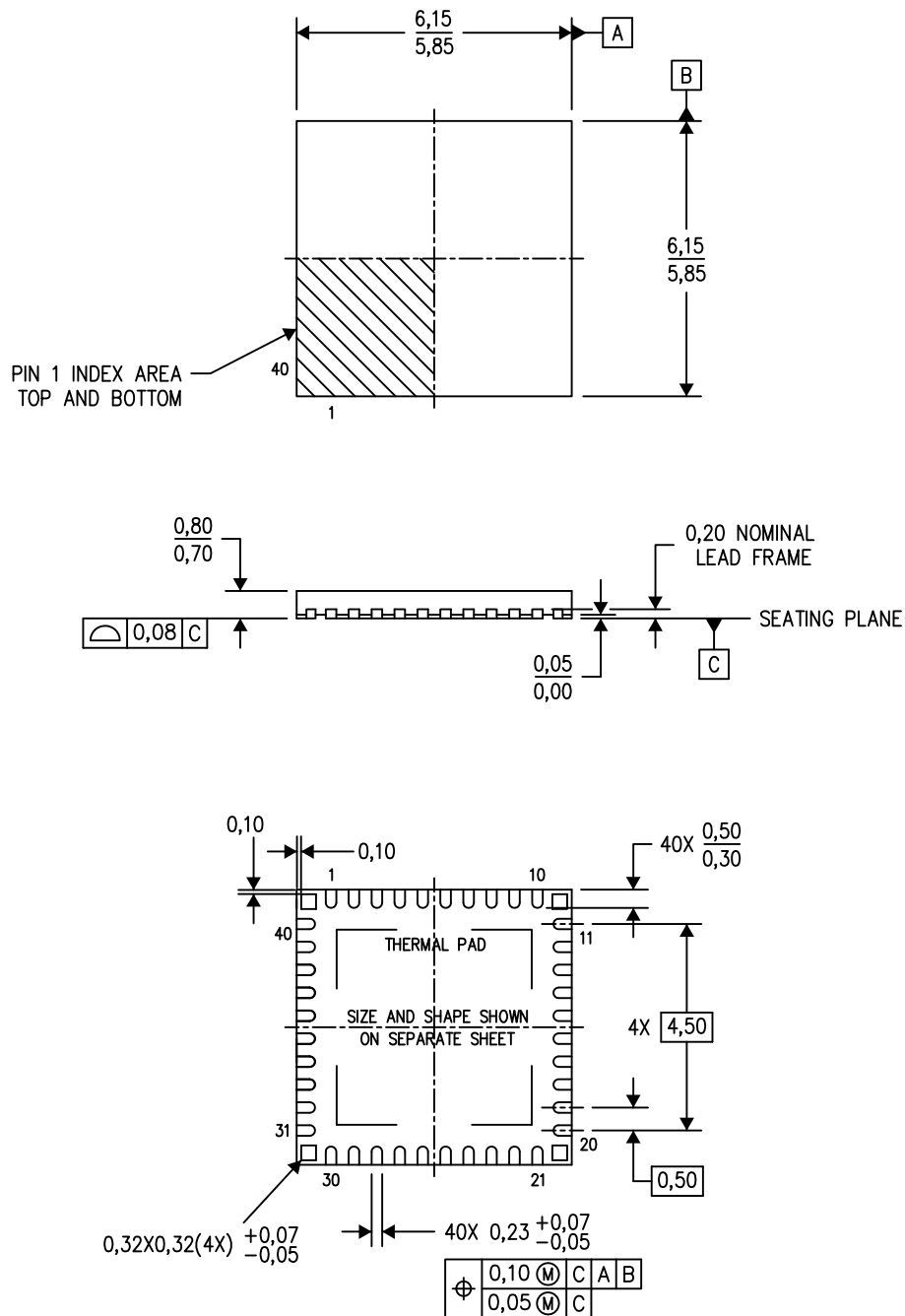
4222901/A 05/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RMH (S-PWQFN-N40)

PLASTIC QUAD FLATPACK NO-LEAD



4218680/B 07/13

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - QFN (Quad Flatpack No-Lead) Package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

THERMAL PAD MECHANICAL DATA

RMH (S-PWQFN-N40)

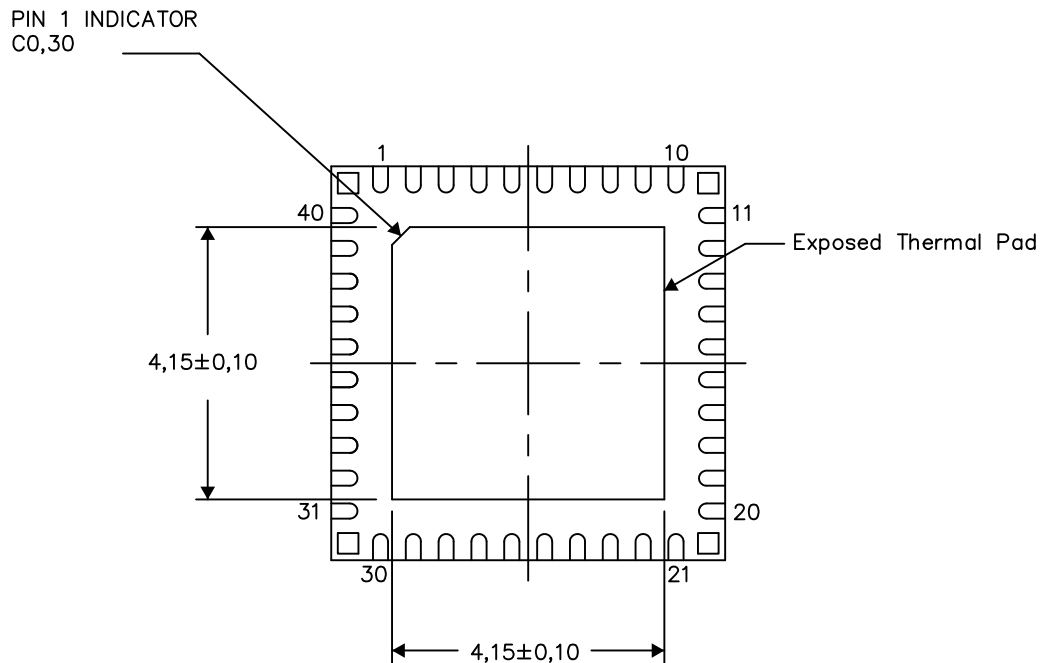
PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



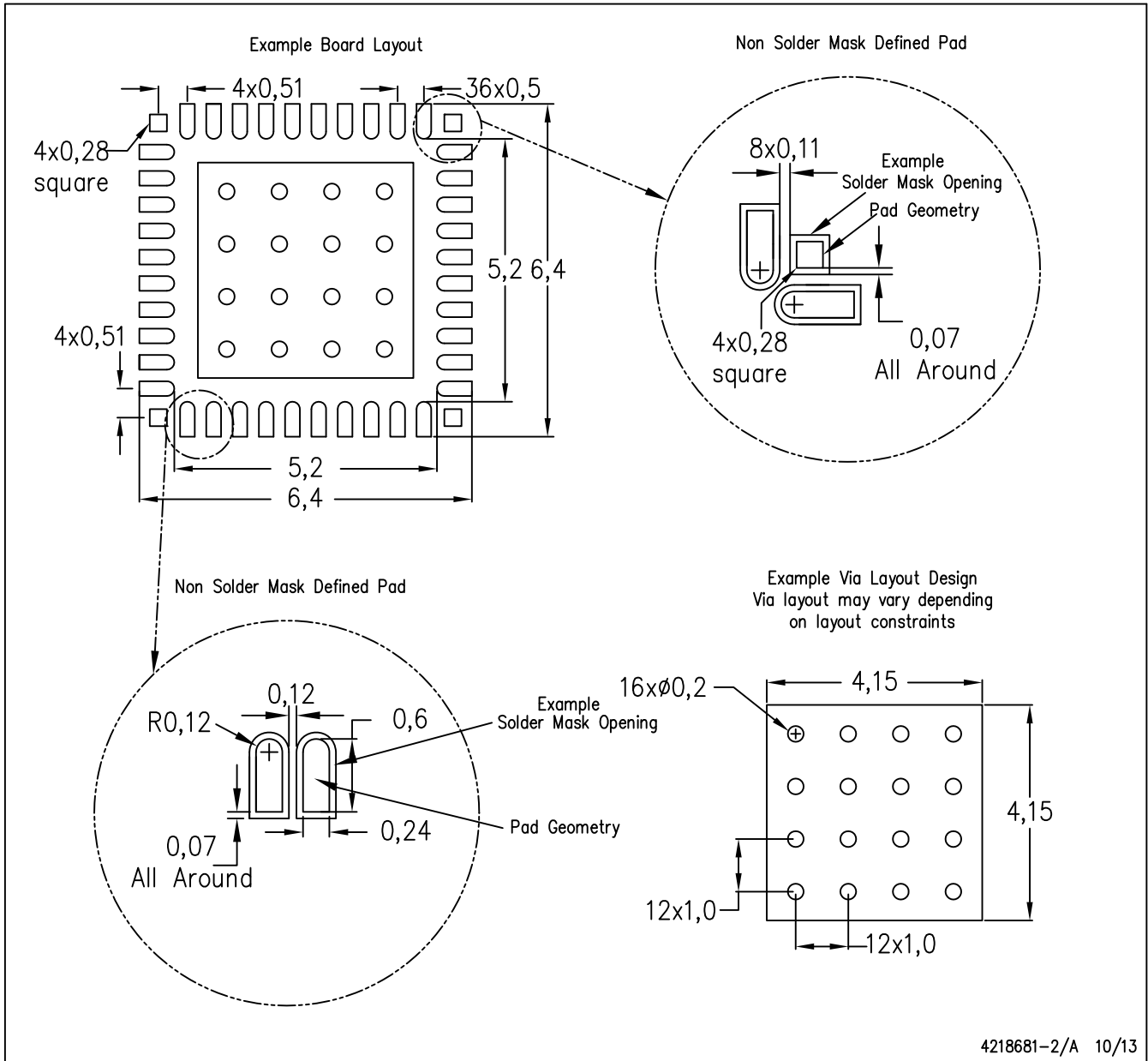
Exposed Thermal Pad Dimensions

4218753/B 08/13

NOTES: All linear dimensions are in millimeters

RMH (S-PWQFN-N40)

PLASTIC QUAD FLATPACK NO-LEAD



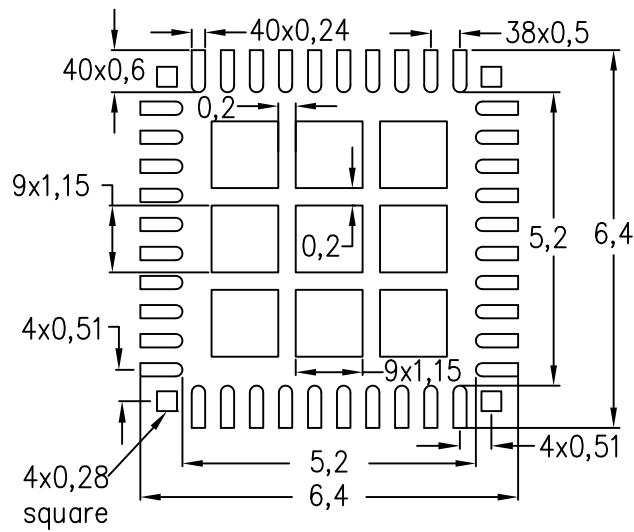
4218681-2/A 10/13

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

RMH (S-PWQFN-N40)

PLASTIC QUAD FLATPACK NO-LEAD

Example Stencil Design
0,125 Thick Stencil



(69% Printed Solder Coverage by Area)

重要声明和免责声明

TI 提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com.cn/zh-cn/legal/termsofsale.html>) 或 [ti.com.cn](https://www.ti.com.cn) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址：上海市浦东新区世纪大道 1568 号中建大厦 32 楼，邮政编码：200122
Copyright © 2021 德州仪器半导体技术（上海）有限公司