

## SNx4HC573A 具有三态输出的八路透明 D 类锁存器

### 1 特性

- 2V 至 6V 的宽工作电压范围
- 高电流三态输出直接驱动总线或驱动多达 15 个 LSTTL 负载
- 低功耗：最大 80  $\mu\text{A}$   $I_{CC}$
- $t_{pd}$  典型值 = 21 ns
- $\pm 6$  mA 输出驱动 (电压为 5V 时)
- 低输入电流：1  $\mu\text{A}$  (最大值)
- 总线结构引脚分配

### 2 应用

- 缓冲寄存器
- 双向总线驱动器
- 工作寄存器

### 3 说明

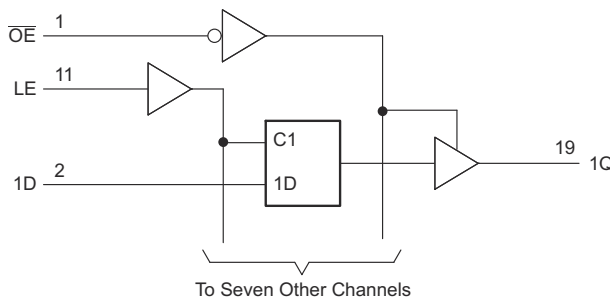
SNx4HC573A 器件是八路透明 D 类锁存器，具有专门设计用于驱动高容性或较低阻抗负载的三态输出。它们尤其适用于实现缓冲寄存器、I/O 端口、双向总线驱动器和工作寄存器。

在锁存使能 (LE) 输入为高电平时，Q 输出响应数据 (D) 输入。当 LE 为低电平时，输出被锁存以保留已设置的数据。

#### 器件信息<sup>(1)</sup>

器件型号	封装	封装尺寸 (标称值)
SN54HC573AJ	CDIP (20)	26.92mm × 6.92mm
SN54HC573AW	CFP (20)	13.72mm × 6.92mm
SN54HC573AFK	LCCC (20)	8.89mm × 8.89mm
SN74HC573AN	PDIP (20)	25.40mm × 6.35mm
SN74HC573ADW	SOIC (20)	12.80mm × 7.50mm
SN74HC573ADB	SSOP (20)	7.20mm × 5.30mm
SN74HC573APW	TSSOP (20)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



To Seven Other Channels

Copyright © 2016, Texas Instruments Incorporated

逻辑图 (正逻辑)



## 内容

<b>1 特性</b> .....	1	8.3 特性说明.....	11
<b>2 应用</b> .....	1	8.4 器件功能模式.....	11
<b>3 说明</b> .....	1	<b>9 应用和实施</b> .....	12
<b>4 修订历史记录</b> .....	2	9.1 应用信息.....	12
<b>5 引脚配置和功能</b> .....	3	9.2 典型应用.....	12
引脚功能.....	3	<b>10 电源相关建议</b> .....	13
<b>6 规格</b> .....	4	<b>11 布局</b> .....	14
6.1 绝对最大额定值.....	4	11.1 布局指南.....	14
6.2 ESD 等级.....	4	11.2 布局示例.....	14
6.3 建议的操作条件.....	4	<b>12 器件和文档支持</b> .....	15
6.4 热性能信息.....	5	12.1 文档支持.....	15
6.5 电气特性.....	5	12.2 相关链接.....	15
6.6 时序要求.....	6	12.3 接收文档更新通知.....	15
6.7 开关特性.....	7	12.4 支持资源.....	15
6.8 典型特性.....	9	12.5 商标.....	15
<b>7 参数测量信息</b> .....	10	12.6 静电放电警告.....	15
<b>8 详细说明</b> .....	11	12.7 术语表.....	15
8.1 概述.....	11	<b>13 机械、封装和可订购信息</b> .....	15
8.2 功能框图.....	11		

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

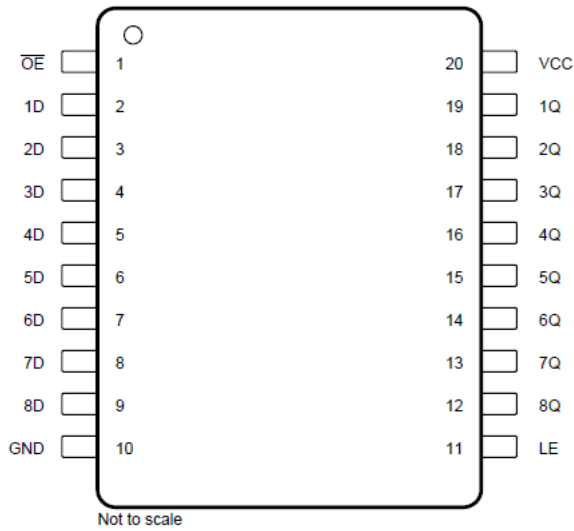
### Changes from Revision E (September 2003) to Revision F (October 2016) Page

- 添加了 ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分..... 1
- 删除了“订购信息”表；请参阅数据表末尾的 POA..... 1
- 将封装热阻抗  $R_{\theta JA}$  的值从 70 更改为 92.5 (DB)，从 58 更改为 78.3 (DW)，从 69 更改为 49.1 (N)，从 83 更改为 101.1 (PW)..... 5

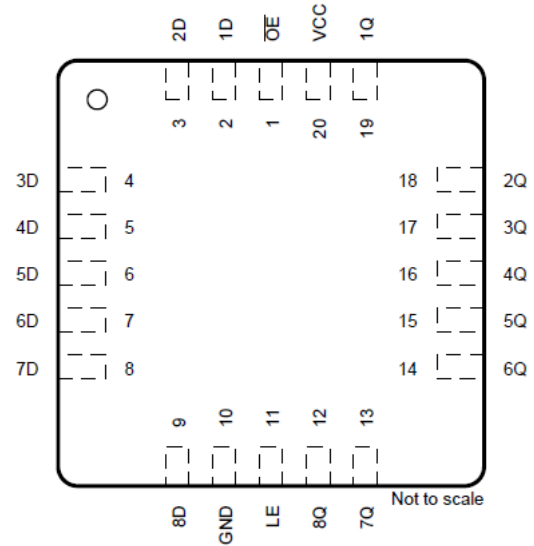
### Changes from Revision F (October 2016) to Revision G (April 2022) Page

- 根据现代 TI 标准更新了 ESD 等级表..... 4
- 将封装热阻抗  $R_{\theta JA}$  的值从 92.5 更改为 122.7 (DB)，从 78.3 更改为 109.1 (DW)，从 49.1 更改为 84.6 (N)，从 101.1 更改为 131.8 (PW)..... 5

## 5 引脚配置和功能



DB、DW、J、N、PW 或 W 封装  
20 引脚 SSOP、SOIC、CDIP、PDIP、TSSOP 或  
CFP  
顶视图



FK 封装  
20 引脚 LCCC  
顶视图

### 引脚功能

引脚		I/O <sup>(1)</sup>	说明
编号	名称		
1	OE	I	输出使能测试点
2	1D	I	1D 输入
3	2D	I	2D 输入
4	3D	I	3D 输入
5	4D	I	4D 输入
6	5D	I	5D 输入
7	6D	I	6D 输入
8	7D	I	7D 输入
9	8D	I	8D 输入
10	GND	—	接地
11	LE	I	锁存使能输入
12	8Q	O	8Q 输出
13	7Q	O	7Q 输出
14	6Q	O	6Q 输出
15	5Q	O	5Q 输出
16	4Q	O	4Q 输出
17	3Q	O	3Q 输出
18	2Q	O	2Q 输出
19	1Q	O	1Q 输出
20	V <sub>CC</sub>	—	电源引脚

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出。

## 6 规格

### 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

		最小值	最大值	单位
$V_{CC}$	电源电压	- 0.5	7	V
$I_{IK}$	输入钳位电流 <sup>(2)</sup>	$V_I < 0$ 或 $V_I > V_{CC}$		mA
$I_{OK}$	输出钳位电流 <sup>(2)</sup>	$V_O < 0$ 或 $V_O > V_{CC}$		mA
$I_O$	持续输出电流	$V_O = 0$ 至 $V_{CC}$		mA
通过 $V_{CC}$ 或 GND 的持续电流				±70 mA
$T_J$	结温			150 °C
$T_{stg}$	存储温度	- 65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值, 输入和输出电压可超过额定值。

### 6.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 <sup>(2)</sup>	
		±3500	
		±1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

### 6.3 建议的操作条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) <sup>(1)</sup>

		最小值	标称值	最大值	单位
$V_{CC}$	电源电压	2	5	6	V
$V_{IH}$	高电平输入电压	$V_{CC} = 2\text{ V}$	1.5		V
		$V_{CC} = 4.5\text{ V}$	3.15		
		$V_{CC} = 6\text{ V}$	4.2		
$V_{IL}$	低电平输入电压	$V_{CC} = 2\text{ V}$	0.5		V
		$V_{CC} = 4.5\text{ V}$	1.35		
		$V_{CC} = 6\text{ V}$	1.8		
$V_I$	输入电压	0	$V_{CC}$		V
$V_O$	输出电压	0	$V_{CC}$		V
$t_t$	输入转换 (上升和下降) 时间	$V_{CC} = 2\text{ V}$	1000		ns
		$V_{CC} = 4.5\text{ V}$	500		
		$V_{CC} = 6\text{ V}$	400		
$T_A$	自然通风条件下的工作温度范围	SN54HC573A	- 55	125	°C
		SN74HC573A	- 40	85	

- (1) 器件所有的未使用输入必须被保持在  $V_{CC}$  或 GND 以确保器件正常运行。请参阅 [慢速或浮点 CMOS 输入的影响](#) 应用报告 (SCBA004)。

## 6.4 热性能信息

热指标		SN74HC573A				单位
		DW (SOIC)	DB (SSOP)	N (PDIP)	PW (TSSOP)	
		20 个引脚	20 个引脚	20 个引脚	20 个引脚	
$R_{\theta JA}$	结至环境热阻 <sup>(1)</sup>	109.1	122.7	84.6	131.8	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	76	81.6	72.5	72.2	°C/W
$R_{\theta JB}$	结至电路板热阻	77.6	77.5	65.3	82.8	°C/W
$\Psi_{JT}$	结至顶部特征参数	51.5	46.1	55.3	21.5	°C/W
$\Psi_{JB}$	结至电路板特征参数	77.1	77.1	65.2	82.4	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

## 6.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
$V_{OH}$	$V_I = V_{IH}$ 或 $V_{IL}$	$I_{OH} = -20\mu A$	$V_{CC} = 2V$	1.9	1.998	V
			$V_{CC} = 4.5V$	4.4	4.499	
			$V_{CC} = 6V$	5.9	5.999	
	$I_{OH} = -6mA, V_{CC} = 4.5V$	$T_A = 25^\circ C$	3.98	4.3		
		SN54HC573A	3.7			
		SN74HC573A	3.84			
	$I_{OH} = -7.8mA, V_{CC} = 6V$	$T_A = 25^\circ C$	5.48	5.8		
		SN54HC573A	5.2			
SN74HC573A		5.34				
$V_{OL}$	$V_I = V_{IH}$ 或 $V_{IL}$	$I_{OL} = 20\mu A$	$V_{CC} = 2V$	0.002	0.1	V
			$V_{CC} = 4.5V$	0.001	0.1	
			$V_{CC} = 6V$	0.001	0.1	
	$I_{OL} = 6mA, V_{CC} = 4.5V$	$T_A = 25^\circ C$	0.17	0.26		
		SN54HC573A		0.4		
		SN74HC573A		0.33		
	$I_{OL} = 7.8mA, V_{CC} = 6V$	$T_A = 25^\circ C$	0.15	0.26		
		SN54HC573A		0.4		
		SN74HC573A		0.33		
$I_I$	$V_I = V_{CC}$ 或 0, $V_{CC} = 6V$	$T_A = 25^\circ C$	$\pm 0.1$	$\pm 100$	nA	
		SNx4HC573A		$\pm 1000$		
$I_{OZ}$	$V_O = V_{CC}$ 或 0, $V_{CC} = 6V$	$T_A = 25^\circ C$	$\pm 0.01$	$\pm 0.5$	$\mu A$	
		SN54HC573A		$\pm 10$		
		SN74HC573A		$\pm 5$		
$I_{CC}$	$V_I = V_{CC}$ 或 0, $I_O = 0, V_{CC} = 6V$	$T_A = 25^\circ C$		8	$\mu A$	
		SN54HC573A		160		
		SN74HC573A		80		
$C_i$	$V_{CC} = 2V$ 至 $6V$		3	10	pF	
$C_{pd}$	每个锁存器的 功率耗散电容	$T_A = 25^\circ C$ , 空载		50	pF	

## 6.6 时序要求

在自然通风条件下的工作温度范围内测得 ( 除非另有说明 )

			最小值	标称值	最大值	单位
$t_w$	$V_{CC} = 2\text{ V}$	$T_A = 25^\circ\text{C}$	80			ns
		SN54HC573A	120			
		SN74HC573A	100			
	$V_{CC} = 4.5\text{ V}$	$T_A = 25^\circ\text{C}$	16			
		SN54HC573A	24			
		SN74HC573A	20			
	$V_{CC} = 6\text{ V}$	$T_A = 25^\circ\text{C}$	14			
		SN54HC573A	20			
		SN74HC573A	17			
$t_{su}$	$V_{CC} = 2\text{ V}$	$T_A = 25^\circ\text{C}$	50			ns
		SN54HC573A	75			
		SN74HC573A	63			
	$V_{CC} = 4.5\text{ V}$	$T_A = 25^\circ\text{C}$	10			
		SN54HC573A	15			
		SN74HC573A	13			
	$V_{CC} = 6\text{ V}$	$T_A = 25^\circ\text{C}$	9			
		SN54HC573A	13			
		SN74HC573A	11			
$t_h$	$V_{CC} = 2\text{ V}$	$T_A = 25^\circ\text{C}$	20			ns
		SNx4HC573A	24			
	$V_{CC} = 4.5\text{ V}$		5			
	$V_{CC} = 6\text{ V}$		5			

## 6.7 开关特性

在自然通风条件下的工作温度范围内（除非另有说明；请参阅图 7-1）

参数	测试条件		最小值	典型值	最大值	单位
$t_{pd}$	$C_L = 50\text{pF}$ , 从 D (输入) 到 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	77	175	ns
			SN54HC573A	265		
			SN74HC573A	220		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	26	35	
			SN54HC573A	53		
			SN74HC573A	44		
	$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	23	30		
		SN54HC573A	45			
		SN74HC573A	38			
	$C_L = 50\text{pF}$ , 从 LE (输入) 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	87	175	
			SN54HC573A	265		
			SN74HC573A	220		
$V_{CC} = 4.5\text{V}$		$T_A = 25^\circ\text{C}$	27	35		
		SN54HC573A	53			
		SN74HC573A	44			
$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	23	30			
	SN54HC573A	45				
	SN74HC573A	38				
$t_{en}$	$C_L = 50\text{pF}$ , 从 $\overline{OE}$ (输入) 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	68	150	ns
			SN54HC573A	225		
			SN74HC573A	190		
	$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	24	30		
		SN54HC573A	45			
		SN74HC573A	38			
	$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	21	26		
		SN54HC573A	38			
		SN74HC573A	32			
$t_{dis}$	$C_L = 50\text{pF}$ , 从 $\overline{OE}$ (输入) 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	47	150	ns
			SN54HC573A	225		
			SN74HC573A	190		
	$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	23	30		
		SN54HC573A	45			
		SN74HC573A	38			
	$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	21	26		
		SN54HC573A	38			
		SN74HC573A	32			

在自然通风条件下的工作温度范围内（除非另有说明；请参阅图 7-1）

参数	测试条件		最小值	典型值	最大值	单位
$t_t$	$C_L = 50\text{pF}$ 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	28	60	ns
			SN54HC573A	90		
			SN74HC573A	75		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	8	12	
			SN54HC573A	18		
			SN74HC573A	15		
		$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	6	10	
			SN54HC573A	15		
			SN74HC573A	13		
$t_{pd}$	$C_L = 150\text{pF}$ , 从 D (输入) 到 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	95	200	ns
			SN54HC573A	300		
			SN74HC573A	250		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	33	40	
			SN54HC573A	60		
			SN74HC573A	50		
		$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	21	34	
			SN54HC573A	51		
			SN74HC573A	43		
	$C_L = 150\text{pF}$ , 从 LE (输入) 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	103	225	
			SN54HC573A	335		
			SN74HC573A	285		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	33	45	
			SN54HC573A	67		
			SN74HC573A	57		
		$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	29	40	
			SN54HC573A	60		
			SN74HC573A	50		
$t_{en}$	$C_L = 150\text{pF}$ , 从 $\overline{OE}$ (输入) 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	85	200	ns
			SN54HC573A	300		
			SN74HC573A	250		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	29	40	
			SN54HC573A	60		
			SN74HC573A	50		
		$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	26	34	
			SN54HC573A	51		
			SN74HC573A	43		
$t_t$	$C_L = 150\text{pF}$ 到任意 Q (输出)	$V_{CC} = 2\text{V}$	$T_A = 25^\circ\text{C}$	60	210	ns
			SN54HC573A	315		
			SN74HC573A	265		
		$V_{CC} = 4.5\text{V}$	$T_A = 25^\circ\text{C}$	17	42	
			SN54HC573A	63		
			SN74HC573A	53		
		$V_{CC} = 6\text{V}$	$T_A = 25^\circ\text{C}$	14	36	
			SN54HC573A	53		
			SN74HC573A	45		



### 6.8 典型特性

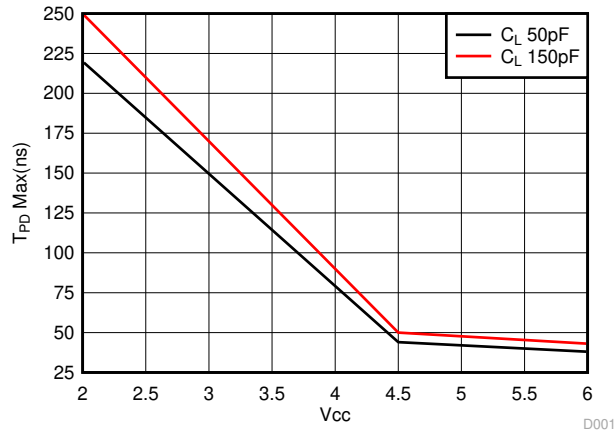
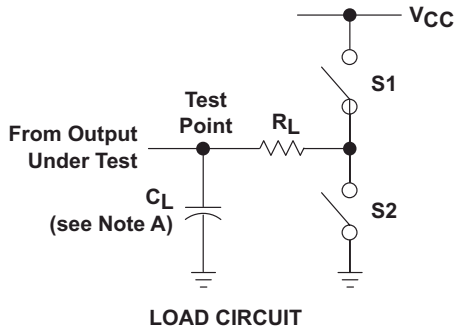
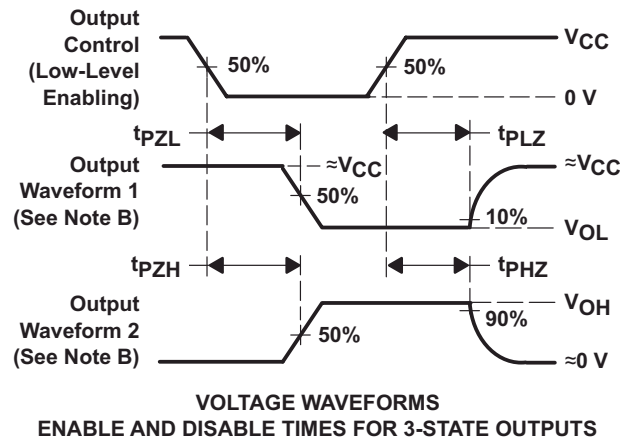
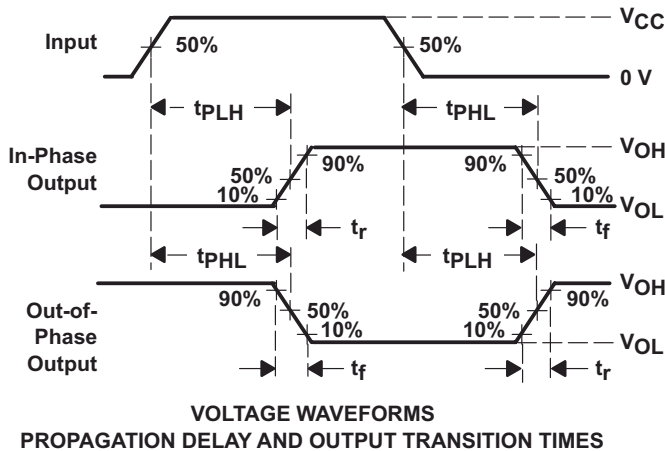
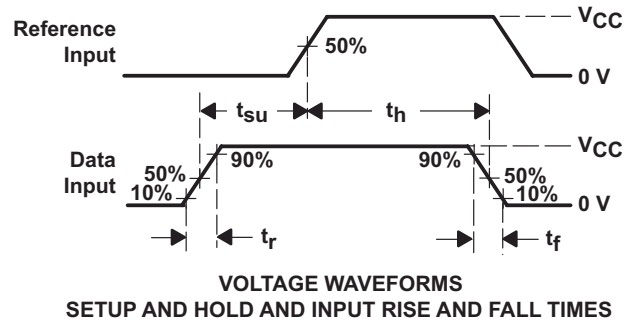
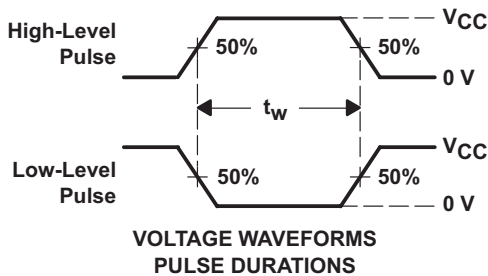


图 6-1. 最大传播延迟曲线

## 7 参数测量信息



PARAMETER	$R_L$	$C_L$	S1	S2
$t_{en}$	1 k $\Omega$	50 pF or 150 pF	Open	Closed
			Closed	Open
$t_{dis}$	1 k $\Omega$	50 pF	Open	Closed
			Closed	Open
$t_{pd}$ or $t_t$	--	50 pF or 150 pF	Open	Open



- A.  $C_L$  包括探头和测试夹具电容。
- B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- C. 任意选择波形之间的相位关系。所有输入脉冲由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\ \Omega$ ， $t_r = 6\text{ns}$ ， $t_f = 6\text{ns}$ 。
- D. 一次测量一个输出，每次测量一个输入转换。
- E.  $t_{PLZ}$  和  $t_{PHZ}$  与  $t_{dis}$  一样。
- F.  $t_{PZL}$  和  $t_{PZH}$  与  $t_{en}$  一样。
- G.  $t_{PLH}$  和  $t_{PHL}$  与  $t_{pd}$  一样。

图 7-1. 负载电路和电压波形

## 8 详细说明

### 8.1 概述

SNx4HC573A 器件是八路透明 D 类锁存器，具有专门设计用于驱动高容性或较低阻抗负载的三态输出。缓冲输出使能 ( $\overline{OE}$ ) 输入可用于将八个输出置于正常逻辑状态 (高或低逻辑电平) 或高阻抗状态。在高阻抗状态下，输出既不对总线施加大量负载，也不显著驱动总线。高阻抗状态和增加的驱动在没有接口或上拉元件的情况下提供了驱动总线的的能力。

为了确保加电或断电期间的高阻抗状态， $\overline{OE}$  必须通过一个上拉电阻器被连接至  $V_{CC}$ ；该电阻器的最小值由驱动器的电流灌入能力来决定。

$\overline{OE}$  不影响锁存器的内部运行。当输出处于高阻抗状态时，可以保留旧数据或输入新数据。

### 8.2 功能框图

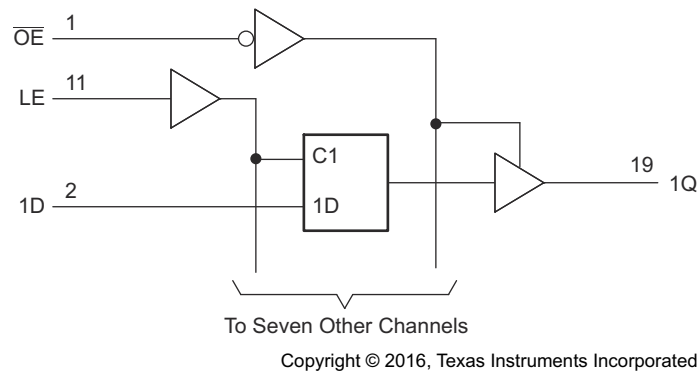


图 8-1. 逻辑图 (正逻辑)

### 8.3 特性说明

SNx4HC573A 是一款高电流三态输出器件，可直接驱动总线或驱动多达 15 个 LSTTL 负载。它具有高达  $80\mu A$   $I_{CC}$  的低功耗。高速 CMOS 系列的典型传播延迟为 21ns，5V 时输出驱动电压为  $\pm 6mA$ 。输入漏电流非常低，仅为  $1\mu A$  (最大值)。

### 8.4 器件功能模式

表 8-1 列出了 SNx4HC573A 器件的功能模式。

表 8-1. 功能表 (每个锁存器)

输入			输出
$\overline{OE}$	LE	D	Q
低电平	H	H	H
L	H	L	L
L	L	X	$Q_0$
H	X	X	高阻态

## 9 应用和实施的

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 9.1 应用信息

为了确保加电或断电期间的高阻抗状态， $\overline{OE}$  必须通过一个上拉电阻器被连接至  $V_{CC}$ ；该电阻器的最小值由驱动器的电流灌入能力来决定。 $\overline{OE}$  不影响锁存器的内部运行。当输出处于高阻抗状态时，可以保留旧数据或输入新数据。SNx4HC573A 锁存器可用于存储 8 位数据。图 9-1 给出了典型应用。低触发事件会锁存输出，以保留该事件以供以后处理。锁存器输入为高电平时，如果输出使能引脚保持为低电平，它充当一个缓冲器，跟随 D 输入端的实时数据。

### 9.2 典型应用

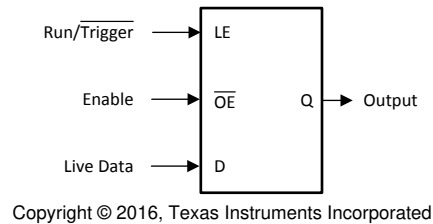


图 9-1. 典型应用原理图

#### 9.2.1 设计要求

SNx4HC573A 器件采用 CMOS 技术并具有平衡输出驱动 ( $\pm 7.8\text{mA}$ )。注意避免总线争用，因为它可以驱动超过最大限制的电流。

#### 9.2.2 详细设计过程

设计要求必须符合 6.3，并且不得超过 6.1。

输入的斜坡时间必须小于 6.3 中提到的输入转换时间。慢速输入会导致输出振荡、误触发和电流消耗增加。TI 建议使用 SN74HC14 等可承受较慢信号的施密特触发器件。

输入和输出不得超过  $V_{CC}$ ，否则不得对内部 ESD 二极管进行正向偏置。此器件支持的最大频率为 28MHz。

### 9.2.3 应用曲线

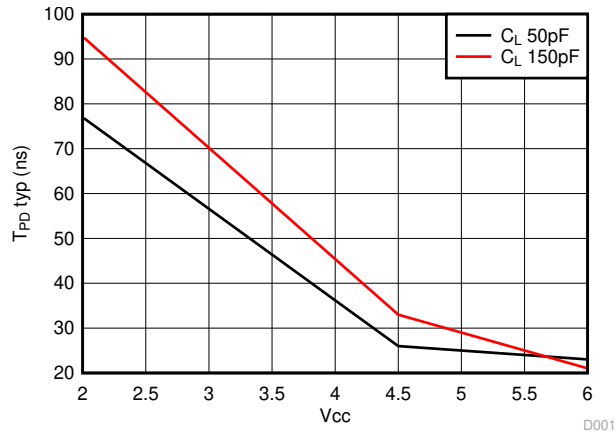


图 9-2. 典型传播延迟曲线

## 10 电源相关建议

电源可以是 [节 6.3](#) 表中最小和最大电源电压额定值之间的任何电压。根据 [节 6.1](#) 表，通过接地或  $V_{CC}$  的总电流不得超过  $\pm 70\text{mA}$ 。

每个  $V_{CC}$  引脚必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用  $0.1\mu\text{F}$  电容器；如果有多个  $V_{CC}$  引脚，则 TI 建议为每个电源引脚使用  $0.01\mu\text{F}$  或  $0.022\mu\text{F}$  电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu\text{F}$  和  $1\mu\text{F}$  电容器通常并联使用。为了获得更佳效果，旁路电容器必须尽可能靠近电源引脚安装。

## 11 布局

### 11.1 布局指南

当使用多位逻辑器件时，输入决不能悬空。

在许多情况下，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时，未使用数字逻辑器件的功能或部分功能。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。图 11-1 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须被连接至一个高或低偏置以防止它们悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们会连接到 GND 或  $V_{CC}$ ，具体取决于哪种更合理或更方便。浮动输出是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置位时禁用该器件的输出部分。这不会禁用 I/O 的输入部分，因此它们在禁用后不能浮动。

### 11.2 布局示例

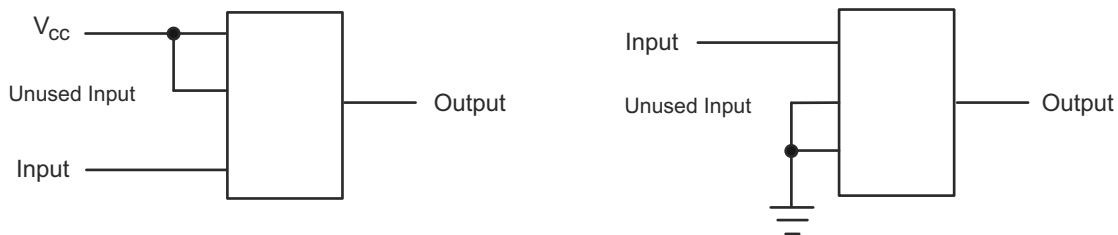


图 11-1. 布局图

## 12 器件和文档支持

### 12.1 文档支持

#### 12.1.1 相关文档

相关文档如下：

[慢速或浮点 CMOS 输入的影响 \(SCBA004\)](#)

### 12.2 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及申请样片或购买产品的快速链接。

**表 12-1. 相关链接**

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
SN54HC573A	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>
SN74HC573A	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>	<a href="#">点击此处</a>

### 12.3 接收文档更新通知

若要接收文档更新通知，请导航至 [ti.com.cn](http://ti.com.cn) 上的器件产品文件夹。单击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 12.4 支持资源

**TI E2E™ 支持论坛** 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

### 12.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 12.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 12.7 术语表

**TI 术语表** 本术语表列出并解释了术语、首字母缩略词和定义。

## 13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## 重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表)、设计资源 (包括参考设计)、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2021, 德州仪器 (TI) 公司



**PACKAGING INFORMATION**

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
5962-8512801VRA	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	5962-8512801VR A SNV54HC573AJ	<a href="#">Samples</a>
85128012A	ACTIVE	LCCC	FK	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	85128012A SNJ54HC 573AFK	<a href="#">Samples</a>
8512801RA	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8512801RA SNJ54HC573AJ	<a href="#">Samples</a>
8512801SA	ACTIVE	CFP	W	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8512801SA SNJ54HC573AW	<a href="#">Samples</a>
JM38510/65406BRA	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	JM38510/ 65406BRA	<a href="#">Samples</a>
M38510/65406BRA	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	JM38510/ 65406BRA	<a href="#">Samples</a>
SN54HC573AJ	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	SN54HC573AJ	<a href="#">Samples</a>
SN74HC573ADBR	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573ADW	ACTIVE	SOIC	DW	20	25	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573ADWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573ADWRG4	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573AN	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74HC573AN	<a href="#">Samples</a>
SN74HC573ANE4	ACTIVE	PDIP	N	20	20	RoHS & Green	NIPDAU	N / A for Pkg Type	-40 to 85	SN74HC573AN	<a href="#">Samples</a>
SN74HC573APWR	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573APWRG4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SN74HC573APWT	ACTIVE	TSSOP	PW	20	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC573A	<a href="#">Samples</a>
SNJ54HC573AFK	ACTIVE	LCCC	FK	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	85128012A SNJ54HC 573AFK	<a href="#">Samples</a>

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SNJ54HC573AJ	ACTIVE	CDIP	J	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8512801RA SNJ54HC573AJ	<a href="#">Samples</a>
SNJ54HC573AW	ACTIVE	CFP	W	20	1	Non-RoHS & Green	SNPB	N / A for Pkg Type	-55 to 125	8512801SA SNJ54HC573AW	<a href="#">Samples</a>

(1) The marketing status values are defined as follows:

**ACTIVE:** Product device recommended for new designs.

**LIFEBUY:** TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

**NRND:** Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

**PREVIEW:** Device has been announced but is not in production. Samples may or may not be available.

**OBSELETE:** TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

**RoHS Exempt:** TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

**Green:** TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

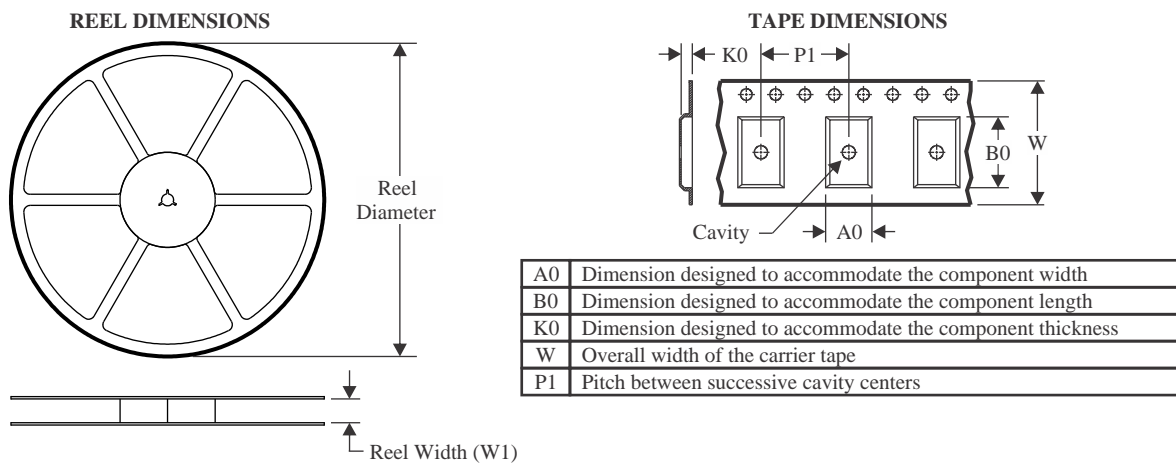
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN54HC573A, SN54HC573A-SP, SN74HC573A :**

- Catalog : [SN74HC573A](#), [SN54HC573A](#)
- Automotive : [SN74HC573A-Q1](#), [SN74HC573A-Q1](#)
- Military : [SN54HC573A](#)
- Space : [SN54HC573A-SP](#)

## NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC573ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74HC573ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HC573ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HC573APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74HC573APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74HC573APWT	TSSOP	PW	20	250	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

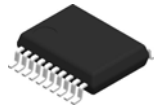
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC573ADBR	SSOP	DB	20	2000	356.0	356.0	35.0
SN74HC573ADWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74HC573ADWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74HC573APWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74HC573APWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74HC573APWT	TSSOP	PW	20	250	356.0	356.0	35.0

**TUBE**


\*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
85128012A	FK	LCCC	20	1	506.98	12.06	2030	NA
8512801SA	W	CFP	20	1	506.98	26.16	6220	NA
SN74HC573ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74HC573AN	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC573ANE4	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54HC573AFK	FK	LCCC	20	1	506.98	12.06	2030	NA
SNJ54HC573AW	W	CFP	20	1	506.98	26.16	6220	NA

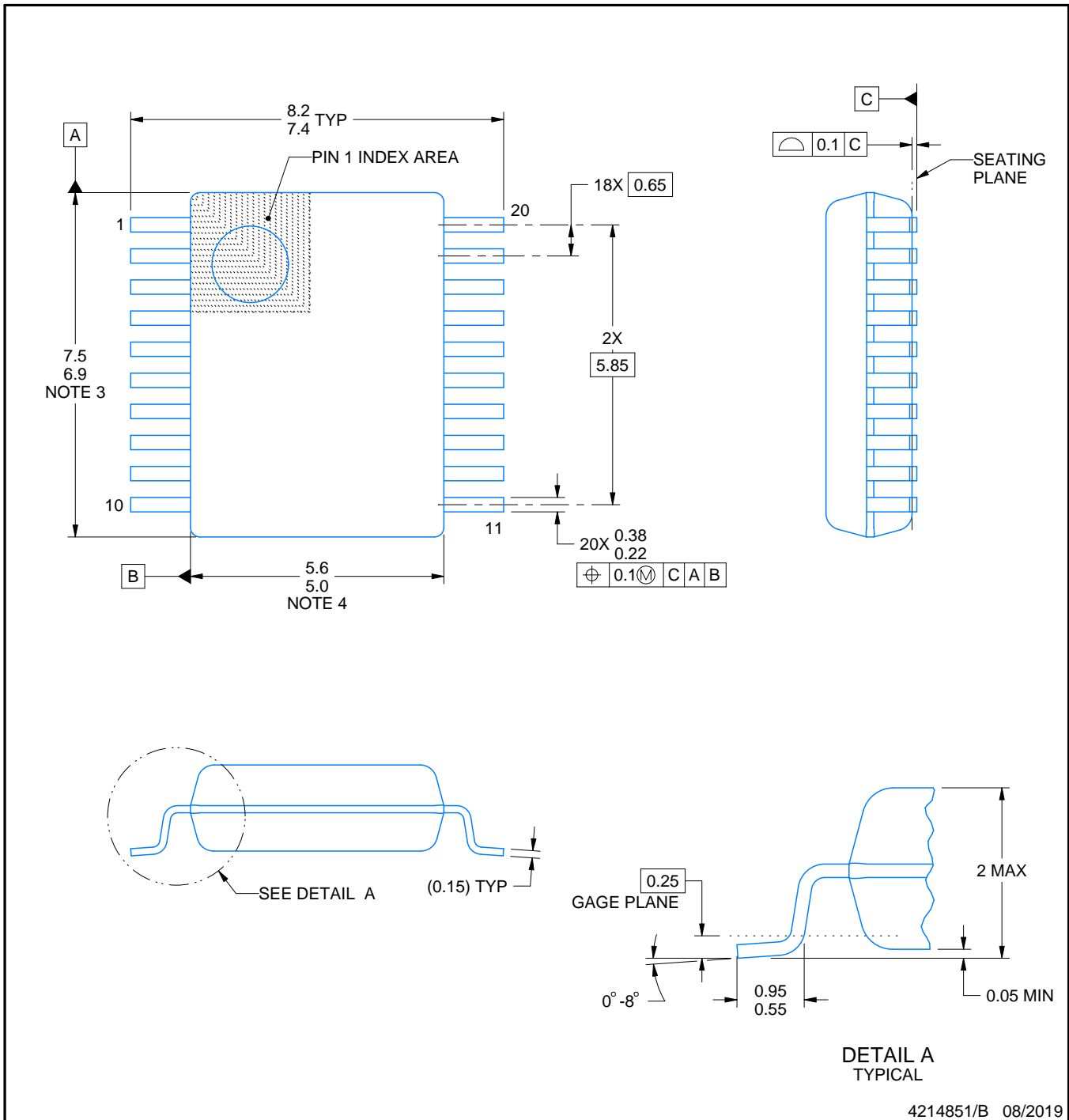
# DB0020A



# PACKAGE OUTLINE

## SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



4214851/B 08/2019

### NOTES:

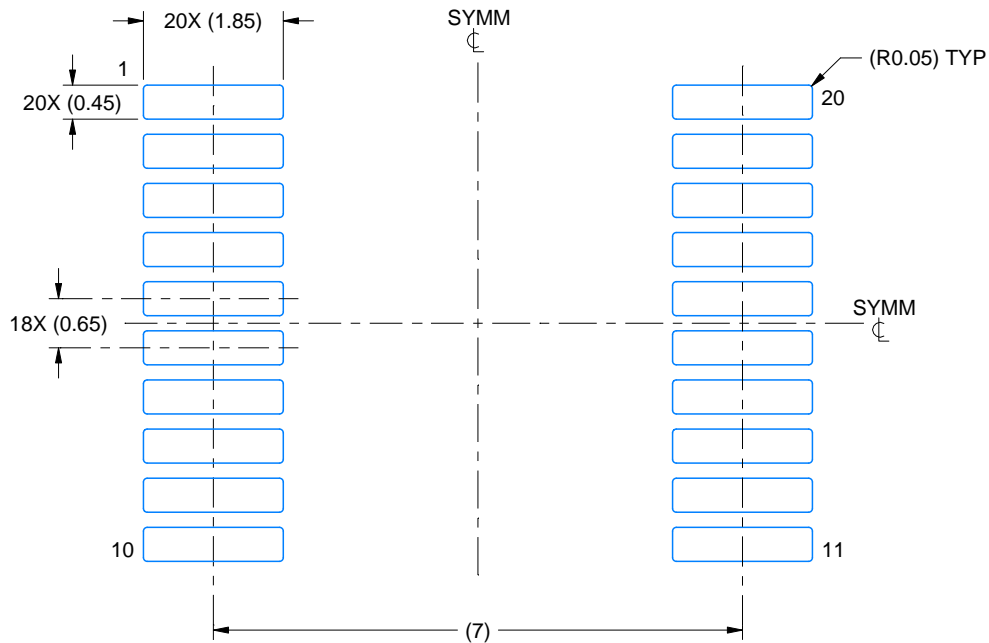
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

# EXAMPLE BOARD LAYOUT

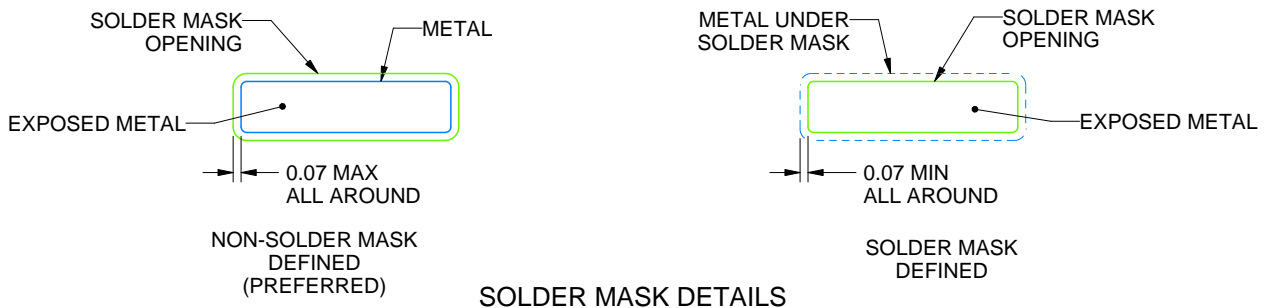
DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4214851/B 08/2019

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

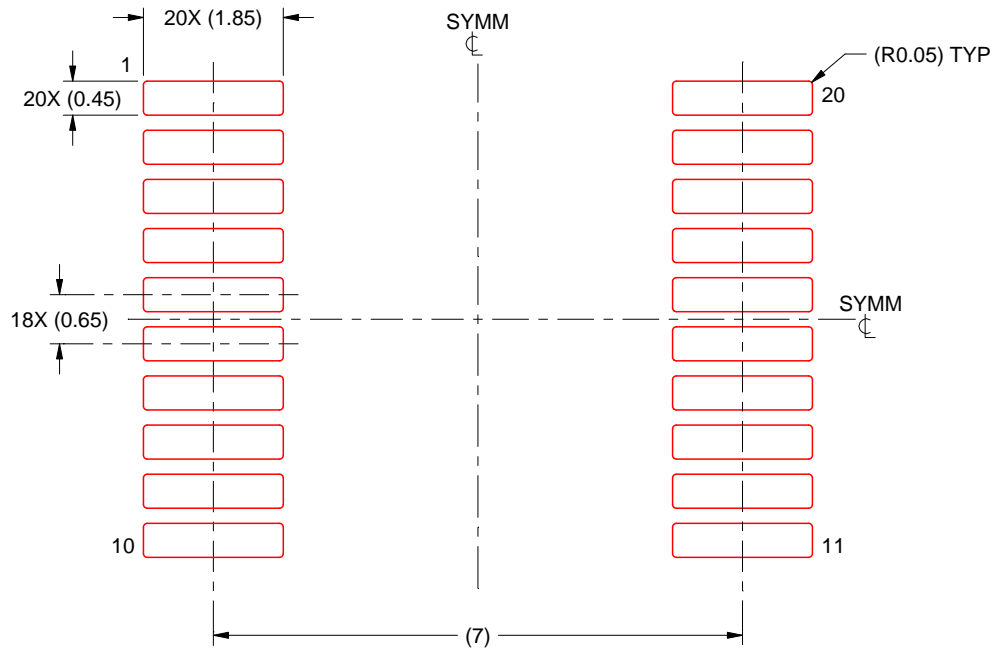


# EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

J (R-GDIP-T\*\*)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

- NOTES:
- All linear dimensions are in inches (millimeters).
  - This drawing is subject to change without notice.
  - This package is hermetically sealed with a ceramic lid using glass frit.
  - Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
  - Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

N (R-PDIP-T\*\*)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
  - The 20 pin end lead shoulder width is a vendor option, either half or full width.

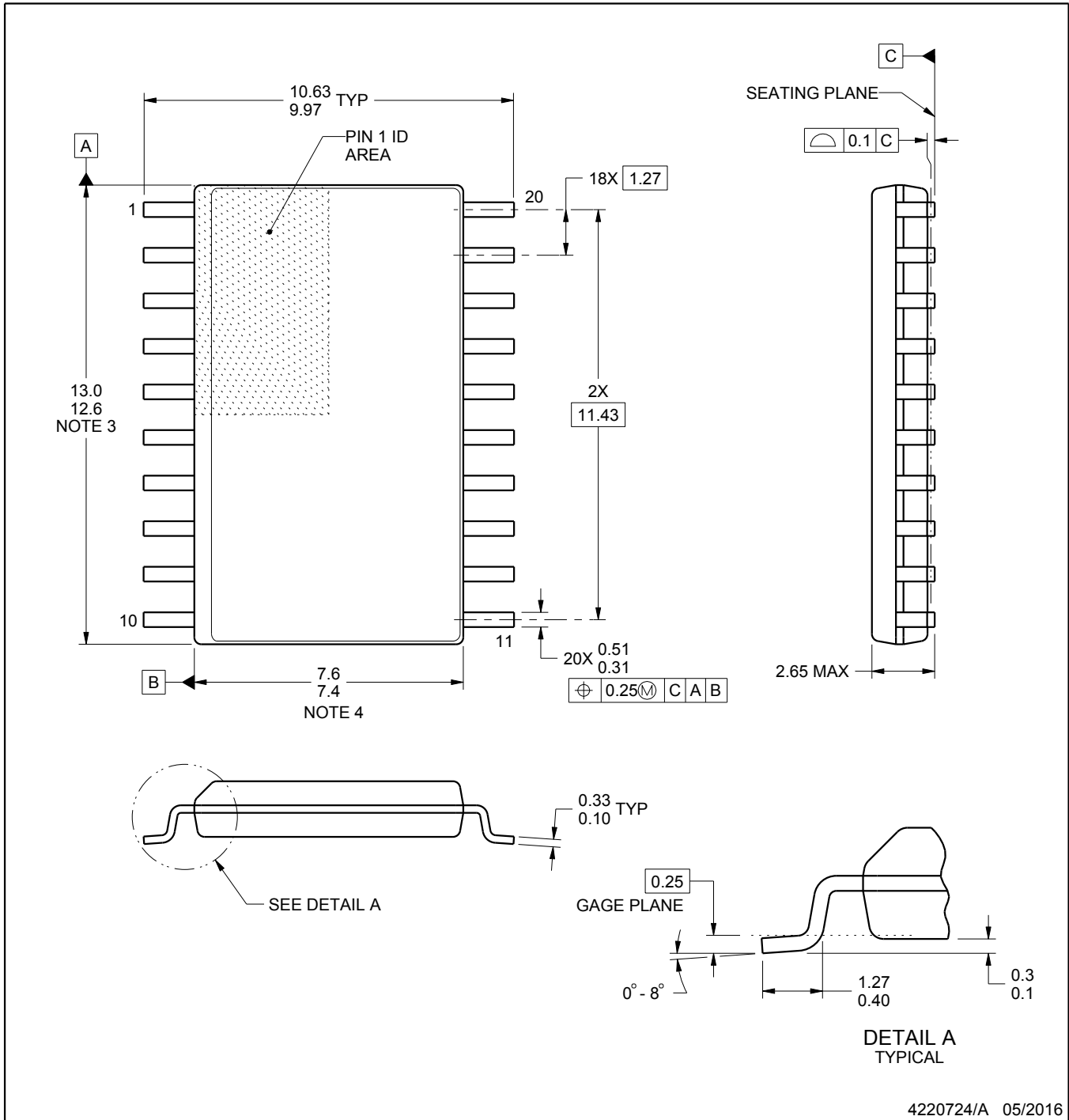
# DW0020A



# PACKAGE OUTLINE

## SOIC - 2.65 mm max height

SOIC



4220724/A 05/2016

### NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

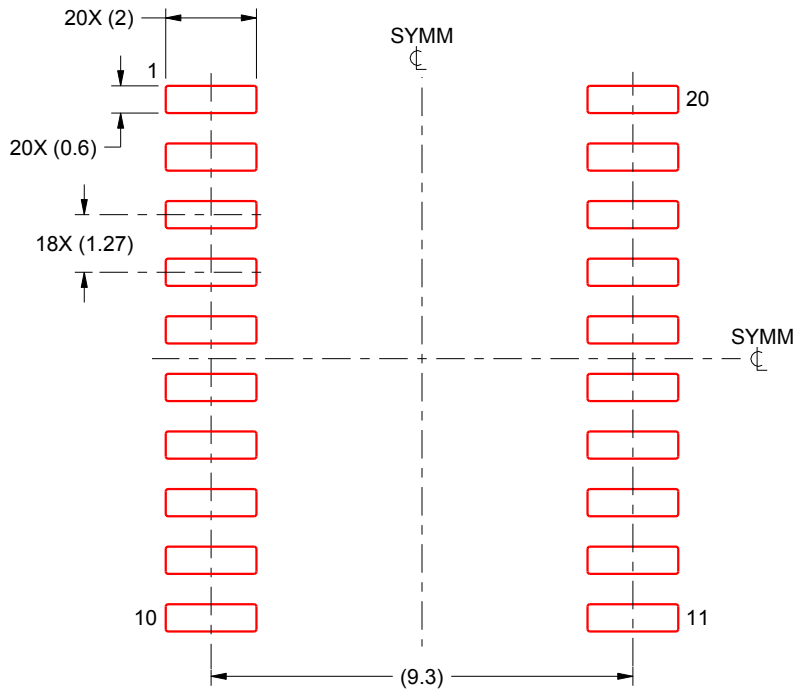
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:6X

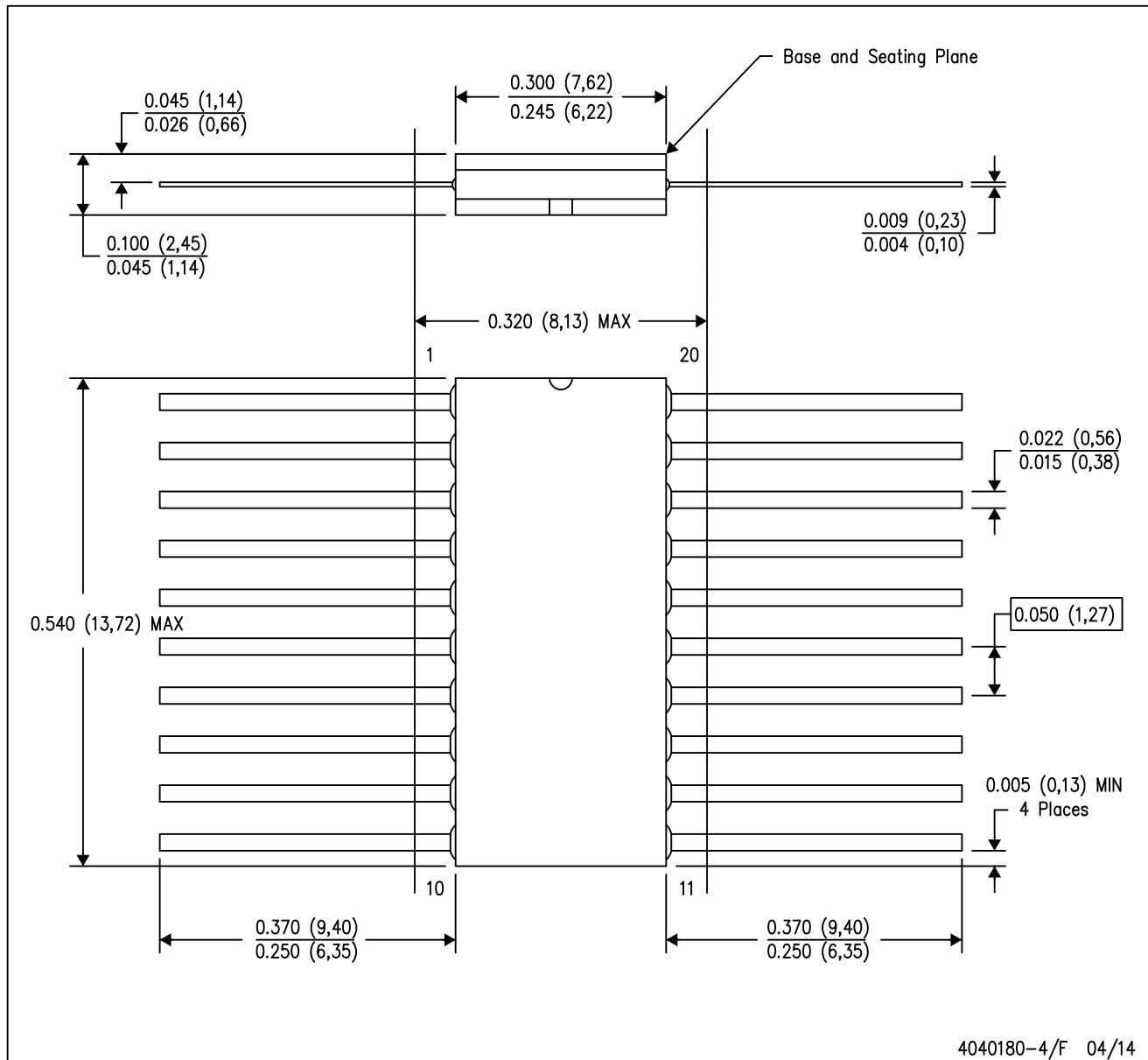
4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

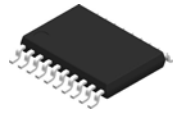
W (R-GDFP-F20)

CERAMIC DUAL FLATPACK



- NOTES:
- A. All linear dimensions are in inches (millimeters).
  - B. This drawing is subject to change without notice.
  - C. This package can be hermetically sealed with a ceramic lid using glass frit.
  - D. Index point is provided on cap for terminal identification only.
  - E. Falls within Mil-Std 1835 GDFP2-F20

PW0020A



# PACKAGE OUTLINE

## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220206/A 02/2017

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.



# EXAMPLE BOARD LAYOUT

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

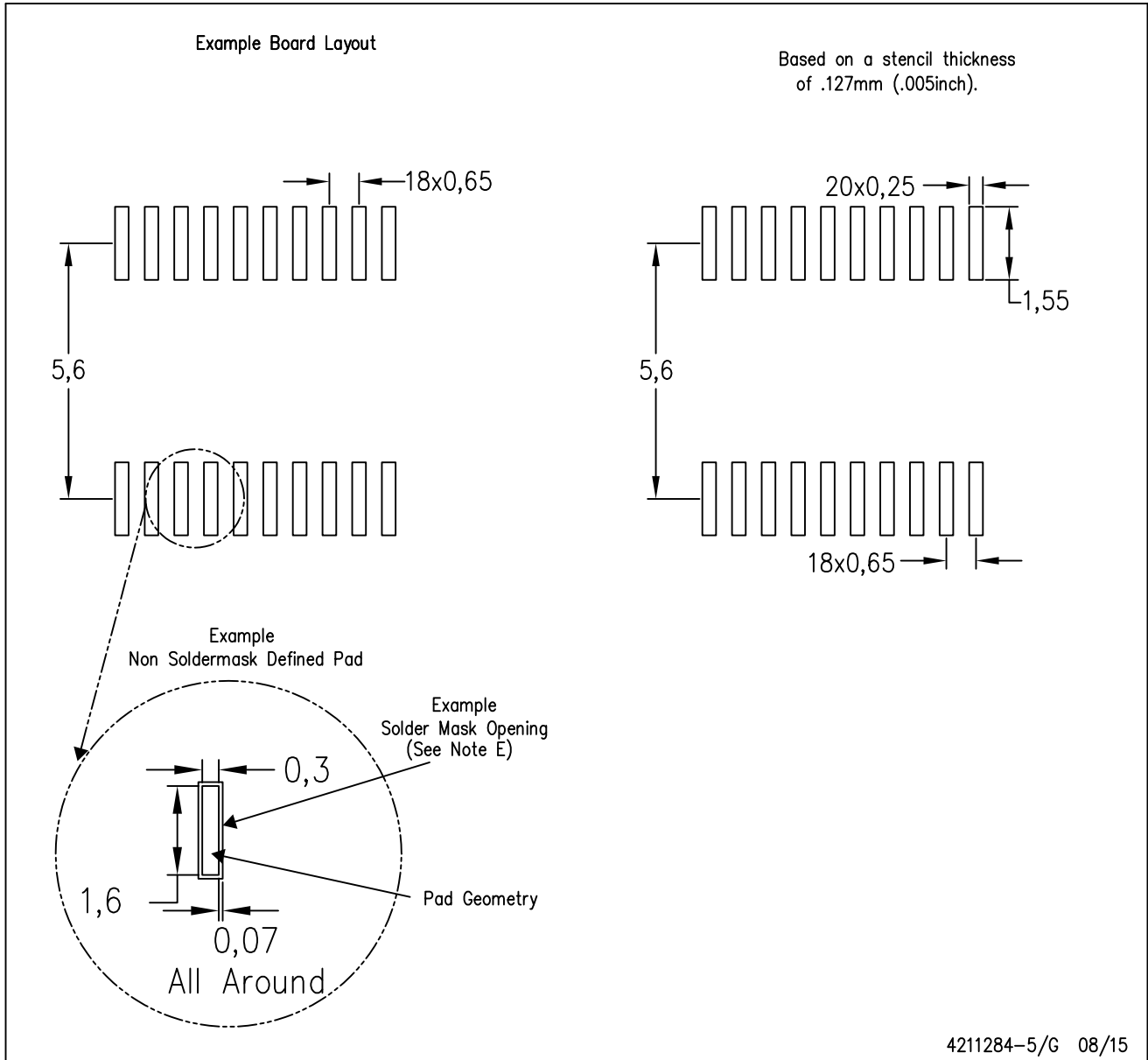
4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW (R-PDSO-G20)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate design.
  - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
  - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

## 重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司