

数据手册

Datasheet

APM32F030xC

基于 Arm[®] Cortex[®]-M0+ 内核的 32 位微控制器

版本: V1.3

1 产品特性

■ 内核

- 32 位 Arm® Cortex®-M0+内核
- 最高 48MHz 工作频率

■ 片上存储器

- Flash: 256KB
- SRAM: 32KB

■ 时钟

- HSECLK: 支持 4~32MHz 外部晶体/陶瓷振荡器
- LSECLK: 支持 32.768KHz 晶体/陶瓷振荡器
- HSICLK: 出厂校准的 8MHz RC 振荡器
- HSICLK14: 支持 14MHz RC 振荡器
- LSICLK: 支持 40KHz RC 振荡器
- PLL: 锁相环, 支持 2~16 倍频

■ 电源与电源管理

- V_{DD} 范围: 2.0~3.6V
- V_{DDA} 范围: V_{DD} ~3.6V
- 支持上电/掉电复位 (POR/PDR)

■ 低功耗模式

- 支持睡眠、停机、待机三种模式

■ DMA

- 5 通道 DMA 控制器

■ 调试接口

- SWD

■ I/O

- 最多有 51 个 I/O
- 所有 I/O 都可以映射到外部中断向量
- 最多 29 个容忍 5V 输入的 I/O

■ 通信外设

- 2 个 I2C 接口 (1Mbit/s), 全部支持 SMBus/PMBus
- 6 个 USART, 支持同步传输等功能
- 2 个 SPI (18Mbit/s) 接口

■ 模拟外设

- 1 个 12 位的 ADC, 最多支持 16 个外部通道

■ 定时器

- 1 个可以提供 7 通道 PWM 输出的 16 位高级定时器 TMR1, 支持死区生成和刹车输入等功能
- 5 个 16 位通用定时器 TMR3/14/15/16 和 TMR17, 定时器最多有 4 个独立通道可以用来输入捕获、输出比较、PWM 与脉冲计数等功能。
- 2 个 16 位基本定时器 TMR6/7
- 2 个看门狗定时器: 一个独立看门狗 IWDG 和一个窗口看门狗 WWDG
- 1 个 24 位自减型系统滴答定时器 Sys Tick Timer

■ RTC

- 支持日历功能
- 在停机/待机模式下可用于警报和周期唤醒

■ CRC 计算单元

■ 96 位唯一设备 ID (UID)

目录

1	产品特性	1
2	产品信息	5
3	引脚信息	6
3.1	引脚分布	6
3.2	引脚功能描述	7
4	功能描述	14
4.1	系统架构	14
4.1.1	系统框图	14
4.1.2	存储映射	14
4.1.3	启动配置	16
4.2	内核	17
4.3	中断控制器	17
4.3.1	嵌套的向量式中断控制器(NVIC)	17
4.3.2	外部中断/事件控制器(EINT)	17
4.4	片上存储器	17
4.5	时钟	17
4.5.1	时钟源	18
4.5.2	系统时钟	18
4.5.3	总线时钟	19
4.6	电源与电源管理	19
4.6.1	电源方案	19
4.6.2	调压器	19
4.6.3	电源电压监控器	19
4.7	低功耗模式	19
4.8	DMA	20
4.9	GPIO	20
4.10	通信外设	20
4.10.1	USART	20

4.10.2 I2C	21
4.10.3 SPI	21
4.11 模拟外设	21
4.11.1 ADC	21
4.12 定时器	21
4.13 RTC	23
4.14 CRC	23
5 电气特性	24
5.1 电气特性测试条件	24
5.1.1 最大值和最小值	24
5.1.2 典型值	24
5.1.3 典型曲线	24
5.1.4 电源方案	24
5.1.5 负载电容	25
5.2 通用工作条件下的测试	25
5.3 绝对最大额定值	26
5.3.1 最大温度特性	26
5.3.2 最大额定电压特性	26
5.3.3 最大额定电流特性	26
5.3.4 ESD 特性	27
5.3.5 静态栓锁	27
5.4 片上存储器	27
5.4.1 Flash 特性	27
5.5 时钟	28
5.5.1 外部时钟源特性	28
5.5.2 内部时钟源特性	29
5.5.3 PLL 特性	29
5.6 电源与电源管理	30
5.6.1 内嵌复位和电源控制模块特性测试	30
5.7 功耗	30
5.7.1 功耗测试环境	30

5.7.2	运行模式功耗	30
5.7.3	睡眠模式功耗	32
5.7.4	停机、待机模式功耗	34
5.7.5	外设功耗	35
5.8	低功耗模式唤醒时间	36
5.9	引脚特性.....	36
5.9.1	I/O 引脚特性.....	36
5.9.2	NRST 引脚特性.....	38
5.10	通信外设.....	38
5.10.1	I2C 外设特性.....	38
5.10.2	SPI 外设特性.....	39
5.11	模拟外设.....	41
5.11.1	ADC	41
6	封装信息	43
6.1	LQFP64 封装图.....	43
6.2	LQFP48 封装图.....	45
7	包装信息	48
7.1	带状包装.....	48
7.2	托盘包装.....	49
8	订货信息	51
9	常用功能模块命名.....	52
10	修订历史.....	53

2 产品信息

APM32F030xC 产品功能和外设配置请参阅下表。

表格 1 APM32F030xC 系列芯片功能和外设

产品		APM32F030	
型号		CCTx	RCTx
封装		LQFP48	LQFP64
内核及最大工作频率		Arm® 32-bit Cortex®-M0+@48MHz	
工作电压		2.0~3.6V	
Flash(KB)		256	
SRAM(KB)		32	
GPIOs		37	51
通信接口	USART	6	
	SPI	2	
	I2C	2	
定时器	16 位高级	1	
	16 位通用	5	
	16 位基本	2	
	系统滴答定时器	1	
	看门狗	2	
实时时钟		1	
12 位 ADC	单元	1	
	外部通道	10	16
	内部通道	2	
工作温度		环境温度: -40°C 至 85°C/-40°C 至 105°C 结温度: -40°C 至 105°C/-40°C 至 125°C	

注:

- (1) 当 x 为 6 时, 环境温度: -40°C 至 85°C, 结温度: -40°C 至 105°C;
- (2) 当 x 为 7 时, 环境温度: -40°C 至 105°C, 结温度: -40°C 至 125°C。

3 引脚信息

3.1 引脚分布

图 1 APM32F030xCTx 系列 LQFP64 引脚分布图

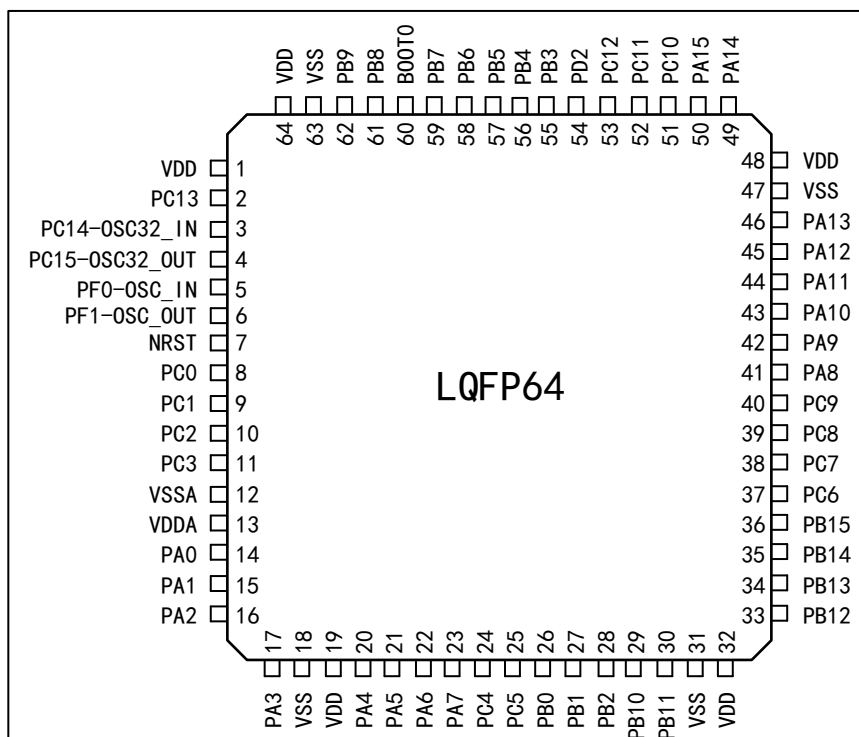
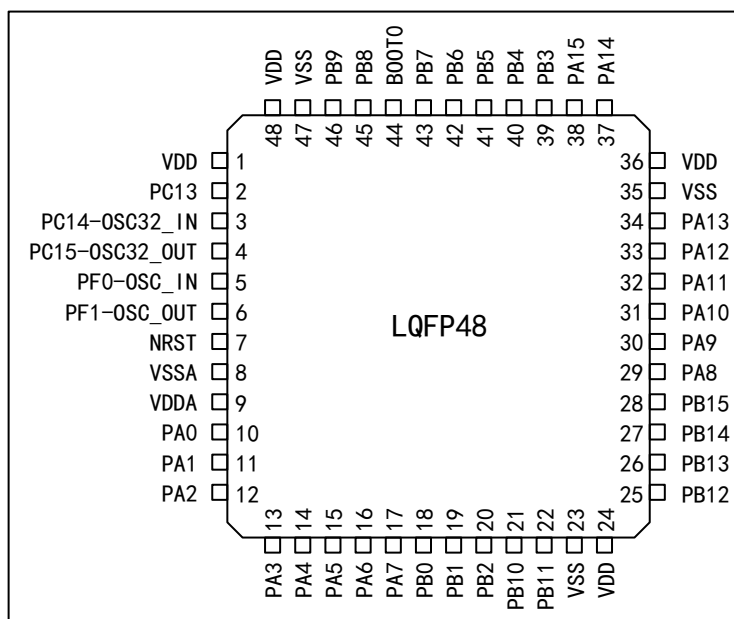


图 2 APM32F030xCTx 系列 LQFP48 引脚分布图



3.2 引脚功能描述

表格 2 输出引脚表中使用的图例/缩写

名称	缩写	定义
引脚名称		除非引脚名称下方的括号中另有规定，否则复位期间和复位后的引脚功能与实际引脚名称相同
引脚类型	P	电源引脚
	I	仅输入引脚
	I/O	I/O 引脚
I/O 结构	5T	5V 容忍 I/O
	5Tf	5V 容忍 I/O, FM+功能
	STDA	3.3V 标准、直接连接到 ADC 的 I/O
	STD	3.3V 标准 I/O
	B	专用 Boot0 引脚
	RST	内置上拉电阻的双向复位引脚
注意		除非注释另有规定，否则复位期间和复位后，所有 I/O 都设置为浮空输入
引脚功能	默认复用功能	通过外设寄存器直接选择/启用此功能
	附加功能	通过 GPIO 的复用功能寄存器选择此功能

表格 3 APM32F030xCTx 按引脚序号排序描述

名称 (复位后的功能)	类型	结构	默认复用功能	附加功能	LQFP48	LQFP64
VDD	P	-	数字电源		1	1
PC13	I/O	STD	-	RTC_TAMP1, RTC_TS, RTC_OUT, WKUP2	2	2
PC14-OSC32_IN (PC14)	I/O	STD	-	OSC32_IN	3	3
PC15-OSC32_OUT (PC15)	I/O	STD	-	OSC32_OUT	4	4
PF0-OSC_IN (PF0)	I/O	STD	I2C1_SDA	OSC_IN	5	5
PF1-OSC_OUT (PF1)	I/O	STD	I2C1_SCL	OSC_OUT	6	6
NRST	I/O	RST	芯片复位输入/内部复位输出 (低电平有效)		7	7
PC0	I/O	STDA	EVENTOUT, USART6_TX	ADC_IN10	-	8

名称 (复位后的功能)	类型	结构	默认复用功能	附加功能	LQFP48	LQFP64
PC1	I/O	STDA	EVENTOUT, USART6_RX	ADC_IN11	-	9
PC2	I/O	STDA	SPI2_MISO, EVENTOUT	ADC_IN12	-	10
PC3	I/O	STDA	SPI2_MOSI, EVENTOUT	ADC_IN13	-	11
VSSA	P	-	模拟地		8	12
VDDA	P	-	模拟电源		9	13
PA0	I/O	STDA	USART2_CTS, USART4_TX	ADC_IN0, RTC_TAMP2, WKUP1	10	14
PA1	I/O	STDA	USART2_RTS, EVENTOUT, USART4_RX	ADC_IN1	11	15
PA2	I/O	STDA	USART2_TX, TMR15_CH1	ADC_IN2, WKUP4	12	16
PA3	I/O	STDA	USART2_RX, TMR15_CH2	ADC_IN3	13	17
VSS	P	-	地		-	18
VDD	P	-	数字电源		-	19
PA4	I/O	STDA	SPI1_NSS, USART2_CK, TMR14_CH1, USART6_TX	ADC_IN4	14	20
PA5	I/O	STDA	SPI1_SCK, USART6_RX	ADC_IN5	15	21
PA6	I/O	STDA	SPI1_MISO, TMR3_CH1, TMR1_BKIN, TMR16_CH1, EVENTOUT, USART3_CTS	ADC_IN6	16	22
PA7	I/O	STDA	SPI1_MOSI, TMR3_CH2, TMR14_CH1, TMR1_CH1N, TMR17_CH1, EVENTOUT	ADC_IN7	17	23
PC4	I/O	STDA	EVENTOUT, USART3_TX	ADC_IN14	-	24

名称 (复位后的功能)	类型	结构	默认复用功能	附加功能	LQFP48	LQFP64
PC5	I/O	STDA	USART3_RX	ADC_IN15, WKUP5	-	25
PB0	I/O	STDA	TMR3_CH3, TMR1_CH2N, EVENTOUT, USART3_CK	ADC_IN8	18	26
PB1	I/O	STDA	TMR3_CH4, TMR14_CH1, TMR1_CH3N, USART3_RTS	ADC_IN9	19	27
PB2	I/O	5T	-	-	20	28
PB10	I/O	5T	SPI2_SCK, I2C2_SCL, USART3_TX	-	21	29
PB11	I/O	5T	I2C2_SDA, EVENTOUT, USART3_RX	-	22	30
VSS	P	-	地		23	31
VDD	P	-	数字电源		24	32
PB12	I/O	5T	SPI2_NSS, TMR1_BKIN, EVENTOUT, USART3_CK	-	25	33
PB13	I/O	5T	SPI2_SCK, I2C2_SCL, TMR1_CH1N, USART3_CTS	-	26	34
PB14	I/O	5T	SPI2_MISO, I2C2_SDA, TMR1_CH2N, TMR15_CH1, USART3_RTS	-	27	35
PB15	I/O	5T	SPI2_MOSI, TMR1_CH3N, TMR15_CH1N, TMR15_CH2	RTC_REFIN, WKUP7	28	36
PC6	I/O	5T	TMR3_CH1	-	-	37
PC7	I/O	5T	TMR3_CH2	-	-	38
PC8	I/O	5T	TMR3_CH3	-	-	39

名称 (复位后的功能)	类型	结构	默认复用功能	附加功能	LQFP48	LQFP64
PC9	I/O	5T	TMR3_CH4	-	-	40
PA8	I/O	5T	USART1_CK, TMR1_CH1, EVENTOUT, MCO	-	29	41
PA9	I/O	5T	USART1_TX, TMR1_CH2, TMR15_BKIN, I2C1_SCL	-	30	42
PA10	I/O	5T	USART1_RX, TMR1_CH3, TMR17_BKIN, I2C1_SDA	-	31	43
PA11	I/O	5T	USART1_CTS, TMR1_CH4, EVENTOUT, I2C2_SCL	-	32	44
PA12	I/O	5T	USART1_RTS, TMR1_ETR, EVENTOUT, I2C2_SDA	-	33	45
PA13 (SWDIO)	I/O	5T	IR_OUT,SWDIO	-	34	46
VSS	P	-	地		35	47
VDD	P	-	数字电源		36	48
PA14 (SWCLK)	I/O	5T	USART2_TX, SWCLK	-	37	49
PA15	I/O	5T	SPI1_NSS, USART2_RX, USART4_RTS, EVENTOUT	-	38	50
PC10	I/O	5T	USART3_TX, USART4_TX	-	-	51
PC11	I/O	5T	USART3_RX, USART4_RX	-	-	52
PC12	I/O	5T	USART3_CK, USART4_CK, USART5_TX	-	-	53
PD2	I/O	5T	TMR3_ETR, USART3_RTS, USART5_RX	-	-	54

名称 (复位后的功能)	类型	结构	默认复用功能	附加功能	LQFP48	LQFP64
PB3	I/O	5T	SPI1_SCK, EVENTOUT, USART5_TX	-	39	55
PB4	I/O	5T	SPI1_MISO, TMR3_CH1, EVENTOUT, TMR17_BKIN, USART5_RX	-	40	56
PB5	I/O	STD	SPI1_MOSI, I2C1_SMBA, TMR16_BKIN, TMR3_CH2, USART5_CK_RTS	WKUP6	41	57
PB6	I/O	5Tf	I2C1_SCL, USART1_TX, TMR16_CH1N	-	42	58
PB7	I/O	5Tf	I2C1_SDA, USART1_RX, TMR17_CH1N, USART4_CTS	-	43	59
BOOT0	I	B	启动选择		44	60
PB8	I/O	5T	I2C1_SCL, TMR16_CH1	-	45	61
PB9	I/O	5T	I2C1_SDA, IR_OUT, SPI2_NSS, TMR17_CH1, EVENTOUT	-	46	62
VSS	P	-	地		47	63
VDD	P	-	数字电源		48	64

注:

- (1) PC13、PC14 和 PC15 通过电源开关供电。由于开关仅吸收有限的电流(3 毫安)，因此在输出模式下 GPIO 的 PC13 至 PC15 的使用受到限制：大负载为 30 pF 时，速度不应超过 2MHz；不用作电流源(例如驱动发光二极管)。
- (2) 复位后，PA13、PA14 配置为 SWDIO 和 SWCLK 复用功能，SWDIO 引脚的内部上拉和 SWCLK 引脚的内部下拉被激活。

表格 4 端口 A 复用功能配置

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5	AF6
PA0	-	USART2_CTS	-	-	USART4_TX	-	-
PA1	EVENTOUT	USART2_RTS	-	-	USART4_RX	TMR15_CH1N	-
PA2	TMR15_CH1	USART2_TX	-	-	-	-	-
PA3	TMR15_CH2	USART2_RX	-	-	-	-	-
PA4	SPI1_NSS	USART2_CK	-	-	TMR14_CH1	USART6_TX	-
PA5	SPI1_SCK	-	-	-	-	USART6_RX	-
PA6	SPI1_MISO	TMR3_CH1	TMR1_BKIN	-	USART3_CTS	TMR16_CH1	EVENTOUT
PA7	SPI1_MOSI	TMR3_CH2	TMR1_CH1N	-	TMR14_CH1	TMR17_CH1	EVENTOUT
PA8	MCO	USART1_CK	TMR1_CH1	EVENTOUT	-	-	-
PA9	TMR15_BKIN	USART1_TX	TMR1_CH2	-	I2C1_SCL	MCO	-
PA10	TMR17_BKIN	USART1_RX	TMR1_CH3	-	I2C1_SDA	-	-
PA11	EVENTOUT	USART1_CTS	TMR1_CH4	-	-	SCL	-
PA12	EVENTOUT	USART1_RTS	TMR1_ETR	-	-	SDA	-
PA13	SWDIO	IR_OUT	-	-	-	-	-
PA14	SWCLK	USART2_TX	-	-	-	-	-
PA15	SPI1_NSS	USART2_RX	-	EVENTOUT	USART4_RTS	-	-

表格 5 端口 B 复用功能配置

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5
PB0	EVENTOUT	TMR3_CH3	TMR1_CH2N	-	USART3_CK	-
PB1	TMR14_CH1	TMR3_CH4	TMR1_CH3N	-	USART3_RTS	-
PB2	-	-	-	-	-	-
PB3	SPI1_SCK	EVENTOUT	-	-	USART5_TX	-
PB4	SPI1_MISO	TMR3_CH1	EVENTOUT	-	USART5_RX	TMR17_BKIN
PB5	SPI1_MOSI	TMR3_CH2	TMR16_BKIN	I2C1_SMBA	USART5_CK_RTS	-
PB6	USART1_TX	I2C1_SCL	TMR16_CH1N	-	-	-
PB7	USART1_RX	I2C1_SDA	TMR17_CH1N	-	USART4_CTS	-
PB8	-	I2C1_SCL	TMR16_CH1	-	-	-
PB9	IR_OUT	I2C1_SDA	TMR17_CH1	EVENTOUT	-	SPI2_NSS
PB10	-	I2C2_SCL	-	-	USART3_TX	SPI2_SCK
PB11	EVENTOUT	I2C2_SDA	-	-	USART3_RX	-
PB12	SPI2_NSS	EVENTOUT	TMR1_BKIN	-	USART3_RTS	TMR15
PB13	SPI2_SCK	-	TMR1_CH1N	-	USART3_CTS	I2C2_SCL

引脚名称	AF0	AF1	AF2	AF3	AF4	AF5
PB14	SPI2_MISO	TMR15_CH1	TMR1_CH2N	-	USART3_RTS	I2C2_SDA
PB15	SPI2_MOSI	TMR15_CH2	TMR1_CH3N	TMR15_CH1N	-	-

表格 6 端口 C 复用功能配置

引脚名称	AF0	AF1	AF2
PC0	EVENTOUT	-	USART6_TX
PC1	EVENTOUT	-	USART6_RX
PC2	EVENTOUT	SPI2_MISO	-
PC3	EVENTOUT	SPI2_MOSI	-
PC4	EVENTOUT	USART3_TX	-
PC5	-	USART3_RX	-
PC6	TMR3_CH1	-	-
PC7	TMR3_CH2	-	-
PC8	TMR3_CH3	-	-
PC9	TMR3_CH4	-	-
PC10	USART4_TX	USART3_TX	-
PC11	USART4_RX	USART3_RX	-
PC12	USART4_CK	USART3_CK	USART5_TX
PC13	-	-	-
PC14	-	-	-
PC15	-	-	-

表格 7 端口 D 复用功能配置

引脚名称	AF0	AF1	AF2
PD2	TMR3_ETR	USART3_RTS	USART5_RX

表格 8 端口 F 复用功能配置

引脚名称	AF0	AF1
PF0	-	I2C1_SDA
PF1	-	I2C1_SCL

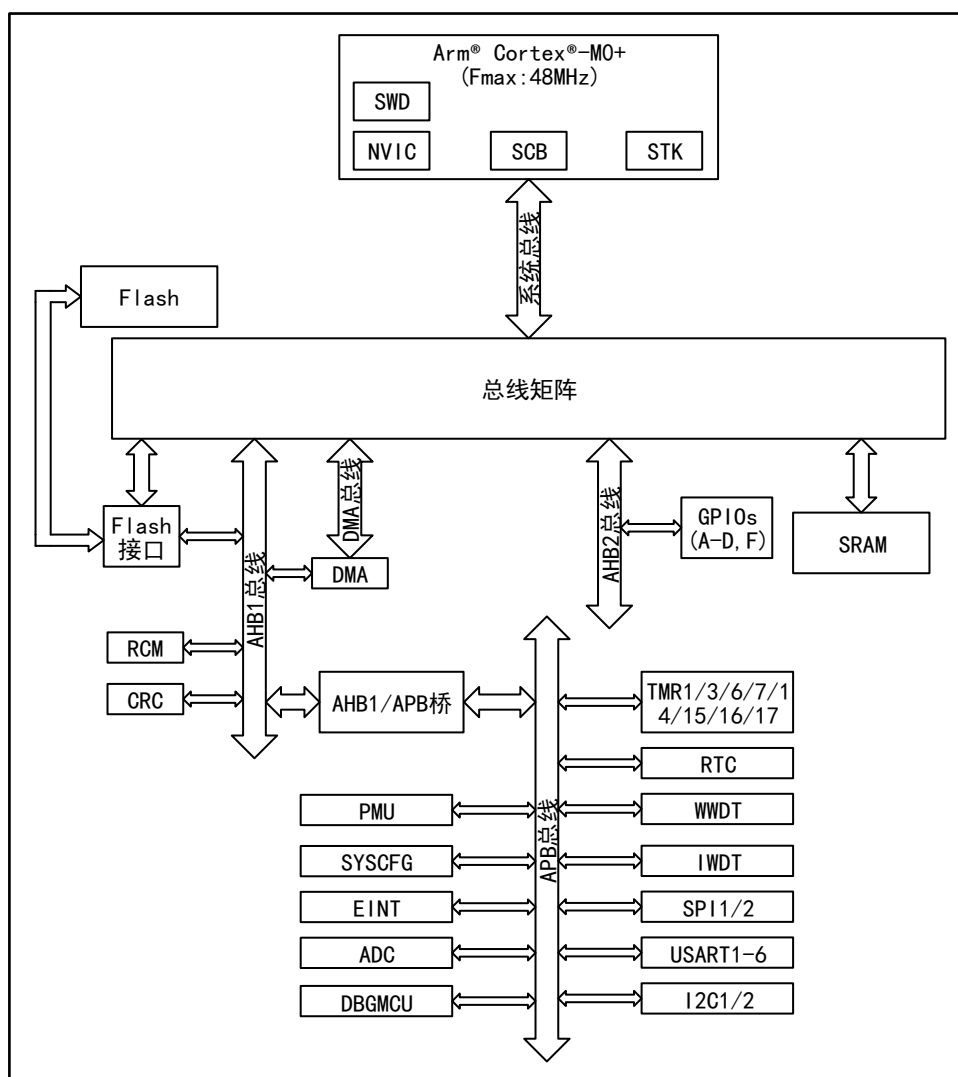
4 功能描述

本章主要介绍 APM32F030xC 系列产品系统架构、中断、片上存储器、时钟、电源、外设特点，有关 Arm® Cortex®-M0+内核的相关信息，请参考 Arm® Cortex®-M0+技术参考手册，该手册可以在 Arm 公司的网站下载。

4.1 系统架构

4.1.1 系统框图

图 3 APM32F030xC 系统框图



4.1.2 存储映射

表格 9 APM32F030xC 存储映射表

区域	起始地址	外设名称
代码	0x0000 0000	代码映射区
代码	0x0004 0000	保留

区域	起始地址	外设名称
代码	0x0800 0000	主存储区
代码	0x0804 0000	保留
代码	0x1FFF D800	系统存储
代码	0x1FFF F800	选项字节
代码	0x1FFF FC00	保留
SRAM	0x2000 0000	SRAM
—	0x2000 8000	保留
APB 总线	0x4000 0400	TMR3
APB 总线	0x4000 0800	保留
APB 总线	0x4000 1000	TMR6
APB 总线	0x4000 1400	TMR7
APB 总线	0x4000 1800	保留
APB 总线	0x4000 2000	TMR14
APB 总线	0x4000 2400	保留
APB 总线	0x4000 2800	RTC
APB 总线	0x4000 2C00	WWDT
APB 总线	0x4000 3000	IWDT
APB 总线	0x4000 3400	保留
APB 总线	0x4000 3800	SPI2
APB 总线	0x4000 3C00	保留
APB 总线	0x4000 4400	USART2
APB 总线	0x4000 4800	USART3
APB 总线	0x4000 4C00	USART4
APB 总线	0x4000 5000	USART5
APB 总线	0x4000 5400	I2C1
APB 总线	0x4000 5800	I2C2
APB 总线	0x4000 5C00	保留
APB 总线	0x4000 7000	PMU
APB 总线	0x4000 7400	保留
—	0x4000 8000	保留
APB 总线	0x4001 0000	SYSCFG
APB 总线	0x4001 0400	EINT
APB 总线	0x4001 0800	保留
APB 总线	0x4001 1400	USART6
APB 总线	0x4001 1800	保留
APB 总线	0x4001 2400	ADC
APB 总线	0x4001 2800	保留
APB 总线	0x4001 2C00	TMR1

区域	起始地址	外设名称
APB 总线	0x4001 3000	SPI1
APB 总线	0x4001 3400	保留
APB 总线	0x4001 3800	USART1
APB 总线	0x4001 3C00	保留
APB 总线	0x4001 4000	TMR15
APB 总线	0x4001 4400	TMR16
APB 总线	0x4001 4800	TMR17
APB 总线	0x4001 4C00	保留
APB 总线	0x4001 5800	DBGMCU
APB 总线	0x4001 5C00	保留
—	0x4001 8000	保留
AHB1 总线	0x4002 0000	DMA
AHB1 总线	0x4002 0400	保留
AHB1 总线	0x4002 1000	RCM
AHB1 总线	0x4002 1400	保留
AHB1 总线	0x4002 2000	Flash 接口
AHB1 总线	0x4002 2400	保留
AHB1 总线	0x4002 3000	CRC
AHB1 总线	0x4002 3400	保留
—	0x4002 4400	保留
AHB2 总线	0x4800 0000	GPIOA
AHB2 总线	0x4800 0400	GPIOB
AHB2 总线	0x4800 0800	GPIOC
AHB2 总线	0x4800 0C00	GPIOD
AHB2 总线	0x4800 1000	保留
AHB2 总线	0x4800 1400	GPIOF
—	0x4800 1800	保留
内核	0xE000 E010	STK
内核	0xE000 E100	NVIC
内核	0xE000 ED00	SCB
—	0xE010 0000	保留

4.1.3 启动配置

启动时，用户可设置 Boot 引脚的高低电平选择以下三种启动模式中的一种：

- 从主存储器启动
- 从 BootLoader 启动
- 从内置 SRAM 启动

若从 BootLoader 启动，用户可使用 USART 接口重新编程用户 Flash。

4.2 内核

APM32F030xC 的内核是 Arm® Cortex®-M0+，基于该平台开发成本低、功耗低，可提供优良的计算性能和先进的系统中断响应，兼容所有 Arm 工具和软件。

4.3 中断控制器

4.3.1 嵌套的向量式中断控制器(NVIC)

内置 1 个嵌套向量中断控制器（NVIC），NVIC 能够处理多达 32 个可屏蔽中断通道（不包括 16 个 Cortex®-M0+的中断线）和 4 个优先级；可直接向内核传递中断向量入口地址，从而达到低延迟的中断响应处理能优先处理晚到的较高优先级中断。

4.3.2 外部中断/事件控制器(EINT)

外部中断/事件控制器有 32 个边沿检测器，每个检测器包含边沿检测电路、中断/事件请求产生电路；每个检测器可配置为上升沿触发、下降沿、双边沿触发，也能够单独屏蔽；最多 51 个 GPIO 可连接到 16 个外部中断线。

4.4 片上存储器

片上存储器包括主存储区、SRAM、信息块，其中信息块包括系统存储区、选项字节，系统存储区存放 BootLoader、96 位唯一设备 ID、主存储区容量信息；系统存储区出厂时已写入程序，不可擦写。

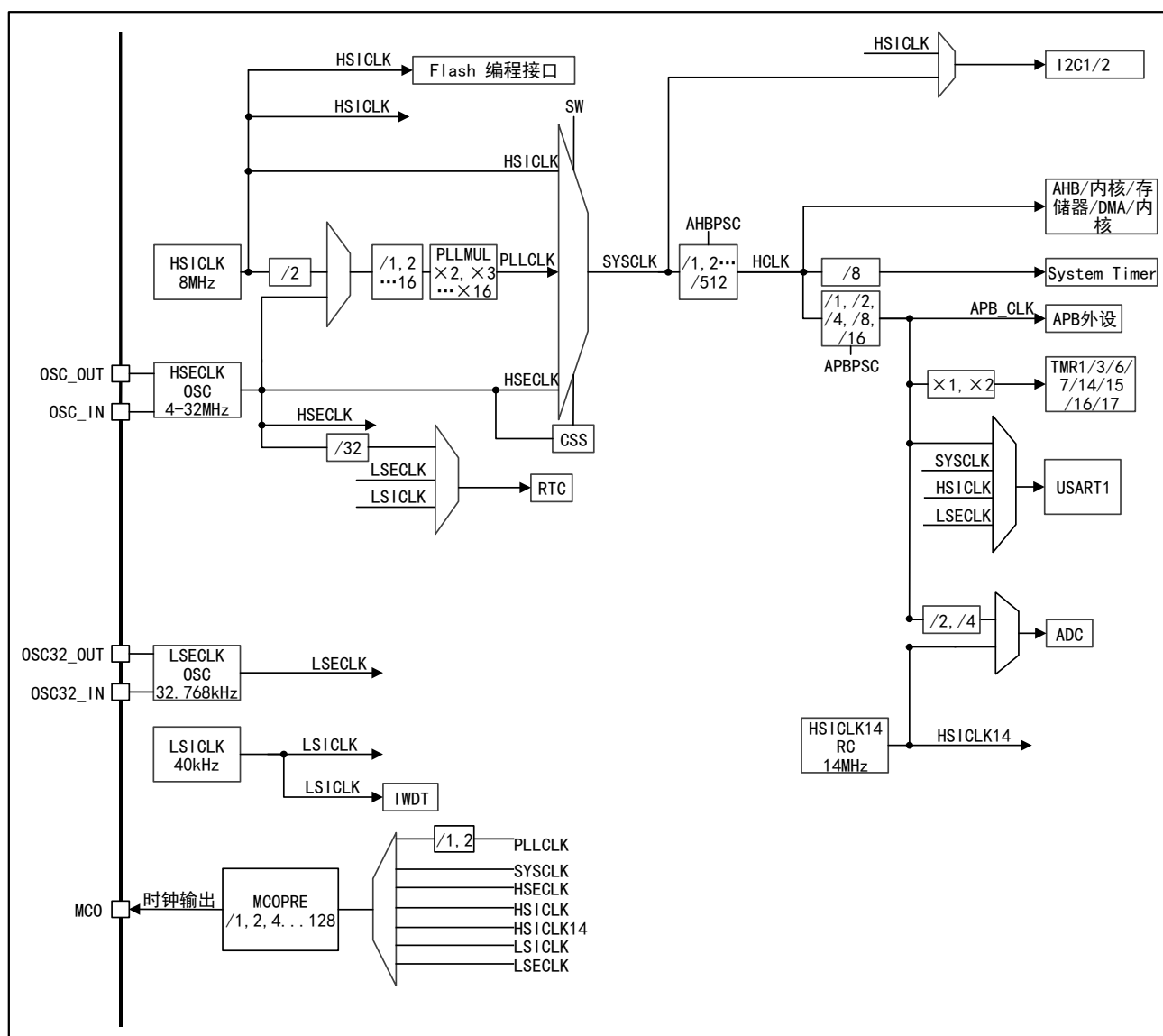
表格 10 片上存储区

存储器	最大容量	功能
主存储区	256 KB	存放用户程序和数据
SRAM	32 KB	CPU 能以 0 等待周期访问（读/写）
系统存储区	8KB	存放 BootLoader、96 位唯一设备 ID、主存储区容量信息
选项字节	16Bytes	配置主存储区读写保护、MCU 工作方式

4.5 时钟

APM32F030xC 的时钟树见下图：

图 4 APM32F030xC 时钟树



4.5.1 时钟源

时钟源按速度分为高速时钟、低速时钟，高速时钟有：HSICKL、HSECLK、HSICKL14，低速时钟有：LSECLK、LSICKL；按片内/外分为内部时钟、外部时钟，内部时钟有 HSICKL、LSICKL、HSICKL14，外部时钟有 HSECLK、LSECLK，其中 HSICKL 在出厂时会校准精度至 ±1%。

4.5.2 系统时钟

可选择 HSICKL、PLLCLK、HSECLK 作为系统时钟，PLLCLK 的时钟源可选择 HSICKL、HSECLK 中的一种，配置 PLL 的倍频系数、分频系数可获得所需系统时钟。

产品复位启动时，默认选择 HSICKL 作为系统时钟，之后用户可自行选择上述时钟源中的一种作为系统时钟。当检测到 HSECLK 失效时，系统将自动地切换回 HSICKL，如果使能了中断，软件可以接收到相应的中断。

4.5.3 总线时钟

内置 AHB、APB1、APB2 总线，AHB 的时钟源是 SYSCLK，APB1、APB2 的时钟源是 HCLK；配置分频系数可获得所需的时钟。

4.6 电源与电源管理

4.6.1 电源方案

表格 11 电源方案

名称	电压范围	说明
V _{DD} /V _{SS}	2.0~3.6V	通过 V _{DD} 引脚给 I/O（具体 IO 见引脚分布图）、内部调压器供电。
V _{DDA} /V _{SSA}	V _{DD} ~3.6V	为 ADC、复位模块、RC 振荡器和 PLL 的模拟部分供电；V _{DDA} 电压电平必须始终大于或等于 V _{DD} 电压电平，并且优先提供。

4.6.2 调压器

表格 12 调压器工作模式

名称	说明
主模式（MR）	用于运行模式
低功耗模式（LPR）	用于停机模式
掉电模式	用于待机模式，此时调压器高阻输出，内核电路掉电，调压器功耗为零，寄存器和 SRAM 的数据会全部丢失。

注：调压器在复位后始终处于工作状态，在掉电模式下高阻输出。

4.6.3 电源电压监控器

产品内部集成了上电复位（POR）和掉电复位（PDR）电路。这两种电路始终处于工作状态。当掉电复位电路监测到电源电压低于规定的阈值（V_{POR/PDR}）时，即使外部复位电路，系统保持复位状态。

4.7 低功耗模式

APM32F030xC 支持睡眠、停机、待机三种低功耗模式，这三种模式在功耗、唤醒时间长短、唤醒方式存在差异，可依据实际应用需求选择低功耗模式。

表格 13 低功耗模式

模式	说明
睡眠模式	内核停止工作，所有外设处于工作状态，可通过中断/事件唤醒
停机模式	在 SRAM 和寄存器数据不丢失的情况下，停机模式可达到最低的功耗； 内部 1.5V 供电模块的时钟都会停止，HSECLK 晶体谐振器、HSICLK、PLL 被禁止，调压器可配置普通模式或低功耗模式； 任何外部中断线可唤醒 MCU，外部中断线包括 16 个外部中断线之一、RTC。

模式	说明
待机模式	该模式功耗最低： 内部调压器被关闭，所有 1.5V 供电模块掉电，HSECLK 晶体谐振器、HSICLK、PLL 时钟关闭，SRAM 和寄存器的数据消失，RTC 区域、后备寄存器内容仍然保留，待机电路仍工作； NRST 上的外部复位信号、IWDG 复位、WKUP 引脚上的上升边沿或 RTC 的事件都会唤醒 MCU 退出待机模式。

4.8 DMA

内置 1 个 DMA，DMA 支持 5 路通道。每个通道支持多个 DMA 请求，但同一时刻只允许 1 个 DMA 请求进入 DMA 通道。支持 DMA 请求的外设有：ADC、SPI、USART、I2C、TMRx。可配置 4 级 DMA 通道优先级。支持“存储器→存储器、存储器→外设、外设→存储器”数据传输（存储器包括 Flash、SRAM）。

4.9 GPIO

GPIO 可以配置为通用输入、通用输出、复用功能、模拟输入输出。通用输入可以配置成浮空输入、上拉输入、下拉输入，通用输出可以配置成推挽输出、开漏输出，复用功能可以用于数字外设，模拟输入输出可以用于模拟外设以及低功耗模式；可以配置使能/禁止上拉/下拉电阻；可以配置 2MHz、10MHz、50MHz 的速度，速度越大，功耗、噪声也会越大。

4.10 通信外设

4.10.1 USART

该芯片内置多达 6 个通用同步/异步收发器，通信速率最高可达 6Mbit/s，所有 USART 接口可以由 DMA 控制器提供，USART 接口能实现的功能如下表。

表格 14 USART 功能差异

USART 模式	USART1	USART2	USART3	USART4	USART5	USART6
硬件流控制	√	√	√	√	—	—
多缓存通讯 (DMA)	√	√	√	√	√	√
多处理器通讯	√	√	√	√	√	√
同步	√	√	√	√	√	—
半双工（单线模式）	√	√	√	√	√	√
接收超时中断	√	√	√	—	—	—
支持波特率自动检测的模式	4	4	4	—	—	—

注意：

- (1) “√”表示支持该功能，“—”表示不支持该功能。

4.10.2 I2C

I2C1/2 均可工作于主模式和从模式，并支持 7 位和 10 位寻址模式。I2C1/2 均支持标准模式(最高 100kbit/s)或快速模式(最高 400kbit/s)。此外，I2C1 内置了可编程的模拟和数字噪声滤波器，还支持超快速模式(最高 1 Mbit/s)。

此外，I2C1 还为 SMBus 2.0 和 PMBus 1.1 提供了硬件支持：ARP 功能、主机通知协议、硬件 CRC(PEC)生成/验证、超时验证和警报协议管理。

I2C 支持 DMA 功能。

4.10.3 SPI

内置 2 个 SPI，在主模式、从模式下均支持全双工、半双工通信，可使用 DMA 控制器，可配置每帧 4~16 位，通信速率最高 18Mbit/s。

4.11 模拟外设

4.11.1 ADC

内置 1 个 ADC，精度为 12 位，每个 ADC 最多有 16 个外部通道和 2 个内部通道,内部通道分别测量温度传感器电压和参考电压。各通道 A/D 转换模式有单次、连续、扫描或间断，ADC 转换结果可以左对齐或右对齐存储在 16 位数据寄存器中；支持模拟看门狗，支持 DMA。

4.11.1.1 温度传感器

内置 1 个温度传感器 (TSensor)，内部连接 ADC_IN16 通道，传感器产生的电压随着温度线性变化，可通过 ADC 获取转换的电压值换算成温度。

4.11.1.2 内部参考电压

内置参考电压 V_{REFINT} ，内部连接 ADC_IN17 通道，可通过 ADC 获取该 V_{REFINT} ； V_{REFINT} 为 ADC 提供稳定的电压输出。

4.12 定时器

内置 1 个 16 位高级定时器 (TMR1)、5 个通用定时器 (TMR3/14/15/16/17)、两个基本定时器 (TMR6/7)、1 个独立看门狗定时器、一个窗口看门狗定时器和 1 个系统滴答定时器。

看门狗定时器可以用来检测程序是否正常运行。

系统滴答定时器时内核的外设，具有自动重装载功能，当计数器为 0 时能产生一个可屏蔽系统中断，可以用于实时操作系统和普通延时。

表格 15 高级/通用/基本和系统滴答定时器功能比较

定时器类型	系统滴答定时器	基本定时器		通用定时器					高级定时器
定时器名称	Sys Tick Timer	TMR6	TMR7	TMR3	TMR14	TMR15	TMR16	TMR17	TMR1
计数器分辨率	24 位	16 位		16 位					16 位

定时器类型	系统滴答定时器	基本定时器	通用定时器					高级定时器
计数器类型	向下	向上	向上, 向下, 向上/下					向上, 向下, 向上/下
预分频系数	-	1~65536 之间的任意整数	1~65536 之间的任意整数					1~65536 之间的任意整数
产生 DMA 请求	-	可以	可以	不可以	可以	可以	可以	可以
捕获/比较通道	-	-	4	1	2	1	1	4
互补输出	-	没有	没有	没有	有	有	有	有
功能说明	专用于实时操作系统 具有自动重加载功能 当计数器为 0 时能产生一个可屏蔽系统中断 可编程时钟源	可以作为 16 位通用型时基计数器。	提供同步或事件连接功能 在调试模式下, 计数器可以被冻结。 -可用于产生 PWM 输出 除 TMR14 外其他每个定时器都有独立的 DMA 请求机制。 可以处理增量编码器的信号					具有带死区插入的互补 PWM 输出 配置为 16 位标准定时器时, 它与 TMRx 定时器具有相同的功能。 配置为 16 位 PWM 发生器时, 它具有全调制能力 (0~100%)。 在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止。 提供同步或事件连接功能。

表格 16 独立看门狗和窗口看门狗定时器

名称	计数器分辨率	计数器类型	预分频系数	功能说明
独立看门狗	12 位	向下	1~256 之间的任意整数	由一个内部独立的 40KHz 的 RC 振荡器提供时钟; 因为这个 RC 振荡器独立于主时钟, 所以它可运行于停机和待机模式。 在发生问题时可复位整个系统。 可以作为一个自由定时器为应用程序提供超时管理。 通过选项字节可以配置成是软件或硬件启动看门狗。 在调试模式下, 计数器可以被冻结。
窗口看门狗	7 位	向下	-	可以设置成自由运行。 在发生问题时可复位整个系统。 由主时钟驱动, 具有早期预警中断功能;

名称	计数器分辨率	计数器类型	预分频系数	功能说明
				在调试模式下，计数器可以被冻结。

4.13 RTC

内置 1 个 RTC，引脚有 LSECLK 信号输入引脚（OSC32_IN、OSC32_OUT）、个 TAMP 输入信号检测引脚（RTC_TAMP1/2）、1 个参考时钟输入信号（RTC_REFIN）、1 个输出时间戳事件输出引脚（RTC_TS），1 个信号输出引脚 RTC_OUT（可配置成校准信号输出或者闹钟信号输出）。

时钟源可选择外部 32.768kHz 的外部晶振、谐振器或振荡器、LSICK、HSECLK/32。

具有日历功能，可显示亚秒、秒、分钟、小时（12 或 24 小时格式）、星期、日期、月、年。支持闹钟功能，可输出闹钟信号给外部期间使用，可自身从低功耗模式唤醒。能接收信号从低功耗模式唤醒。在准确性方面，支持夏令时间补偿、月份天数补偿、闰年天数补偿，在精确性方面，可用 RTC 的数字校准功能修复晶振引起的误差，可以用更精确的第二源时钟(50 或 60Hz)来提高日历的精度。

4.14 CRC

内置 1 个 CRC（循环冗余校验）计算单元，可产生 CRC 码，可操作 8 位、16 位、32 位数据。

5 电气特性

5.1 电气特性测试条件

5.1.1 最大值和最小值

除非特别说明，所有产品是在 $T_A=25^{\circ}\text{C}$ 下在生产线上进行测试的，其最大和最小值可支持所定最恶劣的环境温度、供电电压和时钟频率。

在每个表格下方的注解中说明是通过综合评估、设计仿真或工艺特性得到的数据，没有在生产线上进行测试；在综合评估的基础上，通过样本测试，取其平均值再加减三倍的标准差(平均 $\pm 3\sigma$)得到最大和最小数值。

5.1.2 典型值

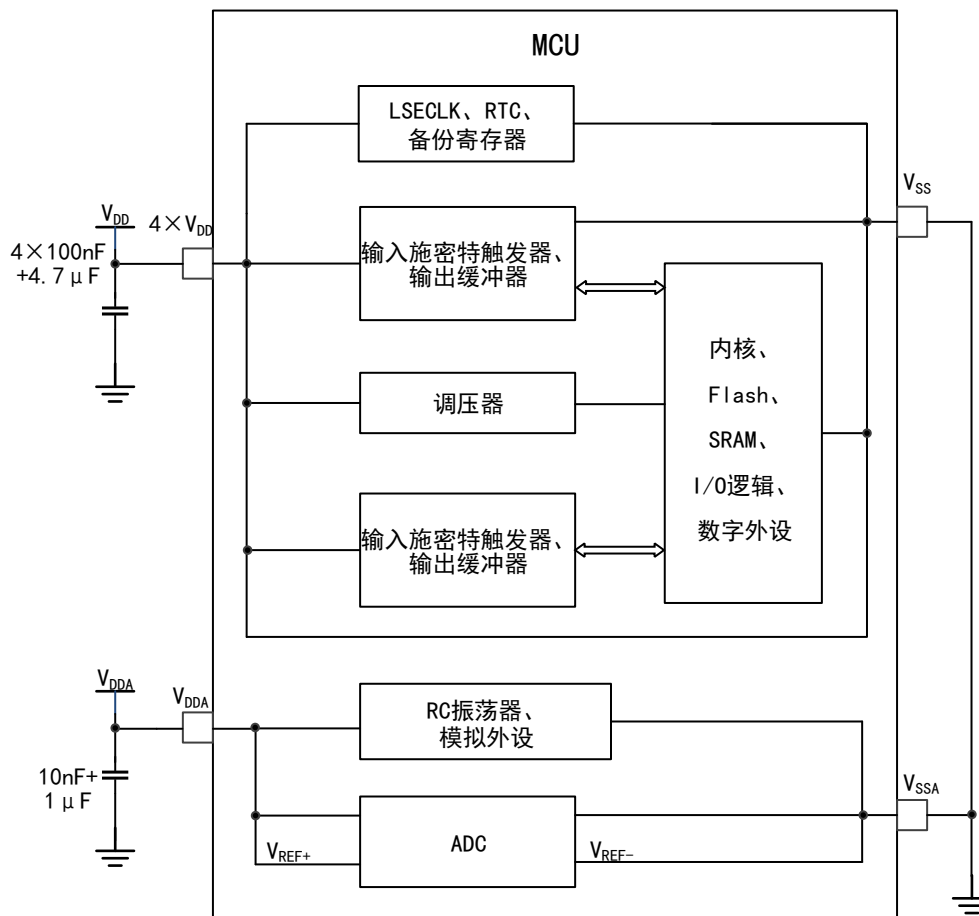
除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 、 $V_{DD}=V_{DDA}=3.3\text{V}$ 测量，这些数据仅用于设计指导。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 电源方案

图 5 电源方案



5.1.5 负载电容

图 6 测量引脚参数时的负载条件

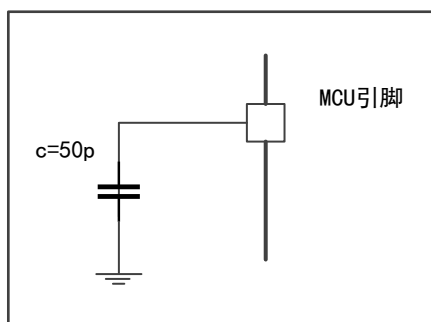


图 7 引脚输入电压测量方案

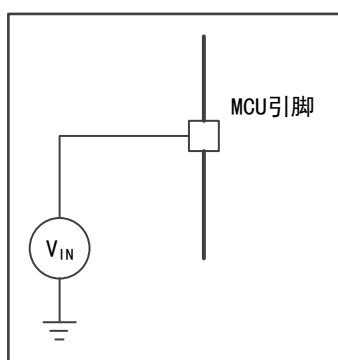
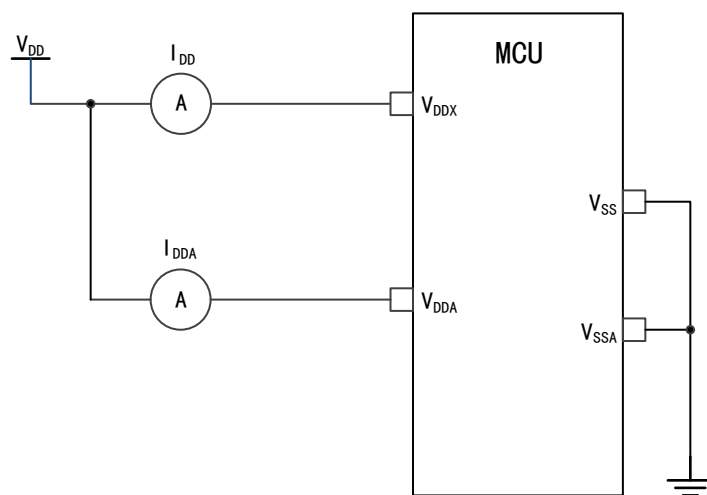


图 8 功耗测量方案



5.2 通用工作条件下的测试

表格 17 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	-	48	MHz
f_{PCLK1}	内部 APB1 时钟频率	-	-	48	

符号	参数	条件	最小值	最大值	单位
V_{DD}	主电源电压	-	2	3.6	V
V_{DDA}	模拟电源电压 (都未使用 ADC 时)	必须与 V_{DD} 相同	V_{DD}	3.6	V
	模拟电源电压 (使用 ADC 时)		2.4	3.6	
T_A	环境温度 (温度标号 6)	最大功率耗散	-40	85	$^{\circ}\text{C}$
	环境温度 (温度标号 7)	最大功率耗散	-40	105	$^{\circ}\text{C}$

5.3 绝对最大额定值

器件上的载荷如果超过绝对最大额定值，可能会导致器件永久性的损坏。这里只是给出能承受的最大载荷，不保证在此条件下器件的功能运行正常。

5.3.1 最大温度特性

表格 18 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-55 ~ +150	$^{\circ}\text{C}$
T_J	最大结温度	150	$^{\circ}\text{C}$

5.3.2 最大额定电压特性

所有的电源(V_{DD}, V_{DDA})和地(V_{SS}, V_{SSA})引脚必须始终连接到外部限定范围内的供电电源上。

表格 19 最大额定电压特性

符号	描述	最小值	最大值	单位
$V_{DD} - V_{SS}$	外部主供电电压	-0.3	4.0	V
$V_{DDA} - V_{SSA}$	外部模拟电源电压	-0.3	4.0	
$V_{DD} - V_{DDA}$	$V_{DD} > V_{DDA}$ 允许的电压差	-	0.3	
V_{IN}	在 5V 容忍的引脚上的输入电压	$V_{SS} - 0.3$	$V_{DD} + 4.0$	
	3.3V 引脚上的输入电压	$V_{SS} - 0.3$	4.0	
	在其它引脚上的输入电压	$V_{SS} - 0.3$	4.0	
$ \Delta V_{DDx} $	不同供电引脚之间的电压差	-	50	mV
$ V_{SSx} - V_{SS} $	不同接地引脚之间的电压差	-	50	

5.3.3 最大额定电流特性

表格 20 最大额定电流特性

符号	描述	最大值	单位
ΣI_{VDD}	所有经过 V_{DD} 的总电流之和 ⁽¹⁾	120	mA

符号	描述	最大值	单位
ΣI_{VSS}	所有经过 V_{SS} 的总电流之和 ⁽¹⁾	-120	
$I_{VDD}(\text{PIN})$	经过 V_{DD}/V_{DDA} 电源线的最大电流 (供电电流) ⁽¹⁾	100	
$I_{VSS}(\text{PIN})$	经过 V_{SS} 接地线的最大电流(流出电流) ⁽¹⁾	-100	
$I_{IO}(\text{PIN})$	任意 I/O 和控制引脚上的灌电流	25	
	任意 I/O 和控制引脚上的拉电流	-25	
$\Sigma I_{IO}(\text{PIN})$	所有 I/O 和控制引脚上的总灌电流 ⁽²⁾	80	
	所有 I/O 和控制引脚上产生的总拉电流 ⁽²⁾	-80	
$I_{INJ}(\text{PIN})$ ⁽³⁾	在 5T 和 5Tf 引脚上的注入电流	-5/+0 ⁽⁴⁾	
	在 STD 和 RST 管脚上注入电流	± 5	
	在 STDA 引脚上的注入电流 ⁽⁵⁾	± 5	
$\Sigma I_{INJ}(\text{PIN})$	所有 I/O 和控制引脚上的总注入电流 ⁽⁶⁾	± 25	

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})必须始终在允许范围内。
2. 这个电流消耗必须正确地分布在所有 I/O 和控制引脚上。对于高引脚数的 LQFP 封装, 总输出电流不能在两个连续的电源引脚之间输入。
3. 如果 V_{IN} 超过最大值, 必须在外部限制 $I_{INJ}(\text{PIN})$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 电流流入引脚; 当 $V_{IN} < V_{SS}$ 时, 电流出引脚。
4. I/O 上不会出现正注入, 并且在输入电压低于最大值时不会发生。
5. I/O 上, $V_{IN} > V_{DDA}$ 产生正注入。负注入会干扰器件的模拟性能。
6. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ}(\text{PIN})$ 的最大值为流入电流与流出电流的即时绝对值之和。

5.3.4 ESD 特性

表格 21 ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD}(\text{HBM})$	静电放电电压(人体模型)	$T_A = +25^\circ\text{C}$	6000	V
$V_{ESD}(\text{CDM})$	静电放电电压(充电设备模型)	$T_A = +25^\circ\text{C}$	2000	

注: 由第三方测试机构测试, 不在生产中测试。

5.3.5 静态栓锁

表格 22 静态栓锁

符号	参数	条件	类型
LU	静态栓锁类	$T_A = +25^\circ\text{C}/105^\circ\text{C}$	II 类 A

注: 由第三方测试机构测试, 不在生产中测试。

5.4 片上存储器

5.4.1 Flash 特性

表格 23 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位编程时间	$T_A = -40 \sim 105^\circ\text{C}$ $V_{DD} = 2.4 \sim 3.6\text{V}$	-	48	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
t _{ERASE}	页 (2KBytes) 擦除时间	T _A = -40~105°C V _{DD} =2.4~3.6V	-	3	-	ms
t _{ME}	整片擦除时间	T _A = 25°C V _{DD} =3.3V	-	12	-	ms
V _{prog}	编程电压	T _A = -40~105°C	2	-	3.6	V

注：由综合评估得出，不在生产中测试。

5.5 时钟

5.5.1 外部时钟源特性

晶体谐振器产生的高速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 24 HSECLK4~32MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率	-	4	8	32	MHz
R _F	反馈电阻	-	-	300	-	kΩ
I _{DD(HSECLK)}	HSECLK 电流消耗	V _{DD} =3.3V, C _L =10pF@8MHz	-	0.29	-	mA
t _{SU(HSECLK)}	启动时间	V _{DD} 是稳定的	-	2	-	ms

注：由综合评估得出，不在生产中测试。

晶体谐振器产生的低速外部时钟

有关晶体谐振器的详细参数(频率、封装、精度等)，请咨询相应的生产厂商。

表格 25 LSECLK 振荡器特性(f_{LSECLK}=32.768KHz)

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSF_IN}	振荡器频率	-	-	32.768	-	KHz
t _{SU(LSECLK)} ⁽¹⁾	启动时间	V _{DDIOx} 稳定	-	2	-	s
I _{DD(LSECLK)}	LSECLK 电流消耗	-	-	0.9	-	μA

注：由综合评估得出，不在生产中测试。

(1) t_{SU(LSECLK)}是启动时间，是从软件使能 LSECLK 开始测量，直至得到稳定的 32.768KHz 振荡这段时间；这个数值是使用一个标准的晶体谐振器测量得到的，它可能因晶体制造商的不同而不同。

5.5.2 内部时钟源特性

高速内部 (HSICKL) RC 振荡器

表格 26 HSICKL 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSICKL}	频率	-	-	8	-	MHz	
$A_{CCHSICKL}$	HSICKL 振荡器的精度	工厂校准	$V_{DD}=3.3V, T_A=25^{\circ}C^{(1)}$	-1	-	1	%
			$V_{DD}=2-3.6V, T_A=-40\sim 105^{\circ}C$	-3	-	3	%
$t_{SU(HSICKL)}$	HSICKL 振荡器启动时间	$V_{DD}=3.3V, T_A=-40\sim 105^{\circ}C$		1	-	2	μs
$I_{DDA(HSICKL)}$	HSICKL 振荡器功耗	-		-	80	100	μA

注：除了（1）在生产中校准外，其它数据由综合评估得出，不在生产中测试。

14MHz 高速内部 (HSICKL14) RC 振荡器

表格 27 HSICKL14 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位	
f_{HSICKL}	频率	-	-	14	-	MHz	
$A_{CCHSICKL}$	HSICKL 振荡器的精度	工厂校准	$V_{DD}=3.3V, T_A=25^{\circ}C^{(1)}$	-1	-	1	%
			$V_{DD}=2-3.6V, T_A=-40\sim 105^{\circ}C$	-3	-	3	%
$t_{SU(HSICKL)}$	HSICKL 振荡器启动时间	$V_{DD}=3.3V, T_A=-40\sim 105^{\circ}C$		1	-	2	μs
$I_{DDA(HSICKL)}$	HSICKL 振荡器功耗	-		-	100	150	μA

注：除了（1）在生产中校准外，其它数据由综合评估得出，不在生产中测试。

低速内部 (LSICKL) RC 振荡器

表格 28 LSICKL 振荡器特性

符号	参数	最小值	典型值	最大值	单位
f_{LSICKL}	频率 ($V_{DD}=2-3.6V, T_A=-40\sim 105^{\circ}C$)	30	40	50	KHz
$t_{SU(LSICKL)}$	LSICKL 振荡器启动时间, ($V_{DD}=3.3V, T_A=-40\sim 105^{\circ}C$)	-	-	96	μs
$I_{DD(LSICKL)}$	LSICKL 振荡器功耗	-	0.75	-	μA

注：由综合评估得出，不在生产中测试。

5.5.3 PLL 特性

表格 29 PLL 特性

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟	1	8.0	24	MHz

符号	参数	数值			单位
		最小值	典型值	最大值	
	PLL 输入时钟占空比	40	-	60	%
f _{PLL_OUT}	PLL 倍频输出时钟, (V _{DD} =3.3V, T _A =-40~125°C)	16	-	48	MHz
t _{LOCK}	PLL 锁相时间	-	-	200	μs

注：由综合评估得出，不在生产中测试。

5.6 电源与电源管理

5.6.1 内嵌复位和电源控制模块特性测试

表格 30 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR/PDR}	上电/掉电复位阈值	下降沿	1.89	1.92	1.95	V
		上升沿	1.92	1.95	1.98	V
V _{PDRhyst}	PDR 迟滞	-	20.00	30.00	40.00	mV
T _{RSTTEMPO}	复位持续时间	-	1.10	1.29	1.52	ms

注：由综合评估得出，不在生产中测试。

5.7 功耗

5.7.1 功耗测试环境

- 执行 Coremark，编译环境为 Keil.V5 以及编译最高优化等级为 L3 条件下测试。
- 所有的 I/O 引脚配置成模拟输入，并连接到一个静态电平上 V_{DD} 或 V_{SS}（无负载）
- 除非特别说明，所有的外设都关闭
- Flash 等待周期的设置与 f_{HCLK} 的关系：
 - 0~24MHz: 0 个等待周期
 - 24~48MHz: 1 个等待周期
- 指令预取功能使能（提示：这些的设置必须在时钟设置和总线分频之前进行）
- 当外设开启时：f_{PCLK}=f_{HCLK}

5.7.2 运行模式功耗

表格 31 程序在 Flash 执行，运行模式功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
运行模式 功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	48MHz	103.09	14.51	116.07	15.11
		32MHz	71.88	10.05	83.44	10.50

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾		
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V		
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)	
		24MHz	58.02	7.93	69.07	8.44	
		8MHz	2.17	3.17	7.35	3.64	
		1MHz	2.17	1.94	7.17	2.78	
		HSECLK bypass ⁽²⁾ , 关闭所有外设	48MHz	103.07	8.99	116.02	9.30
			32MHz	71.85	6.23	83.42	6.58
	24MHz		58.04	5.07	69.02	5.56	
	8MHz		2.17	2.25	7.28	2.65	
	HSICLK ⁽²⁾ , 使能所有外设	48MHz	165.36	14.52	182.74	14.78	
		32MHz	134.37	9.97	150.34	10.28	
		24MHz	120.54	7.87	135.75	8.13	
		8MHz	64.98	3.12	76.50	3.36	
	HSICLK ⁽²⁾ , 关闭所有外设	48MHz	165.40	8.89	182.68	9.01	
		32MHz	134.36	6.18	150.14	6.44	
		24MHz	120.55	5.00	135.79	5.25	
		8MHz	64.99	2.16	76.34	2.44	

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

表格 32 程序在 RAM 中执行，运行模式功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
运行模式 功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	48MHz	103.16	12.36	12.51	12.82
		32MHz	71.93	8.52	8.77	8.74
		24MHz	58.01	6.62	6.75	6.91
		8MHz	2.17	2.70	2.89	2.93
		1MHz	2.17	0.98	1.14	1.18
	HSECLK bypass ⁽²⁾ , 关闭所有外设	48MHz	102.49	6.75	7.07	6.97
		32MHz	71.34	4.79	5.08	4.98
		8MHz	2.33	1.77	1.99	1.96

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
	HSICLK ⁽²⁾ , 使能所有外设	1MHz	2.33	086	1.07	1.07
		48MHz	165.37	12.37	12.82	12.86
		32MHz	134.37	8.57	8.93	8.90
		24MHz	120.52	6.66	6.96	6.84
		8MHz	64.98	2.77	3.00	3.04
	HSICLK ⁽²⁾ , 关闭所有外设	48MHz	164.62	6.74	7.05	7.03
		32MHz	134.35	4.81	5.05	4.99
		24MHz	120.50	3.76	4.03	4.05
		8MHz	64.35	1.84	2.02	2.01

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

5.7.3 睡眠模式功耗

表格 33 程序 RAM 在 Flash 中执行，睡眠模式下的功耗

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25°C, V _{DD} =3.3V		T _A =105°C, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
睡眠模式 功耗	HSECLK bypass ⁽²⁾ , 使能所有外设	48MHz	103.14	9.31	116.13	9.7
		32MHz	71.93	6.52	83.37	6.96
		24MHz	58.00	5.09	69.03	5.59
		8MHz	2.17	2.25	7.23	2.65
		1MHz	2.17	1.82	7.22	1.12
	HSECLK bypass ⁽²⁾ , 关闭所有外设	48MHz	103.13	2.39	115.96	2.79
		32MHz	71.89	1.90	83.17	2.33
		24MHz	57.99	1.65	68.91	2.09
		8MHz	2.17	1.10	7.13	1.53
		1MHz	2.16	0.72	7.12	0.97
	HSICLK ⁽²⁾ , 使能所有外设	48MHz	165.34	9.25	182.73	9.59
		32MHz	134.36	6.47	150.16	6.77
		24MHz	120.50	5.03	135.52	5.33
		8MHz	64.98	2.21	75.37	2.48
	HSICLK ⁽²⁾ , 关闭所有外设	48MHz	165.34	2.29	182.58	2.56

参数	条件	f _{HCLK}	典型值 ⁽¹⁾		最大值 ⁽¹⁾	
			T _A =25℃, V _{DD} =3.3V		T _A =105℃, V _{DD} =3.6V	
			I _{DDA} (μA)	I _{DD} (mA)	I _{DDA} (μA)	I _{DD} (mA)
		32MHz	134.39	1.80	150.09	2.08
		24MHz	120.51	1.55	135.39	1.82
		8MHz	64.99	1.02	75.68	1.29

注：（1）由综合评估得出，不在生产中测试。

（2）外部时钟为 8MHz，当 f_{HCLK}>8MHz 时，开启 PLL；否则关闭 PLL。

5.7.4 停机、待机模式功耗

表格 34 停机、待机模式功耗

参数	条件		典型值 ⁽¹⁾ , (T _A =25°C)						最大值 ⁽¹⁾ , (V _{DD} =3.6V)				单位
			V _{DD} =2.0V		V _{DD} =3.3V		V _{DD} =3.6V		T _A =85°C		T _A =105°C		
			I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	I _{DDA}	I _{DD}	
停机模式 功耗	V _{DDA} Monitor ON	调压器处于运行模式, 所有振荡器处于关闭状态	2.55	22.78	3.03	23.43	3.25	23.96	4.84	79.63	7.57	165.32	μA
		调压器处于低功耗模式, 所有振荡器处于关闭状态	2.50	8.53	3.02	9.24	3.25	9.73	4.80	61.51	7.54	142.50	
待机模式 功耗		LSICLK 和 IWDT 处于开启状态	2.70	1.72	3.40	2.62	3.70	3.18	5.21	7.18	7.65	14.37	
		LSICLK 和 IWDT 处于关闭状态	2.37	1.43	2.90	2.25	3.13	2.69	4.66	6.66	7.11	13.88	
停机模式 功耗	V _{DDA} Monitor OFF	调压器处于运行模式, 所有振荡器处于关闭状态	1.35	22.73	1.53	23.62	1.64	24.05	3.16	79.76	5.95	165.3	
		调压器处于低功耗模式, 所有振荡器处于关闭状态	1.35	8.50	1.52	9.35	1.63	9.77	3.14	61.66	5.88	143.7	
待机模式 功耗		LSICLK 和 IWDT 处于开启状态	1.55	1.71	1.90	2.75	2.06	3.23	3.54	7.23	6.01	14.46	
		LSICLK 和 IWDT 处于关闭状态	1.22	1.42	1.40	2.30	1.51	2.74	2.99	6.74	5.46	13.89	

注: (1) 由综合评估得出, 不在生产中测试。

5.7.5 外设功耗

采用 HSECLK Bypass 1M 作为时钟源， $f_{PCLK}=f_{HCLK}=1M$ 。

外设功耗 = 使能该外设时钟的电流 - 禁止该外设的时钟的电流。

表格 35 外设功耗

参数	外设	典型值(1) TA=25°C, VDD=3.3V	单位
外设功耗	BusMatrix	1.12	μA/MHz
	CRC	0.70	
	DMA	2.25	
	FLASH	23.75	
	GPIOA	2.25	
	GPIOB	2.12	
	GPIOC	0.87	
	GIOD	0.79	
	GPIOF	0.71	
	SRAM	0.25	
	ALL_AHB	41.04	
	APB_Bridge	1.00	
	ADC	3.00	
	CAN	6.62	
	DAC	2.46	
	DBGMCU	0.25	
	I2C1	7.54	
	I2C2	1.87	
	PMU	0.91	
	SPI1	4.91	
	SPI2	4.5	
	SYSCFG	1.08	
	TMR1	6.95	
	TMR3	5.20	
TMR6	1.41		
TMR7	1.33		
TMR14	2.70		
TMR15	4.20		

参数	外设	典型值(1) TA=25°C, VDD=3.3V	单位
	TMR16	3.20	
	TMR17	3.58	
	USART1	9.08	
	USART2	9.10	
	USART3	9.04	
	USART4	3.2	
	ALL_APB	114.62	

注：由综合评估得出，不在生产中测试。

5.8 低功耗模式唤醒时间

低功耗唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令的时间，其中 $V_{DD}=V_{DDA}$ 。

表格 36 低功耗唤醒时间

符号	参数	条件	典型值(TA=25°C)			最大值	单位
			2V	3.3V	3.6V		
t _{WUSLEEP}	从睡眠模式唤醒	-	0.15	0.15	0.15	0.17	μs
t _{WUSTOP}	从停机模式唤醒	调压器处于运行模式	3.45	3.09	3.02	3.89	
		调压器处于低功耗模式	8.15	5.43	5.14	9.72	
t _{WUSTDBY}	从待机模式唤醒	-	46.65	37.15	35.93	53.80	

注：由综合评估得出，不在生产中测试。

5.9 引脚特性

5.9.1 I/O 引脚特性

表格 37 直流特性（测试条件 $V_{DD}=2\sim 3.6V$, $T_A=-40\sim 105^\circ C$ ）

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	输入低电平电压	STD 和 STDA I/O	-	-	0.3V _{DDIOx} +0.07	V
		5T 和 5Tf I/O	-	-	0.475V _{DDIOx} -0.2	
		除 Boot0 外的所有 I/O 引脚	-	-	0.3V _{DDIOx}	
V _{IH}	输入高电平电压	STD 和 STDA I/O	0.445V _{DDIOx} +0.398	-	-	V
		5T 和 5Tf I/O	0.5V _{DDIOx} +0.2	-	-	
		除 Boot0 外的所有 I/O 引脚	0.7V _{DDIOx}	-	-	
V _{hys}	施密特触发器迟滞	STD 和 STDA I/O	-	300	-	mV
		5T 和 5Tf I/O	-	300	-	

符号	参数	条件	最小值	典型值	最大值	单位
I _{IKG}	输入漏电流	数字模式下 STD、5T 和 5Tf I/OTTa, V _{SS} ≤ V _{IN} ≤ V _{DDIOx}	-	-	+0.1	μA
		数字模式下 STDA, V _{DDIOx} ≤ V _{IN} ≤ V _{DDA}	-	-	1	
		5T 和 5Tf I/O V _{DDIOx} ≤ V _{IN} ≤ 5V	-	-	10	
R _{PU}	弱上拉等效电阻	V _{IN} =V _{SS}	22	42	46	k Ω
R _{PD}	弱下拉等效电阻	V _{IN} =V _{DDIOx}	22	42	46	k Ω

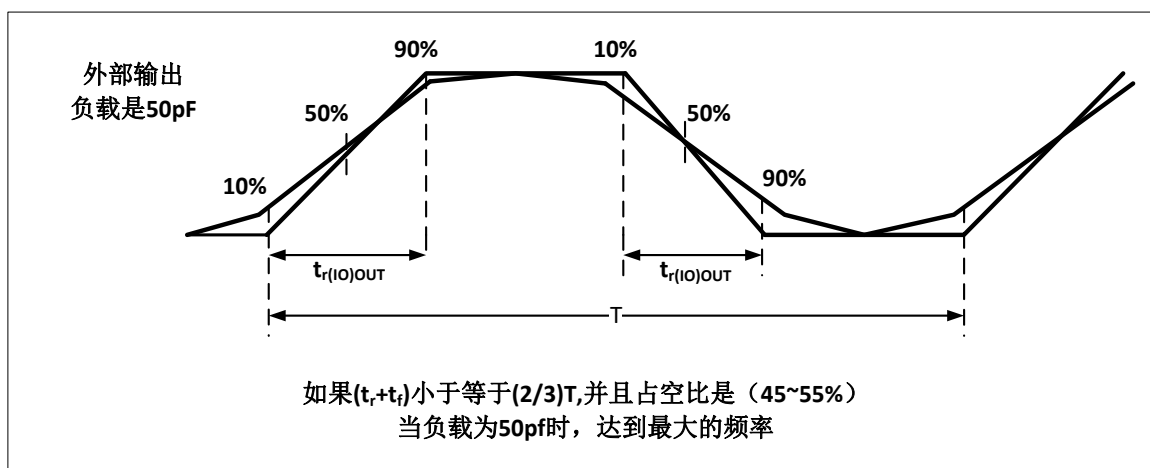
注：由综合评估得出，不在生产中测试。

表格 38 交流特性 (T_A=25°C)

OSSELY[1:0]	符号	参数	条件	最小值	最大值	单位
X0(2MHz)	f _{max(IO)out}	最大频率	C _L =50pF, V _{DDIOx} =2~3.6V	-	2	MHz
	t _{f(IO)out}	输出高至低电平的下降时间		-	18.16	ns
	t _{r(IO)out}	输出低至高电平的上升时间		-	16.66	
01(10MHz)	f _{max(IO)out}	最大频率	C _L =50pF, V _{DDIOx} =2~3.6V	-	10	MHz
	t _{f(IO)out}	输出高至低电平的下降时间		-	11.50	ns
	t _{r(IO)out}	输出低至高电平的上升时间		-	11.14	
10(50MHz)	f _{max(IO)out}	最大频率	C _L =30pF, V _{DD} =2.7~3.6V	-	50	MHz
	t _{f(IO)out}	输出高至低电平的下降时间		-	3.58	ns
	t _{r(IO)out}	输出低至高电平的上升时间		-	8.06	
FM+配置	f _{max(IO)out}	最大频率	C _L =50pF, V _{DDIOx} ≥ 2V	-	2	MHz
	t _{f(IO)out}	输出下降时间		-	11	ns
	t _{r(IO)out}	输出上升时间		-	33	
FM+配置	f _{max(IO)out}	最大频率	C _L =50pF, V _{DDIOx} < 2V	-	0.5	MHz
	t _{f(IO)out}	输出下降时间		-	14	ns
	t _{r(IO)out}	输出上升时间		-	43	

注：(1) 由综合评估得出，不在生产中测试。

图 9 输入输出交流特性定义



注：由综合评估得出，不在生产中测试。

表格 39 输出驱动电流特性 ($T_A=25^\circ\text{C}$)

符号	参数	条件	最小值	最大值	单位
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =8\text{mA}$, $V_{DDIOx} \geq 2.7\text{V}$	-	0.4	V
V_{OH}	I/O 引脚输出高电平电压		$V_{DDIOx}-0.4$	-	
V_{OL}	I/O 引脚输出低电平电压	$ I_{IO} =20\text{mA}$, $V_{DDIOx} \geq 2.7\text{V}$	-	1.3	
V_{OH}	I/O 引脚输出高电平电压		$V_{DDIOx}-1.3$	-	

5.9.2 NRST 引脚特性

NRST 引脚输入驱动采用 CMOS 工艺，它连接了一个永久性上拉电阻 R_{PU} 。

表格 40 NRST 引脚特性 (测试条件 $V_{DD}=2\sim 3.6\text{V}$, $T_A=-40\sim 105^\circ\text{C}$)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	1.44	1.75	1.8	V
$V_{IH(NRST)}$	NRST 输入高电平电压	-	0	1.37	1.38	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	-	-0.38	-	V
R_{PU}	弱上拉等效电阻	$V_{IN} = V_{SS}$	25	40	55	k Ω

注：由综合评估得出，不在生产中测试。

5.10 通信外设

5.10.1 I2C 外设特性

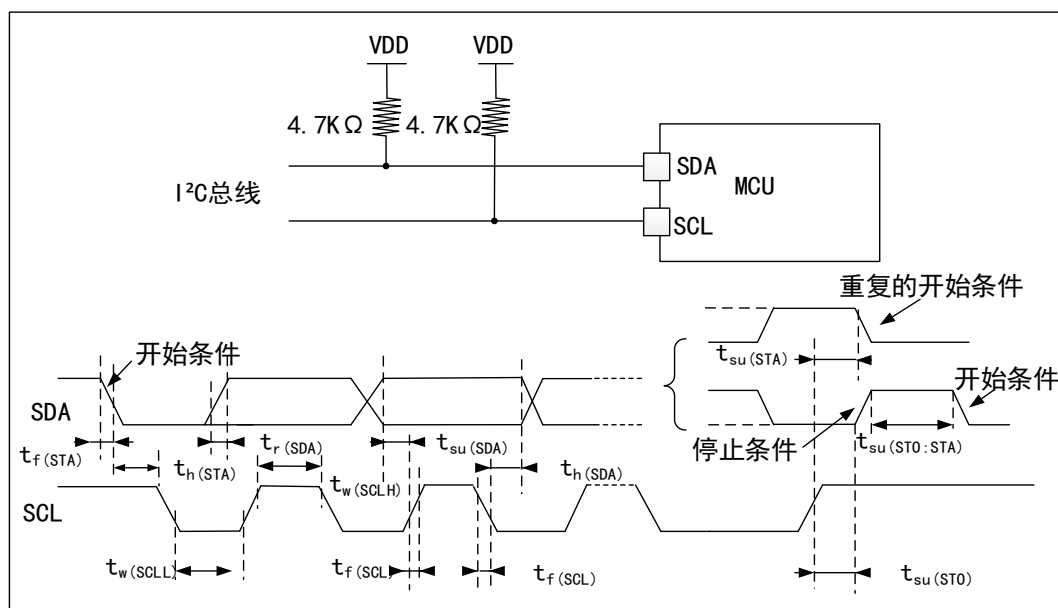
- 标准模式 (Sm): 比特率高达 100kbit/s
- 快速模式 (Fm): 比特率高达 400kbit/s
- 超快速模式 (Fm+): 比特率高达 1Mbit/s

表格 41 I2C 特性($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$)

符号	参数	标准 I2C		快速 I2C		超快速 I2C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_w(\text{SCLL})$	SCL 时钟低时间	4.82	-	1.67	-	0.54	-	μs
$t_w(\text{SCLH})$	SCL 时钟高时间	5.09	-	0.80	-	0.45	-	
$t_{su}(\text{SDA})$	SDA 建立时间	4570	-	1432	-	311.11	-	ns
$t_h(\text{SDA})$	SDA 数据保持时间	0	176.75	0	156.17	0	150.86	
$t_r(\text{SDA})/t_r(\text{SCL})$	SDA 和 SCL 上升时间	-	310.05	-	301.37	-	314.08	
$t_f(\text{SDA})/t_f(\text{SCL})$	SDA 和 SCL 下降时间	-	3.05	-	3.61	-	5.19	
$t_h(\text{STA})$	开始条件保持时间	5.00	-	0.69	-	0.35	-	μs
$t_{su}(\text{STA})$	重复的开始条件建立时间	5.19	-	0.91	-	0.56	-	
$t_{su}(\text{STO})$	停止条件建立时间	4.91	-	1.78	-	0.66	-	
$t_w(\text{STO:STA})$	停止条件至开始条件的的时间(总线空闲)	6.46	-	6.31	-	5.80	-	

注：由综合评估得出，不在生产中测试。

图 10 总线交流波形和测量电路



注：测量点设置于 CMOS 电平： $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

5.10.2 SPI 外设特性

表格 42 SPI 特性($T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$)

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_c(\text{SCK})$	SPI 时钟频率	主模式	-	18	MHz
		从模式	-	18	

符号	参数	条件	最小值	最大值	单位
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 30pF$	-	6.0	ns
$t_{su(NSS)}$	NSS 建立时间	从模式	109.46	-	ns
$t_{h(NSS)}$	NSS 保持时间	从模式	81.41	-	ns
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高和低的时间	主模式, $f_{PCLK} = 36MHz$, 预分频系数=4	49	50	ns
$t_{su(MI)}$ $t_{su(SI)}$	数据输入建立时间	主模式	15.40	-	ns
		从模式	23.50	-	
$t_{h(MI)}$ $t_{h(SI)}$	数据输入保持时间	主模式	32.74	-	ns
		从模式	26.71	-	
$t_a(SO)$	数据输出访问时间	从模式, $f_{PCLK} = 20MHz$	8.05	10.66	ns
$t_{dis(SO)}$	数据输出禁止时间	从模式	5.67	-	ns
$t_v(SO)$	数据输出有效时间	从模式 (使能边沿之后)	-	13.48	ns
$t_v(MO)$	数据输出有效时间	主模式 (使能边沿之后)	-	5.81	ns
$t_{h(SO)}$ $t_{h(MO)}$	数据输出保持时间	从模式 (使能边沿之后)	8.83	-	ns
		主模式 (使能边沿之后)	1.63	-	

注：由综合评估得出，不在生产中测试。

图 11 SPI 时序图—从模式和 CPHA=0

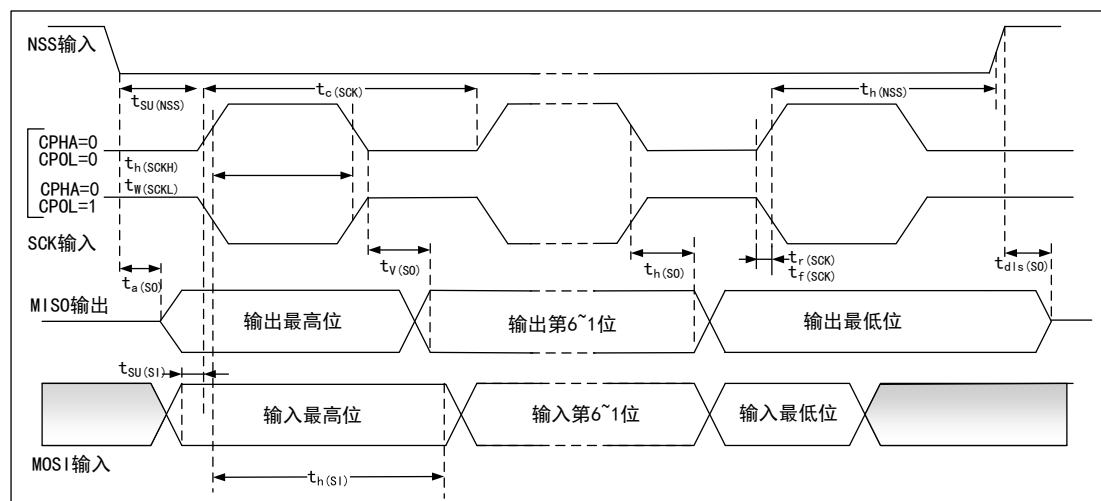
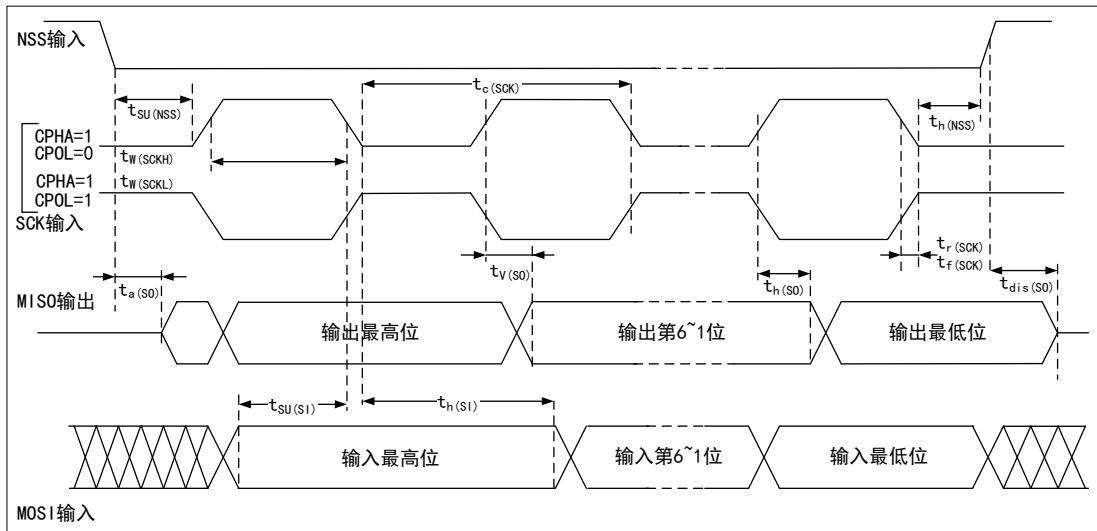
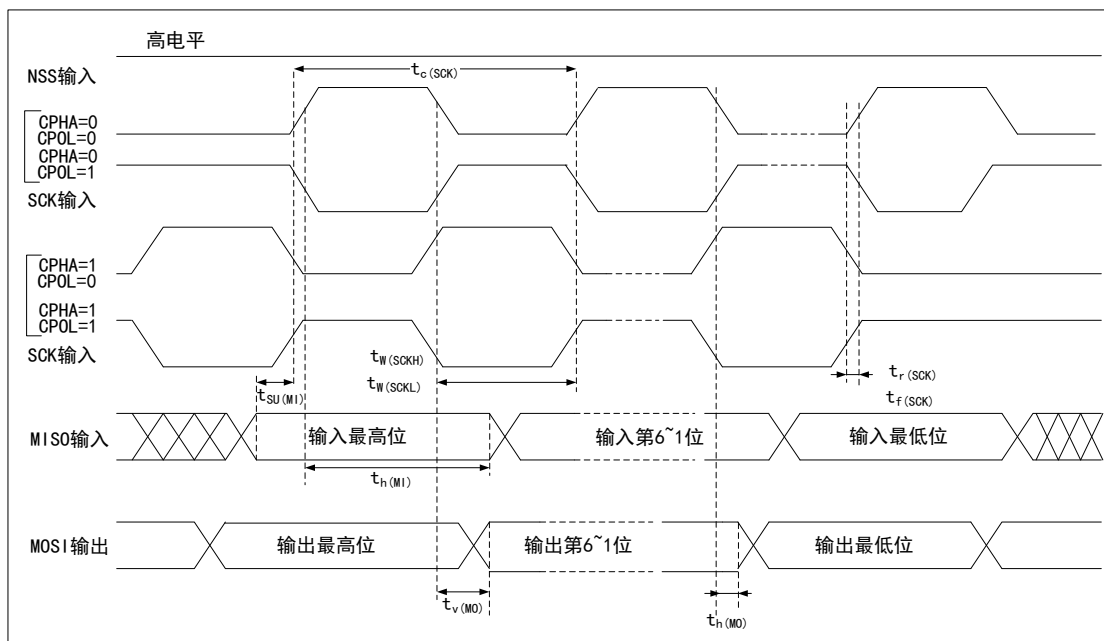


图 12 SPI 时序图—从模式和 CPHA=1



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

图 13 SPI 时序图—主模式



注：测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

5.11 模拟外设

5.11.1 ADC

测试参数说明：

- 采样率：ADC 每秒进行的模拟量转数字量的次数，
采样率=ADC 时钟 / (采样周期数 + 转换周期数)

5.11.1.1 12 位 ADC 特性

表格 43 12 位 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	-	2.4	-	3.6	V
I _{DDA}	ADC 功耗	V _{DDA} =3.3V, f _{ADC} =14MHz, 采样时间=1.5 个 f _{ADC}	-	1	-	mA
f _{ADC}	ADC 频率	-	0.6	-	14	MHz
C _{ADC}	内部采样和保持电容	-	-	8	-	pF
R _{ADC}	采样电阻	-	-	-	1000	Ω
t _s	采样时间	f _{ADC} =14MHz	0.107	-	17.1	μs
T _{CONV}	采样和转换时间	f _{ADC} =14MHz, 12-bit 转换	1	-	18	μs

表格 44 12 位 ADC 精度

符号	参数	条件	典型值	最大值	单位
E _T	综合误差	f _{PCLK} =48M, f _{ADC} =12M, V _{DDA} =2.4V-3.6V T _A =-40°C~105°C	-	3.8	LSB
E _O	偏移误差		-	2.7	
E _G	增益误差		-	1.9	
E _D	微分线性误差		-	1	
E _L	积分线性误差		-	3.4	

注：由综合评估得出，不在生产中测试。

5.11.1.2 内置参考电压特性测试

表格 45 内置参考电压特性

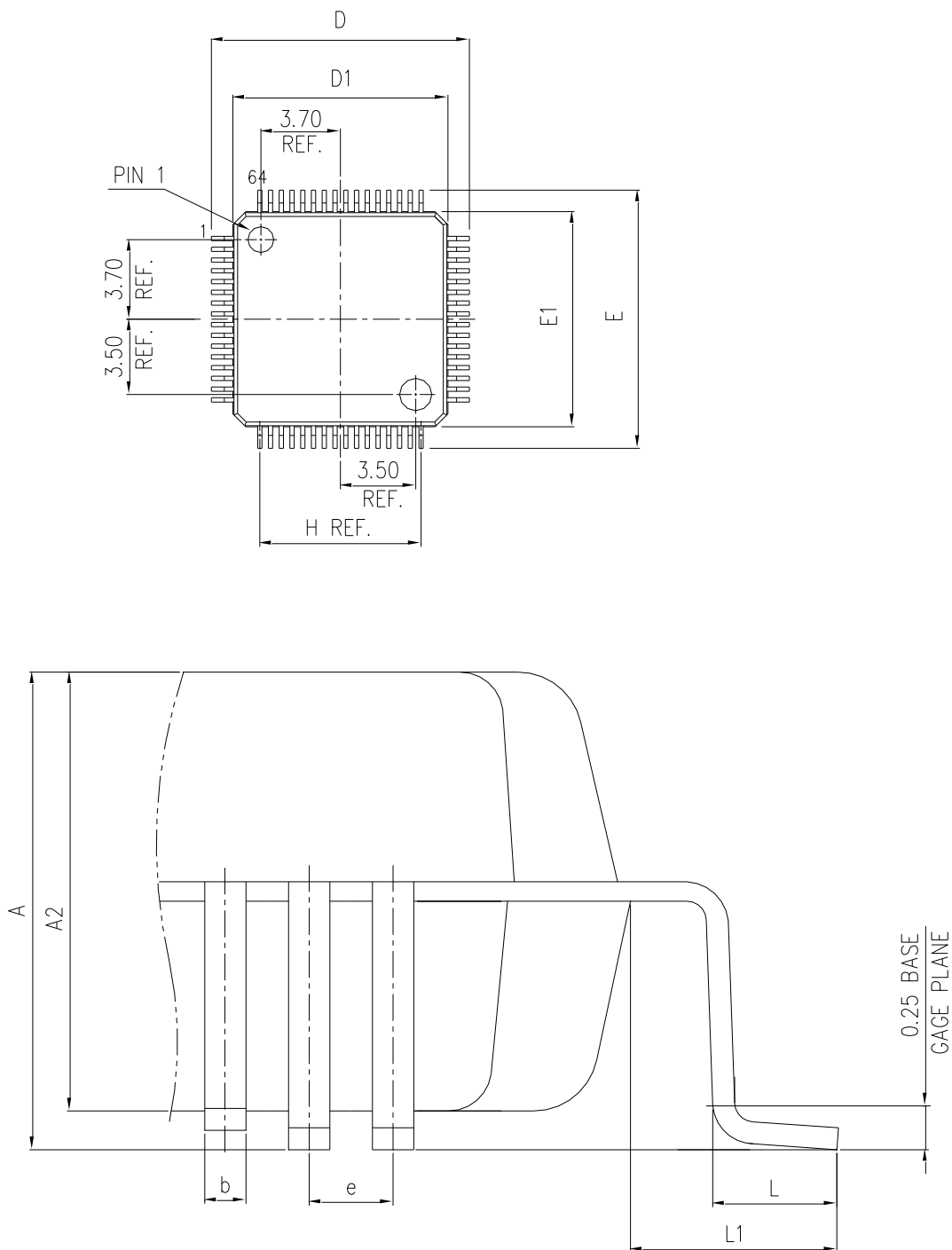
符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内置参照电压	-40°C < T _A < +105°C V _{DD} = 2-3.6V	1.19	1.23	1.27	V
t _{START}	ADC_IN17 缓冲器启动时间	-	-	-	10	μs
T _{S_} _{refint}	当读出内部参照电压时，ADC 的采样时间	-	4	-	-	μs
ΔV _{REFINT}	内置参考电压扩展到温度范围	V _{DDA} =3.3V	-	-	25	mV

注：由综合评估得出，不在生产中测试。

6 封装信息

6.1 LQFP64 封装图

图 14 LQFP64 封装图



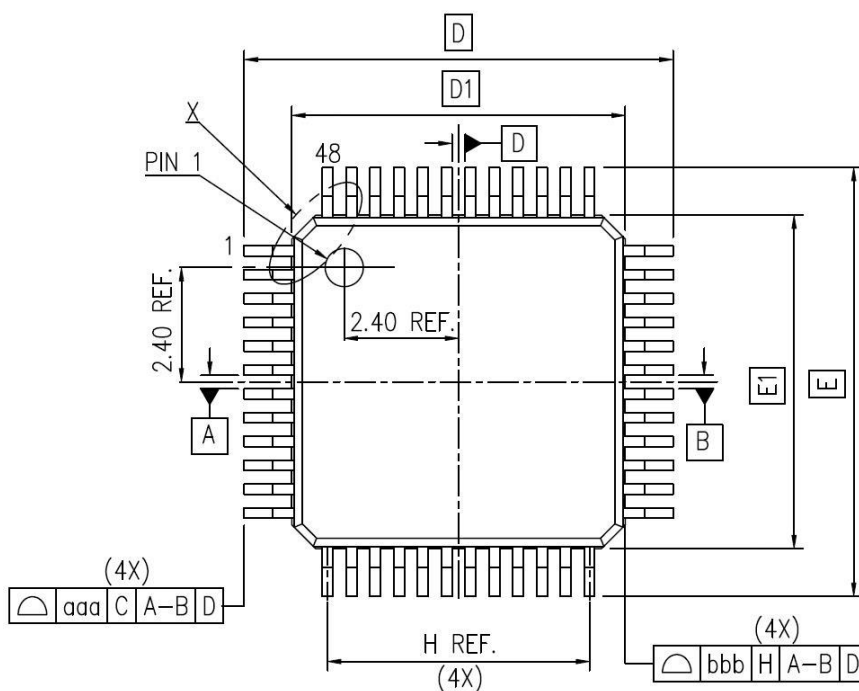
- (1) 图不是按照比例绘制
- (2) 所有的引脚都应该焊接在 PCB 上

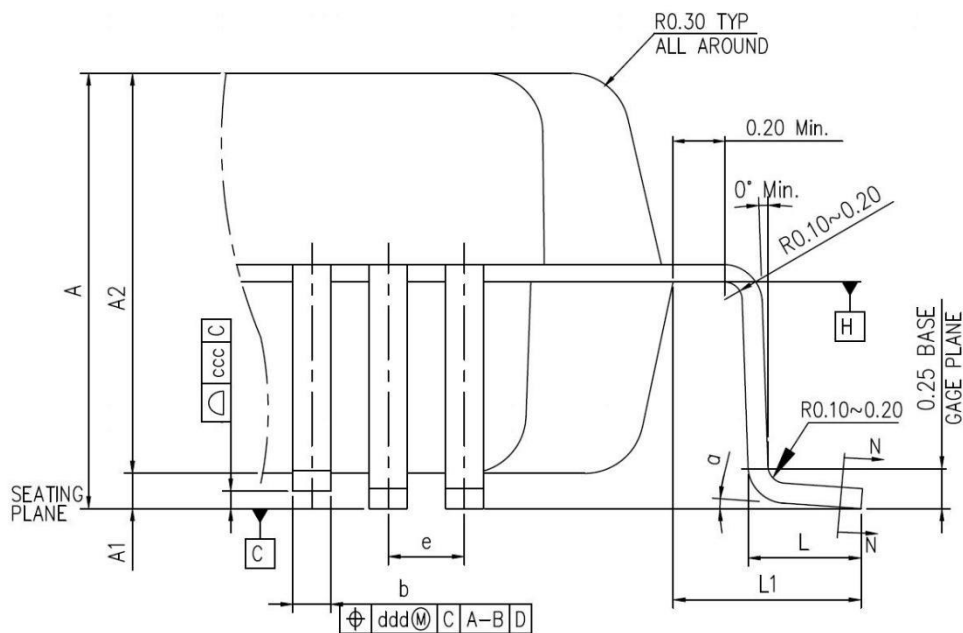
图 16 LQFP64-64 引脚，10×10mm 封装标识



6.2 LQFP48 封装图

图 17 LQFP48 封装图





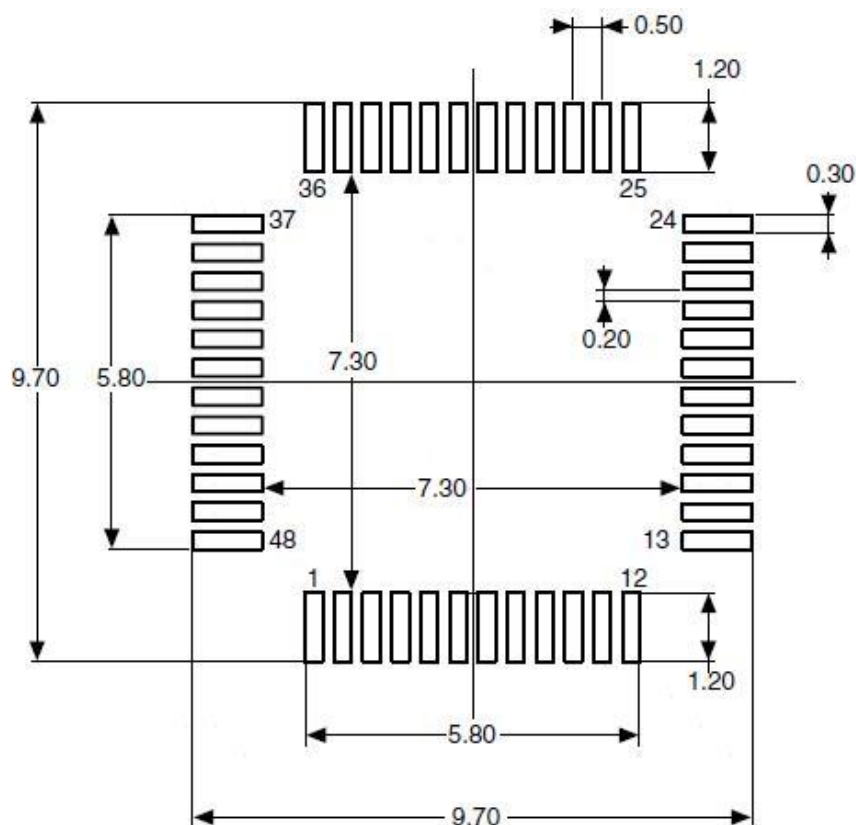
- (1) 图不是按照比例绘制
- (2) 所有的引脚都应该焊接在 PCB 上

表格 47 LQFP48 封装数据

DIMENSION LIST(FOOTPRINT: 2.00)			
S/N	SYM	DIMENDIONS	REMARKS
1	A	MAX. 1.60	OVERALL HEIGHT
2	A1	0.1±0.05	STANDOFF
3	A2	1.40±0.05	PKG THICKNESS
4	D	9.00±0.20	LEAD TIP TO TIP
5	D1	7.00±0.10	PKG LENGTH
6	E	9.00±0.20	LEAD TIP TO TIP
7	E1	7.00±0.10	PKG WDTN
8	L	0.60±0.15	FOOT LENGTH
9	L1	1.00 REF	LEAD LENGTH
10	T	0.15	LEAD THICKNESS
11	T1	0.127±0.03	LEAD BASE METAL THICKNESS
12	a	0°~7°	FOOT ANGLE
13	b	0.22±0.02	LEAD WIDTH
14	b1	0.20±0.03	LEAD BASE METAL WIDTH
15	e	0.50 BASE	LEAD PITCH
16	H(REF.)	(5.50)	CUM. LEAD PITCH
17	aaa	0.2	PROFILE OF LEAD TIPS
18	bbb	0.2	PROFILE OF MOLD SURFACE
19	ccc	0.08	FOOT COPLANARITY
20	ddd	0.08	FOOT POSITION

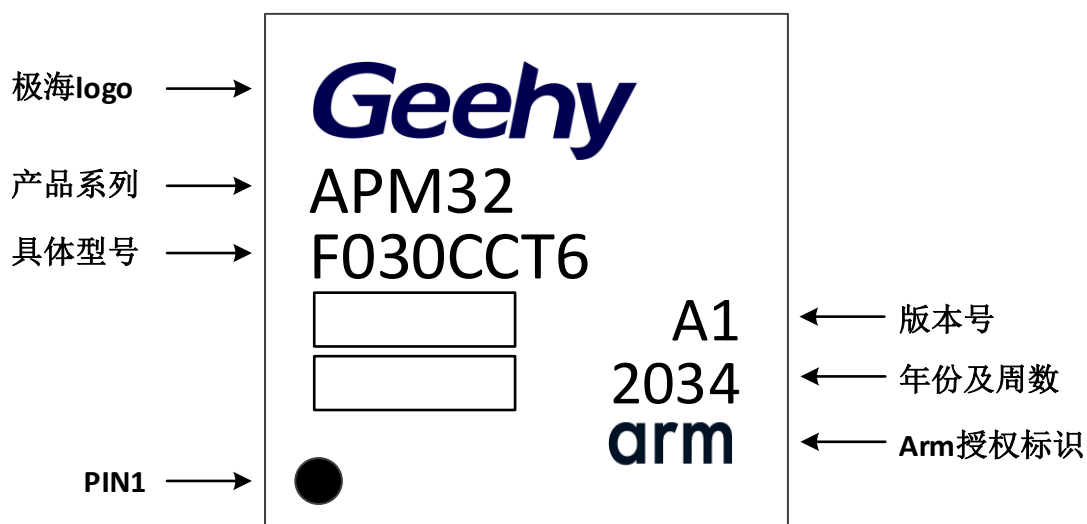
- (1) 尺寸以毫米表示

图 18 LQFP48, 7×7mm 焊接 Layout 建议



(1) 尺寸以毫米表示

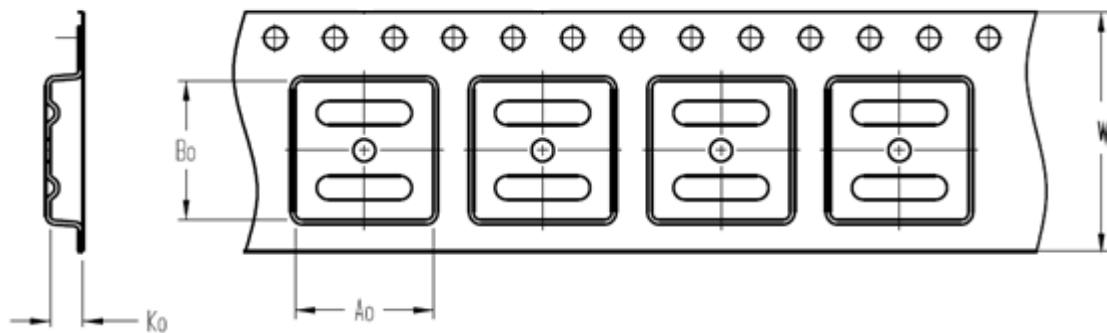
图 19 LQFP48-48 引脚, 7×7mm 标识图



7 包装信息

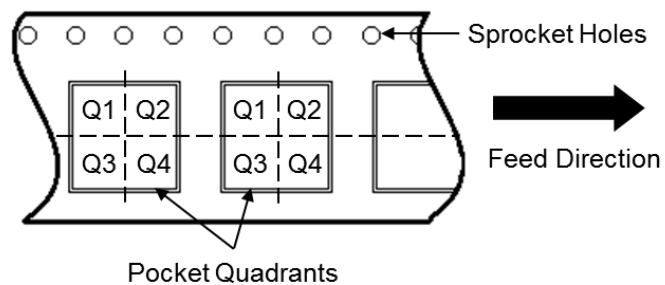
7.1 带状包装

图 20 带状包装规格图

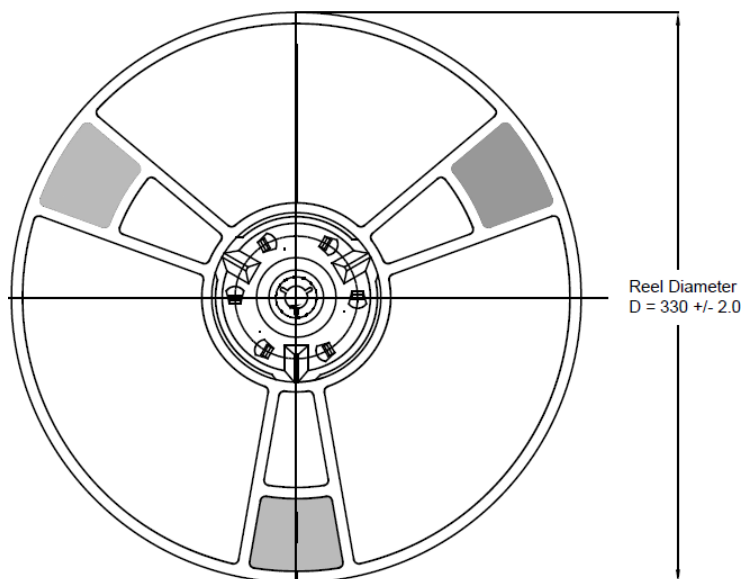


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape

Quadrant Assignments for PIN1 Orientation in Tape



Reel Dimensions



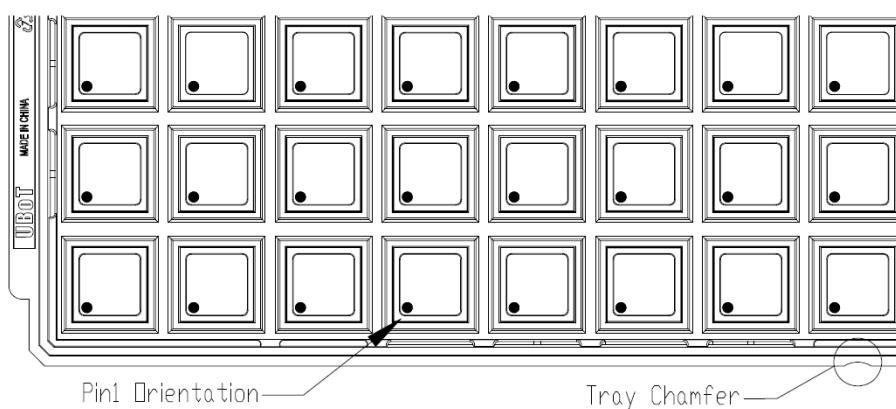
所有照片仅供参考，外观以产品为准。

表格 48 带状包装参数规格表

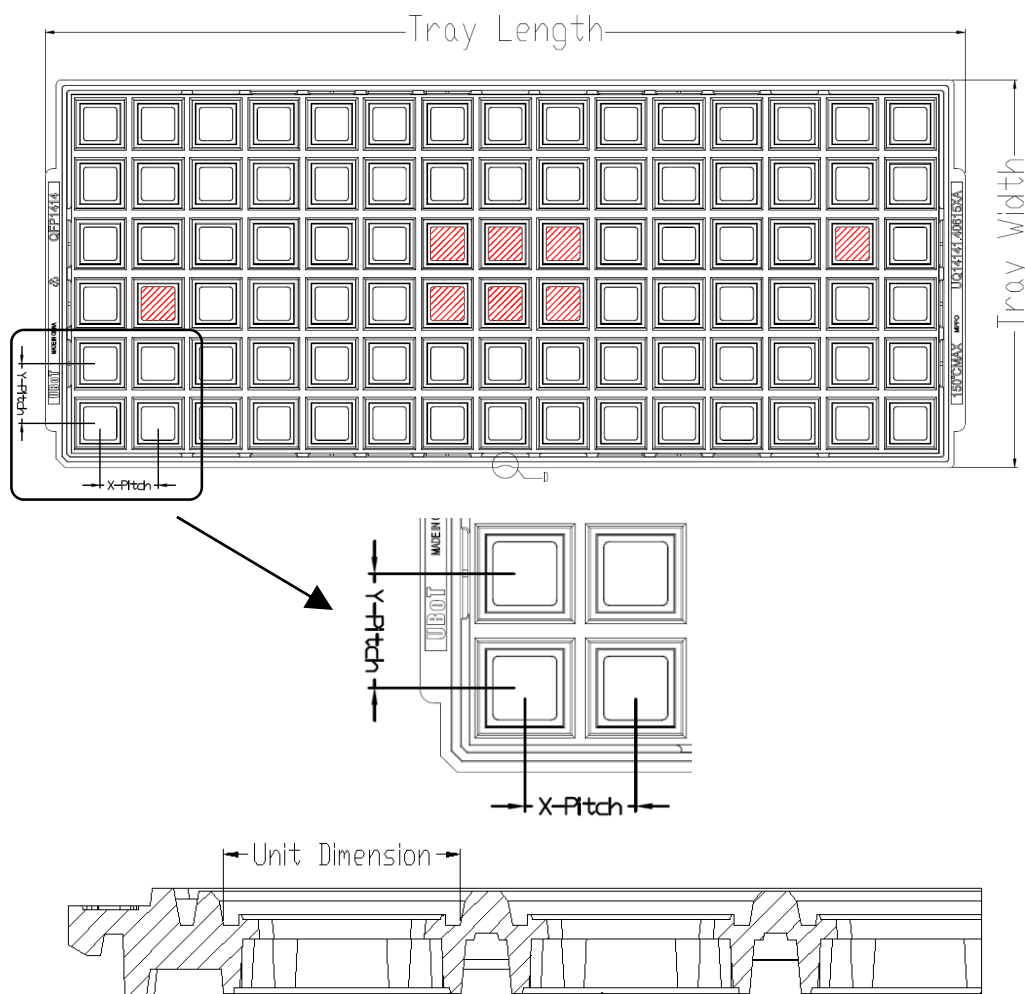
Device	Package Type	Pins	SPQ	Reel Diameter (mm)	A0 (mm)	B0 (mm)	K0 (mm)	W (mm)	Pin1 Quadrant
APM32F030RCT6	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
APM32F030CCT6	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1
APM32F030RCT7	LQFP	64	1000	330	12.35	12.35	2.2	24	Q1
APM32F030CCT7	LQFP	48	2000	330	9.3	9.3	2.2	16	Q1

7.2 托盘包装

图 21 托盘包装示意图



Tray Dimensions



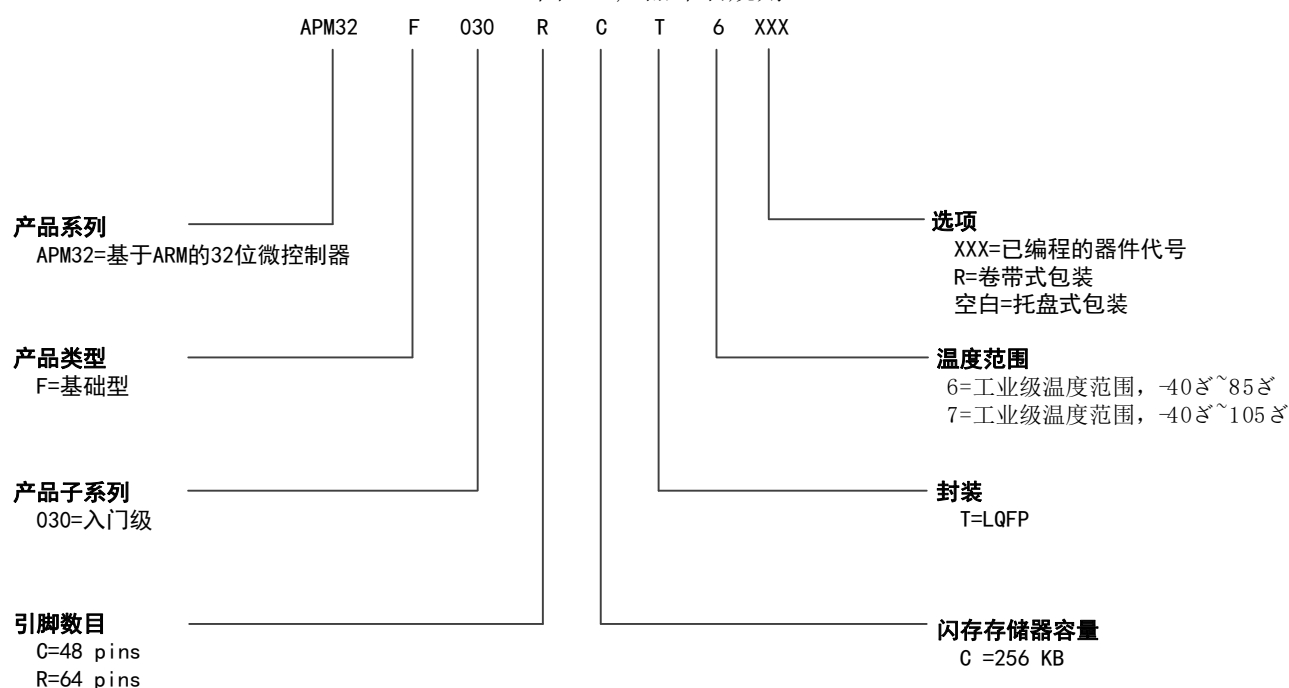
所有照片仅供参考，外观以产品为准

表格 49 托盘包装参数规格表

Device	Package Type	Pins	SPQ	X-Dimension (mm)	Y-Dimension (mm)	X-Pitch (mm)	Y-Pitch (mm)	Tray Length (mm)	Tray Width (mm)
APM32F030RCT6	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F030CCT6	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9
APM32F030RCT7	LQFP	64	1600	12.3	12.3	15.2	15.7	322.6	135.9
APM32F030CCT7	LQFP	48	2500	9.7	9.7	12.2	12.6	322.6	135.9

8 订货信息

图 22 产品命名规则



表格 50 订货信息列表

订货编码	Flash (KB)	SRAM (KB)	封装	SPQ	温度范围
APM32F030CCT6-R	256	32	LQFP48	2000	工业级 -40℃~85℃
APM32F030CCT6	256	32	LQFP48	2500	工业级 -40℃~85℃
APM32F030RCT6-R	256	32	LQFP64	1000	工业级 -40℃~85℃
APM32F030RCT6	256	32	LQFP64	1600	工业级 -40℃~85℃
APM32F030CCT7-R	256	32	LQFP48	2000	工业级 -40℃~105℃
APM32F030CCT7	256	32	LQFP48	2500	工业级 -40℃~105℃
APM32F030RCT7-R	256	32	LQFP64	1000	工业级 -40℃~105℃
APM32F030RCT7	256	32	LQFP64	1600	工业级 -40℃~105℃

说明: SPQ=最小包装数量

9 常用功能模块命名

表格 51 常用功能模块命名

中文描述	简称
复位管理单元	RMU
时钟管理单元	CMU
复位和时钟管理	RCM
外部中断	EINT
通用 IO	GPIO
复用 IO	AFIO
唤醒控制器	WUPT
独立看门狗定时器	IWDT
窗口看门狗定时器	WWDT
定时器	TMR
CRC 控制器	CRC
电源管理单元	PMU
DMA 控制器	DMA
模拟数字转换器	ADC
实时时钟	RTC
外部存储控制器	EMMC
控制器局域网	CAN
I2C 接口	I2C
串行外设接口	SPI
通用异步同步收发器	USART
闪存接口控制单元	FMC

10 版本历史

表格 52 文件版本历史

日期	版本	变更历史
2021.3.10	1.0	新建
2021.6.30	1.1	新增最大额定电流特性表格
2022.6.22	1.2	(1) 修改 Arm 商标 (2) 增加版权说明 (3) 修改产品命名规则图
2022.8.25	1.3	修改待机模式的功耗

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，除非在极海销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及 /

或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册相关信息而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失）。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2021-2022 珠海极海半导体有限公司 – 保留所有权利