



Is Now Part of



ON Semiconductor®

To learn more about ON Semiconductor, please visit our website at
www.onsemi.com

Please note: As part of the Fairchild Semiconductor integration, some of the Fairchild orderable part numbers will need to change in order to meet ON Semiconductor's system requirements. Since the ON Semiconductor product management systems do not have the ability to manage part nomenclature that utilizes an underscore (_), the underscore (_) in the Fairchild part numbers will be changed to a dash (-). This document may contain device numbers with an underscore (_). Please check the ON Semiconductor website to verify the updated device numbers. The most current and up-to-date ordering information can be found at www.onsemi.com. Please email any questions regarding the system integration to Fairchild_questions@onsemi.com.

ON Semiconductor and the ON Semiconductor logo are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

FUSB2805

带 ULPI 接口的 USB 2.0 高速 OTG 收发器

特性

- 符合 USB 2.0 修订版 1.3 的 OTG 补码和 ULPI 修订版 1.1
- 支持 480 Mbps、12 Mbps 和 1.5 Mbps USB2.0 速度
 - 集成终端电阻, 满足 USB2.0 电阻 ECN
 - 集成串行器和解串器
 - 根据需要插入和删除填充位
- USB 时钟与数据恢复可达 ± 150 pp
- 支持USB OTG修订版1.3主机协商协议 (HNP) 和会话申请协议 (SRP)
- 15 kV ESD, IEC 61000 电路板级, 空气间隙

应用

- 机顶盒视频照相机, MP3播放器
- 移动电话, 数字照相机, PDA
- DVD录像机, 扫描仪, 打印机

说明

FUSB2805是UTMI+低引脚接口 (ULPI) USB2.0 OTG收发器。它符合通用串行总线规格修订版 2.0 (USB 2.0)、ULPI 规范修订版 1.1 和 USB 2.0 修订版 1.3 On-The-Go (OTG) 附录的规定。

FUSB2805 可通过 ULPI 链接器将 USB2.0 主机、外设或 OTG 控制器连接到 USB 连接器进行优化。可通过 12 位 (SDR) 接口以高速 (480Mbps)、全速 (12Mbps) 和低速 (1.5 Mbps) 三种速率传输和接收数据。

相关资源

UTMI+ 低引脚接口规范 (ULPI) 修订版 1.1, 2004 年 10 月 20 日。 <http://www.ulpi.org>

UTMI+ 规范修订版 1.0, 2004 年 2 月 22 日。 <http://www.ulpi.org>

如果您需要更多的性能信息, 请联系 analogswitch@fairchildsemi.com。

订购信息

器件编号	顶标	工作温度范围	封装
FUSB2805MLX	FUSB2805	-40 至 +85° C	32 端子模塑无铅封装 (MLP), 四通道, JEDEC MO-220

框图

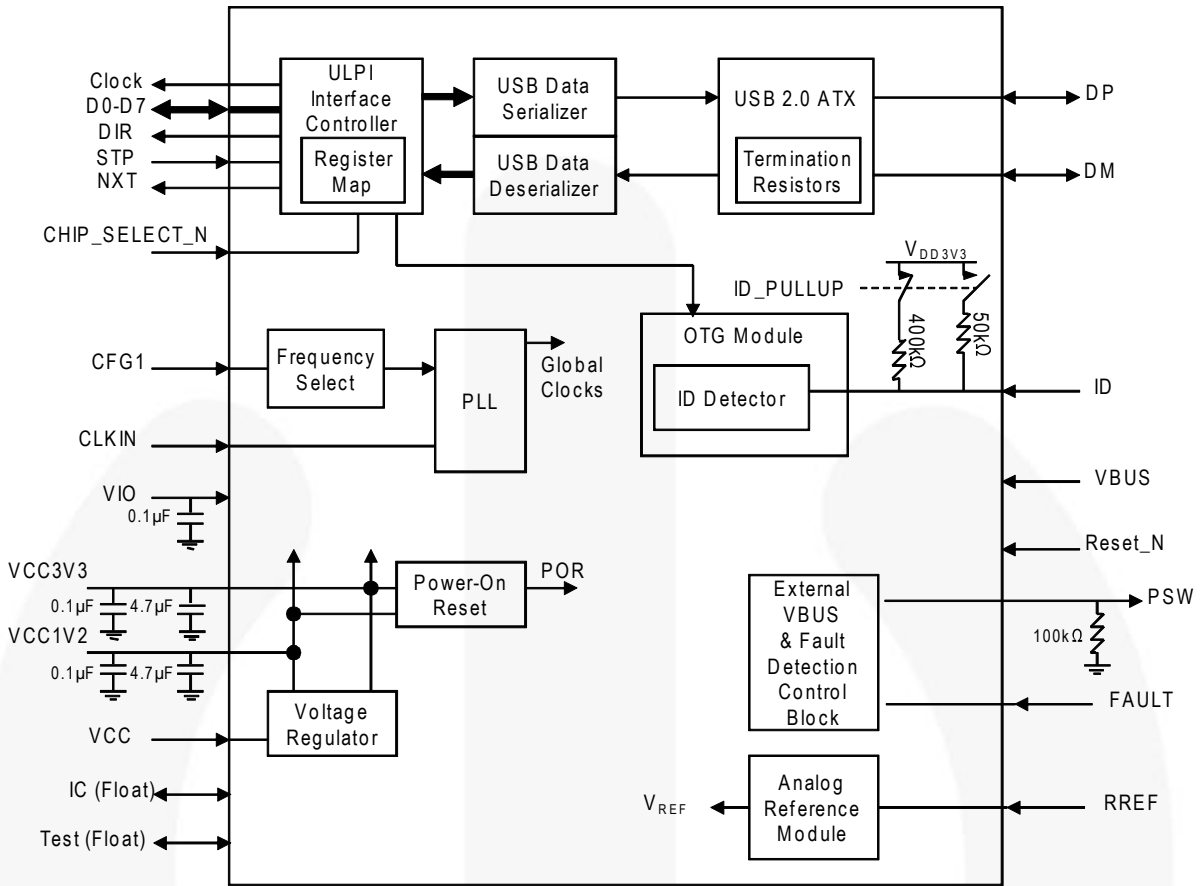


图1. 功能框图

引脚布局

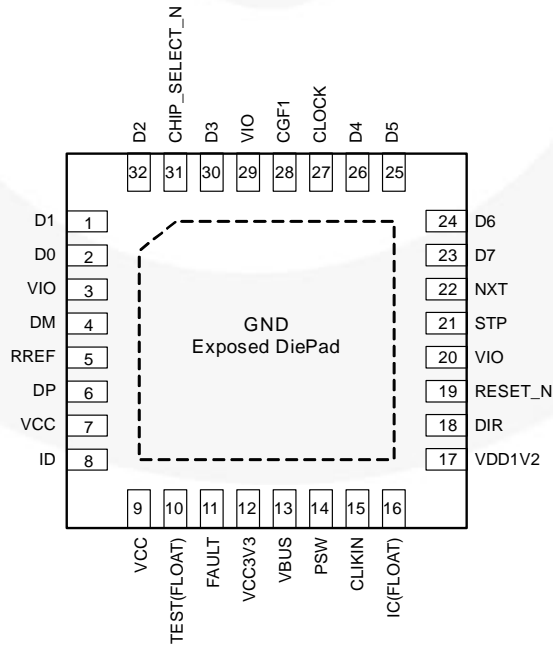


图2. 引脚配置 (透视图)

引脚定义

符号	类型 ⁽¹⁾	说明
Chip Select_N	I	低电平有效。高电平时，ULPI 引脚三态；低电平时，ULPI 正常工作。TTL兼容。CMOS 输入，具有滞环。
R _{REF}	AI/O	参考电阻。将阻值为 12 kΩ ±1% 的电阻连接至 GND。
DM	AI/O	USB D-引脚。USB模式：USB 线的数据负信号 (D-) 引脚。
DP	AI/O	USB D+引脚。USB模式：USB 线的数据正信号 (D+) 引脚。
FAULT	I	FAULT 信号用来表示出现了来自外部 SMPS 或电源管理 IC 的 V _{BUS} 过流/过压条件。链接器必须通过 "ExternalVbusFault" [外部Vbus故障] 寄存器位才能启用该功能，而且必须通过 "ExternalVbusActiveLow" [外部Vbus有效低] 寄存器位进行优先权设置。
ID	I	micro-USB电缆的 (识别) ID引脚。TTL；如果未用，连接至 3V3。
VCC	P	输入电源电压或电池电源
PSW	O	控制一个外部的、高电平有效、V _{BUS} 电源开关/充电泵和/或 SMPS 充电器 IC。需要一只外部 100 kΩ下拉电阻。开源结构，压摆率控制的输出；该引脚以 V _{CC3V3} 为参考。
V _{BUS}	AI/O	应该连接至USB电缆的VBUS 引脚。未用时置于开路。该引脚上存在一只内部 90 kΩ ±11% 下拉电阻。
V _{CC3V3}	P	3.3 V 稳压器输出，需要稳压电容。为内部OTG、模拟核芯和ATX供电。
CLK IN	I	时钟输入。频率依赖于CFG1引脚。属于数字输入缓冲，非晶振的模拟输入。
I. C.	I/O	内部接线。引脚悬浮
TEST	I/O	内部接线。引脚悬浮
CFG1	I	配置时钟频率；0：输入为 19.2 MHz。1：输入为 26 MHz。
V _{DD1V2}	P	1.2 V 稳压器输出，需要稳压电容。为内部数字核芯和模拟核芯供电。
V _{IO}	P	输入 I/O 电源轨；通过 0.1 μF 电容连接到电源输入。
Reset_N	I	未用时连接至 V _{IO} 。复位收发器。有效低。
GND	P	连接至地。
DIR	O	ULPI 方向输出信号。
STP	I	ULPI 停止输入信号；CMOS 输入。
NXT	O	ULPI 下一个输出信号。
D7	I/O	ULPI 数据引脚 7；三态输出。
D6	I/O	ULPI 数据引脚 6；三态输出。
D5	I/O	ULPI 数据引脚 5；三态输出。
D4	I/O	ULPI 数据引脚 4；三态输出。
D3	I/O	ULPI 数据引脚 3；三态输出。
D2	I/O	ULPI 数据引脚 2；三态输出。
D1	I/O	ULPI 数据引脚 1；三态输出。
D0	I/O	ULPI 数据引脚 0；三态输出。
CLOCK	O	当施加数字 19.2 MHz (或 26 MHz) 时钟时输出 60 MHz 时钟；上拉输出。

注意：

1. I=输入；O=输出；I/O=数字输入/输出；OD=开漏输出；AI/O=模拟输入/输出；P=电源或地。
2. 根据 USB 2.0，如果电源电压低于 2.97 V，虽然在较低电源供电下一些器件连同 FUSB2805 能够继续运行，但是不能确保 USB 全速和低速操作。

功能说明

ULPI 接口控制器

FUSB2805 支持一个 12 引脚接口 (SDR)，可兼容UTMI+低引脚接口 (ULPI) 修订版 1.1 规范。该接口必须连接到 USB 链接控制器。

ULPI 控制器提供下列功能：

- ULPI 兼容接口和寄存器组
- USB 外设、主机和 OTG 功能的完全控制
- 优先级排列 USB 接收数据、USB 发送数据、中断和寄存器操作
- 解析 USB 发送与接收数据
- 控制V_{BUS}外部电源
- V_{BUS}监控、充电和放电
- 低功耗模式
- 6- 和 3-引脚串行模式
- 产生 RX CMD (状态更新)
- 可屏蔽中断
- 控制 ULPI 总线状态

USB 串行器和解串器 (串并转换器)

USB 数据串行器准备通过 USB 总线发送的数据。为了发送数据，USB 链接控制器在 ULPI 总线上发送命令和数据。串行器进行并串转换、位填充和倒转不归零编码。对于带有 PID 的数据包，在该数据包的开始位置，串行器增加一个 SYNC 码型，在该数据包的结束位置，则增加一个 EOP 码型。如果串行器较忙，不能接受更多数据，则 ULPI 接口控制器解除 NXT 声明。

USB 数据解串器对从 USB 总线上接收的数据进行解码。收到数据后，解串器剥离 SYNC 和 EOP 模式，(若适用) 然后进行串并转换、倒转不归零解码并在数据净负荷上进行位填充。通过声明 (主张) DIR，ULPI接口控制器向USB链接控制器发送数据，然后，只要准备好一个字节就声明NXT。解串器还能检测多种接收出错，包括位填充错误、弹性缓冲器欠量或超限、以及字节排队错误。

USB 2.0 ATX

USB 2.0 ATX结构是一个模拟前端电路，包含有高速 (HS)、全速 (FS) 和低速 (LS) 模式的发送、接收和中断USB总线所需的全部电路，用于USB外设、主机和OTG实现，符合USB2.0规范及其相关补充。包含以下电路：

- 差分驱动器，用于在HS、FS 以及LS 下发送数据；
- 差分接收器和单端接收器，用于在HS、FS 以及LS 下接收数据；
- 静噪电路，用于检测HS 总线活动
- HS断线检测器
- 45 Ω DP 和 DM 引脚上的 HS 总线终端，用于外设和主机模式
- DP 引脚上的 1.5 kΩ上拉电阻，用于 FS 外设模式 (由于 FUSB2805 支持 HS, LS 外设时不支持 DM 电阻上拉。)
- DP 和 DM 引脚上的 15 kΩ 总线终端，仅用于主机模式。

锁相环与时钟产生

FUSB2805 具有一个用于时钟产生的内置锁相环。

该锁相环从 CLKIN 输入方波时钟 (19.2 MHz 或 26 MHz)，倍频或分频后可以得到多种频率，供内部电路使用。

从时钟源，PLL可以产生以下频率：

- 60 MHz 时钟，用于 ULPI 接口控制器
- 1.5 MHz 时钟，用于低速 USB 数据
- 12 MHz 时钟，用于全速 USB 数据
- 480 MHz 时钟，用于高速 USB 数据

接口保护

如果链接器驱动ULPI接口出错，例如当链接控制器上电速度慢于FUSB2805时，为了防止出现错误活动，在STP 引脚上安置一个弱上拉电阻。

在任何时候，如果STP 引脚出现不期望高 (HIGH)，通过在D[7: 0] 各引脚上启用弱上拉电阻，FUSB2805能够保护ULPI接口。

通过设置INTF_PROT_DIS位为1b (INTF_CNTRL[7])，可以禁用接口保护方案。

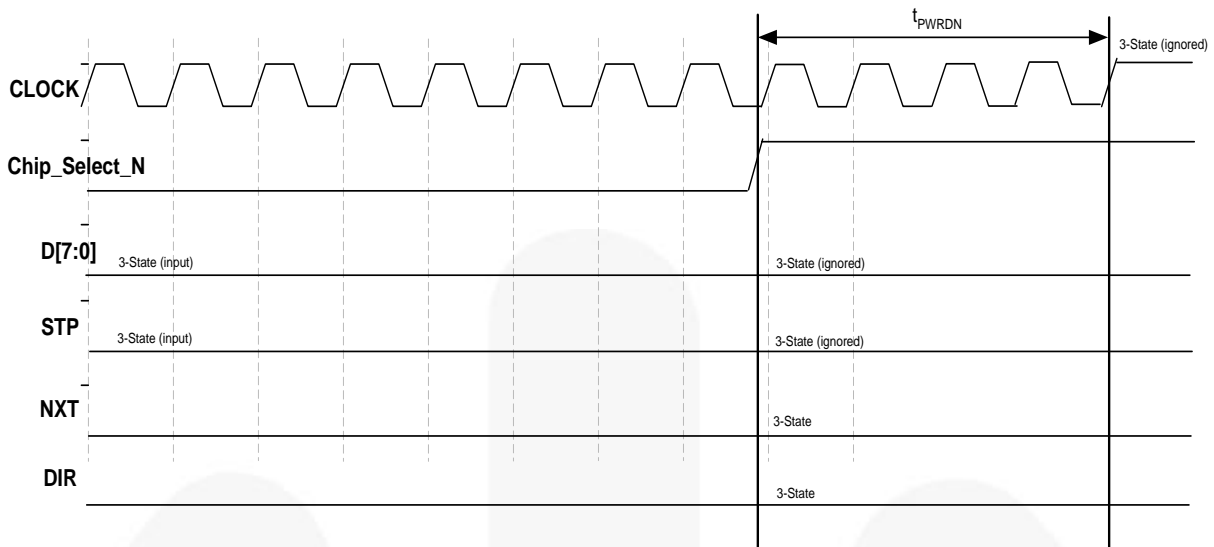


图3. Chip_Select_N 是ULPI的节电控制信号

利用 Chip_Select 限电

如果 CHIP_SELECT_N 被解除声明（高电平），FUSB2805 为 ULPI 接口各引脚设置三态，降低内部电路的功耗。如果 CHIP_SELECT_N 未用作节电控制信号，则它固定为低电平。图3显示 CHIP_SELECT_N 被声明然后又解除声明时的 ULPI 接口性能。

在持续时间 t_{PWRDN} 之后，时钟“CLOCK”输出进入三态，而且被链接器所忽略。

上电复位 (POR)

内部稳压器的电源为 V_{CC} 。该电源要为 3.3 V 和 1.2 V 稳压器供电。3.3 V 稳压器的输出为 V_{CC3V3} 。1.2 V 稳压器的输出为 V_{DD1V2} 。

在上电阶段，POR保持在一个稳定状态，确保数字逻辑不会误操作I/O或任何模拟电路，防止破坏系统其余电路。

POR结构的输出，即 PORB（内部信号），在电源爬升过程中应该为 1'b0。一旦电源已经完成爬升，PORB应该解除声明。该信号由 19.2/26 MHz 驱动到 12 MHz PLL。在 USB OTG PHY 结构中，POR 信号（高电平有效复位）必须保持被声明，时间不小于 40 μ s。

通过 V_{CC3V3} 引脚上一个带有 POR 触发阈值的比较器，可以决定 PORB 解除声明，阈值 V_{POR} 为 2.0 V。

图4说明了 PORB 脉冲与 V_{CC3V3} 引脚电压电平之间的对应关系。图中还给出了当 V_{CC3V3} 跌落低于 V_{POR} ，不论时间长短，POR 对 PORB 的所作所为。

上电结束后，CLOCK开始切换（toggling），则USB链接控制器必须在ULPI总线上发布一个复位命令，确保正确工作。

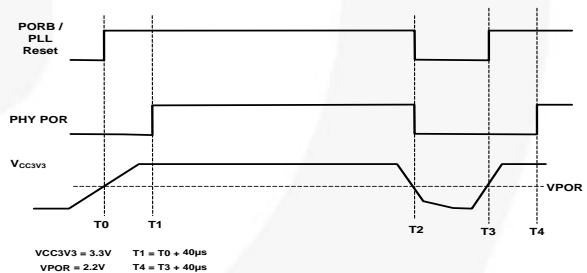


图4. 上电复位序列

OTG模块

OTG模块包含有多个子模块，具有“USB OTG修订版1.3的补码”所需要的所有功能。具体来说，它提供有以下电路：

- ID检测器，能够检测micro-USB电缆的ID引脚。该ID引脚能够指出哪一个设备被初始配置成主机和哪一个设备被配置成外设。
- V_{BUS}比较器，能够确定V_{BUS}电压电平。这是主机协商协议 (HNP) 和会话请求协议 (SRP) 所要求的。
- V_{BUS}临时充电与放电电阻。这是SRP所要求的。

ID检测器

检测迷你 USB（或微型 USB）数据线插入哪一端。必须首先通过将ID_PULLUP寄存器位设置为1b来启用ID检测器。假设在ID引脚上，FUSB2805检测到一个不同于前一次报告的值，一次RX_CMD状态更新被发送到USB链接控制器，或声明一次中断。

如果该电缆的micro-B端被插入，FUSB2805则报告ID_GND为逻辑1，而且USB链接控制器更改为外设模式。

如果该电缆的micro-A端被插入，FUSB2805则报告ID_GND为逻辑0，而且USB链接控制器更改为主机模式。

ID引脚具有一个弱上拉电阻（400 kΩ），避免浮置状况。当ID_PULLUP寄存器位为0时，该电阻被连接。如果应用未使用ID引脚，将该引脚固定为V_{CC3V3}。

VBUS比较器

FUSB2805具有三个比较器，可以用于检测V_{BUS}电压电平，比较器清单如表9和表12所示。比较器如下所示：

V_{BUS}有效比较器

该比较器供A-device（或主机）使用，用于判断V_{BUS}引脚电压是否处于一个有效工作电平范围。V_{BUS}有效比较器的最小阈值为4.4 V。V_{BUS}上任何低于该阈值的电压都被认为是故障。在上电过程中，比较器的输出被忽略。

会话有效比较器

会话有效比较器为TTL电平输入，用来判断何时V_{BUS}电压足够高可以开始一次会话。A-device与B-device都需要采用该比较器去检测何时会话可以开始。A-device还需要采用该比较器去判断何时会话已经完成。会话有效阈值电压位于0.8 V至2.0 V之间。

会话结束比较器

会话结束比较器决定V_{BUS}何时低于0.2 V至0.8 V的B-device会话结束阈值。B-device采用该阈值确定会话何时结束。

SRP 充电与放电电阻

FUSB2805提供有片内电阻，用于V_{BUS}进行短时充电和放电。这些电阻由B-device使用，用于申请会话，并提示A-device恢复V_{BUS}电源。首先，通过设置DISCHARGE_VBUS寄存器位为1b，并等待SESS_END改变为1b，从上一次会话算起，B-device查验V_{BUS}已经完全放电。然后，通过设置CHARGE_VBUS寄存器位为1b，B-device为V_{BUS}充电。当A-device检测到V_{BUS}的充电已经高于会话有效阈值，接通V_{BUS}电源，开始会话。

模拟参考模块

模拟参考模块能够提供稳定的内部电压和电流参考，用于内部模拟电路偏置。该模块需要一只精确的外部参考电阻。在RREF引脚与GND之间需要一只12 kΩ ±1%的电阻。

引脚详细说明

D0 至 D7

引脚 D0 至 D7 为双向 ULPI 数据总线引脚。当 ULPI 总线空闲时 (DIR 为 L 低), USB 链接控制器必须驱动 D0-D7 为低。当链接器具有数据发送到 FUSB2805 时, USB 链接控制器驱动一个非零值。

数据总线可以重新配置, 支持不同的数据类型。数据总线共计有四种模式:

- 同步模式: 缺省模式为 SDR 模式⁽³⁾, 8 位数据字节, 与时钟的上升沿同步。
- 低功耗模式: 承载异步线路状态和 V_{BUS} 信息。
- 3 引脚串联模式: 承载异步 3 引脚 FS/LS 串行信号。
- 6 引脚串联模式: 承载异步 6 引脚 FS/LS 串行信号。

通过驱动 chip_select_N 为高, 各数据引脚也可以具有三态。

注:

3. FUSB2805 不支持 DDR。

V_{IO}

V_{IO} 为输入电源引脚, 用来设置 I/O 电压电平。 V_{IO} 为以下引脚的衬垫进行在片供电:

- CLOCK
- DIR
- STP
- NXT
- D0-D7
- RESET_N
- CFG1

R_{REF}

R_{REF} 为电阻参考模拟 I/O 引脚。需要 $12\text{ k}\Omega \pm 1\%$ 的电阻。

DP 和 DM 引脚

当处于 USB 模式时, DP 引脚用作 USB 数据+线, DM 引脚用作 USB 数据-线。

DP 与 DM 引脚应该连接到 USB 插座的 D+ 与 D- 引脚。

故障

该输出引脚由外部 SMPS 或电源管理 IC 使用, 在过流或过压故障条件下用来发出信号。在 OTG 主机中, 这是适用的, 其中 PSW 用于控制驱动 V_{BUS} , 或在充电电流过高时控制向 OTG SMPS 管理 IC 发出信号, 如图 5 所示。

ID

对于 OTG 实现, (识别) ID 引脚连接到 mini-USB (或 micro-USB) 插座的 ID 引脚。正如 OTG 规范中的定义, ID 引脚掌管着链接控制器的初始角色。如果 ID 引脚检测为高, 链接控制器必须承担外设角色。如果 ID 引脚检测为低, 链接控制器必须承担主机角色。角色可以随后利用主机协商协议 (HNP) 来更换。

FUSB2805 提供有内部上拉电阻, 用于检测 ID 引脚的取值。通过设置 ID_PULLUP 寄存器位为 1b, 数值为 $50\text{ k}\Omega$ 的上拉电阻必须首先被启用。如果 ID 引脚的取值发生改变, 则 FUSB2805 向链接控制器发送一次 RX CMD 或一次中断, ID 引脚检测时间为 t_{ID} 。在 t_{ID} 内, 如果链接控制器没有收到任何 RX CMD 或中断, 则 ID 值不变。为了避免 ID 引脚浮动, 当设置 ID_PULLUP 寄存器位为 0b 时, 可以接入一只 $400\text{ k}\Omega$ 的上拉电阻。

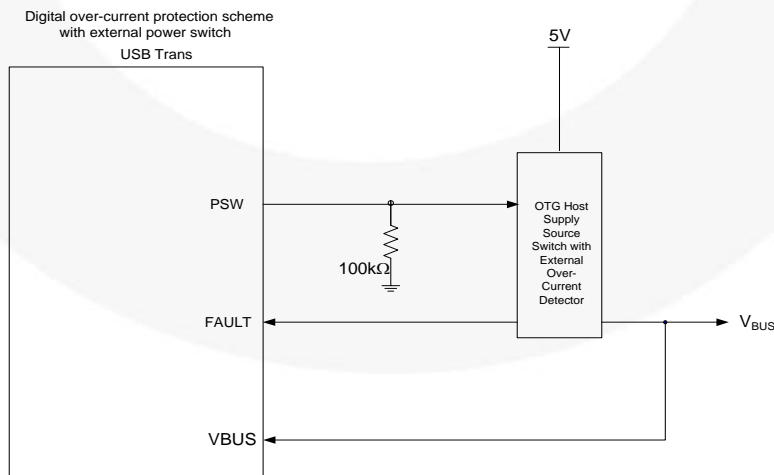


图5. 数字过流检测方案

V_{CC}

V_{CC}为 FUSB2805 的主电源电压。当 V_{CC}电压介于 2.7 V 与 4.5 V 之间时，FUSB2805 正常工作。V_{CC}上的最大瞬态电压为 5.5 V，最多持续 5 ms。可选一只100nF的退耦电容。

PSW

该引脚为有效高、开源结构、功率开关的模拟输出。该引脚可以连接到一个外部 V_{BUS}开关或者一个外部充电泵启用电路，用于控制外部V_{BUS}电源。如果链接控制器处于主机模式，可以通过将 OTG 控制寄存器中的 DRV_VBUS 和 DRV_VBUS_EXT 位设置为逻辑 1 实现。FUSB2805 将 PSW 驱动为高电平，从而启用外部 V_{BUS}电源。如果链接控制器检测到过流状况 (V_{BUS_val1r}=0)，应该通过将 DRV_VBUS_EXT 设置为 0b 禁用外部V_{BUS}电源。使用一只外部 100 kΩ下拉电阻。

另外，用于控制PSW的信号极性可以通过INTF_CTRL寄存器来更改。

V_{BUS}

该电源 I/O 引脚用作V_{BUS}比较器和过流检测器的输入端。

当 OTG 控制寄存器的DRIVE_VBUS设置为 1b 时，外部V_{BUS}电源试图驱动V_{BUS}，使之处于电压 4.4 V 至 5.25 V 范围内，同时输出电流能力至少为 8 mA。

V_{CC3V3}和 V_{DD1V2}

调节输出电压。这两种电源用于为内部数字和模拟电路供电。

CLKIN

时钟输入引脚。CLKIN 为数字时钟输入。CLKIN 引脚的允许频率为 19.2 MHz 和 26 MHz。该时钟所要求的频率容差为 50 ppm。链接控制器要求 FUSB2805 能够输出 60 MHz 时钟。采用PLL可以产生该时钟，PLL的输入时钟为 CLKIN。

- 19.2 MHz - CFG1 设置为低电平
- 26 MHz - CFG1 设置为高电平

CHIP_SELECT_N

有效低芯片选择引脚。当声明为高时，D[0-7]、CLOCK、DIR、和NXT 引脚处于三态并被忽略，所有内部电路被限电，其中包括稳压器。低电平时，FUSB2805 被唤醒，ULPI 引脚工作转为正常。

IR

方向输出引脚。该引脚与CLOCK的上升沿同步，并控制着数据总线的方向。缺省情况下，FUSB2805 保持 DIR 引脚低电平，导致数据总线成为输入端。当DIR为低时，FUSB2805 侦听来自链接控制器的数据。只有当存在数据需要发送到链接器时，FUSB2805拉动DIR为高，这是因为以下两个原因之一：

1. 发送USB接收数据、RX CMD状态更新和寄存器-读数据至链接控制器
2. 在上电过程、复位和低功耗模式下，阻止链接控制器驱动数据总线

当 Chip_Select_N 被解除声明为高电平时，DIR 引脚还具有三态功能。

STP

停止输入引脚。该信号与CLOCK上升沿同步。链接器必须声明STP，发出一次发送数据包或一次寄存器-写操作结束的信号。当DIR被声明时，链接控制器能够有随意地声明STP，退出FUSB2805，使得在下一个时钟周期中DIR被解除声明。

NXT

下次数据输出引脚。该信号与CLOCK上升沿同步。缺省时，FUSB2805保持NXT为低。当DIR为低，且链接器正在发送数据时，NXT被声明，通知链接器提供下一个数据字节。当 DIR 引脚为高电平并且 FUSB2805 向链接器发送数据，声明 NXT 以告知链接器总线上存在另一个有效字节。NXT 不可用于寄存器读数据或 RX CMD 状态更新。

当Chip_Select_N被解除声明高时，NXT引脚还具有三态功能。

CLOCK

这是一个 60 MHz 接口时钟，用于同步 ULPI 总线。该引脚被配置为输出。作为12引脚接口实现方式，全部ULPI信号均与CLOCK的上升沿同步。FUSB2805接受数字时钟输入，并向链接器输出60MHz的时钟。

GND

在FUSB2805中，全局地信号作为所有电路的地，

Reset_N

Reset_N 为低电平有效的复位信号，具有 V_{IO}电压。未用时，V_{IO}被限制到 1.8 V。典型地，限制到该产品的上电复位信号。

工作模式

ULPI 模式

通过编程，ULPI 总线可以在四种不同的模式和节电模式下工作。每种模式重新配置数据总线上的信号。若设置为多个模式，则会出现未定义的性能。

同步模式

同步模式为缺省模式。在上电过程和当 CLOCK 稳定时，FUSB2805 进入同步模式。

在同步模式中，链接控制器必须将所有的ULPI信号与CLOCK同步，满足动态特性表中定义的建立和保持时间。

链接控制器使用该模式，执行下列任务：

- 检测高速握手（打招呼）
- 发送和接收USB数据包
- 读和写寄存器
- 接收来自FUSB2805的USB状态更新（RX CMDs）

关于进一步详情，请参阅ULPI修订版1.1规范的第3.8节。

低耗模式

当 USB 空闲时，链接控制器能够使得 FUSB2805 进入低耗模式（又称为暂停模式）。为了能够进入低耗模式，链接控制器需要将“功能控制”（FUNC_CTRL）寄存器中的 SUSPENDM位清零为 0b。

在低耗模式下，FUSB2805 提供有关数据总线线路状态和中断信息，使得链接控制器能够监测基本的 USB 状态，从 VCC 电源中导出小于 200 μ A 电流。

此外，在低耗模式下，CLKIN引脚上的时钟停止，但是，在声明STP退出低耗模式之前它必须得到重新启动。

一旦进入低耗模式，FUSB2805 必须保持最短 120 个时钟周期（或 2 μ s）的低耗模式。2 μ s 延时后，可以通过声明 STP 信号，退出低耗模式。然后，如果检测到任何一个中断源出现变化，而且该变化仍然存在，则FUSB2805向链接器发布RXCMD命令。若在退出前解除了中断状况，可能不会被发送 RXCMD。

在低耗模式下，数据总线分配发生改变，改变后如表1所示。

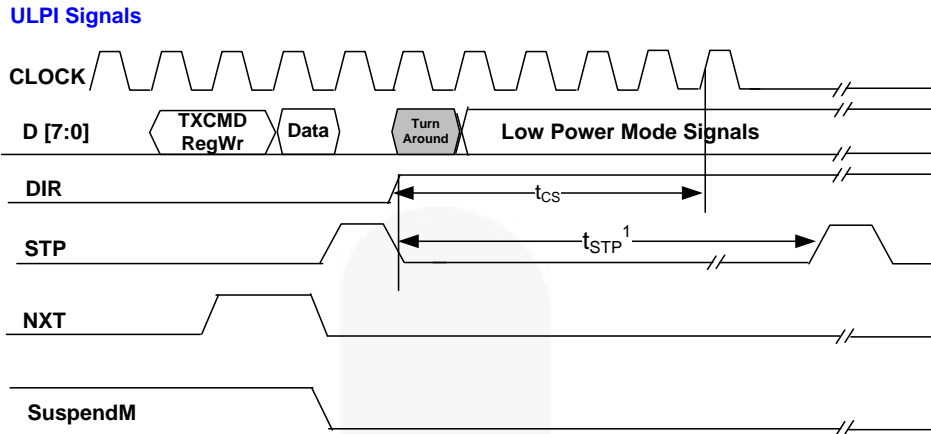
表1. 在低耗模式线ULPI总线上的信号映射

信号	映射至	方向	说明
LINESTATE0	D0	输出	组合LINESTATE0，直接由模拟接收器驱动
LINESTATE1	D1	输出	组合LINESTATE1，直接由模拟接收器驱动
保留	D2	输出	保留；FUSB2805驱动这些引脚为低。
INT	D3	输出	有效高中断信号。无论何时发生未屏蔽中断，均被声明和锁存。
保留	D[7:4]	输出	保留；FUSB2805驱动这些引脚为低。

进入低耗模式

链接器设置（在功能控制寄存器中）SuspendM=0b，可以将FUSB2805置于低耗模式。在 FUSB2805 接受该寄存器写数据之后，CLOCK 可以停止，持续最短 5 个时钟周期，如图6所示。当进入低耗模式时，FUSB2805 声明

DIR，并保持 NXT 为低电平。声明DIR之后，出现一个周期的数据总线翻转，在此期间，D[7:0]的数据无效。一旦结束翻转周期，FUSB2805 开始驱动各个信号，如表1所示。



Note: The second STP pulse indicates the exit of low-power (suspend) mode

图6. 进入低耗模式

退出低耗模式

如果 FUSB2805 已经被暂停持续至少 2 μ s, 通过异步声明 STP, 链接器向 FUSB2805 发出信号, 要求退出低耗模式。FUSB2805立即唤醒其内部电路。一旦满足ULPI时序要求, 则FUSB2805解除声明DIR, 确保在DIR解除声明和设置(功能控制寄存器中)SuspendM=1b之前, 一个至少5个周期

的CLOCK被驱动。在解除声明 DIR 引脚的下一个周期中, 链接器解除声明 STP 引脚。声明 DIR 引脚后, 存在一个周期的数据总线翻转周期, 在该周期内, D[7:0] 的值无效。一旦结束翻转周期, FUSB2805开始驱动各个信号, 如表1所示。

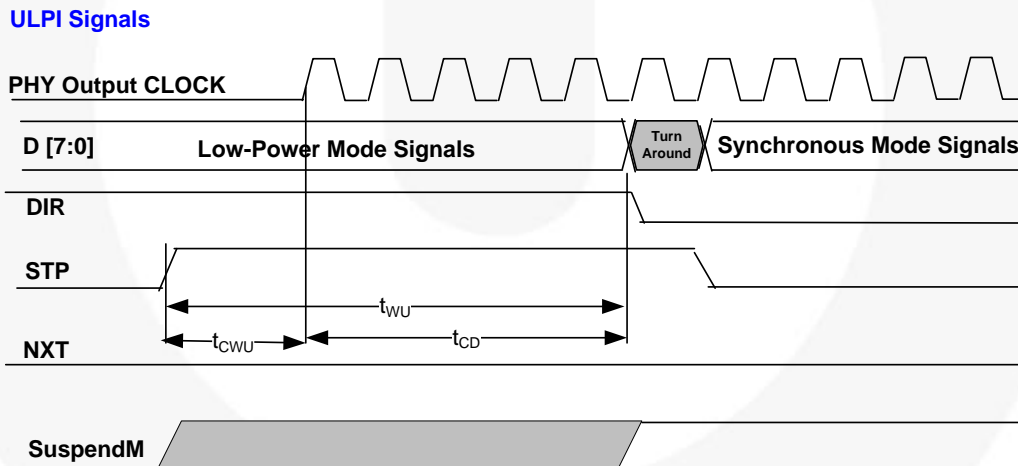


图7. FUSB2805提供输出CLOCK时退出低耗模式

6 引脚全速/低速串行模式

这种工作模式为链接器而提供, 链接器包含有继承FS/LS功能性, 并可以启用达到HS功能的高效升级路径。

为了进入 6 引脚串行模式, 链接控制器将接口控制寄存器中的 6PIN_FSL_SERIAL 位设置为逻辑 1。为了退出 6 引脚串行模式, 链接控制器声明 STP 引脚。

还提供一个 INT 信号, 将 USB 事件通知链接器。在 6 引脚串行模式中, 如果链接器需要 CLOCK 运行, 必须在进入 6 引脚串行模式之前设置 CLK_SUSPENDM 寄存器位为逻辑 1b。

在 6 引脚模式下, FUSB2805 要求 CLKIN 保持运行。在 6 引脚串行模式下, 数据总线分配改变, 改变后如0所示。数据包的信令范例如图24所示。

表2. 6-引脚模式下ULPI总线上信号映射

信号	映射至	方向	说明
TX_ENABLE	D0	输入	有效高发送启用
TX_DATA	D1	输入	在 DP 和 DM 引脚上发送差分数据
TX_SE0	D2	输入	在 DP 和 DM 引脚上发送单端零 (SE0)
INT	D3	输出	有效高中断信号。无论何时发生未屏蔽中断，均被声明和锁存。
RX_DP	D4	输出	来自 DP 引脚上的单端接收数据
RX_DM	D5	输出	来自 DM 引脚上的单端接收数据
RX_RCV	D6	输出	来自 DP 和 DM 引脚的上差分接收数据
保留	D7	输出	保留；FUSB2805驱动这些引脚为低。

3 引脚全速/低速串行模式

这种工作模式被提供给链接器，链接器包含有 FS/LS 功能性，并可以启用具有 HS 功能性的高效升级路径。

为了进入 3 引脚串行模式，链接控制器将接口控制寄存器中的 3PIN_FSL_SERIAL 位设置为逻辑 1。为了退出这种模式，链接控制器声明 STP 引脚。

还提供一个 INT 信号，将 USB 事件通知链接器。在 3 引脚串行模式中，如果链接器需要 CLOCK 运行，必须在进入 3 引脚串行模式之前设置 CLK_SUSPENDM 寄存器位为逻辑 1b。

在 3 引脚模式下，FUSB2805 要求 CLKIN 保持运行。在 3 引脚串行模式下，数据总线分配改变，改变后如 0 所示。数据包的信令范例如图 23 所示。

表3. 3-引脚模式下ULPI总线上信号映射

信号	映射至	方向	说明
TX_ENABLE	D0	输入	有效高发送启用
DAT	D1	I/O	当 TX_ENABLE 为高电平时，在 DP 和 DM 引脚上发送差分数据；当 TX_ENABLE 为低电平时，在 DP 和 DM 引脚上接收差分数据
SE0	D2	I/O	当 TX_ENABLE 为高电平时，在 DP 和 DM 引脚上发送单端零；当 TX_ENABLE 为低电平时，在 DP 和 DM 引脚上接收单端零
INT	D3	输出	有效高中断信号。无论何时发生未屏蔽中断，均被声明和锁存。
保留	D[7:4]	输出	保留；FUSB2805驱动这些引脚为低。

电源模式

FUSB2805支持两种基本的电源工作模式，包括：

- 常规模式
- 节电模式

常规模式

当 V_{cc} 和 V_{io} 上电，并且 Chip_Select_N 被声明时，进入该模式。

节电模式

当芯片选择无效时，FUSB2805进入节电模式，在此模式中，将发生以下动作：

- Chip_Select_N 为高电平或 V_{io} 不存在。

- 内部电路限电； V_{cc} 总电流 $< 36 \mu A$ 。
- D[0-7]、CLOCK、NXT 和 DIR 为三态和被忽略。STP 被忽略
- 为 OTG PHY 供电的稳压源关闭
- ULPI 接口上的下拉电阻被启用，防止总线浮动 (V_{io} 出现)。
- FUSB2805 被迫进入低耗状态，忽略任何 ULPI 命令，包括唤醒事件。
 - 如果 V_{io} 不存在，以 V_{io} 为参考的那些信号不能上电。

USB 状态过渡

高速USB 主机或OTG设备能够处置不止一个电气状态，其定义参见 USB 和 OTG 规范。通过设置 XcvrSelect、

TermSelect、OpMode[1:0]、DpPulldown和DmPulldown表4 寄存器位，FUSB2805 能够适应多种状态。

表4. 工作状态和相应的寄存器设置

信令模式	寄存器设置					内部寄存器设置				
	XcvrSelect[1:0]	TermSelect	OpMode[1:0]	DpPulldown	DmPulldown	rpu_dp_en	rpu_dm_en	rpd_dp_en	rpd_dm_en	hsterm_en
通用设置										
三态驱动器	XXb	Xb	01b	Xb	Xb	0b	0b	0b	0b	0b
上电或者 $V_{BUS} < V_{th}$ (SESS_END)	01b	0b	00b	1b	1b	0b	0b	1b	1b	0b
主机设置										
主机招呼	00b	0b	10b	1b	1b	0b	0b	1b	1b	1b
主机高速	00b	0b	00b	1b	1b	0b	0b	1b	1b	1b
主机全速	X1b	1b	00b	1b	1b	0b	0b	1b	1b	0b
主机 HS/FS 暂停	01b	1b	00b	1b	1b	0b	0b	1b	1b	0b
主机 HS/FS 恢复	01b	1b	10b	1b	1b	0b	0b	1b	1b	0b
主机低速	10b	1b	00b	1b	1b	0b	0b	1b	1b	0b
主机低速暂停	10b	1b	00b	1b	1b	0b	0b	1b	1b	0b
主机低速恢复	10b	1b	10b	1b	1b	0b	0b	1b	1b	0b
Host Test_J/Test_K	00b	0b	10b	1b	1b	0b	0b	1b	1b	1b
外设设置										
外设招呼	00b	1b	10b	0b	0b	1b	0b	0b	0b	0b
外设高速	00b	0b	00b	0b	0b	0b	0b	0b	0b	1b
外设全速	01b	1b	00b	0b	0b	1b	0b	0b	0b	0b
外设 HS/FS 暂停	01b	1b	00b	0b	0b	1b	0b	0b	0b	0b
外设 HS/FS 恢复	01b	1b	10b	0b	0b	1b	0b	0b	0b	0b
Peripheral Test_J/Test_K	00b	0b	10b	0b	0b	0b	0b	0b	0b	1b
OTG 器件、外设招呼	00b	1b	10b	0b	1b	1b	0b	0b	1b	0b
OTG 器件、外设高速	00b	0b	00b	0b	1b	0b	0b	0b	1b	1b
OTG 器件、外设全速	01b	1b	00b	0b	1b	1b	0b	0b	1b	0b
OTG 器件、外设 HS/FS 暂停	01b	1b	00b	0b	1b	1b	0b	0b	1b	0b
OTG 器件外设、HS/FS 恢复	01b	1b	10b	0b	1b	1b	0b	0b	1b	0b
OTG 器件外设、Test_J/Test_K	00b	0b	10b	0b	1b	0b	0b	0b	1b	1b

协议说明

ULPI 参考资料

FUSB2805提供了用于与链接控制器通信的12引脚（SDR）ULPI接口。强烈建议，FUSB2805的用户阅读ULPI 和 UTMI+规范，清单如下：

UTMI+ 低引脚接口规范 (ULPI) 修订版 1.1, 2004 年 10 月 20 日。 <http://www.ulpi.org>

UTMI+ 规范修订版 1.0, 2004 年 2 月 22 日。
<http://www.ulpi.org>

ULPI 总线

表5给出了 ULPI 引脚信号的说明。在同步模式中，全部信号都与CLOCK同步。利用 ULPI 总线，链接控制器能够读写寄存器、在 USB 总线上发送数据。FUSB2805 利用 ULPI 总线发送状态信息、USB 解码数据和寄存器内容至链接控制器。在低耗和串行模式，即使时钟仍处于在运行，所有信号与CLOCK异步。ULPI 总线用法的范例如所示。图8

表5. ULPI 信号说明

信号名称	FUSB2805 方向	信号说明
CLOCK	OUT	60 MHz 接口时钟。 如果一个时钟被接入到CLKIN引脚，FUSB2805驱动一路60MHz输出时钟。 在低耗和串行模式中，为了节能，该时钟可以被关闭，
D0-D7	I/O	8位数据总线 在同步（SDR）模式，缺省时，链接器驱动D0-D7为低。通过发送一个非零数据码型，称为TXCMD（发送命令），链接器启动传送。在同步模式下，D0-D7 方向由 DIR 引脚控制。无论 DIR 引脚值何时变化，必须对 D0-D7 线路内容忽略正好一个时钟周期，即所谓的“翻转”周期。 在低耗、6-引脚以及3-引脚串行模式中，各个数据线具有固定方向和不同的含义。
DIR	OUT	控制D0-D7数据总线的方向 在同步（SDR）模式，缺省时，FUSB2805 驱动DIR为低，使得数据总线为输入，以便FUSB2805能够侦听是否有来自链接控制器的TXCMD命令。 只有当存在链接器需要的数据时，FUSB2805 才驱动 DIR 引脚为高电平。当 DIR 和 NXT 均为高电平时，数据总线上的字节包含解码后的 USB 数据。当DIR 为高和NXT为低时，字节包含状态信息，称为 RXCMD（接收命令）。唯一例外是，当FUSB2805返回寄存器-读数据，其间NXT 仍为低，取代通常的RXCMD字节。DIR每发生一次变化，在数据总线上引起一次翻转周期，在此期间内，D0-D7无效，且必须被链接器忽略。 在低耗、6-引脚以及3-引脚串行模式中，DIR始终被声明。
STP	IN	停止 在同步（SDR）模式，链接器驱动STP为高，在发往FUSB2805数据的最后一个字节之后持续一个周期。链接器能够随意地声明STP去强迫解除DIR声明。 在低耗和串行模式，链接器保持STP为高，用来唤醒FUSB2805，迫使ULPI总线返回到同步模式。
NXT	OUT	下次 在同步（SDR）模式，FUSB2805驱动NXT为高，用来调节数据。如果DIR为低，则FUSB2805声明NXT，告知链接控制器在接下来的周期中去取代D0-D7上的下一个数据字节。如果 DIR 引脚为高电平，FUSB2805 声明 NXT 引脚，告知链接控制器当前周期内 D0-D7 上存在一个有效的 USB 数据字节。如果DIR是高电平，NXT是低电平，FSUSB会驱动RXCMD，除非读寄存器的数据在当前周期里返回给链接控制器。 在低功耗模式或者串行模式NXT不可用

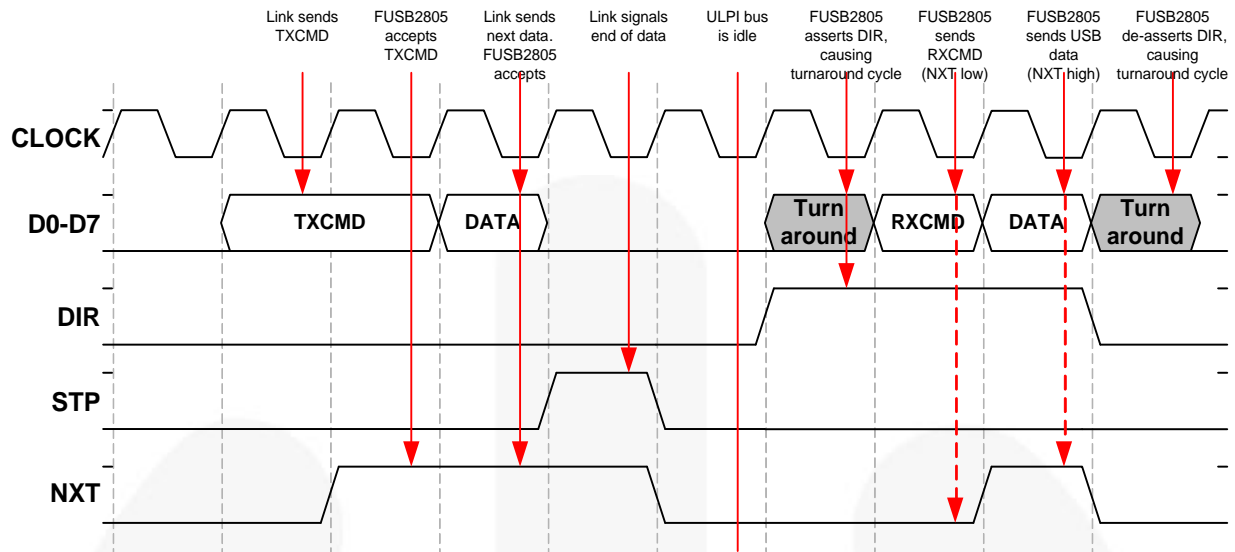


图8. 后接数据接收的ULPI通用数据发送

在上电时，FUSB2805 进行内部上电复位并声明 DIR，告知链接器，ULPI 总线不可用。当内部 PLL 稳定时，FUSB2805 解除声明 DIR 引脚。上电时间取决于 V_{cc} 电源上升时间和 PLL 启动时间 ($t_{startPLL}$)。

无论何时 DIR 被声明，FUSB2805 驱动 NXT 引脚为低，而且根据 RXCMD 数值，必须驱动数据总线 (D0-D7)。当 DIR 被解除声明时，链接器必须驱动 (D0-D7) 为缺省低。在开始 USB 数据包之前，通过使功能控制寄存器中 RESET 位置位，链接器复位 FUSB2805。RESET 位置位后，FUSB2805 声明 DIR，直到内部复位完成为止。当复位得到完成时，FUSB2805 自动解除声明 DIR，并清除 RESET 位。每次复位之后，RX CMD 被发送到链接控制器，更新 USB 状态信息。该序列完成之后，ULPI 总线做好使用准备，链接器能够启动 USB 工作。

如果 Chip_Select_N 被解除声明，FUSB2805 保持在节电模式，此时所有 ULPI 接口引脚处于三态，内部稳压器关闭，功耗降低，甚至低于低耗模式。

如果由于不存在 V_{io} 而进入低耗模式，建议链接器上电序列如下：

1. 连接 V_{cc} 和 V_{io} 电源。
2. Chip_Select_N 由高变低，启用 FUSB2805；
3. 链接器等待至少 t_{PWRUP} ，忽略全部 ULPI 引脚状态；
4. 链接器开始监测 DIR 状态电平。如果检测到 DIR 为低，链接器发送一次复位命令；
5. ULPI 接口可以使用。

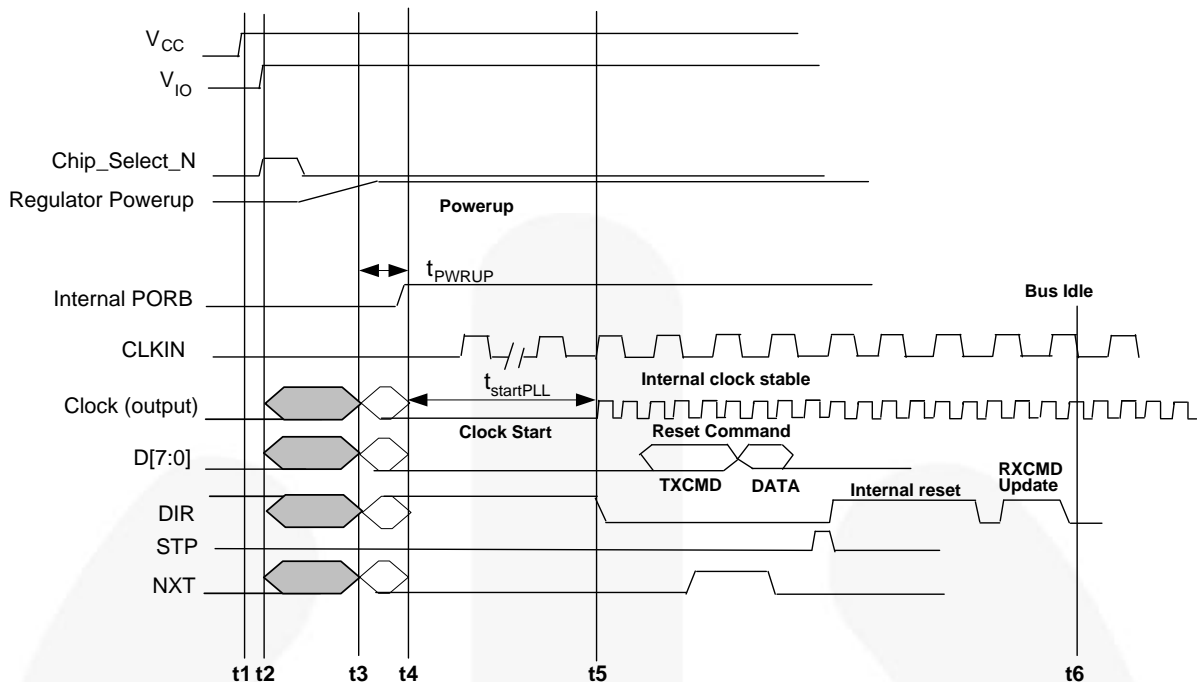


图9. 上电、复位和总线空闲序列—ULPI 准备

注意:

4. 如果 CLKIN 稳定，当 DIR 引脚解除声明时，FUSB2805 从 CLOCK 引脚驱动一路 60 MHz 时钟输出。该时钟在上图中显示为“CLOCK（输出）”。
5. t1: V_{cc}被施加到 FUSB2805 的时刻。
6. t3: Chip_Select_N 跳变到有效状态（低）的时刻。FUSB2805 的内部稳压器接通，ULPI 引脚变得有效（可以驱动为高电平或低电平），但是应该在上电时间 t_{PWRUP}过程中被忽略。
7. t4: POR脉冲（上电复位）之后，ULPI引脚被驱动为指定电平。DIR被驱动为高，接着，其它ULPI引脚被驱动为低。
8. t5: PLL 启动时间t_{startPLL}之后，PLL 进入稳定。CLOCK引脚开始输出60MHz时钟，DIR引脚跳变为低，而且链接器必须驱动STP 和D[7: 0] 为低（空闲）。接着，链接器启动一个复位命令去初始化FUSB2805。
9. t6: 上电序列完成，ULPI总线接口可以使用。

V_{BUS} 供电与过流监测

V_{BUS} 引脚驱动 5 V - 仅外部

FUSB2805不支持内部充电泵。PSW引脚支持一路外部 V_{BUS} 电源，该引脚为有效高（开源结构）信号，用于控制外部电源管理集成电路，例如OTG支持的SMPS设备。

过流检测

FUSB2805只支持外部过流检测。主机应用需要一个过流检测电路，能够在V_{BUS}引脚上提供大于 100 mA 的电流，电压范围为 4.75 V 至 5.25 V。

一个来自该外部电路的数字信号必须连接到 FAULT 引脚，FAULT 引脚直接控制 PSW 引脚（如图5所示）。输入到该引脚的信号极性可以选择，该引脚直接控制PSW。

USB数据包的收发

当收发USB数据包时，有一些关于链接器和PHY处理时间的限制，确保必须满足USB数据包间延时。这些时间决定于

USB事件和数据包格式（即带有PID或NOPID发送、发送出错、接收出错等）。

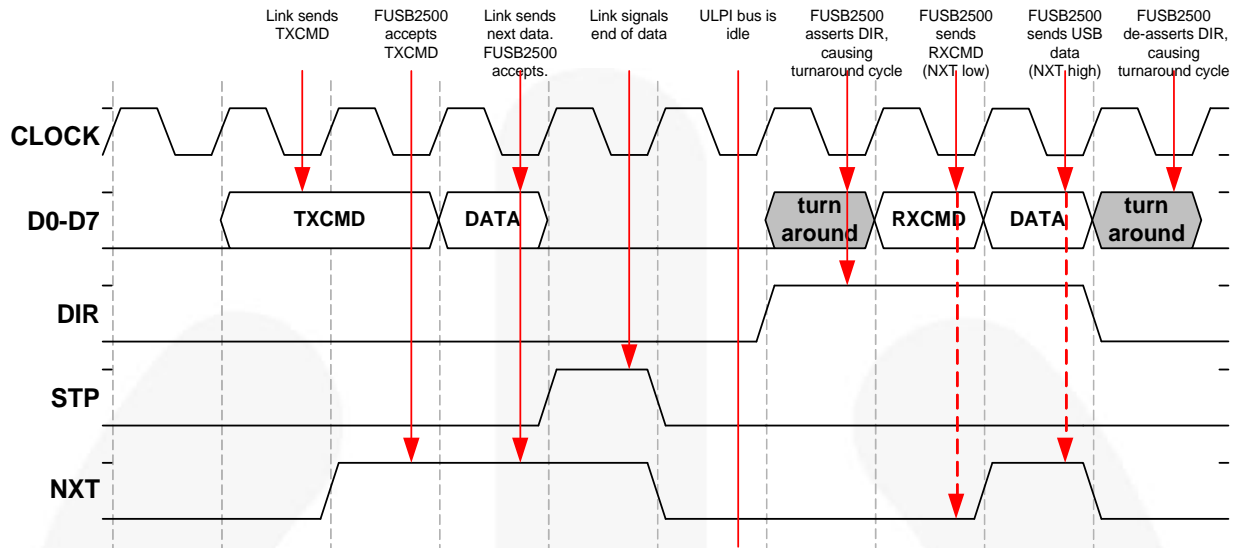


图10. ULPI数据包收发范例

注：

10. 关于USB数据包操作与功能的详细信息，请参考ULPI规范的第3.8.2节。

USB数据包时序

USB2.0规范中定义了数据包间时序，UTMI/UTMI+规范中定义了同步与处理延时。ULPI修订版1.1规范中定义了数据包间时序，能够确保与USB2.0及其补码规范的兼容性。

通道延时

表6描述了延时（单位为时钟周期），这些延时符合ULPI。USB总线事件根据D+和D-测量得到。ULPI时序均相对于时钟边沿，在边沿上检测信号跳变（即在时钟边沿检测到STP）

表6. 通道延时

参数名称	HS PHY 延时	FS PHY 延时	LS PHY 延时	定义
RXCMD 延时 (J/K)	4	4	4	检测到内部 USB 总线状态发生一次变化后到 ULPI 总线上一个 RXCMD 字节被发送之间的时钟数目。适用于所有变化，SE0 除外。
RXCMD 延时 (SE0)	4	4 至 6	16 至 18	USB 总线状态之间的时钟数告知 SE0 引脚正在通过 ULPI 总线发送 RXCMD 字节。由于需要进行过滤，延迟时间增加。
TX 开始延时	1 至 2	6 至 10	74 至 75	在ULPI 总线上FUSB2805检测到一次TXCMD与在USB总线上发送SYNC码型的第一个K之间的时钟数目
TX 结束延时 (数据包)	2 至 5	NA	NA	在ULPI 总线上FUSB2805检测到STP与在USB总线上完成EOP发送之间的时钟数目。 在USB总线上，当全部8个连续的"1"已经结束发送，则HS EOP完成。 STP被声明后的多个时钟周期后，FS/LS数据包完成。链接器必须寻查表示SE0-to-J 跳变的RXCMD字节，以便确定USB总线上发送完成的时间。
TX 结束延时 (SOF)	6 至 9	NA	NA	HS SOF数据包具有一个较长的EOP。在发送下一个数据包之前，链接器必须等待至少9个时钟周期或等待一次表示静噪 (LINESTATE=00b) 的RXCMD。
RX 开始延时	3 至 8	NA	NA	在USB 总线上SYNC码型的第一个K被发现后到同时声明DIR和NXT或表示RxActive 的RXCMD之间的时钟数目。仅仅用于HS数据包。 对于FS/LS数据包，链接器必须寻查表示J-to-K 跳变的RXCMD。
RX 结束延时	3 至 8	17 至 18	122 至 123	EOP出现在USB总线之后到FUSB2805解除声明DIR或表示RXCMD字节中RxActive低之间的时钟数目。 在USB总线上，当全部8个连续的"1"已经结束发送，则HS EOP完成。 USB 总线上开启 SE0 后，出现 FS/LS EOP。对于 FS/LS，链接器使用 LINESTATE，而非 RxEnd delay 为 USB 数据包计时。

注：

11. 关于PHY通道延时的详情，请参考ULPI修订版1.1规范的第3.8.2.6.2节

链接器决策时间

时钟周期数量需要分配给链接器，对一个已经接收的数据包作出响应，并正确接收背对背数据包，时钟周期数量如表7所示。

表7. 链接器决策时间

参数名称	HS PHY 延时	FS PHY 延时	LS PHY 延时	定义
发送-发送 (仅适用于主机)	15 至 24	7 至 18	77 至 247	对于第二个数据包，在驱动TXCMD之前，主机链接器必须等待的时钟数目。 在HS模式中，从STP声明开始，链接器开始为第一个数据包计数。 在FS/LS模式中，从表示LINESTATE 的RXCMD已经完成SE0-to-J 跳变开始，链接器开始为第一个数据包计数。给定的时序确保数据包间延时为2.0 到6.5 位的时间。
接收-发送 (主机或外设)	1 至 14	7 至 18	16 至 18	为发送数据包，在驱动TXCMD之前，链接器必须等待的时钟数目。 在HS模式中，从接收数据包结束（DIR解除声明，或表示RxActive为低的RXCMD）时开始，链接器起始计数。 在FS/LS模式中，连接器从表示LINESTATE 已经完成SE0-to-J 跳变的RXCMD开始为接收数据包计数。给定的时序确保数据包间延时为2.0 到6.5 位的时间。
接收-接收 (仅适用于外设)	1	1	1	连续接收数据包间的最小时钟数目。链接器必须能够接收连续两个数据包。
发送-接收 (主机或外设)	92	80	718	主机或外设发送一个数据包，在该时钟周期数目后，如果没有接收到任何响应，则认为超时。该时间之后，可以进行任何后续发送。

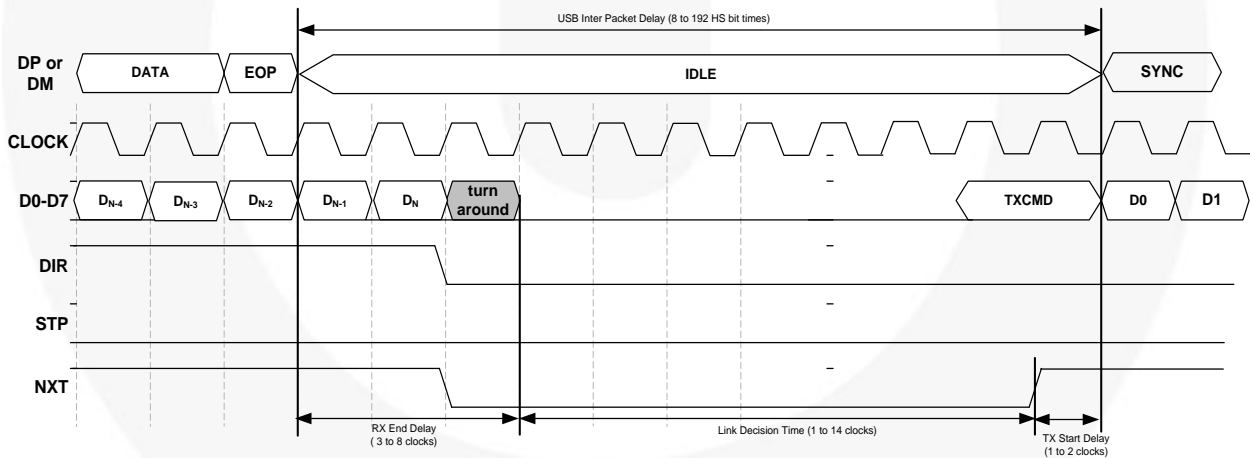


图11. HS 接收转向发送数据包时序的，范例 1

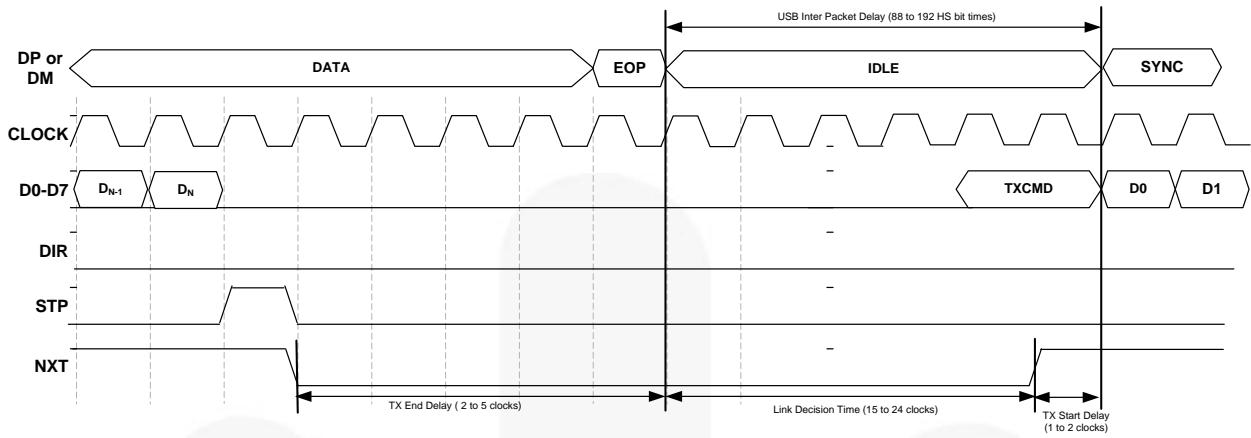


图12. HS发送转向发送数据包时序的范例2

序文

序文数据包为要求通过主机与集线器之间FS总线传输的低速数据包的头信息。为进入序文模式，链接器必须设置 FUNC_CTRL控制寄存器中XCVRSELECT[1:0]=11b，在这种模式（序文）下，FUSB2805工作在FS模式，所有发送的数据，具有FS上升和下降时间特性。链接器无论何时采用序文模式发送一个USB数据包，则在以低速位率发送该数据

包之前，FUSB2805 按照FS位率自动发送一个序文头信息。FUSB2805确保在FS PRE_PID的末位与LS SYNC的首位之间最短间隔为4个FS位时间。发送 PRE-PID 后，FUSB2805 驱动 J-state 状态至少一个 FS 位时间，然后电阻在总线上保持 J-state 状态。在序文模式下，FUSB2805 还可以从 FS 总线接收 LS 数据包。图13显示一个序文数据包的范例。

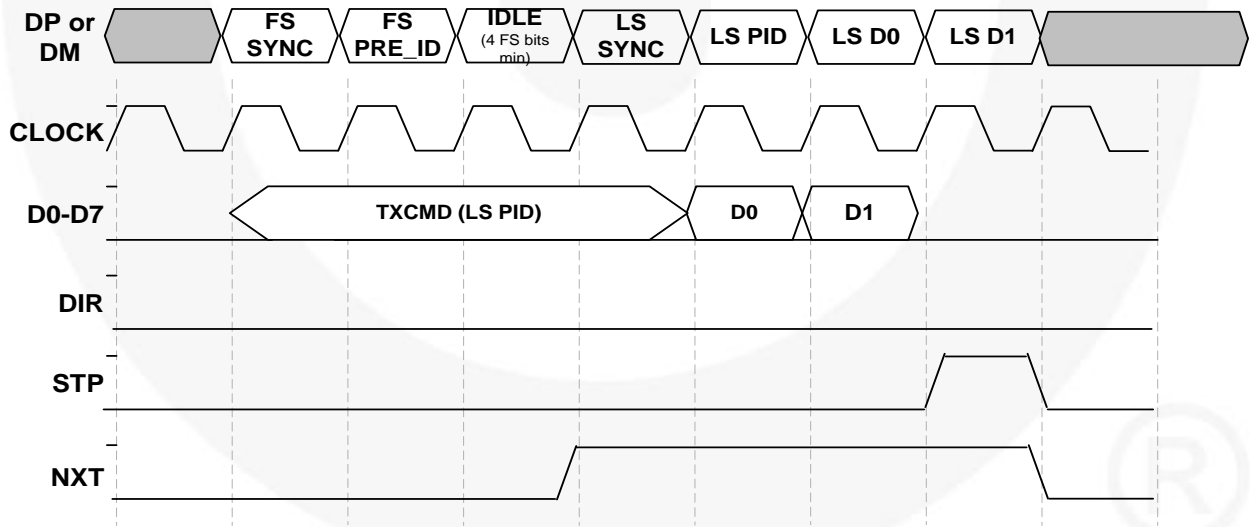


图13. 序文序列

RXCMD 和 TXCMD

ULPI 修改原始的UTMI 数据流，使之能够适合更多的数据类型。在发送过程中，PID字节冗余过装载有ULPI发送命令(TXCMD)。接收流中未用的数据过装载有接收命令(RXCMD)。ULPI定义一个由链接器发出的发送命令字节和一个由FUSB2805发出的接收命令字节。

发送命令(TXCMD)

通过发出发送命令(TXCMD)字节，链接器启动向FUSB2805 传送，如表8所示。TXCMD由2位命令代码和6位有效负载构成。

表8. 来自链接器到 FUSB2805 的发送命令 (TXCMD)

命令类型描述符	命令代码 [7:6]	命令净负荷 [5:0]	说明
IDLE	00b	00 0000b (NOOP)	空闲。00h 表示 ULPI 总线的空闲状态。链接器缺省驱动 NOOP。
		XX XXXXb	保留命令空间。取值不同于上述值时产生未定义的动作。
TRANSMIT	01b	00 0000b (NOPID)	发送不带 PID (数据包 PID) 的 USB 数据，例如招呼 and 恢复信号。FUSB2805 开始在 USB 上发送下一个数据字节。
		00 XXXXb (PID)	发送 USB 数据。D[3:0] 表示 USB 数据包识别符 PID[3:0]。
		XX XXXXb (RSVD)	保留命令空间。取值不同于上述值时产生未定义的动作。
REGISTER WRITE	10b	10 1111b (EXTW)	扩展寄存器写命令 (任选)。该命令接受后，8 位地址必须出现在下一个时钟周期。
		XX XXXXb (REGW)	带有 6 位立即地址的寄存器写命令。
REGISTER READ	11b	10 1111b (EXTR)	扩展寄存器读命令 (任选)。该命令接受后，8 位地址必须出现在下一个时钟周期。
		XX XXXXb (REGR)	带有 6 位立即地址的寄存器读命令。

接收命令 (RXCMD)

DIR声明后, FUSB2805采用接收命令 (RXCMD) 字节, 通过 ULPI 数据总线来更新链接器在线状态、USB接收、断线和 OTG信息。

无论何时RXCMD的任何数据字段出现变化, FUSB2805自动发出一个RXCMD。链接器必须能够在任何时刻, 包括NXT为低时在USB接收数据包的任何时刻, 能够接受一个RXCMD, 包括单一或多个 (背靠背) RXCMD。

表9. RXCMD 数据字节格式

DATA [7:0]	状态名称	说明																									
[1:0]	LINESTATE	线路状态信号: D[0]: LINESTATE0 D[1]: LINESTATE1 LINESTATE[1:0]反应DP与DM引脚的当前状态, 为多种寄存器设置的函数, 而且不论该设备为主机还是外设。详细的编码和说明如表10和表11所示。																									
[3:2]	V _{BUS} 状态	编码后V_{BUS}电压状态: 这种编码用于过流检测、会话开始和会话申请。Sess_End 与 Sess_Vld 指示符为来自内部FUSB2805VBUS 比较器的信号。编码后V _{BUS} 状态为:																									
		<table border="1"> <thead> <tr> <th>数值</th> <th>V_{BUS}电压</th> <th>Sess_End</th> <th>Sess_VLD</th> <th>A_V_{BUS}_VLD</th> </tr> </thead> <tbody> <tr> <td>00b</td> <td>$V_{BUS} < V_{B_Sess_End}$</td> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>01b</td> <td>$V_{B_Sess_End} \leq V_{BUS} < V_{A_Sess_Vld}$</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>10b</td> <td>$V_{A_Sess_Vld} \leq V_{BUS} < V_{A_VBUS_Vld}$</td> <td>X</td> <td>1</td> <td>0</td> </tr> <tr> <td>11b</td> <td>$V_{BUS} \geq V_{A_VBUS_VLD}$</td> <td>X</td> <td>X</td> <td>1</td> </tr> </tbody> </table>	数值	V _{BUS} 电压	Sess_End	Sess_VLD	A_V _{BUS} _VLD	00b	$V_{BUS} < V_{B_Sess_End}$	1	0	0	01b	$V_{B_Sess_End} \leq V_{BUS} < V_{A_Sess_Vld}$	0	0	0	10b	$V_{A_Sess_Vld} \leq V_{BUS} < V_{A_VBUS_Vld}$	X	1	0	11b	$V_{BUS} \geq V_{A_VBUS_VLD}$	X	X	1
		数值	V _{BUS} 电压	Sess_End	Sess_VLD	A_V _{BUS} _VLD																					
		00b	$V_{BUS} < V_{B_Sess_End}$	1	0	0																					
		01b	$V_{B_Sess_End} \leq V_{BUS} < V_{A_Sess_Vld}$	0	0	0																					
10b	$V_{A_Sess_Vld} \leq V_{BUS} < V_{A_VBUS_Vld}$	X	1	0																							
11b	$V_{BUS} \geq V_{A_VBUS_VLD}$	X	X	1																							
[5:4]	RxEvent	RxEvent 编码: RXCMD的这个编码字段用于通知链接器在USB 总线上接收到了数据包。																									
		<table border="1"> <thead> <tr> <th>数值</th> <th>RxError</th> <th>RxActive</th> <th>HostDisconnect</th> </tr> </thead> <tbody> <tr> <td>00b</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>01b</td> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>10b</td> <td>X</td> <td>X</td> <td>1</td> </tr> <tr> <td>11b</td> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	数值	RxError	RxActive	HostDisconnect	00b	0	0	0	01b	0	1	0	10b	X	X	1	11b	1	1	0					
		数值	RxError	RxActive	HostDisconnect																						
		00b	0	0	0																						
		01b	0	1	0																						
10b	X	X	1																								
11b	1	1	0																								
[6]	ID	该位反应ID引脚的状态。ID_PULLUP 置位1b的50ms后该位有效。																									
[7]	ALT_INT	缺省时未用该可选中断位。链接器可以随意地启用PWR_CNTRL 控制寄存器中的 BVALID_RISE 和/或BVALID_FALL位。如果ALT_INT位被声明, BVALID中的相应变化将使得一次RXCMD被发送到链接器																									

线路状态编码

如表9所述，发送到链接器的 LINESTATE[1:0] 是该端口是否为朝向上游（外设）或下游（主机）的函数。依赖其模式，双用OTG设备必须选择正确的LINESTATE编码。说

明：配置成LS外设（朝向上游端口），带有DM上拉时，不受FUSB2805支持。

表10. 上游（外设）朝向端口的LINESTATE[1:0]编码，DP_PULLDOWN=0b

模式	数值	全速	高速	招呼
XCVRSELECT[0:1]		01, 11	00	00
TERMSELECT		1	0	1
LINESTATE[1:0]	00b	SE0	Squelch	Squelch
	01b	FS-J	! Squelch	(! Squelch) 和 (HS_Differential_Receiver_Output)
	10b	FS-K	无效	(! Squelch) 和 (! HS_Differential_Receiver_Output)
	11	SE1	无效	无效

注意：

12. (! Squelch) 表示无效静噪。

13. (! HS_Differential_Receiver_Output) 表示无效的HS_Differential_Receiver_Output。

表11. 下游（主机）朝向端口的LINESTATE[1:0]编码，DP_PULLDOWN and DM_PULLDOWN=1b

模式	数值	低速	全速	高速	招呼
XCVRSELECT[0:1]		10	01, 11	00	00
TERMSELECT		1	1	0	0
OPMODE[1:0]		X	X	00, 01 or 11	10
LINESTATE[1:0]	00b	SE0	SE0	Squelch	Squelch
	01b	LS-K	FS-J	! Squelch	(! Squelch) 和 (HS_Differential_Receiver_Out put)
	10b	LS-J	FS-K	无效	(! Squelch) 和 (! HS_Differential_Receiver_Outp ut)
	11	SE1	SE1	无效	无效

注意：

14. (! Squelch) 表示无效静噪。

15. (! HS_Differential_Receiver_Output) 表示无效的HS_Differential_Receiver_Output。

V_{BUS} 电压状态编码

如表9所述，V_{BUS}状态编码发生变化将向链接器发出一次RXCMD。为了确保链接器能够接收VBUS状态变化，链接器必须首先启用USB_INTR_EN_R和USB_INTR_EN_F寄存器中相应的中断。链接器根据典型配置（主机、外设、OTG设备）利用指示信号进行操作。表12显示根据配置RXCMD中的V_{BUS}指示信号。

表12. RXCMD 中的V_{BUS}指示信号

配置	A_VBUS_VLD	SESS_VLD	SESS_END
标准主机	是	否	否
标准外设	否	是	否
OTG A-Device	是	是	否
OTG B-Device	否	是	是

对于标准的USB主机控制器应用，以下方面适用：

- 供电范围为 $4.75\text{V} \leq V_{\text{BUS}} \leq 5.25\text{V}$ ，系统必须能够提供 500 Ma 电流。
- 采用外部电路检测过流条件。如果外部电路检测器能够提供一个数字故障信号，该信号必须连接到FAULT输入引脚，而且链接器必须完成以下工作：
 1. 根据外部故障信号的极性，设置NTF_CTRL寄存器中的IND_COMPL位为0b 或1b。
 2. 设置OTG_CTRL 寄存器中的USE_EXT_VBUS_IND位为1b。
 3. 如果没有必要采用内部A_VBUS_VLD 比较器来校验故障指示符，设置INTF_CTRL寄存器中的IND_PASSTHRU位为1b。

对于标准的USB外设控制器应用，标准外设检测何时VBUS处于足够工作电平。必须启用SESS_VLD来检测USB外设工作的开始和结束。对于标准外设而言，无需检测A_VBUS_VLD 与SESS_END阈值。

对于配置成OTG B-device的设备，必须采用SESS_VLD检测何时VBUS处于足够工作电平。必须采用SESS_END何时VBUS跌至一个低电平，允许B-device安全地启动VBUS脉冲SRP。

对于配置成 OTG A-device 的设备，必须能够为 V_{BUS}引脚提供超过最小 8 mA 的电流。此 8 mA（最小）电流为提供给 FUSB2805 的外部电流。如果外部充电泵电源提供的电流超过 100 mA，则必须采用过流电路，并且主机控制

器应用规范适用。OTG A-device 还采用 SESS_VLD 来检测 OTG B-device 何时启动 V_{BUS}脉冲 SRP。这种外部充电泵的控制可以通过PSW引脚来实现。

RxEvent 编码

如表9所示，该编码为链接器提供有关 USB 总线上接收到的数据包的信息。主要编码包括 RxActive、RxError 和 HostDisconnect。

RxActive

当FUSB2805在USB总线上检测到SYNC码型，它向链接器发出一次RxActive事件的信号。RxActive事件通信方法有两种：

- FUSB2805同时声明DIR和NXT；或
- 当RxEvent 位中的RxActive 字段设置为1b 时，FUSB2805 向链接器发出一次RXCMD命令。

链接器必须能够检测这两种方法，而且RxActive对接收信息进行成帧操作，从第一个字节到最后一个字节。还需认定的是，当在RXCMD中指定时或当DIR解除声明时，RxActive 设置为0b。

链接器还要利用RxActive，为高速数据包定时，确保总线翻转时间满足要求。

RxError

在接收USB数据包过程中，如果FUSB2805检测到一次出错时，通过将RxError 字段设置为1b，FUSB2805解除声明NXT，并发送一次RXCMD。接收到的数据包不再有效，必须被链接器丢掉。

HostDisconnect

仅当 FUSB2805 配置为主机

(DP_PULLDOWN={0} DM_PULLDOWN=1b) 时，该编码有效。该编码能够向主机控制器表示何时一个外设被连接 (0b) 或断线 (1b)。主机控制器必须通过分别设置USB_INTR_EN_R 和USB_INTR_EN_F 寄存器中的HOST_DISCON_R 和HOST_DISC_F 位启用HostDisconnect。HostDisconnect变化将引起FUSB2805向链接器连同更新值一起发送一次RXCMD。

在外设模式，HostDisconnect必须被忽略，而且不许屏蔽关于RxActive 或RxError的事件

关于RXCMD 和TXCMD 操作与功能的详情，请参阅ULPI规范的第3.8.1节。

寄存器读写操作

根据需要，采用TXCMD字节，链接器能够读写寄存器字节、置位或清除寄存器位。FUSB2805支持立即和扩展寻址寄存器操作，对于链接器可任选扩展寻址寄存器。如果在一次操作中，FUSB2805声明了DIR，该寄存器操作失败。如果寄存器操作失败，链接器必须再次尝试，直到成功为止。

立即寄存器读写

采用所需寄存器地址，通过首次发出TXCMD字节作为RegRead或RegWrite命令，可以立即访问寄存器。

对于RegRead，链接器发出读命令请求，并等待NXT被声明。在NXT声明后的周期中，FUSB2805声明DIR，从而获取总线控制权。在DIR声明后的周期中，FUSB2805必须返回寄存器读数据。如果在寄存器读操作中，包括在寄存器读数据正在被返回的时期，DIR被声明，FUSB2805不会声明NXT，这样才能确保在任何周期中USB接收事件始终覆盖该寄存器读。（参见ULPI修订版1.1规范的第3.8.3.2节）。如果通过提前声明DIR，FUSB2805退出RegRead，当总线空闲时链接器还须再次尝试RegRead。

对于RegWrite，链接器发出写命令请求，并等待NXT被声明。在NXT声明的随后周期，链接器发出寄存器写数据，并等待NXT被再次声明。当NXT第二次声明时，在随后周期中链接器声明STP，完成本次操作。在FUSB2805接受另一次发送命令之前，它必须检测STP声明。如果通过声明DIR使得FUSB2805退出RegWrite，当总线空闲时链接器还须再次尝试RegWrite。

对于背对背的读/写以及USB接收信号的详情和时序波形，参考ULPI规范的第3.8.3.3节。

扩展寄存器读写

扩展寄存器读(EXTWR)和写(EXTW)的含义是地址在下一个时钟周期中可用。访问立即地址2Fh指访问一次扩展寄存器组。

对于一次EXTWR（扩展寄存器读），地址设置为2Fh，链接器发送一次寄存器-读命令，等待NXT被声明。在NXT被声明的随后周期，链接器发出扩展寄存器地址，并等待NXT再次被声明。当NXT再次声明时，FUSB2805声明DIR，获取总线控制权。在DIR声明后的周期中，FUSB2805必须返回寄存器读数据。如果在寄存器读操作中，包括在寄存器读数据正在被返回的时期，DIR被声明，FUSB2805不会声明NXT，这样才能确保在任何周期中USB接收事件始

终覆盖该寄存器读。（参见ULPI修订版1.1规范的第3.8.3.5节）。如果通过提前声明DIR，FUSB2805退出RegRead，当总线空闲时链接器还须再次尝试RegRead。

对于一次EXTW（扩展寄存器写），地址设置为2Fh，链接器发送一次寄存器-写命令，等待NXT被声明。在NXT被声明的随后周期，链接器发出扩展寄存器地址，并等待NXT再次被声明。当NXT第二次声明时，链接器发出扩展寄存器地址，并等待NXT再次被声明。当NXT第三次被声明时，在随后周期中链接器声明STP，完成该操作。如果通过声明DIR，FUSB2805退出RegRead，当总线空闲时链接器还须再次尝试RegRead。

对于背对背的扩展读和USB接收信号的详情和时序波形，参考ULPI规范的第3.8.3.5节。

关于寄存器读写操作与功能的详情，请参阅ULPI规范的第3.8.3节。

退出ULPI传送

有两种方法可以退出ULPI传送：

- 链接器由FUSB2805退出
- FUSB2805由链接器退出

链接器由FUSB2805退出

当链接器正在传送数据时，通过声明DIR，FUSB2805能够使链接器退出。

FUSB2805由链接器退出

当FUSB2805已经声明DIR时（在同步模式中），通过声明STP，链接器可以退出。在时序图中，需要满足非常具体的标准，才能保证链接器操作，这与STP得到声明的周期相关，该STP由链接器声明，以申请退出FUSB2805（*关于时序的详情，请参阅ULPI修订版1.1规范的第3.3.4.2节*）。尽管该特征可以在任何时候使用，还可以通过禁用FUSB2805而终止“模糊不清的”端口。如果在USB接收数据包过程中链接器声明了STP，在当前数据包和下一个数据包过程中，FUSB2805不能担保USB数据的有效性，

关于退出ULPI传送的详情，请参阅ULPI规范的第3.8.4节。

USB 高速检测握手（招呼）

检测序列包括 USB 复位和 HS 检测握手（“招呼”），并包括下列事件序列：

1. USB复位- 主机检测外设插入/接入（LS：如果DM为高；FS：如果DP为高）。如果检测到LS，主机不再继续后面的事件序列。如果检测到一个FS外设，通过写FUNC_CTRL、并设置XCVRSELECT[1:0]=00b（高速）以及TERMSELECT=0b，主机可以复位该外设，其中TERMSELECT=0b可以在总线上驱动一次SE0（通过45Ω，DP和DM连接至GND）主机还可以设置OPMODE[1:0]=10b，用于正确地招呼接收与发送。SE0的起始点被定义为T0时刻。外设FUSB2805声明DIR，并通过采用一次RXCMD命令将LINESTATE充电通知链接器。

注：

16. 主机还必须重视，在接收招呼信号、高速差分接收输出，防止出现错误的总线活动。
2. 外围招呼响应 - 检测到 SE0 后不超过 2.5μs，如果 HS 可用，外设设置 XCVRSELECT[1:0]=10b 与 OPMODE[1:0]=10b，在 TXCMD (NOPID) 命令之后，立即发出。这意味着，复位时间T0之后，一次chirp-K的发送不短于1ms，结束不大于7ms。如果外设处于低耗模式，必须在 5.6 ms 之内唤醒时钟，留出 200 μs 用于链接器开始发送 chirp-K，并留出 1.2 ms 用于 chirp-K 完成（基于最坏情况 10% 慢时钟）。

3. 主机招呼响应 - 如果主机没有检测到外设招呼，它必须持续地声明SE0，直到复位结束为止。如果主机检测到外设招呼响应，持续时间不大于 2.5 μs，然后在总线释放 chirp-K 不大于 100 μs，主机发出一个TXCMD(NOPID)命令，其中 chirp-Ks 与 chirp-Js 呈现交替序列。每个 chirp-K 或 chirp-J 持续时间不小于 40 μs 且不大于 60 μs。
4. 高速空闲响应 - 外设必须检测一个最短 K-J-K-J-K-J，且每个招呼检测至少持续 2.5 μs。检测到最短招呼序列后，外设设置ERMSELECT=0b 和 OPMODE[1:0]=00b。外设工作在高速模式下，检测!squellch (LINESTATE=01b)。当外设检测到静噪 (LINESTATE=10b)，它能够识别：主机已经完成招呼，并等待HS USB传输开始。在发送招呼序列后，主机修改OPMODE[1:0]=00b，并开始发送数据包。

图14中给出了 USB 复位和 HS 招呼序列

关于HS检测时序的详情，请参阅ULPI修订版1.1规范的第3.8.5.1节。

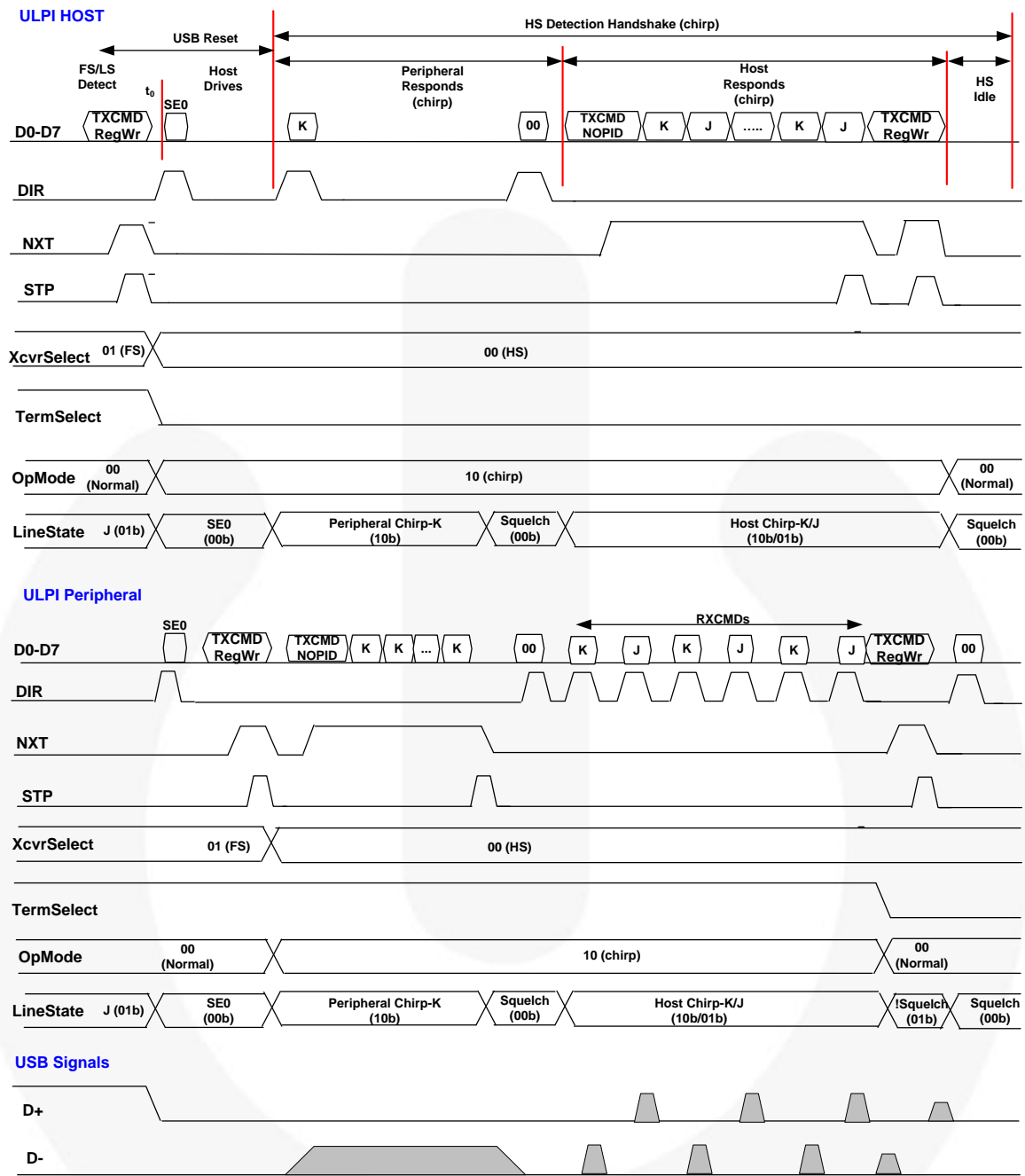


图14. USB复位和HS招呼握手时序

注:

17. 时序没有按照比例。没有给出全部的RXCMD更新或总线翻转周期。对于DIR的声明和解除声明后，还应该包括一个总线翻转周期。

USB 暂停与恢复

本节描述了暂停和恢复功能、何时由主机或集线器 (hub) 启始以及随后如何唤醒下游外设。

全速暂停和恢复

对于采用 FUSB2805 的主机和外设，事件序列描述如下，并如图15所示。

事件序列：

1. FS 通信 - 在最初，在USB总线上，主机和外设正在发出FS (XCVRSELECT = 01b)。主机启用本身 15 kΩ 下拉电阻 (DP_PULLDOWN = DM_PULLDOWN = 1b)，并禁用 45 Ω 终端。外设启用 1.5 kΩ 上拉电阻，连接至 DP 以获得全速，或者连接至 DM 以获得低速 (TERMSELECT 设置为 1b)。
2. 暂停 - 如果外设检测到没有总线活动，持续 3 ms，则进入“暂停”状态。通过清除 FUNC_CTRL 寄存器

中的 SUSPENDM，外设设置 FUSB2805 进入低耗模式，FUSB2805 只导出暂停电流。主机或许受到限电。

3. 恢复 K - 当主机希望唤醒外设时，主机会设置 OPMODE[1:0]=10b 并持续发送 K-state 状态至少 20 ms。外设链接器检测 LINESTATE 上的 resume-K，并声明 STP 以唤醒 FUSB2805。
4. EOP (数据包结束) - 当STP被声明时，以LS位率，主机侧的FUSB2805自动附加一次EOP (数据包结束)，占SE0的两位，后随J-state状态1位。鉴于 DP_PULLDOWN和DM_PULLDOWN为主设置为1b，主机侧的FUSB2805知道附加EOP。当一次EOP完成时，主机链接器设置OPMODE[1:0]=00b，用于常规FS工作。外设链接器检测到EOP，并恢复常规的FS工作。

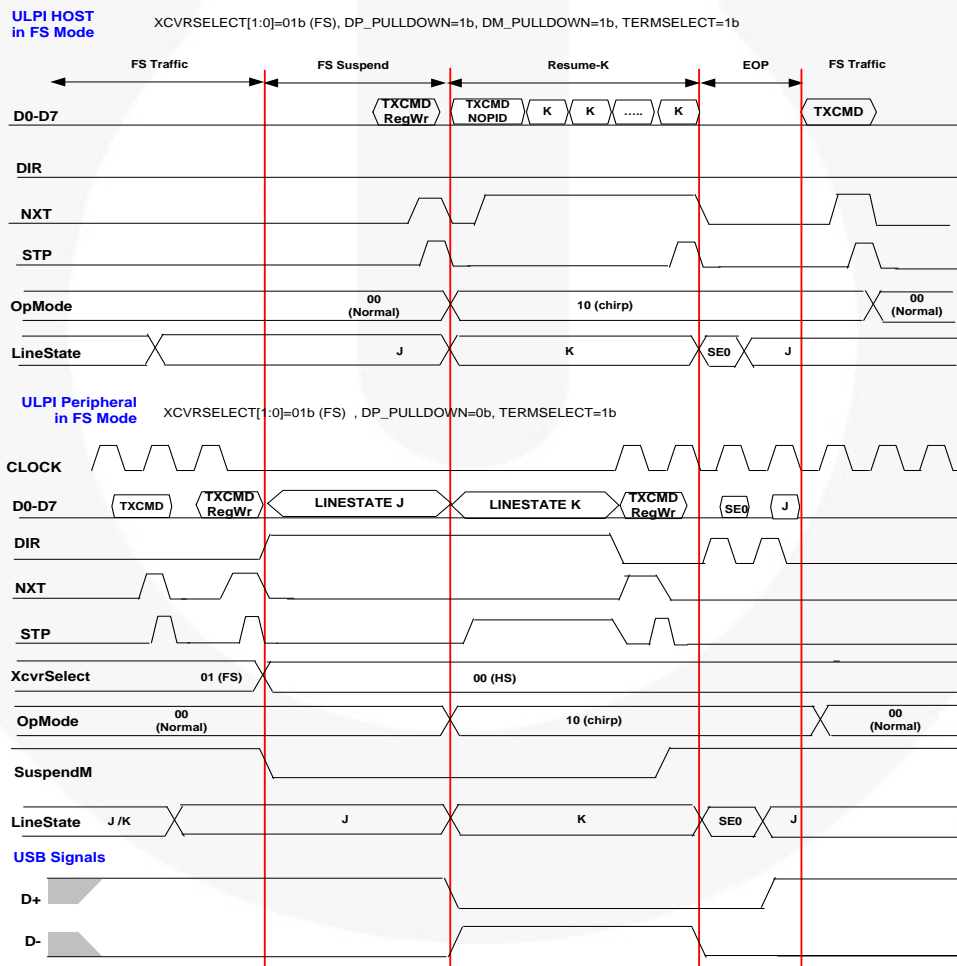


图15. FS暂停与恢复时序 (时序没有按照比例)

注：

18. 时序没有按照比例。没有给出全部的RXCMD更新或总线翻转周期。对于DIR的声明和解除声明后，还应该包括一个总线翻转周期。

高速暂停和恢复

对于采用 FUSB2805 的主机和外设，事件序列描述如下，并如图16所示：

事件序列：

1. FS 通信 - 最初，主机和外设都处于空闲。主机启用本身 15 kΩ 下拉电阻 (DP_PULLDOWN = DM_PULLDOWN = 1b)，并禁用 45 Ω 终端 (TERMSELECT = 0b)。外设启用 45 Ω 终端 (TERMSELECT = 0b)。
2. FS 暂停 - 如果外设检测到没有总线活动，持续 3 ms，则进入暂停状态。外设链接器设置 FUSB2805 进入 FS 模式 (XCVRSELECT[1:0] = 01b)，禁用 45 Ω 终端，并启用 DP 上的 1.5 kΩ 上拉电阻 (TERMSELECT = 1b)。通过清除FUNC_CTRL寄存器中的SUSPENDM，外设设置FUSB2805进入低功耗模式，
3. 恢复 K - 当主机希望唤醒外设时，主机会设置 OPMODE[1:0]=10b 并持续全速发送 K-state 状态至少 20 ms。外设链接器检测 LINESTATE 上的 resume-K (10b)，并声明 STP 以唤醒 FUSB2805。
4. HS 通信 - 主机链接器设置 HS (XCVRSELECT[1:0]=00b) 并启用其 45 Ω 终端 (TERMSELECT=0b)。外设链接器检测 LINESTATE 上的 SE0，设置 HS 模式(XCVRSELECT[1:0]=00b)，并启用 45 Ω 终端 (TERMSELECT=0b) 主机链接器设置 OPMODE[1:0]=00b，用于常规 HS 工作。

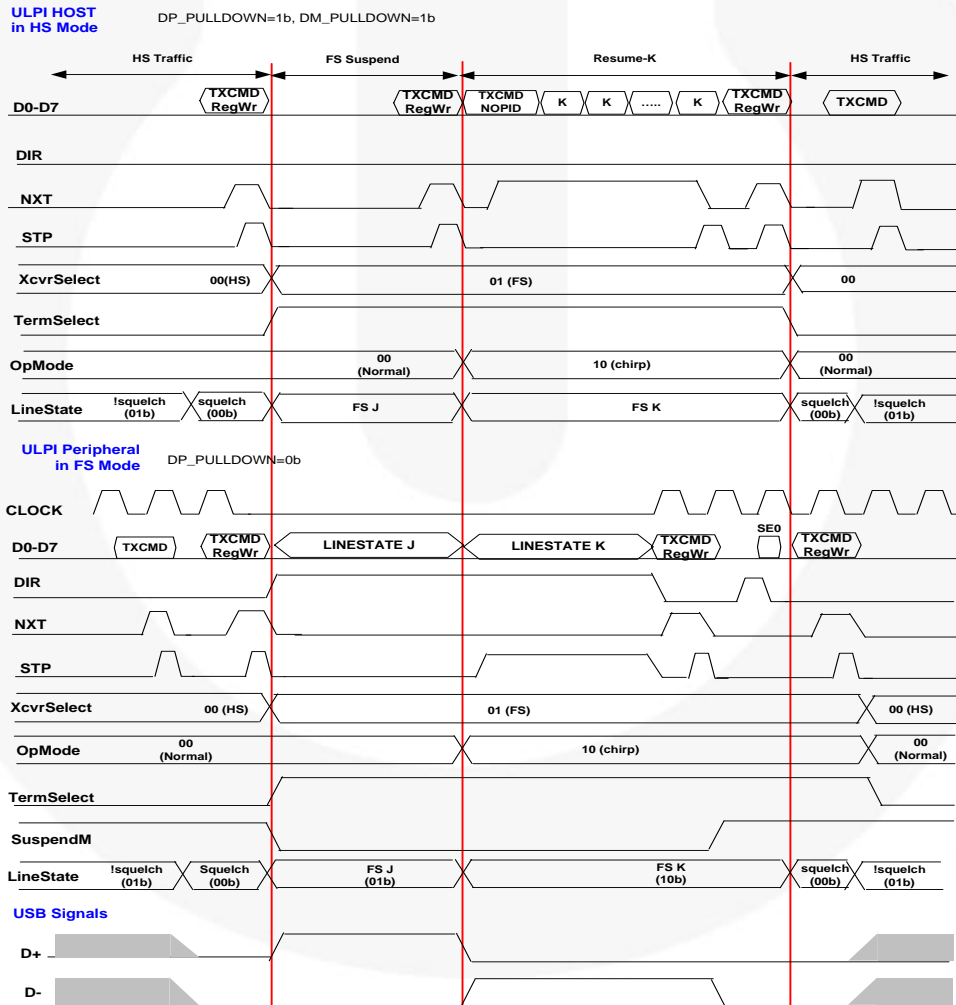


图16. HS暂停和恢复时序

注：

19. 时序没有按照比例。没有给出全部的RXCMD更新或总线翻转周期。对于DIR的声明和解除声明后，还应该包括一个总线翻转周期。

远程唤醒

FUSB2805支持能够发起远程唤醒的外设。当进入USB暂停模式，外设记起其原来工作的速度。根据原来工作速度，链接器遵循下面描述的协议之一：

事件序列为：

1. 假定主机与外设处于低耗模式；
2. 通过再次启用时钟并设置它的 SUSPENDM bit=1b, 外设开始远程唤醒；
3. 在总线上，外设开始驱动一次K-state, 用来恢复。外设链接器必须做到：在发送时，LINESTATE 为K (01b)（由于它没有收到任何RXCMD命令）。
4. 主机识别该恢复，再次启用其时钟，并设置它的 SUSPENDM位。
5. 在检测远程唤醒1ms时间内，主机接管恢复驱动（resume driving）。
6. 外设停止驱动恢复（driving resume）
7. 外设识别能够识别在持续驱动恢复的主机，
8. 主机停止驱动，FUSB2805自动附件EOP作为恢复的结束 外设将 EOP 识别为恢复结束。
9. 通过写OPMODE[1:0]=00b, 主机与外设恢复到常规工作。如果主机或外设之前就已经处于HS模式，在EOP的SEO完成之前，它必须恢复到HS模式。在LINESTATE表示SEO后，通过写XCVRSELECT[1:0]=00b 和 TERMSELECT=0b, 上述操作可以实现。

图17中给出了远程唤醒时序。

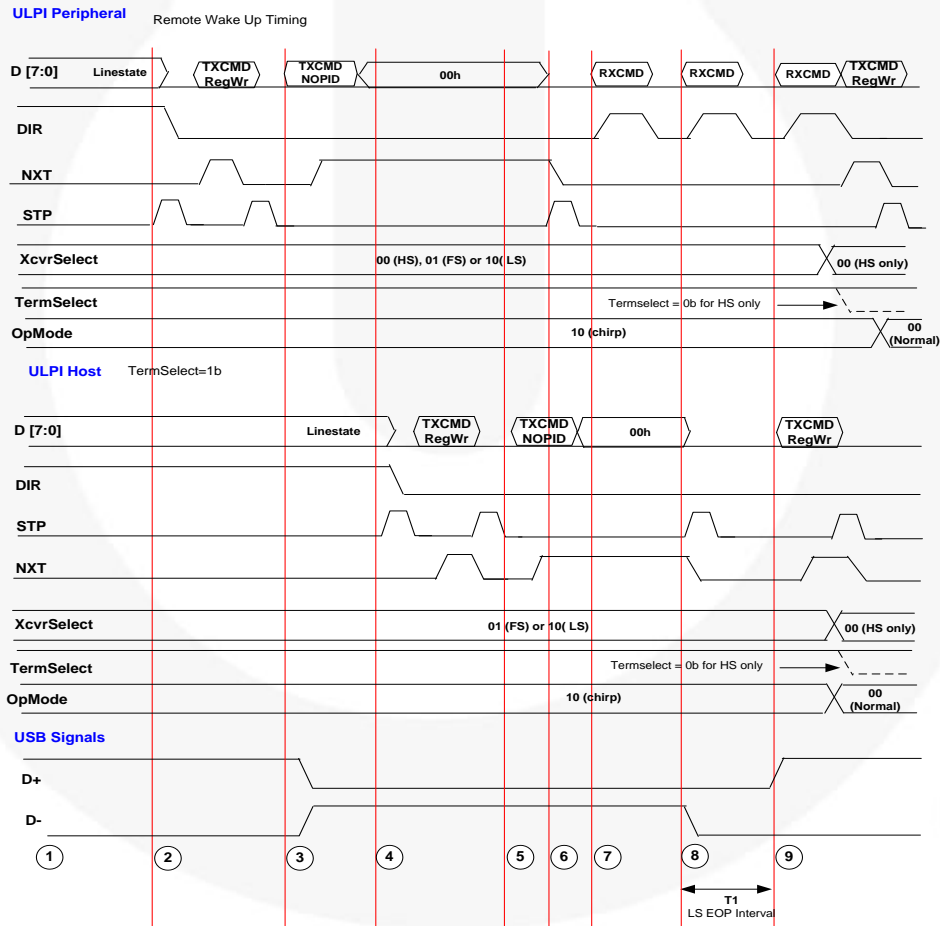


图18. 低耗模式下的远程唤醒

注：

20. 时序没有按照比例。没有给出全部的RXCMD更新或总线翻转周期。对于DIR的声明和解除声明后，还应该包括一个总线翻转周期。

在某些移动应用中，系统时钟 CLKIN 可以关闭，能够节省电池能量。实际上，设置设备进入“深度睡眠”模式。在这种情况下，远程唤醒事件不能够启动CLKIN或后续的内部PHY时钟，也就不能在要求的1ms时期内，向具有远程唤醒能力的设备发出恢复信号。

为顺应这种能力，FUSB2805具有自恢复特性。

自动恢复

当USB主机检测到来自下游外设（或集线器）的远程唤醒信号（resume-K）时，主机必须在1ms之内接管resume-K信号（参见USB2.0规范第7.1.7.7节和第7.12节）。

根据系统的体系结构，FUSB2805可以使用自恢复特性。当FUSB2805被配置成主机且处于暂停时，CLKIN在运行。退出低功耗模式的STP声明导致PHY时钟在1ms之内再次启动。为了响应远程唤醒事件，链接器能够立即控制该恢复信

号。这可以视为“轻度睡眠”模式，此时，PHY被暂停，内部PLL和时钟树被限电，但是系统中CLKIN运行的功率可以得到消散。

然而，如果设计使得CLKIN也限电，则最大可能的唤醒时间要花费超过1ms，才能退出暂停（低耗）模式。在此情况下，要求FUSB2805能够内部驱动resume-K，直到PHY时钟恢复为止并接收来自链接器的一个TXCMD命令（NOPIID字节）为止。如果时钟已经恢复，链接器接管resume-K信号，保持具有远程唤醒能力的外设一直清醒。在退出低功耗模式之前，FUSB2805负责恢复suspendM寄存器的设置为1b。该时钟唤醒花费的时间表示为定时参数tSTART_HOST。

根据表18，可以启用或禁用自恢复特性。自恢复特性如图20所示。

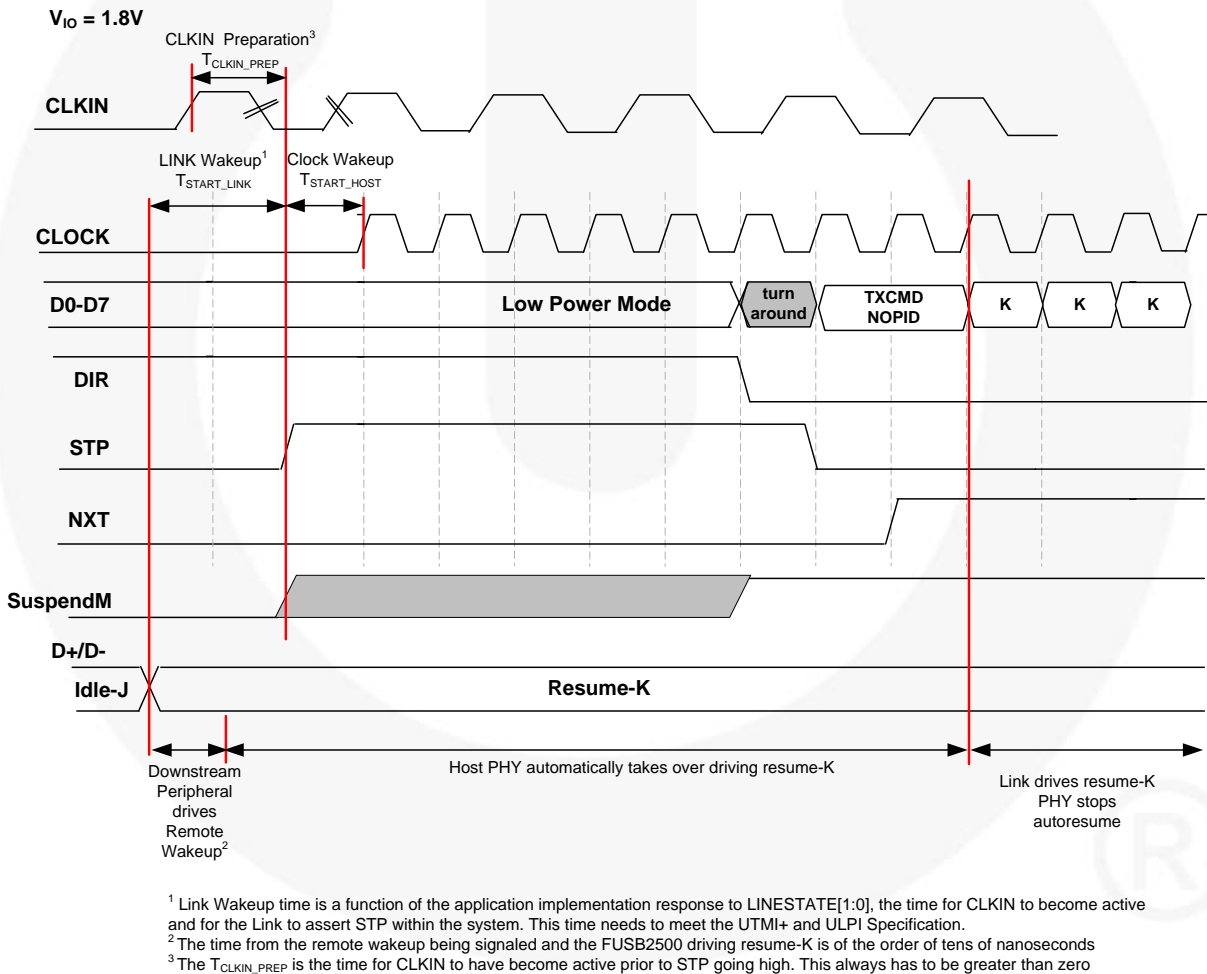


图20. 自动恢复信号

SYNC 或EOP非自动产生的数据包

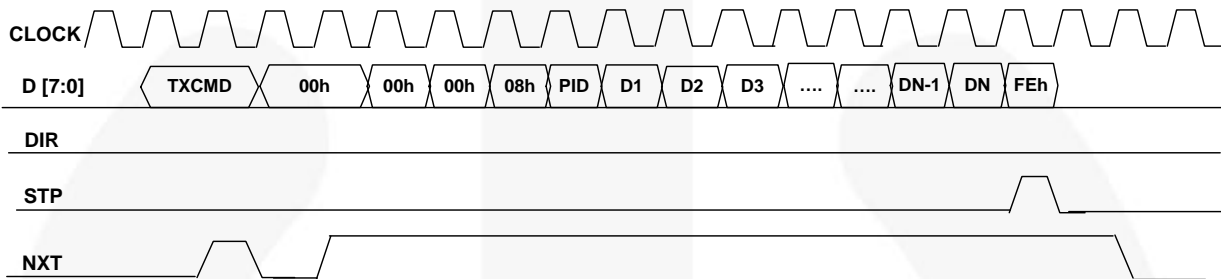
在ULPI规范中，该功能可任选，但是得到了FUSB2805的支持。该功能允许链接器关断SYNC 和EOP自动产生SYNC 和EOP数据包。这只是关于HS 数据包数据。它的提供是用于退步兼容，适用于那些在发送数据包时数据有效负载中包含SYNC和EOP字节的控制器。当OPMODE[1:0]=11b时，FUSB2805不能自动产生SYNC 和EOP。FUSB2805 NRZI对数据进行编码，并执行位填充。链接器必须始终采用TXCMD (NOPID) 数据包字节进行数据包发送。FUSB2805不提供单独字节的位填充，但是当STP被声明、数据设置为FEh时，FUSB2805为EOP而自动关闭位填充。当STP被声明时，

如果数据被设置成00h，FUSB2805 不会发送EOP。FUSB2805仍然检测PID字节是否为A5h（表示S0F），并且当STP被声明时发出一个长EOP。发出招呼 and 恢复发出信号之前，链接器需要设置OPMODE[1:0]=10b。

图19中给出了SYNC和EOP不自动产生的USB数据包。

关于SYNC and EOP不自动产生功能的详情，请参阅ULPI规范的第3.8.5.6节。

ULPI Signals



UTMI+ Equivalent Signals



USB Signals



图21. SYNC和EOP不自动产生的USB数据包(OpMode=11b)

OTG工作

FUSB2805完全兼容OTG修订版1.3。双用设备的支持功能模块包括：

- 电压比较器（VBUS-有效、会话结束、会话有效信号）
- DP 和DM上拉和下拉电阻，兼容USB2.0电阻ECN
- micro-A 或micro-B插座插入的ID检测
- VBUS 充电和放电电阻

VBUS 比较器

由于重叠阈值，FUSB2805将A-device 和B-device会话有效信号组合到VSESS_VLD，重叠阈值允许这样的组合。

VA_VBUS_VLD阈值允许A-device 确定是否它有能力在VBUS引脚上输出一个有效电压。对于FUSB2805而言，当一个A-device时，VBUS 电源电压处于设备的外部，因此必须使用ExtVBUSIndicator信号。

这些比较器是受控的，用于确定何时 RXCMD 被发送，需要操作 INTF_CTRL、OTG_CTRL、USB_INTR_R、USB_INTR_F、USB_INTR_{0}STAT 与 USB_INTR_L寄存器。

表13定义了UseExternalVbusIndicator、IndicatorPassThru和IndicatorComplement寄存器位以及内部V_{BUS}-valid比较器输出的用法。前者用于控制ExternalVbusIndicator输入引脚的使用。图22给出了RXCMD VBUS valid 的图示（图解表示）。

上拉和下拉电阻

FUSB2805集成有DP 和DM 终端电阻，用于启动数据线脉冲。根据表4，连接上拉和下拉电阻。

与 ULPI 相关的 OTG 功能详细信息，请参考 ULPI 规范第 3.8.7 节或 USB 2.0 规范 OTG 补码修订版 1.3。有关 OTG V_{BUS} 比较器阈值的更多详细信息，请参考 ULPI 规范第 3.8.7.3 节。

表13. RXCMD VBUS_VALID过流条件

典型应用	使用外部 V_{BUS} 指示信号	指示信号穿通	指示信号补偿	RXCMD V_{BUS} 有效源
OTG 器件	0	无关	无关	内部 $V_{A_VBUS_VLD}$ 比较器
	1	1	0	外部高电平有效 $V_{A_VBUS_VLD}$ 信号
	1	1	1	外部低电平有效 $V_{A_VBUS_VLD_N}$ 信号
	1	0	1	外部高电平有效电源故障信号符合内部 $V_{A_VBUS_VLD}$ 比较器要求
	1	0	0	外部低电平有效电源故障信号符合内部 $V_{A_VBUS_VLD}$ 比较器要求
标准主机	1	1	0	外部高电平有效电源故障信号
	1	1	1	外部低电平有效电源故障信号
标准外设	0	无关	无关	内部 $V_{A_VBUS_VLD}$ 比较器

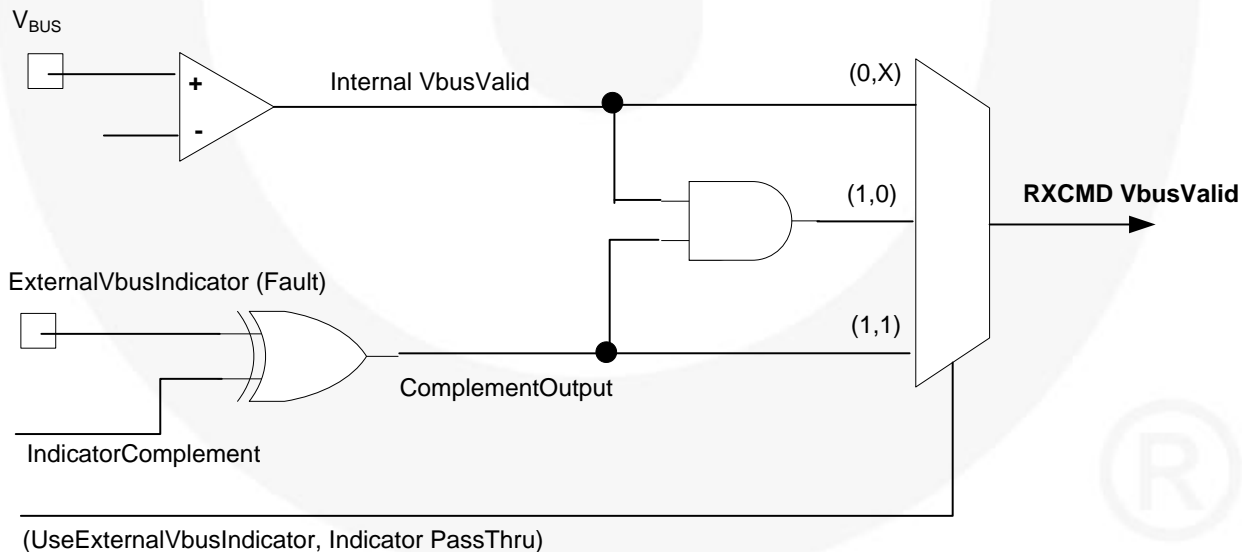


图22. RXCMD Vbus 有效电源

串行模式

图23和图24提供了 6 引脚和 3 引脚串行模式的范例，通过 INTF_CTRL 寄存器中 6 引脚和 3 引脚寄存器位进行控制。

关于 3 引脚和 6 引脚串行模式的更多详情，请参阅 ULPI 规范的第 3.10 节。

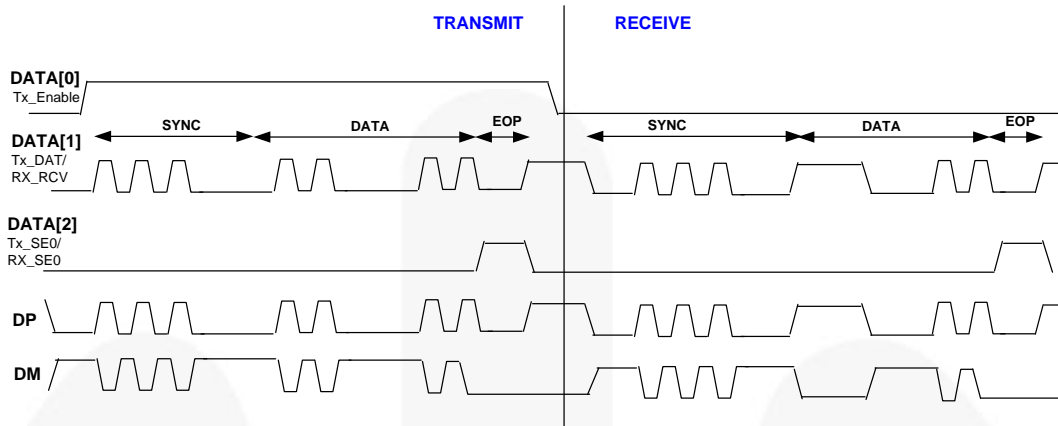


图23. 3 引脚串行模式—收发范例

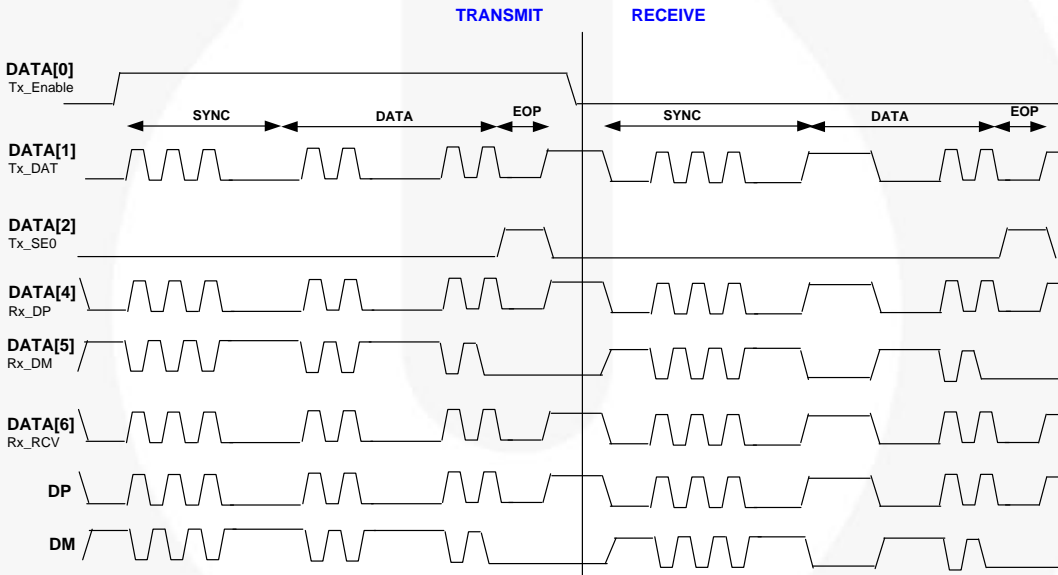


图24. 6 引脚串行模式—收发范例

避免ULPI数据线争端

因为 ULPI 数据总线为双向的，因此可以避免链接器和 FUSB2805 同时驱动总线数据的情况。

当在链接器上执行数据总线驱动控制时，应该考虑以下几个要点：

上电与时钟稳定后，缺省状态为：

- FUSB2805 驱动 DIR=0。
- 数据总线为 FUSB2805 的 INPUT。
- HOST/LINK ULPI 数据总线为 OUTPUT(全部数据总线位驱动为0)。

当 FUSB2805 想要控制数据总线启动数据传送时，FUSB2805 更新 DIR 值由 0 为 1。

此时，HOST/LINK应该禁用它的输出衬垫缓冲器。应该尽可能满足这一点，因此 LINK 应该采用一个来自 DIR 的组合路径。

FUSB2805 不能立即启用它的输出缓冲器，但是能够延时启用缓冲器，直到下一个时钟边沿到来，避免总线争端。

当 FUSB2805 不再要求数据传送，改变 DIR 值由 1 到 0，立即开始关闭它的输出驱动器。虽然 HOST/LINK 检测到 DIR 由 1 到 0 的变化，但是延时启用它的输出缓冲器，持续一个 CLOCK 周期，从而避免数据争端。

ULPI 寄存器

ULPI 提供一个立即寄存器组，带有6位地址，为发送命令字节的一部分。也提供一个扩展寄存器组（8位地址），需要一个额外的时钟周期才能完成。立即寄存器组被镜像到扩展寄存器低端。例如，扩展寄存器地址 00XXXXXX 在立即寄存器组上操作。FUSB2805 必须支持立即和扩展寄存器操作。

FUSB2805 专用寄存器 — vendor ID、product ID 和率控制寄存器，在以下各节进行描述。

表14. 寄存器映射

字段名称	大小 (位数)	地址 (6 位)			
		Rd	Wr	设置	Clr
即时寄存器集					
厂商 ID 低 (参见表16)	8	00h			
厂商 ID 高 (参见表16)	8	01h			
产品 ID 低 (参见表16)	8	02h			
产品 ID 高 (参见表16)	8	03h			
功能控制 (参见表17)	8	04-06h	04h	05h	06h
接口控制 (参见表18)	8	07-09h	07h	08h	09h
OTG 控制 (参见表19)	8	0A-0Ch	0Ah	0Bh	0Ch
USB 中断启用上升 (参见表20)	8	0D-0Fh	0Dh	0Eh	0Fh
USB 中断启用下降 (参见表21)	8	10-12h	10h	11h	12h
USB 中断状态寄存器 (参见表22)	8	13h			
USB 中断锁存寄存器 (参见表23)	8	14h			
调试 (参见表25)	8	15h			
暂存 (参见表26)	8	16-18h	16h	17h	18h
保留 ⁽²¹⁾	8	19-2Eh			
存取扩展寄存器集 (参见下文)	8		2Fh		
保留 (在 ULPI 规范中定义为视厂商而定)	8	30-3Ch			
扩展寄存器集		地址 (8 位)			
映射至即时寄存器集 (参见下面模式)	8	00-3Fh			
保留 (80-FFh 在 ULPI 规范中定义为视厂商而定)	8	40-FFh			

注：

21. 19-27h 汽车附件；FUSB2805 不支持。

表15. 寄存器存取图例

存取代码	扩展名称	含义
rd	读	寄存器可以被读。如果这是给出的唯一模式，则只读。
wr	写	数据总线上的码型可以被读，包括该寄存器所有位。
s	设置	数据总线上的码型可以与寄存器相或，且被写入寄存器。
c	清除	数据总线上的码型为掩码。如果掩码中的一个位被置位，则相应的寄存器位被设置为零（清零）。

注意：

22. 上述寄存器组兼容在ULPI规范中定义的寄存器组。关于详情，请参阅ULPI规范1.1版中的第4.0节。

FUSB2805专用的ULPI寄存器

表16. 供应方ID与产品ID寄存器

寄存器	位	存取	地址	数值	说明
VENDOR_ID_LOW	7:0	rd	00h	79h	供应方ID的较低字节, 由USB-IF支持。固定值为79h。
VENDOR_ID_HIGH	7:0	rd	01h	07h	供应方ID的较高字节, 由USB-IF支持。固定值为07h。
PRODUCT_ID_LOW	7:0	rd	02h	00h	产品ID号码的较低字节。固定值为00h。
PRODUCT_ID_HIGH	7:0	rd	03h	25h	产品ID号码的较高字节。固定值为25h。

功能扩展寄存器 - FUNC_CTRL (04h-06h 读, 04h 写, 05h 置位, 06h 清位)

这些寄存器控制FUSB2805的UTMI功能设置。

表17. 功能扩展寄存器

字段名称	位	存取	复位	说明
XcvrSelect	1:0	rd/wr/s/c	01b	选择收发器速度: 00b: 启用 HS 收发器 01b: 启用 FS 收发器 10b: 启用 LS 收发器 11b: 为低速数据包启用FS收发器 (缺省时FS序文暂停)
TermSelect	2	rd/wr/s/c	0b	控制内部 1.5 k Ω 上拉电阻和 45 Ω HS 终端。通过 XcvrSelect、OpMode、DpPulldown 和 DmPulldown 寄存器设置, 控制总线电阻变化, 如表4所示。对于具有 HS 能力的收发器, 由于 LS 外设从不支持 FS 或 HS, 则 FUSB2805 不支持在 D-引脚上提供 1.5 k Ω 电阻。
OpMode	4:3	rd/wr/s/c	00b	选择发送期间所需的位编码风格。 00b: 正常工作 01b: 非驱动 10b: 禁用位填充和 NRZI 编码 11b: 发送过程中不要自动添加 SYNC 和 EOP。 必须仅用于 HS 数据包。
复位	5	rd/wr/s/c	0b	有效高寄存器复位。链接器设置完该位后, FUSB2805 必须声明 DIR 和复位 UTMI+ 核芯。当复位完成时, FUSB2805 解除声明 DIR 和自动清除该位。解除声明 DIR 后, FUSB2805 必须在此声明 DIR 且向链接器发出 RXCMD 更新。在使用 ULPI 总线前, 链接器必须等待 DIR 解除声明。不会复位 ULPI 接口或 ULPI 寄存器集。 0b: 未复位 1b: 复位
SuspendM	6	rd/wr/s/c	1b	低电平有效 PHY 暂停。将 FUSB2805 设置为低耗模式。FUSB2805能够降低所有电路模块的供电, 但是FS接收器, OTG比较器和ULPI接口引脚例外。当退出低耗模式时 (链接器声明退出 STP 之前), FUSB2805 必须自动设置该位为 1b。0b: 低耗模式 1b: 供电
保留	7	rd/wr/s/c	0b	保留

接口控制寄存器 - INTF_CTRL (07h-09h 读, 07h 写, 08h 置位, 09h Clear清位)

这些寄存器控制FUSB2805的多种接口和PHY特征。在ULPI 是其中许多得到了FUSB2805的支持, 并可用于继承链接核规范1.1中, 该寄存器中所有的位均被视为任选特性。但 芯。

表18. 接口控制寄存器

字段名称	位	存取	复位	说明
6 引脚 FsLs 串行模式 6PIN_FSLS_SER	0	rd/wr/s/c	0b	改变 ULPI 接口为 6 引脚串行模式。当串行模式退出时, FUSB2805 必须自动清除该位。这是一种 ULPI PHY 支持的任选模式。 带有仅仅 4 个数据引脚的 PHY, D[3:0] 不支持这种模式。 0b: 利用并行接口发送 FS/LS 数据包。 1b: 采用 6 引脚串行接口发送 FS/LS 数据包。CLKIN 必须保持运行。
3 引脚 FsLs 串行模式 3PIN_FSLS_SER	1	rd/wr/s/c	0b	改变 ULPI 接口为 3 引脚串行模式。当串行模式退出时, FUSB2805 必须自动清除该位。这是一种 ULPI PHY 支持的任选模式。 0b: 利用并行接口发送 FS/LS 数据包。 1b: 采用 3 引脚串行接口发送 FS/LS 数据包。CLKIN 必须保持运行。
汽车附件模式 (FUSB2805 不支持)	2	rd/wr/s/c	0b	保留
ClockSuspendM	3	rd/wr/s/c	0b	低电平有效时钟暂停。用于以串行模式输出 CLOCK 信号。内部时钟电路未限电, 并且 CLKIN 必须保持串行模式运行。 0b: 时钟未以串行模式输出。 1b: 时钟以串行模式输出。
自动恢复	4	rd/wr/s/c	0b	启用 PHY, 以自动发送恢复信令。 0b: 系统能够在 < 1 ms 时间内唤醒其 PHY 时钟信号并且禁用自恢复特性。 1b: 系统不能在 1 ms 内唤醒其 PHY 时钟信号并且启用自恢复特性。 有关更多信息, 请参考 USB2.0 规范第 7.1.7.7 和 7.12 小节。
指示信号补偿 IND_COMPL	5	rd/wr/s/c	0b	通知 FUSB2805 倒转 ExternalVBUSIndicator 输入信号, 生成补偿输出 (即故障信号)。 0b: FUSB2805 不会倒转 ExternalVBUSIndicator 信号 (缺省信号)。 1b: FUSB2805 倒转 ExternalVBUSIndicator 信号。 有关详细信息, 请参考 ULPI 规范修订版 1.1, 2004 年 10 月第 3.8.7.3 小节和图 45。
指示信号穿通 IND_PASS_THRU	6	rd/wr/s/c	0b	在 RXCMD V _{BUS} 状态中使用补偿输出前, 控制补偿输出是否符合内部 VBUSValid 比较器要求。 0b: 补码输出信号, 符合内部 VBUSValid 比较器要求。 1b: 补码输出信号不符合内部 VBUSValid 比较器要求。 有关详细信息, 请参考 ULPI 规范修订版 1.1, 2004 年 10 月第 3.8.7.3 小节和图 45。

接下页

字段名称	位	存取	复位	说明
接口保护禁用 INTF_PROT_DISS	7	rd/wr/s/c	0b	<p>控制电路内置于FUSB2805，在链接器进行三态STP和D[7:0]时，用来保护ULPI接口。</p> <p>该特性采用的任何上拉和下拉能够被禁用。该位不是用于影响保持状态的工作。当该位启用时，FUSB2805 自动检测何时链接器停止驱动 STP。</p> <p>0b: 启用接口保护电路（缺省时）。一只弱上拉电阻附加到 STP 引脚，如果 STP 引脚意料之外为高电平，则 FUSB2805 在 D[7:0] 上附加弱下拉电阻，用来保护数据输入。</p> <p>1b: 禁用接口保护电路。拆除 D[7:0] 上的弱下拉电阻和 STP 上的弱上拉电阻。</p> <p>有关详细信息，请参考 ULPI 规范修订版 1.1，2004 年 10 月第 3.12 小节。</p>

OTG 控制寄存器 - OTG_CTRL (0Ah-0Ch 读, 0Ah 写, 0Bh 置位, 0Ch 清位)

这些寄存器用于控制FUSB2805的UTMI+ OTG功能设置

表19. OTG控制寄存器

字段名称	位	存取	复位	说明
IDPullup	0	rd/wr/s/c	0b	<p>连接一个上拉电阻到 ID 线，允许采样信号电平。</p> <p>0b: 禁止 ID 引脚采样</p> <p>1b: 允许采样信号电平</p>
DpPulldown	1	rd/wr/s/c	1b	<p>启用 D+⁽²³⁾ 引脚上 15 kΩ 下拉电阻</p> <p>0b: 下拉电阻未连接至 D+ 引脚</p> <p>1b: 下拉电阻连接至 D+ 引脚</p>
DmPulldown	2	rd/wr/s/c	1b	<p>启用 D-⁽²³⁾ 引脚上 15 kΩ 下拉电阻</p> <p>0b: 下拉电阻未连接至 D- 引脚</p> <p>1b: 下拉电阻连接至 D- 引脚</p>
DischrgV _{BUS}	3	rd/wr/s/c	0b	<p>通过电阻对 V_{BUS}放电。OTG 规范中定义最小阻值为 656 Ω。如果链接器设置该位为 1b，链接器等待一个说明 SessEnd 已从 0b 过渡到 1b 的 RXCMD，然后将该位置重为 0b，以终止放电事件。</p> <p>0b: 不会对 V_{BUS}放电</p> <p>1b: 对 V_{BUS}放电</p>
ChrgV _{BUS}	4	rd/wr/s/c	0b	<p>通过电阻为 V_{BUS}充电。用于 V_{BUS}脉冲 SRP。可以使用一个最小值为 281 Ω 的输出阻抗以及 OTG 规范中定义的 3.0 V 电源。链接器必须首先确认 V_{BUS}已被放电（参见 DischrgV_{BUS}位）并且 D+ 和 D- 已持续发送信号 SE0 至少 2 ms。</p> <p>0b: 不会为 V_{BUS}充电</p> <p>1b: 为 V_{BUS}充电</p>
保留	5	rd/wr/s/c	0b	保留
DrvV _{BUS} 外部	6	rd/wr/s/c	0b	<p>通过 PSW 引脚选择外部 5 V V_{BUS}电源。</p> <p>0b: 驱动 PSW 为低电平</p> <p>1b: 驱动 PSW 为高电平</p>
使用外部 V _{BUS} 指示信号	7	rd/wr/s/c	0b	<p>告知 FUSB2805 使用外部 V_{BUS}过流指示信号。该位可选。</p> <p>0b: 采用内部 OTG 比较器 (V_{A_VBUS_VLD}) 或内部 V_{BUS}有效指示信号（缺省信号）。</p> <p>1b: 在故障引脚上采用外部 V_{BUS}有效指示信号有关详细信息，请参考 ULPI 规范修订版 1.1，2004 年 10 月第 3.8.7.3 小节。</p>

注:

23. 电阻终端实现符合USB2.0 电阻ECN。

USB中断许可(上升沿)寄存器-INTR_EN_R_CTRL (0Dh-0Fh 读, 0Dh 写, 0Eh 置位, 0Fh 清位)

当信号由低到高跳变事件, 这些电阻位负责控制FUSB2805的中断事件标志设置。缺省时, 允许所有跳变。在任何模式下, 当上升沿和下降沿允许被禁用时, 中断电路可以限电。当CLOCK被限电时, 为了确保可以检测到中断, 链接器应该同时允许上升沿和下降沿。

表20. USB中断允许(上升沿)寄存器

字段名称	位	存取	复位	说明
HostDisconnect 上升	0	rd/wr/s/c	1b	当HostDisconnect由低到高跳变时, 产生一个中断事件标志。仅在主机模式中适用(DpPulldown 和DmPulldown 同时设置为1b)。
V _{bus} Valid 上升	1	rd/wr/s/c	1b	当VBUSValid由低到高跳变时, 产生一个中断事件标志。
SessValid 上升	2	rd/wr/s/c	1b	当SessValid由低到高跳变时, 产生一个中断事件标志。SessValid 等同于UTMI+ AValid。
SessEnd 上升	3	rd/wr/s/c	1b	当SessEnd由低到高跳变时, 产生一个中断事件标志。
IDGnd 上升	4	rd/wr/s/c	1b	当IDGnd由低到高跳变时, 产生一个中断事件标志。IDGnd 在IDPullup设置为1b后50ms内有效。否则, IDGnd不被定义并应该被忽略。
保留	7:5	rd/wr/s/c	0b	保留

USB 中断许可(下降沿) 寄存器 - INTR_EN_F_CTRL (10h-12h 读, 10h 写11h 置位, 12h 清位)

当信号由高到低跳变时, 这些寄存器位负责控制FUSB2805的中断事件标志设置。缺省时, 允许所有跳变。在任何模式下, 当上升沿和下降沿允许被禁用时, 中断电路可以限电。当CLOCK被限电时, 为了确保可以检测到中断, 链接器应该同时允许上升沿和下降沿。

注:
24. RxActive and RxError必须总是立即通信, 这些事件未包括在该寄存器中。

表21. USB中断许可(下降沿) 寄存器

字段名称	位	存取	复位	说明
HostDisconnect 下降	0	rd/wr/s/c	1b	当HostDisconnect由高低到跳变时, 产生一个中断事件标志。仅在主机模式中适用(DpPulldown 和DmPulldown 同时设置为1b)。
V _{bus} Valid 下降	1	rd/wr/s/c	1b	当VBUSValid由高到低跳变时, 产生一个中断事件标志。
SessValid 下降	2	rd/wr/s/c	1b	当SessValid由高到低跳变时, 产生一个中断事件标志。 SessValid 等同于UTMI+ AValid。
SessEnd 下降	3	rd/wr/s/c	1b	当SessEnd由高到低跳变时, 产生一个中断事件标志。
IDGnd 下降	4	rd/wr/s/c	1b	当IDGnd由高到低跳变时, 产生一个中断事件标志。IDGnd 在IDPullup 设置为 1b 后 50ms 内有效。否则, IDGnd 不被定义并应该被忽略。
保留	7:5	rd/wr/s/c	0b	保留

USB 中断状态寄存器—USB_INTR_STAT (13h 只读)

这些寄存器位代表中断事件源信号的当前值。在任何模式下，当上升沿和下降沿允许被禁用时，中断电路可以限电。当CLOCK被限电时，为了确保可以检测到中断，链接器应该同时允许上升沿和下降沿。

表22. USB中断状态寄存器

字段名称	位	存取	复位	说明
HostDisconnect	0	rd	0b	UTMI+ VBUSValid输出的当前值。仅在主机模式中适用 (DpPulldown 和DmPulldown 同时设置为1b)。当进入低功耗模式时，自动复位为0b。
V _{bus} Valid	1	rd	0b	UTMI+ V _{bus} Valid 输出的当前值
SessValid	2	rd	0b	UTMI+ SessEnd 输出的当前值。SessValid 等同于UTMI+ AValid。
SessEnd	3	rd	0b	UTMI+ SessEnd 输出的当前值
IDGnd	4	rd	0b	UTMI+ SessEnd 输出的当前值。IDGnd 在 IDPullup 设置为 1b 后 50ms 内有效。否则，IDGnd 不被定义并应该被忽略。
保留	7:5	rd	Xb	保留

USB中断锁存—USB_INTR_L (14h 只读，同时自动清位)

当在相应的内部信号上出现一次未屏蔽跳变，FUSB2805将给这些寄存器置位。当链接器读该寄存器时或当进入低功耗模式时，FUSB2805自动清除所有位。当进入6引脚或3引脚串行模式时，不论ClockSuspendM的值如何，FUSB2805也会清除该寄存器。在任何模式下，当上升沿和下降沿允许

被禁用时，中断电路可以限电。当CLOCK被限电时，为了确保可以检测到中断，链接器应该同时允许上升沿和下降沿。

链接器可以任选是否以同步模式读USB中断锁存寄存器，原因是RXCMD字节已经直接反应了中断源。

表23. USN中断锁存寄存器

字段名称	位	存取	复位	说明
HostDisconnect 锁存	0	rd	0b	当未屏蔽事件出现在HostDisconnect上时，由FUSB2805设置为1b。读该寄存器时，该位被清位。 仅在主机模式中适用 (DpPulldown 和DmPulldown 同时设置为1b)。
V _{bus} Valid 锁存	1	rd	0b	当未屏蔽事件出现在VBUSValid上时，由FUSB2805设置为1b。读该寄存器时，该位被清位。
SessValid 锁存	2	rd	0b	当未屏蔽事件出现在SessValid上时，由FUSB2805设置为1b。读该寄存器时，该位被清位。SessValid 等同于UTMI+ AValid。
SessEnd 锁存	3	rd	0b	当未屏蔽事件出现在SessEnd上时，由FUSB2805设置为1b。读该寄存器时，该位被清位。
IDGnd 锁存	4	rd	0b	当未屏蔽事件出现在IDGnd上时，由FUSB2805设置为1b。读该寄存器时，该位被清位。IDGnd 在 IDPullup设置为1b后50ms内有效。否则，IDGnd不被定义并应该被忽略。
保留	7:5	rd	0b	保留

设置任何锁存寄存器位时，FUSB2805 必须遵循表24中定义的规则。如果在相同的周期中寄存器读数据被返回到链

接器，则一个USB中断锁存位被置位，在寄存器读数据中立即给出中断条件，锁存器不设置为1b。

表24. 中断锁存寄存器设置规则

输入条件		
当前时钟周期内返回的寄存器读数据	当前时钟周期内设置的中断锁存位 (1b)	锁存寄存器位的所得值
否	否	0b
否	是	1b
是	否	0b
是	是	0b

调试寄存器 (15h 只读)

这些寄存器位能够表示用于调试的多种信号的当前值。

表25. 调试寄存器

字段名称	位	存取	复位	说明
LineStyle0	0	rd	0b	包含 LineState0 的当前值
LineStyle1	1	rd	0b	包含 LineState1 的当前值
保留	7:2	rd	0b	保留

Scratch 寄存器 (16h-18h 读, 16h 写, 17h 置位, 18h 清位)

这些寄存器位能够表示用于调试的多种信号的当前值。

表26. 暂存寄存器

字段名称	位	存取	复位	说明
暂存	7:0	rd/wr/s/c	00h	用于测试的空寄存器字节。软件可以读、写、设置和清除该寄存器并且不会影响 FUSB2805 功能。

绝对最大额定值

应力超过绝对最大额定值，可能会损坏器件。在超出推荐的工作条件的情况下，该器件可能无法正常工作，所以不建议让器件在这些条件下长期工作。此外，过度暴露在高于推荐的工作条件下，会影响器件的可靠性。绝对最大额定值仅是应力规格值。

符号	参数		最小值	最大值	单位
V_{CC}	电源电压 ⁽²⁵⁾	连续	-0.5	+5.5	V
		脉冲	-0.5	+5.5	
V_{IO}	I/O 电源电压		-0.5	+5.5	V
V_{IN}	DC 输入电压 ⁽²⁶⁾	引脚: STP, DIR, NXT, D[7:0], CFG1, RESET_N, CLKIN	-0.5	$V_{IO} + 0.5$	V
		引脚: FAULT, Chip_Select_N	-0.5	+5.5	
		引脚: DP, DM, V _{BUS}	-0.5	5.5 ⁽²⁷⁾	
I_{IK}	直流输入二极管电流		-50		mA
I_{LU}	直流闭锁电流		-100		mA
T_{STG}	存储温度		-65	+150	°C
ESD	人体模型, JEDEC: JESD22-A114	全部引脚		6	kV
		输入/输出至地		12	
		电源至地		12	
	充电器件模型, JEDEC: JESD22-C101			2	
	IEC 61000 板级, 空气间隙			19	
	机型, JEDEC: JESD22-A115			350	V

注意:

- V_{CC} 能够承受的短时(最大 5 ms)脉冲电压不超过 5.5 V 峰值电压。
- 只有当输入与输出二极管电流额定值能够得到保证时, 可以超出输入与输出的负额定值。
- 采用一只外部串联电阻时, V_{BUS} 能够承受较高电压。目标为串联电阻 1 k Ω \pm 5%时承受 > 10 V 电压且超过 5s。

推荐工作条件

推荐的操作条件表定义了器件的真实工作条件。指定推荐的工作条件, 以确保器件的最佳性能达到数据表中的规格。飞兆半导体建议不要超过推荐工作条件, 也不能按照绝对最大额定值进行设计。

符号	参数	最小值	典型值	最大值	单位
V_{CC}	电源电压	2.7	3.6	4.5	V
V_{CC3V3}	内部调节电源电压	$V_{CC}-0.1$	3.30	3.60	V
V_{DD1V2}		1.08	1.20	1.32	
V_{IO}	I/O 电源电压	1.65		3.60	V
V_{IN}	输入电压 - 数字 I/O ⁽²⁸⁾ (STP, D[7:0], CFG1, NXT, DIR, FAULT, CLKIN, RESET_N)	0		V_{IO}	V
	V _{BUS} , Chip_Select_N	0		5.25	
V_{AI0}	输入电压 - 模拟 I/O (DP, DM, ID)	-0.5		3.6	V
T_A	工作温度	-40	+25	+85	°C

注:

- 这些数字输入必须保持高或低。不许悬浮。

静态特性

除非另有说明, $V_{CC3V3} = V_{CC} - 0.1$ 至 3.6 V; $V_{DD1V2} = 1.1$ V 至 1.25 V; $V_{IO} = 1.65$ V 至 3.60 V; $T_J = -40^\circ$ C 至 $+85^\circ$ C。

符号	参数	工作条件	最小值	典型值	最大值	单位
电源引脚						
V_{POR}	上电复位跳闸电压	参考 V_{DD10} 电源			1.4	V
I_{VCC}	工作电源电流	12 MHz、50 pF 负载条件下的全速数据		25		mA
		12 MHz、空闲条件下的全速数据		23		
		480 MHz 频率下的 HS 接收		31		
		480 MHz 频率下的 HS 发送		36		
$I_{VCC(LOWPWR)}$	低功耗模式电源电流 ⁽³²⁾	Bit SuspendM = 0b、 CLKIN = LOW、PSW 被解除声明		95	200	μ A
I_{PWRDN}	节电模式下来自 V_{CC} 的电流	V_{IO} 关闭或 Chip_Select_N 被解除声明、不存在 V_{BUS}		22	36	μ A
I_{IO}	V_{IO} 工作电源电流	时钟和 ULPI 空闲时为 12pF		2.1		mA
$I_{IOPWRDN}$	节电模式下 V_{IO} 静态电源电流	Chip_Select_N De-asserted			2	μ A
I_{IOSPND}	暂停模式（低耗）下 V_{IO} 静态电源电流	I/O 引脚空闲			2	μ A
I_{VBUS_SUSPND}	暂停模式（低耗）下 V_{BUS} 静态电源电流	I/O 引脚空闲		60	90	μ A
数字引脚 (GLOCK、DIR、STP、NXT、D0-D7、RESET_N)						
V_{IL}	输入电压低电平				$0.3 \cdot V_{IO}$	V
V_{IH}	输入电压高电平		$0.7 \cdot V_{IO}$			V
V_{OL}	输出电压低电平	$I_{OL} = 4$ mA			0.4	V
V_{OH}	输出电压高电平	$I_{OH} = 4$ mA	$V_{IO} - 0.4$			V
I_{PD}	输入下拉电流 (接口保护 - D[7:0])	$V_{IN} = V_{IO}$	25	50	90	μ A
I_{PU}	输入上拉电流 (接口保护 - STP)	$V_{IN} = 0$ V	-30	-50	-80	μ A
数字引脚 (FAULT)						
V_{IL}	输入电压低电平				0.8	V
V_{IH}	输入电压高电平		2.0			V
I_{IN}	输入漏电流		-1		1	μ A
数字引脚 (PSW)						
V_{OHPSW}	输出电压高电平- PSW	外部 100 k Ω 电阻下拉至 GND	2.6		3.6	V
I_{OHPSW}	高电平电流 - PSW	外部 100 k Ω 电阻下拉至 GND			4	mA

接下页

静态特性 (接上页)

除非另有说明, $V_{CC3V3} = V_{CC} - 0.1$ 至 3.6 V; $V_{DD1V2} = 1.1$ V 至 1.25 V; $V_{IO} = 1.65$ V 至 3.60 V; $T_J = -40^\circ$ C 至 $+85^\circ$ C。

符号	参数	工作条件	最小值	典型值	最大值	单位
模拟 I/O 引脚 (DP、DM)						
FS/LS 路径						
V_{DI}	差分输入灵敏度	$ V_{DP} - V_{DM} $			0.2	V
V_{CM}	差分共模电压	包括 V_{DI} 范围	0.8		2.5	V
V_{IL}	输入电压低电平				0.8	V
V_{IH}	输入电压高电平		2.0			V
V_{OL}	输出电压低电平	DP 引脚上拉电阻 $R_L = 1.5$ k Ω 至 3.6 V	0		0.3	V
V_{OH}	输出电压高电平	DP/DM 引脚下拉电阻 $R_L = 15$ k Ω 连接至 GND	2.8		3.6	V
V_{TERM}	1.5 k Ω 上拉电阻的终端电压		3.0		3.6	V
R_{PU}	DP 引脚上的上拉电阻	符合 USB 2.0 电阻 ECN 要求	900		1575	Ω
R_{WKPU}	DP 引脚上的弱上拉电阻	Bit DP_WKPU_EN = 1、 $V_{BUS} > V_{A-SESS_VLD}$	105.8	132.0	158.0	k Ω
HS 路径						
V_{HSSQ}	高速静噪检测阈值	已检测静噪			100	mV
		未检测静噪	150			
V_{DSCHS}	HS 断连检测阈值 (差分)		525		625	mV
V_{DIHS}	HS 差分输入灵敏度	$ V_{DP} - V_{DM} $	300			mV
V_{CMHS}	HS 差分共模电压	包括 V_{DIHS} 范围	-50		+500	mV
V_{ILHS}	HS 空闲电平输入电压 (差分)		-10		+10	mV
V_{IHHS}	HS 低电平输入电压 (差分)		-10		+10	mV
V_{OLHS}	HS 高电平输出电压		360		440	mV
V_{CHIRPJ}	Chirp-J 输出电压 (差分)		700		1100	mV
V_{CHIRPK}	Chirp-K 输出电压 (差分)		-900		-500	mV
I_{OZ}	漏电流		-4		+4	μ A
Z_{DRV}	驱动器输出阻抗 (HS 和 FS)	符合 USB 2.0 规范中的 稳态条件	40.5		49.5	Ω
Z_{IN}	输入阻抗		0.8			M Ω
R_{PD}	DP 和 DM 引脚下拉电阻	符合 USB 2.0 电阻 ECN 要求	14.25		24.80	k Ω
$C_{I/O}$	电容值	该引脚连接至 GND			10	pF
VBUS 比较器						
$V_{th}(VBUSVLD)$	V_{BUS} 有效阈值		4.40		4.75	V
$V_{th}(SESEND)$	V_{BUS} 会话结束比较器阈值		0.2		0.8	V
$V_{hys}(SESEND)$	V_{BUS} 会话结束比较器滞回			150		mV
$V_{th}(SESSVLD)$	V_{BUS} 会话有效比较器阈值	A-Device 和 B-Device	0.8		2.0	V
$V_{hys}(SESSVLD)$	V_{BUS} 会话有效比较器滞回			200		mV

接下一页

静态特性 (接上页)

除非另有说明, $V_{CC3V3} = V_{CC} - 0.1$ 至 3.6 V; $V_{DD1V2} = 1.1$ V 至 1.25 V; $V_{IO} = 1.65$ V 至 3.60 V; $T_J = -40^\circ$ C 至 $+85^\circ$ C。

符号	参数	工作条件	最小值	典型值	最大值	单位
V_{BUS}电阻						
$R_{VBUS(PU)}$	V _{BUS} 充电电阻	CHRG_V _{BUS} = 1 时, 连接至 V _{CC3V3}	281			Ω
$R_{VBUS(PD)}$	V _{BUS} 放电电阻	DISCHRG_V _{BUS} = 1 时连接至 GND	656			Ω
$R_{VBUS(IDLE)}$	V _{BUS} 空闲阻抗	不在节电模式	80	90	100	kΩ
		Chip Select 被解除声明或 V _{IO} 丢失	40		100	
ID 检测电路 (ID)						
t_{ID}	ID检测时间		50			ms
R_{ID_PU}	ID 上拉电阻	Bit ID_PULL_UP=1	40	50	60	kΩ
$R_{ID_PU_WK}$	ID 弱上拉电阻	Bit ID_PULL_UP = 0	320	400	480	kΩ
V_{PU_ID}	ID 上拉参考		3.0	3.3	3.6	V
V_{TH_ID}	ID 阈值		1.0		2.0	V
外部电阻参考						
V_{RREF}	外部 R _{REF} (12 kΩ ±1%) 两侧的电压	SUSPENDM Bit=HIGH		0.8		V
复位						
t_{START_HOST}	当出现远程唤醒事件时, PHY 时钟启动	CLKIN 运行, Autoresume = 0			850	μs
		CLKIN 必须首先启动 ⁽³⁰⁾ , Autoresume = 1			110.9	μs
时钟输入						
f_{CLKIN}	输入时钟频率 ⁽³¹⁾	USB 配置 0		19.2		MHz
		USB 配置 1		26.0		
J_{CLKIN}	RMS 抖动				200	ps
δ_{CLKIN}	占空比			50		%
V_{CLKIN}	振幅			1.8		V
t_{R_CLKIN}, t_{F_CLKIN}	上升和下降事件				5	ns
输出时钟特性						
f_{CLK60_OUT}	输出时钟频率	只有当 CLKIN 上一个时钟为输入时才有效		60		MHz
J_{CLK60_OUT}	RMS 输出抖动				500	ps
δ_{CLK60_OUT}	占空比			50		%
t_{R_CLK60}	上升时间	CLOCK 引脚从 V _{IO} 的 10% 过渡到 90% (C _L -412 pF)	1.0		4.0	ns
t_{F_CLK60}	下降时间	CLOCK 引脚从 V _{IO} 的 90% 过渡到 10% (C _L -412 pF)	1.0		4.4	ns
$t_{startPLL}$	启动 (PLL 稳定) 时间	在 STP 引脚电源正常或声明时测得			640	μs

注意:

29. 当配置成外设控制器时, 不包括流过 15 kΩ主机下拉电阻的暂态电流。通常, 额外允许 200 μA 电流。

30. 唤醒 CLKIN 所需时间, 为外部系统定时的函数, 因此远程唤醒性能需要能够自恢复 (参见图20)。

31. 外部时钟可以施加在CLKIN引脚。建议频率精度为 200 ppm。

动态特性

除非另有说明, $V_{CC3V3} = V_{CC} - 0.1$ 至 3.6 V; $V_{DD1V2} = 1.1$ V 至 1.25 V; $V_{IO} = 1.65$ V 至 3.60 V; $T_J = -40^\circ$ C 至 $+85^\circ$ C

符号	参数	工作条件	最小值	典型值	最大值	单位
输出时钟特性						
f_{CLK60_OUT}	输出时钟频率	只有当 CLKIN 上一个时钟为输入时才有效		60		MHz
J_{CLK60_OUT}	RMS 输出抖动				500	ps
δ_{CLK60_OUT}	占空比			50		%
t_{R_CLK60}	上升时间	CLOCK 引脚从 V_{IO} 的 10% 过渡到 90% ($C_L - 4-12$ pF)	1.0		4.0	ns
t_{F_CLK60}	下降时间	CLOCK 引脚从 V_{IO} 的 90% 过渡到 10% ($C_L - 4-12$ pF)	1.0		4.4	ns
$t_{startPLL}$	启动 (PLL 稳定) 时间	在 STP 引脚电源正常或声明时测得			640	μ s
稳压器特性						
$t_{regPWRUP}$	稳压器上电时间	V_{CC3V3} 和 V_{DD1V2} 上 4.7μ F $\pm 20\%$ 的解耦			1.2	ms
$t_{regPWRODN}$	稳压器下电时间	V_{CC3V3} 和 V_{DD1V2} 上 4.7μ F $\pm 20\%$ 的解耦			100	ms
数字 I/O 引脚						
C_{IN}	引脚输入电容值	仅输入引脚 (STP、RESET_N)	2.7	3.0	3.5	pF
C_{IN_BIDI}	引脚输入电容值	用作输入的双向引脚 (CLK、D0-D7)	2.7	3.0	3.5	pF
C_{OUT}	引脚输出电容值	输出 (数字) 引脚 (NXT、DIR、CLKOUT)	2.7	3.0	3.5	pF
ULPI 接口单数据速率 (SDR) 时间						
t_{SU}	与时钟上升沿有关的设置时间	仅输入引脚 (STP) 和作为输入的双向引脚 (D0-D7)	输出 60 MHz 时钟	6		ns
t_{HD}	与时钟上升沿有关的保持时间	仅输入引脚 (STP) 和作为输入的双向引脚 (D0-D7)	输出 60 MHz 时钟	0		ns
t_{DC}	与时钟上升沿有关的输出延迟	仅输出引脚 (DIR、NXT)	所有 ULPI 引脚上的输出 60 MHz 时钟, 12 pF		9	ns
t_{DD}	与时钟上升沿有关的输出延迟	作为输出的双向引脚 (D0-D7)	所有 ULPI 引脚上的输出 60 MHz 时钟, 12 pF		9	ns
t_{rise}	上升时间	从 V_{IO} 的 10% 过渡到 90% ($C_L - 4-12$ pF)	1.0		5.0	ns
t_{fall}	下降时间	从 V_{IO} 的 90% 过渡到 10% ($C_L - 4-12$ pF)	1.0		5.0	ns
ULPI 接口退出和进入低耗模式						
t_{OS}	进入低耗模式时间	从 DIR LH 过渡到 CLOCK 停止 (最少 6 个周期)		0.145		μ s
t_{STP}	低耗模式延迟 ⁽³²⁾	从 DIR LH 过渡 STP 到 LH 过渡		2		μ s
t_{WU}	退出低耗模式 (总唤醒时间)	从 STOP LH 过渡到 DIR HL 过渡		111		μ s
t_{OWU}	退出低耗模式 (时钟唤醒时间)	从停止 LH 过渡到 Clock 开始		110.9		μ s
t_{OD}	退出低耗模式 (时钟至 DIR)	从时钟开始到 DIR HL 过渡 (6 个时钟周期)		97		ns

接下页

动态特性（接上页）

除非另有说明, $V_{CC3V3} = V_{CC} - 0.1$ 至 3.6 V; $V_{DD1V2} = 1.1$ V 至 1.25 V; $V_{I0} = 1.65$ V 至 3.60 V; $T_J = -40^\circ$ C 至 $+85^\circ$ C

符号	参数	工作条件	最小值	典型值	最大值	单位
模拟 I/O 引脚						
高速驱动器特性						
t_{HSR}	差分上升时间		500			ps
t_{HSF}	差分下降时间		500			ps
全速驱动器特性						
t_{FR}	上升时间	$C_L = 50$ pF; $ V_{OH} - V_{OL} $ 的 10% to 90%	4		20	ns
t_{FF}	下降时间	$C_L = 50$ pF; $ V_{OH} - V_{OL} $ 的 10% to 90%	4		20	ns
FRFM	差分上升时间/ 下降时间匹配	不包括空闲状态下的首次过渡	90.0		111.1	%
V_{CRS}	输出信号交叉电压	不包括空闲状态下的首次过渡	1.3		2.0	V
t_{LR}	上升时间	$C_L = 200$ pF 至 600 pF; 启用 D- 引脚上的 1.5 k Ω 上拉电阻; $ V_{OH} - V_{OL} $ 的 10% to 90%	75		300	ns
t_{LF}	下降时间	$C_L = 200$ pF 至 600 pF; 启用 D- 引脚上的 1.5 k Ω 上拉电阻; $ V_{OH} - V_{OL} $ 的 10% to 90%	75		300	ns
LRFM	差分上升时间/ 下降时间匹配	不包括空闲状态下的首次过渡	80.0		125	%
串行模式驱动器时间						
t_{PLHDS}	驱动器串行模式传播延迟 (低电平至高电平)	TX_DAT [D1]、TX_SE0 [D2] 至 D+/D-			20	ns
t_{PHLDS}	驱动器串行模式传播延迟 (高电平至低电平)	TX_DAT [D1]、TX_SE0 [D2] 至 D+/D-			20	ns
$t_{PHZLZDS}$	驱动器串行模式禁用延迟	TX_ENABLE [D0] 至 D+/D-			12	ns
$t_{PZHLDZDS}$	驱动器串行模式启用延迟	TX_ENABLE [D0] 至 D+/D-			20	ns
串行模式接收器时间						
t_{PLHRS}	接收器串行模式传播延迟 (低电平至高电平)	D+/D- 至 RX_RCV [D6]			20	ns
t_{PHLRS}	接收器串行模式传播延迟 (高电平至低电平)	D+/D- 至 RX_RCV [D6]			20	ns
t_{PLHPS}	单端 V_p 串行模式传播延迟 (低电平至高电平)	D+ 至 RX_DP [D4]			20	ns
t_{PHLPS}	单端 V_p 串行模式传播延迟 (高电平至低电平)	D+ 至 RX_DP [D4]			20	ns
t_{PLHMS}	单端 V_m 串行模式传播延迟 (低电平至高电平)	D- 至 RX_DM [D5]			20	ns
t_{PHLMS}	单端 V_m 串行模式传播延迟 (高电平至低电平)	D- 至 RX_DM [D5]			20	ns

注:

32. 参数由设计者提供

物理尺寸

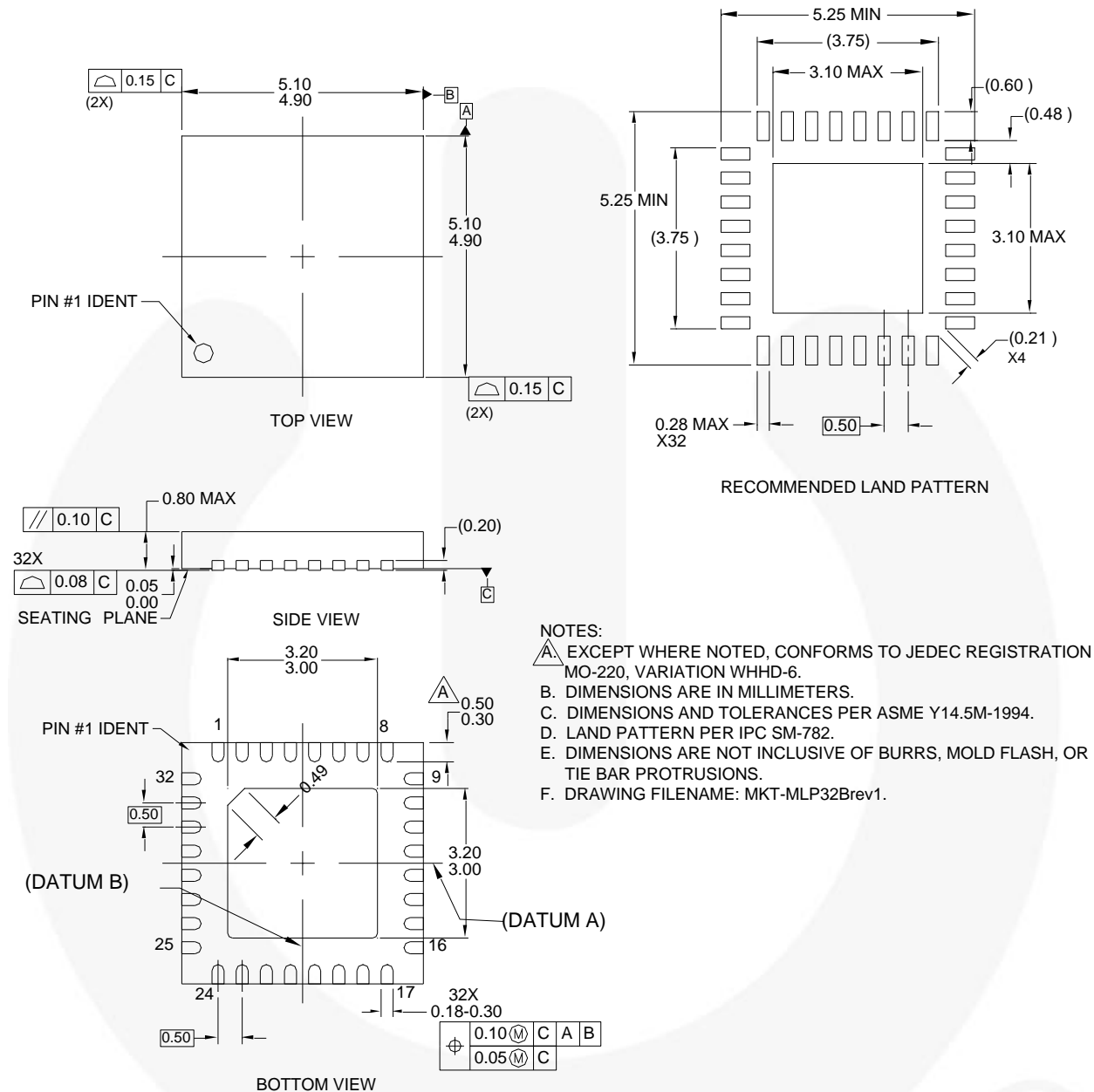


图25. 32引脚模塑无铅封装(MLP)






封装图纸是作为一项服务而提供给考虑选用飞兆半导体产品的客户。具体参数可能会有变化，且不会做出相应通知。请注意图纸上的版本和/或日期，并联系飞兆半导体代表核实或获得最新版本。封装规格并不扩大飞兆公司全球范围内的条款与条件，尤其是其中涉及飞兆公司产品的保修。

随时访问飞兆半导体在线封装网页，可以获取最新的封装图纸：
<http://www.fairchildsemi.com/dwg/ML/MLP32B.pdf>



TRADEMARKS

The following includes registered and unregistered trademarks and service marks, owned by Fairchild Semiconductor and/or its global subsidiaries, and is not intended to be an exhaustive list of all such trademarks.

- | | | | |
|---|--|---|---|
| AccuPower™ | F-PFS™ |  | Sync-Lock™ |
| AX-CAP®* | FRFET™ | PowerTrench® |  |
| BitSiC™ | Global Power Resource SM | PowerXS™ | TinyBoost® |
| Build it Now™ | GreenBridge™ | Programmable Active Droop™ | TinyBuck® |
| CorePLUS™ | Green FPS™ | QFET® | TinyCalc™ |
| CorePOWER™ | Green FPS™ e-Series™ | QS™ | TinyLogic® |
| CROSSVOLT™ | Gmax™ | Quiet Series™ | TINYOPTO™ |
| CTL™ | GTO™ | RapidConfigure™ | TinyPower™ |
| Current Transfer Logic™ | IntelliMAX™ |  | TinyPWM™ |
| DEUXPEED® | ISOPLANAR™ | Saving our world, 1mW/W/kW at a time™ | TinyWire™ |
| Dual Cool™ | Making Small Speakers Sound Louder and Better™ | SignalWise™ | TranSiC™ |
| EcoSPARK® | MegaBuck™ | SmartMax™ | TriFault Detect™ |
| EfficientMax™ | MICROCOUPLER™ | SMART START™ | TRUECURRENT®* |
| ESBC™ | MicroFET™ | Solutions for Your Success™ | µSerDes™ |
|  | MicroPak™ | SPM® |  |
| Fairchild® | MicroPak2™ | STEALTH™ | UHC® |
| Fairchild Semiconductor® | MillerDrive™ | SuperFET® | Ultra FRFET™ |
| FACT Quiet Series™ | MotionMax™ | SuperSOT™-3 | UniFET™ |
| FACT® | mWSaver® | SuperSOT™-6 | VCX™ |
| FAST® | OptoHi™ | SuperSOT™-8 | VisualMax™ |
| FASTvCore™ | OPTOLOGIC® | SupreMOS® | VoltagePlus™ |
| FETBench™ | OPTOPLANAR® | SyncFET™ | XS™ |
| FPS™ | | | |

* Trademarks of System General Corporation, used under license by Fairchild Semiconductor.

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION, OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS. THESE SPECIFICATIONS DO NOT EXPAND THE TERMS OF FAIRCHILD'S WORLDWIDE TERMS AND CONDITIONS, SPECIFICALLY THE WARRANTY THEREIN, WHICH COVERS THESE PRODUCTS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION.

As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support, device, or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

ANTI-COUNTERFEITING POLICY

Fairchild Semiconductor Corporation's Anti-Counterfeiting Policy. Fairchild's Anti-Counterfeiting Policy is also stated on our external website, www.fairchildsemi.com, under Sales Support.

Counterfeiting of semiconductor parts is a growing problem in the industry. All manufacturers of semiconductor products are experiencing counterfeiting of their parts. Customers who inadvertently purchase counterfeit parts experience many problems such as loss of brand reputation, substandard performance, failed applications, and increased cost of production and manufacturing delays. Fairchild is taking strong measures to protect ourselves and our customers from the proliferation of counterfeit parts. Fairchild strongly encourages customers to purchase Fairchild parts either directly from Fairchild or from Authorized Fairchild Distributors who are listed by country on our web page cited above. Products customers buy either from Fairchild directly or from Authorized Fairchild Distributors are genuine parts, have full traceability, meet Fairchild's quality standards for handling and storage and provide access to Fairchild's full range of up-to-date technical and product information. Fairchild and our Authorized Distributors will stand behind all warranties and will appropriately address any warranty issues that may arise. Fairchild will not provide any warranty coverage or other assistance for parts bought from Unauthorized Sources. Fairchild is committed to combat this global problem and encourage our customers to do their part in stopping this practice by buying direct or from authorized distributors.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative / In Design	Datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	Datasheet contains preliminary data; supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve design.
No Identification Needed	Full Production	Datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice to improve the design.
Obsolete	Not In Production	Datasheet contains specifications on a product that is discontinued by Fairchild Semiconductor. The datasheet is for reference information only.

Rev. I66

ON Semiconductor and  are trademarks of Semiconductor Components Industries, LLC dba ON Semiconductor or its subsidiaries in the United States and/or other countries. ON Semiconductor owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of ON Semiconductor's product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. ON Semiconductor reserves the right to make changes without further notice to any products herein. ON Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does ON Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using ON Semiconductor products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by ON Semiconductor. "Typical" parameters which may be provided in ON Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. ON Semiconductor does not convey any license under its patent rights nor the rights of others. ON Semiconductor products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use ON Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold ON Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that ON Semiconductor was negligent regarding the design or manufacture of the part. ON Semiconductor is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:

Literature Distribution Center for ON Semiconductor
19521 E. 32nd Pkwy, Aurora, Colorado 80011 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5817-1050

ON Semiconductor Website: www.onsemi.com
Order Literature: <http://www.onsemi.com/orderlit>
For additional information, please contact your local
Sales Representative