

产品特性

- 超低 rms 抖动: 典型值: 44 fs (12 kHz 至 20 MHz, 2457.6 MHz)
- 噪底: -156 dBc/Hz (2457.6 MHz)
- 低相位噪声: -141.7 dBc/Hz (800 kHz 时, 983.04 MHz 输出)
- PLL2 最多提供 14 路 LVDS、LVPECL 或 CML 型器件时钟(DCLK) CLKOUTx/CLKOUTx和SCLKOUTx/SCLKOUTx频率最大值为 3200 MHz
- JESD204B 兼容系统参考(SYSREF)脉冲
- 25 ps 模拟延迟和 1/2 VCO 周期数字延迟, 14 个时钟输出通道各自都能对延迟进行编程
- 相位噪声与功耗的关系可通过 SPI 编程
- SYSREF 有效中断可简化 JESD204B 同步窄带、双核 VCO
- 最多 2 个缓冲压控振荡器(VCXO)输出
- LVDS、LVPECL、CMOS 和 CML 模式下最多 4 个输入时钟
- 频率保持模式可保持输出频率
- 信号丢失(LOS)检测和无中断参考切换
- 4 个 GPIO 报警/状态指示器, 可确定系统健康程度
- 支持最高 6000 MHz 的外部 VCO 输入
- 片内稳压器提供出色的 PSRR
- 68 引脚、10 mm × 10 mm LFCSP 封装

应用

- JESD204B 时钟产生
- 蜂窝基础设施 (多载波 GSM、LTE、W-CDMA)
- 数据转换器时钟
- 微波基带卡
- 相控阵参考分配

概述

HMC7044 是一款高性能双环路整数 N 分频抖动衰减器, 能够选择参考并生成超低相位噪声的频率, 支持配有并行或串行 (JESD204B 型) 接口的高速数据转换器。HMC7044 具有两个可通过 SPI 选择的整数模式 PLL 和交叠的片内 VCO, 调谐范围分别达 2.5 GHz 和 3 GHz。该器件旨在满足 GSM 和 LTE 基站设计的要求, 并通过多种时钟管理和分配特性来简化基带和无线电卡时钟树的设计。HMC7044 提供 14 路低噪声且可配置的输出, 可以灵活地与许多不同器件接口, 包括数据转换器、现场可编程门阵列(FPGA)和混频器本振(LO)。

HMC7044 的 DCLK 和 SYSREF 时钟输出可配置来支持 CML、LVDS、LVPECL 和 LVCMOS 等信号标准, 不同的偏置设置则可抵消变化的板插入损耗。

功能框图

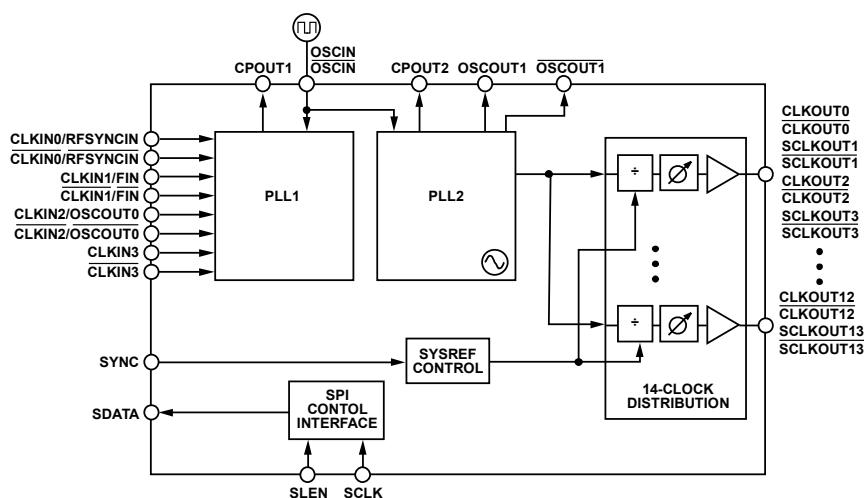


图 1.

Rev. 0

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2015 Analog Devices, Inc. All rights reserved.
[Technical Support](#) www.analog.com

ADI 中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考 ADI 提供的最新英文版数据手册。

目录

特性.....	1	工作原理.....	24
应用.....	1	详细框图.....	25
概述.....	1	双通道 PLL 概述.....	26
功能框图.....	1	元件模块—输入 PLL (PLL1).....	26
目录.....	2	元件模块—输出 PLL (PLL2).....	30
修订历史.....	2	时钟输出网络.....	32
技术规格.....	3	基准电压源缓冲器详情.....	37
条件.....	3	典型编程序列.....	38
电源电流.....	3	电源考虑.....	39
数字输入/输出(I/O)电气规格.....	4	串行控制端口.....	42
PLL1 特性.....	5	串行端口接口(SPI)控制.....	42
PLL2 特性.....	7	应用信息.....	43
VCO 特性.....	8	PLL1 噪声计算.....	43
时钟输出分配特性.....	9	PLL2 噪声计算.....	43
杂散特性.....	10	相位噪底和抖动.....	43
噪声和抖动特性.....	10	控制寄存器.....	44
时钟输出驱动器特性.....	12	控制寄存器映射.....	44
绝对最大额定值.....	14	控制寄存器映射位功能描述.....	52
ESD 警告.....	14	评估 PCB 原理图.....	69
引脚配置和功能描述.....	15	评估 PCB.....	69
典型性能参数.....	18	外形尺寸.....	71
典型应用电路.....	22	订购指南.....	71
术语.....	23		

修订历史

2015 年 9 月—修订版 0: 初始版

技术规格

除非另有说明， $f_{VCO} = 122.88 \text{ MHz}$ （单端） $\overline{\text{CLKIN0/CLKIN0}}$ 、 $\overline{\text{CLKIN1/CLKIN1}}$ 、 $\overline{\text{CLKIN2/CLKIN2}}$ 和 $\overline{\text{CLKIN3/CLKIN3}}$ （差分， 122.88 MHz ）； $f_{VCO} = 2949.12 \text{ MHz}$ ；倍频器开启；典型值测量条件为 $V_{CC} = 3.3 \text{ V}$ ； $T_A = 25^\circ\text{C}$ 。最小值和最大值的测量条件为表1所列的整个 V_{CC} 和 T_A （ -40°C 至 $+85^\circ\text{C}$ ）范围内。请注意，多功能引脚（比如 $\overline{\text{CLKIN0/RFSYNCIN}}$ ）由整个引脚名称或引脚的单个功能表示；例如 $\overline{\text{CLKIN0}}$ 即表示仅与此功能相关。

条件

表 1.

参数	最小值	典型值	最大值	单位	测试条件/注释
电源电压 V_{CC}					
VCC1_VCO	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，VCO和VCO分配的电源电压
VCC2_OUT	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，输出通道2和输出通道3的电源电压
VCC3_SYSREF	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，通用SYSREF驱动器的电源电压
VCC4_OUT	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，输出通道4、输出通道5、输出通道6、输出通道7的电源电压
VCC5_PLL1	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，PLL1中使用的LDO电源电压
VCC6_OSCOUT	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，振荡器输出路径的电源电压
VCC7_PLL2	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，PLL2中使用的LDO电源电压
VCC8_OUT	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，输出通道8、输出通道9、输出通道10、输出通道11的电源电压
VCC9_OUT	3.135	3.3	3.465	V	$3.3 \text{ V} \pm 5\%$ ，输出通道0、输出通道1、输出通道12、输出通道13的电源电压
温度					
环境温度范围 T_A	-40	+25	+85	$^\circ\text{C}$	这对于表2中的条件有效
连接裸露焊盘的印刷电路板(PCB)温度 结温 T_J	-28	+38	+100	$^\circ\text{C}$	
			115	$^\circ\text{C}$	

电源电流

详细测试条件请参见表 22 和表 23。

表 2.

参数 ^{1,2}	最小值	典型值	最大值	单位	测试条件/注释
功耗 ³					
VCC1_VCO		157	225	mA	典型值测量条件为 $T_A = 25^\circ\text{C}$ ，2个LVDS时钟为8分频
VCC2_OUT ⁴		65	250	mA	
VCC3_SYSREF		12	37	mA	
VCC4_OUT ⁴		78	500	mA	典型值测量条件为 25°C ，2个LVPECL高性能时钟，内部VCO基频为 f_o ，2个SYSREF时钟关断
VCC5_PLL1		39	125	mA	典型值测量条件为 25°C ，2个LVPECL高性能时钟为2分频，2个SYSREF时钟关断
VCC6_OSCOUT		0	80	mA	
VCC7_PLL2		46	80	mA	
VCC8_OUT ⁴		124	500	mA	
VCC9_OUT ⁴		65	500	mA	典型值测量条件为 25°C ，2个LVDS时钟为8分频，2个SYSREF时钟关断
总电流		586		mA	

¹ 通过设计和特性保证最大值。

² 电流包括 LVPECL 端接电流。

³ 最大值针对最差功耗模式及 PVT 变化条件下开启的全部电路而言，并考虑临时同步事件期间的峰值电流吸取。

⁴ 典型规格适用于正常使用配置（表 22 中的配置 2），此时 PLL1 和 PLL2 锁定，但占空比电流极低（同步事件），且部分可选功能禁用。此规格假设输出如测试条件/注释列所描述的那样配置。

数字输入/输出(I/O)电气规格

表 3.

参数	最小值	典型值	最大值	单位	测试条件/注释
数字输入信号 (RESET、SYNC、SLEN、SCLK)					
安全输入电压范围 ¹	-0.1		+3.6	V	
输入负载		0.3		pF	
输入电压					
高电平(V _{IH})		0.9	1.2	V	
低电平(V _{IL})	0.5	0.9		V	
SPI总线频率			10	MHz	
配置为输入的数字双向信号 (SDATA、GPIO4、GPIO3、GPIO2、GPIO1)					
安全输入电压范围 ¹	-0.1		+3.6	V	
输入电容		0.4		pF	
输入电阻		50G		Ω	
输入电压					
高电平(V _{IH})		1.08	1.22	V	
低电平(V _{IL})	0.24	0.46		V	
输入迟滞		0.2		V	出现在大约0.85 V
GPIO1至GPIO4报警多路复用/延迟 内部报警延迟/信号发送至通用输出(GPO)驱动器		2		ns	不包括t _{DGPO}
配置为输出的数字双向信号 (SDATA、GPIO4、GPIO3、GPIO2、GPIO1)					
CMOS模式					
逻辑1电平	1.6	1.9	2.2	V	
逻辑0电平		0	0.1	V	
输出驱动电阻(R _{DRIVE})		50		Ω	
输出驱动延迟(t _{DGPO})		1.5 + 42 × C _{LOAD}		ns	约为1.5 ns + 0.69 × R _{DRIVE} × C _{LOAD} (C _{LOAD} 单位为nF)
支持的最大直流电流 ¹			0.6	mA	
开漏模式 ¹					
逻辑1电平			3.6	V	外部1 kΩ拉电阻 允许最大值: 3.6V; 规格由外部电源确定
逻辑0电平		0.13	0.28	V	针对1 kΩ外部上拉电阻, 最高3.3 V
下拉阻抗		60		Ω	
支持的最大吸电流			5	mA	

¹ 通过设计和特性保证。

PLL1 特性

表 4.

参数	最小值	典型值	最大值	单位	测试条件/注释
PLL1基准电压源输入 (CLKIN0/CLKIN0、CLKIN1/CLKIN1、 CLKIN2/CLKIN2、CLKIN3/CLKIN3) 可靠信号摆幅 差分	0.375		1.4	V p-p差分	参考输入引脚上的信号保持在2.8V以下，800 MHz下测量
单端 ¹	0.375		1.4	V p-p差分	<250 MHz；参考输入引脚上的信号保持在2.8V以下
共模范围	0.4		2.4	V	如果由用户提供电源，则片上V _{CM} 大约为2.1V
输入阻抗		100 至 2000		Ω	用户可选；差分
回波损耗		-12		dB	采用100 Ω差分端接
PLL1参考分频器 8位最小公倍数(LCM)分频器	1		255		
16位分频器(R1)	1		65,535		
PLL1反馈分频器 16位N分频器(N1)	1		65,535		
PLL1频率限制 PLL1 REF输入频率(f _{REF})	0.00015		800	MHz	最小值规格由鉴频鉴相器1 (PD1)下限决定
数字LOS/LCM频率(f _{LCM})	0.00015		123	MHz	通常运行在38.4 MHz
PD1频率(f _{PD1})	0.00015		50	MHz	最小规格 = VCXO最小频率 ÷ 65,535； 9.76 MHz (典型值)
PLL1电荷泵 电荷泵电流范围(I _{CP1})		120至1920		μA	I _{CP1} 从0至15，VCXO控制电压(V _{TUNE}) = 1.4V
I _{CP1} 随工艺电压温度(PVT)的变化		±15		%	V _{TUNE} = 1.4V
源电流/吸电流失配		2		%	1.4V时的源电流/吸电流失配
电荷泵电流步进大小		120		μA	
电荷泵顺从范围 ¹		0.4至2.5		V	I _{CP} 变化范围在10%以内
		0.1至2.7		V	测试环境下保持锁定
PLL1噪声曲线 ¹ 本底品质因数(FOM)		-222		dBc/Hz	归一化至1 Hz
闪烁FOM		-252		dBc/Hz	归一化至1 Hz
闪烁噪声		由公式决定 ²		dBc/Hz	在f _{OUT} 、f _{OFFSET} 时
本底噪声		由公式决定 ³		dBc/Hz	在f _{OUT} 、f _{PD1} 时
总相位噪声(无滤波)		由公式决定 ⁴		dBc/Hz	
PLL1带宽和采集时间 ¹ 支持的环路带宽(PLL1_BW) ⁵	f _{LCM} /2 ²⁵		f _{PD1} /10	Hz	通常PLL1低带宽由应用设置，范围为5 Hz至2 kHz
PLL1压摆时间 ⁶			N1/ f _{DELTA_VCXO}	sec	N1 = 10 (典型值)，f _{DELTA_VCXO} = 10 kHz (典型值)，压摆时间为1 ms
PLL1线性采集时间		5/PLL1_BW		sec	当VCXO停止压摆进入稳态时(5°以内)
PD1无效锁定时的PLL1相位误差		±2.9		ns	
PLL1锁定检测定时器周期(t _{LKD}) ⁷		4至2 ²⁶		t _{LCM}	用户可选低相位误差数到声明锁定

参数	最小值	典型值	最大值	单位	测试条件/注释
参考信号故障时的PLL1表现 ¹ LOS置位延迟 ⁷	2 + t_{DGPO}		3 + t_{DGPO}	t_{LCM}	从丢失信号沿到GPO报警
在参考信号故障时错误地激活 I_{CP1} 时间 ⁸ 由于参考信号故障而暂时出现频率毛刺	0	0.03	8	ns ppm	$I_{CP1} = 1 \text{ mA}$, $C12 = 4.6 \text{ nF}$, Crystek CVPD-952 VCXO
由于参考信号故障而出现积分频率误差		0.016		ppm	$I_{CP1} = 1 \text{ mA}$, $C13 = 1 \mu\text{F}$, Crystek CVPD-952 VCXO
LOS清零的信号有效时间 ⁹	2		3	t_{LOSVAL}	
PLL1 V_{TUNE} 泄漏源 电荷泵三态漏电流		0.2		nA	Crystek CVPD-952 VCXO $C12 = 4.6 \text{ nF}$, $C13 = 1 \mu\text{F}$, $R9 = 11 \text{ k}\Omega$, $C15 =$ 未安装
电路板级晶振调谐输入端口		0.5		nA	
电路板级环路滤波器元件		2		nA	
保持特性 三态模式下 V_{TUNE} 1秒内漂移		2		mV	$C12 = 4.6 \text{ nF}$, $C13 = 1 \mu\text{F}$, $R9 = 11 \text{ k}\Omega$, CVPD-950 VCXO
保持 模数转换器(ADC)/数模转换器(DAC)分辨率		19		mV	7位、单调、无失码
ADC/DAC编码0电压		0.28		V	
ADC/DAC编码127电压		2.71		V	
DAC温度稳定性		0.07		mV/ $^{\circ}\text{C}$	最大编码
ADC/DAC积分非线性(INL)		-0.11		LSB	编码之间的最差情况
释抑定时器周期 ^{1,10}	1		2^{26}	t_{LCM}	
保持退出—初始相位失调 ¹ 退出条件 = 等待低相位误差					使用此功能, 从保持到采样转换之后的 相位失调
退出动作 = 无		± 4		ns	
退出条件 = 任意 ¹¹ 退出动作 = 复位分频器	1		2	t_{VCXO}	假设 $N2 > 3$, 且分频器在退出时复位; 注意, VCXO启动时滞后; 如果使用DAC 辅助释放, 则该值用作开始相位误差 分频器在退出时不复位
退出动作 = 无			$\pm N1$	t_{VCXO}	
保持退出特性 ^{1,12} 各阶跃的DAC辅助释放周期($t_{DACASSIST}$)	1/2		1/16	t_{LKD}	基于锁定检测定时器设定点
DAC辅助释放时间			9	$t_{DACASSIST}$	从决定离开保持到完全自然采样的时 间; 假设LOS或用户不中断
退出条件延迟 ¹³ = 等待低相位误差 ¹⁴			$N1/f_{ERR_VCXO}$	sec	

参数	最小值	典型值	最大值	单位	测试条件/注释
保持退出一频率瞬态与模式 峰值频率瞬态 DAC辅助释放		2		ppm	仅在使用基于DAC保持时可用

¹ 通过设计和特性保证。

² 更多有关如何计算PLL1闪烁噪声的信息，请参见“PLL1噪声计算”部分。

³ 更多有关如何计算PLL1本底噪声的信息，请参见“PLL1噪声计算”部分。

⁴ 更多有关如何计算PLL1总相位噪声（无滤波）的信息，请参见“PLL1噪声计算”部分。

⁵ 由外部元件决定。在SPI中适当设置锁定检测阈值（寄存器0x0028中的PLL1锁定检测定时器[4:0]）。

⁶ 取决于初始相位失调（最差情况为与N1成正比）和目标的VCXO多余可用调谐范围($f_{\Delta VCXO}$)。对于PLL1典型值情况下的PFD额定值，周跳通常不足。

⁷ t_{LCM} 是PLL1时钟输入频率的最小公倍数(LCM)。规格为 t_{LCM} 的倍数。

⁸ 如果LOS在正常检测到PFD边沿（很有可能R1值较高）之前触发，则电荷泵很可能在发生下一次非法比较以前就禁用。否则，快速三态电路将在相位误差之后大约4 ns（最差情况为8 ns）禁用电荷泵。

⁹ t_{LOSVAL} 为寄存器值，可编程设置为1、2、4、...、64 t_{LCM} 。

¹⁰ 如果使用释放定时器，则有限状态机(FSM)在有效参考LOS之后、开关时钟之前处于保持状态，为原始时钟提供了返回的机会。

¹¹ t_{VCXO} 是VCXO时钟周期。

¹² 请参见“PLL1保持退出”部分。

¹³ 相位相交所需时间与保持频率误差成反比。注意，保持期间的频率误差预计比VCXO调谐范围内的可用误差少得多。

¹⁴ f_{ERR_VCXO} 是VCXO的误差频率。

PLL2 特性

表 5.

参数	最小值	典型值	最大值	单位	测试条件/注释
PLL2 VCXO输入					
推荐摆幅					
差分	0.2		1.4	V p-p	差分，保持OSCIN和OSCIN引脚上的信号小于2.8 V
单端(<250 MHz) ¹	0.2		1.4	V p-p	差分，保持OSCIN和OSCIN引脚上的信号小于2.8 V
共模范围	1.6	2.1	2.4	V	如果由用户提供电源，则片上 V_{CM} 大约为2.1 V
VCXO输入压摆率	300			mV/ns	压摆率低至100 mV/ns可以工作，但可能使相位噪声高原性能下降约3 dB
输入电容		1.5		pF	每侧；3 pF差分
差分输入电阻		100至1000		Ω	用户可选
回波损耗		-12		dB	采用100 Ω 差分端接时
PLL2外部VCO输入					
建议输入功率，交流耦合					
差分	-6		6	dBm	
单端 ¹	-6		6	dBm	
回波损耗		-12		dB	采用100 Ω 差分端接时
外部VCO频率 ¹	400		3200	MHz	基频模式；如果小于1 GHz，则置位低频外部VCO路径位（寄存器0x0064，位0）
	400		6000	MHz	使用外部VCO $\div 2$
共模范围 ¹	1.6	2.1	2.2	V	
PLL2分频器					
12位参考分频器范围(R2)	1		4095		
16位反馈分频器范围(N2)	8		65,535		
PLL2频率限制					
VCXO频率(f_{VCXO})	10		500	MHz	典型值为122.88 MHz或155 MHz
VCXO占空比					
使用倍频器 ¹	40		60	%	失真可导致 $f_{PD}/2$ 失调，注意最小脉冲宽度大于3 ns

参数	最小值	典型值	最大值	单位	测试条件/注释
参考倍频器输入频率	10		175	MHz	
R2输入频率	10		500	MHz	
PD2频率(f_{PD2})	0.00015		250	MHz	建议在范围的高端使用,以获得最佳相位噪声性能;通常为 $122.88\text{ MHz} \times 2$
PLL2电荷泵 电流范围(I_{CP2})		160至2560		μA	I_{CP2} 设置为0 mA至15 mA, 阶跃160 μA , $V_{TUNE} = 1.4\text{ V}$
I_{CP2} 随PVT的变化		± 25		%	$V_{TUNE} = 1.4\text{ V}$
源电流/吸电流失配		2		%	1.4 V时的源电流/吸电流失配
电流步进大小		160		μA	
顺从范围		0.3至2.45		V	I_{CP} 变化范围在10%以内
PLL2噪声曲线					
本底FOM		-232		dBc/Hz	归一化至1 Hz
闪烁FOM		-266		dBc/Hz	归一化至1 Hz
FOM变化与PVT		± 3		dB	
FOM性能下降		3		dB	最低VCXO压摆率时
PLL2闪烁噪声		由公式决定2		dBc/Hz	在 f_{OUT} 、 f_{OFFSET} 时
PLL2本底噪声		由公式决定3		dBc/Hz	在 f_{OUT} 、 f_{PD2} 时
PLL2总相位噪声(无滤波)		由公式决定4		dBc/Hz	
PLL2带宽和采集时间					
支持的环路带宽(PLL2_BW)		10至700		kHz	由外部元件决定
VCO自动增益控制(AGC)建立时间 ¹		10	20	ms	初始校准前,从VCO上电开始的时间;该时间适用于VCO电源网络上外部去耦电容的100 nF/1 μF 配置
VCO校准时间 ⁵		2694		t_{PD2}	N2从8到31
		779		t_{PD2}	N2从32到256
		214		t_{PD2}	N2从256到4095
		139		t_{PD2}	N2 > 4095
温度范围后校准 ¹	-40		+85	$^{\circ}\text{C}$	从任意温度到任意温度保持锁定
PLL2线性采集时间		5/PLL2_BW		sec	VCXO停止摆动后到稳态
PLL2锁定检测定时器周期 ⁵		512		t_{PD2}	低相位误差数到声明锁定

¹ 通过设计和特性保证。

² 更多有关如何计算PLL2闪烁噪声的信息,请参见“PLL2噪声计算”部分。

³ 更多有关如何计算PLL2本底噪声的信息,请参见“PLL2噪声计算”部分。

⁴ 更多有关如何计算PLL2总相位噪声(无滤波)的信息,请参见“PLL2噪声计算”部分。

⁵ t_{PD2} 是鉴相器2的周期。

VCO 特性

表 6.

参数	最小值	典型值	最大值	单位	测试条件/注释
电压控制振荡器(VCO)					
频率调谐范围,板载VCO ¹	2150		2880	MHz	低VCO典型范围
	2650		3550	MHz	高VCO典型范围
	2400		3200	MHz	保证频率范围 ²
调谐灵敏度		38至44		MHz/V	2457.6 MHz时的低频率VCO
		35至40		MHz/V	2949.12 MHz时的高频率VCO

参数	最小值	典型值	最大值	单位	测试条件/注释
开环VCO相位噪声					
$f_{OUT} = 2457.6 \text{ MHz}$					
$f_{OFFSET} = 100 \text{ kHz}$		-109		dBc/Hz	高性能模式，不包括输出网络的本底贡献
$f_{OFFSET} = 800 \text{ kHz}$		-134		dBc/Hz	
$f_{OFFSET} = 1 \text{ MHz}$		-136		dBc/Hz	
$f_{OFFSET} = 10 \text{ MHz}$		-156		dBc/Hz	
归一化相位噪声变化与频率		± 2		dB	扫描两个 VCO，所有频段；归一化为 2457.6 MHz
相位噪声变化与温度		± 2		dB	
低性能模式下相位噪声性能的下降		2		dB	

¹ 通过设计和特性保证。

² 虽然器件可以无缝支持该范围，但对于2700 Hz至2900 Hz的频率范围，随着工艺参数的改变，可能需要使用不同的VCO内核来对频率进行合成。HMC7044的内置功能可决定针对特定频率选择哪个内核以便使其位于该范围内，但可能需要通过软件来适当配置这些电路。

时钟输出分配特性

表 7.

参数	最小值	典型值	最大值	单位	测试条件/注释
时钟输出偏斜					
CLKOUTx/CLKOUTx至 SCLKOUTx/SCLKOUTx一个时钟输 出对内偏斜		15		ps	同一对、同一类型端接和配置
任意CLKOUTx/CLKOUTx至任意 SCLKOUTx/SCLKOUTx		30		ps	任意对、同一类型端接和配置
时钟输出分频器 12位分频器范围	1		4094		1、3、5以及直至4094的所有偶数
SYSREF时钟输出分频器 12位分频器范围	1		4094		1、3、5以及直至4094的所有偶数；脉冲发生器 仅支持32及以上的分频比
时钟输出模拟微调延迟					
模拟微调延迟					
调节范围 ¹	135		670	ps	24个延迟步进， $f_{CLKOUT} = 983.04 \text{ MHz}$ $f_{CLKOUT} = 983.04 \text{ MHz} (2949.12 \text{ MHz}/3)$
分辨率		25		ps	
最大模拟微调延迟频率		1600		MHz	
时钟输出粗调延迟（基于触发器）					
粗调延迟调节范围	0		17	$\frac{1}{2}$ VCO周期	17个延迟步进，周期为 $\frac{1}{2}$ VCO $f_{VCO} = 2949.12 \text{ MHz}$
粗调延迟分辨率		169.54		ps	
最大频率粗调延迟		1600		MHz	
时钟输出粗调延迟（基于周跳）					
粗调延迟					
调节范围		1至 ∞		VCO周期	$f_{VCO} = 2949.12 \text{ MHz}$
分辨率		339.08		ps	
最大频率粗调延迟		1600		MHz	

¹ 通过设计和特性保证。

杂散特性

表 8.

参数	最小值	典型值	最大值	单位	测试条件/注释
参考杂散性能 122.88 MHz及其谐波		-70		dBc	

噪声和抖动特性

表 9.

参数	最小值	典型值	最大值	单位	测试条件/注释
闭环相位噪声—宽环路滤波器 SSB相位噪声 2457.6 MHz时 ¹					针对最佳积分噪声
		-98.0		dBc/Hz	失调 = 100 Hz
		-111.1		dBc/Hz	失调 = 1 kHz
		-119.8		dBc/Hz	失调 = 10 kHz
		-125.2		dBc/Hz	失调 = 100 kHz
		-126.9		dBc/Hz	失调 = 300 kHz
		-131.3		dBc/Hz	失调 = 1 MHz
		-150.0		dBc/Hz	失调 = 5 MHz
		-154.0		dBc/Hz	失调 = 10 MHz
		-156.3		dBc/Hz	失调 = 100 MHz
		44.0		fs	积分抖动 = 12 kHz至20 MHz
614.4 MHz时 ¹					
		-110.4		dBc/Hz	失调 = 100 Hz
		-122.8		dBc/Hz	失调 = 1 kHz
		-131.3		dBc/Hz	失调 = 10 kHz
		-136.6		dBc/Hz	失调 = 100 kHz
		-138.3		dBc/Hz	失调 = 300 kHz
		-142.7		dBc/Hz	失调 = 1 MHz
		-157.6		dBc/Hz	失调 = 5 MHz
		-158.8		dBc/Hz	失调 = 10 MHz
		-159.2		dBc/Hz	失调 = 100 MHz
		50.0		fs	积分抖动 = 12 kHz至20 MHz
闭环相位噪声—窄环路滤波器 SSB相位噪声 2949.12 MHz时 ²					针对最佳800 kHz失调
		-100.9		dBc/Hz	失调 = 100 Hz
		-103.8		dBc/Hz	失调 = 1 kHz
		-106.9		dBc/Hz	失调 = 10 kHz
		-109.9		dBc/Hz	失调 = 100 kHz
		-132.3		dBc/Hz	失调 = 800 kHz
		-134.5		dBc/Hz	失调 = 1 MHz
		-152		dBc/Hz	失调 = 10 MHz
		-155.3		dBc/Hz	失调 = 100 MHz
		108		fs	积分抖动 = 12 kHz至20 MHz

参数	最小值	典型值	最大值	单位	测试条件/注释
983.04 MHz时 ²		-110.4 -113.3 -116.4 -119.4 -141.7 -143.7 -157.1 -157.1 102		dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz dBc/Hz fs	失调 = 100 Hz 失调 = 1 kHz 失调 = 10 kHz 失调 = 100 kHz 失调 = 800 kHz 失调 = 1 MHz 失调 = 10 MHz 失调 = 100 MHz 积分抖动: 12 kHz至20 MHz
输出网络本底FOM 具有100 Ω内部端接的CML (CML100)					
基频模式		-250			高性能
1分频至N分频		-248			高性能
1分频至N分频		-247			低功耗 (功耗低4 dB)
LVPECL					
基频模式		-250			高性能
1分频至N分频		-247			高性能
1分频至N分频		-246			低功耗 (功耗低4 dB)
LVDS					
1分频至N分频		-244			高性能
1分频至N分频		-243			低功耗 (功耗低4 dB)
谐波导致的相位噪声性能下降 ³					
仅基频		0.00			dB
三次谐波		0.25			dB
三次和五次谐波		0.40			dB
三次、五次和七次谐波		0.50			dB
三次、五次、七次和九次谐波		0.53			dB
三次到六十一谐波		0.64			dB
相位噪底和抖动					
相位噪底(f_{out})		由公式决定 ⁴			dBc/Hz
本底抖动密度(f_{out})		由公式决定 ⁵			sec/ $\sqrt{\text{Hz}}$
本底导致的RMS加性抖动		由公式决定 ⁶			sec
					来自 f_{out} 和输出通道FOM

¹ PLL2在122.88 MHz × 2 × 10处锁定, 宽(600 kHz)环路滤波器针对最佳12 kHz至20 MHz抖动, CML100高性能输出缓冲器。

² PLL2在122.88 MHz × 2 × 12处锁定, 窄环路滤波器针对最佳800 Hz失调, CML100高性能输出滤波器。

³ 当信号谐波在接收仪表/电路的测量带宽中捕获, 这些谐波的噪声功率可能会折叠并影响总噪声。它们的存在产生dB级影响。例如, 假设三次谐波位于-10 dBc, 则在所有失调中, 存在比基频更低的额外10 dB噪声贡献因素在带内折叠, 导致性能整体下降0.2 dB。导致性能下降的谐波影响主要是缓冲器带宽频率与三次、五次和七次谐波的函数关系。随着输出频率下降, 更多谐波落入观察带宽内, 性能进一步下降, 但只是略微下降。如果最多包括六十一谐波, 那么此效应将最多导致性能下降0.65 dB。

⁴ 有关如何计算相位噪底的更多信息, 请参见“相位噪底和抖动”部分。

⁵ 有关如何计算本底抖动密度的更多信息, 请参见“相位噪底和抖动”部分。

⁶ 有关如何计算本底导致RMS加性抖动的更多信息, 请参见“相位噪底和抖动”部分。

时钟输出驱动器特性

表 10.

参数	最小值	典型值	最大值	单位	测试条件/注释
CML模式 (低功耗)					$R_L = 100 \Omega$, 9.6 mA
-3 dB带宽		1950		MHz	差分输出电压 = 980 mV p-p差分
输出上升时间		175		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		145		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出下降时间		185		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		145		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
差分输出电压幅度		1390		mV p-p差分	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
		1360		mV p-p差分	$f_{CLKOUT} = 983.04$ MHz (2949.12 MHz/3)
共模输出电压		$V_{CC} - 1.05$		V	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
CML模式 (高功耗)					$R_L = 100 \Omega$, 14.5 mA
3 dB带宽		1400		MHz	差分输出电压 = 1410 mV p-p差分
输出上升时间		250		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		165		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出下降时间		255		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		170		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
差分输出电压幅度		2000		mV p-p差分	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
		1800		mV p-p差分	$f_{CLKOUT} = 983.04$ MHz (2949.12 MHz/3)
共模输出电压		$V_{CC} - 1.6$		V	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
LVPECL模式					$R_L = 150 \Omega$, 4.8 mA
3 dB带宽		2400		MHz	差分输出电压 = 1240 mV p-p差分
输出上升时间		135		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		130		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出下降时间		135		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		130		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
差分输出电压幅度		1760		mV p-p差分	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
		1850		mV p-p差分	$f_{CLKOUT} = 983.04$ MHz (2949.12 MHz/3)
共模输出电压		$V_{CC} - 1.3$		V	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
LVDS模式 (低功耗)					1.75 mA
最大工作频率		600		MHz	差分输出电压 = 400 mV p-p差分
输出上升时间		135		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		100		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出下降时间		135		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		95		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
差分输出电压幅度		390		mV p-p差分	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
共模输出电压		1.1		V	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
LVDS模式 (高功耗)					3.5 mA
最大工作频率		1700		MHz	差分输出电压 = 650 mV p-p差分
输出上升时间		145		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		105		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出下降时间		145		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
		100		ps	$f_{CLKOUT} = 983.04$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
差分输出电压幅度		750		mV p-p差分	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)
		730		mV p-p差分	$f_{CLKOUT} = 983.04$ MHz (2949.12 MHz/3)
共模输出电压		1.1		V	$f_{CLKOUT} = 245.76$ MHz (2949.12 MHz/12)

参数	最小值	典型值	最大值	单位	测试条件/注释
CMOS模式					
-3 dB带宽		600		MHz	差分输出电压 = 940 mV p-p差分
输出上升时间		425		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
输出下降时间		420		ps	$f_{CLKOUT} = 245.76$ MHz, 20%至80%
输出占空比 ¹	47.5	50	52.5	%	$f_{CLKOUT} = 1075$ MHz (2150 MHz/2)
输出电压					
高电平		$V_{CC} - 0.07$		V	负载电流 = 1 mA
		$V_{CC} - 0.5$		V	负载电流 = 10 mA
输出		0.07		V	负载电流 = 1 mA
		0.5		V	负载电流 = 10 mA

¹ 通过设计和特性保证。

绝对最大额定值

表 11.

参数	额定值
VCC1_VCO, VCC2_OUT, VCC3_SYSREF, VCC4_OUT, VCC5_PLL1, VCC6_OSCOUT, VCC7_PLL2, VCC8_OUT, VCC9_OUT	-0.3V至+3.6V
最大结温(T _j)	125°C
最大峰值回流焊温度	260°C
热阻 (通道至地焊盘)	7°C/W
存储温度范围	-65°C至+150°C
工作温度范围	-40°C至+85°C
ESD灵敏度水平	
人体模型	1C级
充电器件模型 ¹	3级

¹ 根据JESD22-C101-F (CDM)标准。

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

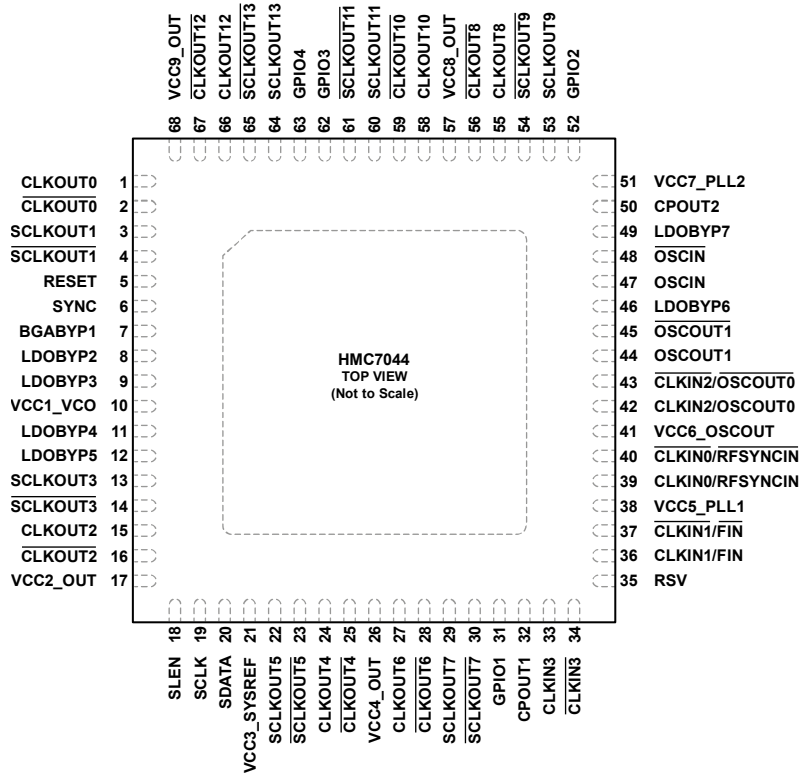
ESD 警告



ESD（静电放电）敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

绝对最大额定值



NOTES
1. EXPOSED PAD. CONNECT THE EXPOSED PAD TO A HIGH QUALITY RF/DC GROUND.

13033-002

图 2. 引脚配置

表 12. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	CLKOUT0	O	时钟输出通道0 (+)。默认DCLK配置。
2	CLKOUT0	O	时钟输出通道0 (-)。默认DCLK配置。
3	SCLKOUT1	O	时钟输出通道1 (+)。默认SYSREF配置。
4	SCLKOUT1	O	时钟输出通道1 (-)。默认SYSREF配置。
5	RESET	I	器件复位输入。高电平有效。正常工作时，将RESET置0。
6	SYNC	I	同步输入。此引脚用于多芯片同步。如果不使用，则将SYNC置0。
7	BGABYP1		带隙旁路电容连接。将4.7 μF电容接地。此引脚影响所有内部调节电源。
8	LDOBYP2		LDO旁路2。将4.7 μF电容接地。内部数字电源为1.8 V。此引脚用于PLL1、PLL2和SYSREF部分的LDO旁路。
9	LDOBYP3		LDO旁路3。将4.7 μF电容接地。此引脚是PLL1、鉴频鉴相器1 (PFD1)、电荷泵1 (CP1)、RF同步 (RFSYNC)和引脚36缓冲器的2.8 V电源。
10	VCC1_VCO	P	VCO和VCO分配的3.3 V电源。
11	LDOBYP4		LDO旁路4。将1 μF电容接地。此引脚是VCO电源的第一级调节器。
12	LDOBYP5		LDO旁路5。将0.1 μF电容连接到LDOBYP5。此引脚是VCO核心电源电压。
13	SCLKOUT3	O	时钟输出通道3 (+)。默认SYSREF配置。
14	SCLKOUT3	O	时钟输出通道3 (-)。默认SYSREF配置。
15	CLKOUT2	O	时钟输出通道2 (+)。默认DCLK配置。
16	CLKOUT2	O	时钟输出通道2 (-)。默认DCLK配置。
17	VCC2_OUT	P	时钟组1 (西南) 电源 — 通道2和通道3。参见“时钟分组、偏斜和串扰”部分。
18	SLEN	I	SPI锁存使能。

引脚编号	引脚名称	类型 ¹	描述
19	SCLK	I	SPI时钟。
20	SDATA	I/O	SPI数据。
21	VCC3_SYSREF	P	通用SYSREF分频器电源。
22	SCLKOUT5	O	时钟输出通道5 (+)。默认SYSREF配置。
23	SCLKOUT5	O	时钟输出通道5 (-)。默认SYSREF配置。
24	CLKOUT4	O	时钟输出通道4 (+)。默认DCLK配置。
25	CLKOUT4	O	时钟输出通道4 (-)。默认DCLK配置。
26	VCC4_OUT	P	时钟组2 (南) 电源 — 通道4、通道5、通道6和通道7。参见“时钟分组、偏斜和串扰”部分。
27	CLKOUT6	O	时钟输出通道6 (+)。默认DCLK配置。
28	CLKOUT6	O	时钟输出通道6 (-)。默认DCLK配置。
29	SCLKOUT7	O	时钟输出通道7 (+)。默认SYSREF配置。
30	SCLKOUT7	O	时钟输出通道7 (-)。默认SYSREF配置。
31	GPIO1	I/O	可编程通用输入/输出1。
32	CPOUT1	O	PLL1电荷泵输出。
33	CLKIN3	I	PLL1真参考时钟输入3。
34	CLKIN3	I	PLL1互补参考时钟输入3。
35	RSV	R	保留引脚。此引脚必须接地。
36	CLKIN1/FIN	I	PLL1真参考时钟输入1/外部VCO模式的外部VCO输入。
37	CLKIN1/FIN	I	PLL1互补参考时钟输入1/外部VCO模式的互补外部VCO输入。
38	VCC5_PLL1	P	LDO电源，用于PLL1。
39	CLKIN0/RFSYNCIN	I	PLL1真参考时钟输入0/具有确定性延迟的RF同步输入。
40	CLKIN0/RFSYNCIN	I	PLL1互补参考时钟输入0/具有确定性延迟的互补RF同步输入。
41	VCC6_OSCOUT	P	振荡器输出路径电源。
42	CLKIN2/OSCOUT0	I/O	PLL1真参考时钟输入2 (双向引脚)/振荡器输入的缓冲输出0。
43	CLKIN2/OSCOUT0	I/O	PLL1互补参考时钟输入2 (双向引脚)/振荡器输入的互补缓冲输出0。
44	OSCOUT1	O	振荡器输入的真缓冲输出1。
45	OSCOUT1	O	振荡器输入的互补缓冲输出1。
46	LDOBYP6		LDO旁路，将4.7 μF电容接地。此引脚用于R2、N2、鉴频鉴相器2 (PFD2)、电荷泵2 (CP2)和PLL2环路滤波器的LDO旁路。
47	OSCIN	I	PLL1真反馈输入。此引脚用于PLL2的参考输入。
48	OSCIN	I	PLL1互补反馈输入。此引脚用于PLL2的参考输入。
49	LDOBYP7		LDO旁路。将4.7 μF电容接地。此引脚用于VCXO缓冲器和倍频器振荡器输出分频器的LDO旁路。
50	CPOUT2	I/O	PLL2电荷泵输出。
51	VCC7_PLL2	P	PLL2 LDO电源。
52	GPIO2	I/O	可编程通用输入/输出2。
53	SCLKOUT9	O	时钟输出通道9 (+)。默认SYSREF配置。
54	SCLKOUT9	O	时钟输出通道9 (-)。默认SYSREF配置。
55	CLKOUT8	O	时钟输出通道8 (+)。默认DCLK配置。
56	CLKOUT8	O	时钟输出通道8 (-)。默认DCLK配置。
57	VCC8_OUT	P	时钟组3 (北) 电源 — 通道8、通道9、通道10和通道11。参见“时钟分组、偏斜和串扰”部分。
58	CLKOUT10	O	时钟输出通道10 (+)。默认DCLK配置。
59	CLKOUT10	O	时钟输出通道10 (-)。默认DCLK配置。
60	SCLKOUT11	O	时钟输出通道11 (+)。默认SYSREF配置。
61	SCLKOUT11	O	时钟输出通道11 (-)。默认SYSREF配置。
62	GPIO3	I/O	可编程通用输入/输出3。默认为睡眠输入。
63	GPIO4	I/O	可编程通用输入/输出4。默认为脉冲发生器请求。
64	SCLKOUT13	O	时钟输出通道13 (+)。默认SYSREF配置。

引脚编号	引脚名称	类型 ¹	描述
65	SCLKOUT13	O	时钟输出通道13 (-)。默认SYSREF配置。
66	CLKOUT12	O	时钟输出通道12 (+)。默认DCLK配置。
67	CLKOUT12	O	时钟输出通道12 (-)。默认DCLK配置。
68	VCC9_OUT	P	时钟组0 (西北) 电源 — 通道0、通道1、通道12和通道13。参见“时钟分组、偏斜和串扰”部分。
	EP		裸露焊盘。将裸露焊盘连接至高质量RF/直流地。

¹ O 表示输出，I 表示输入，P 表示电源，I/O 表示输入/输出。

典型性能参数

除非另有说明，PFD PLL1 = 7.68 MHz，PFD PLL2 = 122.88 MHz × 2； $I_{CP1} = 1.92 \text{ mA}$ ， $I_{CP2} = 2.56 \text{ mA}$ （宽环路）， $I_{CP2} = 1.12 \text{ mA}$ （窄环路），PLL1 环路带宽约为 70 Hz，PLL2 宽环路带宽约为 650 kHz，PLL2 窄环路带宽约为 215 kHz，PLL2 窄环路滤波器 = $1.1 \text{ nF} | 160 \Omega \times 33 \text{ nF}$ ；PLL2 宽环路滤波器 = $150 \text{ pF} | 430 \Omega \times 4.7 \text{ nF}$ ；PLL1 环路滤波器 = $4.7 \text{ nF} | 10 \mu\text{F} \times 1.2 \text{ k}\Omega$ 。

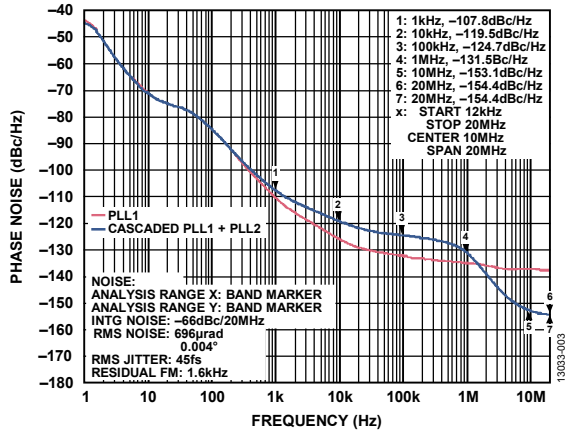


图3. 2457.6 MHz时的级联相位噪声 (PLL2宽环路带宽)

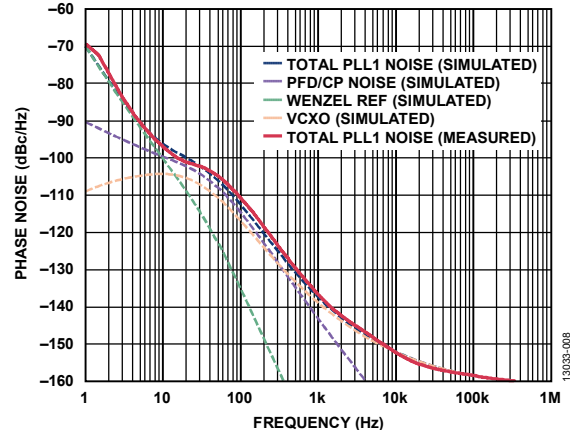


图6. 122.88 MHz时的闭环相位噪声 (PLL1测量值与仿真值, 干净参考源, 环路带宽约70 Hz, 相位裕量80°)

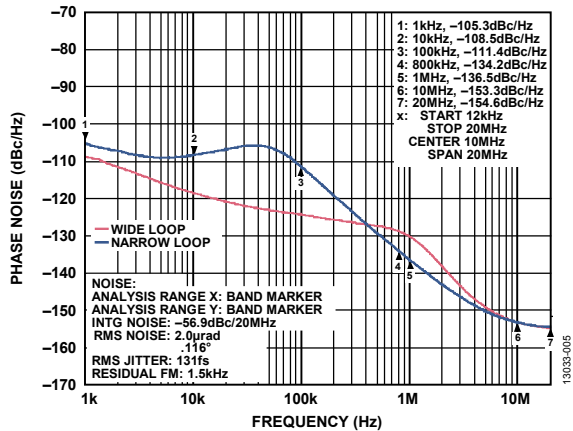


图4. 2457.6 MHz时的相位噪声 (PLL2窄和宽环路带宽)

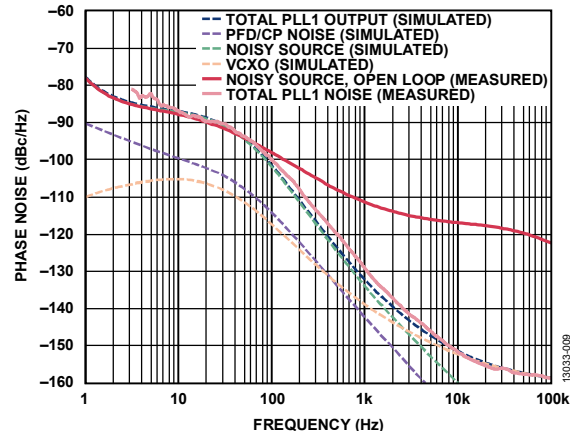


图7. 122.88 MHz时的闭环相位噪声 (PLL1测量值与仿真值, 高噪声参考源, 环路带宽约70 Hz, 相位裕量80°)

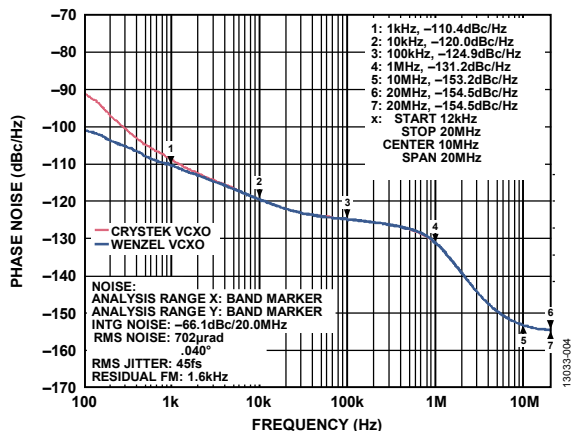


图5. PLL2相位噪声与频率的关系 (2457.6 MHz时的VCXO质量, 宽环路带宽)

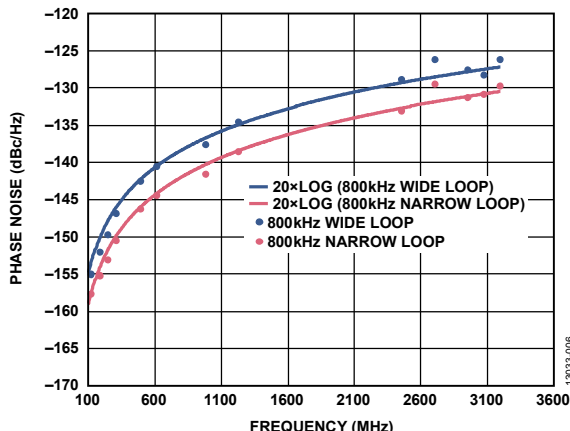


图8. 相位噪声与频率的关系 (通用输出频率)

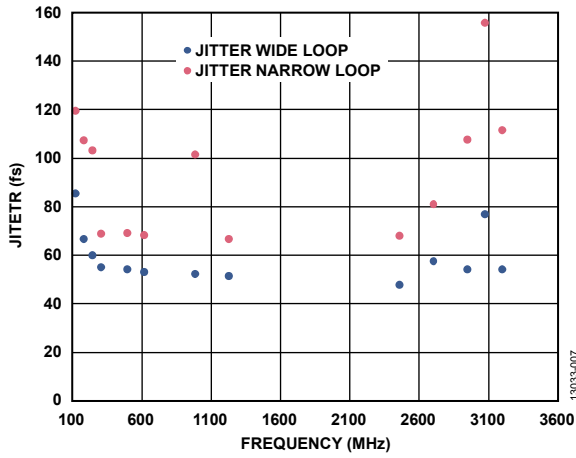


图9. 12 kHz至20 MHz抖动与频率的关系
(通用输出频率时的宽环路和窄环路)

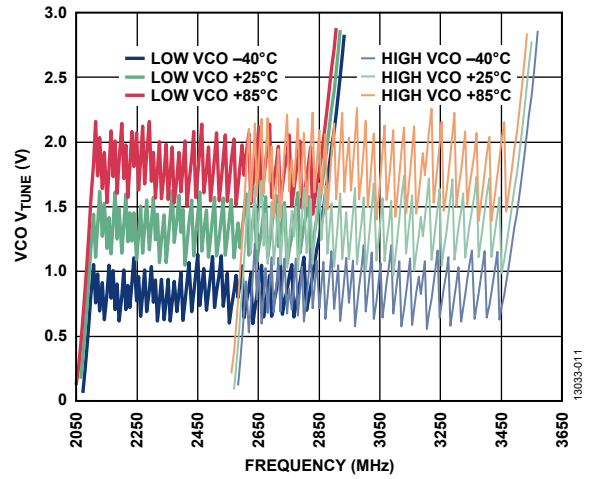


图12. VCO V_{TUNE} 与频率的关系

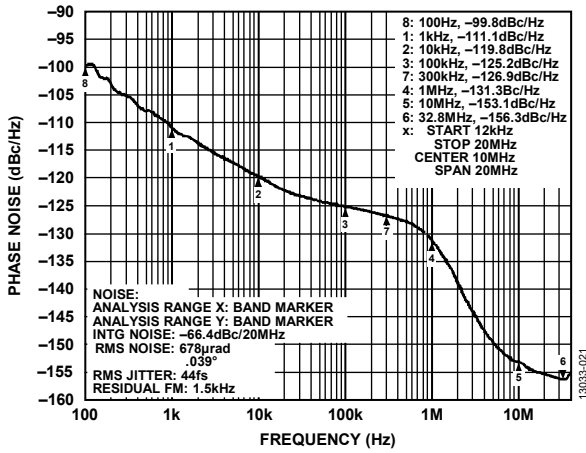


图10. 相位噪声 ($CLKOUT_x/CLKOUT_x = 2457.6$ MHz, 针对 12 kHz 至 20 MHz 的最佳积分抖动优化)

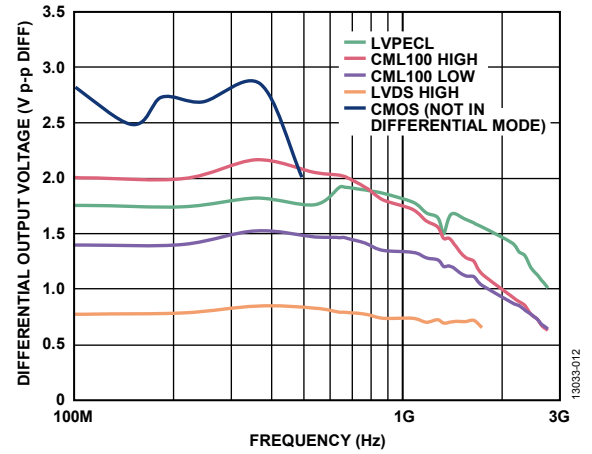


图13. 不同模式下差分输出电压与频率的关系

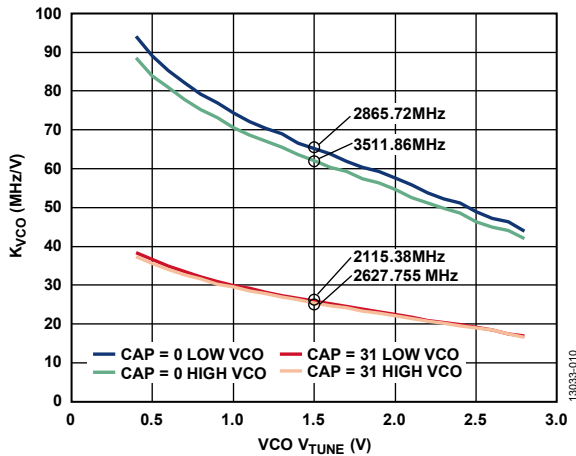


图11. VCO增益(K_{VCO})与VCO V_{TUNE} 的关系

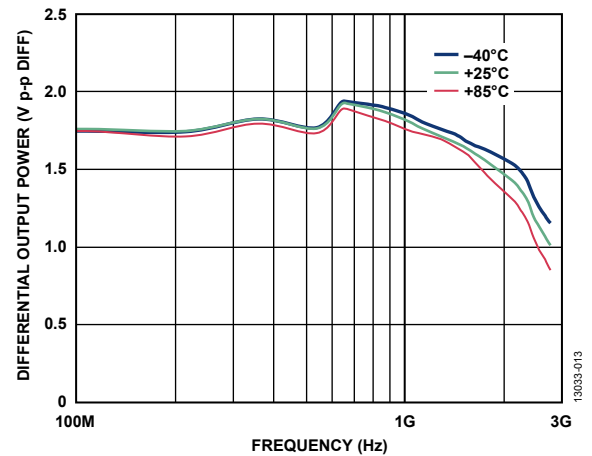


图14. 不同温度下LVPECL差分输出电压与频率的关系

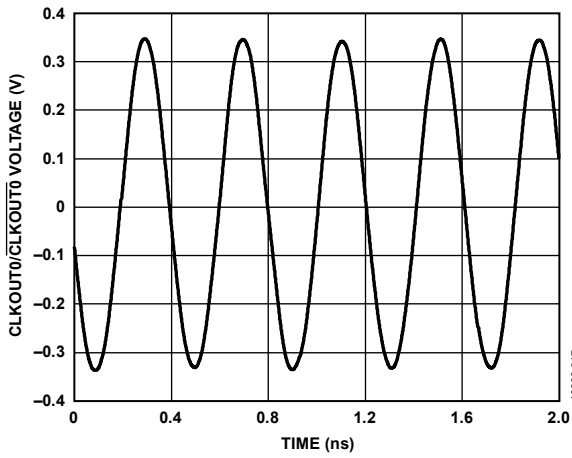


图15. 差分CLKOUT0/CLKOUT0 (2457 MHz, LVPECL)

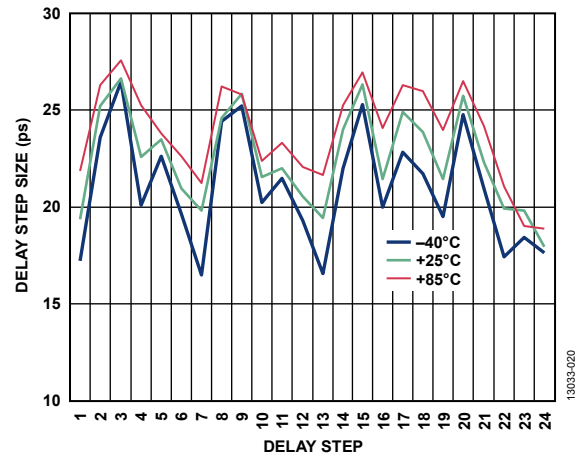


图17. 温度范围内的模拟延迟步长与延迟步进的关系 (1474.56 MHz时的LVPECL)

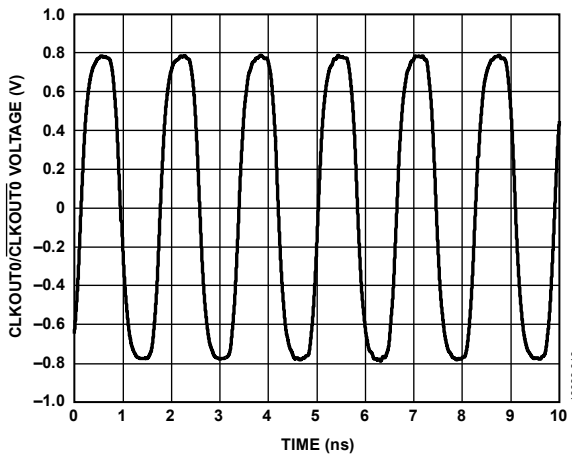


图16. 差分CLKOUT0/CLKOUT0电压 (614.4 MHz, LVPECL)

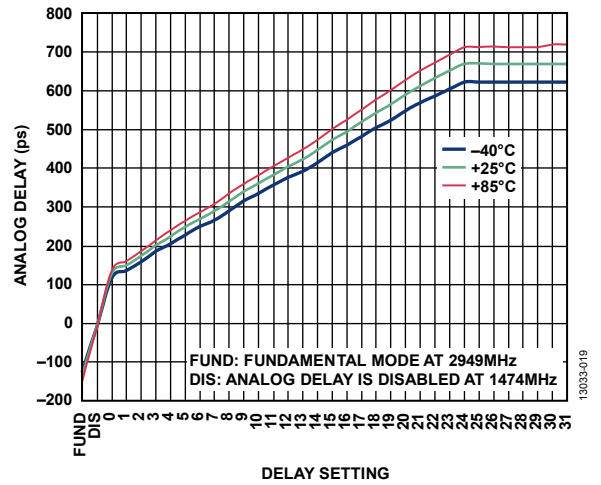


图18. 温度范围内的模拟延迟与延迟设置的关系 (1474.56 MHz时的LVPECL)

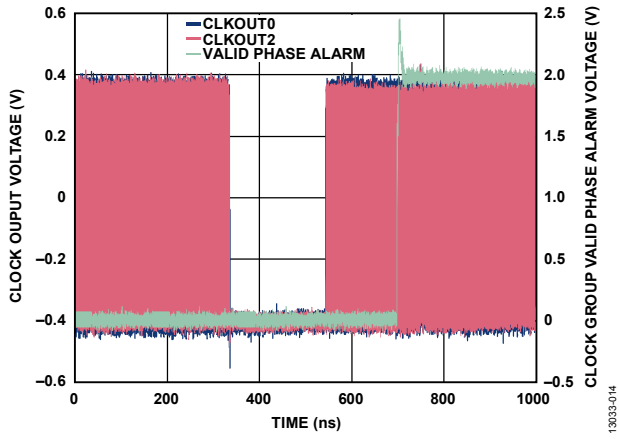


图19. 相位校准前后的输出通道同步

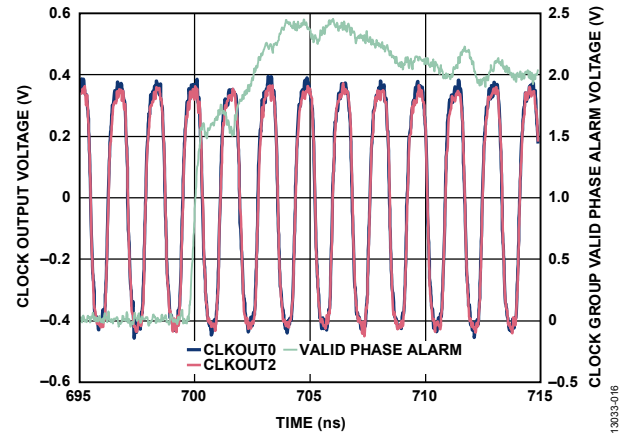


图21. 相位校准后的输出通道同步

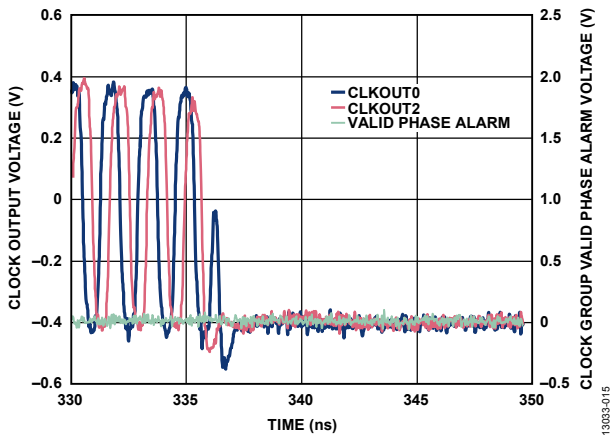


图20. 相位校准前的输出通道同步

典型应用电路

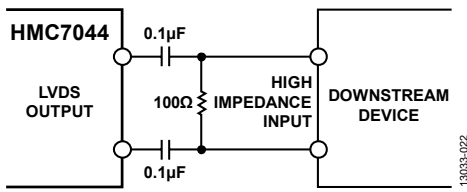


图22. 交流耦合LVDS输出驱动器

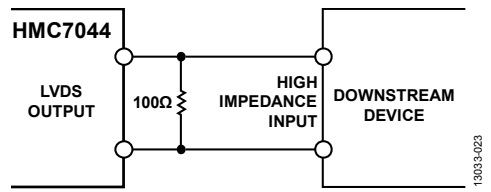


图26. 直流耦合LVDS输出驱动器

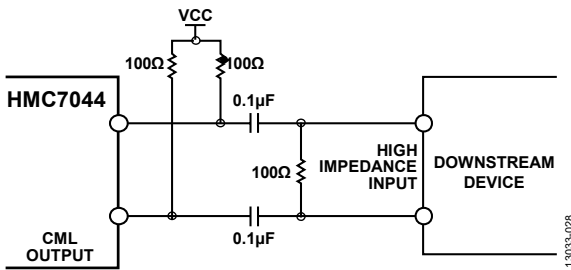


图23. 交流耦合CML（配置为高阻态）输出驱动器

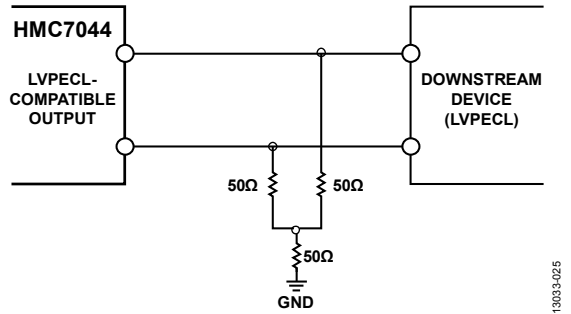


图27. 直流耦合LVPECL输出驱动器

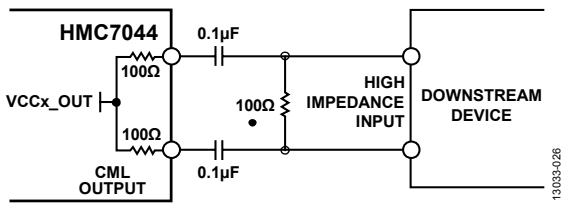


图24. 交流耦合CML（内部）输出驱动器

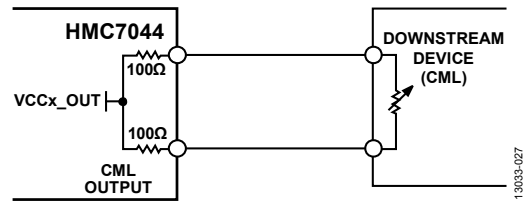


图28. 直流耦合CML（内部）输出驱动器

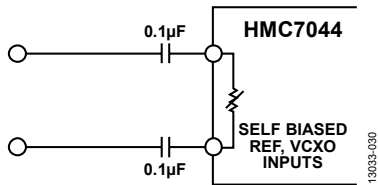


图25. CLKIN0/CLKIN0、CLKIN1/CLKIN1、CLKIN2/CLKIN2、CLKIN3/CLKIN3和OSCIN/OSCIN输入（差分模式）

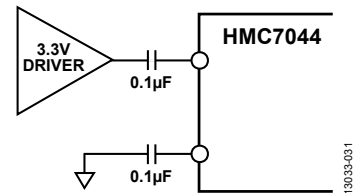


图29. CLKIN0、CLKIN1、CLKIN2、CLKIN3和OSCIN输入（单端模式）

术语

相位抖动

理想情况下，在正弦波的每个周期，相位都会随着时间从 0° 连续均匀地变化到 360° 。不过，实际信号的相位随时间的变化与理想情况会有一定的偏差，这种现象就是相位抖动。导致相位抖动的原因有许多，其中一个主要原因是随机噪声，其统计特征为高斯（正则）分布。

这种相位抖动导致正弦波能量在频域中扩散，产生连续的功率频谱。通常将该功率频谱报告为相对于正弦波（载波）的给定频率偏移下的一系列值，其单位为 dBc/Hz。该值是 1 Hz 带宽内包含的功率与载波频率时的功率之比（用 dB 表示）。对于每次测量，还会给出相对于载波频率的偏移。

相位噪声

对一定偏移频率区间（例如 10 kHz 到 10 MHz）内所含的总功率进行积分很有意义。这称为该频率偏移区间内的积分相位噪声，它与该偏移频率区间内的相位噪声所引起的时间抖动直接相关。

相位噪声对 ADC、DAC 和 RF 混频器的性能有不利影响。虽然影响方式不同，但它会降低转换器和混频器可实现的动态范围。

时间抖动

相位噪声是一种频域现象。在时域内，该效应表现为时间抖动。观察正弦波时，连续过零的时间并不固定。方波中，时间抖动表现为边沿偏离其理想（规则）的出现时间。这两种情况下，实际时序与理想时序的偏差即为时间抖动。这些偏差是随机的，因此用均方根(rms)秒或高斯分布的 1σ 来规定时间抖动。

出现在 DAC 或 ADC 采样时钟上的时间抖动会降低转换器的信噪比(SNR)和动态范围。抖动最低的采样时钟可使给定转换器发挥最高性能。

加性相位噪声

加性相位噪声指可归因于受测设备或子系统的相位噪声量。所有外部振荡器或时钟源的相位抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总相位噪声的影响程度。各元件都会贡献一定的相位噪声，但在许多情况下，某个元件的相位噪声占据系统总相位噪声的主要部分。当有多个相位噪声源时，总相位噪声等于各噪声源的平方和的平方根。

加性时间抖动

加性时间抖动指可归因于受测设备或子系统的时间抖动量。所有外部振荡器或时钟源的时间抖动都会被扣除。这样，当器件结合不同的振荡器和时钟源使用时，就可以预测器件对系统总时间抖动的影响程度。各元件都会贡献一定的时间抖动，但在许多情况下，外部振荡器和时钟源的时间抖动占据系统时间抖动的主要部分。

工作原理

HMC7044 是一款高性能双环路整数 N 分频抖动衰减器,能够执行频率转换、选择参考信号并生成超低相位噪声的参考信号,支持配有并行或串行 (JESD204B 型) 接口的高速数据转换器。该器件旨在满足严格的基站设计要求,并通过多种时钟管理和分配特性来简化基带和无线电卡时钟树的设计。

HMC7044 使用双环路架构;此架构中,两个整数模式 PLL 串联,组成抖动衰减时钟乘法器单元。**HMC7044** 具有高性能双环路拓扑,可让无线/RF 系统设计人员衰减主系统参考时钟 (比如通用公共射频接口™ (CPRI)信号源) 的输入抖动,并生成低相位噪声的高频时钟来驱动数据转换器采样时钟输入。**HMC7044** 提供 14 路低噪声且可配置的输出,可以灵活地与 RF 收发器系统中的许多不同器件接口,比如数据转换器、本振、发送/接收模块、FPGA 和数字前端(DFE) ASIC。

HMC7044 中的第一个 PLL 针对低带宽配置设计,使用了合适的外部环路滤波器元件和内部电荷泵偏置设置,可实现典型值低于数百 Hz 的带宽。确切的带宽滚降点取决于噪声频谱,后者必须在系统中进行衰减。第一个 PLL 锁定外部 VCXO,为第二个高性能 PLL 环路提供时钟保持功能和参考频率。环路组合形成了出色的时钟生成单元,可衰减输入参考时钟抖动。第二个 PLL 环路具有两个可通过 SPI 选择的交叠片内 VCO,中心频率分别为 2.5 GHz 和 3 GHz。两个 VCO 均针对宽输出频率范围的宽调谐范围设计。所需的输出频率由所选 VCXO 频率、VCO 核心 (高频或低频核心) 以及经过编程的第二个 PLL 反馈分频器和输出通道分频器值确定。

HMC7044 可产生最多 7 对 DCLK 和 SYSREF,符合 JESD204B 接口要求。系统设计人员可生成较少的 DCLK 和 SYSREF 对,然后按需将其余输出信号路径配置为 DCLK 或更多 SYSREF,或者配置为可独立调节相位和频率的更多参考时钟。通过选择适当的输出分频值,可实现频率调节。**HMC7044** 的独特特性之一是对 14 个通道分别进行独立灵活的相位管理。综合使用分频器基于周跳、数字/粗调和模拟/微调延迟调节,则各通道可编程设置不同的相位失调。相位调节能力让设计人员偏移电路板传播时间延迟变化和数字转换器采样窗口匹配,并应对 JESD204B 的同步难题。**HMC7044** 输出信号路径的设计确保相位调节电路导通时,相位调节步进是线性的,以及噪声干扰最小。

JESD204B 系统设计的关键挑战之一是保证系统——从 FPGA 或 DFE 到 ADC 和 DAC——通过大型时钟树的数据转换器帧一致同步;该时钟树可能由多个时钟生成和分配 IC 组成。**HMC7044** 经过专门设计,具有可以应对这些挑战的特性。使用 SYSREF 有效中断故障功能,可以减少 FPGA 中的等待时间延迟。当所有计数器置位且输出位于所需相位时,**HMC7044** 通过其 GPO 端口拉高此标志。另外,外部基于参考信号的同步功能 (PLL2 SYNC 或仅在扇出模式下的 RF SYNC) 可同步多个器件,也就是说,它可以确保所有时钟输出从同一个上升沿开始。以确定性延迟的方式对 SYSREF 控制单元进行相位校准,然后采用所需要的新相位重启输出分频器即可完成该操作。

这款器件具有出色的串扰、频率隔离以及杂散性能,可在单端和差分格式下生成独立频率。4 个输入参考选项最多允许使用 3 个备用频率源,具有无性能损失的开关和保持能力,支持系统冗余和参考数据以及时钟故障时无中断工作。器件还具有专用的振荡器扇出模式,用于实现最佳时钟隔离,可生成 VCXO 时钟的多个副本并分配至电路板,获得出色的频率隔离性能。

DCLK 和 SYSREF 时钟输出可配置为支持差分信号标准,包括 CML、LVDS、LVPECL 和 LVCMOS;不同的偏置条件可抵消变化的电路板插入损耗。输出还可编程配置为交流或直流耦合,以及 50 Ω 或 100 Ω 内部和外部端接选项。

HMC7044 通过三线式串行端口接口(SPI)编程,以默认配置上电,生成 VCO 调谐范围内的有效输出频率,而无论是否存在参考时钟。

HMC7044 采用 68 引脚、10 mm × 10 mm LFCSP 封装,具有接地的裸露焊盘。

请注意,在整篇数据手册中,多功能引脚 (比如 CLKIN0/RFSYNCIN) 由整个引脚名称或引脚的单个功能表示;例如 CLKIN0 即表示仅与此功能相关。

双通道 PLL 概述

HMC7044 采用两个 PLL 级联，称为双通道环路拓扑。术语“双通道环路”有时候也用来指代其它架构；因此，应当始终参考图 30 中的功能框图，消除歧义。在该架构下，第一个 PLL (PLL1) 通常用作抖动衰减器。PLL1 通过极窄的环路带宽，将干净的本地 VCXO 锁定至相对嘈杂的参考环境中。环路带宽保留参考信号的平均频率（这通常是正确的），同时抑制大部分噪声。第二个 PLL 将该低噪声 VCXO 倍频至 VCO 频率（2 GHz 至 3 GHz 范围），加性噪声极小。该架构的优势是输出频率锁定至输入参考信号，同时对噪声曲线不敏感。

在诸如 HMC7044 等 IC 中，VCO 随后连接输出通道阵列，阵列中的每一条通道都有一个可选 RF 分频器和相位控制。将 IC 与 JESD204B 区别开来的关键特性是确保带有相应分频器的全部输出——无论其工艺、电压或温度如何——每一次都具有用户定义相位关系的能力。对于支持 JESD204B SERDES 标准的数据转换器而言，这种能力是必要的；但对于其它应用而言——所有类型的阵列系统以及很多测试和测量场景中——这种特性也是非常有用的。

元件模块—输入 PLL (PLL1)

PLL1 概述 (抖动衰减器)

各种本地时钟——尤其在同步网络中——从网络的远程节点中获取时序。这些参考信号可能通过 GPS 接收，也可能通过时钟数据恢复(CDR)接收器接收，或者通过各种其它来源接收。通常这些获取的参考信号的杂散成分、噪声和可靠性等质量相对较差。

PLL1 的功能是将干净的 VCXO 锁定至这些参考信号平均频率的其中之一，然后馈入 PLL2，生成高质量时钟，供本地使用。此外，PLL1 监控其故障的有源参考，并平滑采取适当措施，比如切换到冗余参考或适当进入保持状态。图 31 显示了 PLL1 架构，采用典型频率配置。

抖动衰减

为了对抖动进行衰减，PLL1 包含 PLL 常见的所有组件：鉴频鉴相器(PFD1)、电荷泵(CP1)、参考分频器(R1)和反馈分频器(N1)。外置环路滤波器提供最大灵活性，环路带宽(BW)通常配置为极窄（20 Hz 至 500 Hz），以便过滤来自相对质量较差的参考信号的抖动和杂散音。

PLL1 噪声曲线通常取决于环路带宽、输入参考噪声和 VCXO 特性。在某个应用中，PLL1 的固有噪声源（PFD、分频器和电荷泵）通常不可见，且相比 PLL2 要宽松得多。

注意，如果 PFD 速率、电荷泵电流和 VCXO 特性不变，则电路板上的环路滤波器组件通常配置为产生特定环路带宽。调节这些参数中任意一个的标称值都会影响环路动态，这对于用户来说可能有好处（比如通过电荷泵电流调节环路带宽），但执行操作前必须首先分析环路稳定性。ADI 提供多种软件工具，可用来设计环路滤波器，并对参数任何变化的影响进行建模。若要获取最新的建议，请联系 ADI 公司。

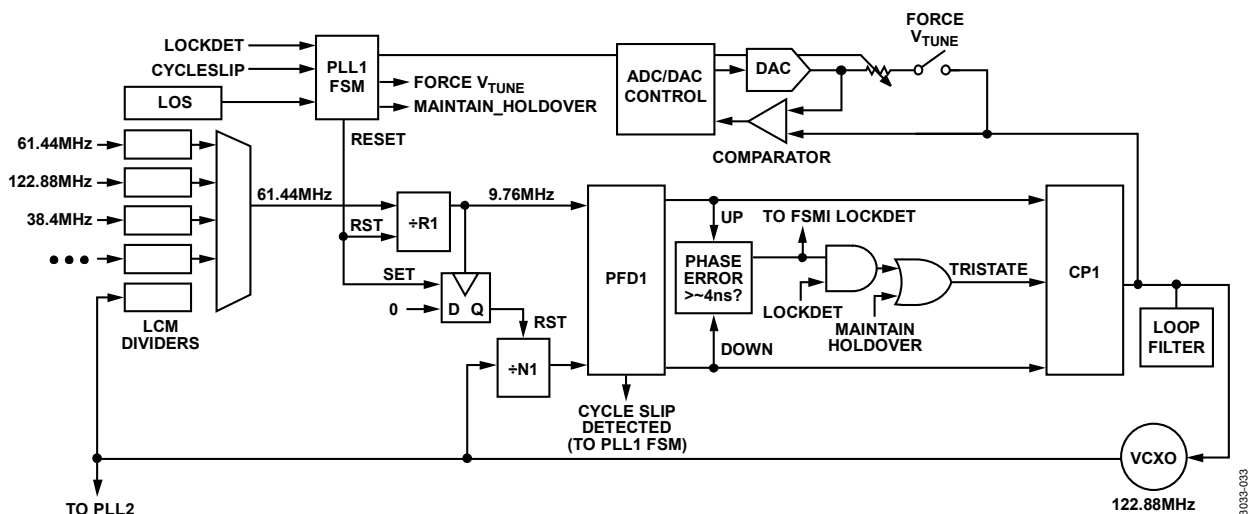


图 31. 采用典型频率配置的 PLL1 架构

锁定检测

PLL1 和 PLL2 的锁定检测电路功能相同。它们计数 PFD 相位误差低于阈值的连续时钟周期。任何高于此阈值的相位误差都会复位计数器，使计数器重启。当计数器达到编程限值时，发出锁定检测信号，计数器时钟关断以降低功耗/耦合，直至较大的相位误差重启该过程。

虽然 PLL2 环路带宽相对定义良好，但 PLL1 环路带宽在任意应用中都可能存在极大的不同之处。寄存器 0x0028 中的 SPI 字 (PLL1 锁定检测定时器[4:0]) 配置 PLL1 锁定检测定时器，并寻找相位误差低于大约 4 ns 的 $2^{\text{PLL1 锁定检测定时器}[4:0]}$ 的连续 LCM 时钟周期，以发出锁定检测信号。由于 PLL1 环路带宽可能会根据不同的应用而大为不同，用户必须设置阈值，从而使 $2^{\text{PLL1 锁定检测定时器}[4:0]}$ LCM 周期等于环路时间常数的 2 倍到 4 倍。例如，若 $f_{\text{LCM}} = 61.44 \text{ MHz}$ 且环路带宽为 200 Hz，应将 PLL1 锁定检测定时器[4:0] 设为 19 或 20。如果该值设得太高，则锁定检测电路会花费过长的时间来指示相位稳定后的锁定状态。如果该值设得过低（例如远低于环路时间常数），则可能在采集期间不恰当地指示锁定，导致 PLL1 有限状态机(FSM)不恰当地进入和退出保持模式。

保持/参考切换概述

在冗余参考之间切换时，或所有参考均消失且 PLL1 保持开环时，通常要求防止频率偏差，因为这些偏差可能导致下游电路和通信链路使 FIFO 溢出，和/或自身失锁。

PLL1 可以工作在手动模式或(通过 automode 参考切换位)自动模式下。在手动模式下，用户使用寄存器 0x0029 中的手动模式参考切换[1:0]位选择有效参考，然后决定是否(通过强制保持位)进入保持状态。在自动模式下，PLL1 FSM 使用来自 SPI 的信号丢失(LOS)信息、相位误差数据、锁定检测和配置数据来确定如何处理参考中断。无论何种模式，所有状态指示器均可用，但 PLL1 只在自动模式下采取具有侵略性的操作。图 32 显示了 PLL1 FSM 的简化状态图。

复位时，PLL1 保持在初始(INIT)状态。当复位解除置位时，在预载入阶段，检查已使能的参考路径、参考优先级表和 LOS 指示器，以选择最有参考，然后在下一个周期中尝试锁定。若超过所需的计数且相位误差较低，则锁定检测置位，且 PLL1 转换至锁定状态。当 PLL1 锁定时，优先级冲突触发的

有效参考失锁(LOS)或参考切换事件可让 FSM 转换至保持状态，在该状态下 CP 为三态，并可能通过保持 DAC 迫使 V_{TUNE} 。当有稳定的时钟可用并且满足其它可选条件时，FSM 退出保持。有几种不同的方式可以退出保持状态，以便最大程度减少转换时相位/频率的性能下降。图 32 显示了 PLL1 FSM 的简化图。在实际部署中，保持状态分为多个与保持进入、稳定保持条件和保持退出有关的子节点。PLL1 FSM 状态始终可通过 SPI 读取（寄存器 0x0082 中的 PLL1 FSM 状态[2:0]位）。

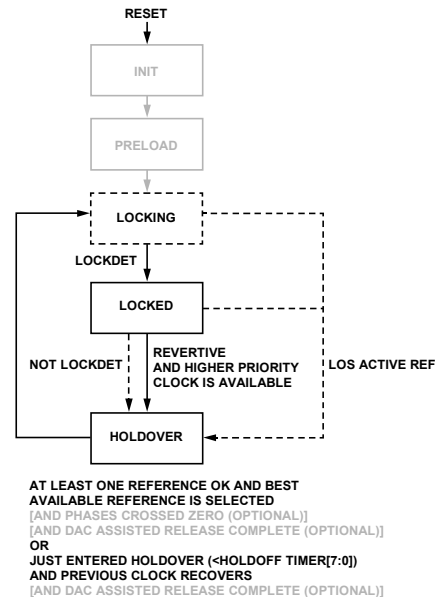


图 32. PLL1 FSM 简化状态图—自动恢复参考切换 = 1

PLL1 参考输入

PLL1 支持 $\overline{\text{CLKIN3}}/\text{CLKIN3}$ 至 $\overline{\text{CLKIN0}}/\text{CLKIN0}$ 上的最多 4 个候选参考信号。如果所有参考信号都有效，则根据 LOS，PLL1 使用参考信号优先级表来选择最优候选。使用 PLL1 参考信号优先级控制位编程设置最高优先级时钟 ($\overline{\text{CLKIN0}}/\text{CLKIN0}$ 、 $\overline{\text{CLKIN1}}/\text{CLKIN1}$ 、 $\overline{\text{CLKIN2}}/\text{CLKIN2}$ 或 $\overline{\text{CLKIN3}}/\text{CLKIN3}$)，然后编程设置第二优先级时钟，以此类推。参考信号优先级表中无需列出不使用的参考输入。相反，可在多处指出相同的有用时钟。在自动模式下，参考切换发生在 PLL1 退出复位的预载入阶段（参见图 32），或者发生在 PLL1 保持阶段。

参考时钟输入引脚（引脚 36、引脚 37、引脚 39、引脚 40、引脚 42 和引脚 43）具有双重功能；因此，SPI 配置对于正确发挥功能作用来说很重要。有关对应控制位的更多信息，请参见“PLL1 编程考虑因素”部分；有关接口建议的更多信息，请参见“基准电压源缓冲器详情”部分。

当参考信号故障时，源电路识别故障，然后禁用驱动信号至 HMC7044 的时钟或缓冲器。由于这个原因，输入缓冲器的迟滞阻止低于约 75 mV p-p 差分的信号摆幅，允许 PLL1 架构中的更多元素清晰识别中断，并防止频率中的干扰瞬变。

PLL1 LOS 检测

HMC7044 通过将其近似频率与 VCXO 相比较来检查参考信号的有效性。HMC7044 支持不同频率的参考信号。第一步是将可用的参考信号和 VCXO 分频为最小公倍数频率 (f_{LCM})。这些分频器可通过 SPI 控制位 (CLKINx/CLKINx 输入预分频器 [7:0] 和 OSCIN/OSCIN 输入预分频器 [7:0]) 设置。在图 31 的示例中， $f_{LCM} = 61.44$ MHz。VCXO 产生的 f_{LCM} 时钟是 PLL1 FSM 的主时钟，控制 FSM、锁定检测定时器和 ADC/DAC 滤波以及保持电路。虽然不需要，使用 VCXO 时钟可让 LOS 检测和 PLL1 FSM 工作在高于 PFD 的速率下，允许它尽早识别参考信号故障并进入保持状态，有时候参考信号故障前就开始出现相位或频率（或两者）漂移，影响 PFD 或 CP。

LOS 模块中的分频器以及某些情况下的 R1 会造成挑战。输入频率最高 800 MHz，具有宽分频器范围。此外，它们设计为可耐受毛刺时钟而不会产生灾难性结果，因为检测到问题后，并不总是存在复位阶段。

当所有参考信号都分频至相同的频率时，它们与 VCXO 产生的路径进行比较，然后相互比较。该比较由电路在一个时钟周期的三个边沿上执行。如果某个参考信号速度太慢，则其 LOS 标志置位，并且在自动模式下，PLL1 使用此信息使其不合格和/或摒弃参考信号。相反，如果 VCXO 相比任意有效参考信号速度过慢，则生成警告信息（作为 GPO 的可配置选项之一提供，或可通过 SPI 读取），但无自动动作。

HMC7044 在一个时钟周期的三个边沿上——而不是更直观的两个边沿——监控参考信号，避免将故障 LOS 标记为时钟，而导致存在干扰、噪声和电路失调时，互相之间的相位频率稍有不同。其结果是，当参考时钟频率下降至目标频率大约一个倍频程处，LOS 触发。

当参考信号返回，并且其频率在 VCXO 的一个倍频程内的时候，两至三个周期的 LOS 验证定时器必须在 LOS 标志解除置位前过期，且参考信号视为可能使用的潜在信号。LOS 验证定时器可通过寄存器 0x0015 中的位 [2:0] (LOS 验证定时器 [2:0]) 编程设置为 0 个 LCM 周期（无迟滞）至 64 个 LCM 周期。

PLL1 保持进入捷径

当参考信号故障时，LOS 电路花费数个 LCM 时钟周期来识别问题，然后请求 PLL1 FSM 进入保持状态，并使 CP 进入三态。此时，如果需要其中一个丢失的边沿来触发 R 分频器输出，则 PFD 和 CP 已经饱和，并在这些周期内从环路滤波器拉取电流，然后分配保持频率。随着 PFD 速率相对 f_{LCM} 下降，发生这种情况的可能性也随之下降，但无法完全消除。HMC7044 提供独特的功能，可防止这类频率失控。

器件采用一个传感器观察 PFD 的升/降脉冲（见图 30）。锁定时，脉冲宽度由于任意小信号误差、PFD/CP 失调和 PFD 复位延迟而较小。如果器件处于锁定状态，且相位误差大于预期（约 4 ns），则它是参考信号故障的一个标志，而器件立即让电荷泵进入三态，缩短可以从环路中提取电荷的时间：从大约 5 个 LCM 周期（30.72 MHz 时为 162 ns）缩短至不足 4 ns。此错误指示还会使锁定检测失效。当 FSM 对此问题作出应答时，它将 CP 保持在三态。使用可选基于 DAC 的保持时，FSM 指示跟踪 V_{TUNE} 电压的 ADC/DAC 从检测模式切换到强制模式，并将其保持在稳定状态到 1 LSB（约 20 mV 或 0.4 ppm）以内，直至 HMC7044 检测到稳定的参考信号并转出保持状态。

PLL1 保持稳态

保持状态下，用户有以下两种选择：

- 使 CP 处于三态
- 使 CP 处于三态，并启用保持 DAC

在三态模式下，HMC7044 具有极高的阻抗电荷泵输出（约 10 G Ω ）。一般而言，该输出对 PLL1 V_{TUNE} 泄露的影响不大；后者主要由板载环路滤波器元件和 VCXO 调谐端口决定。保持模式可让调谐电压在很长一段时间内保持自身。

为了适应保持模式下的无限周期，或为了确保 V_{TUNE} 受到驱动且不受漂移影响，第二个选项（使用寄存器 0x0029 中的位 2，在保持模式下设置）强制 V_{TUNE} 电压等于其时间平均值，由低通滤波 ADC 数值获取，同时 PLL 汇报锁定。保持检测 ADC 和驱动 DAC 均为 7 位，且 LSB 大约等于 19 mV。

PLL1 保持退出

有三种方式可以转出保持状态，通过寄存器 0x0016 中的保持退出条件[1:0]位和保持退出动作[1:0]位控制（详情参见“控制寄存器映射位描述”部分），描述了 HMC7044 退出保持状态以及获取锁定时 FSM 采取的步骤。

推荐方法如下：

- 等待零相位误差（无分频器复位）：等待 LOS = 0 和 PFD 时的低相位误差（保持退出条件[1:0] = 1，保持退出动作[1:0] = 1）
- 复位分频器：等待 LOS = 0 并复位 R1/N2 分频器（保持退出条件[1:0] = 0，保持退出动作[1:0] = 0）
- DAC 辅助释放：等待 LOS = 0，复位 R1/N2，DAC 配置为辅助释放（保持退出条件[1:0] = 0，保持退出动作[1:0] = 3）

等待零相位误差

当 CP 依然处于三态时，FSM 监控 PDF 周跳指示，作为彼此交越的候选参考信号和 VCXO 信号。最终发生参考信号和 VCXO 相位交越，但时间可能很长，具体时间由不完美的保持状态导致的固有频率误差决定。周跳事件之后，PFD 处的相位误差达到最小值，且由于 PLL 重新获取而使毛刺最少。图 33 显示了移除参考信号并且 PLL1 进入基于三态的保持状态示例。大约 7 秒后，参考信号恢复；之后大约 1 秒，相位发生交越，且 PLL 重新获取——距离最初频率值的偏差全部不超过 0.15 ppm。

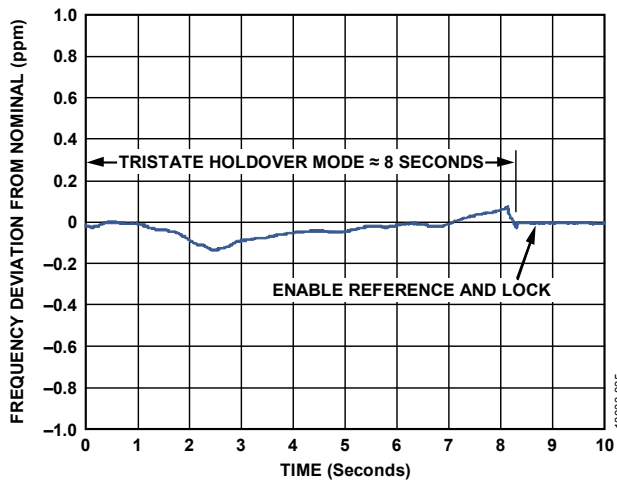


图 33. 距离标称值的频率偏差与相位过零时三态保持进入和退出时间的关系

不受控释放的第一种方法存在相位交越和退出保持的时间不确定问题。然而，如果相位交越需要 1 秒，则频率仅偏移 1 Hz。如果需要 10 秒交越，则误差为 0.1 Hz。如果误差过低，从而需要很长的时间退出保持状态，则器件有效锁定频率。某些应用中，考虑到频率误差极小，如此长时间处于开环状态是可以接受的。虽然这种保持退出的方式非常平滑，但其发生的时间可能很长。

复位分频器

如果使用基于三态的保持模式，则推荐采用第二种保持退出方法。当参考信号可用时(LOS = 0),FSM 复位 R 和 N 分频器，并允许它们立即重启。这种方法限制退出保持状态的最大相位误差至 2 个 VCXO 周期(VCXO 频率典型值时约为 8 ns)。无需如不受控释放的第一种方式那样等待不确定的时间启动切换操作。

DAC 辅助释放

如果使用基于 DAC 的保持，则 DAC 和 CP 可在器件退出保持的同时设置 V_{TUNE} 。DAC 输出阻抗设为相对较低值时（比如 5 Ω ），器件采用第二种方式复位分频器，然后 CP 试图影响 V_{TUNE} 。CP 故障，DAC 吸取它尝试注入 V_{TUNE} 节点的电流。器件逐步提升 DAC 的输出阻抗，CP 获得更多影响力，可操控 V_{TUNE} ，将相位拉至对齐。使用此 DAC 辅助 CP 释放方法可将保持退出瞬态限制在大约 1 ppm 以内。

图 34 至图 36 比较了保持释放方法：采用 DAC 辅助释放方法重新设置分频器，当器件退出保持并重新获取参考信号时采用不受控释放（始于最多一个 PFD 周期相位误差）。

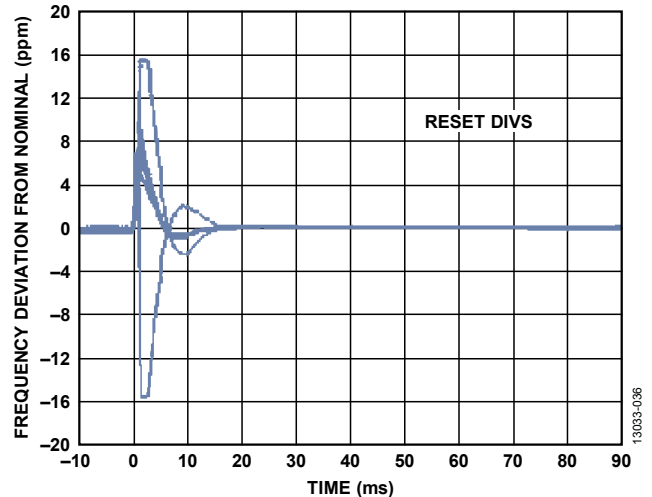


图 34. 复位分频器

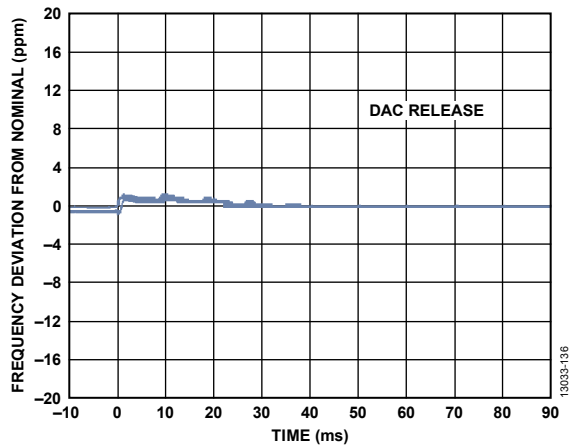


图 35. DAC 辅助释放

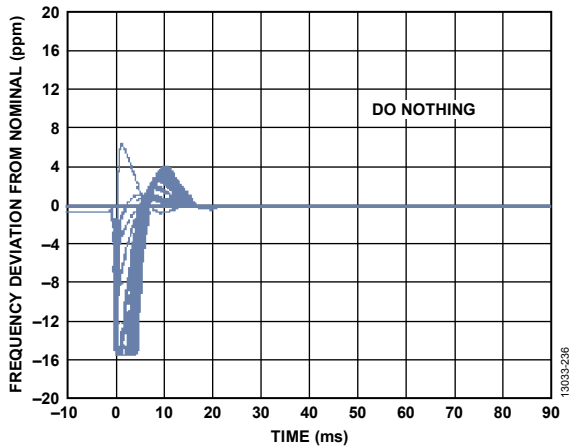


图 36. 等待零相位误差 (无分频器复位)

PLL1 编程考虑因素

为 PLL1 和其它用途配置参考输入

如需为 PLL1 使用四个参考时钟，输入缓冲器必须使能，并选为 PLL1 的相关路径。

表 13. 输入缓冲器和参考路径设置

位名称	描述
缓冲器使能	通过寄存器 0x000A 至寄存器 0x000E 使能输入缓冲器 (其中, x=0、1、2、3 或 V, 用于 VCXO)
PLL1 参考路径使能[3:0]	为 PLL1 选择四个可用的参考路径之一

由于 $\overline{\text{CLKIN0}}/\overline{\text{RFSYNCIN}}$ 、 $\overline{\text{CLKIN0}}/\overline{\text{RFSYNCIN}}$ 、 $\overline{\text{CLKIN1}}/\overline{\text{FIN}}$ 和 $\overline{\text{CLKIN1}}/\overline{\text{FIN}}$ 引脚可配置用于输出网络，且 $\overline{\text{CLKIN2}}/\overline{\text{OSCOUT0}}$ 和 $\overline{\text{CLKIN2}}/\overline{\text{OSCOUT0}}$ 引脚可用作振荡器输出，表 14 中的 SPI 位必须相应配置。

表 14. 参考时钟输入位设置

位名称	描述
$\overline{\text{CLKIN0}}/\overline{\text{CLKIN0}}$ 处于 RF SYNC 输入模式	0 = $\overline{\text{CLKIN0}}/\overline{\text{CLKIN0}}$ 不作为 RF 同步输入使用
$\overline{\text{CLKIN1}}/\overline{\text{CLKIN1}}$ 处于外部 VCO 输入模式	0 = $\overline{\text{CLKIN1}}/\overline{\text{CLKIN1}}$ 不作为外部 VCO (FIN/FIN) 使用
$\overline{\text{OSCOUT0}}/\overline{\text{OSCOUT0}}$ 驱动器使能	1 = $\overline{\text{OSCOUT0}}/\overline{\text{OSCOUT0}}$ 缓冲器不驱动 $\overline{\text{CLKIN2}}/\overline{\text{CLKIN2}}$ 引脚

选择 f_{PD1}

虽然 PLL1 支持宽范围 PFD 频率，但将频率设得太高或太低都会影响其它性能。数兆赫兹已经足够高了，可让比较频率保持在失调状态，并位于 PLL2 环路带宽之外，从而抑制一切绕开 PLL1 环路滤波器的耦合信号。

选择 f_{LCM}

f_{LCM} 至少必须是所有可用参考的公约数。典型频率有：122.88 MHz、61.44 MHz、38.4 MHz、30.72 MHz、3.84 MHz 和 1.92 MHz。该 f_{LCM} 时钟是 PLL1 数字逻辑的主时钟。该时钟速率还可调节 PLL1 锁定检测定时器速度/阈值、保持 ADC 平均时间以及 LOS 置位和重新验证延迟。较高的频率可略为改善参考中断的响应时间，而较低的频率可略为降低器件功耗（最多约为 10 mA）。建议使用 30 MHz 至 70 MHz 范围内的值。

根据 PLL1 环路带宽和用户的 f_{LCM} 编程设置 PLL1 锁定检测定时器阈值。

保留寄存器（如“控制寄存器映射位描述”部分所述）必须以默认值重新编程设置。例如，寄存器 0x00A5 必须从 0x00 设为 0x06。

元件模块—输出 PLL (PLL2)

PLL2 概述

PLL2 是一个极低噪声整数 PLL，设计用来将 VCXO 与 VCO 的频率相乘，其工作时的典型环路带宽为 10 kHz 至 700 kHz。使用该范围内的下限带宽保留 800 kHz 失调时的固有 VCO 相位噪声（在基于 GSM 的系统中很有用），而上限带宽具有最佳的积分相位噪声/抖动值。

PLL2 内置多种功能，可让它高效实现 -232 dBc 的 Banerjee 本底 FOM 以及 -266 dBc 的闪烁 FOM。板载 VCO、内部 VCXO 倍频器、低 N2 最小分频比，以及最高 250 MHz 下为 PFD 提供时钟信号的能力——所有这些特性结合在一起，使积分抖动 (12 kHz 至 20 MHz) 的典型值为 44.0 fs。

PLL2具有如下特性：

- 锁定检测
- 倍频器
- 部分集成环路滤波器
- VCO选择，使用外部VCO
- VCO校准
- 通过PLL2进行多芯片同步

锁定检测

PLL2 的锁定检测功能的表现与 PLL1 相同。它能对出现低相位误差的连续 PFD 时钟周期计数。当计数达到 512 时，声明锁定。阈值 512 可以调节，但由于 PLL2 环路带宽的变化不如 PLL1 大，我们预计用户无需更改此阈值。

倍频器

用户可在 VCXO 缓冲器之后、参考分频器之前部署一个倍频器（参见图 30）。倍频器假设输入占空比约为 50%，而任何占空比失真都会导致 $f_{PD2}/2$ 处出现杂散，并由 PLL2 环路滤波器进行抑制。假设 PFD 保持在其 250 MHz 频率限值以下，则为实现最佳的频谱性能，强烈建议使用倍频器。

部分集成环路滤波器

虽然 PLL2 环路滤波器的大型元件都是片外的，片上还是有一个小型电阻/电容(RC)部分，由 $R = 80 \Omega$ 和 $C = 4.7 \text{ pF}$ 串联组成。此 RC 部分在大约 420 MHz 处形成高阶极点。在实际应用中，该滤波器片段不影响环路稳定性。

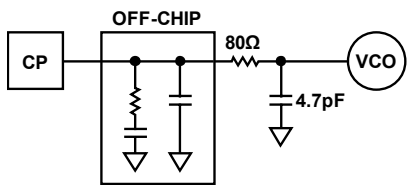


图 37. 片上 RC 电路

图 38 显示了 VCO 输入网络。取决于目标频段（2.5 GHz 或 3.0 GHz），用户必须指定通过 VCO 选择[1:0] SPI 字使能哪个 VCO。如需将 $\overline{\text{CLKIN1}}/\overline{\text{CLKIN1}}$ 引脚用作外部 VCO 信号，则编程将此字设为 0，然后在外部 VCO 输入模式位中置位 $\overline{\text{CLKIN1}}/\overline{\text{CLKIN1}}$ 。

VCO 选择，使用外部 VCO

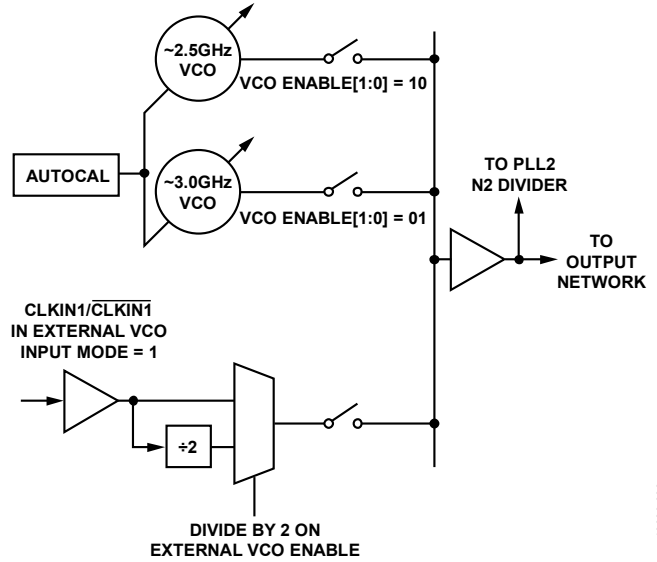


图 38. VCO 输入网络

VCO 校准

板载 VCO 包括一个 AGC 环路，可调节振荡器的内核电压，实现所需摆幅，进而在相位噪声和功耗之间寻求权衡取舍。该 AGC 环路采用大型外部旁路电容来消除 AGC 环路的噪声影响，因此在上电、睡眠或更改 VCO 选择[1:0] 设置后需要一定时间建立。采用 100 nF/1 μF 配置时，建立时间大约为 10 ms（典型值）。

HMC7044 中的每一个 VCO 都有 32 个频段。一般而言，3 个或更多子频段可对任意特定的频率进行合成，并且板载自动调谐算法选择的解决方案能为温度波动提供调谐裕量。内部进行温度补偿，确保器件校准至任意频率，并在频率变为任意其它工作范围内的频率时能够保持锁定。

R2 和 N2 完成编程设置、VCXO 完成施加、以及 VCO 峰值检波器环路建立之后，自动调谐通过切换寄存器 0x0001 中的位 1（重启分频器/FSM 位）触发。

VCXO 施加至系统，且 R2 和 N2 分频比完成编程设置后，自动调谐算法便有了找到适当 VCO 频段所需的信息。

通过PLL2进行多芯片同步

如需同步多个 HMC7044 器件，建议使用 SYNC 输入引脚。如果 SYNC 引脚从 0 转换至 1 且相对 VCXO 具有充足的建立/保持裕量，则该同步事件通过 PLL2 以确定性的方式执行，沿着 N2 分频器向上通过时序链路到达主机 SYSREF 定时器（更多信息参见“时钟输出网络”部分）。确定性相位调整的这种机制支持 SYSREF 定时器同步以及多个 HMC7044 器件的输出相位。

仅需应用 SYNC 输入上升沿一次。检测 VCXO 域的上升沿后，SYNC 输入将在后续 $16 \times 6 t_{PD2}$ 个周期内被忽略，事件由 FSM 处理。此周期过期后，FSM 再次变得对 SYNC 引脚敏感。如果周期性施加 SYNC 信号，则第一个边沿初始化同步过程，然后后续边沿可能会被识别，也可能不会，具体取决于它们相对 $16 \times 6 t_{PD2}$ 的宽度/重复速率。

注意，相对于 HMC7044 VCXO 输入引脚 ($\overline{OSCIN}/\overline{OSCIN}$)，SYNC 上升沿必须清晰提供。用户通常可访问 PLL1 CLKINx/CLKINx 引脚，而无法直接访问 VCXO 信号。然而，当 PLL1 锁定时，VCXO 上升沿粗略对齐至 PLL1 有效参考信号，因此用户间接得知 VCXO 的相位。如果用户想要更直接地对 SYNC 信号重新定时，则 VCXO 还可用作 HMC7044 的输出。

相对于 VCXO，PLL1 有效参考的相位失调是每一条路径内部延迟的函数。此基础延迟失调是确定性条件的函数（LCM、R1、N1 分频器设定点、端接设置和压摆率），但同样会受到 PVT 变化的影响，将此失调压缩或放大。

实际应用中，多芯片同步功能限制在 PLL1 参考速率为 200 MHz 以下。

时钟输出网络

在 HMC7044 中，PLL1 负责频率清除、冗余和无中断切换。PLL2 和 VCO 处理 800 kHz 失调时的积分抖动和性能。虽然 PLL1/PLL2 和 VCXO 元件很重要，但 JESD204B 时钟生成芯片的独特性很大程度上与其输出通道阵列有关。

在诸如 HMC7044 的器件中，部分输出网络要求如下所示：

- DCLK 通道具有极佳的相位噪底，可连接关键数据转换器采样时钟输入
- 大量 DCLK 和 SYSREF 通道
- 所有输出通道相互之间具有确定的相位排列
- 相对于 DCLK 通道具有同步通道的精细相位控制能力
- 频率范围满足准系统的典型时钟速率
- SYSREF 和 DCLK 通道之间的偏斜远比一个 DCLK 周期短
- 杂散和串扰性能不影响系统预算

HMC7044 输出网络还支持下列建议特性，这些特性某些情况下对于用户应用来说可能很重要：

- 相对于外部信号具有输出通道的确定性同步特性，允许多芯片同步以及干净地扩展为更大的系统
- 脉冲发生器可在用户请求的情况下暂时生成同步脉冲流
- 灵活将不使用的 JESD204B SYSREF 和 DCLK 通道定义为其它用途
- 信号相互之间无毛刺的相位控制
- 采用奇数分频比的 50% 占空比时钟
- 多模输出缓冲器具有多种摆动和端接选项
- 在远短于一个 DCLK 周期的时间内完成所有通道间的偏斜
- 可调节不敏感时钟通道的性能与功耗
- 针对极高性能应用要求灵活使用外部 VCO

14 个输出通道中的每一个都在逻辑上相同。SYSREF 与 DCLK 通道的唯一区别在于 SPI 配置及其用途。每一个通道均集成独立的分频器、相位调节和模拟延迟电路。这种组合提供了无可比拟的灵活性，可完全兼容系统中的非 JESD204B 器件。

除了 14 个输出通道分频器外，还有连续工作的内部 SYSREF 定时器，并且输出通道分频器同步相对于这个定时器而言是确定性的，用户可通过外部进行相位校准。

JESD204B 标准的脉冲发生器功能包括暂时生成相位适合下游器件的 SYSREF 输出脉冲。中心化的 SYSREF 定时器及其相关的 SYNC/脉冲发生器控制管理如下过程：开启目标 SYSREF 通道、对它们进行相位校准，然后将其关闭以获得信号完整性和功耗方面的优势。

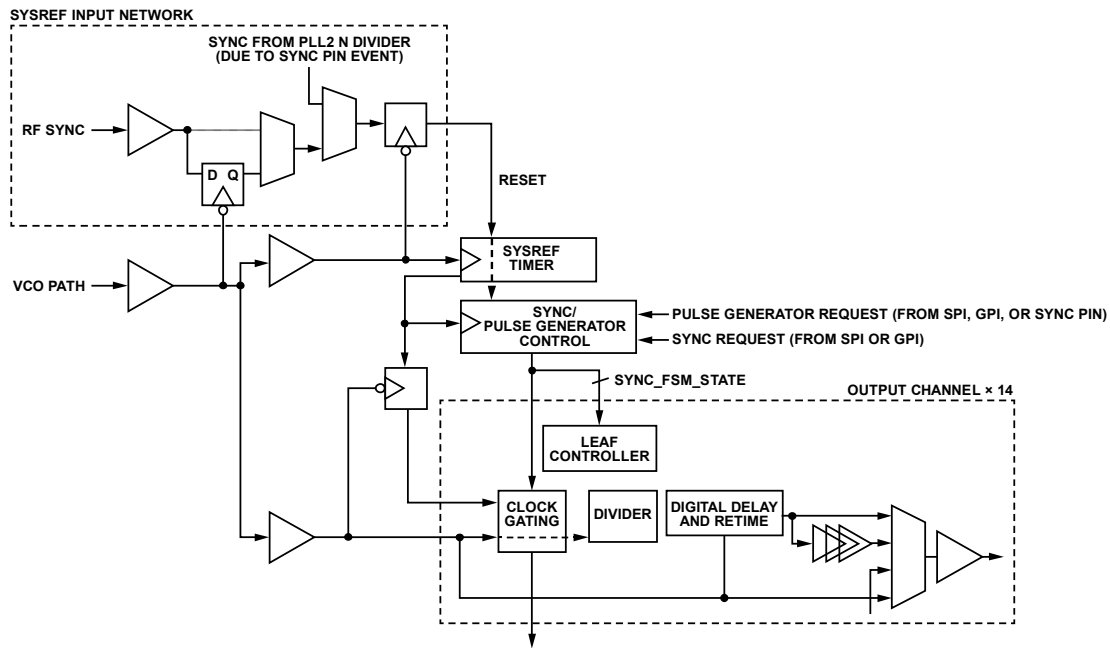


图 39. 时钟输出网络原理示意图

10328-019

基本输出分频器通道

14 个输出通道中的每一个都在逻辑上相同,并支持 1 至 4094 的分频比。支持的奇数分频比 (1、3、5) 具有 50.0% 占空比。SYSREF 通道与 DCLK 通道的唯一区别在于 SPI 配置及特定通道的典型用途。

对于基本功能和相位控制而言, 每条输出路径都包含:

- 分频器 — 生成适当频率和相位的逻辑信号
- 数字相位调节 — 以 $\frac{1}{2}$ VCO 周期为增量调节各通道相位
- 定时器 — 可重新定时通道的低噪声触发器, 移除一切累积抖动
- 模拟微调延迟 — 提供一系列数值为大约 25 ps 的延迟步长
- 多路复用器选择 — 选择基频、分频器或模拟延迟, 或选择备用路径
- 多模输出缓冲器 — 低噪声 LVDS、CML、CMOS 或 LVPECL

数字相位调节器和重新定时器在 VCO 两个时钟相位的任意一个上启动, 具体取决于数字相位调节设定点 (粗调数字延迟 [4:0])。

如需支持分频器同步、任意跳相和脉冲发生器模式, 则需用

到下列模块:

- 时钟选通级暂停时钟, 进行同步或跳相操作
- 输出通道叶 ($\times 14$) 控制器根据 SYSREF FSM 信息管理跳相、同步和脉冲发生器

每个通道都有控制信号阵列。部分控制说明见表 15。

系统级广播信号可通过 SPI 或通用输入 (GPI) 端口发出 SYNC 命令 (将分频器与系统内部 SYSREF 定时器对齐), 发出脉冲发生器流 (暂时导出 SYSREF 信号至接收器), 或者导致分频器跳过几个 VCO 周期以便调节相位。

通过调节跳相使能、SYNC 使能和启动模式 [1:0] 配置, 可使单个分频器对这些事件敏感, 如表 16 所示。

当在 CMOS 模式下配置输出缓冲器并且需要对输出进行相位对齐时, 必须针对通道 0、通道 3、通道 5、通道 6、通道 9、通道 10 和通道 13 发出额外的多跳延迟。延迟值必须等于所选分频比的一半。注意, 当在 LVPECL、CML 或 LVDS 模式下使用通道时, 并不需要额外多跳延迟这一要求。

如果某个通道配置为脉冲发生器, 则为了根据 GPI、SPI 或 SYNC 引脚脉冲发生器命令实现暂时上电或掉电, 就需要通过额外的控制来定义其在脉冲发生器链路以外的表现 (参见表 17)。

每一个分频器都有一个额外的相位失调寄存器，可调节其起始相位，或影响通过 SPI 传输的跳相事件表现（参见表 18）。

表 19 显示了 DCLK 通道相对于 SYSREF 同步通道的典型配置组合。

注意还有其它可能的组合。可以手动管理下游器件的同步，或者使用 HMC7044 的脉冲发生器功能。有关两种方式差异的更多信息，请参见“典型编程序列”部分。

表 15. 基本分频器控制

位名称	描述
通道使能	通道使能。如果为 0，则通道禁用。如果为 1，通道可根据启动模式[1:0]、7 对 14 通道输出使能[6:0]和睡眠模式的设置使能。
12位通道分频器[11:0]	分频比。12 位分频比，分为 2 个字（MSB 和 LSB）。如果不使用通道分频器，则置 0（输出多路复用选择[1:0] = 2 或 3）。
高性能模式	高性能模式。调节分频器和缓冲器偏置，略为改善摆幅/相位噪声，但牺牲功耗性能。性能优势大约为 1 dB，功耗性能下降多少取决于分频器是否使能。
粗调数字延迟[4:0]	数字延迟。调节分频器信号相位，最多为 VCO 的 17 ½ 个周期。实际使用时，此电路无噪声；但需注意功耗略为增加。
微调模拟延迟[4:0]	模拟延迟。以 25 ps 为增量调节分频器信号延迟。设置输出多路复用选择[1:0] = 1 以暴露此通道，导致相位噪声性能下降最多 12 dB；因此，不要用于噪声敏感型 DCLK 通道。
输出多路复用选择[1:0]	输出多路复用选择。00 = 分频器通道，01 = 模拟延迟，10 = 其它通道对，11 = 输入 VCO 时钟。基频模式可以通过分频器产生（12 位通道分频器[11:0] = 1），也可以通过输出多路复用选择[1:0] = 10 和 12 位通道分频器[11:0] = 0 产生。由于分频器路径消耗功率且会略为降低相位噪声性能，因此建议使用基频多路复用路径，但以确定性偏斜和基于分频器的路径为代价。这种偏斜可以通过基于分频器路径上的延迟来补偿（数字和模拟）。
强制静音[1]	强制静音。如果为 1，并且通道使能为真（通道使能 = 1）以及强制静音[0] = 0，则输出缓冲器前的信号异步强制为逻辑 0。否则，输出强制为自然浮空至 V _{CM} 。若要看效果，则必须使能输出缓冲器，该缓冲器与动态驱动器使能和启动模式[1:0]控制有关。

表 16. 通道特性

位名称	描述
跳相使能	跳相使能。通道处理来自 SPI 或 GPI 的跳相请求广播（或者假设多跳使能 = 1，初始化之后为已识别 SYNC 或脉冲发生器启动）。
SYNC使能	SYNC 使能。通道处理来自 SPI 或 GPI 的同步事件广播，或者由于 SYNC/RF SYNC（通过 SYSREF FSM）复位其相位。此信号可安全开关，从而在不影响分频器状态的情况下调节 SYNC 灵敏度。
启动模式[1:0]	00 = 异步（普通模式）。分频器以不受控相位启动。如果 SYNC 使能 = 1，则其通过 SYNC 事件进行相位校准。 11 = 动态（脉冲发生器模式）。分频器监控来自 SYSREF 控制器的脉冲发生器事件广播。它在脉冲发生器链路之前上电，启动时进行相位校准，然后在脉冲发生器链路之后掉电。它仅支持 31 以上的分频比。

表 17. 脉冲发生器模式表现选项

位名称	描述
动态驱动器使能	动态输出缓冲器使能（仅脉冲发生器模式）。 0 = 输出缓冲器仅随主通道使能而使能/禁用。 1 = 输出缓冲器使能与通道分频器一同受控，允许其不受脉冲发生器事件影响动态掉电。
强制静音[0]	逻辑 0 时空闲（仅脉冲发生器模式）。 1 = 如果缓冲器留在脉冲发生器链路以外，则驱动至逻辑 0。 0 = 如果缓冲器留在脉冲发生器链路以外，则允许输出自然悬空至大约 V _{CM} 。

表 18. 多跳配置

位名称	描述
多跳使能	允许多跳。此位决定 12 位多跳数字延迟[11:0]参数是否用于多跳操作。注意，如果多跳使能 = 1，则多跳操作将在 SYNC 或脉冲发生器初始化之后自动启动。
12位多跳数字延迟[11:0]	多跳量。如果多跳使能 = 1，则任意跳相事件（由 GPI、SPI、SYNC 或脉冲发生器事件所导致）重复的次数由 12 位多跳数字延迟[11:0]设置，将相位调节为多跳数 × VCO 周期。如果多跳使能 = 1，则不支持数值 0。注意，从噪声和功耗角度来说，跳相是无代价的；也就是说，无需额外功耗，且噪声性能不会下降，但需要花费一些时间。每一次跳相操作都需要数 ns 的时间来完成，因此相位并不立即稳定。提供警报，为用户指示所有相位操作均已完成。

表 19. 典型配置组合

位名称	DCLK	脉冲发生器 SYSREF	手动 SYSREF	非 JESD204B
12 位通道分频器[11:0]	小	大	大	任何
启动模式位	正常	脉冲发生器	正常	正常
微调模拟延迟[4:0]	关	可选	可选	关
粗调数字延迟[4:0]	可选	可选	可选	可选
跳相使能	可选	可选	可选	可选
多跳使能	可选	关	可选	可选
高性能模式	可选	关	关	可选
SYNC 使能	开	开	开	可选
动态驱动器使能	无关	开	无关	无关
强制静音[1:0]	无关	开	无关	无关

同步 FSM/脉冲发生器时序

功能框图显示了 SYNC/脉冲发生器控制分频器通道的接口，内部 SYSREF 定时器如图 39 所示。

SYSREF 定时器计数周期由 SYSREF 定时器[11:0]（来自 SPI 的 12 位设置）确定。发生 SYNC 或脉冲发生器请求事件时，它定义了使能、复位和启动，以及禁用下游分频器的顺序。编程设置 SYSREF 定时器计数，使其等于时钟网络中最低输出频率的约数，且不超过 4 MHz。若要同步分频器通道，建议（不强制要求）SYSREF 定时器[11:0]位设为相对频率，等于 IC 上其它频率的系数或倍数。

脉冲发生器针对该 SYSREF 定时器周期设置，而非针对输出周期设置。这导致必须考虑时序限制，以防任何不良脉冲影响脉冲发生器信号流。

图 41 显示了一个示例分频器的启动表现，该分频器配置为脉冲发生器，周期匹配内部 SYSREF 周期。

FSM 转换至开始阶段以后，脉冲信号流启动，具有固定的 VCO 周期数。在逻辑路径强制为零的地方禁用脉冲发生器信号流（来自组合路径，直接来自 FSM）。

由于分频器具有几乎任意的相位调节选项，它可在脉冲信号流

为逻辑 1 时为停止条件提供抵达的可能性，并产生不良脉冲。

对于零至 50%的相位失调而言——8 个 VCO 周期，且 VCO 频率低于 3 GHz——此条件在设计时便自然满足。对于 3 GHz 以上的仅扇出模式，建议使用数字延迟或跳相失调来增加自然相位失调，并避免应力条件。

永远不要施加超过 50%的相位失调便可避免这种情况——到达输出通道的 8 个 VCO 周期配置为脉冲发生器。

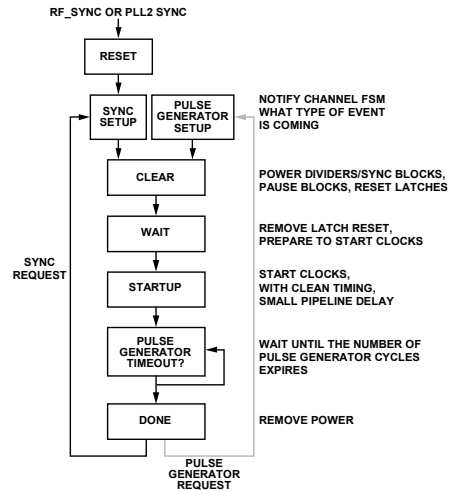


图 40. 同步 FSM 流程图

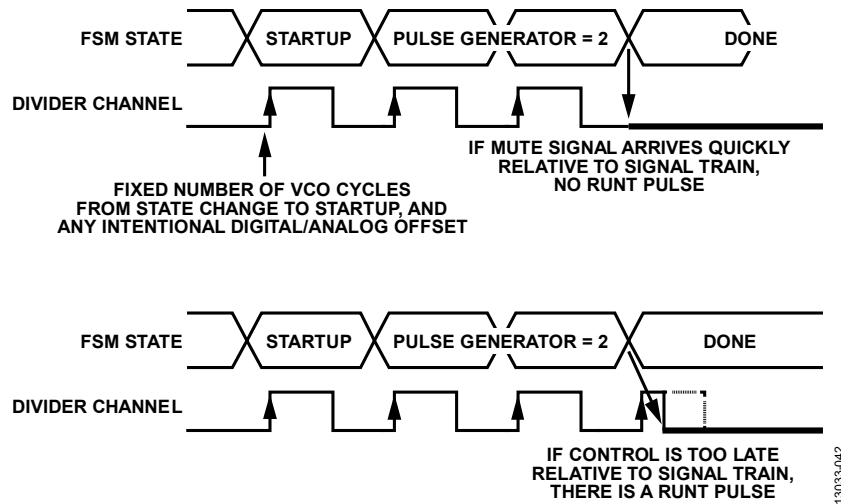


图 41. 配置为脉冲发生器的示例分频器启动表现

时钟分组、偏斜和串扰

虽然输出通道在逻辑上是独立的，但出于物理上的原因，它们首先成对分组，称为时钟分组。每一组时钟都共享一个基准电压源、一个输入缓冲器和一个同步重新定时触发器（来自 VCO 分配网络）。

根据电源引脚进行第二级分组。时钟分组 1（通道 2 和通道 3）采用独立电源，其它电源引脚分别负责两个时钟分组。

由于输出通道耦合更紧密（通过共享时钟组，或者通过共享电源引脚），偏斜得以最小化。然而，这些通道之间的隔离受到影响。表 20 显示了时钟分组，表 21 显示了可以期望的典型偏斜和隔离，以及如何随输出通道之间的距离而调节。

随着侵扰源或受影响的频率下降，隔离性能有所提升。无论如何，对于必须最大程度减少杂散音的那些特别重要的时钟通道而言，应谨慎考虑它们的频率和通道配置，将连续运行频率隔离在不同的电源域中。配置为脉冲发生器的通道一般来说不是问题，因为正常工作时它们禁用。

表 20. 电源引脚根据位置进行时钟分组

电源引脚	地点	时钟组	通道
VCC2_OUT	西南	1	2 3
		VCC4_OUT	南
VCC8_OUT	北	4	8 9
		5	10 11
VCC9_OUT	西北	6	12 13
		0	0 1

表 21. 典型偏斜和隔离与距离的关系

距离	典型偏斜(ps)	1 GHz 隔离差分 (dB)
远距离电源组	±20	90 至 100
不同电源组的最近邻居	±15	70
共享电源	±10	60
同样的时钟组	±10	45

输出缓冲器详情

图 42 显示了根据封装电源引脚位置进行分组的时钟组。适当对电源引脚旁路后，可以改善输出杂散噪声性能。表 20 描述了 14 个时钟通道中，每一个通道电源引脚是如何连接 7 个时钟组的。相互之间靠得最近的时钟通道具有最佳的通道间偏斜性能，但它们相互之间同样具有最低隔离。从电源引脚位置相距较远的分组中选择相互之间需高度隔离的关键信号。1 GHz 时 HMC7044 预期隔离和通道间偏斜性能的一个示例参见表 21。

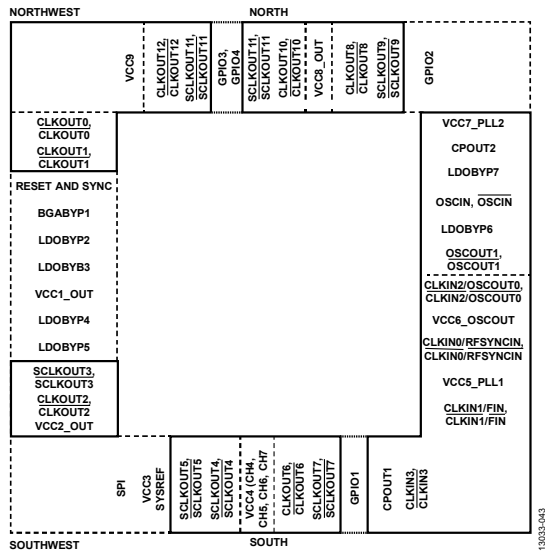


图 42. 时钟分组

SYSREF 有效中断

JESD204B 系统的难题之一是控制并最大程度减少主系统控制器 IC——通常是一个 ASIC 或 FPGA——到数据转换器的延迟。为了正确估算系统中的延迟，设计人员必须知道接收同步请求之后，主时钟发生器（比如 HMC7044）需要多久才能为各输出通道提供正确的输出相位。一般而言，由于内部状态机周期、数据传输以及任意传播延迟，器件需要一定时间来部署输出端的变更请求。SYSREF 有效中断是通知用户正确输出设置和相位关系已经建立的一项功能，它让用户快速识别所需的 SYSREF 和器件时钟状态已经存在于 HMC7044 的输出端。

用户可以灵活分配 SYSREF 有效中断至 GPO 引脚，或者使用软件标志（在寄存器 0x007D 位 2 中设置），而用户可以按需轮询。该标志通知用户系统已完成配置并工作在所需状态中，或者与此相反，通知用户系统未就绪。

基准电压源缓冲器详情

输入端接网络—所有输入缓冲器通用

输入 PLL1 的四个基准电压源缓冲器以及 VCXO 输入缓冲器具有相似的架构和控制特性。输入端接网络可配置为 100 Ω、200 Ω 和 2 kΩ 差分。通常在电路板上交流耦合，并使用片上阻性分频器将内部共模电压 V_{CM} 设为 2.1 V。

关闭 50 Ω 端接开关（参见图 43）后，该网络还可用作 LVPECL 驱动器的端接系统。虽然四个 PLL1 基准电压源缓冲器的输入端接网络以及 VCXO 输入缓冲器是一样的，但网络背后的缓冲器是不同的。

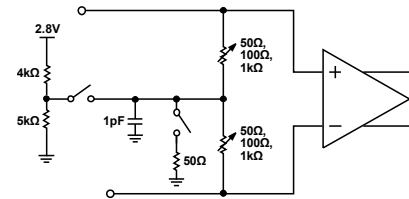


图 43. 用于 VCXO 和基准电压源缓冲器的片上端接网络

PLL1 基准电压源缓冲器级

PLL1 基准电压源缓冲器使用 CMOS 输入级，具有宽共模输入范围（0.4 V 至 2.4 V），迟滞性能支持可靠的 LOS 检测。这些缓冲器可采用 375 mV p-p 差分输入摆幅（LVDS 标准的半摆幅点）可靠驱动，支持高达 800 MHz 工作频率。对于不足 375 mV p-p 差分的信号摆幅而言，缓冲器迟滞可能开启并关断进入内部参考路径的信号。确切的输入迟滞阈值与共模电平和输入频率呈函数关系，但通常范围为大约 75 mV p-p 差分至 300 mV p-p 差分。

VCXO 缓冲器级

VCXO 输入缓冲器采用双极性输入级部署，满足 PLL2 严格的噪声要求。其共模输入范围更紧凑，并且如果通过外部设置，则必须保持在 1.6 V 至 2.4 V 范围内。该缓冲器无迟滞，并可在极低的信号电平下工作。虽然缓冲器在这些低信号电平情况下依然可以工作，但若获得最佳性能，则单端驱动时应保持输入功率在 -4 dBm 以上，而差分驱动时每侧应保持输入功率在 -7 dBm 以上。

正常使用的建议

无论何种类型的缓冲器，除非应用出现衰减的情况，否则使用 100 Ω 差分端接来控制反射，使用片上直流偏置网络来设置共模电平，并从外部对输入信号进行交流耦合。不要使用 LVPECL 信号在接收器侧进行直流端接。

单端操作

缓冲器支持单端信号，其输入灵敏度和带宽略有下降。如果采用单端驱动这些缓冲器，则在芯片的输入端将不使用的缓冲器部分交流耦合至地。

最大信号摆幅考虑因素

这些缓冲器的内部电源通过片上调节调整至 3.3 V 至 2.8 V。若基准电压源功率极高，则信号摆幅足以驱动信号至 2.8 V 电源轨以上。ESD 网络和寄生二极管通常可分流过多功率，并保护内部电路，哪怕超过了 13 dBm。无论如何，为了保护器件免于受到闩锁的影响，参考输入上的信号不可超过 2.8 V 内部电源。对于 2.1 V 共模 50 Ω 单端信号源而言，该 2.8 V 限值允许大约 700 mV 幅度，或 6 dBm 最大基准电压源功率。

典型编程序列

如需将 HMC7044 初始化为工作状态，请使用下列编程序列：

1. 将 HMC7044 连接到额定电源。无需特定电源时序。
2. 当所有电源稳定后，通过将逻辑 1 切换至逻辑 0 释放硬件复位。
3. 将配置更新(由 ADI 提供)加载至特定寄存器(参见表 74)。
4. 编程 PLL2。选择 VCO 范围(高或低)。然后，编程设置分频器(R2、N2 和参考倍频器)。
5. 编程设置 PLL1。根据用户系统的 PLL1 带宽设置锁定检测定时器阈值。设置 LCM、R1 和 N1 分频器设定点。使能基准电压源和 VCXO 输入缓冲器端接。
6. 编程设置 SYSREF 定时器。设置分频比(输出通道频率下限的约数)。设置脉冲发生器模式配置，比如选择电平敏感选项以及所需的脉冲数。
7. 编程设置输出通道。设置输出缓冲器模式(例如 LVPECL、CML 和 LVDS)。设置分频比、通道启动模式、粗调/模拟延迟和性能模式。
8. 等待直至 VCO 峰值检波器环路稳定(步骤 4 之后约 10 ms)。
9. 确保基准电压源供给 PLL1 且 VCXO 已上电。
10. 发出软件重启，复位系统并初始化校准。将重启分频器/FSM 位切换为 1，然后返回 0。
11. PLL1 开始锁定，同时 PLL2 进入校准和锁定序列。等待 PLL2 锁定(典型配置下约 50 μs)。
12. 检查 PLL2 锁定检测位，确认 PLL2 锁定。
13. 通过 SPI 发送同步请求(置位重新播种请求位)，对齐分频器相位，并发送一切初始脉冲发生器信号流。

14. 等待 6 个 SYSREF 周期(6 × SYSREF 定时器[11:0])，以便输出具有适当的相位(典型配置下约需要 3 μs)。
15. 检查时钟输出相位状态位 = 1，确认输出都已到达各自相位。
16. 此时初始化系统中的所有其它器件。PLL1 可能尚未锁定，但 HMC7044 输出端的小频率失调通常都不够严重，无法导致同步或初始化故障。配置系统中的从机 JESD204B 器件，使其采用 HMC7044 的 SYSREF 信号输出工作。HMC7044 的 SYSREF 通道可以是异步或动态的，并可能暂时由于脉冲发生器信号流而导通。
17. 等待 PLL1 锁定。对于 100 Hz 带宽来说，这大概需要 50 ms(从步骤 11 开始)。
18. 当所有 JESD204B 从机均已上电并就绪时，发送脉冲发生器请求，以便在配置为脉冲发生器模式的所有 SYSREF 通道上发出脉冲发生器链路。

系统现已完成初始化。

如需节省功耗并降低 HMC7044 上的交叉耦合频率，则关断 SYSREF 通道。

1. 编程设置 JESD204B 所有从机，使其忽略 SYSREF 输入通道。
2. 在 HMC7044 中，禁用每一个 SYSREF 通道的独立通道使能位。

若要重新同步一个或多个 JESD204B 从机，请执行以下步骤：

1. 设置目标 SYSREF 通道的通道使能(和 SYNC 使能位)。
2. 为了防止输出通道响应同步请求，可禁用各通道的 SYN 使能屏蔽，以便它可以连续正常运行，无需相位调节。
3. 发出重新播种请求，以使 SYSREF 通道针对 DCLK 正确进行相位校准。
4. 使能 JESD204B 从机针对 SYSREF 通道的灵敏度。
5. 如果 SYSREF 通道处于脉冲发生器模式，则从步骤 3 开始等待至少 20 个 SYSREF 周期，然后发出脉冲发生器请求。

电源考虑

HMC7044 板上集成调节器，能够最大限度保护一些更为敏感的电源元件，使其不受外部噪声和干扰的影响。无论如何，用户必须依然十分谨慎地处理 VCC1_VCO 电源噪声曲线，以获得器件的目标性能。

一般而言，200 nV/Hz 平坦输入噪声是 VCO 噪声的等效贡献因素，当 VCO 是主要贡献因素时可导致约 100 kHz 至 10 MHz 范围内噪声曲线上升 3 dB。这相当于 1 MHz 失调时，从 dBV 大致以 1:1 转换为 dBc/Hz，而 $f_{out} = 2.457 \text{ GHz}$ ，也就是说， $200 \text{ nV/Hz} = -134 \text{ dBV}$ ，且 1 MHz 失调下的 VCO 性能（2.4576 GHz 时）约为 -134 dBc/Hz 。VCO 的 PSRR 遵循其闭环噪声曲线；因此，随着失调内移且 VCO 曲线变得更高，200 nV/Hz 噪声大致与 VCO 持平。若要保持在适当低于 VCO 的水平，则建议在 100 kHz 至 10 MHz 频率范围内，于 VCC1_VCO 引脚上使用低于 50 nV/Hz 的电源输入。

输出缓冲器同样容易受到电源噪声的影响，但程度较轻。CML 模式下，40 MHz 失调下的 -60 dBV 噪声信号音会在缓冲器输出端产生 -90 dBc 信号音；LVPECL 模式下，产生的信号音为 -85 dBc 。该结果是一种相对平坦的频率响应，并且这些数字采用差分方式测量。输出缓冲器上的电源噪声导致的相位噪声/杂散不随输出频率而改变，而 VCO 上的相位噪声/杂散却会改变。

表 22 列出了 HMC7044 根据引脚排列的电源网络，显示了对应的功能模块。针对该网络，定义了 6 种不同的使用配置，其中不包括输出通道电源——它将单独计算。

表 22 和表 23 中，配置 0 到配置 5 所列出的值是该模块或功能的典型电流值。如果配置列未列出某个数字，则表示该模块或功能不存在典型配置，但用户可以不按照配置列表混合搭配各项功能，并且可以根据各功能列出的电流决定功耗。

表 22. HMC7044 根据 PLL1、PLL2、VCO 和 SYSREF 引脚分组的电源网络

电路模块	注释	典型电流 (mA)	配置 ¹					
			0	1	2	3	4	5
VCC5_PLL1								
CLKIN1/CLKIN1	用作 PLL1 基准电压源	2		2	2		2	2
CLKIN1/CLKIN1 缓冲器	如果用作外部 VCO 的缓冲器则过量	5					5	5
CLKIN0/CLKIN0	用作 PLL1 基准电压源	2		2				
CLKIN0/CLKIN0 缓冲器	如果用作 RF 同步缓冲器则电流过量 ²	5						
外部 VCO 路径 (f_{out})		18					18	
外部 VCO 路径	2 分频的过量电流	10						
外部 RF 同步路径 ³		3						
调节器至 1.8 V, LDOBYP2 旁路	N2, 数字功能	2	2	2	2	2	2	2
PLL1 功能	LOS、R1、N1、FSM	10		10	10			
PLL2 功能	R2、N2、锁定检测	17		17		17	17	
SYSREF 定时器		1		1				
高速模式下的 GPO 驱动器 ⁴								
调节器至 2.8 V, LDOBYP3 旁路		2	2	2	2	2	2	2
PLL1 PFD/CP		7		7	7			
PLL1 DAC 保持电路		2		2				
CLKIN2/CLKIN2 缓冲器		2		2				
CLKIN3/CLKIN3 缓冲器		2		2				
VCC5_PLL1 小计		90	4	49	23	21	46	11
VCC7_PLL2								
调节器至 2.8 V, LDOBYP7 旁路		2	2	2	2	2	2	2
PLL2 PFD、倍频器、R2 和 N2 输出		21	4	21		21	21	
PLL2 电荷泵		8		8		8	8	
调节器至 2.8 V, LDOBYP6 旁路		2	2	2	2	2	2	2
VCO 缓冲器		16		16	16	16	16	
OSCOUTx/OSCOUTx 分频器/多路复用器 ⁵		8						
VCC7_PLL2 小计		57	8	49	20	49	49	4

电路模块	注释	典型电流 (mA)	配置 ¹					
			0	1	2	3	4	5
VCC1_VCO								
VCO 分配网络	最小可能值 最小可能值 ⁶	71	8	71	0	71	71	71
同步重新定时网络		8						
VCO 调节器, 旁路至 LDOBYP4 和 LDOBYP5		84		84		84		
VCO 内核								
VCC1_VCO 小计		163	8	155	0	155	71	71
VCC3_SYSREF								
SYSREF 输入网络 ³		11						
SYSREF 计数器参考		12		12				12
SYSREF 计数器、SYNC 网络		4						
VCC3_SYSREF 小计		27	0	12	0	0	0	12
小计 (无输出路径)			20	265	43	225	166	98

¹ 配置 0 = 睡眠模式; 配置 1 = 上电默认, PLL1 以及 4 个基准电压源, PLL2 通过内部 VCO 锁定, SYSREF 定时器运行; 配置 2 = 仅 PLL1, 1 个基准电压源; 配置 3 = PLL2 + VCO, PLL1 禁用; 配置 4 = PLL2 以及外部 VCO, PLL1 禁用; 配置 5 = 仅扇出模式, SYSREF 运行。

² 这是进入该模式后, 电路的电流增量。例如, 用于 PLL1 参考路径的 CLKINO/CLKINO 缓冲器为 2 mA。如果用作外部同步缓冲器, 则等于 2 + 5 mA。

³ 使用外部同步时, 可暂时使能 PLL2 同步模式下的瞬态电流。

⁴ 电流高度依赖输入/输出速率以及输入/输出走线负载。对于较重的负载走线而言, 建议使用数值大约为 100 Ω 的串联电阻, 以便最大程度减少转换时内部调节器上的 IR 下降。

⁵ 该功能变化范围为 8 mA 至 14 mA, 具体取决于分频比。

⁶ 仅临时电流。

表 23. HMC7044 根据引脚分组的电源网络, 用于时钟输出网络

每条输出通道	注释	典型电流(mA)	配置 ¹				
			0	1	2	3	4
数字调节器和其它信号源		2.5	0.5	2.5	2.5	2.5	2.5
缓冲器							
LVPECL	包括分项电流	43		43	43		43
CML100							
高功率	包括分项电流	31					
低功耗			24				
LVDS							
高功率	307 MHz 时	10				10	
低功耗							
CMOS	100 MHz, 两部分	25					
通道多路复用		包括在内 ²					
已删除不同的功率模式		2	2	2			2
数字延迟							
关	包括在内 ²	3					
设定点 > 1					3		3
模拟延迟							
关	无毛刺模式使能	包括在内 ²		0			
最小设置			9		9		
最大设置			9				9
分频器逻辑							
0	未使用分频器路径	包括在内 ²		0		0	
÷1			27				
÷2			27				
÷3			31				
÷4			29				
÷5			32				

每条输出通道	注释	典型电流(mA)	配置 ¹				
			0	1	2	3	4
÷6		29					
÷8		30					
÷16		31			31		
÷32		32					
÷2044		32					32
SYNC 逻辑 ³		4					
跳相逻辑 ³		4					
小计			2.5	48	89	13	92

¹ 配置 0 = 睡眠模式；配置 1 = 基频模式；配置 2 = SYSREF 通道匹配基频模式；配置 3 = LVDS—来自其它通道的高功率信号源；配置 4 = 一个通道的最差配置情况功耗。

² 电路（如多路复用器）基础功耗已包含在缓冲器的电流典型值中。

³ 同步事件中，仅暂时存在电流。

串行控制端口

串行端口接口(SPI)控制

HMC7044 可通过 SPI 使用 24 位寄存器和 3 个引脚控制: 串行端口使能(SLEN)、串行数据输入/输出(SDATA)和串行时钟(SCLK)。

表 24 中所示的 24 位寄存器包含:

- 1 位读/写命令
- 2 位多字节字段 (W1、W0)
- 13 位地址字段 (A12 至 A0)
- 8 位数据字段 (D7 至 D0)

表 24. SPI 位映射

MSB		LSB		
位 23	位 22	位 21	位[20:8]	位[7:0]
R/W	W1	A12 至 A0	A12 至 A0	D7 至 D0

典型读周期

典型读周期如图 43 所示, 发生情况如下:

1. 主机置位 SLEN 和 SDATA, 指示一次读取操作, 后接一个上升沿 SCLK。从机(HMC7044)在 SLEN 之后的 SCLK 第一个上升沿读取 SDATA。将 SDATA 设为高电平表示一次读取操作。
2. 主机在接下来的两个 SCLK 下降沿时将待写入的 2 位多字节字段设为低电平(0)。HMC7044 在接下来的两个 SCLK 上升沿寄存 2 位多字节字段。

3. 主机在接下来的 13 个 SCLK 下降沿上将 SDATA 上的 13 位地址字段 (A12 至 A0) 设为 MSB 优先。HMC7044 在接下来的 13 个 SCLK 上升沿上寄存 SDATA 上的 13 位地址字段 (MSB 优先)。
4. 主机在接下来的 8 个 SCLK 上升沿上寄存 8 位数据。HMC7044 在接下来的 8 个 SCLK 下降沿上将 8 位数据 (D7 至 D0) 设为 MSB 优先。
5. SLEN 解除置位, 寄存器读周期完成。

典型写周期

典型写周期如图 44 所示, 发生情况如下:

1. 主机置位 SLEN 和 SDATA, 指示一次读取操作, 后接一个上升沿 SCLK。从机(HMC7044)在 SLEN 之后的 SCLK 第一个上升沿读取 SDIO。将 SDATA 设为低电平表示一次写入操作。
2. 主机在接下来的两个 SCLK 下降沿时将待写入的 2 位多字节字段设为低电平(0)。HMC7044 在接下来的两个 SCLK 上升沿寄存 2 位多字节字段。
3. 主机在接下来的 13 个 SCLK 下降沿上将 SDATA 上的 13 位地址字段 (A12 至 A0) 设为 MSB 优先。HMC7044 在接下来的 13 个 SCLK 上升沿上寄存 SDIO 上的 13 位地址字段 (MSB 优先)。
4. 主机在接下来的 8 个 SCLK 下降沿上将 8 位数据 (D7 至 D0) 设为 MSB 优先。HMC7044 在接下来的 8 个 SCLK 上升沿上以 MSB 优先方式寄存 8 位数据 (D7 至 D0)。
5. SCLK 的最终上升沿执行内部数据传输, 将数据传输至寄存器文件, 更新器件配置。
6. SLEN 解除置位, 寄存器写周期完成。

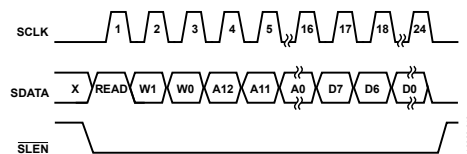


图 44. SPI 时序图, 读操作

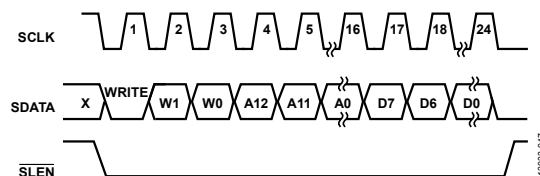


图 45. SPI 时序图, 写操作

应用信息

PLL1噪声计算

使用下列公式计算 PLL1 的闪烁噪声、噪底和总未滤波相位噪声规格（参见表 4）。

使用下式计算闪烁噪声：

$$PN(f_{OUT}, f_{OFFSET}) = Flicker_FOM + 20 \times \log(f_{OUT}) - 10 \times \log(f_{OFFSET}) \quad (1)$$

其中：

$PN()$ 为相位噪声。

f_{OUT} 为输出频率。

f_{OFFSET} 为噪声频率相对于输出载波频率的偏移量。

$Flicker_FOM$ 为闪烁频率时的品质因数。

使用下式计算噪底：

$$PN(f_{OUT}, f_{PD1}) = Floor_FOM + 20 \times \log\left(\frac{f_{OUT}}{f_{PD1}}\right) - 10 \times \log(f_{PD1}) \quad (2)$$

其中：

f_{PD1} 为 PLL1 的鉴相器频率。

$Floor_FOM$ 为本底频率时的品质因数。

使用下式计算总相位噪声（无滤波）：

$$PN(f_{OUT}, f_{PD1}, f_{OFFSET}) = 10 \times \log\left(\sqrt{10^{\left(\frac{PN_Flicker}{10}\right)^2} + 10^{\left(\frac{PN_Floor}{10}\right)^2}}\right) \quad (3)$$

其中：

$PN_Flicker$ 为闪烁频率时的相位噪声。

PN_Floor 为本底频率时的相位噪声。

PLL2 噪声计算

使用下列公式计算 PLL2 的闪烁噪声、噪底和总未滤波相位噪声规格（参见表 5）。

使用下式计算闪烁噪声：

$$PN(f_{OUT}, f_{OFFSET}) = Flicker_FOM + 20 \times \log(f_{OUT}) - 10 \times \log(f_{OFFSET}) \quad (4)$$

其中：

f_{OUT} 为输出频率。

f_{OFFSET} 为噪声频率相对于输出载波频率的偏移量。

$Flicker_FOM$ 为闪烁频率时的品质因数。

使用下式计算噪底：

$$PN(f_{OUT}, f_{PD2}) = Floor_FOM + 20 \times \log\left(\frac{f_{OUT}}{f_{PD2}}\right) - 10 \times \log(f_{PD2}) \quad (5)$$

其中：

$Floor_FOM$ 为本底频率时的品质因数。

f_{PD2} 为 PLL2 的鉴相器频率。

使用下式计算总相位噪声（无滤波）：

$$PN(f_{OUT}, f_{PD2}, f_{OFFSET}) = 10 \times \log\left(\sqrt{10^{\left(\frac{PN_Flicker}{10}\right)^2} + 10^{\left(\frac{PN_Floor}{10}\right)^2}}\right) \quad (6)$$

其中：

$PN_Flicker$ 为闪烁频率时的相位噪声。

PN_Floor 为本底频率时的相位噪声。

相位噪底和抖动

使用下列公式计算本底规格限制下的相位噪底、抖动密度和 RMS 加性抖动（参见表 9）。

使用下式计算相位噪底：

$$PN_{FLOOR} = FOM_{OCHAN} + 10 \times \log(f_{OUT}) + Harmonic Degradation + Power Degradation \quad (7)$$

其中：

PN_{FLOOR} 为 f_{OUT} 时的相位噪底。

FOM_{OCHAN} 为输出通道的品质因数。

$Harmonic Degradation$ 为接收仪器/电路在测量带宽中捕获的信号谐波。这些谐波的噪声功率可能折叠，并影响总噪声。

$Power Degradation$ 是当测量系统的噪底(-174 dBm/Hz)接近信号相位噪底中的噪声功率时引起的功耗性能下降。例如，假设相位噪声值为-155 dBc/Hz，则 0 dBm 载波电平时为-155 dBm/Hz，这很容易测量。然而，如果载波电平为-20 dBm，则-155 dBc/Hz 的相位噪声为-175 dBm/Hz，低于系统中的其它噪声源，因此无法测量。

使用下式计算 f_{OUT} 时的抖动密度：

$$JITTER_DENSITY_FLOOR = 2 \times 10^{\left(\frac{PN_floor/10}{f_{OUT} \times 2\pi}\right)} \quad (8)$$

其中， $JITTER_DENSITY_FLOOR$ 为 f_{OUT} 时的本底抖动密度。

使用下式计算本底导致的 RMS 加性抖动：

$$JITTER_RMS_FLOOR = JITTER_DENSITY_FLOOR \times \sqrt{Observation Bandwidth} \quad (9)$$

其中， $Observation Bandwidth$ 是所需的噪声积分带宽，其下限和上限边界偏离输出载波频率。

控制寄存器

控制寄存器映射

不能使用表25中未列出的寄存器地址，写入这些寄存器不起作用。不要更改标记为保留的寄存器值。除非在表25其它控制小节中另有列出，否则写入某些位被标记为保留的寄存器时，应始终将默认值写入保留位。

表25. 控制寄存器映射

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)
全局控制										
0x0000	全局软复位控制	保留							软复位	0x00
0x0001	全局请求和模式 控制	重新播 种请求	高性能 分配路径	高性能 PLL/VCO	强制保留	输出驱动 器静音	脉冲发生 器请求	重启分 频器 /FSM	睡眠 模式	0x00
0x0002		保留					PLL2自动 调谐触发	跳相 请求	保留	0x00
0x0003	全局使能控制	保留		RF重新播种 使能	VCO选择[1:0]		SYSREF定 时器使能	PLL2 使能	PLL1 使能	0x37
0x0004		保留	7对14通道输出使能[6:0]							0x7F
0x0005	全局模式和使能 控制	SYNC引脚模式选择 [1:0]		CLKIN1/ CLKIN1处于 外部VCO 输入模式	CLKIN0/ CLKIN0处 于RF SYNC 输入模式	PLL1参考路径使能[3:0]			0x4F	
0x0006	全局清零警报	保留							清零 警报	0x00
0x0007	全局杂项控制	保留								0x00
0x0008		保留 (暂存区)								0x00
0x0009		保留							锁定时 禁用 SYNC	0x01
PLL1										
0x000A	CLKIN0/CLKIN0 输入缓冲器控制	保留			输入缓冲器模式[3:0]			缓冲器 使能	0x07	
0x000B	CLKIN1/CLKIN1 输入缓冲器控制	保留			输入缓冲器模式[3:0]			缓冲器 使能	0x07	
0x000C	CLKIN2/CLKIN2 输入缓冲器控制	保留			输入缓冲器模式[3:0]			缓冲器 使能	0x07	
0x000D	CLKIN3/CLKIN3 输入缓冲器控制	保留			输入缓冲器模式[3:0]			缓冲器 使能	0x07	
0x000E	OSCIN/OSCIN 输入缓冲器控制	保留			输入缓冲器模式[3:0]			缓冲器 使能	0x07	
0x0014	PLL1参考信号 优先级控制	第四优先级 CLKINx/CLKINx 输入[1:0]		第三优先级 CLKINx/CLKINx 输入[1:0]		第二优先级 CLKINx/CLKINx 输入[1:0]		第一优先级 CLKINx/CLKINx 输入[1:0]		0xE4
0x0015	PLL1信号 丢失(LOS)控制	保留				LOS验证定时器[2:0]			0x03	
0x0016	PLL1保持退出控制	保留			保持退出动作[1:0]		保持退出条件[1:0]		0x0C	

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	
0x0017	PLL1保持DAC/ADC控制	保留	保持DAC值[6:0]								0x00
0x0018		保留			ADC跟踪 禁用	快速模式 下强制 DAC进入 保持	保持带宽降低[1:0]			0x04	
0x0019	PLL1 LOS模式控制	保留					LOS旁路输入 预分频器	LOS使用 VCXO 预分频器		0x00	
0x001A	PLL1电荷泵控制	保留			PLL1 CP电流[3:0]					0x08	
0x001B	PLL1 PFD控制	保留		PLL1 PFD 上升使能	PLL1 PFD 下降使能	PLL1 PFD 上升强制	PLL1 PFD 下降强制	PLL1 PFD 极性		0x18	
0x001C	CLKIN0/CLKIN0输入预分 频器控制	CLKIN0/CLKIN0输入预分频器[7:0]								0x04	
0x001D	CLKIN1/CLKIN1输入预分 频器控制	CLKIN1/CLKIN1输入预分频器[7:0]								0x01	
0x001E	CLKIN2/CLKIN2输入预分 频器控制	CLKIN2/CLKIN2输入预分频器[7:0]								0x04	
0x001F	CLKIN3/CLKIN3输入预分 频器控制	CLKIN3/CLKIN3输入预分频器[7:0]								0x01	
0x0020	OSCIN/OSCIN输入预分 频器控制	OSCIN/OSCIN输入预分频器[7:0]								0x04	
0x0021	PLL1参考分频器控制 (R1)	16位R1分频器[7:0](LSB)								0x04	
0x0022		16位R1分频器[15:8](MSB)								0x00	
0x0026	PLL1反馈分频器控制 (N1)	16位N1分频器[7:0](LSB)								0x10	
0x0027		16位N1分频器[15:8](MSB)								0x00	
0x0028	PLL1锁定检测控制	保留	PLL1锁定 检测使用 跳相	PLL1锁定检测定时器[4:0]						0x0F	
0x0029	PLL1参考信号切换控制	保留	旁路 去抖器	手动模式参考切换 [1:0]	使用DAC 的保持	自动恢复参 考切换	自动模式 参考切换		0x05		
0x002A	PLL1释抑时间控制	释抑定时器[7:0]								0x00	
PLL2											
0x0031	PLL2杂项控制	保留								0x01	
0x0032	PLL2倍频器控制	保留							旁路倍 频器	0x01	
0x0033	PLL2参考分频器控制 (R2)	12位R2分频器[7:0](LSB)								0x02	
0x0034		保留			12位R2分频器[11:8](MSB)					0x00	

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)
0x0035	PLL2反馈分	12位N2分频器[7:0](LSB)								0x20
0x0036	频器控制(N2)	保留				12位N2分频器[11:8](MSB)				0x00
0x0037	PLL2电荷 泵控制	保留				PLL2 CP电流[3:0]				0x0F
0x0038	PLL2 PFD 控制	保留		PLL2 PFD 上升使能	PLL2 PFD 下降使能	PLL2 PFD 上升强制	PLL2 PFD 下降强制	PLL2 PFD 极性	0x18	
0x0039	OSCOUTx/ OSCOUTx 路径控制	保留				OSCOUTx/OSCOUTx分频器[1:0]		OSCOUTx/ OSCOUTx 路径使能	0x00	
0x003A	OSCOUTx/ OSCOUTx 驱动器控制	保留	OSCOUT0/OSCOUT0 驱动器模式[1:0]		保留	OSCOUT0/OSCOUT0驱动器阻 抗[1:0]		OSCOUT0/ OSCOUT0 驱动器使能	0x00	
0x003B		保留	OSCOUT1/OSCOUT1 驱动器模式[1:0]		保留	OSCOUT1/OSCOUT1驱动器阻 抗[1:0]		OSCOUT1/ OSCOUT1 驱动器使能	0x00	
0x003C	PLL2 杂项控制	保留								0x00
GPIO/SDATA控制										
0x0046	GPI1控制	保留			GPI1选择[3:0]				GPI1使能	0x00
0x0047	GPI2控制	保留			GPI2选择[3:0]				GPI2使能	0x00
0x0048	GPI3控制	保留			GPI3选择[3:0]				GPI3使能	0x09
0x0049	GPI4控制	保留			GPI4选择[3:0]				GPI4使能	0x11
0x0050	GPO1控制	GPO1选择[5:0]					GPO1模式	GPO1使能	0x37	
0x0051	GPO2控制	GPO2选择[5:0]					GPO2模式	GPO2使能	0x33	
0x0052	GPO3控制	GPO3选择[5:0]					GPO3模式	GPO3使能	0x00	
0x0053	GPO4控制	GPO4选择[5:0]					GPO4模式	GPO4使能	0x00	
0x0054	SDATA控制	保留					SDATA模式	SDATA使能	0x03	
SYSREF/SYNC控制										
0x005A	脉冲发生器 控制	保留				脉冲发生器模式选择[2:0]				0x00
0x005B	SYNC控制	保留				SYNC重新 定时	通过PLL2执 行SYNC	SYNC极性	0x06	
0x005C	SYSREF定时	SYSREF定时器[7:0](LSB)								0x00
0x005D	器控制	保留				SYSREF定时器[11:8](MSB)				0x01
0x005E	SYSREF杂项 控制	保留								0x00

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)
时钟分配网络										
0x0064	外部VCO控制	保留						外部 VCO使 能时2 分频	低频外部 VCO路径	0x00
0x0065	模拟延迟通用 控制	保留							模拟延迟 低功耗 模式	0x00
警报屏蔽寄存器										
0x0070	PLL1警报屏蔽 控制	PLL1接近 锁定屏蔽	PLL1锁定 获取屏蔽	PLL1锁定 检测屏蔽	PLL1保持 状态屏蔽	PLL1 CLKINx/CLKINx LOS屏蔽[3:0]			0x00	
0x0071	警报屏蔽控制	保留			同步请求 屏蔽	PLL1和PLL2锁 定检测屏蔽	时钟输出 相位状态 屏蔽	SYSREF 同步状 态屏蔽	PLL2锁定 检测屏蔽	0x10
产品ID寄存器										
0x0078	产品ID	产品ID值[7:0](LSB)							0x51	
0x0079		产品ID值[15:8](Mid)							0x16	
0x007A		产品ID值[23:16](MSB)							0x30	
警报回读状态寄存器										
0x007B	回读寄存器	保留							警报信号	
0x007C	PLL1警报回读	PLL1接近 锁定	PLL1锁定 获取	PLL1锁定 检测	PLL1保持 状态	CLKINx/CLKINx LOS[3:0]				
0x007D	警报回读	保留			同步请求 状态	PLL1和PLL2锁 定检测	时钟输出 相位状态	SYSREF 同步 状态	PLL2锁定 检测	
0x007E	锁存警报回读	保留	PLL2锁定 获取锁存	PLL1锁定 获取锁存	PLL1保持 锁存	CLKINx/CLKINx LOS锁存[3:0]				
0x007F	警报回读杂项	保留								
PLL1状态寄存器										
0x0082	PLL1	保留	PLL1最佳时钟[1:0]	PLL1有效CLKINx/CLKINx[1:0]		PLL1 FSM状态[2:0]				
0x0083	状态寄存器	保留	PLL1保持DAC平均值[6:0]							
0x0084		保持 比较器值	PLL1保持DAC当前值[6:0]							
0x0085		保留				PLL1有效 CLKINx/CLKINx LOS	PLL1 VCXO状态	PLL1保 持ADC 状态	PLL1保持 ADC输入 范围状态	
0x0086		保留		PLL1保持退出阶段[1:0]		保留				
0x0087		保留								
PLL2状态寄存器										
0x008C	PLL2	PLL2自动调谐值								
0x008D	状态寄存器	PLL2自动调谐带符号错误[7:0](LSB)								
0x008E		PLL2自动 调谐状态	PLL2自动 调谐错误 符号	PLL2自动调谐带符号错误[13:8](MSB)						
0x008F		PLL2自动调谐FSM状态[3:0]				PLL2 SYNC FSM状态[3:0]				
0x0090		保留								

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)		
SYSREF状态寄存器												
0x0091	SYSREF状态寄存器	保留			通道输出FSM繁忙	SYSREF FSM状态[3:0]						
其它控制												
0x0096	保留	保留				保留				0x00		
0x0097	保留	保留				保留				0x00		
0x0098	保留	保留				保留				0x00		
0x0099	保留	保留				保留				0x00		
0x009A	保留	保留				保留				0x00		
0x009B	保留	保留				保留				0xAA		
0x009C	保留	保留				保留				0xAA		
0x009D	保留	保留				保留				0xAA		
0x009E	保留	保留				保留				0xAA		
0x009F	保留	时钟输出驱动器低功耗设置 (若要实现最佳性能, 则设为0x4D而非默认值)								0x55		
0x00A0	保留	时钟输出驱动器高功耗设置 (若要实现最佳性能, 则设为0xDF而非默认值)								0x56		
0x00A1	保留	保留				保留				0x97		
0x00A2	保留	保留				保留				0x03		
0x00A3	保留	保留				保留				0x00		
0x00A4	保留	保留				保留				0x00		
0x00A5	保留	PLL1更多延迟 (PFD1, 锁定检测) (若要实现最佳性能, 则设为0x06而非默认值)								0x00		
0x00A6	保留	保留				保留				0x1C		
0x00A7	保留	保留				保留				0x00		
0x00A8	保留	PLL1保持DAC g_m 设置 (若要实现最佳性能, 则设为0x06而非默认值)								0x22		
0x00A9	保留	保留				保留				0x00		
0x00AB	保留	保留				保留				0x00		
0x00AC	保留	保留				保留				0x20		
0x00AD	保留	保留				保留				0x00		
0x00AE	保留	保留				保留				0x08		
0x00AF	保留	保留				保留				0x50		
0x00B0	保留	VTUNE预设设置 (若要实现最佳性能, 则设为0x04而非默认值)								0x09		
0x00B1	保留	保留				保留				0x0D		
0x00B2	保留	保留				保留				0x00		
0x00B3	保留	保留				保留				0x00		
0x00B5	保留	保留				保留				0x00		
0x00B6	保留	保留				保留				0x00		
0x00B7	保留	保留				保留				0x00		
0x00B8	保留	保留				保留				0x00		
时钟分配												
0x00C8	通道输出O控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]	多跳使能	通道使能	0xF3			
0x00C9		12位通道分频器[7:0](LSB)								0x04		
0x00CA		保留				12位通道分频器[11:8](MSB)				0x00		
0x00CB		保留				微调模拟延迟[4:0]				0x00		
0x00CC		保留				粗调数字延迟[4:0]				0x00		
0x00CD		12位多跳数字延迟[7:0](LSB)								0x00		
0x00CE		保留				12位多跳数字延迟[11:8](MSB)				0x00		
0x00CF		保留						输出多路复用选择[1:0]			0x00	
0x00D0		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]	保留	驱动器阻抗[1:0]			0x01			
0x00D1		保留								0x00		

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	
0x00D2	通道输出1控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD	
0x00D3		12位通道分频器[7:0](LSB)								0x00	
0x00D4		保留				12位通道分频器[11:8](MSB)				0x01	
0x00D5		保留				微调模拟延迟[4:0]				0x00	
0x00D6		保留				粗调数字延迟[4:0]				0x00	
0x00D7		12位多跳数字延迟[7:0](LSB)								0x00	
0x00D8		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x00D9		保留							输出多路复用选择[1:0]		0x00
0x00DA		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x30	
0x00DB		保留								0x00	
0x00DC		通道输出2控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3
0x00DD			12位通道分频器[7:0](LSB)								0x08
0x00DE	保留				12位通道分频器[11:8](MSB)				0x00		
0x00DF	保留				微调模拟延迟[4:0]				0x00		
0x00E0	保留				粗调数字延迟[4:0]				0x00		
0x00E1	12位多跳数字延迟[7:0](LSB)								0x00		
0x00E2	保留				12位多跳数字延迟[11:8](MSB)				0x00		
0x00E3	保留							输出复用选择[1:0]		0x00	
0x00E4	强制静音[1:0]		动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x01	
0x00E5	保留								0x00		
0x00E6	通道输出3控制		高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD
0x00E7			12位通道分频器[7:0](LSB)								0x00
0x00E8		保留				12位通道分频器[11:8](MSB)				0x01	
0x00E9		保留				微调模拟延迟[4:0]				0x00	
0x00EA		保留				粗调数字延迟[4:0]				0x00	
0x00EB		12位多跳数字延迟[7:0](LSB)								0x00	
0x00EC		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x00ED		保留							输出多路复用选择[1:0]		0x00
0x00EE		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x30	
0x00EF		保留								0x00	
0x00F0		通道输出4控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3
0x00F1			12位通道分频器[7:0](LSB)								0x02
0x00F2	保留				12位通道分频器[11:8](MSB)				0x00		
0x00F3	保留				微调模拟延迟[4:0]				0x00		
0x00F4	保留				粗调数字延迟[4:0]				0x00		
0x00F5	12位多跳数字延迟[7:0](LSB)								0x00		
0x00F6	保留				12位多跳数字延迟[11:8](MSB)				0x00		
0x00F7	保留							输出多路复用选择[1:0]		0x00	
0x00F8	强制静音[1:0]		动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x01	
0x00F9	保留								0x00		

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	
0x00FA	通道输出5 控制	高性能模式	SYNC 使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD	
0x00FB		12位通道分频器[7:0](LSB)								0x00	
0x00FC		保留				12位通道分频器[11:8](MSB)				0x01	
0x00FD		保留				微调模拟延迟[4:0]				0x00	
0x00FE		保留				粗调数字延迟[4:0]				0x00	
0x00FF		12位多跳数字延迟[7:0](LSB)								0x00	
0x0100		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x0101		保留							输出多路复用选择[1:0]		0x00
0x0102		强制静音[1:0]		动态驱动 器使能	驱动器模式[1:0]		保留		驱动器阻抗[1:0]		0x30
0x0103		保留								0x00	
0x0104	通道输出6 控制	高性能模式	SYNC 使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3	
0x0105		12位通道分频器[7:0](LSB)								0x02	
0x0106		保留				12位通道分频器[11:8](MSB)				0x00	
0x0107		保留				微调模拟延迟[4:0]				0x00	
0x0108		保留				粗调数字延迟[4:0]				0x00	
0x0109		12位多跳数字延迟[7:0](LSB)								0x00	
0x010A		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x010B		保留							输出多路复用选择[1:0]		0x00
0x010C		强制静音[1:0]		动态驱动 器使能	驱动器模式[1:0]		保留		驱动器阻抗[1:0]		0x01
0x010D		保留								0x00	
0x010E	通道输出7 控制	高性能模式	SYNC 使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD	
0x010F		12位通道分频器[7:0](LSB)								0x00	
0x0110		保留				12位通道分频器[11:8](MSB)				0x01	
0x0111		保留				微调模拟延迟[4:0]				0x00	
0x0112		保留				粗调数字延迟[4:0]				0x00	
0x0113		12位多跳数字延迟[7:0](LSB)								0x00	
0x0114		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x0115		保留							输出多路复用选择[1:0]		0x00
0x0116		强制静音[1:0]		动态驱动 器使能	驱动器模式[1:0]		保留		驱动器阻抗[1:0]		0x30
0x0117		保留								0x00	
0x0118	通道输出8 控制	高性能模式	SYNC 使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3	
0x0119		12位通道分频器[7:0](LSB)								0x02	
0x011A		保留				12位通道分频器[11:8](MSB)				0x00	
0x011B		保留				微调模拟延迟[4:0]				0x00	
0x011C		保留				粗调数字延迟[4:0]				0x00	
0x011D		12位多跳数字延迟[7:0](LSB)								0x00	
0x011E		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x011F		保留							输出多路复用选择[1:0]		0x00
0x0120		强制静音[1:0]		动态驱动 器使能	驱动器模式[1:0]		保留		驱动器阻抗[1:0]		0x01
0x0121		保留								0x00	

地址 (十六进制)	寄存器 名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	
0x0122	通道输出 9控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD	
0x0123		12位通道分频器[7:0](LSB)								0x00	
0x0124		保留				12位通道分频器[11:8](MSB)				0x01	
0x0125		保留				微调模拟延迟[4:0]				0x00	
0x0126		保留				粗调数字延迟[4:0]				0x00	
0x0127		12位多跳数字延迟[7:0](LSB)								0x00	
0x0128		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x0129		保留							输出多路复用选择[1:0]		0x00
0x012A		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x30	
0x012B		保留								0x00	
0x012C	通道输出 10控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3	
0x012D		12位通道分频器[7:0](LSB)								0x02	
0x012E		保留				12位通道分频器[11:8](MSB)				0x00	
0x012F		保留				微调模拟延迟[4:0]				0x00	
0x0130		保留				粗调数字延迟[4:0]				0x00	
0x0131		12位多跳数字延迟[7:0](LSB)								0x00	
0x0132		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x0133		保留							输出多路复用选择[1:0]		0x00
0x0134		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x01	
0x0135		保留								0x00	
0x0136	通道输出 11控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD	
0x0137		12位通道分频器[7:0](LSB)								0x00	
0x0138		保留				12位通道分频器[11:8](MSB)				0x01	
0x0139		保留				微调模拟延迟[4:0]				0x00	
0x013A		保留				粗调数字延迟[4:0]				0x00	
0x013B		12位多跳数字延迟[7:0](LSB)								0x00	
0x013C		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x013D		保留							输出多路复用选择[1:0]		0x00
0x013E		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x30	
0x013F		保留								0x00	
0x0140	通道输出 12控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xF3	
0x0141		12位通道分频器[7:0](LSB)								0x10	
0x0142		保留				12位通道分频器[11:8](MSB)				0x00	
0x0143		保留				微调模拟延迟[4:0]				0x00	
0x0144		保留				粗调数字延迟[4:0]				0x00	
0x0145		12位多跳数字延迟[7:0](LSB)								0x00	
0x0146		保留				12位多跳数字延迟[11:8](MSB)				0x00	
0x0147		保留							输出多路复用选择[1:0]		0x00
0x0148		强制静音[1:0]	动态驱动器使能	驱动器模式[1:0]		保留	驱动器阻抗[1:0]			0x01	
0x0149		保留								0x00	

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)		
0x014A	通道输出13 控制	高性能模式	SYNC使能	跳相使能	保留	启动模式[1:0]		多跳使能	通道使能	0xFD		
0x014B		12位通道分频器[7:0](LSB)								0x00		
0x014C		保留				12位通道分频器[11:8](MSB)				0x01		
0x014D		保留				微调模拟延迟[4:0]				0x00		
0x014E		保留				粗调数字延迟[4:0]				0x00		
0x014F		12位多跳数字延迟[7:0](LSB)								0x00		
0x0150		保留				12位多跳数字延迟[11:8](MSB)				0x00		
0x0151		保留							输出多路复用选择[1:0]		0x00	
0x0152		强制静音[1:0]		动态驱动器使能		驱动器模式[1:0]		保留		驱动器阻抗[1:0]		0x30
0x0153		保留								0x00		

控制寄存器映射位功能描述

全局控制 (寄存器0x0000至寄存器0x0009)

表26. 全局软复位控制

地址	位	位名称	设置	描述	访问类型
0x0000	[7:1]	保留		保留。	RW
	0	软复位		复位所有寄存器、分频器和FSM至默认值。	

表27. 全局请求和模式控制

地址	位	位名称	设置	描述	访问类型
0x0001	7	重新播种请求		请求中心化重新同步定时器和FSM重新播种任何编程设置为关注同步事件的输出分频器。此信号对上升沿敏感，且仅在重新同步FSM完成所有事件之后应答（完成了所有之前的脉冲发生器和/或同步事件，且处于完成状态；SYSREF FSM状态[3:0] = 0010）。	RW
	6	高性能分配路径	0 1	高性能分配路径选择。VCO时钟分配路径有两种模式。 功率优先级。 噪声优先级。为分频输出信号提供更佳的噪底选项。	
	5	高性能PLL/VCO	0 1	高性能PLL/VCO选择。该VCO有两种工作模式： 功率优先级。 噪声优先级。降低载波周围的相位噪声。	
	4	强制保留		强制PLL1进入保持模式。传输至PLL1 FSM时钟域后（通常以VCXO或LCM速率），来自GPI或SPI的保持请求在器件内去抖。去抖器使能时，强制保持置位到HOLD OVER状态的延迟为6个时钟周期。如果去抖器旁路，则延迟为2个时钟周期。若要异步使电荷泵处于三态，则用户可以通过PLL1 PFD控制寄存器（寄存器0x001B）的位[4:3]禁用来自PFD的上升和下降信号（PLL1 PFD上升使能，PLL1 PFD下降禁用）。	
	3	输出驱动器静音		输出驱动器静音（驱动器依然在后台运行）。	
	2	脉冲发生器请求		获取脉冲流（参见“典型编程序列”部分）。	
	1	重启分频器/FSM		所有分频器复位至FSM。不影响配置寄存器。	
	0	睡眠模式		强制关断。PLL1和PLL2、输出网络以及I/O缓冲器禁用。	

地址	位	位名称	设置	描述	访问类型
0x0002	[7:3]	保留		保留。	RW
	2	PLL2自动调谐触发		器件退出复位时，如果存在错误/问题，则触发自动调谐。	
	1	跳相请求		从所有对跳相或多跳命令敏感的分频器通道请求跳相或多跳事件。分频器对上升沿敏感，并且需要一定时间来处理请求，然后置位相位同步警报。	
	0	保留		保留。	

表28. 全局使能控制

地址	位	位名称	设置	描述	访问类型
0x0003	[7:6]	保留		保留	RW
	5	RF重新播种使能		使能SYSREF RF重新播种	
	[4:3]	VCO选择[1:0]	00	内部禁用/外部	
			01	高电平	
			10	低电平	
	2	SYSREF定时器使能		使能内部SYSREF时间参考	
	1	PLL2使能		主机模拟使能至PLL2	
0	PLL1使能		主机模拟使能至PLL1		
0x0004	7	保留		保留	RW
	[6:0]	7对14通道输出使能[6:0]	位0	使能通道0和通道1	
			位1	使能通道2和通道3	
			位2	使能通道4和通道5	
			位3	使能通道6和通道7	
			位4	使能通道8和通道9	
			位5	使能通道10和通道11	
			位6	使能通道12和通道13	

表29. 全局模式和使能控制

地址	位	位名称	设置	描述	访问类型
0x0005	[7:6]	SYNC引脚模式选择[1:0]		相对于PLL2的SYNC引脚配置。	RW
			00	禁用。	
			01	SYNC。通过PLL2加载上升沿。对多芯片同步而言很有用。	
			10	脉冲发生器。从配置为动态启动的任意通道请求脉冲发生器流。这与GPI请求脉冲发生器的表现相同。	
			11	如果存在警报则产生SYNC，否则产生脉冲发生器信号。	
	5	CLKIN1/CLKIN1处于外部VCO输入模式		CLKIN1/CLKIN1输入用于外部VCO。	
	4	CLKIN0/CLKIN0处于RF SYNC输入模式		CLKIN0/CLKIN0输入用于外部RF同步。	
	[3:0]	PLL1参考路径使能[3:0]		选择并使能PLL1参考路径。	
			位0	使能CLKIN0/CLKIN0输入路径。	
			位1	使能CLKIN1/CLKIN1输入路径。	
			位2	使能CLKIN2/CLKIN2输入路径。	
位3			使能CLKIN3/CLKIN3输入路径。		

表30. 全局清零警报

地址	位	位名称	设置	描述	访问类型
0x0006	[7:1]	保留		保留	RW
	0	清零警报		清零锁存警报	

表31. 全局杂项控制

地址	位	位名称	设置	描述	访问类型
0x0007	[7:0]	保留		保留。	RW
0x0008	[7:0]	保留 (暂存区)		保留。用户可写入/读取该寄存器，以向HMC7044确认I/O。该寄存器不影响器件工作。	RW
0x0009	[7:1]	保留		保留。	RW
	0	锁定时禁用SYNC	0 1	锁定后，PLL2发送同步事件上升N2。 该功能禁用，且SYNC不在PLL2锁定时内部生成。	

PLL1 (寄存器0x000A至寄存器0x002A)

表32. CLKINx/CLKINx和OSCIN/OSCIN输入缓冲器控制

地址	位	位名称	设置	描述	访问类型
0x000A、0x000B、0x000C、0x000D、0x000E	[7:5]	保留		保留	RW
	[4:1]	输入缓冲器模式[3:0]	位0	输入缓冲器控制 使能内部100 Ω端接	
			位1	使能交流耦合输入模式	
			位2	使能LVPECL输入模式	
0	缓冲器使能		使能高阻态输入模式 使能输入缓冲器		

表33. PLL1参考信号优先级控制

地址	位	位名称	设置	描述	访问类型
0x0014	[7:6]	第四优先级CLKINx/CLKINx输入[1:0]		如果第三选择时钟不可用，则使用第四选择时钟	RW
	[5:4]	第三优先级CLKINx/CLKINx输入[1:0]		如果第二选择时钟不可用，则使用第三选择时钟	
	[3:2]	第二优先级CLKINx/CLKINx输入[1:0]		如果第一选择时钟不可用，则使用第二选择时钟	
	[1:0]	第一优先级CLKINx/CLKINx输入[1:0]		这是第一选择时钟	

表34. PLL1信号丢失(LOS)控制

地址	位	位名称	设置	描述	访问类型
0x0015	[7:3]	保留		保留。	RW
	[2:0]	LOS验证定时器[2:0]	000 001 010 011 100 101 110 111	LOS迟滞LCM周期。这是参考输入再次变为有效时，退出LOS状态前的LCM等待周期数。 ¹ 无。 2个周期。 4个周期。 8个周期。 16个周期。 32个周期。 64个周期。 128个周期。	

¹ LOS重新验证需要花费该周期数的2至3倍。LOS重新认证不确定性取决于另一个通道是否在LOS中。

表35. PLL1保持退出控制

地址	位	位名称	设置	描述	访问类型
0x0016	[7:4]	保留		保留	RW
	[3:2]	保持退出动作[1:0]	00 01 10 11	PLL1 FSM退出保持模式时采取行动。 复位分频器。 无操作。 无操作。 DAC辅助。	
	[1:0]	保持退出条件[1:0]	X0 ¹ 01 11	PLL1 FSM用于退出保持模式的条件。 LOS消失时退出保持。 相位误差 = 0时退出保持。 立即退出保持。	

¹ X表示无关。

表36. PLL1保持DAC/ADC控制

地址	位	位名称	设置	描述	访问类型
0x0017	7	保留		保留	RW
	[6:0]	保持DAC值[6:0]		在保持模式下，如果ADC跟踪禁用置1，则保持DAC控制值设为该值（当作无符号整数值）；否则，保持平均DAC值加上该值（当作二进制补码编码带符号整数值）	
0x0018	[7:4]	保留		保留	RW
	3	ADC跟踪禁用		禁用ADC跟踪；使用DAC保持字	
	2	快速模式下强制DAC进入保持		立即强制来自DAC当前值的DAC控制值等于经过计算的DAC保持值，而非逐步等于该值	
	[1:0]	保持带宽降低[1:0]		降低跟踪带宽	

表37. PLL1 LOS模式控制

地址	位	位名称	设置	描述	访问类型
0x0019	[7:2]	保留		保留	RW
	1	LOS旁路输入预分频器		旁路LCM R分频器级联；R1输入为所选CLKINx/CLKINx输入	
	0	LOS使用VCXO预分频器		针对极低的PFD速率；N1后级联VCXO LCM分频器	

表38. PLL1电荷泵控制

地址	位	位名称	设置	描述	访问类型
0x001A	[7:4]	保留		保留	RW
	[3:0]	PLL1 CP电流[3:0]		PLL1电荷泵电流	

表39. PLL1 PFD控制

地址	位	位名称	设置	描述	访问类型
0x001B	[7:5]	保留		保留	RW
	4	PLL1 PFD上升使能		使能PLL1 PFD上升	
	3	PLL1 PFD下降使能		使能PLL1 PFD下降	
	2	PLL1 PFD上升强制		强制PLL1电荷泵上升；不与PLL1 PFD下降强制同时置位	
	1	PLL1 PFD下降强制		强制PLL1电荷泵下降；不与PLL1 PFD上升强制同时置位	
	0	PLL1 PFD极性	0 1	选择PFD极性 正 负	

表40. CLKINx/CLKINx和OSCIN/OSCIN输入预分频器控制

地址	位	位名称	设置	描述	访问类型
0x001C	[7:0]	CLKIN0/CLKIN0输入预分频器[7:0]		CLKIN0/CLKIN0预分频器设定点	RW
0x001D	[7:0]	CLKIN1/CLKIN1输入预分频器[7:0]		CLKIN1/CLKIN1预分频器设定点	RW
0x001E	[7:0]	CLKIN2/CLKIN2输入预分频器[7:0]		CLKIN2/CLKIN2预分频器设定点	RW
0x001F	[7:0]	CLKIN3/CLKIN3输入预分频器[7:0]		CLKIN3/CLKIN3预分频器设定点	RW
0x0020	[7:0]	OSCIN/OSCIN输入预分频器[7:0]		OSCIN/OSCIN预分频器设定点	RW

表41. PLL1参考分频器控制(R1)

地址	位	位名称	设置	描述	访问类型
0x0021	[7:0]	16位R1分频器[7:0](LSB)		16位R1分频器设定点LSB	RW
0x0022	[7:0]	16位R1分频器[15:8](MSB)		16位R1分频器设定点MSB	RW

表42. PLL1反馈分频器控制(N1)

地址	位	位名称	设置	描述	访问类型
0x0026	[7:0]	16位N1分频器[7:0](LSB)		16位N1分频器设定点LSB	RW
0x0027	[7:0]	16位N1分频器[15:8](MSB)		16位N1分频器设定点MSB	RW

表43. PLL1锁定检测控制

地址	位	位名称	设置	描述	访问类型
0x0028	[7:6]	保留		保留	RW
	5	PLL1锁定检测使用跳相		使用跳相指示器进行锁定检测，而非2 ns定时器	
	[4:0]	PLL1锁定检测定时器[4:0]	00000 00001 00010 ... 11110 11111	PLL1锁定检测中心深度(LCM)；增量为2 ^{PLL1锁定检测定时器} [4:0]个周期 1个周期 2个周期 4个周期 ... 1,073,741,824个周期 2,147,483,648个周期	

表44. PLL1参考信号切换控制

地址	位	位名称	设置	描述	访问类型
0x0029	[7:6]	保留		保留	RW
	5	旁路去抖器		旁路手动模式下的去抖器和GPI时钟/保持选择	
	[4:3]	手动模式参考切换 [1:0]		如果自动模式REF切换 = 0, 则手动选择CLKINx/CLKINx输入	
	2	使用DAC的保持	0 1	在保持模式下, 选择PLL1使用DAC还是让电荷泵进入三态 让电荷泵进入三态 使用保持DAC	
	1	自动恢复参考切换		如果再次变为可用, 则恢复为PLL1最佳时钟选项	
	0	自动模式切换		根据LOS/PLL1参考优先级控制寄存器 (寄存器0x0014) 自动切换时钟	

表45. PLL1释抑时间控制

地址	位	位名称	设置	描述	访问类型
0x002A	[7:0]	释抑定时器 [7:0]		PLL1在保持状态中等待2 ^{释抑定时器[7:0]} LCM个周期, 给予摒弃参考信号切换到下一优先级时钟前的恢复机会。如果释抑定时器[7:0]等于0, 则释抑功能禁用, 直接切换到下一优先级时钟。	RW

PLL2 (寄存器0x0031至寄存器0x003C)

表46. PLL2杂项控制

地址	位	位名称	设置	描述	访问类型
0x0031	[7:0]	保留		保留	RW
0x003C	[7:0]	保留		保留	RW

表47. PLL2倍频器控制

地址	位	位名称	设置	描述	访问类型
0x0032	[7:1]	保留		保留	RW
	0	旁路倍频器	0 1	旁路PLL2倍频器 使能R2分频器前的倍频器 旁路倍频器	

表48. PLL2参考分频器控制(R2)

地址	位	位名称	设置	描述	访问类型
0x0033	[7:0]	12位R2分频器[7:0](LSB)		12位R2分频器设定点LSB。1分频至4095分频。 00000000、00000001 = 1分频。	RW
0x0034	[7:4]	保留		保留。	RW
	[3:0]	12位R2分频器[11:8](MSB)		12位R2分频器设定点MSB。	

表49. PLL2反馈分频器控制(N2)

地址	位	位名称	设置	描述	访问类型
0x0035	[7:0]	12位N2分频器[7:0](LSB)		12位N2分频器设定点LSB。8分频至4095分频。	RW
0x0036	[7:4]	保留		保留。	RW
	[3:0]	12位N2分频器[11:8](MSB)		12位N2分频器设定点MSB。	

表50. PLL2电荷泵控制

地址	位	位名称	设置	描述	访问类型
0x0037	[7:4]	保留		保留。	RW
	[3:0]	PLL2 CP电流[3:0]		这4位设置PLL2电荷泵电流的幅度。步长约为160 μ A，满量程幅度约为2560 μ A。	

表51. PLL2 PFD控制

地址	位	位名称	设置	描述	访问类型
0x0038	[7:5]	保留		保留	RW
	4	PLL2 PFD上升使能		使能PLL2 PFD上升	
	3	PLL2 PFD下降使能		使能PLL2 PFD下降	
	2	PLL2 PFD上升强制		强制PLL2电荷泵上升；不与PLL2 PFD下降强制同时置位	
	1	PLL2 PFD下降强制		强制PLL2电荷泵下降；不与PLL2 PFD上升强制同时置位	
	0	PLL2 PFD极性	0 1	选择PFD极性 正 负	

表52. OSCOUTx/OSCOUTx路径控制

地址	位	位名称	设置	描述	访问类型
0x0039	[7:3]	保留		保留	RW
	[2:1]	OSCOUTx/OSCOUTx分频器[1:0]	00 01 10 11	振荡器输出分频比 1分频 2分频 4分频 8分频	
	0	OSCOUTx/OSCOUTx路径使能		使能振荡器输出路径（分频器和除分频器外的内部路径）	

表53. OSCOUTx/OSCOUTx驱动器控制

地址	位	位名称	设置 ¹	描述	访问类型
0x003A、 0x003B	[7:6]	保留		保留	RW
	[5:4]	OSCOUTx/OSCOUTx驱动器模式[1:0]	00 01 10 11	振荡器输出驱动器模式选择 CML模式 LVPECL模式 LVDS模式 CMOS模式	
	[3]	保留		保留	
	[2:1]	OSCOUTx/OSCOUTx驱动器阻抗[1:0]	00 01 10 11	CML模式的振荡器输出驱动器阻抗选择 内部电阻禁用 根据输出引脚使能内部100 Ω 电阻 保留 根据输出引脚使能内部50 Ω 电阻	
	0	OSCOUTx/OSCOUTx驱动器使能		使能振荡器驱动器	

¹ X表示无关。

GPIO/SDATA控制 (寄存器0x0046至寄存器0x0054)

表54. GPIx控制

地址	位	位名称	设置	描述	访问类型
0x0046、0x0047、 0x0048、0x0049	[7:5]	保留		保留。	RW
	[4:1]	GPIx选择[3:0]	0000 保留。 0001 强制PLL1进入保持。 0010 手动选择PLL1参考, 位1。 0011 手动选择PLL1参考, 位0。 0100 将芯片置于睡眠模式。 0101 发出静音信号。 0110 手动选择内部VCO类型。 0111 选择PLL2高性能模式和内部VCO。 1000 发出脉冲发生器请求。 1001 发出重新播种请求。 1010 发出复位请求。 1011 强制芯片进入扇出模式。 1100 保留。 1101 发出跳相请求。 1110 保留。 1111 保留。		
	0	GPIx使能		GPIx功能使能。改变引脚功能前首先将其禁用, 然后在功能改变后重新使能。 ¹	

¹ 注意, 可以将GPIOx引脚同时配置为输出和输入。

表55. GPOx控制

地址	位	位名称	设置	描述	访问类型
0x0050、0x0051、 0x0052、0x0053	[7:2]	GPOx选择[5:0]		选择GPOx功能	RW
			000000 警报信号 000001 来自SPI通信的SDATA 000010 CLKIN3/ <u>CLKIN3</u> LOS用于CLKIN3/ <u>CLKIN3</u> 输入 000011 CLKIN2/ <u>CLKIN2</u> LOS用于CLKIN2/ <u>CLKIN2</u> 输入 000100 CLKIN1/ <u>CLKIN1</u> LOS用于CLKIN1/ <u>CLKIN1</u> 输入 000101 CLKIN0/ <u>CLKIN0</u> LOS用于CLKIN0/ <u>CLKIN0</u> 输入 000110 来自PLL1的PLL1保持使能信号 000111 来自PLL1的锁定检测信号 001000 获取来自PLL1的锁定信号 001001 来自PLL1的PLL1接近锁定获取状态信号 001010 来自PLL2的PLL2锁定检测信号 001011 复位后SYSREF同步状态尚未同步 001100 时钟输出相位状态 001101 PLL1和PLL2锁定检测已锁定 001110 同步请求状态信号 001111 PLL1有效CLKIN0/ <u>CLKIN0</u> 010000 PLL1有效CLKIN1/ <u>CLKIN1</u> 010001 PLL1保持ADC输入范围状态 010010 PLL1保持ADC输入状态 010011 PLL1 VCXO状态 010100 PLL1有效CLKINx/ <u>CLKINx</u> 状态 010101 PLL1 FSM状态, 位0 010110 PLL1 FSM状态, 位1 010111 PLL1 FSM状态, 位2 011000 PLL1保持退出阶段, 位0		

地址	位	位名称	设置	描述	访问类型
			011001	PLL1保持退出阶段, 位1	
			011010	通道输出FSM繁忙	
			011011	SYSREF FSM状态, 位0	
			011100	SYSREF FSM状态, 位1	
			011101	SYSREF FSM状态, 位2	
			011110	SYSREF FSM状态, 位3	
			011111	强制逻辑1至GPO	
			100000	强制逻辑0至GPO	
			100001	保留	
			100010	保留	
			100011	保留	
			100100	保留	
			100101	保留	
			100110	保留	
			100111	PLL1保持DAC平均值, 位0	
			101000	PLL1保持DAC平均值, 位1	
			101001	PLL1保持DAC平均值, 位2	
			101010	PLL1保持DAC平均值, 位3	
			101011	PLL1保持DAC当前值, 位0	
			101100	PLL1保持DAC当前值, 位1	
			101101	PLL1保持DAC当前值, 位2	
			101110	PLL1保持DAC当前值, 位3	
			101111	保留	
			110000	保留	
			110001	保留	
			110010	保留	
			110011	保留	
			110100	保留	
			110101	保留	
			110110	保留	
			110111	保留	
			111000	保留	
			111001	保留	
			111010	保留	
			111011	保留	
			111100	保留	
			111101	保持比较器状态	
			111110	脉冲发生器请求状态信号	
			111111	保留	
	1	GPOx模式	0	选择GPOx驱动器模式 开漏模式	
			1	CMOS模式	
	0	GPOx使能		GPOx驱动器使能	

表56. SDATA控制

地址	位	位名称	设置	描述	访问类型
0x0054	[7:2]	保留		保留	RW
	1	SDATA模式	0 1	选择SDATA驱动器模式 开漏模式 CMOS模式	
	0	SDATA使能		SDATA驱动器使能	

SYSREF/SYNC控制 (寄存器0x005A至寄存器0x005E)

表57. 脉冲发生器控制

地址	位	位名称	设置	描述	访问类型
0x005A	[7:3]	保留		保留。	RW
	[2:0]	脉冲发生器模式选择 [2:0]	000 001 010 011 100 101 110 111	SYSREF输出随脉冲发生器使能。 电平灵敏度。当GPIO配置为发出脉冲发生器请求（GPIO选择[3:0] = 1000），或者通过SPI（或作为SYNC基于引脚的脉冲发生器）发出脉冲发生器请求时，运行脉冲发生器。否则，停止脉冲发生器。 1个脉冲。 2个脉冲。 4个脉冲。 8个脉冲。 16个脉冲。 16个脉冲。 连续模式（50%占空比）。	

表58. SYNC控制

地址	位	位名称	设置	描述	访问类型
0x005B	[7:3]	保留		保留	RW
	2	SYNC重新定时	0 1	旁路重新定时（若通过片上VCO使用SYNC路径） 从参考0开始重新定时外部SYNC	
	1	通过PLL2执行SYNC		允许通过PLL2的重新播种事件	
	0	SYNC极性	0 1	SYNC极性（如果不使用CLKIN0/CLKIN0作为输入，则必须为0） 正 负	

表59. SYSREF定时器控制

地址	位	位名称	设置	描述	访问类型
0x005C	[7:0]	SYSREF定时器 [7:0](LSB)		12位SYSREF定时器设定点LSB。设置主时钟定时器的内部拍频，控制同步和脉冲发生器事件。将12位定时器设为最低输出SYSREF频率的约数，然后编程设置其不超过4 MHz。	RW
0x005D	[7:4]	保留		保留。	RW
	[3:0]	SYSREF定时器 [11:8](MSB)		12位SYSREF定时器设定点MSB。	

表60. SYSREF杂项控制

地址	位	位名称	设置	描述	访问类型
0x005E	[7:0]	保留		保留	RW

时钟分配网络 (寄存器0x0064至寄存器0x0065)

表61. 外部VCO控制

地址	位	位名称	设置	描述	访问类型
0x0064	[7:2]	保留		保留	RW
	1	外部VCO使能时2分频		在外部VCO路径上使用2分频	
	0	低频外部VCO路径		针对低频VCO更改偏置为A类	

表62. 模拟延迟通用控制

地址	位	位名称	设置	描述	访问类型
0x0065	[7:1]	保留		保留。	RW
	0	模拟延迟低功耗模式		低功耗模式下的模拟延迟；模拟延迟设为较低值时可节省功耗，但设定点之间并非无毛刺。	

警报屏蔽寄存器 (寄存器0x0070至寄存器0x0071)

表63. PLL1警报屏蔽控制

地址	位	位名称	设置	描述	访问类型
0x0070	7	PLL1接近锁定屏蔽		若置位，则允许PLL1接近锁定信号生成警报信号	RW
	6	PLL1锁定获取屏蔽		若置位，则允许PLL1锁定获取信号生成警报信号	
	5	PLL1锁定检测屏蔽		若置位，则允许PLL1锁定检测信号生成警报信号	
	4	PLL1保持状态屏蔽		若置位，则允许PLL1保持状态信号生成警报信号	
	[3:0]	PLL1 CLKINx/CLKINx状态屏蔽 [3:0]	位0 位1 位2 位3	若置位，则允许CLKIN0/CLKIN0 LOS生成警报信号 若置位，则允许CLKIN1/CLKIN1 LOS生成警报信号 若置位，则允许CLKIN2/CLKIN2 LOS生成警报信号 若置位，则允许CLKIN3/CLKIN3 LOS生成警报信号	

表64. 警报屏蔽控制

地址	位	位名称	设置	描述	访问类型
0x0071	[7:5]	保留		保留	RW
	4	同步请求屏蔽		若置位，则允许同步请求信号生成警报信号	
	3	PLL1和PLL2锁定检测屏蔽		若置位，则允许PLL1和PLL2锁定检测信号生成警报信号	
	2	时钟输出相位状态屏蔽		若置位，则允许时钟输出相位状态信号生成警报信号	
	1	SYSREF同步状态屏蔽		若置位，则允许SYSREF同步状态信号生成警报信号	
	0	PLL2锁定检测屏蔽		若置位，则允许PLL2锁定检测信号生成警报信号	

产品ID寄存器 (寄存器0x0078至寄存器0x007A)

表65. 产品ID

地址	位	位名称	设置	描述	访问类型
0x0078	[7:0]	产品ID值[7:0](LSB)		24位产品ID值低	R
0x0079	[7:0]	产品ID值[15:8](Mid)		24位产品ID值高	R
0x007A	[7:0]	产品ID值[23:16](MSB)		24位产品ID值极高	R

警报回读状态寄存器 (寄存器0x007B至寄存器0x007F)

表66. 回读寄存器

地址	位	位名称	设置	描述	访问类型
0x007B	[7:1]	保留		保留。	R
	0	警报信号		从SPI回读警报状态。	

表67. PLL1警报回读

地址	位	位名称	设置	描述	访问类型
0x007C	7	PLL1接近锁定		PLL1接近锁定。当计数器达到可编程限值的1/16时，声明接近锁定。	R
	6	PLL1锁定获取		PLL1获取锁定。	
	5	PLL1锁定检测		PLL1锁定。	
	4	PLL1保持状态		PLL1位于保持状态。	
	[3:0]	CLKINx/CLKINx LOS[3:0]	位0 位1 位2 位3	CLKIN0/CLKIN0 LOS。 CLKIN1/CLKIN1 LOS。 CLKIN2/CLKIN2 LOS。 CLKIN3/CLKIN3 LOS。	

表68. 警报回读

地址	位	位名称	设置	描述	访问类型
0x007D	[7:5]	保留		保留。	R
	4	同步请求状态		PLL2锁定（或禁用），但未同步。	
	3	PLL1和PLL2锁定检测	0 1	PLL1和PLL2锁定检测状态。 PLL1或PLL2未锁定，或两者皆未锁定。 PLL1和PLL2均锁定。	
	2	时钟输出相位状态	0 1	SYSREF警报。 HMC7044的SYSREF无效；也就是说，其相位输出不稳定。 HMC7044的SYSREF有效且锁定；也就是说，其相位输出稳定。	
	1	SYSREF同步状态	0 1	SYSREF SYNC状态警报。 HMC7044已与外部同步脉冲或来自SPI的同步请求同步。 HMC7044从未与外部同步脉冲或来自SPI的同步请求同步。	
	0	PLL2锁定检测	1	PLL2接近锁定。当计数器达到可编程限值的1/16时，声明接近锁定。	

表69. 锁存警报回读

地址	位	位名称	设置	描述	访问类型
0x007E	7	保留		保留。	R
	6	PLL2锁定获取锁存		从上一次清零事件开始回读PLL2锁定获取记录。	
	5	PLL1锁定获取锁存		从上一次清零事件开始回读PLL1锁定获取记录。	
	4	PLL1保持锁存		从上一次清零事件开始回读PLL1保持记录。	
	[3:0]	CLKINx/CLKINx LOS锁存[3:0]	位0 位1 位2 位3	从上一次清零事件开始回读CLKIN0/CLKIN0 LOS记录。 从上一次清零事件开始回读CLKIN1/CLKIN1 LOS记录。 从上一次清零事件开始回读CLKIN2/CLKIN2 LOS记录。 从上一次清零事件开始回读CLKIN3/CLKIN3 LOS记录。	

表70. 警报回读杂项

地址	位	位名称	设置	描述	访问类型
0x007F	[7:0]	保留		保留。	R

PLL1 状态寄存器 (寄存器0x0082至寄存器0x0087)

表71. PLL1状态寄存器

地址	位	位名称	设置	描述	访问类型
0x0082	7	保留		保留	R
	[6:5]	PLL1最佳时钟[1:0]		表示使用自动模式参考切换时, LOS/优先级编码器的首选时钟	
	[4:3]	PLL1有效CLKINx/CLKINx [1:0]		指示当前使用的CLKINx/CLKINx输入	
	[2:0]	PLL1 FSM状态[2:0]	000 001 010 011 100 101	设置PLL1状态 复位 采集 锁定 无效 保持 DAC辅助保持退出	
0x0083	7	保留		保留	R
	[6:0]	保持DAC平均值[6:0]		平均DAC码	
0x0084	7	保持比较器值		保持比较器输出值 (DAC输出与PLL1 V _{TUNE})	R
	[6:0]	保持DAC当前值[6:0]		当前DAC码	
0x0085	[7:4]	保留		保留	R
	3	PLL1有效CLKINx/CLKINx LOS		当前有效参考的LOS	
	2	PLL1 VCXO状态		指示是否有任何已使能的参考运行得比VCXO快	
	1	PLL1保持ADC状态	0	ADC正在获取	
			1	PLL1 V _{TUNE} 快速移动	
0	PLL1保持ADC输入范围状态	0	PLL1 V _{TUNE} 在范围内		
		1	PLL1 V _{TUNE} 超出范围		
0x0086	[7:5]	保留		保留	R
	[4:3]	PLL1保持退出阶段[1:0]		PLL1保持退出阶段	
	[2:0]	保留		保留	
0x0087	[7:0]	保留		保留	R

PLL2 状态寄存器 (寄存器0x008C至寄存器0x0090)

表72. PLL2状态寄存器

地址	位	位名称	设置	描述	访问类型
0x008C	[7:0]	PLL2自动调谐值		自动调谐后, 该字以所选VCO电容组填充	R
0x008D	[7:0]	PLL2自动调谐带符号错误 [7:0](LSB)		14位PLL2 V _{TUNE} 错误数, LSB	R

地址	位	位名称	设置	描述	访问类型
0x008E	7	PLL2自动调谐状态	1 0	自动调谐繁忙 已完成/无效	R
	6	PLL2自动调谐错误符号	0 1	PLL2自动调谐错误符号 正 负	
	[5:0]	PLL2自动调谐带符号错误[13:8](MSB)		14位PLL2 V _{TUNE} 错误数, MSB	
0x008F	[7:4]	PLL2自动调谐FSM状态[3:0]	0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011	自动调谐FSM状态 空闲 启动 启动 复位 复位 复位 测量 等待 等待 更新环路以表示18次 舍入 完成	R
	[3:0]	PLL2 SYNC FSM状态[3:0]	0000 0100 0110 0111 1110 1100	PLL2同步载波FSM状态 空闲 FSM A部分上电 FSM B部分上电 发送至N2 FSM A部分掉电 FSM B部分掉电	
0x0090	[7:0]	保留		保留	R

SYSREF 状态寄存器 (寄存器0x0091)

表73. SYSREF状态寄存器

地址	位	位名称	设置	描述	访问类型
0x0091	[7:5]	保留		保留。	R
	4	通道输出FSM繁忙		时钟之一输出FSM请求时钟, 且正在运行。	
	[3:0]	SYSREF FSM状态[3:0]	0000 0010 0100 0101 0110 1010 1011 1100 1101 1110 1111	指示SYSREF重新播种过程的当前步骤。注意, 不同的触发事件 (重新播种、脉冲发生器、保留) 导致三种不同的过程。 复位。 完成。 就绪。 就绪。 就绪。 运行中 (脉冲发生器)。 开始。 上电。 上电。 上电。 清零复位。	

其它控制 (寄存器0x0096至寄存器0x00B8)

为使芯片具有最佳性能，寄存器0x0096至寄存器0x00B8必须编程设置为与默认值不同的数值。

表74. 保留寄存器

地址	位	位名称	设置	描述	访问类型
0x0096	[7:0]	保留		保留	RW
0x0097	[7:0]	保留		保留	RW
0x0098	[7:0]	保留		保留	RW
0x0099	[7:0]	保留		保留	RW
0x009A	[7:0]	保留		保留	RW
0x009B	[7:0]	保留		保留	RW
0x009B	[7:0]	保留		保留	RW
0x009C	[7:0]	保留		保留	RW
0x009D	[7:0]	保留		保留	RW
0x009E	[7:0]	保留		保留	RW
0x009F	[7:0]	保留		时钟输出驱动器低功耗设置 (设为0x4D而非默认值)	RW
0x00A0	[7:0]	保留		时钟输出驱动器高功耗设置 (设为0xDF而非默认值)	RW
0x00A1	[7:0]	保留		保留	RW
0x00A2	[7:0]	保留		保留	RW
0x00A3	[7:0]	保留		保留	RW
0x00A4	[7:0]	保留		保留	RW
0x00A5	[7:0]	保留		PLL1更多延迟 (PFD1, 锁定检测) (设为0x06而非默认值)	RW
0x00A6	[7:0]	保留		保留	RW
0x00A7	[7:0]	保留		保留	RW
0x00A8	[7:0]	保留		PLL1保持DAC g_m 设置 (设为0x06而非默认值)	RW
0x00A9	[7:0]	保留		保留	RW
0x00AB	[7:0]	保留		保留	RW
0x00AC	[7:0]	保留		保留	RW
0x00AD	[7:0]	保留		保留	RW
0x00AE	[7:0]	保留		保留	RW
0x00AF	[7:0]	保留		保留	RW
0x00B0	[7:0]	保留		V _{TUNE} 预设设置 (设为0x04而非默认值)	RW
0x00B1	[7:0]	保留		保留	RW
0x00B2	[7:0]	保留		保留	RW
0x00B3	[7:0]	保留		保留	RW
0x00B4	[7:0]	保留		保留	RW
0x00B5	[7:0]	保留		保留	RW
0x00B6	[7:0]	保留		保留	RW
0x00B7	[7:0]	保留		保留	RW
0x00B8	[7:0]	保留		保留	RW

时钟分配 (寄存器0x00C8至寄存器0x0153)

表75中的位描述适用于全部14条通道。

表75. 通道0至通道13控制

地址	位	位名称	设置 ¹	描述	访问类型
0x00C8, 0x00D2, 0x00DC, 0x00E6, 0x00F0, 0x00FA, 0x0104, 0x010E, 0x0118, 0x0122, 0x012C, 0x0136, 0x0140, 0x014A	7	高性能模式		高性能模式。调节分频器和缓冲器偏置, 改善摆幅/相位噪声, 但牺牲功耗性能。	RW
	6	SYNC使能		容易受SYNC事件影响。通道可以处理SYNC事件, 复位其相位。	
	5	跳相使能		容易受跳相事件影响。通道可以处理来自SPI或GPI的跳相请求。注意, 如果跳相使能为真, 但多芯片关断, 则明确跳相上的1个VCO周期通道跳相需来自SPI/GPI的广播。	
	4	保留		保留。	
	[3:2]	启动模式[1:0]	00 01 10 11	将通道配置为异步启动的正常模式, 或配置为动态启动的脉冲发生器模式。注意, 如果通道未使用, 则必须设为异步模式。 异步。 保留。 保留。 动态。	
	1	多跳使能	0 1	允许多跳操作 (针对SYSREF默认值为0, 针对DCLK默认值为1)。 不要在通道启动时启动自动多跳。 SYNC或脉冲发生器请求之后的多跳事件, 如跳相使能则该位置1。	
0	通道使能		通道使能。如果此位为零, 则通道禁用。		
0x00C9, 0x00D3, 0x00DD, 0x00E7, 0x00F1, 0x00FB, 0x0105, 0x010F, 0x0119, 0x0123, 0x012D, 0x0137, 0x0141, 0x014B	[7:0]	12位通道分频器 [7:0](LSB)		12位通道分频器设定点LSB。分频器支持2到4094的偶数分频比。支持的奇数分频比为1、3、5。所有偶数和奇数分频比都有50.0%占空比。	RW
0x00CA, 0x00D4, 0x00DE, 0x00E8, 0x00F2, 0x00FC, 0x0106, 0x0110, 0x011A, 0x0124, 0x012E, 0x0138, 0x0142, 0x014C	[7:4]	保留		保留。	RW
	[3:0]	12位通道分频器 [11:8](MSB)		12位通道分频器设定点MSB。	
0x00CB, 0x00D5, 0x00DF, 0x00E9, 0x00F3, 0x00FD, 0x0107, 0x0111, 0x011B, 0x0125, 0x012F, 0x0139, 0x0143, 0x014D	[7:5]	保留		保留。	RW
	[4:0]	微调模拟延迟[4:0]		24个微调延迟步长。步长 = 25 ps。23以上的值对模拟延迟无影响。	
0x00CC, 0x00D6, 0x00E0, 0x00EA, 0x00F4, 0x00FE, 0x0108, 0x0112, 0x011C, 0x0126, 0x0130, 0x013A, 0x0144, 0x014E	[7:5]	保留		保留。	RW
	[4:0]	粗调数字延迟[4:0]		17个粗调延迟步长。步长 = 1/2 VCO周期。该基于触发器(FF)的数字延迟不会增加噪声电平, 但牺牲了功耗性能。17以上的值对粗调延迟无影响。	
0x00CD, 0x00D7, 0x00E1, 0x00EB, 0x00F5, 0x00FF, 0x0109, 0x0113, 0x011D, 0x0127, 0x0131, 0x013B, 0x0145, 0x014F	[7:0]	12位多跳数字延迟 [7:0](LSB)		12位多跳数字延迟量LSB。 步长 = (延迟量: MSB + LSB) × VCO周期数。如果多跳使能 = 1, 则任意跳相事件 (由GPI、SPI、SYNC或脉冲发生器事件所导致) 重复的次数由12位多跳数字延迟[11:0]设置, 将相位调节为步长。	RW

地址	位	位名称	设置 ¹	描述	访问类型
0x00CE, 0x00D8, 0x00E2, 0x00EC, 0x00F6, 0x0100, 0x010A, 0x0114, 0x011E, 0x0128, 0x0132, 0x013C, 0x0146, 0x0150	[7:4]	保留		保留。	RW
	[3:0]	12位多跳数字延迟 [11:8](MSB)		12位多跳数字延迟量MSB。	
0x00CF, 0x00D9, 0x00E3, 0x00ED, 0x00F7, 0x0101, 0x010B, 0x0115, 0x011F, 0x0129, 0x0133, 0x013D, 0x0147, 0x0151	[7:2]	保留		保留。	RW
	[1:0]	输出多路复用选择 [1:0]	00 01 10 11	通道输出多路复用选择。 通道分频器输出。 模拟延迟量。 时钟群组对的其它通道。 输入VCO时钟（基频）。还可通过12位通道分频器[11:0] = 1生成基频。	
0x00D0, 0x00DA, 0x00E4, 0x00EE, 0x00F8, 0x0102, 0x010C, 0x0116, 0x0120, 0x012A, 0x0134, 0x013E, 0x0148, 0x0152	[7:6]	强制静音[1:0]	00 01 10 11	逻辑0选择时空闲（仅脉冲发生器模式）。 强制变为逻辑0或V _{CM} 。 正常模式（DCLK选择）。 保留。 强制逻辑0。 强制输出浮空，自然变为V _{CM} 。	RW
	5	动态驱动器使能	0 1	动态驱动器使能（仅脉冲发生器模式）。 驱动器通过通道使能位使能/禁用 驱动器通过脉冲发生器值动态禁用。	
	[4:3]	驱动器模式[1:0]	00 01 10 11	输出驱动器模式选择。 CML模式。 LVPECL模式。 LVDS模式。 CMOS模式。	
	[2]	保留		保留。	
	[1:0]	驱动器阻抗[1:0]	00 01 10 11	CML模式的输出驱动器阻抗选择。 内部电阻禁用。 根据输出引脚使能内部100 Ω电阻。 保留。 根据输出引脚使能内部50 Ω电阻。	
0x00D1, 0x00DB, 0x00E5, 0x00EF, 0x00F9, 0x0103, 0x010D, 0x0117, 0x0121, 0x012B, 0x0135, 0x013F, 0x0149, 0x0153	[7:0]	保留		保留。	RW

¹ X表示无关。

评估PCB原理图

评估PCB

应用所用的电路板应采用 RF 电路设计技术。确保信号线路具有 50 Ω 阻抗。将封装接地引脚和裸露焊盘直接连接接地

平面（参见图 46）。利用足够数量的过孔来连接上下接地层。评估电路板可向 ADI 申请获得。

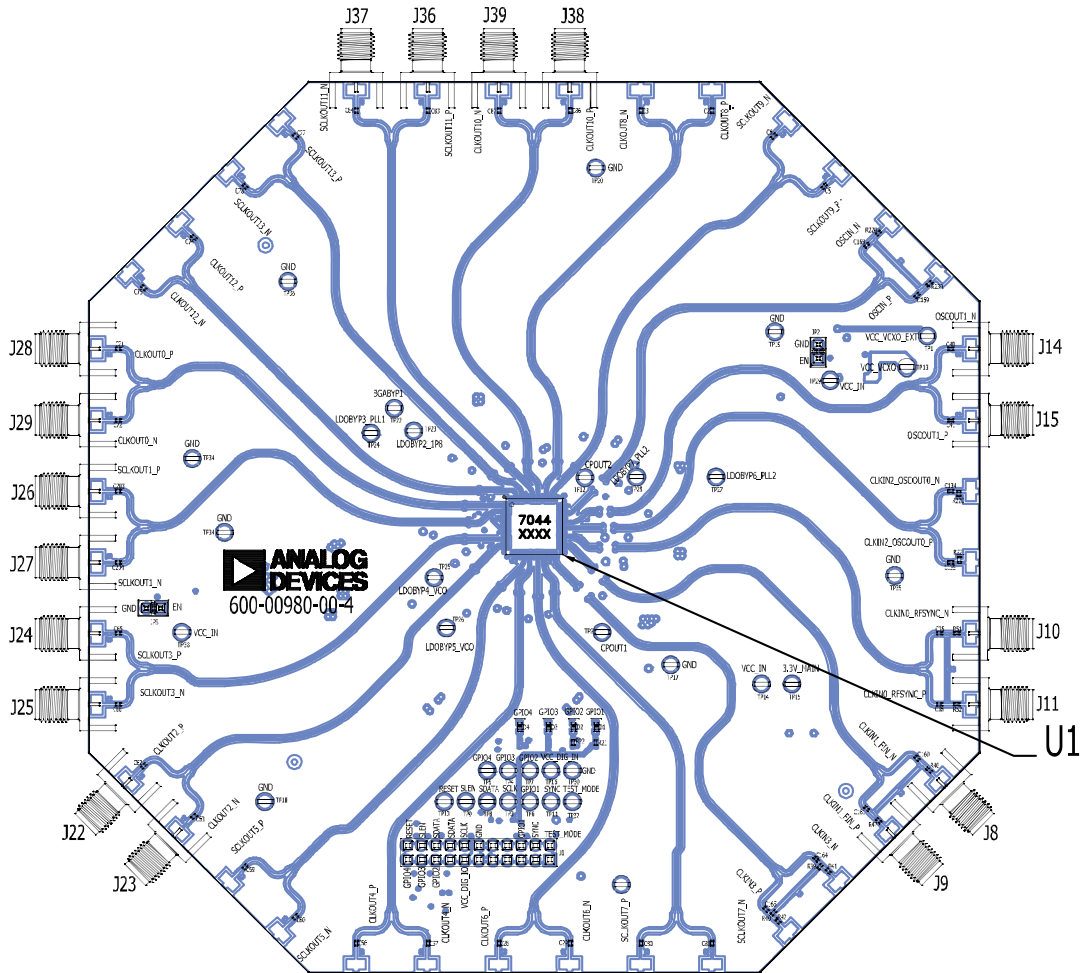


图 46. 评估 PCB 布局布线 (顶视图)

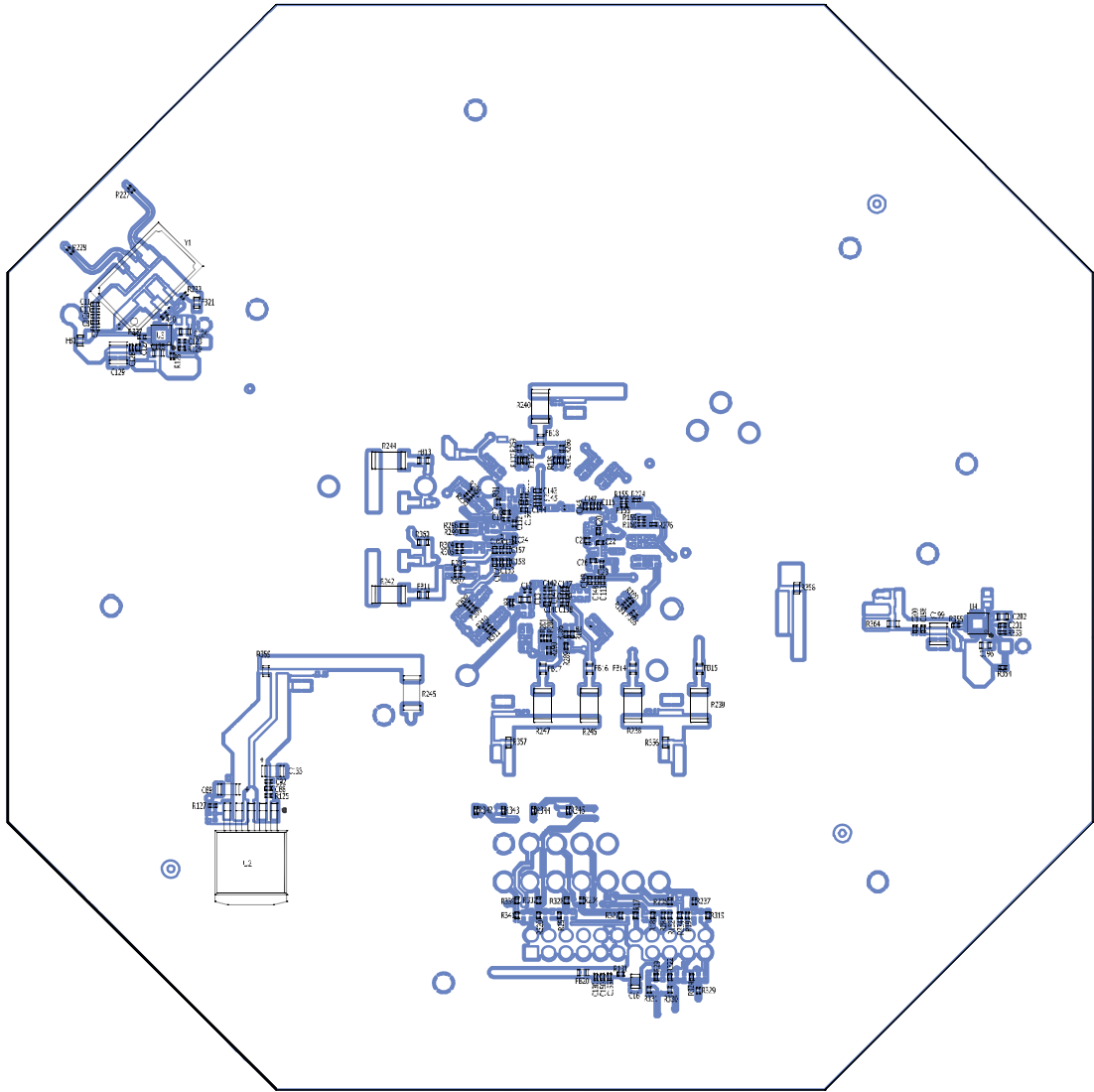


图47. 评估PCB布局布线 (底视图)

13033-049

外形尺寸

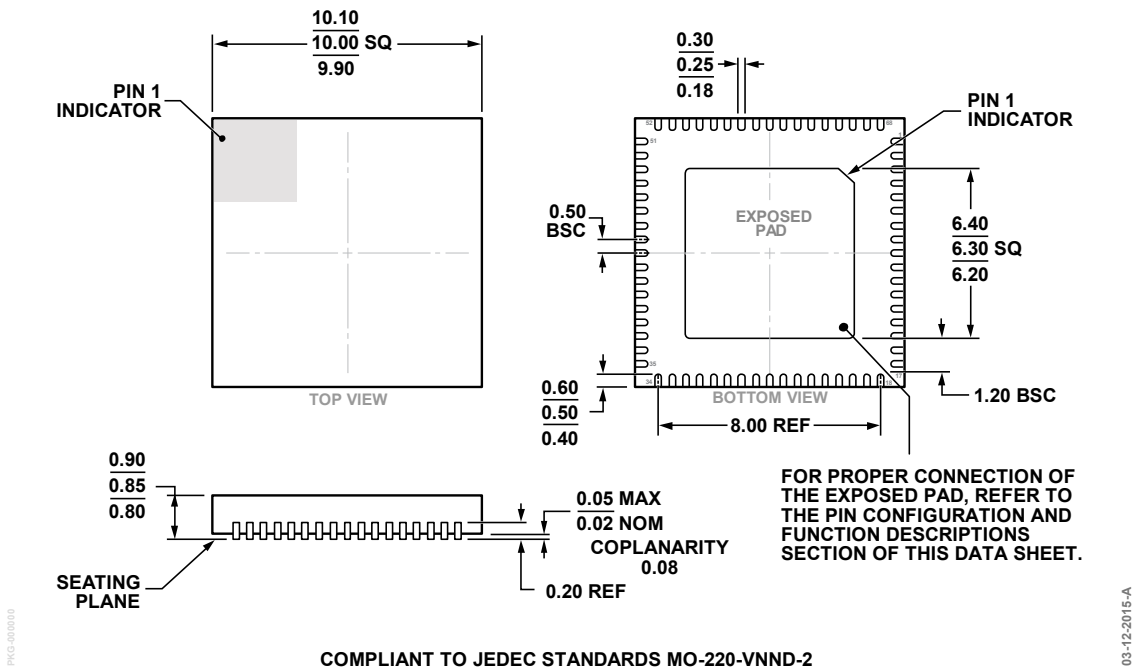


图48. 68引脚引脚架构芯片级封装[LFCSP_VQ]

10 mm × 10 mm超薄四方体

(HCP-68-1)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	引脚表面处理	MSL额定值	封装描述	封装选项	标识 ²
HMC7044LP10BE	-40°C至+85°C	100%亚光锡	MSL-3	68引脚LFCSP_VQ	HCP-68-1	7044 XXXX
HMC7044LP10BETR	-40°C至+85°C	100%亚光锡	MSL-3	68引脚LFCSP_VQ	HCP-68-1	7044 XXXX
EK1HMC7044LP10B	-40°C至+85°C			评估套件		

¹ E=符合RoHS标准的器件。

² 4位批次号XXXX。