

特性

24位立体声音频ADC和DAC: SNR大于98 dB
 采样速率范围: 8 kHz至96 kHz
 低功耗: 7 mW录音, 7 mW回放, 48 kHz和1.8 V条件下
 6个模拟输入引脚, 可配置为单端或差分输入
 灵活的模拟输入/输出混频器
 立体声数字麦克风输入
 模拟输出: 2路差分立体声、2路单端立体声、1路单声道耳机驱动器输出
 PLL支持的输入时钟范围: 8 MHz至27 MHz
 模拟自动电平控制(ALC)
 麦克风偏置基准电压
 模拟和数字I/O: 1.8 V至3.65 V
 I2C和SPI控制接口
 数字音频串行数据I/O: 立体声和时分多路复用(TDM)模式
 软件可控无杂音静音功能
 软件省电功能
 32引脚, 5 mm × 5 mm LFCSP封装
 工作温度范围: -40°C至+85°C

应用

智能电话和多媒体电话
 数码相机和数码摄像机
 便携式媒体播放器和便携式音频播放器
 电话配件

概述

ADAU1361是一款低功耗、立体声音频编解码器, 支持立体声48 kHz录音和回放, 采用1.8 V模拟电源供电, 功耗为14 mW。立体声音频ADC和DAC支持8 kHz至96 kHz范围内的采样速率, 并支持数字音量控制。该器件非常适合电池供电的音频和电话应用。

录音路径包括一个集成麦克风偏置电路和六路输入。可以在ADC之前将这些输入混频和多路复用, 或者可以对其配置来旁路ADC。ADAU1361含有一路立体声数字麦克风输入。

ADAU1361内置五个高功率输出驱动器(两个差分、三个单端), 支持立体声耳机、听筒或其它输出传感器。该器件还支持交流耦合或无电容配置。所有模拟输出均支持独立精密电平控制。输出混频器级允许音频灵活路由。

串行控制总线支持I2C和SPI协议。串行音频总线可编程为I2S、左/右对齐或TDM模式。通过编程PLL可从8 MHz到27 MHz灵活产生所有标准整数倍时钟频率和小数主时钟频率。

功能框图

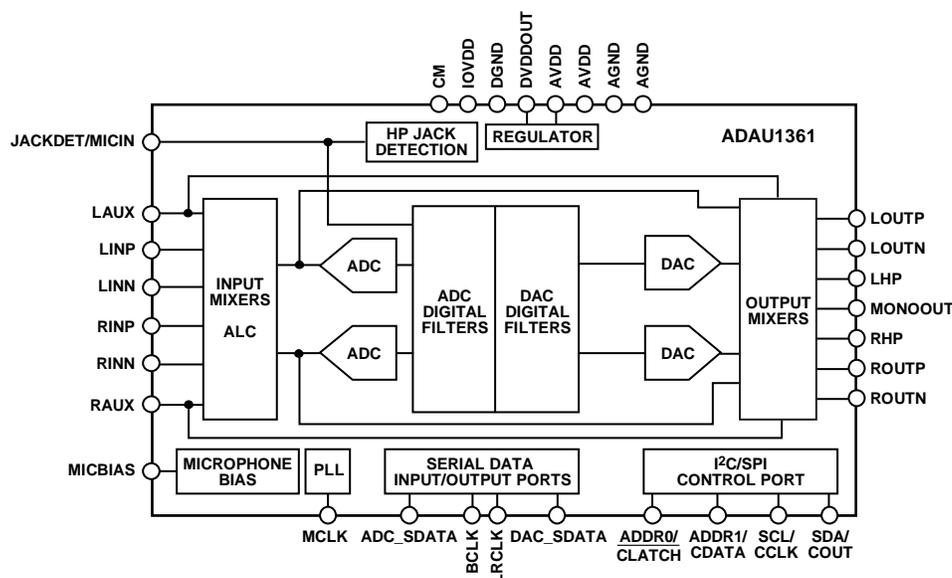


图1.

Rev. C

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 www.analog.com
 Fax: 781.461.3113 ©2009–2010 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	采样速率.....	26
应用.....	1	PLL.....	27
概述.....	1	录音信号路径.....	29
功能框图.....	1	输入信号路径.....	29
修订历史.....	3	模数转换器.....	31
技术规格.....	4	自动电平控制(ALC).....	32
模拟性能规格.....	4	ALC参数.....	32
电源规格.....	7	噪声门功能.....	33
典型功耗.....	8	回放信号路径.....	35
典型功耗管理测量结果.....	9	输出信号路径.....	35
数字滤波器.....	10	耳机输出.....	36
数字输入/输出规格.....	10	爆音与咔嚓声抑制.....	37
数字时序规格.....	11	线路输出.....	37
数字时序图.....	12	控制端口.....	38
绝对最大额定值.....	14	突发模式写入和读取.....	38
热阻.....	14	I ² C端口.....	38
ESD警告.....	14	SPI端口.....	41
引脚配置和功能描述.....	15	串行数据输入/输出端口.....	42
典型工作特性.....	17	应用信息.....	44
系统框图.....	20	电源旁路电容.....	44
工作原理.....	23	GSM噪声滤波器.....	44
启动、初始化和电源.....	24	接地.....	44
上电序列.....	24	底部焊盘PCB设计.....	44
降低功耗模式.....	24	控制寄存器.....	45
数字电源.....	24	控制寄存器详解.....	46
输入/输出电源.....	24	外形尺寸.....	79
时钟产生和管理.....	24	订购指南.....	79
时钟和采样速率.....	26		
内核时钟.....	26		

修订历史

2010年9月—修订版B至修订版C

更改图1 1

2010年5月—修订版A至修订版B

更改“突发模式写入和读取”部分 38

更改表26 45

更改表43 58

增加“R67：去抖动控制，16,438 (0x4036)”部分 73

2009年12月—修订版0至修订版A

更改特性部分 1

更改概述部分 1

更改表1 6

更改表5 10

更改图6 13

更改表10 15

更改图15、图16、图18和图19的标题 18

更改图21和图24的标题 19

增加图22；重新按序编号 19

更改图25 20

更改图26 21

更改图27 22

更改工作原理部分 23

更改“降低功耗模式”部分和“情况1：旁路PLL”部分 24

更改“PLL锁定获取”部分 25

更改“内核时钟”部分 26

更改“输入信号路径”部分和图31 29

更改图32和图33 30

更改“ADC满量程电平”部分 31

更改“自动电平控制(ALC)”部分 32

更改“输出信号路径”部分 35

更改“耳机输出”部分 36

更改“插孔检测”、“爆音和咔嚓声抑制”
和“线路输出”部分 37

更改“控制端口”和“I2C端口”部分 38

增加“突发模式写入和读取”部分 38

更改“SPI端口”部分 41

更改“串行数据输入/输出端口”部分、表24和表25 42

增加图56 42

更改图60和图61 43

更改表26 45

更改“R2：数字麦克风/插孔检测控制，
16,392 (0x4008)”部分和表29 47

更改表35 52

更改表36 53

更改“R15：串行端口控制0，16,405 (0x4015)”
部分和表42 57

更改表43 58

更改表44、“R18：转换器控制1，
16,408 (0x4018)”部分和表45 59

更改表53、“R27：回放L/R混频器右(混频器6)线路
输出控制，16,417 (0x4021)”部分和表54 65

更改表55、“R29：回放耳机左音量控制，
16,419 (0x4023)”部分和表56 66

更改“R42：插孔检测引脚控制，
16,433 (0x4031)”部分和表69 73

2009年1月—修订版0：初始版

ADAU1361

技术规格

除非另有说明，电源电压(AVDD) = 3.3 V， $T_A = 25^\circ\text{C}$ ，主时钟 = 12.288 MHz(48 kHz fS， $256 \times f_s$ 模式)、输入采样速率 = 48 kHz，测量带宽 = 20 Hz至20 kHz，字宽 = 24位， C_{LOAD} (数字输出) = 20 pF， I_{LOAD} (数字输出) = 2 mA， $V_{IH} = 2\text{ V}$ ， $V_{IL} = 0.8\text{ V}$ 。所有通道的性能完全相同，不包括通道间增益不匹配和通道间相位偏差规格。

模拟性能规格

25°C(环境)温度下保证达到额定性能。

表1

参数	测试条件/注释	最小值	典型值	最大值	单位
模数转换器	ADC性能不包括混频器和PGA				
ADC分辨率	所有ADC		24		位
数字衰减步长			0.375		dB
数字衰减范围			95		dB
输入电阻					
单端线路输入	-12 dB增益		83		kΩ
	0 dB增益		21		kΩ
	6 dB增益		10.5		kΩ
PGA反相输入	-12 dB增益		84.5		kΩ
	0 dB增益		53		kΩ
	35.25 dB增益		2		kΩ
PGA同相输入	所有增益		105		kΩ
单端线路输入					
满量程输入电压(0 dB)	与AVDD成线性比例关系		AVDD/3.3		V rms
	AVDD = 1.8 V		0.55 (1.56)		V rms (V p-p)
	AVDD = 3.3 V		1.0 (2.83)		V rms (V p-p)
动态范围	20 Hz至20 kHz，-60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V		94		dB
	AVDD = 3.3 V		99		dB
无滤波器(RMS)	AVDD = 1.8 V		91		dB
	AVDD = 3.3 V		96		dB
总谐波失真+噪声	-1 dBFS				
	AVDD = 1.8 V		-88		dB
	AVDD = 3.3 V		-90		dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V		94		dB
	AVDD = 3.3 V		99		dB
无滤波器(RMS)	AVDD = 1.8 V		91		dB
	AVDD = 3.3 V		96		dB
每步增益			3		dB
总增益范围		-12		+6	dB
静音衰减			-87		dB
通道间增益不匹配			0.005		dB
失调误差			0		mV
增益误差			-12		%
通道间隔离			68		dB
电源抑制比	CM电容 = 20 μF				
	100 mV p-p @ 217 Hz		65		dB
	100 mV p-p @ 1 kHz		67		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
伪差分PGA输入					
满量程输入电压(0 dB)	与AVDD成线性比例关系 AVDD = 1.8 V AVDD = 3.3 V		AVDD/3.3 0.55 (1.56) 1.0 (2.83)		V rms V rms (V p-p) V rms (V p-p)
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		92 98		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		90 95		dB dB
总谐波失真+噪声	-1 dBFS AVDD = 1.8 V AVDD = 3.3 V				dB dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		92 98		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		90 95		dB dB
音量控制步长	PGA增益		0.75		dB
音量控制范围	PGA增益	-12		+35.25	dB
PGA增强			20		dB
静音衰减			-87		dB
通道间增益不匹配			0.005		dB
失调误差			0		mV
增益误差			-14		%
通道间隔离			83		dB
共模抑制比	100 mV rms, 1 kHz 100 mV rms, 20 kHz		65 65		dB dB
全差分PGA输入					
满量程输入电压(0 dB)	差分PGA输入 与AVDD成线性比例关系 AVDD = 1.8 V AVDD = 3.3 V		AVDD/3.3 0.55 (1.56) 1.0 (2.83)		V rms V rms (V p-p) V rms (V p-p)
动态范围	20 Hz至20 kHz, -60 dB输入				
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		92 98		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		90 95		dB dB
总谐波失真+噪声	-1 dBFS AVDD = 1.8 V AVDD = 3.3 V				dB dB
信噪比					
采用A加权滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		92 98		dB dB
无滤波器(RMS)	AVDD = 1.8 V AVDD = 3.3 V		90 95		dB dB
音量控制步长	PGA增益		0.75		dB
音量控制范围	PGA增益	-12		+35.25	dB
PGA增强			20		dB
静音衰减			-87		dB
通道间增益不匹配			0.005		dB
失调误差			0		mV
增益误差			-14		%

ADAU1361

参数	测试条件/注释	最小值	典型值	最大值	单位
通道间隔离			83		dB
共模抑制比	100 mV rms, 1 kHz		65		dB
	100 mV rms, 20 kHz		65		dB
麦克风偏置	MBIEN = 1				
偏置电压					
0.65 × AVDD	AVDD = 1.8 V, MBI = 1		1.17		V
	AVDD = 3.3 V, MBI = 1		2.145		V
0.90 × AVDD	AVDD = 1.8 V, MBI = 0		1.62		V
	AVDD = 3.3 V, MBI = 0		2.97		V
偏置电流源	AVDD = 3.3 V, MBI = 0, MPERF = 1			3	mA
信号带宽内的噪声	AVDD = 3.3 V, 1 kHz 至 20 kHz				
	MBI = 0, MPERF = 0		42		nV/√Hz
	MBI = 0, MPERF = 1		85		nV/√Hz
	MBI = 1, MPERF = 0		25		nV/√Hz
	MBI = 1, MPERF = 1		37		nV/√Hz
数模转换器	DAC性能不包括混频器和耳机放大器 所有DAC				
DAC分辨率			24		Bits
数字衰减步长			0.375		dB
数字衰减范围			95		dB
DAC至线路输出					
满量程输出电压(0 dB)	与AVDD成线性比例关系		AVDD/3.3		V rms
	AVDD = 1.8 V		0.50 (1.41)		V rms (V p-p)
	AVDD = 3.3 V		0.92 (2.60)		V rms (V p-p)
模拟音量控制步长	线路输出音量控制		0.75		dB
模拟音量控制范围	线路输出音量控制	-57	1	+6	dB
静音衰减			-87		dB
动态范围	20 Hz至20 kHz, -60 dB输入, 线路输出模式				
采用A加权滤波器(RMS)	AVDD = 1.8 V		96		dB
	AVDD = 3.3 V		101		dB
无滤波器(RMS)	AVDD = 1.8 V		93.5		dB
	AVDD = 3.3 V		98		dB
总谐波失真+噪声	-1 dBFS, 线路输出模式				dB
	AVDD = 1.8 V		-90		dB
	AVDD = 3.3 V		-92		dB
信噪比	线路输出模式				
采用A加权滤波器(RMS)	AVDD = 1.8 V		96		dB
	AVDD = 3.3 V		101		dB
无滤波器(RMS)	AVDD = 1.8 V		93.5		dB
	AVDD = 3.3 V		98		dB
电源抑制比	CM电容 = 20 μF				
	100 mV p-p @ 217 Hz		56		dB
	100 mV p-p @ 1 kHz		70		dB
增益误差			3		%
通道间增益不匹配			0.005		dB
失调误差			0		mV
通道间隔离	1 kHz, 0 dBFS输入信号		100		dB

参数	测试条件/注释	最小值	典型值	最大值	单位
DAC至耳机输出	PO= 每通道的输出功率				
满量程输出电压(0 dB)	与AVDD成线性比例关系 AVDD = 1.8 V AVDD = 3.3 V		AVDD/3.3 0.50 (1.41) 0.92 (2.60)		V rms V rms (V p-p) V rms (V p-p)
总谐波失真+噪声	-4 dBFS				
16 Ω负载	AVDD = 1.8 V, PO= 6.4 mW		-76		dB
32 Ω负载	AVDD = 3.3 V, PO= 21.1 mW AVDD = 1.8 V, PO= 3.8 mW AVDD = 3.3 V, PO= 10.6 mW		-82 -82 -82		dB dB dB
电源抑制比	CM电容 = 20 μF 100 mV p-p @ 217 Hz 100 mV p-p @ 1 kHz		56 67		dB dB
通道间隔离	1 kHz, 0 dBFS输入信号, 32 Ω负载, AVDD = 3.3 V 以GND为基准 以CM为基准 (无电容耳机模式)		73 50		dB dB
基准电压					
共模基准电压输出	CM引脚		AVDD/2		V

电源规格

表2

参数	测试条件/注释	最小值	典型值	最大值	单位
电源					
电压	DVDDOUT AVDD IOVDD		1.56 3.3 3.3		V V V
数字I/O电流(IOVDD = 1.8 V)	所有数字引脚上都有20 pF容性负载	1.63		3.65	
从机模式	$f_s = 48 \text{ kHz}$ $f_s = 96 \text{ kHz}$		0.25 0.48		mA mA
主机模式	$f_s = 8 \text{ kHz}$ $f_s = 48 \text{ kHz}$ $f_s = 96 \text{ kHz}$ $f_s = 8 \text{ kHz}$		0.07 0.62 1.23 0.11		mA mA mA mA
数字I/O电流(IOVDD = 3.3 V)	所有数字引脚上都有20 pF容性负载				
从机模式	$f_s = 48 \text{ kHz}$ $f_s = 96 \text{ kHz}$ $f_s = 8 \text{ kHz}$		0.48 0.9 0.13		mA mA mA
主机模式	$f_s = 48 \text{ kHz}$ $f_s = 96 \text{ kHz}$ $f_s = 8 \text{ kHz}$		1.51 3 0.27		mA mA mA
模拟电流(AVDD)	见表3				

ADAU1361

典型功耗

主时钟 = 12.288 MHz，输入采样速率 = 48 kHz，输入信号单音 = 1 kHz，正常功耗管理设置，ADC输入在-1 dBFS，DAC输入在0 dBFS。计算总功耗需加上表2所列的IOVDD电流。

表3

工作电压	音频路径	时钟产生	典型AVDD功耗(mA)
AVDD = IOVDD = 3.3 V	录音立体声差分至ADC	直接MCLK 整数PLL	5.24 6.57
	DAC立体声回放至线路输出(10 k Ω)	直接MCLK 整数PLL	5.55 6.90
	DAC立体声回放至耳机(16 Ω)	直接MCLK 整数PLL	55.5 56.8
	DAC立体声回放至耳机(32 Ω)	直接MCLK 整数PLL	30.9 32.25
	DAC立体声回放至无电容耳机(32 Ω)	直接MCLK 整数PLL	56.75 58
	录音辅助立体声旁路至线路输出(10 k Ω)	直接MCLK 整数PLL	1.9 3.3
AVDD = IOVDD = 1.8 V	录音立体声差分至ADC	直接MCLK 整数PLL	4.25 5.55
	DAC立体声回放至线路输出(10 k Ω)	直接MCLK 整数PLL	4.7 5.7
	DAC立体声回放至耳机(16 Ω)	直接MCLK 整数PLL	30.81 32
	DAC立体声回放至耳机(32 Ω)	直接MCLK 整数PLL	18.3 19.5
	DAC立体声回放至无电容耳机(32 Ω)	直接MCLK 整数PLL	32.6 33.7
	录音辅助立体声旁路至线路输出(10 k Ω)	直接MCLK 整数PLL	1.9 3.07

典型功耗管理测量结果

主时钟=12.288 MHz，整数PLL，输入采样速率=48 kHz，输入信号单音=1 kHz。伪差分输入至ADC，DAC至线路输出(10 kΩ负载)。ADC输入在-1 dBFS，DAC输入在0 dBFS。表4中，设置了MXBIAS[1:0]、ADCBIAS[1:0]、HPBIAS[1:0]和DACBIAS[1:0]的混频器增强和功耗管理条件。RBIAS[1:0]和PBIAS[1:0]没有超级省电模式，因此在表4的超级省电行中将其设置为省电模式。

表4

工作电压	功耗管理设置	混频器增强设置	典型AVDD功耗 (mA)	典型ADC THD + N (dB)	典型线路输出 THD + N (dB)	
AVDD = IOVDD = 3.3 V	正常 (默认)	正常工作	9.6	-91	-92.5	
		增强级1	9.75	-91.5	-92.5	
		增强级2	9.92	-91.5	-92.5	
		增强级3	10.25	-91.5	-92.5	
	超级省电	正常工作	7.09	-84.5	-87	
		增强级1	7.19	-84.8	-87.1	
		增强级2	7.29	-84.8	-87.1	
		增强级3	7.49	-85	-87.1	
	省电	正常工作	7.67	-89.5	-90	
		增强级1		-89.5	-90	
		增强级2	7.86	-89.8	-90	
		增强级3	8.07	-89.8	-90	
	增强性能	正常工作	10.55	-91	-93.5	
		增强级1	10.74	-91	-93.5	
		增强级2	10.93	-91	-93.5	
		增强级3	11.33	-91	-93.5	
	AVDD = IOVDD = 1.8 V	正常 (默认)	正常工作	8.1	-88	-91.2
			增强级1	8.26	-88	-91.2
			增强级2	8.41	-88	-91.2
			增强级3	8.73	-88	-91.2
超级省电		正常工作	5.73	-85	-86	
		增强级1	5.82	-85.4	-86	
		增强级2	5.91	-85.5	-86	
		增强级3	6.1	-85.5	-86	
省电		正常工作	6.27	-86	-89.4	
		增强级1	6.36	-86.1	-89.5	
		增强级2	6.46	-86.3	-89.5	
		增强级3	6.65	-86.3	-89.5	
增强性能		正常工作	9.01	-88	-91.5	
		增强级1	9.2	-88	-91.5	
		增强级2	9.38	-88	-91.5	
		增强级3	9.76	-88	-91.5	

ADAU1361

数字滤波器

表5

参数	模式	系数	最小值	典型值	最大值	单位	
ADC抽取滤波器	所有模式，典型值在48 kHz下测量	0.4375 f _s	21	±0.015		kHz	
通带							
通带纹波							dB
过渡带		0.5 f _s	24				kHz
阻带		0.5625 f _s	27				kHz
阻带衰减				67			dB
群延迟		22.9844/f _s	479			μs	
DAC插值滤波器	48 kHz模式，典型值在48 kHz下测量 96 kHz模式，典型值在96 kHz下测量	0.4535 f _s	22			kHz	
通带							
通带纹波		48 kHz模式，典型值在48 kHz下测量	0.3646 f _s	35		±0.01	dB
		96 kHz模式，典型值在96 kHz下测量					±0.05
过渡带		48 kHz模式，典型值在48 kHz下测量	0.5 f _s	24			kHz
		96 kHz模式，典型值在96 kHz下测量	0.5 f _s	48			kHz
阻带		48 kHz模式，典型值在48 kHz下测量	0.5465 f _s	26			kHz
		96 kHz模式，典型值在96 kHz下测量	0.6354 f _s	61			kHz
阻带衰减		48 kHz模式，典型值在48 kHz下测量		69			dB
		96 kHz模式，典型值在96 kHz下测量		68			dB
群延迟		48 kHz模式，典型值在48 kHz下测量	25/f _s	521			μs
		96 kHz模式，典型值在96 kHz下测量	11/f _s	115			μs

数字输入/输出规格

-40°C < T_A < +85°C, IOVDD = 3.3 V ± 10%.

表6

参数	测试条件/注释	最小值	典型值	最大值	单位
输入规格					
输入高电平(V _{IH})		0.7 × IOVDD			V
输入低电平(V _{IL})				0.3 × IOVDD	V
输入漏电流					
上拉/下拉禁用	I _{IH} @ V _{IH} = 3.3 V	-0.17		+0.17	μA
	I _{IL} @ V _{IL} = 0 V	-0.17		+0.17	μA
	I _{IL} @ V _{IL} = 0 V (MCLK引脚)	-13.5		-0.5	μA
上拉使能	I _{IH} @ V _{IH} = 3.3 V	-0.7		+0.7	μA
	I _{IL} @ V _{IL} = 0 V	-13.5		-0.5	μA
下拉使能	I _{IH} @ V _{IH} = 3.3 V	2.7		8.3	μA
	I _{IL} @ V _{IL} = 0 V	-0.18		+0.18	μA
输入电容				5	pF
输出规格					
输出高电平(V _{OH})	I _{OH} = 2 mA @ 3.3 V, 0.85 mA @ 1.8 V	0.8 × IOVDD			V
输出低电平(V _{OL})	I _{OL} = 2 mA @ 3.3 V, 0.85 mA @ 1.8 V			0.1 × IOVDD	V

数字时序规格

$-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$, IOVDD = 3.3 V \pm 10%.

表7. 数字时序

参数	限值		单位	描述
	t _{MIN}	t _{MAX}		
主时钟				
t _{MP}	74	488	ns	MCLK周期, 256 × f _s 模式
t _{MP}	37	244	ns	MCLK周期, 512 × f _s 模式
t _{MP}	24.7	162.7	ns	MCLK周期, 768 × f _s 模式
t _{MP}	18.5	122	ns	MCLK周期, 1024 × f _s 模式
串行端口				
t _{BIL}	5		ns	BCLK脉宽低电平
t _{BIH}	5		ns	BCLK脉宽高电平
t _{LIS}	5		ns	LRCLK设置。到BCLK上升的时间。
t _{LIH}	5		ns	LRCLK保持。自BCLK上升起的时间。
t _{SIS}	5		ns	DAC_SDATA设置。到BCLK上升的时间。
t _{SIH}	5		ns	DAC_SDATA保持。自BCLK上升起的时间。
t _{SODM}		50	ns	ADC_SDATA延迟。主机模式下自BCLK下降起的时间。
SPI端口				
f _{CCLK}		10	MHz	CCLK频率。
t _{CCPL}	10		ns	CCLK脉宽低电平
t _{CCPH}	10		ns	CCLK脉宽高电平
t _{CLS}	5		ns	$\overline{\text{CLATCH}}$ 设置。到CCLK上升的时间。
t _{CLH}	10		ns	$\overline{\text{CLATCH}}$ 保持。自CCLK上升起的时间。
t _{CLPH}	10		ns	$\overline{\text{CLATCH}}$ 脉宽高电平
t _{CDS}	5		ns	CDATA设置。到CCLK上升的时间。
t _{CDH}	5		ns	CDATA保持。自CCLK上升起的时间。
t _{COD}		50	ns	COUT三态。自 $\overline{\text{CLATCH}}$ 上升起的时间。
I ² C端口				
f _{SCL}		400	kHz	SCL频率
t _{SCLH}	0.6		μs	SCL高电平
t _{SCLL}	1.3		μs	SCL低电平
t _{SCS}	0.6		μs	设置时间；与重复起始条件相关
t _{SCH}	0.6		μs	保持时间。此周期结束后，产生首次时钟。
t _{DS}	100		ns	数据设置时间
t _{SCR}		300	ns	SCL上升时间
t _{SCF}		300	ns	SCL下降时间
t _{SDR}		300	ns	SDA上升时间
t _{SDF}		300	ns	SDA下降时间
t _{BFT}	0.6		μs	总线空闲时间。停止与起始之间的时间。
数字麦克风				R _{LOAD} = 1 MΩ, C _{LOAD} = 14 pF.
t _{DCF}		10	ns	数字麦克风时钟下降时间
t _{DCR}		10	ns	数字麦克风时钟上升时间
t _{DDV}	22	30	ns	数字麦克风有效数据延迟时间
t _{DDH}	0	12	ns	数字麦克风数据三态延迟时间

数字时序图

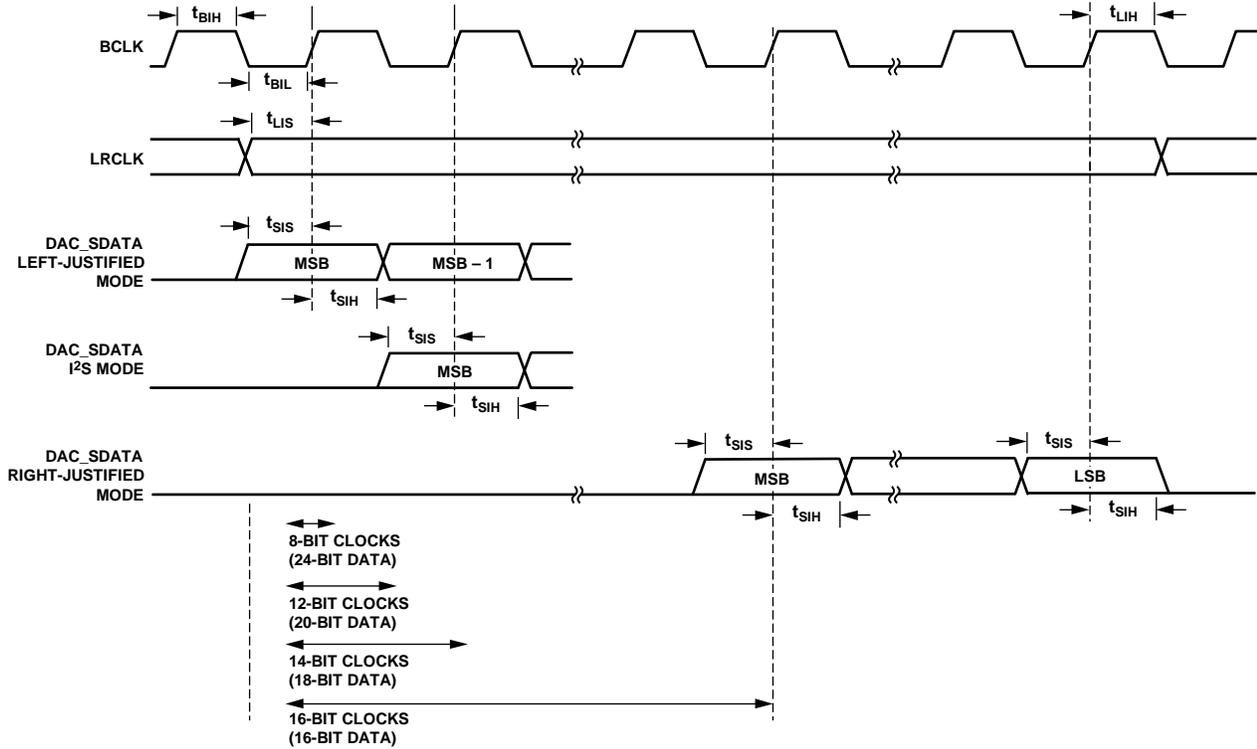


图2. 串行输入端口时序

07579-002

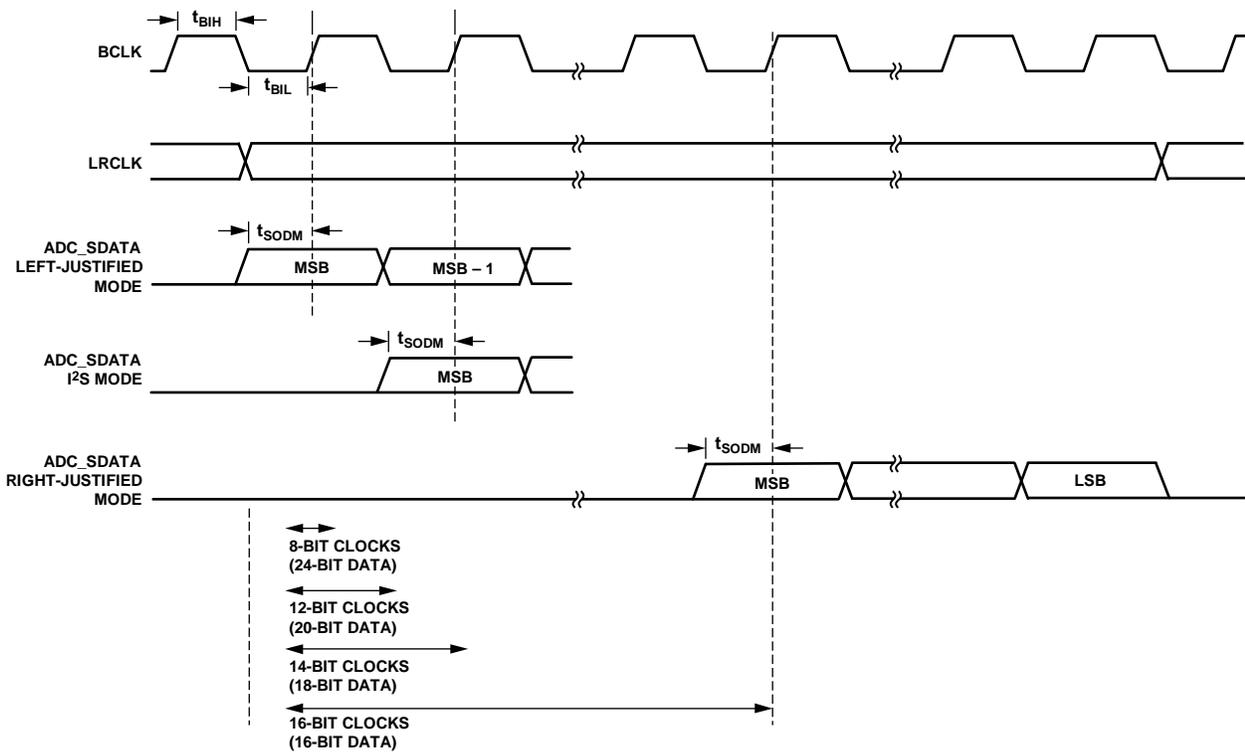


图3. 串行输出端口时序

07579-003

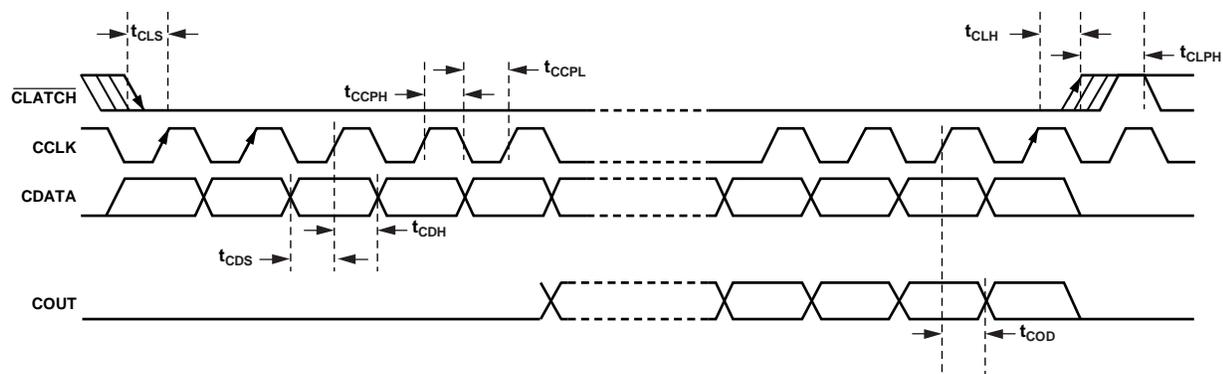


图4. SPI端口时序

07679-004

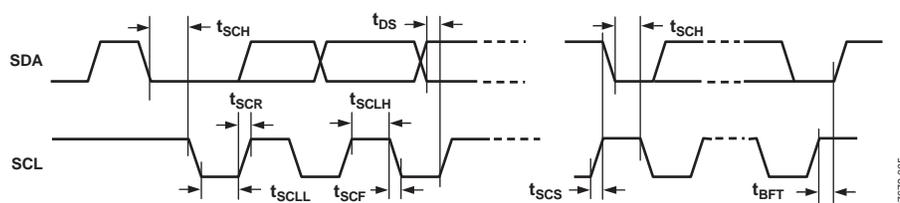


图5. I2C端口时序

07679-005

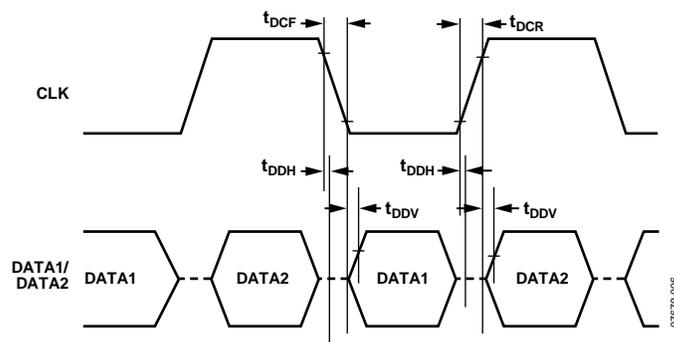


图6. 数字麦克风时序

07679-006

绝对最大额定值

表8

参数	额定值
电源电压(AVDD)	-0.3 V至+3.65 V
输入电流(电源引脚除外)	±20 mA
模拟输入电压(信号引脚)	-0.3 V至AVDD + 0.3 V
数字输入电压(信号引脚)	-0.3 V至IOVDD + 0.3 V
工作温度范围	-40°C至+85°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 表示结至环境热阻， θ_{JC} 表示结至外壳热阻。所有特性均是利用4层电路板进行测量。

表9. 热阻

封装类型	θ_{JA}	θ_{JC}	单位
32引脚 LFCSP	50.1	17	°C/W

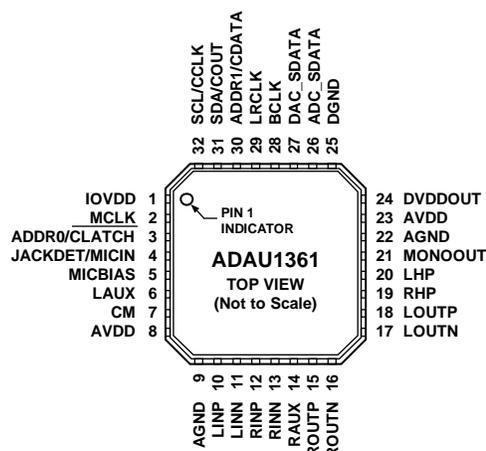
ESD警告



ESD(静电放电)敏感器件。

带器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
 1. THE EXPOSED PAD IS CONNECTED INTERNALLY TO THE ADAU1361 GROUNDS. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE GROUND PLANE.

图7. 引脚配置

表10. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	IOVDD	PWR	数字输入和输出引脚的电源。数字输出引脚由IOVDD供电，它还设置数字输入引脚上应当出现的最高输入电压。IOVDD应在1.8 V至3.3 V的范围内进行设置。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。IOVDD应通过一个100 nF电容和一个10 μF电容去耦至DGND。
2	MCLK	D_IN	外部主时钟输入。
3	ADDR0/CLATCH	D_IN	I ² C地址位0 (ADDR0)。 SPI锁存信号(CLATCH)。在SPI处理开始时必须变为低电平，在处理结束时必须变为高电平。完成每次SPI处理所需的CCLK数可能不同，取决于SPI处理开始时发送的地址和读/写位。
4	JACKDET/MICIN	D_IN	检测耳机插头的插拔(JACKDET)。 数字麦克风立体声输入(MICIN)。
5	MICBIAS	A_OUT	驻极体麦克风的偏置电压。
6	LAUX	A_IN	左声道单端辅助输入。AVDD/2偏置。
7	CM	A_OUT	AVDD/2 V共模基准电压。此引脚与AGND之间应连接一个10 μF到47 μF的标准去耦电容，以降低ADC与DAC之间的串扰。此引脚可用于偏置外部模拟电路，前提是外部电路不从CM吸取电流(例如运算放大器的同相输入端)。
8	AVDD	PWR	DAC和麦克风偏置的1.8 V至3.65 V模拟电源。此引脚应通过一个100 nF电容局部去耦至AGND
9	AGND	PWR	模拟地。AGND和DGND引脚应在一个公共接地层上相连。AGND应通过一个100 nF电容局部去耦至AVDD。
10	LINP	A_IN	左声道同相输入或单端输入0。AVDD/2偏置。
11	LINN	A_IN	左声道反相输入或单端输入1。AVDD/2偏置。
12	RINP	A_IN	右声道同相输入或单端输入2。AVDD/2偏置。
13	RINN	A_IN	右声道反相输入或单端输入3。AVDD/2偏置。
14	RAUX	A_IN	右声道单端辅助输入。AVDD/2偏置。
15	ROUTP	A_OUT	右线路输出，正极。AVDD/2偏置。
16	ROUTN	A_OUT	右线路输出，负极。AVDD/2偏置。
17	LOUTN	A_OUT	左线路输出，负极。AVDD/2偏置。
18	LOUTP	A_OUT	左线路输出，正极。AVDD/2偏置。

ADAU1361

引脚编号	引脚名称	类型 ¹	描述
19	RHP	A_OUT	右耳机输出。AVDD/2偏置。
20	LHP	A_OUT	左耳机输出。AVDD/2偏置。
21	MONOOUT	A_OUT	单声道输出或无电容耳机的虚拟地。当设置为单声道输出时，AVDD/2偏置。
22	AGND	PWR	模拟地。AGND和DGND引脚应在一个公共接地层上相连。AGND应通过一个100 nF电容局部去耦至AVDD。
23	AVDD	PWR	ADC、输出驱动器和数字电源调节器输入端的1.8 V至3.3 V模拟电源。此引脚应通过一个100 nF电容局部去耦至AGND。
24	DVDDOUT	PWR	数字内核电源去耦点。数字电源产生自片上调节器，不需要外部电源。DVDDOUT应通过一个100 nF电容和一个10 μF电容去耦至DGND。
25	DGND	PWR	数字地。AGND和DGND引脚应在一个公共接地层上相连。DGND应通过100 nF电容和10 μF电容去耦至DVDDOUT和IOVDD。
26	ADC_SDATA	D_OUT	ADC串行输出数据。
27	DAC_SDATA	D_IN	DAC串行输入数据。
28	BCLK	D_IO	串行数据端口位时钟。
29	LRCLK	D_IO	串行数据端口帧时钟。
30	ADDR1/CDATA	D_IN	I ² C地址位1 (ADDR1)。 SPI数据输入(CDATA)。
31	SDA/COUT	D_IO	I ² C数据(SDA)。此引脚为双向开集输入/输出。连接到此引脚的线路应有2 kΩ上拉电阻。 SPI数据输出(COUT)。此引脚用于回读寄存器和存储器位置。当SPI读取非活动时，它处于三态。
32	SCL/CCLK	D_IN	I ² C时钟(SCL)。在I ² C控制模式下，此引脚始终为开集输入。连接到此引脚的线路应有2 kΩ上拉电阻。 SPI时钟(CCLK)。此引脚可以连续工作，或者在SPI处理间隙关断。
EP	Exposed Pad		底部焊盘。底部焊盘内部连接到ADAU1361接地。为提高焊接接头的可靠性并实现最大散热效果，建议将焊盘焊接到地层。详情参见“底部焊盘PCB设计”部分。

¹ A_IN = 模拟输入，A_OUT = 模拟输出，D_IN = 数字输入，D_IO = 数字输入/输出，D_OUT = 数字输出，PWR = 电源。

典型工作特性

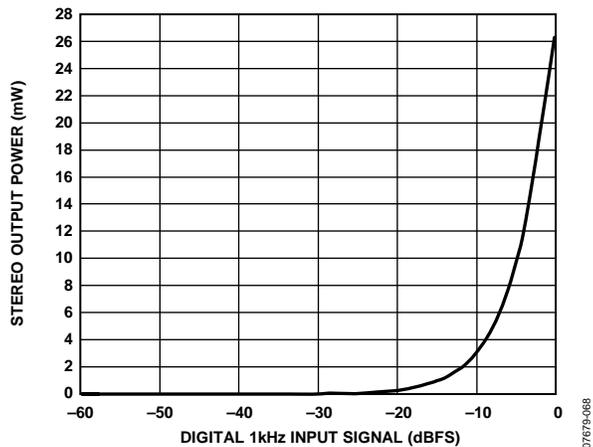


图8. 耳机放大器功率与输入电平的关系, 16 Ω 负载

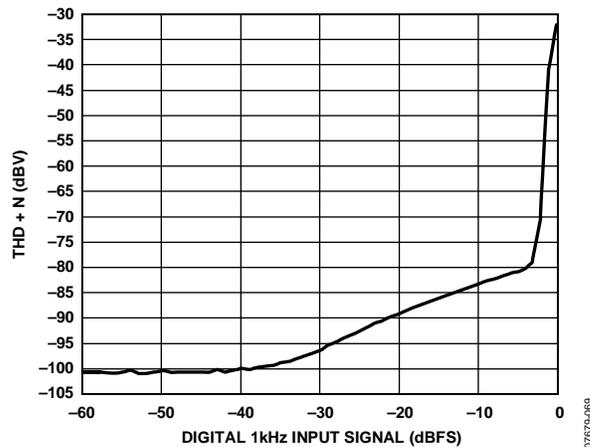


图11. 耳机放大器THD + N与输入电平的关系, 16 Ω 负载

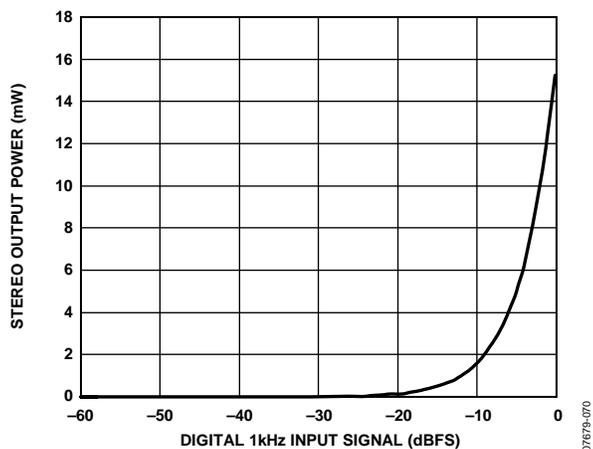


图9. 耳机放大器功率与输入电平的关系, 32 Ω 负载

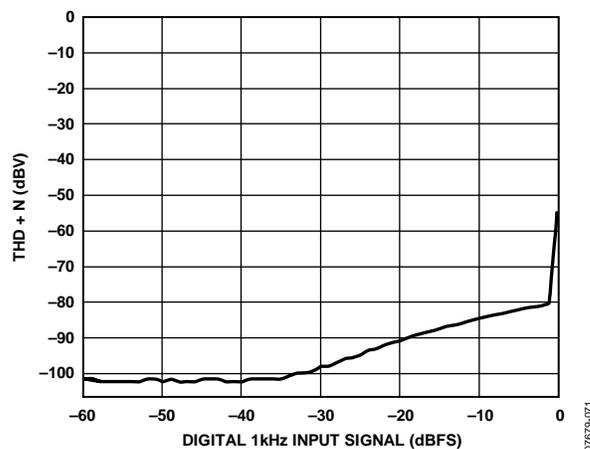


图12. 耳机放大器THD + N与输入电平的关系, 32 Ω 负载

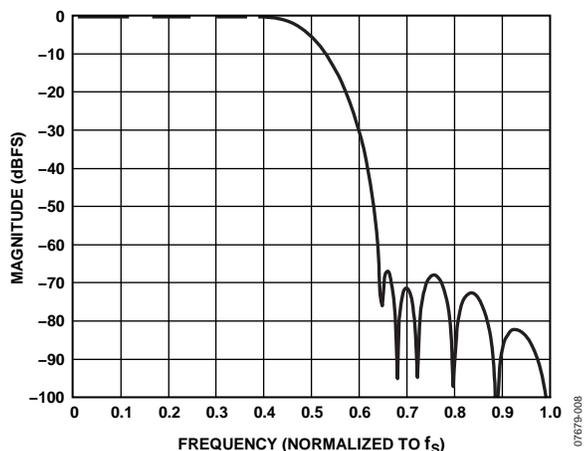


图10. ADC抽取滤波器, 64倍过采样, 归一化到 f_s

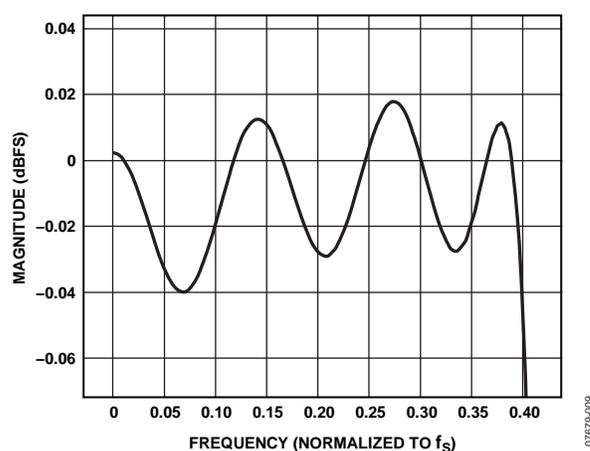


图13. ADC抽取滤波器通带纹波, 64倍过采样, 归一化到 f_s

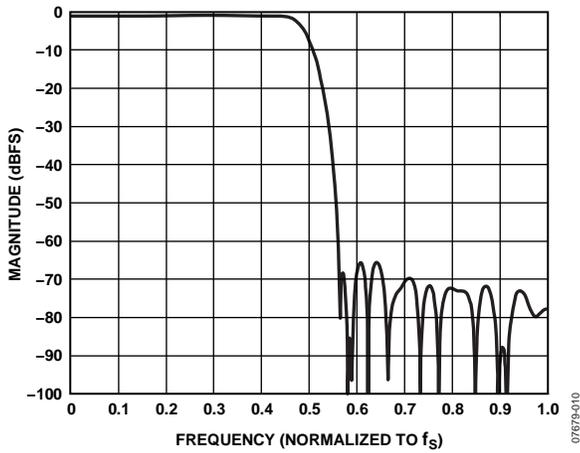


图14. ADC抽取滤波器, 128倍过采样, 归一化到 f_s

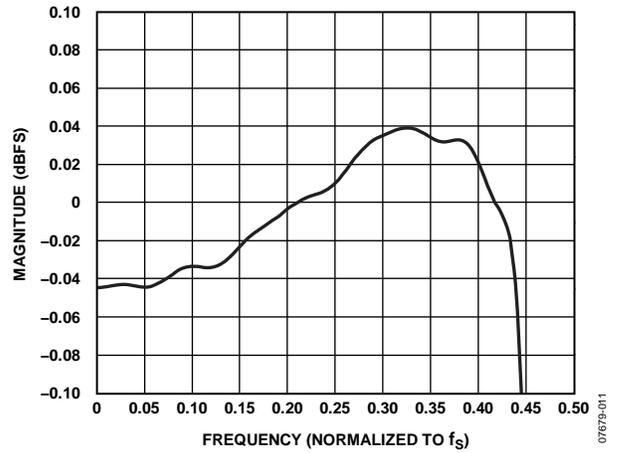


图17. ADC抽取滤波器通带纹波, 128倍过采样, 归一化到 f_s

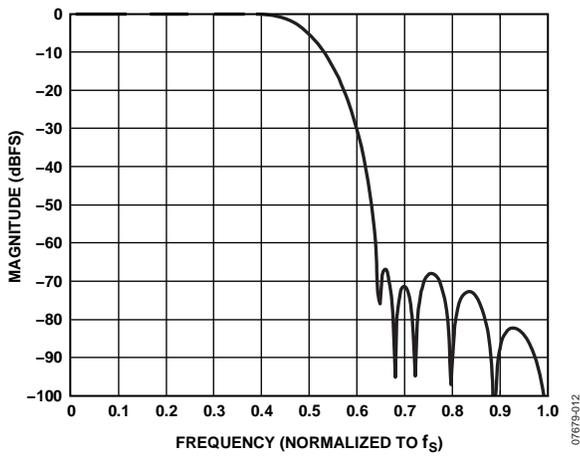


图15. ADC抽取滤波器, 128倍过采样, 双倍速率模式, 归一化到 f_s

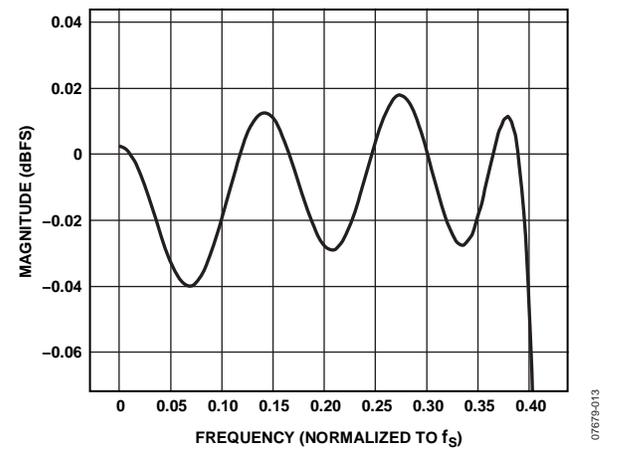


图18. ADC抽取滤波器通带纹波, 128倍过采样, 双倍速率模式, 归一化到 f_s

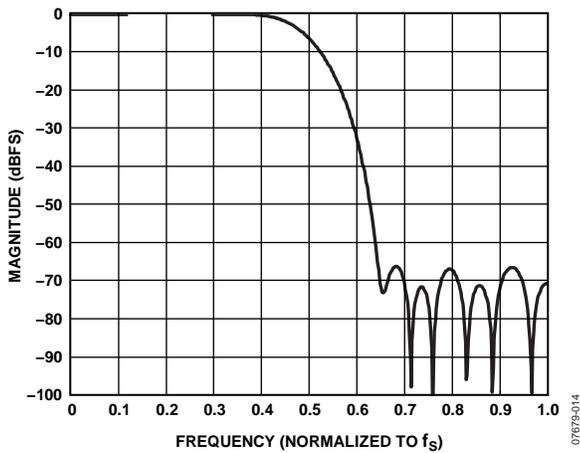


图16. DAC插值滤波器, 64倍过采样, 双倍速率模式, 归一化到 f_s

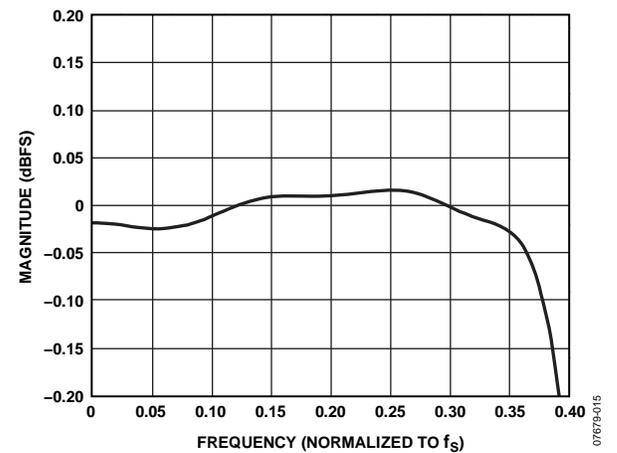


图19. DAC插值滤波器通带纹波, 64倍过采样, 双倍速率模式, 归一化到 f_s

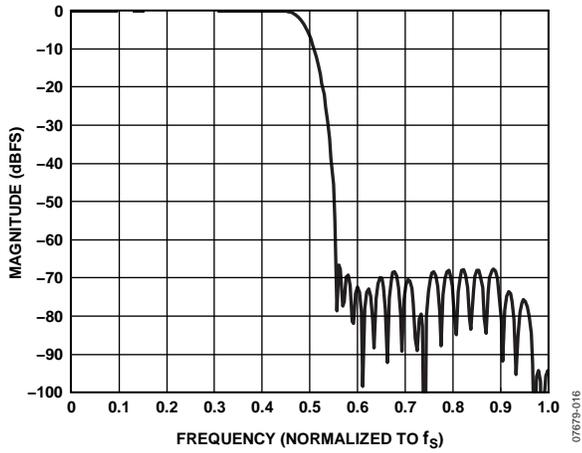


图20. DAC插值滤波器, 128倍过采样, 归一化到 f_s

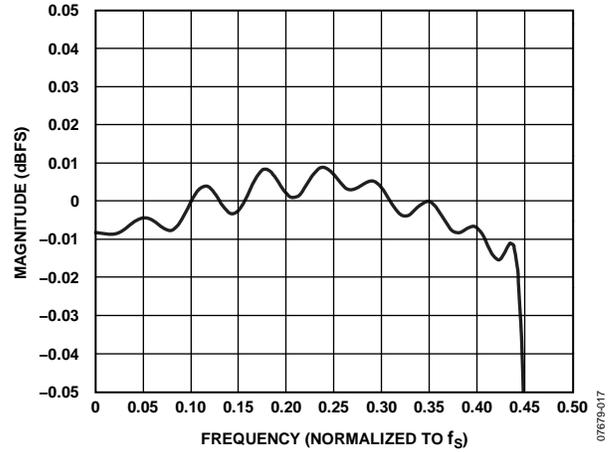


图23. DAC插值滤波器通带纹波, 128倍过采样, 归一化到 f_s

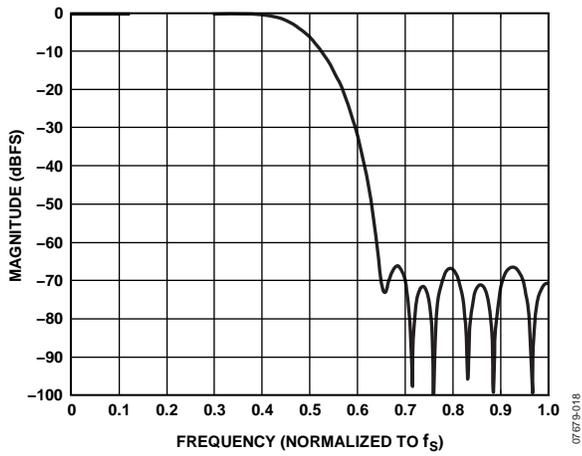


图21. DAC插值滤波器, 128倍过采样, 双倍速率模式, 归一化到 f_s

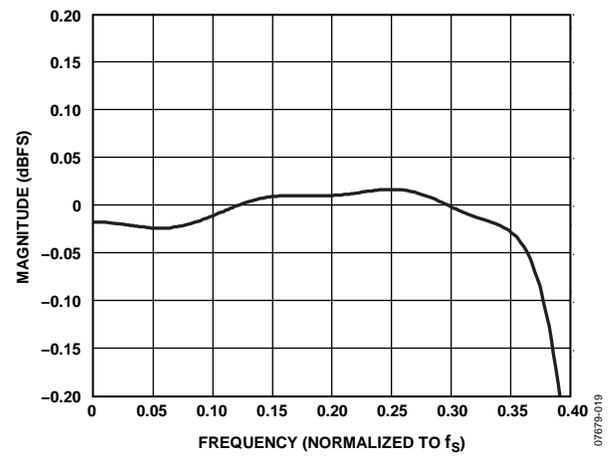


图24. DAC插值滤波器通带纹波, 128倍过采样, 双倍速率模式, 归一化到 f_s

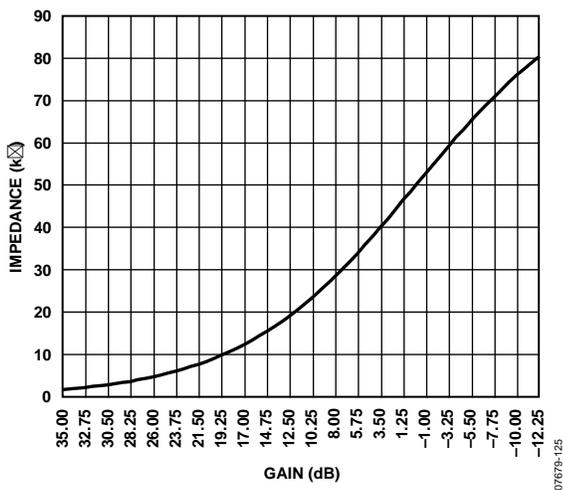


图22. 模拟输入的输入阻抗与增益的关系

ADAU1361

系统框图

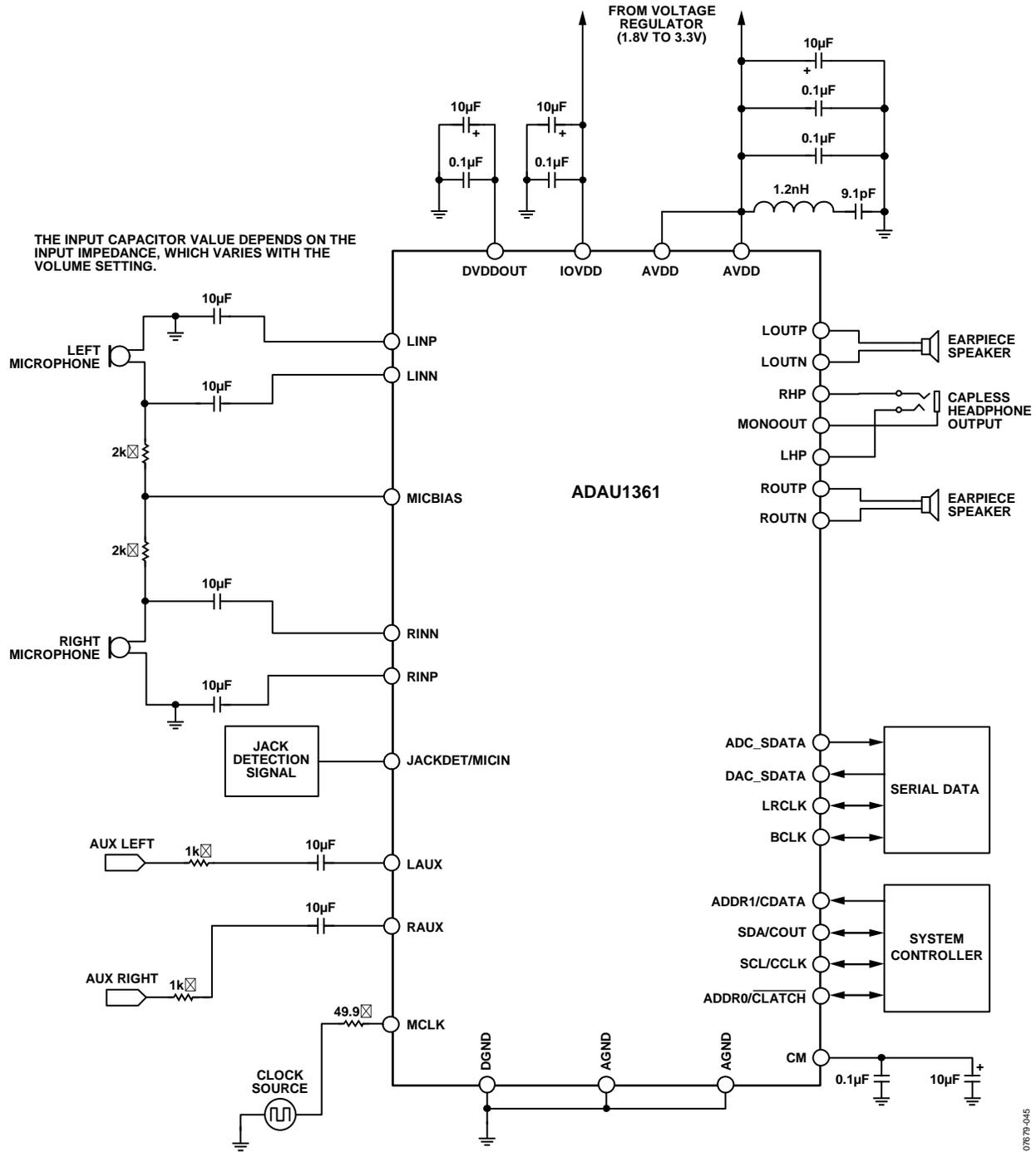


图25. 系统框图

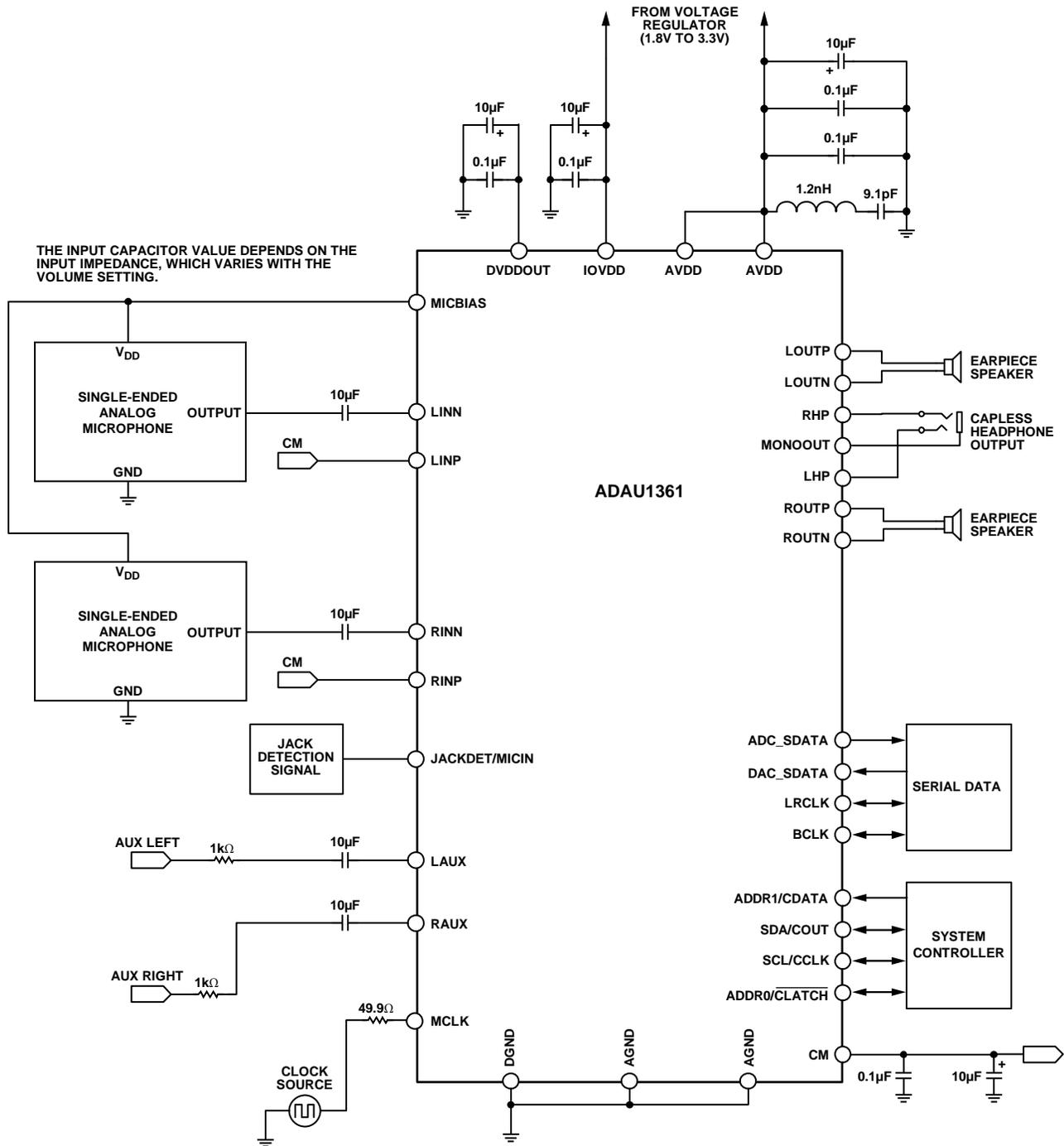


图26. 带模拟麦克风的系统框图

ADAU1361

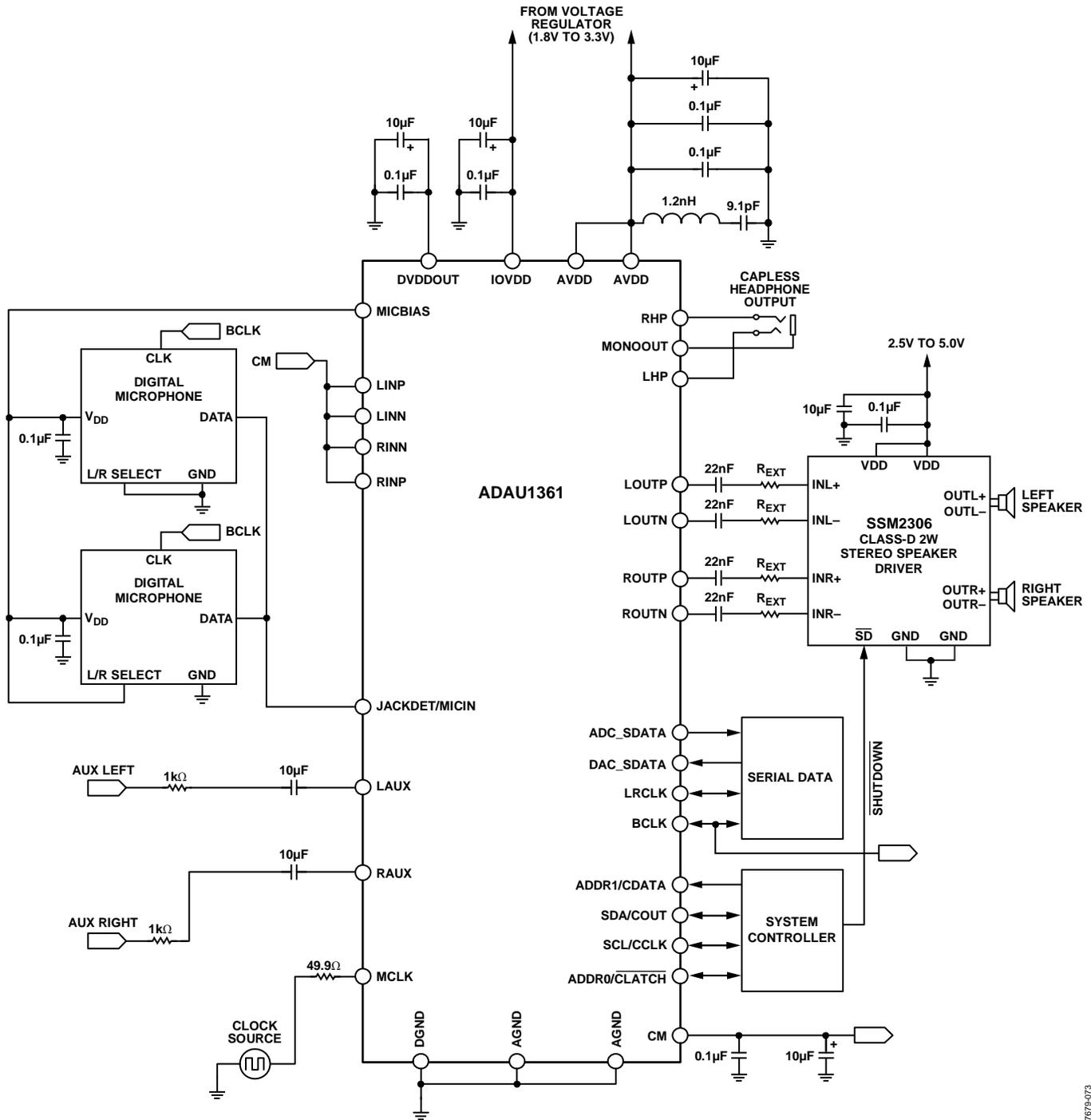


图27. 带数字麦克风和SSM2306 D类扬声器驱动器的系统框图

07679-073

工作原理

ADAU1361是一款提供高质量音频、低功耗、小封装尺寸的音频编解码器。立体声ADC和立体声DAC各具有至少+98 dB的SNR和至少-90 dB的THD+N。串行数据端口兼容I²S、左对齐、右对齐和TDM模式，可以与数字音频数据接口。工作电压范围为1.8 V至3.65 V，片上稳压器产生内部数字电源电压。

录音信号路径包括非常灵活的输入配置，可接受差分 and 单端模拟麦克风输入以及数字麦克风输入。麦克风偏置引脚支持与驻极体麦克风无缝接口。输入配置可接受最多6路单端模拟信号或多种形式的立体声差分、立体声单端信号，并具有2路辅助单端输入。每路输入信号都可以利用各自的可编程增益放大器(PGA)进行音量调整，并且可以旁路ADC，直接路由至回放路径输出混频器。此外还可以实现自动电平控制(ALC)，保持录音音量不变。

ADC和DAC均为高质量、24位 Σ - Δ 型转换器，以可选的64倍或128倍过采样率工作。转换器的基本采样速率由输入时钟速率设置，可以利用转换器控制寄存器设置做进一步调整。转换器以8 kHz到96 kHz的采样速率工作。ADC和DAC还包括步长非常精密的数字音量控制功能。

回放路径允许将输入信号和DAC输出混频为各种输出配置。耳机驱动器可驱动立体声耳机输出，其它输出引脚则能够以差分方式驱动耳机扬声器。利用单声道输出作为虚拟地连接可以实现无电容耳机输出。立体声线路输出既可以用作单端或差分输出，也可以用作可选的混频下变频单声道输出。

利用片上小数PLL，ADAU1361可以从各种各样的输入时钟产生内部时钟。PLL支持的输入范围为8 MHz至27 MHz。

ADAU1361采用32引脚、5 mm × 5 mm小型LFCSP封装，配有底部焊盘。

启动、初始化和电源

本节介绍ADAU1361的正确启动程序。下面的序列提供了正确初始化系统的步骤。

1. 给ADAU1361加电。
2. 让PLL锁定输入时钟(如果使用PLL)。
3. 使能内核时钟。
4. 加载寄存器设置。

上电序列

ADAU1361使用上电复位(POR)电路来在上电时复位寄存器。POR监控DVDDOUT引脚,只要给芯片加电,就会产生一个复位信号。复位期间,ADAU1361采用寄存器图所述的默认值进行设置(参见“控制寄存器”部分)。通常,在AVDD上有一个10 μF电容的情况下,POR约需14 ms。

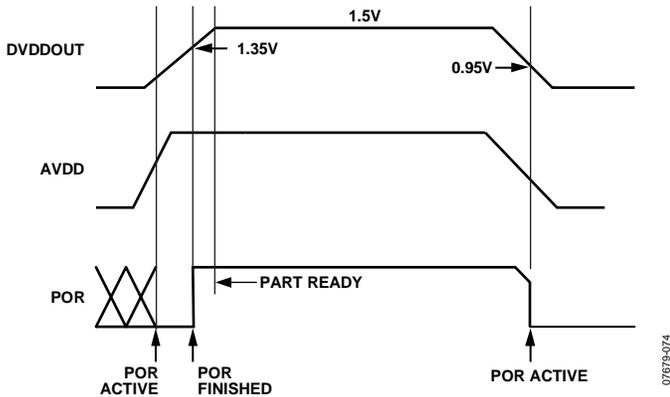


图28. 上电复位序列

PLL锁定时间取决于MCLK速率。典型锁定时间参见表11。

表11. PLL锁定时间

PLL模式	MCLK频率	锁定时间(典型值)
小数	8 MHz	3.5 ms
小数	12 MHz	3.0 ms
整数	12.288 MHz	2.96 ms
小数	13 MHz	2.4 ms
小数	14.4 MHz	2.4 ms
小数	19.2 MHz	2.98 ms
小数	19.68 MHz	2.98 ms
小数	19.8 MHz	2.98 ms
小数	24 MHz	2.95 ms
整数	24.576 MHz	2.96 ms
小数	26 MHz	2.4 ms
小数	27 MHz	2.4 ms

降低功耗模式

ADAU1361芯片的多个部分可以根据需要开启或关闭,以便降低功耗。这些部分包括ADC、DAC和PLL。

此外,可以通过控制寄存器配置某些功能的工作模式:省电、正常或增强性能模式。详情参见控制寄存器部分。

ADC和DAC的数字滤波器各自均可以设置为64倍或128倍(默认)的过采样率。将这些滤波器的过采样率设置为64倍可以降低功耗,而对性能的影响则极小。关于这些滤波器的性能规格,请参见数字滤波器部分;关于工作曲线,请参见典型工作特性部分。

数字电源

ADAU1361的数字电源由内部稳压器产生。此稳压器产生1.5 V内部电源。此稳压器的唯一外部连接是DVDDOUT旁路点。此引脚与DGND之间应连接一个100 nF电容和一个10 μF电容。

输入/输出电源

数字输出引脚的电源由IOVDD提供,它还设置数字输入引脚上应当出现的最高输入电压。IOVDD应在1.8 V至3.3 V范围内进行设置;数字输入信号的电平不得高于IOVDD上的电平。此引脚吸取的电流是可变的,因为它取决于数字输出的负载。IOVDD应通过一个100 nF电容和一个10 μF电容去耦至DGND。

时钟产生和管理

ADAU1361采用灵活的时钟方案,支持使用许多不同的输入时钟速率。PLL可以旁路或使用,这样就产生两种不同的时钟管理方法。有关时钟方案、PLL配置和采样速率的更多信息,请参见“时钟和采样速率”部分。

情况1: 旁路PLL

如果旁路PLL,内核时钟将直接从MCLK输入获得。此时钟的速率必须通过寄存器R0(时钟控制寄存器,地址0x4000)的INFREQ[1:0]位正确设置。当PLL被旁路时,支持的外部时钟速率为 $256 \times f_s$ 、 $512 \times f_s$ 、 $768 \times f_s$ 和 $1024 \times f_s$,其中 f_s 为基本采样速率。在芯片的内核时钟使能位(COREN)置位之前,内核时钟关闭。

情况2：使用PLL

在PLL锁定获取期间，整个芯片的内核时钟关闭。用户可以轮询锁定位，以确定PLL何时锁定。获取锁定后，就可以置位寄存器R0(时钟控制寄存器，地址0x4000)的内核时钟使能位(COREN)，以启动ADAU1361。此位使能ADAU1361所有内部模块的内核时钟。

PLL锁定获取

在锁定获取期间，通过控制端口只能访问寄存器R0(地址0x4000)和寄存器R1(地址0x4002)。所有其它寄存器都需要有效的主时钟才能进行读写操作，因此请勿尝试访问。任何读或写操作都被禁止，直到内核时钟使能位(COREN)和锁定位均置位。

若要在时钟设置初始化时对PLL编程或重新配置时钟，必须遵循以下步骤：

1. 关断PLL。
2. 复位PLL控制寄存器。
3. 启动PLL。
4. 轮询锁定位。
5. 获取PLL锁定后，置位内核时钟使能位。

PLL控制寄存器(寄存器R1，地址0x4002)是一个48位寄存器，必须利用一个连续的写操作通过控制端口写入所有位。

时钟和采样速率

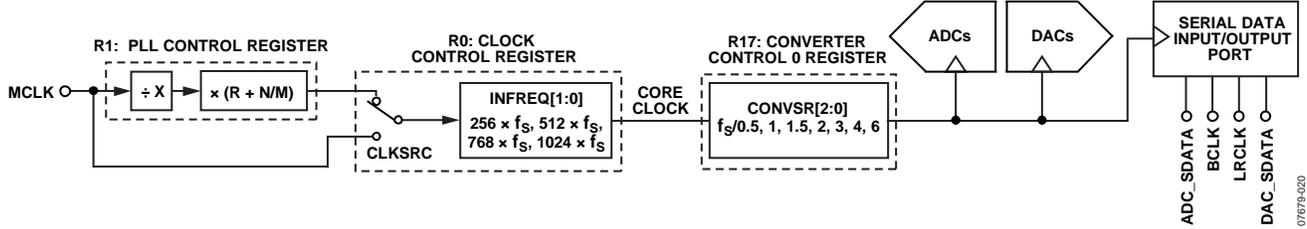


图29. 时钟树图

内核时钟

用于转换器和串行端口的时钟是从内核时钟获得。内核时钟可以直接从MCLK获得，也可以由PLL产生。CLKSRC位（寄存器R0/地址0x4000的位3）决定时钟源。

INFREQ[1:0]位应根据CLKSRC所选的预期输入时钟速率进行设置，此值还决定内核时钟速率和基本采样频率 f_s 。

例如，如果CLKSRC的输入为49.152 MHz(来自PLL)，则：

$$INFREQ[1:0] = 1024 \times f_s$$

$$f_s = 49.152 \text{ MHz} / 1024 = 48 \text{ kHz}$$

PLL输出时钟速率始终为 $1024 \times f_s$ ，当使用PLL时，时钟控制寄存器自动将INFREQ[1:0]位设置为 $1024 \times f_s$ 。当直接使用时钟时，INFREQ[1:0]频率应根据MCLK引脚时钟速率和所需的基本采样频率进行设置。

表12. 时钟控制寄存器(寄存器R0，地址0x4000)

位	位名称	设置
3	CLKSRC	0: 直接来自MCLK引脚(默认) 1: PLL时钟
[2:1]	INFREQ[1:0]	00: $256 \times f_s$ (默认) 01: $512 \times f_s$ 10: $768 \times f_s$ 11: $1024 \times f_s$
0	COREN	0: 内核时钟禁用(默认) 1: 内核时钟使能

采样速率

ADC、DAC和串行端口使用相同的采样速率，它在寄存器R17(转换器控制0寄存器，地址0x4017)中进行设置。CONVSR[2:0]位将该采样速率设置为基本采样频率的比值。

表13和表14列出了常用基本采样速率的分频结果。

表13. 48 kHz基本采样速率分频结果

基本采样频率	采样速率比例	采样速率
$f_s = 48 \text{ kHz}$	$f_s/1$	48 kHz
	$f_s/6$	8 kHz
	$f_s/4$	12 kHz
	$f_s/3$	16 kHz
	$f_s/2$	24 kHz
	$f_s/1.5$	32 kHz
	$f_s/0.5$	96 kHz

表14. 44.1 kHz基本采样速率分频结果

基本采样频率	采样速率比例	采样速率
$f_s = 44.1 \text{ kHz}$	$f_s/1$	44.1 kHz
	$f_s/6$	7.35 kHz
	$f_s/4$	11.025 kHz
	$f_s/3$	14.7 kHz
	$f_s/2$	22.05 kHz
	$f_s/1.5$	29.4 kHz
	$f_s/0.5$	88.2 kHz

PLL

PLL使用MCLK作为参考产生内核时钟。PLL设置在寄存器R1(PLL控制寄存器, 地址0x4002)中进行设置。根据MCLK频率的不同, 必须将PLL设置为整数或小数模式。PLL可以接受8 MHz至27 MHz范围内的输入频率。

PLL控制寄存器的所有6个字节必须利用一个连续的写操作通过控制端口写入。

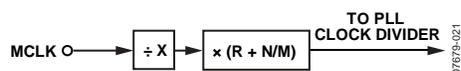


图30. PLL功能框图

整数模式

当MCLK为PLL输出(1024 × f_s)的整数(R)倍时, 使用整数模式。

例如, 如果MCLK = 12.288 MHz且f_s = 48 kHz, 则:

$$PLL\text{所需输出} = 1024 \times 48\text{ kHz} = 49.152\text{ MHz}$$

$$R = 49.152\text{ MHz} / 12.288\text{ MHz} = 4$$

在整数模式下, 忽略M和N的值。

表15. PLL控制寄存器 (寄存器R1, 地址0x4002)

位	位名称	描述
[47:32]	M[15:0]	小数PLL的分母: 16位二进制数 0x00FD: M = 253 (默认)
[31:16]	N[15:0]	小数PLL的分子: 16位二进制数 0x000C: N = 12 (默认)
[14:11]	R[3:0]	PLL的整数部分: 4位, 仅2到8范围内的值有效 0010: R = 2 (默认) 0011: R = 3 0100: R = 4 0101: R = 5 0110: R = 6 0111: R = 7 1000: R = 8
[10:9]	X[1:0]	PLL输入时钟分频器 00: X = 1(默认) 01: X = 2 10: X = 3 11: X = 4
8	Type	PLL工作模式 0: 整数(默认) 1: 小数
1	Lock	PLL锁定(只读位) 0: PLL未锁定(默认) 1: PLL锁定
0	PLLEN	PLL使能 0: PLL禁用(默认) 1: PLL使能

小数模式

当MCLK为PLL输出的小数(R + (N/M))倍数时, 使用小数模式。

例如, 如果MCLK = 12 MHz且f_s = 48 kHz, 则:

$$PLL\text{所需输出} = 1024 \times 48\text{ kHz} = 49.152\text{ MHz}$$

$$R + (N/M) = 49.152\text{ MHz} / 12\text{ MHz} = 4 + (12/125)$$

表16和表17给出了44.1 kHz和48 kHz采样速率的常用小数PLL参数设置。

PLL输出41 MHz至54 MHz范围内的时钟, 计算PLL值和MCLK频率时应考虑到这一点。

ADAU1361

表16. 小数PLL参数设置: $f_s = 44.1 \text{ kHz}$ (PLL输出 = $45.1584 \text{ MHz} = 1024 \times f_s$)

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制)
8	1	5	625	403	0x0271 0193 2901
12	1	3	625	477	0x0271 01DD 1901
13	1	3	8125	3849	0x1FBD 0F09 1901
14.4	2	6	125	34	0x007D 0022 3301
19.2	2	4	125	88	0x007D 0058 2301
19.68	2	4	1025	604	0x0401 025C 2301
19.8	2	4	1375	772	0x055F 0304 2301
24	2	3	625	477	0x0271 01DD 1B01
26	2	3	8125	3849	0x1FBD 0F09 1B01
27	2	3	1875	647	0x0753 0287 1B01

表17. 小数PLL参数设置: $f_s = 48 \text{ kHz}$ (PLL输出 = $49.152 \text{ MHz} = 1024 \times f_s$)

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制)
8	1	6	125	18	0x007D 0012 3101
12	1	4	125	12	0x007D 000C 2101
13	1	3	1625	1269	0x0659 04F5 1901
14.4	2	6	75	62	0x004B 003E 3301
19.2	2	5	25	3	0x0019 0003 2B01
19.68	2	4	205	204	0x00CD 00CC 2301
19.8	2	4	825	796	0x0339 031C 2301
24	2	4	125	12	0x007D 000C 2301
26	2	3	1625	1269	0x0659 04F5 1B01
27	2	3	1125	721	0x0465 02D1 1B01

表18. 整数PLL参数设置: $f_s = 48 \text{ kHz}$ (PLL输出 = $49.152 \text{ MHz} = 1024 \times f_s$)

MCLK输入(MHz)	输入分频器(X)	整数(R)	分母(M)	分子(N)	R2: PLL控制设置(十六进制) ¹
12.288	1	4	无关	无关	0xFFFF XXXX 2001
24.576	1	2	无关	无关	0xFFFF XXXX 1001

¹X = 无关。

录音信号路径

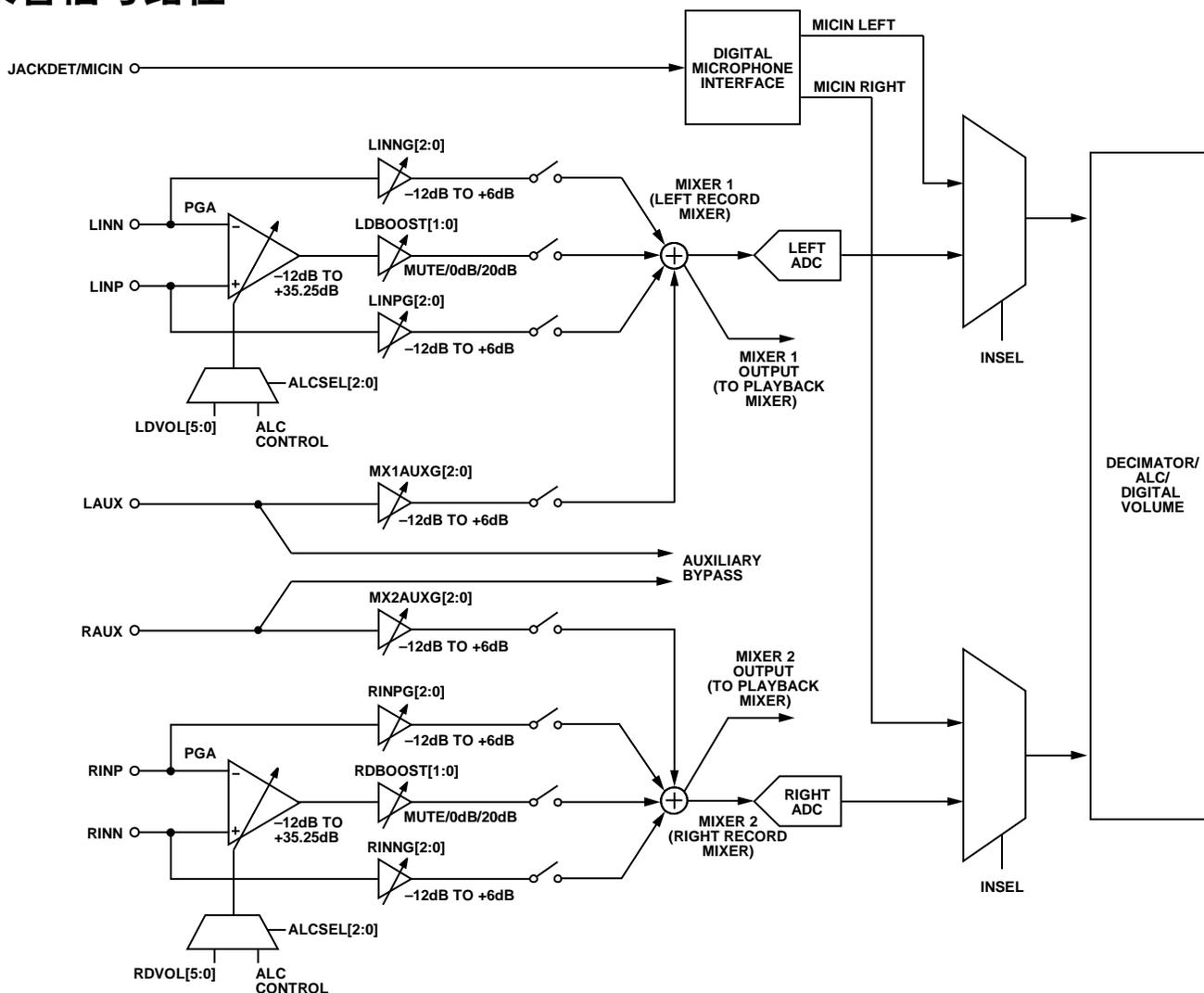


图31. 录音信号路径

输入信号路径

ADAU1361可以接受线路电平和麦克风输入。模拟输入可以配置为单端或差分配置。此外还有一路数字麦克风输入。模拟输入偏置AVDD/2。不用的输入引脚应连接到CM。

6路模拟输入各自均有增益控制(增强或减弱)。输入信号经过混频后路由至ADC。混频后的输入信号也可以旁路ADC，直接路由至回放混频器。左声道输入在左ADC之前进行混频，但也可以将混频后的模拟信号绕过ADC路由，将其输出到左或右输出通道。同样的处理方法也适用于右声道和右ADC。

信号通过PGA和混频器后会反转。这种反转的结果是差分信号输入通过PGA是同极性ADC的输出，因为它们是输入。通过混频器但不通过PGA的单端输入被反转。ADC不提供反转功能。

模拟输入端的输入阻抗随PGA的增益而变化。此阻抗的变化范围是1.7 kΩ(35.25 dB增益设置)至80.4 kΩ(-12 dB增益设置)。图22显示了该范围。

ADAU1361

模拟麦克风输入

针对麦克风输入，应将器件配置为立体声伪差分模式或立体声全差分模式。

LINN和LINP引脚分别是左声道的反相和同相输入端。RINN和RINP引脚分别是右声道的反相和同相输入端。

针对差分麦克风输入，应将正信号连接到PGA的同相输入端，将负信号连接到PGA的反相输入端，如图32所示。PGA设置由寄存器R8(左差分输入音量控制寄存器，地址0x400E)和寄存器R9(右差分输入音量控制寄存器，地址0x400F)控制。首先必须将RDEN位和LDEN位置1以启用PGA。

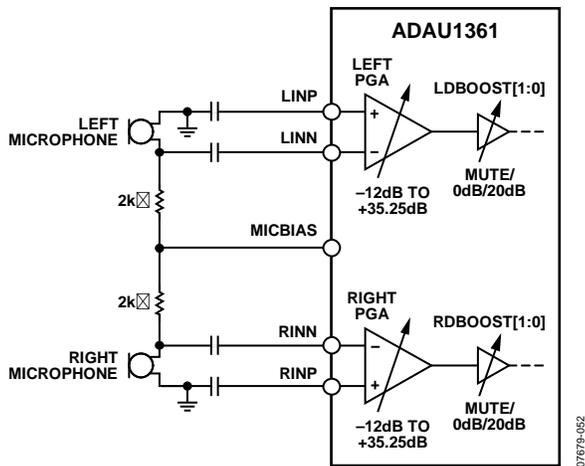


图32. 立体声差分麦克风配置

PGA也可以用于单端麦克风输入。LINP和/或RINP连接到CM引脚。在这种配置中，信号连接到PGA的反相输入端LINN和/或RINN，如图33所示。

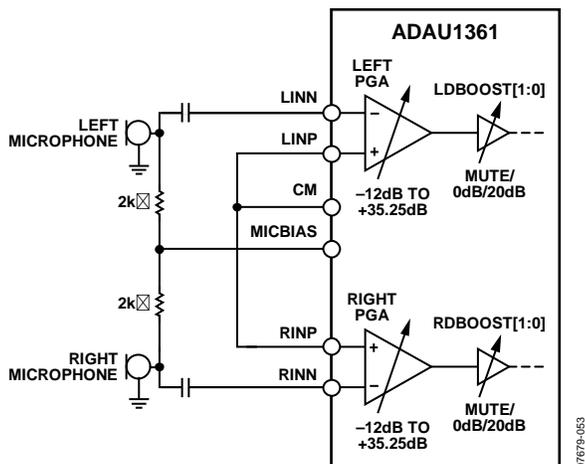


Figure 33. Stereo Single-Ended Microphone Configuration

模拟线路输入

任何模拟输入端都可以接受线路输入信号。可以将RINN、RINP、LINN和LINP引脚上的信号绕过差分放大器路由至其自有放大器，并且禁用LDEN位和RDEN位(寄存器R8/地址0x400E的位0和寄存器R9/地址0x400F的位0)，以将这些引脚用作单端线路输入端。图34给出了使用RINN和LINN引脚的立体声单端线路输入配置。

LAUX和RAUX引脚是单端线路输入，可以将其一起用作立体声单端辅助输入，如图34所示。这些输入可以旁路输入增益控制、混频器和ADC，直接连接到输出回放混频器(参见图31中的辅助旁路)。

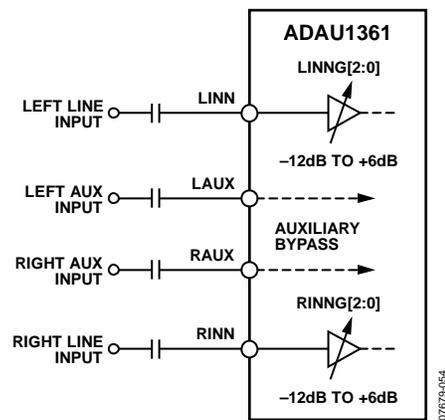


图34. 带立体声辅助旁路的立体声单端线路输入

数字麦克风输入

当将数字麦克风输入连接到JACKDET/MICIN引脚时，寄存器R2(地址0x4008)的JDFUNC[1:0]位必须设置为10，以使用能麦克风输入并禁用插孔检测功能。ADAU1361必须工作在主机模式，并且将BCLK用作数字麦克风的输入时钟。

数字麦克风信号旁路录音路径混频器和ADC，直接路由到抽取滤波器。数字麦克风和ADC共用抽取滤波器，因此二者不能同时使用。数字麦克风输入选择位INSEL可以在寄存器R19(ADC控制寄存器，地址0x4019)中设置。图35显示了数字麦克风接口和信号路由。

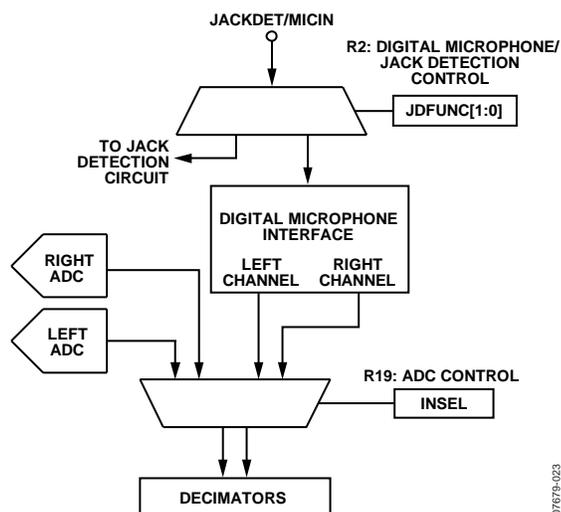


图35. 数字麦克风接口框图

麦克风偏置

MICBIAS引脚为驻极体模拟麦克风提供基准电压。MICBIAS电压在寄存器R10（录音麦克风偏置控制寄存器，地址0x4010）中进行设置。通过此寄存器可以使能或禁用MICBIAS输出。其它选项包括高性能工作模式和增益增强。增益增强功能提供两种不同的电压偏置： $0.65 \times AVDD$ 或 $0.90 \times AVDD$ 。当使能时，高性能位会提高麦克风偏置电路的电源电流，以降低均方根输入噪声。

MICBIAS引脚也可以用来从独立的电源引脚为数字麦克风或模拟麦克风提供干净的电源电压。

模数转换器

ADAU1361采用两个具有可选过采样率(64倍或128倍，通过寄存器R17/地址0x4017的位3选择)的24位 Σ - Δ 型模数转换器(ADC)。

ADC满量程电平

ADC的满量程输入(0 dBFS)取决于AVDD。当AVDD = 3.3 V时，满量程输入电平为1.0 V rms。此满量程模拟输入将输出一个-1.38 dBFS的数字信号。ADAU1361内置此增益失调，以防止削波。满量程输入电平与AVDD电平成线性比例关系。

对于单端和伪差分信号，满量程值对应于这些引脚的信号电平0 dBFS。

全差分满量程输入电平是在差分放大器之后进行测量，对应于各引脚的-6 dBFS信号电平。

高于满量程值的信号电平会导致ADC削波。

数字ADC音量控制

数字ADC音量可以利用寄存器R20(左输入数字音量寄存器，地址0x401A)和寄存器R21(右输入数字音量寄存器，地址0x401B)进行衰减。

高通滤波器

默认情况下，ADC路径中会使用一个高通滤波器来消除直流失调。此滤波器可以通过寄存器R19(ADC控制寄存器，地址0x4019)使能或禁用。当 $f_s = 48$ kHz时，此高通滤波器的转折频率为2 Hz。

自动电平控制(ALC)

ADAU1361内置硬件自动电平控制(ALC)功能。ALC的作用是连续调整PGA增益，使录音音量保持恒定，不随输入电平变化而变化。

为实现最佳噪声性能，ALC使用模拟PGA而不是数字方法来调整增益。这可确保在信号电平较低时不会放大ADC噪声。为了确保在增益变化期间获得高质量音频，ALC使用极小的增益步长。

要使用ALC功能，必须以差分方式或伪差分方式将输入施加到左声道的LINN和LINP输入引脚以及右声道的RINN和RINP输入引脚。ALC功能无法用于辅助线路输入引脚LAUX和RAUX。

ALC模块的功能框图如图36所示。ALC逻辑接收ADC输出信号，并分析这些数字信号以设置PGA增益。ALC控制寄存器用来控制时间常数和输出电平，如本部分所述。

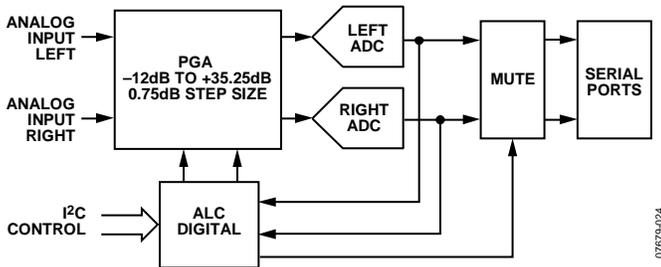


图36. ALC结构

ALC参数

ALC功能通过ALC控制寄存器(地址0x4011至0x4014)进行控制，其参数如下：

- **ALCSEL[2:0]**：ALC选择位，用于使能ALC并将模式设置为仅左声道、仅右声道或立体声。在立体声模式下，使用左右输入中的较大者来计算增益，然后将同样的增益应用于左右两个声道。
- **ALCTARG[3:0]**：ALC目标值，即ALC试图实现的理想输入录音电平。

- **ALCATCK[3:0]**：ALC启动时间，用于设置当输入电平突然提高到ALC目标值以上之后，ALC在多长时间内开始进行衰减。虽然看似应将启动时间设置得尽可能短，以避免瞬变时削波，不过使用适中的值可以获得更好的整体音质。如果该值太短，ALC将对非常短的瞬变做出过度反应，导致可听到的增益泵效应，这比使用适中的值以允许短时间的瞬变削波来说更差。音乐录音的典型设置为384 ms，语音录音的典型设置为24 ms。
- **ALCHOLD[3:0]**：这些位设置ALC保持时间。当输出信号降至目标输出电平以下时，增益不会立即提高，而是等到输出持续低于目标电平一定的时间之后才提高；该时间即为由保持时间位设置的保持时间，其作用是防止增益调制稳定的低频正弦波信号，以免引起失真。
- **ALCDEC[3:0]**：ALC衰减时间，用于设置当输入电平突然降低到ALC目标值以下之后，ALC在多长时间内提高PGA增益。如果ALC的主要作用是设置音乐录音电平，则可以使用非常慢的设置。如果ALC的作用是压缩语音录音的动态范围，则可以使用较快的设置。使用非常短的衰减时间可能会引起声频伪像，例如噪声泵或失真等。音乐录音的典型设置为24.58秒，语音录音的典型设置为1.54秒。
- **ALCMAX[2:0]**：ALC最大增益，用于限制ALC可编程的最大增益。当对小输入信号进行录音时，利用此设置可以防止过大的噪声。请注意，如果将此参数设置得过低，可能会阻碍ALC达到其目标输出电平，不过为了实现最佳整体音质，常常需要这一设置。

图37显示了针对猝发音输入的PGA增益动态行为。图中针对三种不同的输入电平实现了目标输出，并且显示了启动、保持和衰减的效果。请注意，对于非常小的信号，最大PGA增益可能会阻碍ALC实现其目标电平。同理，对于非常大的输入，最小PGA增益可能会阻碍ALC实现其目标电平(假设目标输出电平设置得非常低)。PGA增益限制的效果如图38的输入/输出图所示。

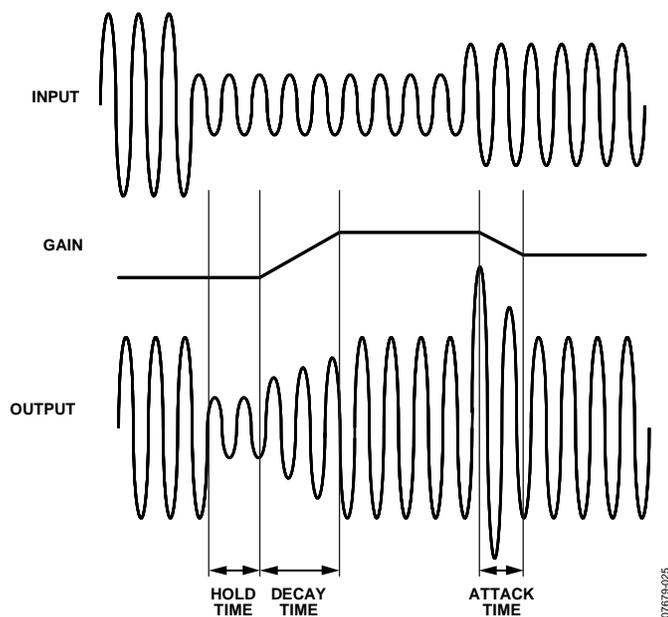


图37. ALC基本操作

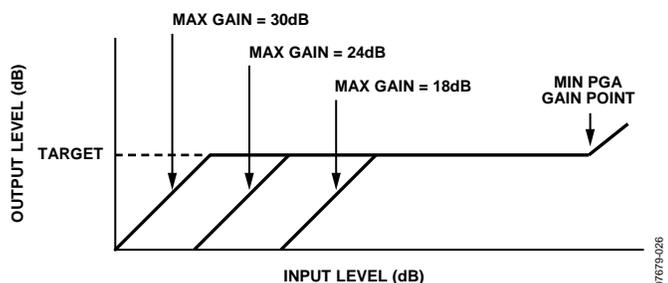


图38. 改变最大增益参数的效果

噪声门功能

使用ALC时，一个潜在问题是对于小输入信号，PGA增益可能会变得非常大。其副作用是噪声随同目标信号被放大。为避免这种现象，可以使用ADAU1361的噪声门。当信号电平低于设定的阈值时，噪声门会截断ADC输出。噪声门通过ALC控制3寄存器(地址0x4014)中的下列参数进行控制：

- NGTYP[1:0]：噪声门类型，写入这些位可以将其设置为四种模式之一。
- NGEN：写入此位可以使能噪声门功能。
- NGTYP[4:0]：写入这些位可以设置输出静音的阈值。

噪声门功能的一个常见问题是震颤，即当一个接近噪声门阈值的小信号不断改变幅度时，会导致噪声门功能快速开启和关闭。这会产生难听的声音。

为了减小这种效应，ADAU1361的噪声门综合运用超时时间和迟滞。超时时间设置为250 ms，信号必须持续低于阈

值250 ms才能使噪声门动作。迟滞的作用是让脱离静音状态的阈值比进入静音状态的阈值高6 dB。噪声门有四种工作模式。

将NGTYP[1:0]位设置为00时，选择噪声门模式0(见图39)。在这种模式下，当噪声门逻辑被激活时，PGA增益保持其当前状态。这可以防止静音期间的背景噪声大幅增加。采用这种模式时，建议使用相对较长的衰减时间。这是因为噪声门至少需要250 ms才能激活，如果在此期间PGA增益已经提高到很大的值，则增益的保持值也会很大。

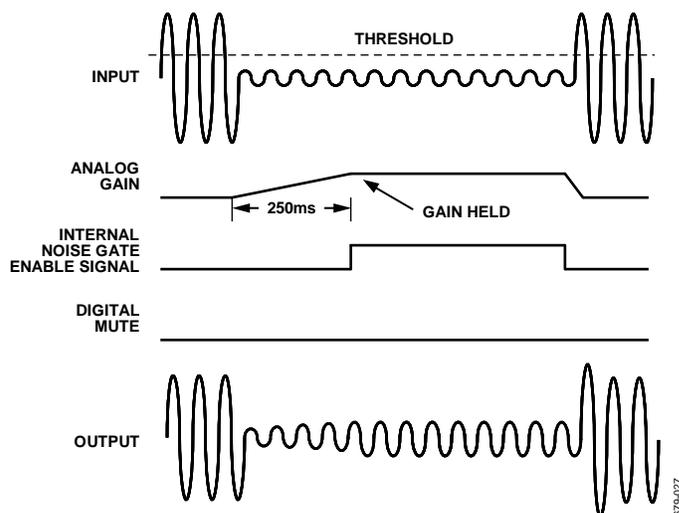


图39. 噪声门模式0(PGA增益保持)

将NGTYP[1:0]位设置为01时，选择噪声门模式1(见图40)。在这种模式下，ADAU1361简单地对ADC输出实行数字静音。虽然这种模式会完全消除背景噪声，但突然静音可能会令人感到不舒服。

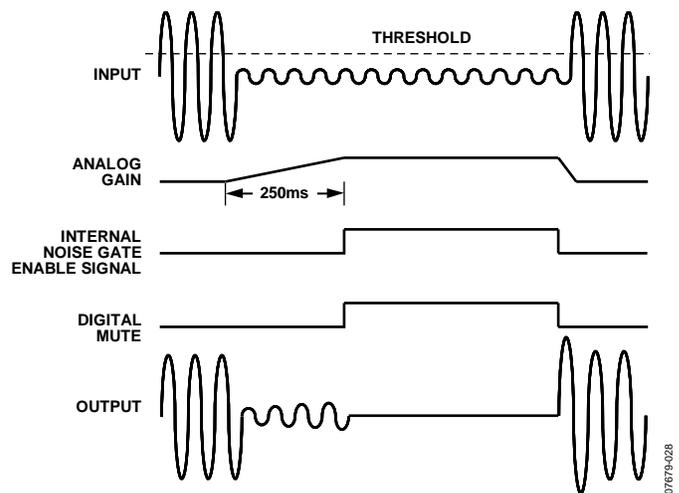


图40. 噪声门模式1(数字静音)

ADAU1361

将NGTYP[1:0]位设置为10时，选择噪声门模式2(见图41)。在这种模式下，ADAU1361首先会在大约100 ms的时间内将PGA增益衰减到最小PGA增益值，从而改善噪声门操作的声音。ADAU1361不会在衰减完成后强行静音，因此一些小的背景噪声仍将存在。

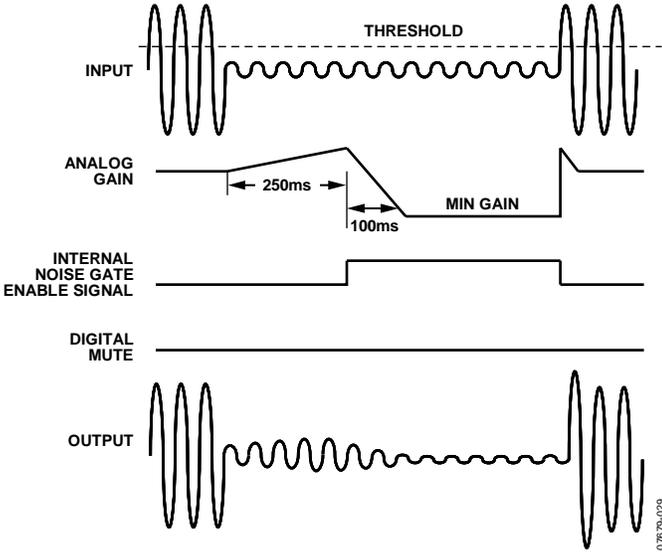


图41. 噪声门模式2(模拟衰减)

将NGTYP[1:0]位设置为11时，选择噪声门模式3(见图42)。除了在PGA增益衰减时间结束时执行数字静音之外，此模式与模式2完全相同。一般而言，此模式是最佳的声音模式，因为在静音发生之前，增益已经衰减到较低的水平，数字硬静音的声频效应因此得以减小。

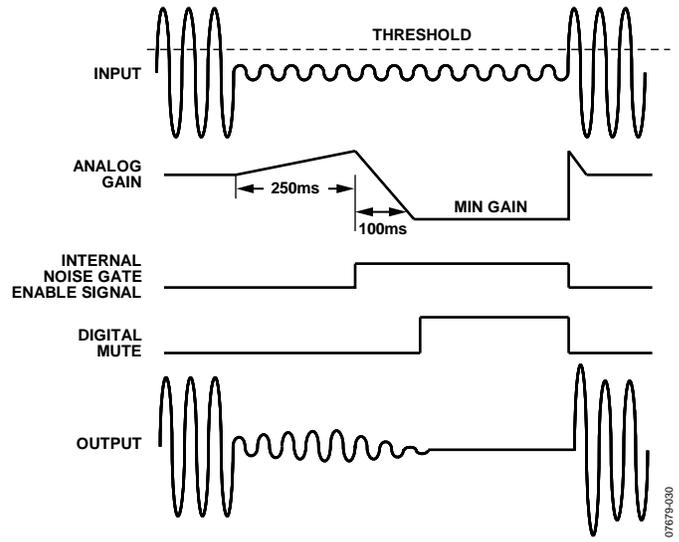


图42. 噪声门模式3(模拟衰减/数字静音)

回放信号路径

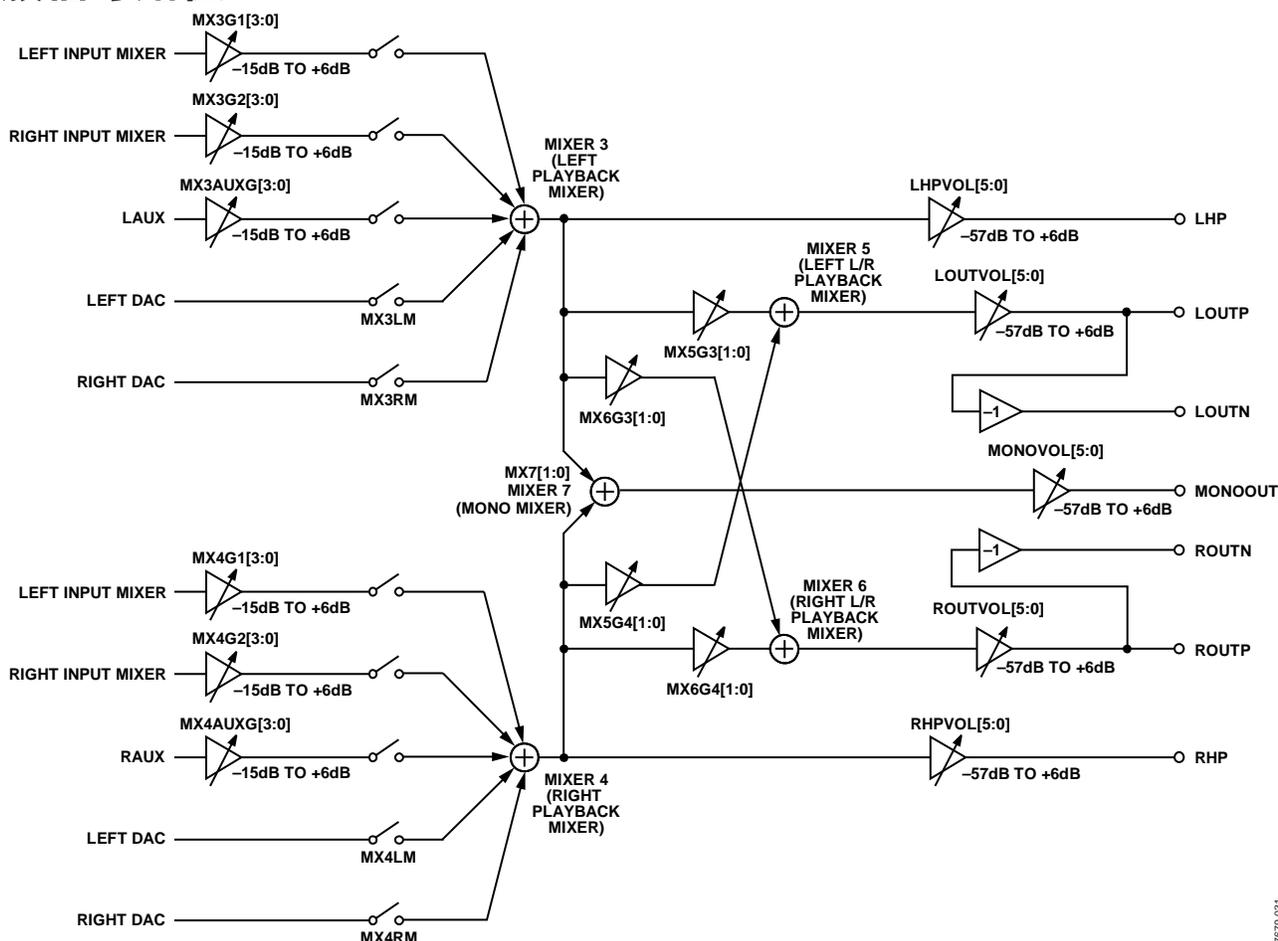


图43. 回放信号路径

07679-031

输出信号路径

ADAU1361的输出可以配置为多种不同的差分或单端输出。所有模拟输出都能驱动耳机或耳机扬声器。立体声信号或下混频单声道输出可以选择输出路径。线路输出可以驱动至少10 kΩ的负载，或者也可以配置为HP模式以驱动耳机或耳机扬声器。模拟输出引脚偏置AVDD/2。

对于0 dBFS数字输入，当AVDD = 1.8 V时，满量程输出电平为500 mV rms；当AVDD = 3.3 V时，满量程输出电平为920 mV rms。

信号通过混频器和音量控制部分后会反转，其结果是差分输出和耳机输出的极性得以保留。单端单声道输出被反转。DAC不提供反转功能。

路由灵活性

回放路径包含5个混频器(混频器3至混频器7)，执行如下功能：

- 混合来自录音路径和DAC的信号。
- 混合或交换左右声道。
- 混合单声道信号或产生共模输出。

混频器3和混频器4专门用于混合来自录音路径和DAC的信号。这两个混频器各自均可接受来自左右DAC、左右输入混频器和专用辅助通道输入的信号。来自录音路径的信号可以在回放混频器之前进行增强或减弱。

例如，MX4G2[3:0]位设置从混频器2(右录音通道)的输出端到混频器4的输入端的增益，该参数的名称即由此而来。

来自DAC的信号具有数字音量衰减控制功能，可以通过寄存器R20(左输入数字音量寄存器，地址0x401A)和寄存器R21(右输入数字音量寄存器，地址0x401B)进行设置。

耳机输出

LHP和RHP引脚可以由线路输出驱动器或耳机驱动器驱动，具体是通过寄存器R30(回放耳机右音量控制寄存器，地址0x4024)的HPMODE位进行设置。耳机输出可以驱动至少16 Ω的负载。

左右声道的音量控制是独立的，范围为-57 dB至+6 dB。利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的ASLEW[1:0]位，可以对所有回放音量控制压摆率。

无电容耳机配置

耳机输出可以配置为无电容输出配置，将MONOOUT引脚用作直流虚拟地参考。图44显示了无电容耳机配置中的典型回放路径。表19列出了这种配置的寄存器设置。如表中所示，MONOOUT引脚输出共模电平(AVDD/2)，用作虚拟耳机基准电压。

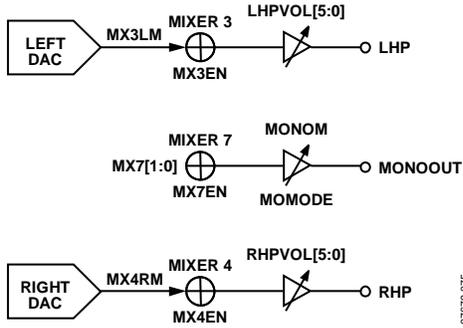


图44. 无电容耳机配置图

表19. 无电容耳机寄存器设置

寄存器	位名称	设置
R36	DACEN[1:0]	11 = 两个DAC均使能
R22	MX3EN	1 = 使能混频器3
	MX3LM	1 = 左DAC输入取消静音
R24	MX4EN	1 = 使能混频器4
	MX4RM	1 = 右DAC输入取消静音
R28	MX7EN	1 = 使能混频器7
	MX7[1:0]	00 = 共模输出
R33	MONOM	1 = 单声道输出取消静音
	MOMODE	1 = 耳机输出
R29	LHPVOL[5:0]	LHP输出的理想音量
	LHPM	1 = 左耳机输出取消静音
R30	HPMODE	1 = 耳机输出
	RHPVOL[5:0]	RHP输出的理想音量
	RHPM	1 = 右耳机输出取消静音

耳机输出上电/掉电序列

利用HPMODE位使能耳机输出后，为防止打开耳机输出时出现爆音，用户必须等待至少4 ms才能使这些输出取消静音。这是因为在使用这些输出之前，内部电容必须充电。图45和图46显示了耳机上电/掉电序列。

对于无电容耳机，应在使耳机输出取消静音之前配置MONOOUT引脚。

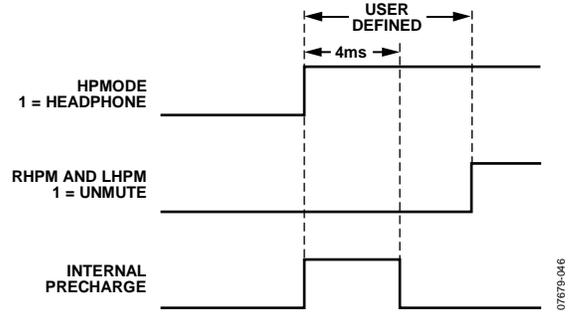


图45. 耳机输出上电时序

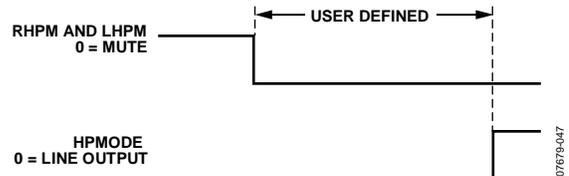


图46. 耳机输出掉电时序

以地为中心的耳机配置

通过在LHP和RHP引脚上放置耦合电容，也可以将耳机输出配置为以地为中心的输出。以地为中心的耳机应使用AGND引脚作为地参考。

以这种方式配置耳机输出时，这些电容会在输出端创建一个高通滤波器。此滤波器的转折频率(3 dB衰减点)通过下式计算：

$$f_{3dB} = 1/(2\pi \times R \times C)$$

其中：

C为电容值。

R为耳机的阻抗。

对于16 Ω的典型耳机阻抗和47 μF电容，转折频率为211 Hz。

插孔检测

如果JACKDET/MICIN引脚被设置为插孔检测功能，则当有耳机插入插孔时，就可以利用此引脚的标志位来使线路输出静音。此引脚可以通过寄存器R2(数字麦克风/插孔检测控制寄存器，地址0x4008)中进行配置。JDFUNC[1:0]位设置JACKDET/MICIN引脚的功能。

插孔检测的其它设置包括去抖时间(JDDB[1:0]位)和检测极性(JDPOL位)。由于插孔检测和数字麦克风共用一个引脚，因此二者不能同时使用。

爆音与咔嚓声抑制

上电时，预充电电路使能以抑制爆音和咔嚓声。上电后，可以利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的POPMODE位将预充电电路置于低功耗模式。

预充电时间取决于CM引脚上的电容值和负载的RC时间常数。对于典型的线路输出负载，预充电时间在2 ms到3 ms之间。预充电时间结束之后，可以将POPMODE位设置为低功耗模式。

改变任何会影响信号路径的寄存器设置都可能导致模拟输出端出现爆音和咔嚓声。为避免爆音和咔嚓声，应利用寄存器R29至寄存器R32(地址0x4023至0x4026)使相应的输出静音。变更完成后，取消模拟输出的静音。

线路输出

线路输出引脚(LOUTP、LOUTN、ROUTP和ROUTN)可以用来驱动差分和单端负载。在默认设置下，这些引脚可以驱动10 kΩ或更大的典型线路负载，但也可以通过设置寄存器R31(回放线路输出左音量控制寄存器，地址0x4025)的LOMODE位和寄存器R32(回放线路输出右音量控制寄存器，地址0x4026)的ROMODE位，将这些引脚置于耳机模式。在耳机模式下，线路输出引脚能够驱动16 Ω或更大的耳机和耳机扬声器。线路输出的输出阻抗约为1 kΩ。

在单端模式下使用线路输出引脚时，应利用LOUTP和ROUTP来输出信号，LOUTN和ROUTN不连接。

这些输出的音量控制范围为-57 dB至+6 dB。利用寄存器R34(回放爆音/咔嚓声抑制寄存器，地址0x4028)的ASLEW[1:0]位，可以对所有回放音量控制应用压摆。

MX5G4[1:0]、MX5G3[1:0]、MX6G3[1:0]和MX6G4[1:0]位均能向线路输出提供6 dB的增益增强。通过此增益增强，单端输出信号可以达到0 dBV(1.0 V rms)，差分输出信号可以达到6 dBV(2.0 V rms)。欲了解更多信息，请参见寄存器R26(回放L/R混频器左(混频器5)线路输出控制寄存器，地址0x4020)和寄存器R27(回放L/R混频器右(混频器6)线路输出控制寄存器，地址0x4021)。

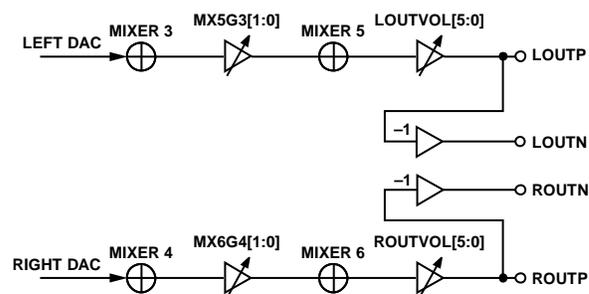


图47. 差分线路输出配置

控制端口

ADAU1361有两种控制模式：

- I²C控制
- SPI控制

ADAU1361具有一个4线SPI控制端口和一个2线I²C总线控制端口。两个端口均可以用来设置寄存器。器件默认采用I²C模式，但通过将 $\overline{\text{CLATCH}}$ 引脚拉低三次，就可以将其置于SPI控制模式。

控制端口能够对所有可寻址的寄存器执行全面的读写操作。对于除寄存器R0(地址0x4000)和R1(地址0x4002)外的所有寄存器，ADAU1361必须具有有效的主时钟才能写入。

单地址模式和突发模式下均能访问所有地址。一个控制端口写操作的首字节(字节0)包含7位芯片地址和R/ $\overline{\text{W}}$ 位。接下来的两个字节(字节1和字节2)共同构成ADAU1361内寄存器位置的子地址。此子地址必须为双字节长，因为ADAU1361内的存储器位置是可以直接寻址的，其大小超过了单字节寻址的范围。后续的所有字节(从字节3开始)包含数据。每个字的字节数取决于写入数据的类型。

控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表20列出了这些功能。

表20：控制端口引脚功能

引脚名称	I ² C模式	SPI模式
SCL/CCLK SDA/COUT	SCL: 输入时钟 SDA: 开集输入/输出	CCLK: 输入时钟 COUT: 输出
ADDR1/CDATA ADDR0/ $\overline{\text{CLATCH}}$	I ² C地址位1: 输入 I ² C地址位0: 输入	CDATA: 输入 $\overline{\text{CLATCH}}$: 输入

突发模式写入和读取

突发模式寻址可以用于将大量数据写入相邻的寄存器。在这种模式下，子地址会在字边界处自动递增。这种递增在单字写入或读取后自动发生，除非遇到停止条件(I²C)或者 $\overline{\text{CLATCH}}$ 被拉高(SPI)。突发写入开始时像单字写入，但写完第一个数据字后，可以立即写入下一个相邻地址的数据字，而无需发送其双字节地址。

除了6字节宽的PLL控制寄存器以外，ADAU1361的寄存器均为1字节宽。自动递增特性知道各子地址的字长，因此在突发写入过程中，无需为各地址手动指定子地址。

每读取或写入一个数据字后，子地址自动递增1，无论该地址是否存在有效的寄存器字。可以写入或读取寄存器图中的地址漏洞，而无任何不良后果。在ADAU1361中，地址漏洞有地址0x4001、0x4003至0x4007、0x402E和0x4032至0x4035。ADAU1361会忽略对这些寄存器的单字节写入，读取这些寄存器时返回单字节0x00。

I²C端口

ADAU1361支持2线串行(I²C兼容)微处理器总线驱动多个外设。两个引脚—串行数据(SDA)和串行时钟(SCL)—承载ADAU1361与系统I²C主控制器之间的信息。在I²C模式下，ADAU1361始终是总线上的从机，意味着它不能启动数据传输。每个从机都通过一个唯一的地址识别。表21给出了地址和R/ $\overline{\text{W}}$ 字节格式。地址存在于I²C写操作的前7位。ADAU1361 I²C地址的位[5:6]由ADDR1和ADDR0引脚上的电平设置。地址的LSB—R/ $\overline{\text{W}}$ 位—指定是读操作还是写操作。逻辑电平1对应于读操作，逻辑电平0对应于写操作。

表21. ADAU1361 I²C地址和Read/ $\overline{\text{Write}}$ 字节格式

位0	位1	位2	位3	位4	位5	位6	位7
0	1	1	1	0	ADDR1	ADDR0	R/ $\overline{\text{W}}$

SDA和SCL引脚各自线路上应连接一个2 k Ω 上拉电阻。这些信号线上的电压不应高于IOVDD(1.8 V至3.3 V)。

寻址

开始时，I²C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I²C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加R/ $\overline{\text{W}}$ 位)以MSB优先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态。

R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将写入信息到外设，而逻辑1则意味着主机将在写入子地址并重复起始地址之后从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图48显示了I²C写操作的时序，图49显示了I²C读操作的时序。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，ADAU1361将立即跳出到空闲状态。在给定的SCL高电平期间，用户只应发送一个起始条件或一个停止条件，或者

先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADAU1361不会发送应答，而是直接返回到空闲状态。

在自动递增模式下，如果用户地址超过了最高子地址，则器件会采取以下两种措施的一种。在读取模式下，ADAU1361输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，ADAU1361不会将无效字节的数据载入任何子地址寄存器，而是发送不应答，然后返回空闲状态。

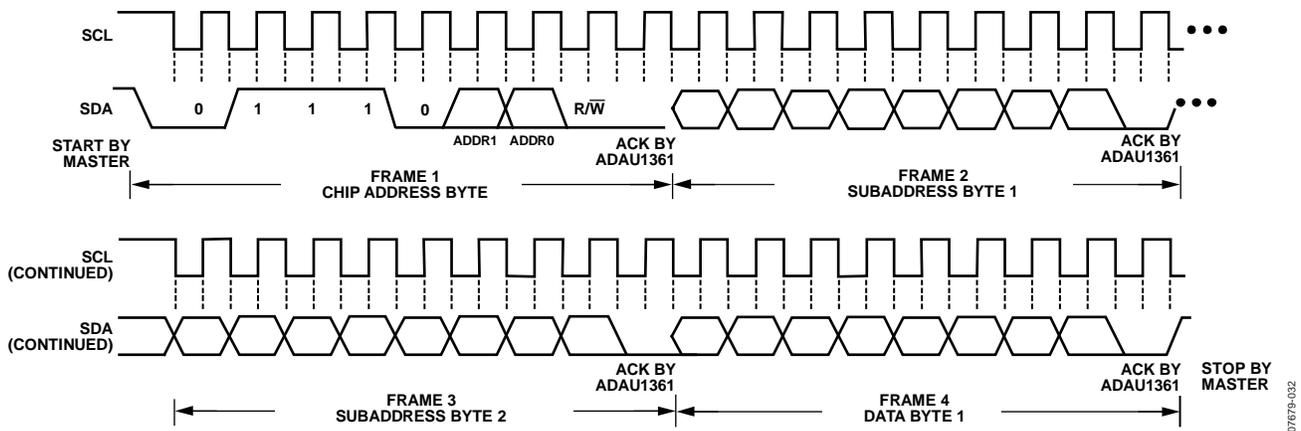


图48. I²C写入ADAU1361的时序

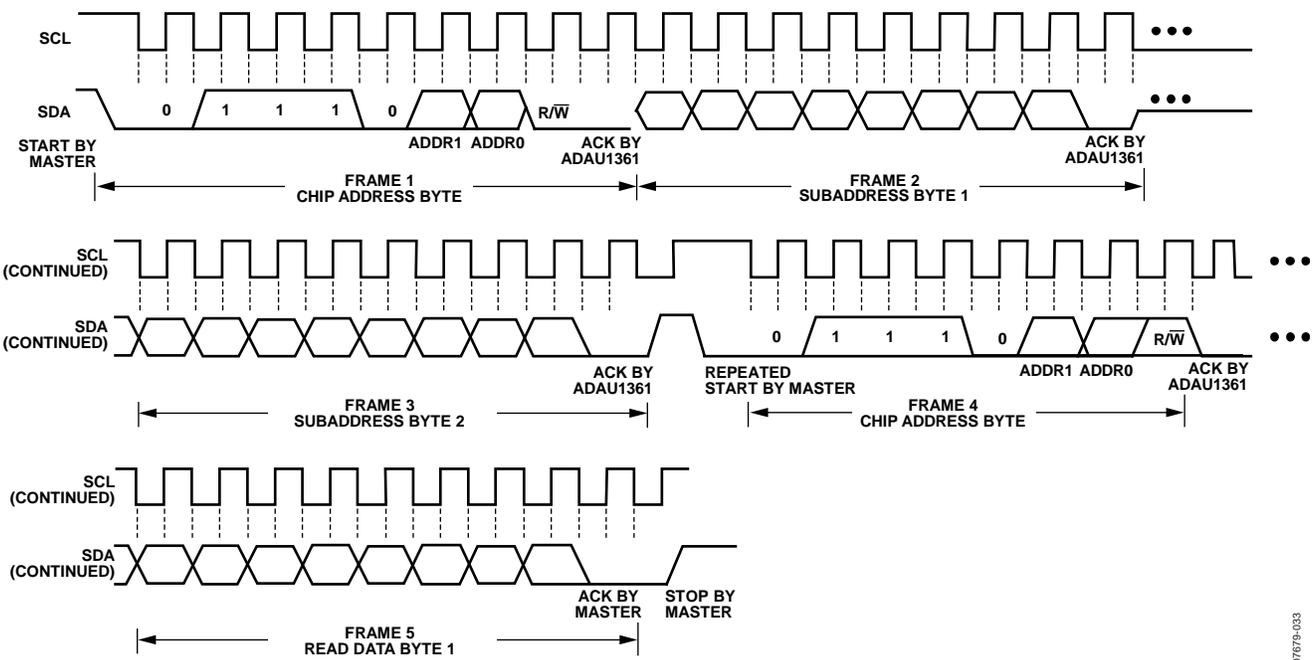


图49. I²C读取ADAU1361的时序

ADAU1361

I²C读和写操作

图50给出了单字写操作的格式。在每第9个时钟脉冲，ADAU1361都会通过拉低SDA来发送应答。

图51给出了突发模式写序列的格式。该图显示了一个顺次写入单字节寄存器的例子。ADAU1361在写完一个字节后即递增其子地址寄存器，因为请求的子地址对应于1字节字长的寄存器或存储器区域。

图52给出了单字读操作的格式。注意第一个R/W位为0，表示写操作。这是因为仍然需要写入子地址，以便设置内部地址。在ADAU1361确认接收到子地址后，主机必须发送一个重复起始命令，然后再发送R/W位设置为1(表示读操作)的芯片地址字节。这将导致ADAU1361 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向ADAU1361发送应答脉冲。

图53给出了突发模式读序列的格式。该图显示了一个顺次读取单字节寄存器的例子。ADAU1361在写完一个字节后即递增其子地址寄存器，因为请求的子地址对应于1字节字长的寄存器或存储器区域。ADAU1361总是解码子地址并设置自动递增电路，使得地址在读取适当数量的字节之后递增。

图50至图53使用了以下缩写：

- S = 起始位
- P = 停止位
- AM = 主机应答
- AS = 从机应答

S	Chip address, R/W = 0	AS	Subaddress high byte	AS	Subaddress low byte	AS	Data Byte 1	P
---	--------------------------	----	----------------------	----	---------------------	----	-------------	---

图50. 单字I²C写格式

S	Chip address, R/W = 0	AS	Subaddress high byte	AS	Subaddress low byte	AS	Data Byte 1	AS	Data Byte 2	AS	Data Byte 3	AS	Data Byte 4	AS	...	P
---	--------------------------	----	----------------------	----	---------------------	----	-------------	----	-------------	----	-------------	----	-------------	----	-----	---

图51. 突发模式I²C写格式

S	Chip address, R/W = 0	AS	Subaddress high byte	AS	Subaddress low byte	AS	S	Chip address, R/W = 1	AS	Data Byte 1	P
---	--------------------------	----	----------------------	----	---------------------	----	---	--------------------------	----	-------------	---

图52. 单字I²C读格式

S	Chip address, R/W = 0	AS	Subaddress high byte	AS	Subaddress low byte	AS	S	Chip address, R/W = 1	AS	Data Byte 1	AM	Data Byte 2	AM	...	P
---	--------------------------	----	----------------------	----	---------------------	----	---	--------------------------	----	-------------	----	-------------	----	-----	---

图53. 突发模式I²C读格式

SPI端口

ADAU1361默认采用I²C模式，但通过将 $\overline{\text{CLATCH}}$ 引脚拉低三次，就可以将其置于SPI控制模式。这可以通过对SPI端口执行三个伪写操作来完成(ADAU1361不会应答这些操作)。从第四个SPI写操作开始，该IC可以读写数据。要使ADAU1361离开SPI模式，必须通过周期供电启动全面复位过程。

SPI端口使用4线接口，包括 $\overline{\text{CLATCH}}$ 、CCLK、CDATA和COUT信号，始终是一个从机端口。 $\overline{\text{CLATCH}}$ 信号在处理开始时应变为低电平，在处理结束时应变为高电平。CCLK信号在低高转换时锁存CDATA。COUT数据在CCLK下降沿移出ADAU1361，应在CCLK上升沿输入一个接收器件，如微控制器等。CDATA信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样，其它SPI兼容外设可以共享同一回读线路。所有SPI处理都具有表23所示的相同基本格式。时序图见图4。所有数据都应以MSB优先方式写入。

表23. 通用控制字格式

字节 0	字节 1	字节 2	字节 3	字节 4 ¹
chip_adr[6:0], R/W	subaddr[15:8]	subaddr[7:0]	数据	数据

¹ 持续到数据结束。

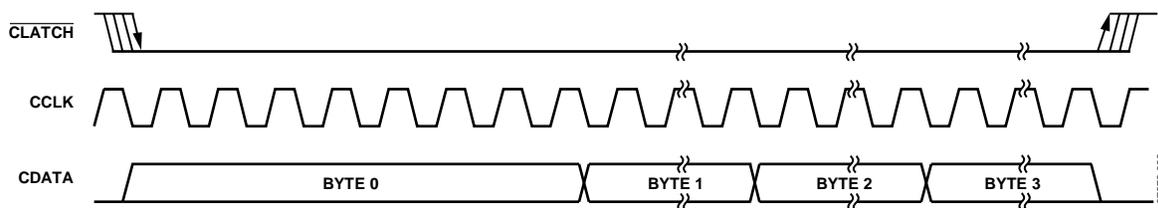


图54. SPI写入ADAU1361的时序(单字写模式)

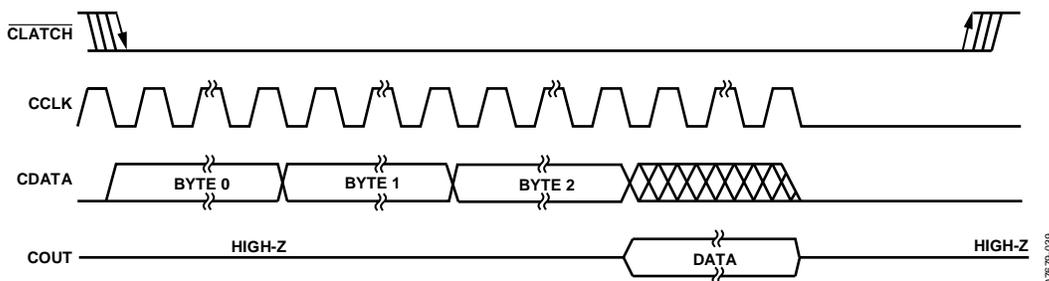


图55. SPI读取ADAU1361的时序(单字读模式)

芯片地址R/W

SPI处理的第一个字节的LSB为R/W位。此位决定通信是读操作(逻辑电平1)还是写操作(逻辑电平0)。表22显示了其格式。

表22. ADAU1361 SPI地址和Read/Write字节格式

位 0	位 1	位 2	位 3	位 4	位 5	位 6	位 7
0	0	0	0	0	0	0	R/W

子地址

16位子地址字解码为一个寄存器的位置。此子地址即为相应寄存器的位置。子地址的MSB通过填充0来使字长为2个字节。

数据字节

数据字节数取决于所访问的寄存器。在突发模式写入中，初始子地址之后是连续的数据序列，以供写入连续的寄存器位置。

图54给出了对一个寄存器执行单字SPI写操作的示例时序图。图55给出了单字SPI读操作的示例时序图。在字节3开始时，COUT引脚从三态变为高电平。本例中，字节0至字节2包含地址和R/W位，后续字节承载数据。

串行数据输入/输出端口

ADAU1361灵活的串行数据输入和输出端口可以设置为以2通道格式或4通道TDM流格式接收或发送数据，以便与外部ADC或DAC接口。数据以二进制补码、MSB优先格式进行处理。在2通道流中，左声道数据字段始终先于右声道数据字段。在TDM模式下，时隙0和时隙1是音频帧的前半部分，时隙2和时隙3是音频帧的后半部分。串行模式和数据在帧中的位置通过寄存器R15至R18(串行端口和转换器控制寄存器，地址0x4015至0x4018)进行设置。

如果不使用PLL，串行数据始终必须与ADAU1361主时钟输入同步。LRCLK和BCLK引脚用于为串行输入和输出端口提供时钟。ADAU1361可以设置为系统中的主机或从机。由于只有一组串行数据时钟，因此输入和输出端口必须同时为主机或同时为从机。

寄存器R15和R16(串行端口控制寄存器，地址0x4015和0x4016)可以控制时钟极性和数据输入模式。有效数据格式包括I²S、左对齐、右对齐(24/20/18/16位)和TDM。在除右对齐模式以外的所有其它模式下，串行端口可以输入最多24位的任意位数。多余的位不会导致错误，但会被内部截断。

在每个LRCLK帧中，串行端口允许BCLK发生任意次转换。在TDM模式下，LRCLK可以作为50%占空比时钟或一位宽脉冲输入ADAU1361。

当LRCLK设置为脉冲时，LRCLK引脚与地之间应连接一个47 pF电容(见图56)。为使LRCLK信号与串行数据流正确对齐，主机模式和从机模式均需要此电容。

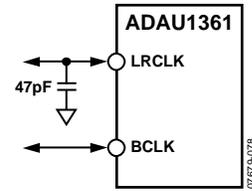


图56. LRCLK电容对齐, TDM脉冲模式

在TDM模式下，对于48 kHz以下的 f_s ，ADAU1361可以是一个主机。表24列出了串行输出端口的工作模式。

表24. 串行输出端口主机/从机模式能力

f_s	2通道模式 (I ² S、左对齐、右对齐)	4通道TDM
48 kHz	主机和从机	主机和从机
96 kHz	主机和从机	从机

表25给出了标准音频数据格式的正确配置。

表25. 数据格式配置

格式	LRCLK极性(LRPOL)	LRCLK模式(LRMOD)	BCLK极性(BPOL)	BCLK周期数/音频帧(BPF[2:0])	自LRCLK边沿起的数据延迟(LRDEL[1:0])
I ² S (见图57)	帧在下降沿开始	50%占空比	数据在下降沿改变	32至64	从LRCLK边沿起延迟1 BCLK
左对齐 (见图58)	帧在上升沿开始	50%占空比	数据在下降沿改变	32至64	与LRCLK边沿对齐
右对齐 (见图59)	帧在上升沿开始	50%占空比	数据在下降沿改变	32至64	从LRCLK边沿起延迟8或16 BCLK
采用时钟的TDM (见图60)	帧在下降沿开始	50%占空比	数据在下降沿改变	64至128	从字时钟开始起延迟1 BCLK
采用脉冲的TDM (见图61)	帧在上升沿开始	脉	数据在下降沿改变	64至128	从字时钟开始起延迟1 BCLK

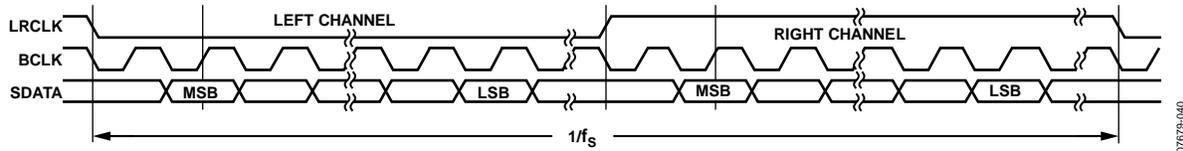


图57. I2S模式：每通道16位到24位

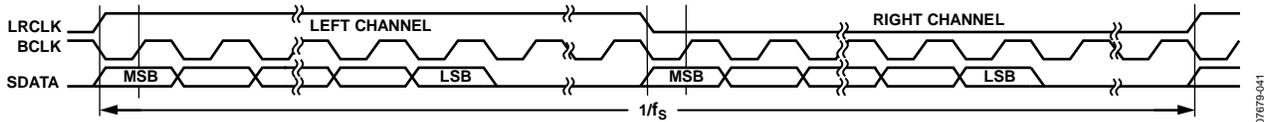


图58. 左对齐模式：每通道16位到24位

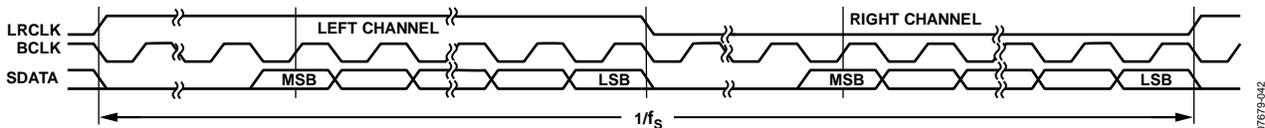


图59. 右对齐模式：每通道16位到24位

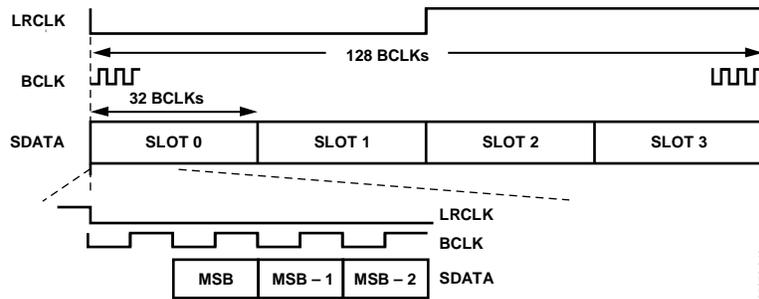


图60. TDM 4模式

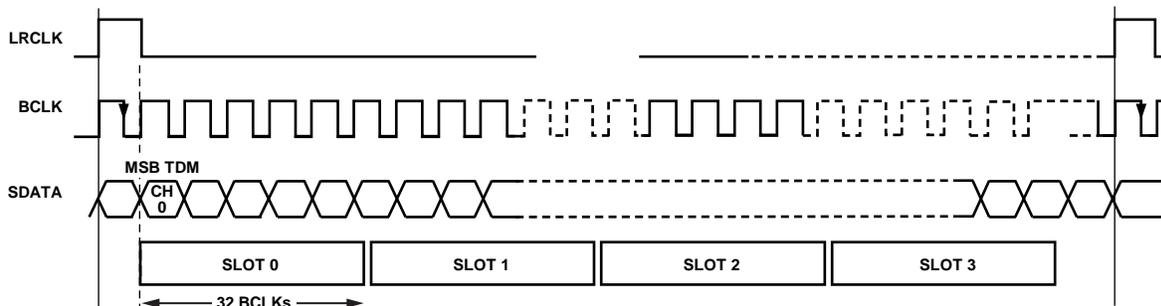


图61. 采用脉冲字时钟的TDM 4模式

应用信息

电源旁路电容

每个模拟和数字电源引脚都应通过一个100 nF电容旁路到其最近的适当接地引脚。电容各端的连接应尽可能短，走线应始终位于无通孔的单一层上。为获得最佳效果，电容与电源引脚和接地引脚的距离应相等；在无法进行等距放置的情况下，电容应略微靠近电源引脚。接地层的散热连接应位于电容的远端。

电路板上的每个电源信号也应通过一个大容量电容(10 μ F 至47 μ F)旁路。

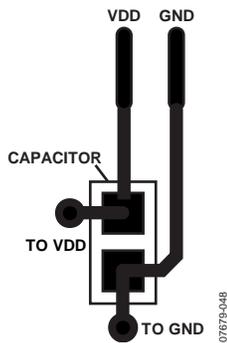


图62. 电源旁路电容的推荐布局

GSM噪声滤波器

在手机应用中，模拟电源引脚上的过大217 Hz GSM噪声会使音频质量下降。为了避免这一问题，建议在AVDD引脚的旁路电容上串联一个L-C滤波器。此滤波器应由一个1.2 nH电感和一个9.1 pF电容构成，串联在AVDD与地之间，如图63所示。

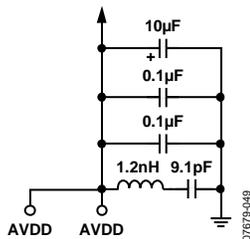


图63. 模拟电源引脚上的GSM滤波器

接地

应用布局中应使用单一接地层。模拟信号路径中的元件应远离数字信号放置。

底部焊盘PCB设计

ADAU1361在LFCSP封装的底部有一个裸露焊盘。当利用输出驱动耳机负载时，此焊盘用于将封装耦合到PCB以便散热。设计ADAU1361的电路板时，应特别注意以下事项：

- 电路板从顶部到底部的所有层上都应有一个大小与底部焊盘相当的铜层，并且该铜层应在某处连接到专用铜板层(见图64)。
- 应设置通孔以连接所有铜层，实现有效散热和导电。例如，图65显示焊盘区域中有9个通孔，这些通孔以3英寸×3英寸的网格形式排列。

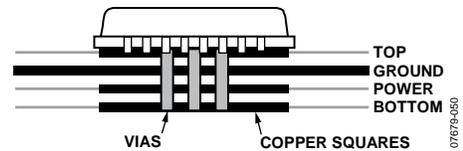


图64. 底部焊盘布局示例，侧视图

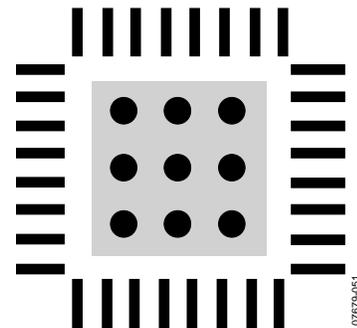


图65. 底部焊盘布局示例，俯视图

控制寄存器

保留

表26. 寄存器图

寄存器	地址	名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	
R0	0x4000	时钟控制	保留				CLKSRC	INFREQ[1:0]		COREN	00000000	
R1	0x4002	PLL控制	M[15:8]								00000000	
			M[7:0]								11111101	
			N[15:8]								00000000	
			N[7:0]								00001100	
			保留	R[3:0]			X[1:0]			类型	00010000	
R2	0x4008	数字麦克风/插孔检测	JDDDB[1:0]		JDFUNC[1:0]		保留		JDPOL	00000000		
R3	0x4009	录音功耗管理	保留	MXBIAS[1:0]		ADCBIAS[1:0]		RBIAS[1:0]		保留	00000000	
R4	0x400A	录音混频器左0	保留	LINPG[2:0]			LINNG[2:0]		MX1EN	00000000		
R5	0x400B	录音混频器左1	保留		LDBOOST[1:0]		MX1AUXG[2:0]				00000000	
R6	0x400C	录音混频器右0	保留	RINPG[2:0]			RINNG[2:0]		MX2EN	00000000		
R7	0x400D	录音混频器右1	保留			RDBOOST[1:0]		MX2AUXG[2:0]			00000000	
R8	0x400E	左差分输入音量	LDVOL[5:0]					LDMUTE	LDEN		00000000	
R9	0x400F	右差分输入音量	RDVOL[5:0]					RDMUTE	RDEN		00000000	
R10	0x4010	录音麦克风偏置	保留				MPERF	MBI	保留	MBIEN	00000000	
R11	0x4011	ALC 0	PGASLEW[1:0]		ALCMAX[2:0]			ALCSEL[2:0]			00000000	
R12	0x4012	ALC 1	ALCHOLD[3:0]				ALCTARG[3:0]				00000000	
R13	0x4013	ALC 2	ALCATCK[3:0]				ALCDEC[3:0]				00000000	
R14	0x4014	ALC 3	NGTYP[1:0]		NGEN		NGTHR[4:0]				00000000	
R15	0x4015	串行端口0	DITHEN	保留	LRMOD	BPOL	LRPOL	CHPF[1:0]		MS	00000000	
R16	0x4016	串行端口1	BPF[2:0]			ADTDM	DATDM	MSBP	LRDEL[1:0]		00000000	
R17	0x4017	转换器0	保留	DAPAIR[1:0]		DAOSR	ADOSR	CONVSR[2:0]			00000000	
R18	0x4018	转换器1	保留							ADPAIR[1:0]	00000000	
R19	0x4019	ADC控制	保留	ADCPOL	HPF	DMPOL	DMSW	INSEL	ADCEN[1:0]		00010000	
R20	0x401A	左数字音量	LADVOL[7:0]								00000000	
R21	0x401B	右数字音量	RADVOL[7:0]								00000000	
R22	0x401C	回放混频器左0	保留	MX3RM	MX3LM	MX3AUXG[3:0]				MX3EN	00000000	
R23	0x401D	回放混频器左1	MX3G2[3:0]				MX3G1[3:0]				00000000	
R24	0x401E	回放混频器右0	保留	MX4RM	MX4LM	MX4AUXG[3:0]				MX4EN	00000000	
R25	0x401F	回放混频器右1	MX4G2[3:0]				MX4G1[3:0]				00000000	
R26	0x4020	回放L/R混频器左	保留			MX5G4[1:0]		MX5G3[1:0]		MX5EN	00000000	
R27	0x4021	回放L/R混频器右	保留			MX6G4[1:0]		MX6G3[1:0]		MX6EN	00000000	
R28	0x4022	回放L/R混频器单声道	保留					MX7[1:0]		MX7EN	00000000	
R29	0x4023	回放耳机左音量	LHPVOL[5:0]					LHPM	HPEN		00000010	
R30	0x4024	回放耳机右音量	RHPVOL[5:0]					RHPM	HPMODE		00000010	
R31	0x4025	线路输出左音量	LOUTVOL[5:0]					LOUTM	LOMODE		00000010	
R32	0x4026	线路输出右音量	ROUTVOL[5:0]					ROUTM	ROMODE		00000010	
R33	0x4027	回放单声道输出	MONOVOL[5:0]					MONOM	MOMODE		00000010	
R34	0x4028	爆音与咔嚓声抑制	保留			POPMODE	POPLESS	ASLEW[1:0]		保留	00000000	
R35	0x4029	回放功耗管理	HPBIAS[1:0]		DACBIAS[1:0]		PBIAS[1:0]		PREN	PLEN	00000000	
R36	0x402A	DAC控制0	DACMONO[1:0]		DACPOL	保留		DEMPH	DACEN[1:0]		00000000	
R37	0x402B	DAC控制1	LDAVOL[7:0]								00000000	
R38	0x402C	DAC控制2	RDAVOL[7:0]								00000000	
R39	0x402D	串行端口焊盘	ADCSDP[1:0]		DACSDP[1:0]		LRCLKP[1:0]		BCLKP[1:0]		10101010	
R40	0x402F	控制端口焊盘0	CDATP[1:0]		CLCHP[1:0]		SCLP[1:0]		SDAP[1:0]		10101010	
R41	0x4030	控制端口焊盘1	保留								SDASTR	00000000
R42	0x4031	插孔检测引脚	保留		JDSTR	保留	JDP[1:0]		保留		00001000	
R67	0x4036	去抖动控制	DEJIT[7:0]								00000011	

ADAU1361

控制寄存器详解

除PLL控制寄存器外，所有寄存器均为1字节读写寄存器。

R0: 时钟控制, 16,384 (0x4000)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留				CLKSRC	INFREQ[1:0]		COREN

表27. 时钟控制寄存器

位	位名称	描述										
3	CLKSRC	时钟源选择。 0 = 直接来自MCLK引脚（默认）。 1 = PLL时钟。										
[2:1]	INFREQ[1:0]	输入时钟频率。设置产生内核时钟的内核时钟速率。如果使用PLL，则此值自动设为 $1024 \times f_s$ 。										
		<table border="1"> <thead> <tr> <th>设置</th> <th>输入时钟频率</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>$256 \times f_s$ (默认)</td> </tr> <tr> <td>01</td> <td>$512 \times f_s$</td> </tr> <tr> <td>10</td> <td>$768 \times f_s$</td> </tr> <tr> <td>11</td> <td>$1024 \times f_s$</td> </tr> </tbody> </table>	设置	输入时钟频率	00	$256 \times f_s$ (默认)	01	$512 \times f_s$	10	$768 \times f_s$	11	$1024 \times f_s$
设置	输入时钟频率											
00	$256 \times f_s$ (默认)											
01	$512 \times f_s$											
10	$768 \times f_s$											
11	$1024 \times f_s$											
0	COREN	内核时钟使能。当此位置0时(内核时钟禁用)，只能访问R0和R1寄存器。 0 = 内核时钟禁用(默认)。 1 = 内核时钟使能。										

R1: PLL控制, 16,386 (0x4002)

字节	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
0	M[15:8]							
1	M[7:0]							
2	N[15:8]							
3	N[7:0]							
4	保留	R[3:0]				X[1:0]		类型
5	保留						锁定	PLLEN

表28. PLL控制寄存器

字节	位	位名称	描述																		
0	[7:0]	M[15:8]	PLL分母MSB。此值与M[7:0]连接构成一个16位数。																		
1	[7:0]	M[7:0]	PLL分母LSB。此值与M[15:8]连接构成一个16位数。																		
			<table border="1"> <thead> <tr> <th>M[15:8] (MSB)</th> <th>M[7:0] (LSB)</th> <th>M值</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>00000000</td> <td>11111101</td> <td>253 (默认)</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>11111111</td> <td>11111111</td> <td>65,535</td> </tr> </tbody> </table>	M[15:8] (MSB)	M[7:0] (LSB)	M值	00000000	00000000	0	00000000	11111101	253 (默认)	11111111	11111111	65,535
M[15:8] (MSB)	M[7:0] (LSB)	M值																			
00000000	00000000	0																			
...																			
00000000	11111101	253 (默认)																			
...																			
11111111	11111111	65,535																			
2	[7:0]	N[15:8]	PLL分子MSB。此值与N[7:0]连接构成一个16位数。																		
3	[7:0]	N[7:0]	PLL分子LSB。此值与N[15:8]连接构成一个16位数。																		
			<table border="1"> <thead> <tr> <th>N[15:8] (MSB)</th> <th>N[7:0] (LSB)</th> <th>N值</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>00000000</td> <td>00001100</td> <td>12 (默认)</td> </tr> <tr> <td>...</td> <td>...</td> <td>...</td> </tr> <tr> <td>11111111</td> <td>11111111</td> <td>65,535</td> </tr> </tbody> </table>	N[15:8] (MSB)	N[7:0] (LSB)	N值	00000000	00000000	0	00000000	00001100	12 (默认)	11111111	11111111	65,535
N[15:8] (MSB)	N[7:0] (LSB)	N值																			
00000000	00000000	0																			
...																			
00000000	00001100	12 (默认)																			
...																			
11111111	11111111	65,535																			

字节	字节	位名称	描述	
4	[6:3]	R[3:0]	PLL整数设置。	
			设置	R值
			0010	2 (默认)
			0011	3
			0100	4
			0101	5
			0110	6
			1000	7
4	[2:1]	X[1:0]	PLL输入时钟分频器。	
			设置	X值
			00	1 (默认)
			01	2
			11	4
4	0	类型	PLL的类型。当设置为整数模式时，忽略M和N的值。 0 = 整数(默认)。 1 = 小数。	
5	1	锁定	PLL锁定。当PLL完成锁定时，此只读标志位置1。 0 = PLL未锁定(默认)。 1 = PLL锁定。	
5	0	PLLEN	PLL使能。 0 = PLL禁用(默认)。 1 = PLL使能。	

R2: 数字麦克风/插孔检测控制, 16,392 (0x4008)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
JDDB[1:0]		JDFUNC[1:0]		保留			JDPOL

表29. 数字麦克风/插孔检测控制寄存器

位	位名称	描述	
[7:6]	JDDB[1:0]	插孔检测去抖时间。	
		设置	去抖时间
		00	5 ms (default)
		01	10 ms
		10	20 ms
[5:4]	JDFUNC[1:0]	JACKDET/MICIN引脚功能。 使能或禁用插孔检测功能，或者将该引脚配置为数字麦克风输入。	
		设置	引脚功能
		00	插孔检测关闭(默认)
		01	插孔检测开启
		10	数字麦克风输入
11	保留		
0	JDPOL	插孔检测极性。检测高电平或低电平信号。 0 = 检测高电平信号(默认)。 1 = 检测低电平信号。	

ADAU1361

R3: 录音功耗管理, 16,393 (0x4009)

此寄存器管理录音路径的功耗。具体来说，混频器增强、ADC、录音路径混频器和PGA的电流分配可以设置为四种模式之一。这些设置是正常工作、省电模式、增强性能模式和超级省电模式。每种模式均从一个中央偏置吸取电流。增强性能模式提供最高性能，但功耗也最高。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	MXBIAS[1:0]		ADCBIAS[1:0]		RBIAS[1:0]		Reserved

表30. 录音功耗管理寄存器

位	位名称	描述
[6:5]	MXBIAS[1:0]	混频器放大器偏置增强。设置录音路径混频器的偏置电流的增强级别。某些情况下，增强级可提升THD + N性能。
		设置
		00
		01
		10
[4:3]	ADCBIAS[1:0]	ADC偏置控制。根据所选的工作模式设置ADC的偏置电流。
		设置
		00
		01
		10
[2:1]	RBIAS[1:0]	录音路径偏置控制。设置录音路径中的PGA和混频器的偏置电流。
		设置
		00
		01
		10

R4: 录音混频器左(混频器1)控制0, 16,394 (0x400A)

此寄存器控制左声道录音路径的单端输入增益。左声道录音混频器称为混频器1。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	LINPG[2:0]			LINNG[2:0]			MX1EN

表31. 录音混频器左 (混频器1) 控制0寄存器

位	位名称	描述	
[6:4]	LINPG[2:0]	设置	
		增益	
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB
[3:1]	LINNG[2:0]	设置	
		增益	
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB
0	MX1EN	录音路径中的左声道混频器使能。称为混频器1。 0 = 混频器禁用(默认)。 1 = 混频器使能。	

ADAU1361

R5: 录音混频器左(混频器1)控制1, 16,395 (0x400B)

此寄存器控制录音路径中左声道差分PGA输入的增益增强和左声道辅助输入的增益。左声道录音混频器称为混频器1。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	Bit 0
保留			LDBOOST[1:0]		MX1AUXG[2:0]		

表32. 录音混频器左(混频器1)控制1寄存器

位	位名称	描述	
[4:3]	LDBOOST[1:0]	左声道差分PGA输入增益增强，输入混频器1。左差分输入使用LINP(正信号)和LINN(负信号)引脚。	
		设置	增益增强
		00	静音(默认)
		01	0 dB
		10	20 dB
	11	保留	
[2:0]	MX1AUXG[2:0]	来自录音路径中LAUX引脚的左单端辅助输入增益，输入混频器1。	
		设置	辅助输入增益
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB

R6: 录音混频器右(混频器2)控制0, 16,396 (0x400C)

此寄存器控制右声道录音路径的单端输入增益。右声道录音混频器称为混频器2。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	RINPG[2:0]			RINNG[2:0]			MX2EN

表33. 录音混频器右(混频器2)控制0寄存器

位	位名称	描述	
[6:4]	RINPG[2:0]	来自RINP引脚的右声道单端输入的增益，输入混频器2。	
		设置	增益
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
111	6 dB		
[3:1]	RINNG[2:0]	来自RINN引脚的右声道单端输入的增益，输入混频器2。	
		设置	增益
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
111	6 dB		
0	MX2EN	录音路径中的右声道混频器使能。称为混频器2。 0 = 混频器禁用(默认)。 1 = 混频器使能。	

ADAU1361

R7: 录音混频器右(混频器2)控制1, 16,397 (0x400D)

此寄存器控制录音路径中右声道差分PGA输入的增益增强和右声道辅助输入的增益。右声道录音混频器称为混频器2。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留			RDBOOST[1:0]		MX2AUXG[2:0]		

表34. 录音混频器右 (混频器2) 控制1寄存器

位	位名称	描述	
[4:3]	RDBOOST[1:0]	右声道差分PGA输入增益增强, 输入混频器2。右差分输入使用RINP(正信号)和RINN(负信号)引脚。	
		设置	增益增强
		00	静音(默认)
		01	0 dB
		10	20 dB
	11	保留	
[2:0]	MX2AUXG[2:0]	来自录音路径中RAUX引脚的右单端辅助输入增益, 输入混频器2。	
		设置	辅助输入增益
		000	静音(默认)
		001	-12 dB
		010	-9 dB
		011	-6 dB
		100	-3 dB
		101	0 dB
		110	3 dB
		111	6 dB

R8: 左差分输入音量控制, 16,398 (0x400E)

此寄存器用于使能差分路径并设置左差分PGA输入的音量控制。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LDVOL[5:0]						LDMUTE	LDEN

表35. 左差分输入音量控制寄存器

位	位名称	描述	
[7:2]	LDVOL[5:0]	左声道差分PGA输入音量控制。左差分输入使用LINP(正信号)和LINN(负信号)引脚。每步相当于增益提高0.75 dB。音量设置完整列表参见表71。	
		设置	音量
		000000	-12 dB(默认)
		000001	-11.25 dB
	
		010000	0 dB
	
		111110	34.5 dB
		111111	35.25 dB
		1	LDMUTE
0	LDEN	左差分PGA使能。使能时, LINP和LINN引脚用作全差分对。禁用时, 这两个引脚配置为两路单端输入, 信号绕过PGA路由。 0 = 禁用(默认)。 1 = 使能。	

R9: 右差分输入音量控制, 16,399 (0x400F)

此寄存器用于使能差分路径并设置右差分PGA输入的音量控制。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RDVOL[5:0]						RDMUTE	RDEN

表36. 右差分输入音量控制寄存器

位	位名称	描述																
[7:2]	RDVOL[5:0]	右声道差分PGA输入音量控制。右差分输入使用RINP(正信号)和RINN(负信号)引脚。每步相当于增益提高0.75 dB。音量设置完整列表参见表71。																
		<table border="1"> <thead> <tr> <th>设置</th> <th>音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-12 dB(默认)</td> </tr> <tr> <td>000001</td> <td>-11.25 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>010000</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111110</td> <td>34.5 dB</td> </tr> <tr> <td>111111</td> <td>35.25 dB</td> </tr> </tbody> </table>	设置	音量	000000	-12 dB(默认)	000001	-11.25 dB	010000	0 dB	111110	34.5 dB	111111	35.25 dB
设置	音量																	
000000	-12 dB(默认)																	
000001	-11.25 dB																	
...	...																	
010000	0 dB																	
...	...																	
111110	34.5 dB																	
111111	35.25 dB																	
1	RDMUTE	右差分输入静音控制。 0 = 静音(默认)。 1 = 取消静音。																
0	RDEN	右差分PGA使能。使能时, RINP和RINN引脚用作全差分对。禁用时, 这两个引脚配置为两路单端输入, 信号绕过PGA路由。 0 = 禁用(默认)。 1 = 使能。																

R10: 录音麦克风偏置控制, 16,400 (0x4010)

此寄存器控制用于偏置驻极体型模拟麦克风的MICBIAS引脚设置。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留				MPERF	MBI	Reserved	MBIEN

表37. 录音麦克风偏置控制寄存器

位	位名称	描述
3	MPERF	使能麦克风偏置的高性能或正常工作。高性能工作模式会向麦克风提供更多的电流。 0 = 正常工作(默认)。 1 = 高性能。
2	MBI	麦克风偏置电压是AVDD的一部分。 0 = 0.90 × AVDD(默认)。 1 = 0.65 × AVDD。
0	MBIEN	使能MICBIAS输出。 0 = 禁用(默认)。 1 = 使能。

ADAU1361

R11: ALC控制0, 16,401 (0x4011)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
PGASLEW[1:0]		ALCMAX[2:0]			ALCSEL[2:0]		

表38. ALC控制0寄存器

位	位名称	描述																
[7:6]	PGASLEW[1:0]	ALC关闭时的PGA音量压摆时间。压摆时间指音量以斜坡方式增大或减小到目标音量(由左/右差分输入音量控制寄存器R8和R9设置)所需的时间。																
		<table border="1"> <thead> <tr> <th>设置</th> <th>压摆时间</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>24 ms(默认)</td> </tr> <tr> <td>01</td> <td>48 ms</td> </tr> <tr> <td>10</td> <td>96 ms</td> </tr> <tr> <td>11</td> <td>关</td> </tr> </tbody> </table>	设置	压摆时间	00	24 ms(默认)	01	48 ms	10	96 ms	11	关						
设置	压摆时间																	
00	24 ms(默认)																	
01	48 ms																	
10	96 ms																	
11	关																	
[5:3]	ALCMAX[2:0]	最大ALC增益，为ALC能够提供给输入信号的增益量设置一个限制，以免小信号被过度放大。																
		<table border="1"> <thead> <tr> <th>设置</th> <th>最大ALC增益</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>-12 dB(默认)</td> </tr> <tr> <td>001</td> <td>-6 dB</td> </tr> <tr> <td>010</td> <td>0 dB</td> </tr> <tr> <td>011</td> <td>6 dB</td> </tr> <tr> <td>100</td> <td>12 dB</td> </tr> <tr> <td>101</td> <td>18 dB</td> </tr> <tr> <td>110</td> <td>24 dB</td> </tr> <tr> <td>111</td> <td>30 dB</td> </tr> </tbody> </table>	设置	最大ALC增益	000	-12 dB(默认)	001	-6 dB	010	0 dB	011	6 dB	100	12 dB	101	18 dB	110	24 dB
设置	最大ALC增益																	
000	-12 dB(默认)																	
001	-6 dB																	
010	0 dB																	
011	6 dB																	
100	12 dB																	
101	18 dB																	
110	24 dB																	
111	30 dB																	
[2:0]	ALCSEL[2:0]	ALC选择。这些位设置ALC控制的通道。当设置为“仅右声道”时，ALC仅响应右声道输入，并且仅控制右PGA放大器的增益。当设置为“仅左声道”时，ALC仅响应左声道输入，并且仅控制左PGA放大器的增益。当设置为“立体声”时，ALC响应左右声道中的较大者，并且控制左右两个PGA放大器的增益。如果希望手动控制音量，则这些位应置0。																
		<table border="1"> <thead> <tr> <th>设置</th> <th>通道</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>关(默认)</td> </tr> <tr> <td>001</td> <td>仅右声道</td> </tr> <tr> <td>010</td> <td>仅左声道</td> </tr> <tr> <td>011</td> <td>立体声</td> </tr> <tr> <td>100</td> <td>保留</td> </tr> <tr> <td>101</td> <td>保留</td> </tr> <tr> <td>110</td> <td>保留</td> </tr> <tr> <td>111</td> <td>保留</td> </tr> </tbody> </table>	设置	通道	000	关(默认)	001	仅右声道	010	仅左声道	011	立体声	100	保留	101	保留	110	保留
设置	通道																	
000	关(默认)																	
001	仅右声道																	
010	仅左声道																	
011	立体声																	
100	保留																	
101	保留																	
110	保留																	
111	保留																	

R11: ALC控制0, 16,401 (0x4011)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ALCHOLD[3:0]				ALCTARG[3:0]			

表38. ALC控制0寄存器

位	位名称	描述																																		
[7:4]	ALCHOLD[3:0]	ALC保持时间。ALC保持时间指输入电平降低后增益提高以实现目标电平之前ALC的等待时间。为防止低频信号失真，推荐的最小设置为21 ms (0011)。每增大1位，保持时间延长一倍。																																		
		<table border="1"> <thead> <tr> <th>设置</th> <th>压摆时间</th> </tr> </thead> <tbody> <tr><td>0000</td><td>2.67 ms(默认)</td></tr> <tr><td>0001</td><td>5.34 ms</td></tr> <tr><td>0010</td><td>10.68 ms</td></tr> <tr><td>0011</td><td>21.36 ms</td></tr> <tr><td>0100</td><td>42.72 ms</td></tr> <tr><td>0101</td><td>85.44 ms</td></tr> <tr><td>0110</td><td>170.88 ms</td></tr> <tr><td>0111</td><td>341.76 ms</td></tr> <tr><td>1000</td><td>683.52 ms</td></tr> <tr><td>1001</td><td>1.367 sec</td></tr> <tr><td>1010</td><td>2.7341 sec</td></tr> <tr><td>1011</td><td>5.4682 sec</td></tr> <tr><td>1100</td><td>10.936 sec</td></tr> <tr><td>1101</td><td>21.873 sec</td></tr> <tr><td>1110</td><td>43.745 sec</td></tr> <tr><td>1111</td><td>87.491 sec</td></tr> </tbody> </table>	设置	压摆时间	0000	2.67 ms(默认)	0001	5.34 ms	0010	10.68 ms	0011	21.36 ms	0100	42.72 ms	0101	85.44 ms	0110	170.88 ms	0111	341.76 ms	1000	683.52 ms	1001	1.367 sec	1010	2.7341 sec	1011	5.4682 sec	1100	10.936 sec	1101	21.873 sec	1110	43.745 sec	1111	87.491 sec
		设置	压摆时间																																	
		0000	2.67 ms(默认)																																	
		0001	5.34 ms																																	
		0010	10.68 ms																																	
		0011	21.36 ms																																	
		0100	42.72 ms																																	
		0101	85.44 ms																																	
		0110	170.88 ms																																	
		0111	341.76 ms																																	
		1000	683.52 ms																																	
		1001	1.367 sec																																	
		1010	2.7341 sec																																	
		1011	5.4682 sec																																	
		1100	10.936 sec																																	
1101	21.873 sec																																			
1110	43.745 sec																																			
1111	87.491 sec																																			
[3:0]	ALCTARG[3:0]	ALC目标值。ALC目标值设置所需的ADC输入电平。ALC调整PGA增益以达到此目标电平。建议将目标电平设置在-16 dB至-10 dB之间，以免受瞬变影响而造成ADC削波。																																		
		<table border="1"> <thead> <tr> <th>设置</th> <th>通道</th> </tr> </thead> <tbody> <tr><td>0000</td><td>-28.5 dB(默认)</td></tr> <tr><td>0001</td><td>-27 dB</td></tr> <tr><td>0010</td><td>-25.5 dB</td></tr> <tr><td>0011</td><td>-24 dB</td></tr> <tr><td>0100</td><td>-22.5 dB</td></tr> <tr><td>0101</td><td>-21 dB</td></tr> <tr><td>0110</td><td>-19.5 dB</td></tr> <tr><td>0111</td><td>-18 dB</td></tr> <tr><td>1000</td><td>-16.5 dB</td></tr> <tr><td>1001</td><td>-15 dB</td></tr> <tr><td>1010</td><td>-13.5 dB</td></tr> <tr><td>1011</td><td>-12 dB</td></tr> <tr><td>1100</td><td>-10.5 dB</td></tr> <tr><td>1101</td><td>-9 dB</td></tr> <tr><td>1110</td><td>-7.5 dB</td></tr> <tr><td>1111</td><td>-6 dB</td></tr> </tbody> </table>	设置	通道	0000	-28.5 dB(默认)	0001	-27 dB	0010	-25.5 dB	0011	-24 dB	0100	-22.5 dB	0101	-21 dB	0110	-19.5 dB	0111	-18 dB	1000	-16.5 dB	1001	-15 dB	1010	-13.5 dB	1011	-12 dB	1100	-10.5 dB	1101	-9 dB	1110	-7.5 dB	1111	-6 dB
		设置	通道																																	
		0000	-28.5 dB(默认)																																	
		0001	-27 dB																																	
		0010	-25.5 dB																																	
		0011	-24 dB																																	
		0100	-22.5 dB																																	
		0101	-21 dB																																	
		0110	-19.5 dB																																	
		0111	-18 dB																																	
		1000	-16.5 dB																																	
		1001	-15 dB																																	
		1010	-13.5 dB																																	
		1011	-12 dB																																	
		1100	-10.5 dB																																	
1101	-9 dB																																			
1110	-7.5 dB																																			
1111	-6 dB																																			

ADAU1361

R13: ALC控制2, 16,403 (0x4013)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ALCATCK[3:0]				ALCDEC[3:0]			

表40. ALC控制2寄存器

位	位名称	描述	
[7:4]	ALCATCK[3:0]	ALC启动时间。启动时间设置当输入电平提高到目标值以上之后，ALC在多长时间开始进行衰减。音乐录音的典型设置为384 ms，语音录音的典型设置为24 ms。	
		设置	启动时间
		0000	6 ms(默认)
		0001	12 ms
		0010	24 ms
		0011	48 ms
		0100	96 ms
		0101	192 ms
		0110	384 ms
		0111	768 ms
		1000	1.54 sec
		1001	3.07 sec
		1010	6.14 sec
		1011	12.29 sec
		1100	24.58 sec
		1101	49.15 sec
		1110	98.30 sec
1111	196.61 sec		
[3:0]	ALCDEC[3:0]	ALC衰减时间。衰减时间设置当输入电平降低到目标值以下之后，ALC在多长时间提高PGA增益。音乐录音的典型设置为24.58秒，语音录音的典型设置为1.54秒。	
		设置	衰减时间
		0000	24 ms
		0001	48 ms
		0010	96 ms
		0011	192 ms
		0100	384 ms
		0101	768 ms
		0110	1.54 sec
		0111	3.07 sec
		1000	6.14 sec
		1001	12.29 sec
		1010	24.58 sec
		1011	49.15 sec
		1100	98.30 sec
		1101	196.61 sec
		1110	393.22 sec
1111	786.43 sec		

R14: ALC控制3, 16,404 (0x4014)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
NGTYP[1:0]		NGEN	NGTHR[4:0]				

表41. ALC控制3寄存器

位	位名称	描述	
[7:6]	NGTYP[1:0]	噪声门类型。当输入信号降至阈值以下并持续250 ms时，噪声门可以保持一个恒定的PGA增益，使ADC输出静音，使PGA增益衰减至最小增益值，或者衰减后静音。	
		设置	噪声门
		00	保持PGA恒定(默认)
		01	使ADC输出静音(数字静音)
		10	衰减至PGA最小值(模拟衰减)
		11	衰减后静音(模拟衰减/数字静音)
5	NGEN	噪声门使能。 0 = 禁用(默认)。 1 = 使能。	
[4:0]	NGTHR[4:0]	噪声门阈值。当输入信号降至阈值以下并持续250 ms时，噪声门激活。增加1 LSB相当于改变-1.5 dB。阈值设置完整列表参见表72。	
		设置	阈值
		00000	-76.5 dB (默认)
		00001	-75 dB
	
		11110	-31.5 dB
		11111	-30 dB

R15: 串行端口控制0, 16,405 (0x4015)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
DITHEN	保留	LRMOD	BPOL	LRPOL	CHPF[1:0]		MS

表42. 串行端口控制0寄存器

位	位名称	描述	
7	DITHEN	扰动使能仅适用于16位数据宽度模式。 0 = 禁用(默认)。 1 = 使能。	
5	LRMOD	LRCLK模式可将LRCLK设置为50%占空比或一个脉冲。脉冲模式至少应为1 BCLK宽。 0 = 50%占空比(默认)。 1 = 脉冲模式。	
4	BPOL	BCLK极性设置用于触发音频数据改变的BCLK边沿。 可以设置为BCLK的下降沿或上升沿。 0 = 下降沿(默认)。 1 = 上升沿。	
3	LRPOL	LRCLK极性设置用于触发左声道音频帧开始的LRCLK边沿。 可以设置为LRCLK的下降沿或上升沿。 0 = 下降沿(默认)。 1 = 上升沿。	
[2:1]	CHPF[1:0]	每帧通道数设置每个LRCLK帧的通道数。	
		设置	每个LRCLK帧的通道数
		00	立体声(默认)
		01	TDM 4
		10	保留
		11	保留
0	MS	串行数据端口总线模式。当设置为主机模式时，LRCLK和BCLK均为串行端口的主机；当设置为从机模式时，LRCLK和BCLK均为串行端口的从机。 0 = 从机模式(默认)。 1 = 主机模式。	

ADAU1361

R16: 串行端口控制1, 16,406 (0x4016)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
BPF[2:0]			ADTDM	DATDM	MSBP	LRDEL[1:0]	

表43. 串行端口控制1寄存器

位	位名称	描述	
[7:5]	BPF[2:0]	每个LRCLK音频帧的位时钟周期数。	
		设置	位时钟周期数
		000	64 (默认)
		001	32
		010	48
		011	128
		100	保留
		101	保留
		110	保留
111	保留		
4	ADTDM	TDM模式下的ADC串行音频数据通道位置。 0 = 左优先(默认)。 1 = 右优先。	
3	DATDM	TDM模式下的DAC串行音频数据通道位置。 0 = 左优先(默认)。 1 = 右优先。	
2	MSBP	LRCLK帧中的MSB位置。 0 = MSB优先(默认)。 1 = LSB优先。	
[1:0]	LRDEL[1:0]	自LRCLK边沿起的数据延迟(单位BCLK)。	
		设置	延迟(位时钟周期数)
		00	1(默认)
		01	0
		10	8
11	16		

R17: 转换器控制0, 16,407 (0x4017)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	DAPAIR[1:0]		DAOSR	ADOSR	CONVSR[2:0]		

表44. 转换器控制0寄存器

位	位名称	描述		
[6:5]	DAPAIR[1:0]	TDM模式下的片内DAC串行数据选择。		
		设置	线对	
		00	第一对(默认)	
		01	第二对	
		10	第三对	
		11	第四对	
4	DAOSR	DAC过采样率。当CONVSR[2:0]设置为96 kHz时，此位不能设置为64倍。 0 = 128倍(默认)。 1 = 64倍。		
3	ADOSR	ADC过采样率。当CONVSR[2:0]设置为96 kHz时，此位不能设置为64倍。 0 = 128倍(默认)。 1 = 64倍。		
[2:0]	CONVSR[2:0]	转换器采样速率。ADC和DAC以此寄存器设置的采样速率工作。所选的转换器速率是基本采样速率 f_s 的比值。基本采样速率由内核时钟的工作频率决定。串行端口镜像此寄存器所设置的转换器采样速率。		
		设置	采样速率	
		000	f_s	48 kHz, 基本(默认)
		001	$f_s/6$	8 kHz
		010	$f_s/4$	12 kHz
		011	$f_s/3$	16 kHz
		100	$f_s/2$	24 kHz
		101	$f_s/1.5$	32 kHz
		110	$f_s/0.5$	96 kHz
		111	Reserved	

R18: 转换器控制1, 16,408 (0x4018)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留						ADPAIR[1:0]	

表45. 转换器控制1寄存器

位	位名称	描述	
[1:0]	ADPAIR[1:0]	TDM模式下的片内ADC串行数据选择。	
		设置	线对
		00	第一对(默认)
		01	第二对
		10	第三对
		11	第四对

ADAU1361

R19: ADC控制, 16,409 (0x4019)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	ADCPOL	HPF	DMPOL	DMSW	INSEL	ADCEN[1:0]	

表46. ADC控制寄存器

位	位名称	描述										
6	ADCPOL	反转输入极性。 0 = 正常(默认)。 1 = 反转。										
5	HPF	ADC高通滤波器选择。48 kHz时, $f_{3dB} = 2$ Hz。 0 = 关(默认)。 1 = 开。										
4	DMPOL	数字麦克风数据极性交换。 0 = 反转极性。 1 = 正常(默认)。										
3	DMSW	数字麦克风声道交换。正常工作时, 在时钟的上升沿发送左声道, 在时钟的下降沿发送右声道。 0 = 正常(默认)。 1 = 左右声道互换。										
2	INSEL	数字麦克风输入选择。置位时, 片内ADC关闭, BCLK为主时钟($128 \times f_s$), ADC_SDATA的左右声道交错。 0 = 数字麦克风输入关闭, ADC使能(默认)。 1 = 数字麦克风输入使能, ADC关闭。										
[1:0]	ADCEN[1:0]	ADC使能。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>设置</th> <th>ADC使能</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>左右均关闭(默认)</td> </tr> <tr> <td>01</td> <td>左使能</td> </tr> <tr> <td>10</td> <td>右使能</td> </tr> <tr> <td>11</td> <td>左右均使能</td> </tr> </tbody> </table>	设置	ADC使能	00	左右均关闭(默认)	01	左使能	10	右使能	11	左右均使能
设置	ADC使能											
00	左右均关闭(默认)											
01	左使能											
10	右使能											
11	左右均使能											

R20: 左输入数字音量, 16,410 (0x401A)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LADVOL[7:0]							

表47. 左输入数字音量寄存器

位	位名称	描述														
[7:0]	LADVOL[7:0]	控制来自左ADC或左数字麦克风输入的左声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表73。 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>设置</th> <th>音量衰减</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>0 dB (默认)</td> </tr> <tr> <td>00000001</td> <td>-0.375 dB</td> </tr> <tr> <td>00000010</td> <td>-0.75 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>11111110</td> <td>-95.25 dB</td> </tr> <tr> <td>11111111</td> <td>-95.625 dB</td> </tr> </tbody> </table>	设置	音量衰减	00000000	0 dB (默认)	00000001	-0.375 dB	00000010	-0.75 dB	11111110	-95.25 dB	11111111	-95.625 dB
设置	音量衰减															
00000000	0 dB (默认)															
00000001	-0.375 dB															
00000010	-0.75 dB															
...	...															
11111110	-95.25 dB															
11111111	-95.625 dB															

R19: ADC控制, 16,409 (0x4019)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RADVOL[7:0]							

表46. ADC控制寄存器

位	位名称	描述														
[7:0]	RADVOL[7:0]	控制来自右ADC或右数字麦克风输入的右声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表73。														
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 40%;">设置</th> <th style="width: 60%;">音量衰减</th> </tr> </thead> <tbody> <tr><td>00000000</td><td>0 dB (默认)</td></tr> <tr><td>00000001</td><td>-0.375 dB</td></tr> <tr><td>00000010</td><td>-0.75 dB</td></tr> <tr><td>...</td><td>...</td></tr> <tr><td>11111110</td><td>-95.25 dB</td></tr> <tr><td>11111111</td><td>-95.625 dB</td></tr> </tbody> </table>	设置	音量衰减	00000000	0 dB (默认)	00000001	-0.375 dB	00000010	-0.75 dB	11111110	-95.25 dB	11111111	-95.625 dB
设置	音量衰减															
00000000	0 dB (默认)															
00000001	-0.375 dB															
00000010	-0.75 dB															
...	...															
11111110	-95.25 dB															
11111111	-95.625 dB															

R22: 回放混频器左(混频器3)控制0, 16,412 (0x401C)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	MX3RM	MX3LM	MX3AUXG[3:0]				MX3EN

表49. 回放混频器左 (混频器3) 控制0寄存器

位	位名称	描述																				
6	MX3RM	混频器输入静音。使左声道回放混频器(混频器3)的右DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
5	MX3LM	混频器输入静音。使左声道回放混频器(混频器3)的左DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
[4:1]	MX3AUXG[3:0]	混频器输入增益。控制左声道回放混频器(混频器3)的左声道辅助输入增益。																				
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 40%;">设置</th> <th style="width: 60%;">增益</th> </tr> </thead> <tbody> <tr><td>0000</td><td>静音(默认)</td></tr> <tr><td>0001</td><td>-15 dB</td></tr> <tr><td>0010</td><td>-12 dB</td></tr> <tr><td>0011</td><td>-9 dB</td></tr> <tr><td>0100</td><td>-6 dB</td></tr> <tr><td>0101</td><td>-3 dB</td></tr> <tr><td>0110</td><td>0 dB</td></tr> <tr><td>0111</td><td>3 dB</td></tr> <tr><td>1000</td><td>6 dB</td></tr> </tbody> </table>	设置	增益	0000	静音(默认)	0001	-15 dB	0010	-12 dB	0011	-9 dB	0100	-6 dB	0101	-3 dB	0110	0 dB	0111	3 dB	1000	6 dB
设置	增益																					
0000	静音(默认)																					
0001	-15 dB																					
0010	-12 dB																					
0011	-9 dB																					
0100	-6 dB																					
0101	-3 dB																					
0110	0 dB																					
0111	3 dB																					
1000	6 dB																					
0	MX3EN	混频器3使能。 0 = 禁用(默认)。 1 = 使能。																				

ADAU1361

R23: 回放混频器左(混频器3)控制1, 16,413 (0x401D)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
MX3G2[3:0]				MX3G1[3:0]			

表50. 回放混频器左(混频器3)控制1寄存器

位	位名称	描述	
[7:4]	MX3G2[3:0]	旁路增益控制。来自右声道录音混频器(混频器2)的信号旁路转换器，增益可以在左声道回放混频器(混频器3)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		
[3:0]	MX3G1[3:0]	旁路增益控制。来自左声道录音混频器(混频器1)的信号旁路转换器，增益可以在左声道回放混频器(混频器3)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		

R24: 回放混频器右(混频器4)控制0, 16,414 (0x401E)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留	MX4RM	MX4LM	MX4AUXG[3:0]				MX4EN

表51. 回放混频器右(混频器4)控制0寄存器

位	位名称	描述																				
6	MX4RM	混频器输入静音。使右声道回放混频器(混频器4)的右DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
5	MX4LM	混频器输入静音。使右声道回放混频器(混频器4)的左DAC输入静音。 0 = 静音(默认)。 1 = 取消静音。																				
[4:1]	MX4AUXG[3:0]	混频器输入增益。控制右声道回放混频器(混频器4)的右声道辅助输入增益。																				
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 40%;">设置</th> <th style="width: 60%;">增益</th> </tr> </thead> <tbody> <tr><td>0000</td><td>静音(默认)</td></tr> <tr><td>0001</td><td>-15 dB</td></tr> <tr><td>0010</td><td>-12 dB</td></tr> <tr><td>0011</td><td>-9 dB</td></tr> <tr><td>0100</td><td>-6 dB</td></tr> <tr><td>0101</td><td>-3 dB</td></tr> <tr><td>0110</td><td>0 dB</td></tr> <tr><td>0111</td><td>3 dB</td></tr> <tr><td>1000</td><td>6 dB</td></tr> </tbody> </table>	设置	增益	0000	静音(默认)	0001	-15 dB	0010	-12 dB	0011	-9 dB	0100	-6 dB	0101	-3 dB	0110	0 dB	0111	3 dB	1000	6 dB
设置	增益																					
0000	静音(默认)																					
0001	-15 dB																					
0010	-12 dB																					
0011	-9 dB																					
0100	-6 dB																					
0101	-3 dB																					
0110	0 dB																					
0111	3 dB																					
1000	6 dB																					
0	MX4EN	混频器4使能。 0 = 禁用(默认)。 1 = 使能。																				

ADAU1361

R25: 回放混频器右 (混频器4) 控制1, 16,415 (0x401F)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
MX4G2[3:0]				MX4G1[3:0]			

表52. 回放混频器右(混频器4)控制1寄存器

位	位名称	描述	
[7:4]	MX4G2[3:0]	旁路增益控制。来自右声道录音混频器(混频器2)的信号旁路转换器，增益可以在右声道回放混频器(混频器4)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		
[3:0]	MX4G1[3:0]	旁路增益控制。来自左声道录音混频器(混频器1)的信号旁路转换器，增益可以在右声道回放混频器(混频器4)之前施加。	
		设置	增益
		0000	静音(默认)
		0001	-15 dB
		0010	-12 dB
		0011	-9 dB
		0100	-6 dB
		0101	-3 dB
		0110	0 dB
		0111	3 dB
1000	6 dB		

R26: 回放L/R混频器左(混频器5)线路输出控制, 16,416 (0x4020)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留			MX5G4[1:0]		MX5G3[1:0]		MX5EN

表53. 回放L/R混频器左(混频器5)线路输出控制寄存器

位	位名称	描述	
[4:3]	MX5G4[1:0]	混频器输入增益增强。来自右声道回放混频器(混频器4)的信号可以在回放L/R混频器左(混频器5)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
	10	6 dB输出(两路输入的各路均有0 dB增益)	
	11	保留	
[2:1]	MX5G3[1:0]	混频器输入增益增强。来自右声道回放混频器(混频器4)的信号可以在回放L/R混频器左(混频器5)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
	10	6 dB输出(两路输入的各路均有0 dB增益)	
	11	保留	
0	MX5EN	混频器5使能。 0 = 禁用(默认)。 1 = 使能。	

R27: 回放L/R混频器右(混频器6)线路输出控制, 16,417 (0x4021)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留			MX6G4[1:0]		MX6G3[1:0]		MX6EN

表54. 回放L/R混频器右(混频器6)线路输出控制寄存器

位	位名称	描述	
[4:3]	MX6G4[1:0]	混频器输入增益增强。来自右声道回放混频器(混频器4)的信号可以在回放L/R混频器右(混频器6)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
	10	6 dB输出(两路输入的各路均有0 dB增益)	
	11	保留	
[2:1]	MX6G3[1:0]	混频器输入增益增强。来自右声道回放混频器(混频器4)的信号可以在回放L/R混频器右(混频器6)中使能并增强。	
		设置	增益增强
		00	静音(默认)
		01	0 dB输出(两路输入的各路均有-6 dB增益)
	10	6 dB输出(两路输入的各路均有0 dB增益)	
	11	保留	
0	MX6EN	混频器6使能。 0 = 禁用(默认)。 1 = 使能。	

ADAU1361

R28: 回放L/R混频器单声道输出(混频器7)控制, 16,418 (0x4022)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留					MX7[1:0]		MX7EN

表55. 回放L/R混频器单声道输出(混频器7)控制寄存器

位	位名称	描述										
[2:1]	MX7[1:0]	L/R单声道回放混频器(混频器7)。用于将左右回放混频器(混频器3和混频器4)与0 dB或6 dB增益增强混频。此外, 此混频器可以作为共模输出工作, 从而用作无电容耳机配置中的虚拟地。										
		<table border="1"> <thead> <tr> <th>Setting</th> <th>Gain Boost</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>共模输出(默认)</td> </tr> <tr> <td>01</td> <td>0 dB输出(两路输入的各路均有-6 dB增益)</td> </tr> <tr> <td>10</td> <td>6 dB输出(两路输入的各路均有0 dB增益)</td> </tr> <tr> <td>11</td> <td>保留</td> </tr> </tbody> </table>	Setting	Gain Boost	00	共模输出(默认)	01	0 dB输出(两路输入的各路均有-6 dB增益)	10	6 dB输出(两路输入的各路均有0 dB增益)	11	保留
Setting	Gain Boost											
00	共模输出(默认)											
01	0 dB输出(两路输入的各路均有-6 dB增益)											
10	6 dB输出(两路输入的各路均有0 dB增益)											
11	保留											
0	MX7EN	混频器7使能。 0 = 禁用(默认)。 1 = 使能。										

R29: 回放耳机左音量控制, 16,419 (0x4023)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LHPVOL[5:0]						LHPM	HPEN

表56. 回放耳机左音量控制寄存器

位	位名称	描述												
[7:2]	LHPVOL[5:0]	左声道LHP输出的耳机音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表74。												
		<table border="1"> <thead> <tr> <th>Setting</th> <th>Volume</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	Setting	Volume	000000	-57 dB(默认)	111001	0 dB	111111	6 dB
Setting	Volume													
000000	-57 dB(默认)													
...	...													
111001	0 dB													
...	...													
111111	6 dB													
1	LHPM	左声道LHP输出(低电平有效)的耳机静音。 0 = 静音。 1 = 取消静音(默认)。												
0	HPEN	耳机输出使能。 0 = 禁用(默认)。 1 = 使能。												

R30: 回放耳机右音量控制, 16,420 (0x4024)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RHPVOL[5:0]						RHPM	HPMODE

表57. 回放耳机右音量控制寄存器

位	位名称	描述										
[7:2]	RHPVOL[5:0]	右声道RHP输出的耳机音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表74。										
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">设置</th> <th style="width: 50%;">音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB (默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	设置	音量	000000	-57 dB (默认)	111001	0 dB
设置	音量											
000000	-57 dB (默认)											
...	...											
111001	0 dB											
...	...											
111111	6 dB											
1	RHPM	右声道RHP输出(低电平有效)的耳机静音。 0 = 静音。 1 = 取消静音(默认)。										
0	HPMODE	RHP和LHP输出模式。这些引脚可以配置为线路输出或耳机输出。 0 = 线路输出(默认)。 1 = 耳机输出。										

R31: 回放线路输出左音量控制, 16,421 (0x4025)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LOUTVOL[5:0]						LOUTM	LOMODE

表58. 回放线路输出左音量控制寄存器

位	位名称	描述										
[7:2]	LOUTVOL[5:0]	左声道LOUTN和LOUTP输出的线路输出音量控制。每1位步进相当于音量提高1 dB。音量设置完整列表参见表74。										
		<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 50%;">设置</th> <th style="width: 50%;">音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	设置	音量	000000	-57 dB(默认)	111001	0 dB
设置	音量											
000000	-57 dB(默认)											
...	...											
111001	0 dB											
...	...											
111111	6 dB											
1	LOUTM	左声道LOUTN和LOUTP输出(低电平有效)的线路输出静音。 0 = 静音。 1 = 取消静音(默认)。										
0	LOMODE	左声道LOUTN和LOUTP输出的线路输出模式。这些引脚可以配置为线路输出或耳机输出。 若要驱动耳机扬声器, 请将此位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。										

ADAU1361

R32: 回放线路输出右音量控制, 16,422 (0x4026)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ROUTVOL[5:0]						ROUTM	ROMODE

表59. 回放线路输出右音量控制寄存器

位	位名称	描述												
[7:2]	ROUTVOL[5:0]	右声道ROUTN和ROUTP输出的线路输出音量控制。每1位步进相当于音量提高1 dB。 音量设置完整列表参见表74。												
		<table border="1"> <thead> <tr> <th>Setting</th> <th>Volume</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	Setting	Volume	000000	-57 dB(默认)	111001	0 dB	111111	6 dB
Setting	Volume													
000000	-57 dB(默认)													
...	...													
111001	0 dB													
...	...													
111111	6 dB													
1	ROUTM	右声道ROUTN和ROUTP输出(低电平有效)的线路输出静音。 0 = 静音。 1 = 取消静音(默认)。												
0	ROMODE	右声道ROUTN和ROUTP输出的线路输出模式。这些引脚可以配置为线路输出或耳机输出。 若要驱动耳机扬声器, 请将此位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。												

R33: 回放单声道输出控制, 16,423 (0x4027)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
MONOVOL[5:0]						MONOM	MOMODE

表60. 回放单声道输出控制寄存器

位	位名称	描述												
[7:2]	MONOVOL[5:0]	单声道输出音量控制。每1位步进相当于音量提高1 dB。如果寄存器R28中的MX7[1:0]设置为共模输出, 则禁用音量控制。音量设置完整列表参见表74。												
		<table border="1"> <thead> <tr> <th>设置</th> <th>音量</th> </tr> </thead> <tbody> <tr> <td>000000</td> <td>-57 dB(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111001</td> <td>0 dB</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111</td> <td>6 dB</td> </tr> </tbody> </table>	设置	音量	000000	-57 dB(默认)	111001	0 dB	111111	6 dB
设置	音量													
000000	-57 dB(默认)													
...	...													
111001	0 dB													
...	...													
111111	6 dB													
1	MONOM	单声道输出静音(低电平有效)。 0 = 静音。 1 = 取消静音(默认)。												
0	MOMODE	耳机模式使能。如果寄存器R28中的MX7[1:0]设置为无电容耳机配置的共模输出, 则此位位置1(耳机输出)。 0 = 线路输出(默认)。 1 = 耳机输出。												

R34: 回放爆音/咔嚓声抑制, 16,424 (0x4028)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留			POPMODE	POPLESS	ASLEW[1:0]		保留

表61. 回放爆音/咔嚓声抑制寄存器

位	位名称	描述										
4	POPMODE	爆音抑制电路省电模式。爆音抑制电路在正常工作模式下充电较快，但充电后可以将其置于低功耗模式。 0 = 正常(默认)。 1 = 低功耗。										
3	POPLESS	爆音抑制禁用。爆音抑制电路默认使能。可以将其禁用以省电，但禁用会增加爆音和咔嚓声出现的机率。 0 = 使能(默认)。 1 = 禁用。										
[2:1]	ASLEW[1:0]	回放音量控制的模拟音量压摆率。 <table border="1" style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <thead> <tr> <th style="width: 50%;">Setting</th> <th style="width: 50%;">Slew Rate</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>21.25 ms(默认)</td> </tr> <tr> <td>01</td> <td>42.5 ms</td> </tr> <tr> <td>10</td> <td>85 ms</td> </tr> <tr> <td>11</td> <td>关</td> </tr> </tbody> </table>	Setting	Slew Rate	00	21.25 ms(默认)	01	42.5 ms	10	85 ms	11	关
Setting	Slew Rate											
00	21.25 ms(默认)											
01	42.5 ms											
10	85 ms											
11	关											

R35: 回放功耗管理, 16,425 (0x4029)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
HPBIAS[1:0]		DACBIAS[1:0]		PBIAS[1:0]		PREN	PLEN

Table 62. Playback Power Management Register

位	位名称	描述
[7:6]	HPBIAS[1:0]	耳机偏置控制。
		设置
		耳机偏置控制
		00 正常工作(默认)
		01 超级省电
10 增强性能		
11 省电		
[5:4]	DACBIAS[1:0]	DAC偏置控制。
		设置
		DAC偏置控制
		00 正常工作(默认)
		01 超级省电
10 增强性能		
11 省电		
[3:2]	PBIAS[1:0]	回放路径通道偏置控制。
		设置
		回放路径偏置控制
		00 正常工作(默认)
		01 保留
10 增强性能		
11 省电		
1	PREN	回放右声道使能。 0 = 禁用(默认)。 1 = 使能。
0	PLEN	回放左声道使能。 0 = 禁用(默认)。 1 = 使能。

ADAU1361

R36: DAC控制0, 16,426 (0x402A)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
DACMONO[1:0]		DACPOL	Reserved		DEMPH	DACEN[1:0]	

表63. DAC控制0寄存器

位	位名称	描述	
[7:6]	DACMONO[1:0]	DAC单声道模式。左声道、右声道或两个声道的DAC和输出可以设置为单声道模式。	
		设置	单声道模式
		00	立体声(默认)
		01	左声道为单声道模式
		10	右声道为单声道模式
		左右声道均为单声道模式	
5	DACPOL	DAC的反转输入极性。 0 = 正常(默认)。 1 = 反转。	
2	DEMPH	DAC去加重滤波器使能。去加重滤波器仅能在44.1 kHz的采样速率下使用。 0 = 禁用(默认)。 1 = 使能。	
[1:0]	DACEN[1:0]	DAC使能。	
		设置	DAC使能
		00	左右均关闭(默认)
		01	左使能
		10	右使能
		左右均使能	

R37: DAC控制1, 16,427 (0x402B)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
LDAVOL[7:0]							

表64. DAC控制1寄存器

位	位名称	描述	
[7:0]	LDAVOL[7:0]	控制来自左DAC的左声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表73。	
		设置	音量衰减
		00000000	0 dB(默认)
		00000001	-0.375 dB
		00000010	-0.75 dB
	
		11111110	-95.25 dB
11111111	-95.625 dB		

R38: DAC控制2, 16,428 (0x402C)

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RDAVOL[7:0]							

表65. DAC控制2寄存器

位	位名称	描述	
[7:0]	RDAVOL[7:0]	控制来自右DAC的右声道输入的数字音量衰减。设置之间每相差一位相当于0.375 dB的压摆步长。音量设置完整列表参见表73。	
		设置	音量衰减
		00000000	0 dB(默认)
		00000001	-0.375 dB
		00000010	-0.75 dB
	
		11111110	-95.25 dB
		11111111	-95.625 dB

R39: 串行端口焊盘控制, 16,429 (0x402D)

可选的上拉/下拉电阻标称值为250 kΩ。使能时，如果信号源变成三态，这些上拉/下拉电阻将把串行端口信号设置为确定的状态。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
ADCSDP[1:0]		DACSDP[1:0]		LRCLKP[1:0]		BCLKP[1:0]	

表66. 串行端口焊盘控制寄存器

位	位名称	描述	
[7:6]	ADCSDP[1:0]	ADC_SDATA焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[5:4]	DACSDP[1:0]	DAC_SDATA焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[3:2]	LRCLKP[1:0]	LRCLK焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[1:0]	BCLKP[1:0]	BCLK焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉

ADAU1361

R40: 控制端口焊盘控制0, 16,431 (0x402F)

可选的上拉/下拉电阻标称值为250 kΩ。使能时，如果信号源变成三态，这些上拉/下拉电阻将把控制端口信号设置为确定的状态。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
CDATP[1:0]		CLCHP[1:0]		SCLP[1:0]		SDAP[1:0]	

表67. 控制端口焊盘控制0寄存器

位	位名称	描述	
[7:6]	CDATP[1:0]	CDATA焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[5:4]	CLCHP[1:0]	CLATCH焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[3:2]	SCLP[1:0]	SCL/CCLK焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉
[1:0]	SDAP[1:0]	SDA/COUT焊盘上拉/下拉配置。	
		设置	配置
		00	上拉
		01	保留
		10	无(默认)
		11	下拉

R41: 控制端口焊盘控制1, 16,432 (0x4030)

当IOVDD设置为3.3 V时，SDA/COUT引脚的高低驱动强度分别约为4.0 mA和2.0 mA。当IOVDD设置为1.8 V时，其高低驱动强度分别约为1.7 mA和0.8 mA。需要时，高驱动强度模式在I²C模式下可以用于产生更强的ACK脉冲。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
保留							SDASTR

表68. 控制端口焊盘控制1寄存器

位	位名称	描述
0	SDASTR	SDA/COUT引脚驱动强度。 0 = 低(默认)。 1 = 高。

R42: 插孔检测引脚控制, 16,433 (0x4031)

当IOVDD设置为3.3 V时, JACKDET/MICIN引脚的高低驱动强度分别约为4.0 mA和2.0 mA。当IOVDD设置为1.8 V时, 其高低驱动强度分别约为1.7 mA和0.8 mA。可选的上拉/下拉电阻标称值为250 kΩ。使能时, 如果信号源变成三态, 这些上拉/下拉电阻将把输入信号设置为确定的状态。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
	保留	JDSTR	保留		JDP[1:0]		保留

表69. 插孔检测引脚控制寄存器

位	位名称	描述										
5	JDSTR	JACKDET/MICIN引脚驱动强度。 0 = 低(默认)。 1 = 高。										
[3:2]	JDP[1:0]	JACKDET/MICIN焊盘上拉/下拉配置。										
		<table border="1"> <thead> <tr> <th>设置</th> <th>配置</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>上拉</td> </tr> <tr> <td>01</td> <td>保留</td> </tr> <tr> <td>10</td> <td>无(默认)</td> </tr> <tr> <td>11</td> <td>下拉</td> </tr> </tbody> </table>	设置	配置	00	上拉	01	保留	10	无(默认)	11	下拉
设置	配置											
00	上拉											
01	保留											
10	无(默认)											
11	下拉											

R67: 去抖动控制, 16,438 (0x4036)

通过去抖动控制寄存器, 可以设置去抖动窗口的大小, 以及激活或旁路器件中的所有去抖动电路。在从机模式下, 去抖动电路可防止抖动造成的重复或跳过的样本进入串行端口。在工作过程中禁用再使能器件的某些子系统, 即ADC、串行端口和DAC等, 可能会导致相关的去抖动电路无法工作。结果, 音频数据将无法输出到器件中的下一个子系统。

当串行端口工作在主机模式时, 可以将去抖动窗口设置为0以旁路去抖动电路。当串行端口工作在从机模式时, 可以在从器件输出音频数据之前重新初始化去抖动电路, 以保证音频数据能够输出到器件中的下一个子系统。如果音频必须通过ADC、串行端口或DAC, 则可以将去抖动窗口大小设置为0, 以旁路并复位去抖动电路。这样, 只要将去抖动窗口大小设置为默认值3, 就能立即重新激活去抖动电路, 而无需等待。

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
DEJIT[7:0]							

表70. 去抖动控制寄存器

位	位名称	描述												
[7:0]	DEJIT[7:0]	去抖动窗口大小。												
		<table border="1"> <thead> <tr> <th>窗口大小</th> <th>内核时钟周期数</th> </tr> </thead> <tbody> <tr> <td>00000000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>00000011</td> <td>3(默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>00000101</td> <td>5</td> </tr> </tbody> </table>	窗口大小	内核时钟周期数	00000000	0	00000011	3(默认)	00000101	5
窗口大小	内核时钟周期数													
00000000	0													
...	...													
00000011	3(默认)													
...	...													
00000101	5													

ADAU1361

表71. R8和R9音量设置

二进制值	音量设置(dB)
000000	-12
000001	-11.25
000010	-10.5
000011	-9.75
000100	-9
000101	-8.25
000110	-7.5
000111	-6.75
001000	-6
001001	-5.25
001010	-4.5
001011	-3.75
001100	-3
001101	-2.25
001110	-1.5
001111	-0.75
010000	0
010001	0.75
010010	1.5
010011	2.25
010100	3
010101	3.75
010110	4.5
010111	5.25
011000	6
011001	6.75
011010	7.5
011011	8.25
011100	9
011101	9.75
011110	10.5
011111	11.25
100000	12
100001	12.75
100010	13.5
100011	14.25
100100	15
100101	15.75
100110	16.5
100111	17.25
101000	18
101001	18.75
101010	19.5
101011	20.25
101100	21
101101	21.75
101110	22.5
101111	23.25
110000	24
110001	24.75
110010	25.5

二进制值	音量设置(dB)
110011	26.25
110100	27
110101	27.75
110110	28.5
110111	29.25
111000	30
111001	30.75
111010	31.5
111011	32.25
111100	33
111101	33.75
111110	34.5
111111	35.25

表72. R14噪声门阈值

二进制值	噪声门阈值(dB)
00000	-76.5
00001	-75
00010	-73.5
00011	-72
00100	-70.5
00101	-69
00110	-67.5
00111	-66
01000	-64.5
01001	-63
01010	-61.5
01011	-60
01100	-58.5
01101	-57
01110	-55.5
01111	-54
10000	-52.5
10001	-51
10010	-49.5
10011	-48
10100	-46.5
10101	-45
10110	-43.5
10111	-42
11000	-40.5
11001	-39
11010	-37.5
11011	-36
11100	-34.5
11101	-33
11110	-31.5
11111	-30

表73. R20、R21、R37和R38音量设置

二进制值	音量衰减(dB)	二进制值	音量衰减(dB)
00000000	0	00110000	-18
00000001	-0.375	00110001	-18.375
00000010	-0.75	00110010	-18.75
00000011	-1.125	00110011	-19.125
00000100	-1.5	00110100	-19.5
00000101	-1.875	00110101	-19.875
00000110	-2.25	00110110	-20.25
00000111	-2.625	00110111	-20.625
00001000	-3	00111000	-21
00001001	-3.375	00111001	-21.375
00001010	-3.75	00111010	-21.75
00001011	-4.125	00111011	-22.125
00001100	-4.5	00111100	-22.5
00001101	-4.875	00111101	-22.875
00001110	-5.25	00111110	-23.25
00001111	-5.625	00111111	-23.625
00010000	-6	01000000	-24
00010001	-6.375	01000001	-24.375
00010010	-6.75	01000010	-24.75
00010011	-7.125	01000011	-25.125
00010100	-7.5	01000100	-25.5
00010101	-7.875	01000101	-25.875
00010110	-8.25	01000110	-26.25
00010111	-8.625	01000111	-26.625
00011000	-9	01001000	-27
00011001	-9.375	01001001	-27.375
00011010	-9.75	01001010	-27.75
00011011	-10.125	01001011	-28.125
00011100	-10.5	01001100	-28.5
00011101	-10.875	01001101	-28.875
00011110	-11.25	01001110	-29.25
00011111	-11.625	01001111	-29.625
00100000	-12	01010000	-30
00100001	-12.375	01010001	-30.375
00100010	-12.75	01010010	-30.75
00100011	-13.125	01010011	-31.125
00100100	-13.5	01010100	-31.5
00100101	-13.875	01010101	-31.875
00100110	-14.25	01010110	-32.25
00100111	-14.625	01010111	-32.625
00101000	-15	01011000	-33
00101001	-15.375	01011001	-33.375
00101010	-15.75	01011010	-33.75
00101011	-16.125	01011011	-34.125
00101100	-16.5	01011100	-34.5
00101101	-16.875	01011101	-34.875
00101110	-17.25	01011110	-35.25
00101111	-17.625	01011111	-35.625

ADAU1361

二进制值	音量衰减(dB)	二进制值	音量衰减(dB)
01100000	-36	10010001	-54.375
01100001	-36.375	10010010	-54.75
01100010	-36.75	10010011	-55.125
01100011	-37.125	10010100	-55.5
01100100	-37.5	10010101	-55.875
01100101	-37.875	10010110	-56.25
01100110	-38.25	10010111	-56.625
01100111	-38.625	10011000	-57
01101000	-39	10011001	-57.375
01101001	-39.375	10011010	-57.75
01101010	-39.75	10011011	-58.125
01101011	-40.125	10011100	-58.5
01101100	-40.5	10011101	-58.875
01101101	-40.875	10011110	-59.25
01101110	-41.25	10011111	-59.625
01101111	-41.625	10100000	-60
01110000	-42	10100001	-60.375
01110001	-42.375	10100010	-60.75
01110010	-42.75	10100011	-61.125
01110011	-43.125	10100100	-61.5
01110100	-43.5	10100101	-61.875
01110101	-43.875	10100110	-62.25
01110110	-44.25	10100111	-62.625
01110111	-44.625	10101000	-63
01111000	-45	10101001	-63.375
01111001	-45.375	10101010	-63.75
01111010	-45.75	10101011	-64.125
01111011	-46.125	10101100	-64.5
01111100	-46.5	10101101	-64.875
01111101	-46.875	10101110	-65.25
01111110	-47.25	10101111	-65.625
01111111	-47.625	10110000	-66
10000000	-48	10110001	-66.375
10000001	-48.375	10110010	-66.75
10000010	-48.75	10110011	-67.125
10000011	-49.125	10110100	-67.5
10000100	-49.5	10110101	-67.875
10000101	-49.875	10110110	-68.25
10000110	-50.25	10110111	-68.625
10000111	-50.625	10111000	-69
10001000	-51	10111001	-69.375
10001001	-51.375	10111010	-69.75
10001010	-51.75	10111011	-70.125
10001011	-52.125	10111100	-70.5
10001100	-52.5	10111101	-70.875
10001101	-52.875	10111110	-71.25
10001110	-53.25	10111111	-71.625
10001111	-53.625	11000000	-72
10010000	-54	11000001	-72.375

二进制值	音量衰减(dB)
11000010	-72.75
11000011	-73.125
11000100	-73.5
11000101	-73.875
11000110	-74.25
11000111	-74.625
11001000	-75
11001001	-75.375
11001010	-75.75
11001011	-76.125
11001100	-76.5
11001101	-76.875
11001110	-77.25
11001111	-77.625
11010000	-78
11010001	-78.375
11010010	-78.75
11010011	-79.125
11010100	-79.5
11010101	-79.875
11010110	-80.25
11010111	-80.625
11011000	-81
11011001	-81.375
11011010	-81.75
11011011	-82.125
11011100	-82.5
11011101	-82.875
11011110	-83.25
11011111	-83.625
11100000	-84
11100001	-84.375
11100010	-84.75
11100011	-85.125
11100100	-85.5
11100101	-85.875
11100110	-86.25
11100111	-86.625
11101000	-87
11101001	-87.375
11101010	-87.75
11101011	-88.125
11101100	-88.5
11101101	-88.875
11101110	-89.25
11101111	-89.625
11110000	-90
11110001	-90.375
11110010	-90.75

二进制值	音量衰减(dB)
11110011	-91.125
11110100	-91.5
11110101	-91.875
11110110	-92.25
11110111	-92.625
11111000	-93
11111001	-93.375
11111010	-93.75
11111011	-94.125
11111100	-94.5
11111101	-94.875
11111110	-95.25
11111111	-95.625

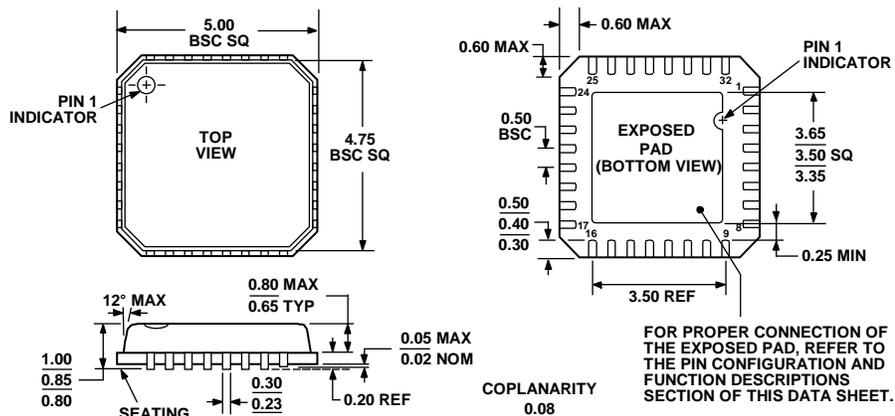
表74. R29至R33音量设置

二进制值	音量设置(dB)
000000	-57
000001	-56
000010	-55
000011	-54
000100	-53
000101	-52
000110	-51
000111	-50
001000	-49
001001	-48
001010	-47
001011	-46
001100	-45
001101	-44
001110	-43
001111	-42
010000	-41
010001	-40
010010	-39
010011	-38
010100	-37
010101	-36
010110	-35
010111	-34
011000	-33
011001	-32
011010	-31
011011	-30
011100	-29
011101	-28
011110	-27
011111	-26
100000	-25

ADAU1361

二进制值	音量设置(dB)
100001	-24
100010	-23
100011	-22
100100	-21
100101	-20
100110	-19
100111	-18
101000	-17
101001	-16
101010	-15
101011	-14
101100	-13
101101	-12
101110	-11
101111	-10
110000	-9
110001	-8
110010	-7
110011	-6
110100	-5
110101	-4
110110	-3
110111	-2
111000	-1
111001	0
111010	1
111011	2
111100	3
111101	4
111110	5
111111	6

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

图66. 32引脚LFCSP_VQ封装

5 mm x 5 mm, 超薄体

(CP-32-4)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADAU1361BCPZ	-40°C至+85°C	32引脚LFCSP_VQ	CP-32-4
ADAU1361BCPZ-R7	-40°C至+85°C	32引脚LFCSP_VQ, 7" 卷带和卷盘	CP-32-4
ADAU1361BCPZ-RL	-40°C至+85°C	32引脚LFCSP_VQ, 13" 卷带和卷盘	CP-32-4
EVAL-ADAU1361Z		评估板	

¹ Z = 符合RoHS标准的器件。

注释