

特性

极小的固有延迟差异: <2个DAC时钟周期

专有低杂散与失真设计

6载波GSM ACLR: 79 dBc(200 MHz中频)

无杂散动态范围(SFDR): 大于85 dBc(300 MHz带宽, ZIF)

灵活的16位LVDS接口

支持字和字节加载

多芯片同步

固定延迟和数据发生器延迟补偿

可选2x、4x、8x插值滤波器

低功耗架构

$f_s/4$ 省电粗调混频器

输入信号功率检测

用于保护下游模拟电路的紧急制动功能

FIFO误差检测

片内数字控制振荡器允许载波设置在DAC奈奎斯特带宽内的

任意位置

发射使能功能可进一步省电

高性能、低噪声锁相环(PLL)时钟倍频器

数字增益与相位调整支持边带抑制

数字反sinc滤波器

支持单DAC模式

低功耗: 2.0 W (1.6 GSPS), 1.7 W (1.25 GSPS), 全部工作条件下

72引脚LFCSP

应用

无线通信: 3G/4G和MC-GSM基站、宽带中继器、软件定义无

线电

宽带通信: 点对点、LMDS/MMDS

发射分集/MIMO

仪器仪表

自动测试设备

概述

AD9142是一款双通道、16位、高动态范围数模转换器(DAC), 提供1600 MSPS采样速率, 可以产生高达奈奎斯特频率的多载波。AD9142 TxDAC+®具有针对直接变频传输应用进行优化的特性, 包括复数数字调制、输入信号功率检测以及增益、相位与失调补偿。DAC输出经过优化, 可以与模拟正交调制器无缝接口, 例如ADI公司的ADL537x F-MOD系列和ADRF670x系列调制器。3线式串行端口接口允许对许多内部参数进行编程和回读。满量程输出电流可以在9 mA至33 mA范围内进行编程。AD9142提供72引脚LFCSP封装。

产品特色

1. 先进的低杂散与失真设计技术, 从基带到高中频的宽带信号可以实现高质量合成。
2. 固有延迟差异极小, 简化了系统中的软硬件设计。大多数应用可以实现轻松的多芯片同步。
3. 新的低功耗架构将功效(mW/MHz/通道)提高30%。
4. 输入信号功率和FIFO误差检测简化了下游模拟电路保护设计。
5. 可编程发射使能功能实现了功耗与唤醒时间之间的设计平衡。

Rev. 0**Document Feedback**

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	输入信号功率检测和保护.....	30
应用.....	1	发射使能功能.....	31
概述.....	1	数字功能配置.....	31
产品特点.....	1	多器件同步和固定延迟.....	32
修订历史.....	3	极小的固有延迟差异.....	32
功能框图.....	4	进一步降低延迟差异.....	32
技术规格.....	5	同步实现.....	33
直流规格.....	5	同步程序.....	33
数字规格.....	6	中断请求操作.....	34
DAC延迟规格.....	7	中断工作机制.....	34
延迟差异规格.....	7	中断服务程序.....	34
交流规格.....	7	温度传感器.....	35
工作速度规格.....	8	DAC输入时钟配置.....	36
绝对最大额定值.....	9	驱动DACCLK和REFCLK输入.....	36
热阻.....	9	直接输入时钟.....	36
ESD警告.....	9	时钟倍频.....	36
引脚配置和功能描述.....	10	PLL设置.....	37
典型性能参数.....	12	配置VCO调谐带.....	37
术语.....	17	自动选择VCO频段.....	37
串行端口操作.....	18	手动选择VCO频段.....	37
数据格式.....	18	模拟输出.....	38
串行端口引脚描述.....	18	发射DAC操作.....	38
串行端口选项.....	18	与调制器接口.....	39
数据接口.....	20	降低LO泄漏和干扰边带.....	40
LVDS输入数据端口.....	20	启动程序示例.....	41
字接口模式.....	20	器件配置寄存器映射和描述.....	42
字节接口模式.....	20	SPI配置寄存器.....	44
数据接口配置选项.....	20	掉电控制寄存器.....	44
接口延迟线.....	22	中断使能0寄存器.....	44
FIFO操作.....	23	中断使能1寄存器.....	44
复位FIFO.....	24	中断标志0寄存器.....	45
串行端口启动的FIFO复位.....	24	中断标志1寄存器.....	45
帧启动的FIFO复位.....	24	中断选择0寄存器.....	45
数字数据路径.....	26	中断选择1寄存器.....	46
插值滤波器.....	26	DAC时钟接收器控制寄存器.....	46
数字调制.....	28	参考时钟接收器控制寄存器.....	46
数据路径配置.....	29	PLL控制寄存器.....	47
数字正交增益和相位调整.....	29	PLL控制寄存器.....	47
直流失调调整.....	29	PLL控制寄存器.....	47
反Sinc滤波器.....	30	PLL状态寄存器.....	48

PLL状态寄存器.....	48	NCO_PHASE_OFFSET1寄存器.....	55
IDAC FS调整LSB寄存器.....	48	IQ_PHASE_ADJ0寄存器.....	55
IDAC FS调整MSB寄存器.....	48	IQ_PHASE_ADJ1寄存器.....	55
QDAC FS调整LSB寄存器.....	48	IDAC_DC_OFFSET0寄存器.....	55
QDAC FS调整MSB寄存器.....	49	IDAC_DC_OFFSET1寄存器.....	55
芯片温度传感器控制寄存器.....	49	QDAC_DC_OFFSET0寄存器.....	55
芯片温度LSB寄存器.....	49	QDAC_DC_OFFSET1寄存器.....	56
芯片温度MSB寄存器.....	49	IDAC_GAIN_ADJ寄存器.....	56
芯片ID寄存器.....	49	QDAC_GAIN_ADJ寄存器.....	56
中断配置寄存器.....	50	增益步进控制0寄存器.....	56
同步控制寄存器.....	50	增益步进控制1寄存器.....	56
帧复位控制寄存器.....	50	发射使能控制寄存器.....	57
FIFO水平配置寄存器.....	51	DAC输出控制寄存器.....	57
FIFO水平回读寄存器.....	51	数据接收器测试控制寄存器.....	57
FIFO控制寄存器.....	51	数据接收器测试控制寄存器.....	57
数据格式选择寄存器.....	52	器件配置0寄存器.....	58
数据路径控制寄存器.....	52	版本寄存器.....	58
插值控制寄存器.....	52	器件配置1寄存器.....	58
过阈值控制0寄存器.....	53	器件配置2寄存器.....	58
过阈值控制1寄存器.....	53	DAC延迟和系统偏斜.....	59
过阈值控制2寄存器.....	53	DAC延迟差异.....	59
输入功率回读LSB寄存器.....	53	FIFO延迟差异.....	59
输入功率回读MSB寄存器.....	53	时钟产生延迟差异.....	60
NCO控制寄存器.....	54	校正系统偏斜.....	60
NCO_FREQ_TUNING_WORD0寄存器.....	54	封装和订购信息.....	61
NCO_FREQ_TUNING_WORD1寄存器.....	54	外形尺寸.....	61
NCO_FREQ_TUNING_WORD2寄存器.....	54	订购指南.....	61
NCO_FREQ_TUNING_WORD3寄存器.....	54		
NCO_PHASE_OFFSET0寄存器.....	54		

修订历史

2012年11月—修订版0：初始版

AD9142

功能框图

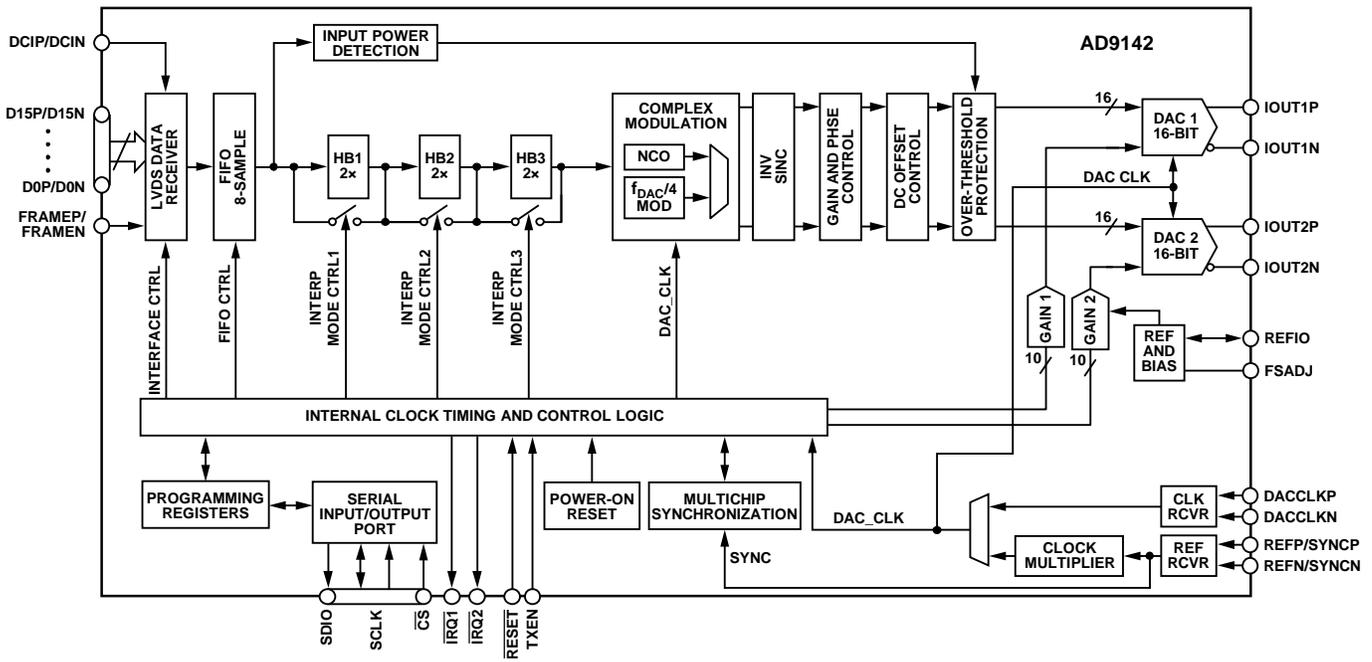


图1.

109301-001

技术规格

直流规格

除非另有说明， T_{MIN} 至 T_{MAX} 、 $AVDD33 = 3.3\text{ V}$ 、 $DVDD18 = 1.8\text{ V}$ 、 $CVDD18 = 1.8\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、最大采样速率。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率			16		位
精度					
差分非线性(DNL)			±2.1		LSB
积分非线性(INL)			±3.7		LSB
主DAC输出					
失调误差		-0.001	0	+0.001	% FSR
增益误差	使用内部基准源	-3.2	2	4.7	% FSR
满量程输出电流	基于FSADJ与AVSS之间的10 kΩ外部电阻	19.06	19.8	+20.6	mA
输出顺从电压范围		-1.0		+1.0	V
输出电阻			10		MΩ
增益DAC单调性			保证		
±0.5 LSB内的建立时间			20		ns
主DAC温度漂移					
失调			0.04		ppm/°C
增益			100		ppm/°C
基准电压			30		ppm/°C
基准电压源					
内部基准电压		1.17		1.19	V
输出电阻			5		kΩ
模拟电源电压					
AVDD33		3.13	3.3	3.47	V
CVDD18		1.71	1.8	1.89	V
数字电源电压					
DVDD18		1.71	1.8	1.89	V
功耗					
2倍模式	$f_{DAC} = 491.52\text{ MSPS}$				
NCO关			700		mW
NCO开			870		mW
4倍模式	$f_{DAC} = 737.28\text{ MSPS}$				
NCO关			836		mW
NCO开			1085		mW
4倍模式	$f_{DAC} = 983.04\text{ MSPS}$				
NCO关			1030		mW
NCO开			1365		mW
8倍模式	$f_{DAC} = 1600\text{ MSPS}$				
NCO关			1315		mW
NCO开			1815		mW
锁相环			70		mW
反Sinc	$f_{DAC} = 1474.56\text{ MSPS}$		113		mW
低功耗模式(掉电)				96.6	mW
AVDD33				1.5	mA
CVDD18				42.3	mA
DVDD18				8.6	mA
工作范围		-40	+25	+85	°C

AD9142

数字规格

除非另有说明, T_{MIN} 至 T_{MAX} , $AVDD33 = 3.3 V$ 、 $DVDD18 = 1.8 V$ 、 $CVDD18 = 1.8 V$ 、 $I_{OUTFS} = 20 mA$ 、最大采样速率。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
CMOS输入逻辑电平 输入						
逻辑高电平		DVDD18 = 1.8 V	1.2			V
逻辑低电平		DVDD18 = 1.8 V			0.6	V
CMOS输出逻辑电平 输出						
逻辑高电平		DVDD18 = 1.8 V	1.4			V
逻辑低电平		DVDD18 = 1.8 V			0.4	V
LVDS接收器输入 输入电压范围	V_{IA} 或 V_{IB}		825		1675	mV
输入差分阈值	V_{IDTH}	数据和帧输入 DCI输入	-100		+100	mV
			-225		+225	mV
输入差分迟滞	V_{IDTHH} to V_{IDTHL}			20		mV
接收机差分输入阻抗	R_{IN}			120		Ω
DAC更新速率					1600	MSPS
DAC调整更新速率		2倍插值			250	MSPS
DAC时钟输入(DACCLKP、DACCLKN) 差分峰峰值电压			100	500	2000	mV
共模电压		自偏置输入, 交流耦合		1.25		V
REFCLK/SYNCCLK输入(REFP/SYNCP、REFN/SYNCN) 差分峰峰值电压			100	500	2000	mV
共模电压				1.25		V
输入时钟频率		$1 GHz \leq f_{VCO} \leq 2.1 GHz$			450	MHz
串行端口接口 最大时钟速率	SCLK		40			MHz
最小脉冲宽度						
高	t_{PWH}				12.5	ns
低	t_{PWL}				12.5	ns
建立时间	t_{DS}	SDIO 至 SCLK	1.5			ns
保持时间	t_{DH}	SDIO 至 SCLK	0.68			ns
建立时间	t_{DCSB}	\overline{CS} 至 SCLK	2.38	1.4		ns

DAC延迟规格

除非另有说明, T_{MIN} 至 T_{MAX} , $AVDD33 = 3.3 V$ 、 $DVDD18 = 1.8 V$ 、 $CVDD18 = 1.8 V$ 、 $I_{OUTFS} = 20 mA$ 、FIFO水平设为4(FIFO深度的一半)。

表3.

参数	测试条件/注释	最小值 典型值 最大值	单位
字接口模式	精/粗调制, 反sinc, 增益/相位补偿关闭	134 244 481	DACCLK周期 DACCLK周期 DACCLK周期
2倍插值			
4倍插值			
8倍插值			
字节接口模式	精/粗调制, 反sinc, 增益/相位补偿关闭	145 271 506	DACCLK周期 DACCLK周期 DACCLK周期
2倍插值			
4倍插值			
8倍插值			
各功能模块			DACCLK周期 DACCLK周期 DACCLK周期 DACCLK周期 DACCLK周期
调制			
精			
粗			
反Sinc			
相位补偿			
增益补偿			

延迟差异规格¹**表4.**

参数	最小值	典型值	最大值	单位
DAC延迟差异				
同步关			2	DACCLK周期
同步开			1	DACCLK周期

¹ DAC延迟定义为从数据样本输入AD9142到模拟输出开始改变所经过的时间。

交流规格

除非另有说明, T_{MIN} 至 T_{MAX} , $AVDD33 = 3.3 V$ 、 $DVDD18 = 1.8 V$ 、 $CVDD18 = 1.8 V$ 、 $I_{OUTFS} = 20 mA$ 、最大采样速率。

表5.

参数	测试条件/注释	最小值 典型值 最大值	单位	
无杂散动态范围(SFDR)	-14 dBFS单音 $f_{OUT} = 200 MHz$	85	dBc	
$f_{DAC} = 737.28 MSPS$ 带宽= 125 MHz				
带宽= 270 MHz		80	dBc	
$f_{DAC} = 983.04 MSPS$ 带宽= 360MHz		$f_{OUT} = 200 MHz$	85	dBc
$f_{DAC} = 1228.8 MSPS$ 带宽= 200MHz		$f_{OUT} = 280 MHz$	85	dBc
带宽= 500MHz			75	dBc
$f_{DAC} = 1474.56 MSPS$ 带宽= 737MHz		$f_{OUT} = 10 MHz$	85	dBc
带宽= 400MHz		$f_{OUT} = 280 MHz$	80	dBc
双音交调失真(IMD)	-6 dBFS各音	80 82 80 85 79	dBc dBc dBc dBc dBc	
$f_{DAC} = 737.28 MSPS$				
$f_{DAC} = 983.04 MSPS$				
$f_{DAC} = 1228.8 MSPS$				
$f_{DAC} = 1474.56 MSPS$				

AD9142

参数	测试条件/注释	最小值 典型值 最大值	单位
噪声谱密度(NSD) f _{DAC} = 737.28 MSPS f _{DAC} = 983.04 MSPS f _{DAC} = 1228.8 MSPS f _{DAC} = 1474.56 MSPS	8音, 各音间隔500 kHz f _{OUT} = 200 MHz f _{OUT} = 200 MHz f _{OUT} = 280 MHz f _{OUT} = 10 MHz f _{OUT} = 280 MHz	-160 -161.5 -164.5 -166 -162.5	dBm/Hz dBm/Hz dBm/Hz dBm/Hz dBm/Hz
W-CDMA邻道泄漏比(ACLR) f _{DAC} = 983.04 MSPS f _{DAC} = 1228.8 MSPS f _{DAC} = 1474.56 MSPS	单载波 f _{OUT} = 200 MHz f _{OUT} = 20 MHz f _{OUT} = 280 MHz f _{OUT} = 20 MHz f _{OUT} = 280 MHz	81 83 80 81 80	dBc dBc dBc dBc dBc
W-CDMA第二邻道泄漏比(ACLR) f _{DAC} = 983.04 MSPS f _{DAC} = 1228.8 MSPS f _{DAC} = 1474.56 MSPS	单载波 f _{OUT} = 200 MHz f _{OUT} = 20 MHz f _{OUT} = 280 MHz f _{OUT} = 20 MHz f _{OUT} = 280 MHz	85 86 86 86 85	dBc dBc dBc dBc dBc

工作速度规格

表6.

插值系数	DVDD18, CVDD18 = 1.8 V ± 5%		DVDD18, CVDD18 = 1.8 V ± 2% 或 1.9 V ± 5%	
	f _{INTERFACE} (Mbps)最大值	f _{DAC} (Mbps)最大值	f _{INTERFACE} (Mbps)最大值	f _{DAC} (Mbps)最大值
2×	250	500	250	500
4×	250	1000	250	1000
8×	187.5	1500	200	1600

绝对最大额定值

表7.

参数	额定值
AVDD33至AVSS、EPAD、CVSS、DVSS	-0.3 V至+3.6 V
DVDD18、CVDD18至AVSS、EPAD、CVSS、DVSS	-0.3 V至+2.1 V
AVSS至EPAD、CVSS、DVSS	-0.3 V至+0.3 V
EPAD至AVSS、CVSS、DVSS	-0.3 V至+0.3 V
CVSS至AVSS、EPAD、DVSS	-0.3 V至+0.3 V
DVSS至AVSS、EPAD、CVSS	-0.3 V至+0.3 V
FSADJ、REFIO、IOUT1P/IOUT1N、IOUT2P/IOUT2N至AVSS	-0.3 V至AVDD33 + 0.3 V
D[15:0]P/D[15:0]N、FRAMEP/FRAMEN、DCIP/DCIN至EPAD、DVSS	-0.3 V至DVDD18 + 0.3 V
DACLKP/DACCLKN、REFP/SYNCP/REFN/SYNCN至CVSS	-0.3 V至CVDD18 + 0.3 V
RESET、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ2}}$ 、 $\overline{\text{CS}}$ 、SCLK、SDIO至EPAD、DVSS	-0.3 V至 DVDD18 + 0.3 V
结温	125°C
存储温度范围	-65°C至+150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

72引脚LFCSP封装的裸露焊盘(EPAD)必须焊接到接地层(AVSS)。EPAD提供到电路板的电气、热和机械连接。

θ_{JA} 、 θ_{JB} 和 θ_{JC} 典型值的测试条件为静止空气下的4层电路板。气流可增强散热，从而有效降低 θ_{JA} 和 θ_{JB} 。

表8. 热阻

封装	θ_{JA}	θ_{JB}	θ_{JC}	单位	条件
72引脚 LFCSP	20.7	10.9	1.1	°C/W	EPAD焊接到接地层

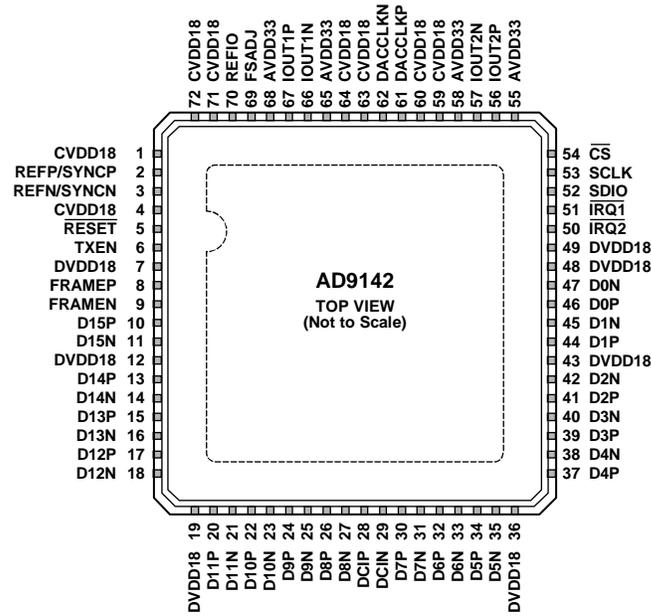
ESD警告

**ESD(静电放电)敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD9142

引脚配置和功能描述



- NOTES
1. EXPOSED PAD (EPAD) MUST BE SOLDERED TO THE GROUND PLANE (AVSS). THE EPAD PROVIDES AN ELECTRICAL, THERMAL, AND MECHANICAL CONNECTION TO THE BOARD.
 2. EPAD IS THE GROUND CONNECTION FOR CVSS AND DVSS.

106930-002

图2. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	描述
1	CVDD18	1.8 V PLL电源。CVDD18为时钟接收器、时钟倍频器和时钟分配电路供电。
2	REFP/SYNCP	PLL参考时钟输入(+).
3	REFN/SYCN	PLL参考时钟输入(-).
4	CVDD18	1.8 V PLL电源。CVDD18为时钟接收器、时钟倍频器和时钟分配电路供电。
5	RESET	复位，低电平有效。CMOS电平参考DVDD18。建议复位脉冲长度为1 μs。
6	TXEN	高电平有效发射路径使能。CMOS电平参考DVDD18。此引脚为低电平将触发DAC中的三种可选操作。详情参见表77中的寄存器0x43。
7	DVDD18	1.8 V数字电源。引脚7为数字内核、数字数据端口、串行端口输入/输出引脚、RESET、IRQ1和IRQ2供电。
8	FRAMEP	帧输入(+).
9	FRAMEN	帧输入(-).
10	D15P	数据位15 (MSB) (+).
11	D15N	数据位15 (MSB) (-).
12	DVDD18	1.8 V数字电源。引脚12为数字内核和数字数据端口供电。
13	D14P	数据位14 (+).
14	D14N	数据位14 (-).
15	D13P	数据位13 (+).
16	D13N	数据位13 (-).
17	D12P	数据位12 (+).
18	D12N	数据位12 (-).
19	DVDD18	1.8 V数字电源。引脚19为数字内核、数字数据端口、串行端口输入/输出引脚、RESET、IRQ1和IRQ2供电。
20	D11P	数据位11 (+).
21	D11N	数据位11 (-).
22	D10P	数据位10 (+).
23	D10N	数据位10 (-).
24	D9P	数据位9 (+).

引脚编号	引脚名称	描述
25	D9N	数据位9 (-)。
26	D8P	数据位8 (+)。
27	D8N	数据位8 (-)。
28	DCIP	数据时钟输入(+)
29	DCIN	数据时钟输入(-)。
30	D7P	数据位7 (+)。
31	D7N	数据位7 (-)。
32	D6P	数据位6 (+)。
33	D6N	数据位6 (-)。
34	D5P	数据位5 (+)。
35	D5N	数据位5 (-)。
36	DVDD18	1.8 V数字电源。引脚36为数字内核、数字数据端口、串行端口输入/输出引脚、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 供电。
37	D4P	数据位4 (+)。
38	D4N	数据位4 (-)。
39	D3P	数据位3 (+)。
40	D3N	数据位3 (-)。
41	D2P	数据位2 (+)。
42	D2N	数据位2 (-)。
43	DVDD18	1.8 V数字电源。引脚43为数字内核、数字数据端口、串行端口输入/输出引脚、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 供电。
44	D1P	数据位1 (+)。
45	D1N	数据位1 (-)。
46	D0P	数据位0 (LSB) (+)。
47	D0N	数据位0 (LSB) (-)。
48	DVDD18	1.8 V数字电源。引脚48为数字内核、数字数据端口、串行端口输入/输出引脚、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 供电。
49	DVDD18	1.8 V数字电源。引脚49为数字内核、数字数据端口、串行端口输入/输出引脚、 $\overline{\text{RESET}}$ 、 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 供电。
50	$\overline{\text{IRQ2}}$	第二中断请求。开漏、低电平有效输出。应通过10 k Ω 电阻将一个外部上拉电阻连接到DVDD18。
51	$\overline{\text{IRQ1}}$	第一中断请求。开漏、低电平有效输出。应通过10 k Ω 电阻将一个外部上拉电阻连接到DVDD18。
52	SDIO	串行端口数据输入/输出。CMOS电平参考DVDD18。
53	SCLK	串行端口时钟输入。CMOS电平参考DVDD18。
54	$\overline{\text{CS}}$	串行端口片选。低电平有效(CMOS电平参考DVDD18)。
55	AVDD33	3.3 V模拟电源。
56	IOOUT2P	QDAC正电流输出。
57	IOOUT2N	QDAC负电流输出。
58	AVDD33	3.3 V模拟电源。
59	CVDD18	1.8 V时钟电源。为时钟接收器和时钟分配电路供电。
60	CVDD18	1.8 V时钟电源。为时钟接收器和时钟分配电路供电。
61	DACCLKN	DAC时钟输入(-)。
62	DACCLKP	DAC时钟输入(+)
63	CVDD18	1.8 V时钟电源。为时钟接收器和时钟分配电路供电。
64	CVDD18	1.8 V时钟电源。为时钟接收器和时钟分配电路供电。
65	AVDD33	3.3 V模拟电源。
66	IOOUT1N	IDAC负电流输出。
67	IOOUT1P	IDAC正电流输出。
68	AVDD33	3.3 V模拟电源。
69	FSADJ	满量程电流输出调整。应将一个10 k Ω 电阻连接在此引脚与AVSS之间。
70	REFIO	基准电压源。标称1.2 V输出。REFIO去耦至AVSS。
71	CVDD18	1.8 V时钟电源。引脚71为时钟接收器、时钟倍频器和时钟分配电路供电。
72	CVDD18	1.8 V时钟电源。引脚72为时钟接收器、时钟倍频器和时钟分配电路供电。
	EPAD	裸露焊盘。裸露焊盘(EPAD)必须焊接到接地层(AVSS)。EPAD提供到电路板的电气、热和机械连接。

典型工作特性

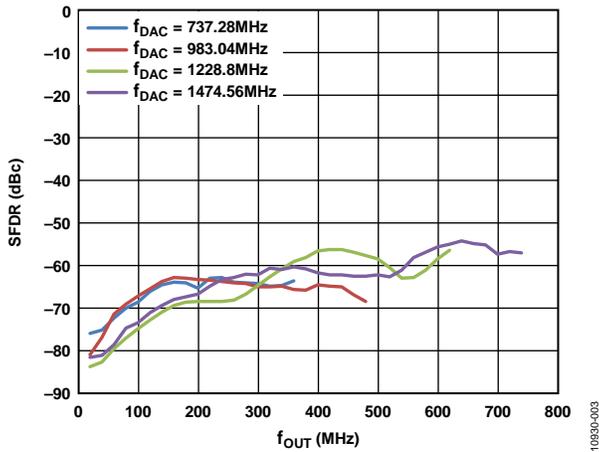


图3. 不同 f_{DAC} 下第一奈奎斯特区中单音(0 dBFS) SFDR与 f_{OUT} 的关系

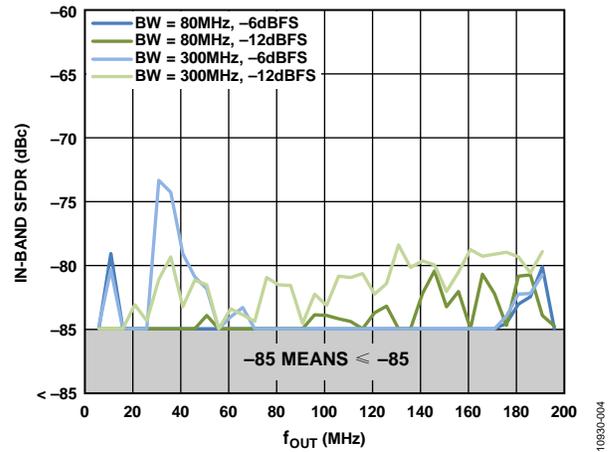


图6. 单音SFDR(二次谐波除外)与 f_{OUT} 的关系(80 MHz和300 MHz带宽, $f_{DAC} = 737.28$ MHz)

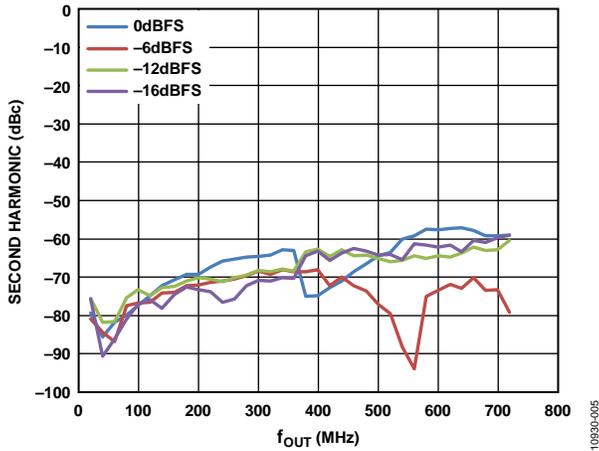


图4. 第一奈奎斯特区中单音二次谐波与 f_{OUT} 的关系(数字倒退, $f_{DAC} = 1474.56$ MHz)

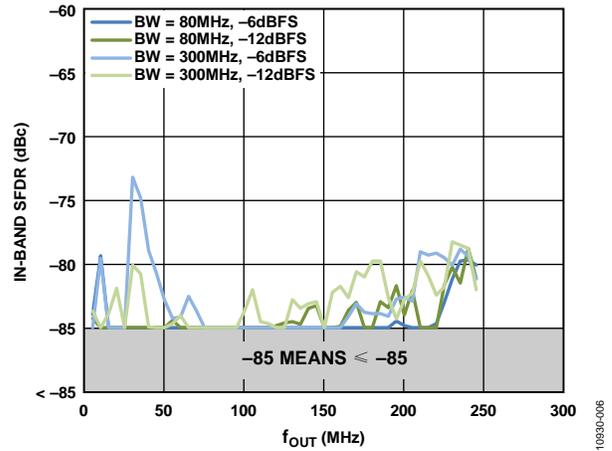


图7. 单音SFDR(二次谐波除外)与 f_{OUT} 的关系(80 MHz和300 MHz带宽, $f_{DAC} = 983.04$ MHz)

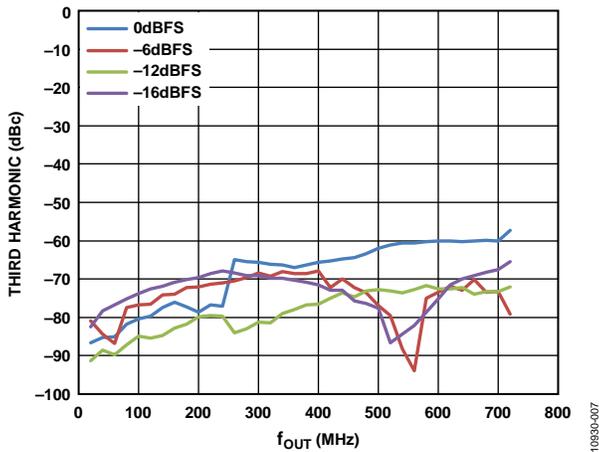


图5. 第一奈奎斯特区中单音三次谐波与 f_{OUT} 的关系(数字倒退, $f_{DAC} = 1474.56$ MHz)

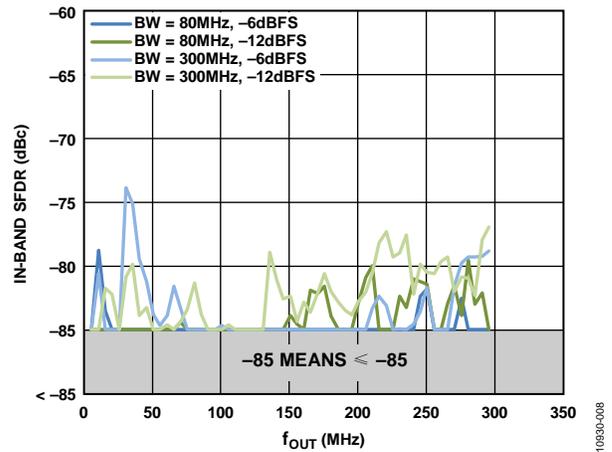


图8. 单音SFDR(二次谐波除外)与 f_{OUT} 的关系(80 MHz和300 MHz带宽, $f_{DAC} = 1228.8$ MHz)

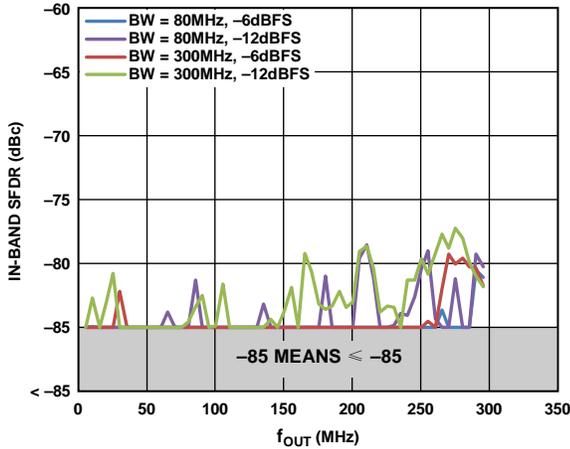


图9. 单音SFDR(二次谐波除外)与 f_{OUT} 的关系(80 MHz和300 MHz带宽, $f_{DAC} = 1474.56$ MHz)

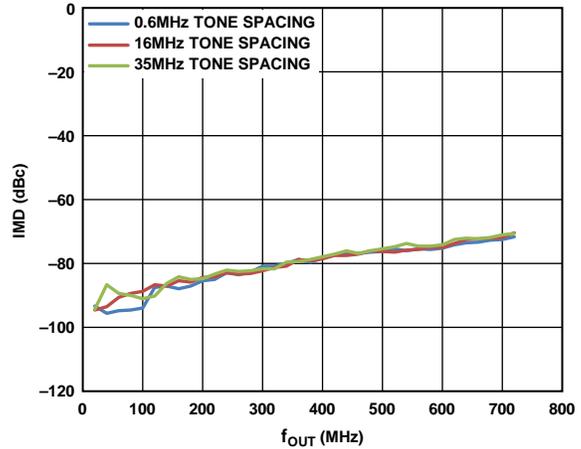


图12. 不同音间隔下双音三阶IMD与 f_{OUT} 的关系 ($f_{DAC} = 1474.56$ MHz)

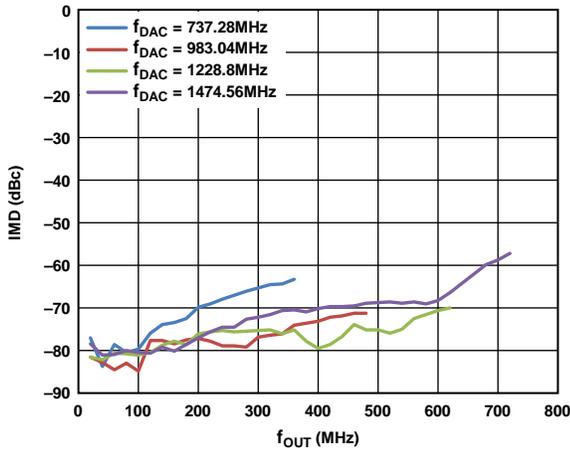


图10. 不同 f_{DAC} 下双音三阶IMD与 f_{OUT} 的关系

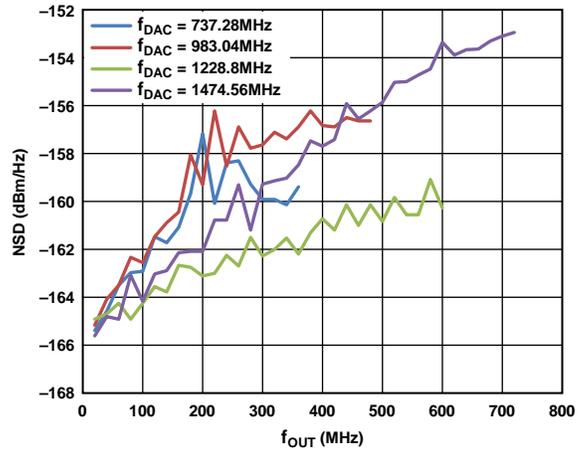


图13. 不同 f_{DAC} 下单音(0 dBFS) NSD与 f_{OUT} 的关系

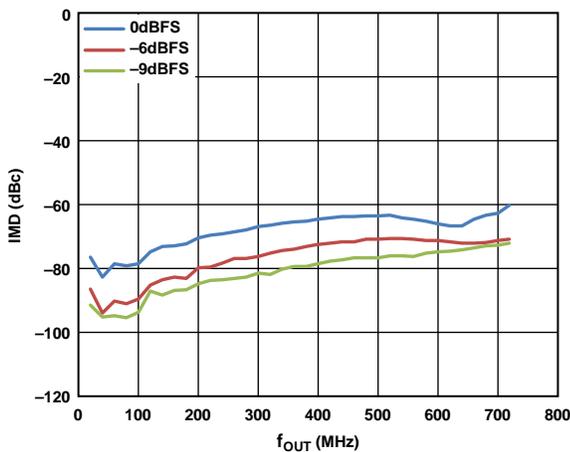


图11. 双音三阶IMD与 f_{OUT} 的关系(数字倒退, $f_{DAC} = 1474.56$ MHz)

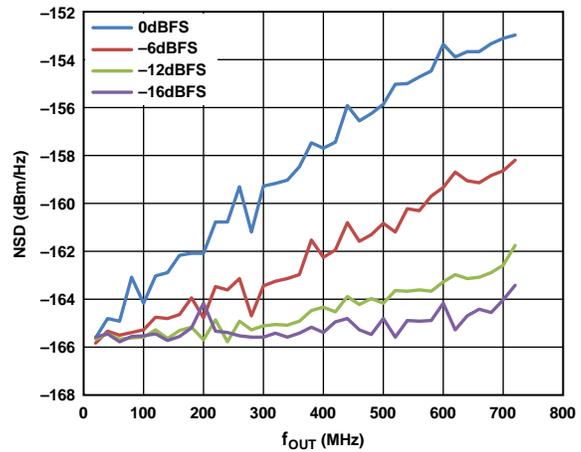


图14. 单音NSD与 f_{OUT} 的关系(数字倒退, $f_{DAC} = 1474.56$ MHz)

AD9142

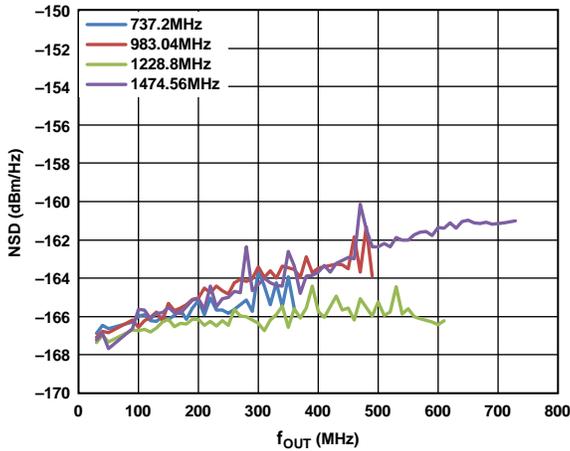


图15. 不同 f_{DAC} 下IC WCDMA NSD与 f_{OUT} 的关系

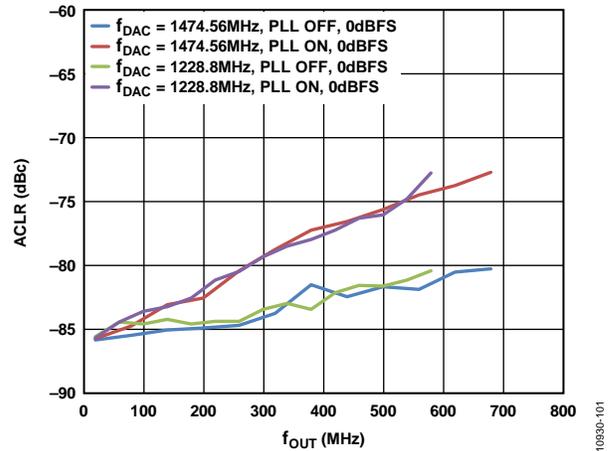


图18. 1C WCDMA第二ACLR与 f_{OUT} 的关系(PLL开启和关闭)

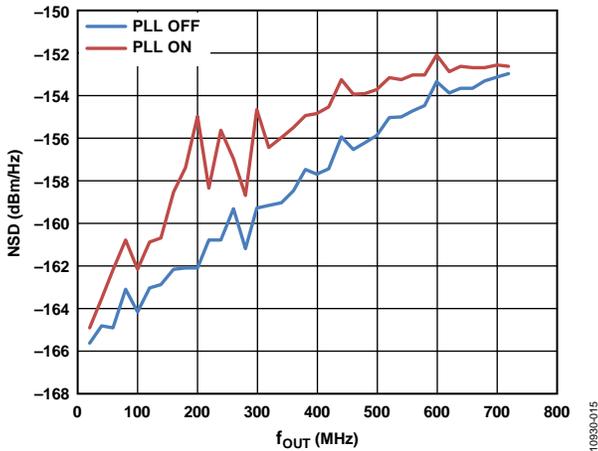


图16. 单音NSD与 f_{OUT} 的关系($f_{DAC} = 1474.28$ MHz, PLL开启和关闭)

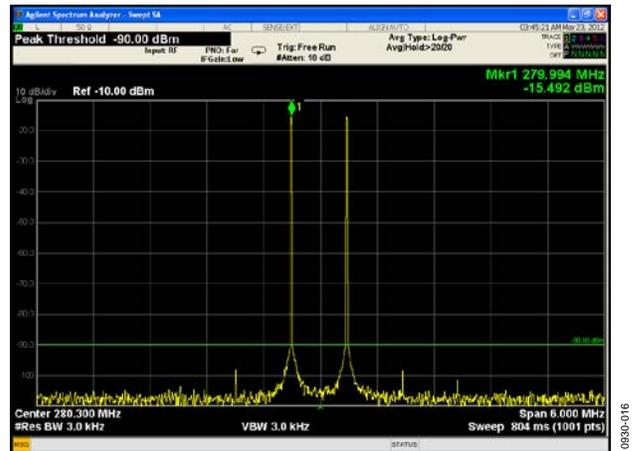


图19. 双音三阶IMD性能($IF = 280$ MHz, $f_{DAC} = 1474.28$ MHz)

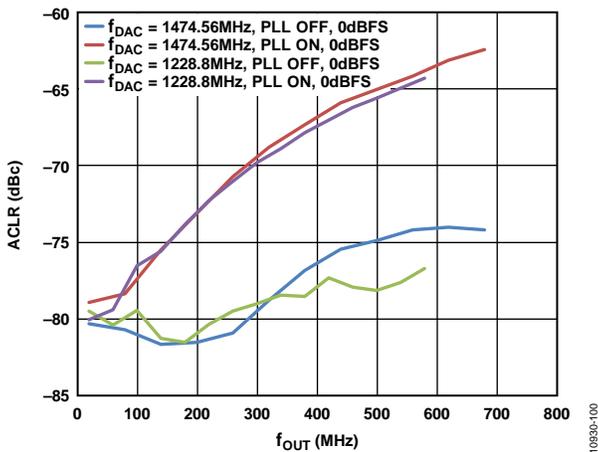


图17. 1C WCDMA第一ACLR与 f_{OUT} 的关系(PLL开启和关闭)

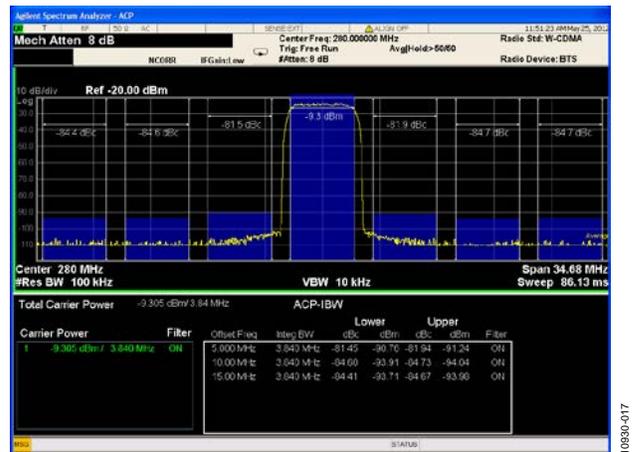


图20. 1C WCDMA ACLR性能($IF = 280$ MHz, $f_{DAC} = 1474.28$ MHz)

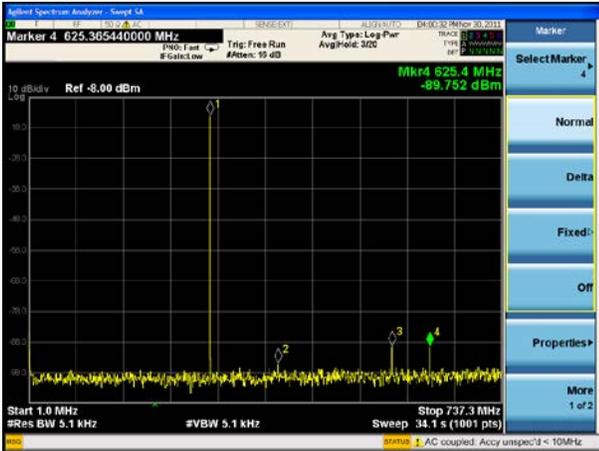


图21. 单音 $f_{DAC} = 1474.56$ MHz,
 $f_{OUT} = 280$ MHz, -14 dBFS

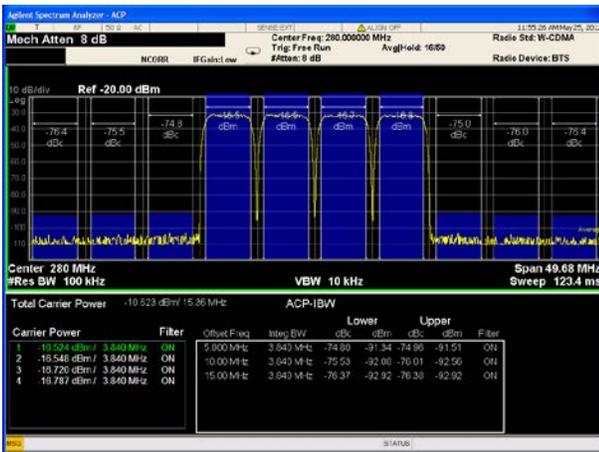


图22. 4C WCDMA ACLR性能 ($IF = 280$ MHz,
 $f_{DAC} = 1474.28$ MHz)

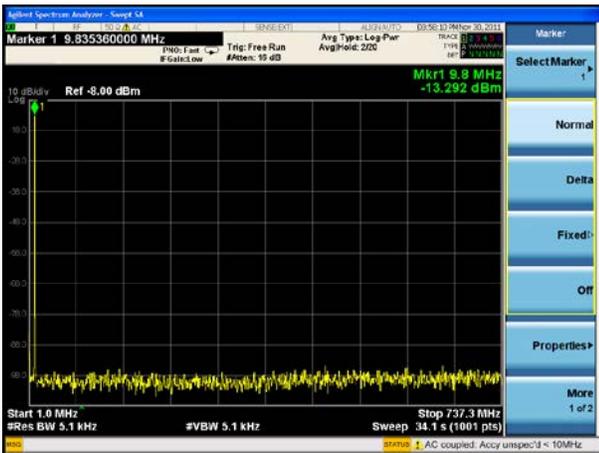


图23. 单音SFDR ($f_{DAC} = 1474.56$ MHz, 4倍插值,
 $f_{OUT} = 10$ MHz, -14 dBFS)

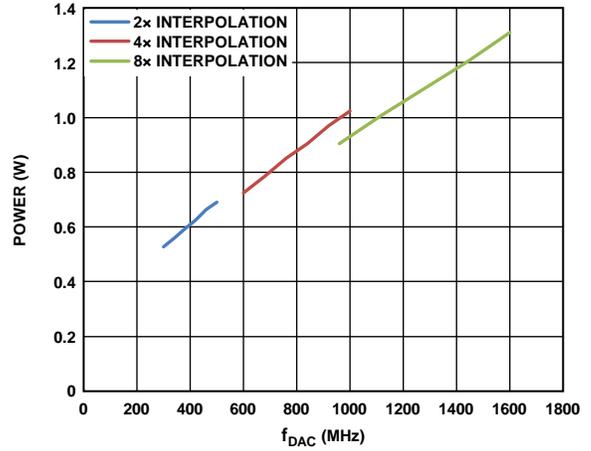


图24. 不同插值下总功耗与 f_{DAC} 的关系

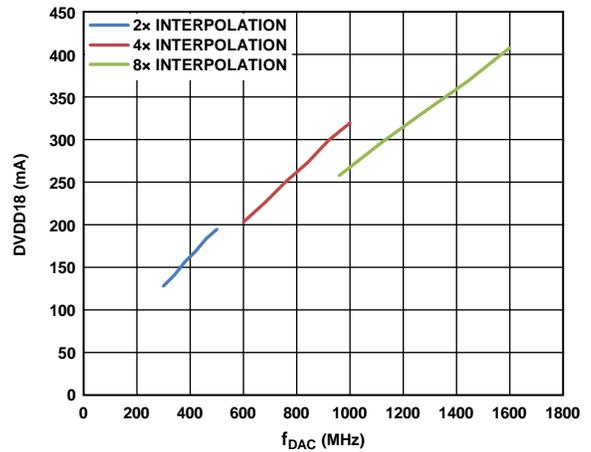


图25. 不同插值下DVDD18电流与 f_{DAC} 的关系

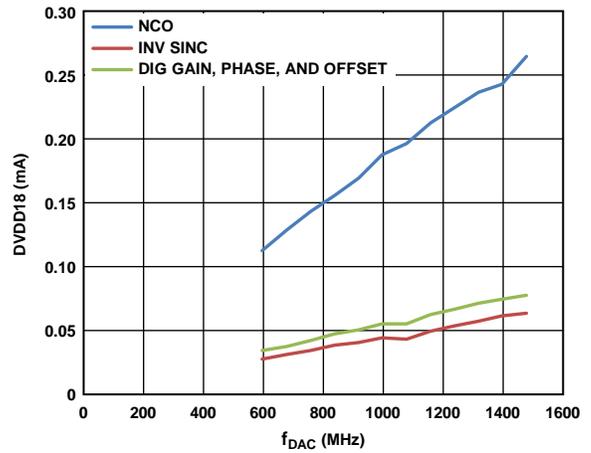


图26. 不同数字功能下DVDD18电流与 f_{DAC} 的关系

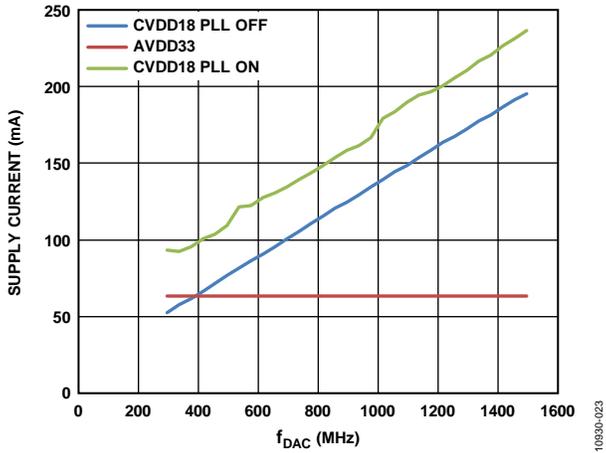


图27. CVDD18、AVDD33电流与 f_{DAC} 的关系

106930-023

术语

积分非线性(INL)

INL指实际模拟输出与理想输出的最大偏差，理想输出由从零电平到满量程所画的直线确定。

差分非线性(DNL)

DNL用于衡量数字输入代码改变1 LSB时模拟值(用满量程归一化)的变化。

失调误差

失调误差指输出电流与理想值0 mA的偏差。对于IOUT1P，当所有输入均置0时，预期输出为0 mA。对于IOUT1N，当所有输入均置1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异。所有输入均置1时的输出与所有输入均置0时的输出之差即为实际范围。

输出顺从电压范围

输出电压范围指电流输出DAC输出端的容许电压范围。超出最大限值工作可能会引起输出级饱和或击穿，导致非线性性能。

温度漂移

温度漂移衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调和增益漂移用每摄氏度(°C)满量程范围(FSR)的ppm表示；基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制(PSR)

PSR衡量电源从最小额定电压变为最大额定电压时满量程输出的最大变化。

建立时间

建立时间指输出达到并保持在以最终值为中心的规定误差范围内所需的时间，从输出跃迁开始时测量。

无杂散动态范围(SFDR)

SFDR指DC至DAC奈奎斯特频率范围内输出信号与杂散信号的峰值幅度之差，用dB表示。通常，插值滤波器会抑制此频段中的能量。因此，该特性衡量的是插值滤波器的工作性能以及其它寄生耦合路径对DAC输出的影响。

信噪比(SNR)

SNR指实测输出信号的均方根值与奈奎斯特频率以下除前六次谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

插值滤波器

如果以 f_{DATA} 的倍率(插值速率)对DAC的数字输入进行采样，可以构建一个在 $f_{DATA}/2$ 附近具有陡峭跃迁带的数字滤波器，这样就能大大抑制通常出现在 f_{DAC} (输出数据速率)附近的镜像。

邻道泄漏比(ACLR)

ACLR指一个信道相对于其相邻信道的测量功率之比，用相对于载波的分贝数(dBc)表示。

复数镜像抑制

在传统的两部分上变频中，第二IF频率附近会在创建两个镜像。这些镜像会浪费发射机功率和系统带宽。如果将第二复数调制器的实部与第一复数调制器串联，就能抑制第二IF附近的上方或下方频率镜像。

串行端口操作

串行端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该串行I/O兼容大多数同步传输格式，包括Motorola SPI和Intel® SSR协议。此接口可进行读/写操作，访问所有AD9142配置寄存器。支持MSB优先和LSB优先传输格式。该串行端口接口是一个仅有3线的接口，输入和输出共用一个输入/输出引脚(SDIO)。

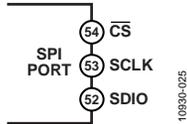


图28. 串行端口接口引脚

AD9142的通信周期分为两个阶段。第一阶段是指令周期(将指令字节写入器件)，与前16个SCLK上升沿重合。指令字向串行端口控制器提供有关数据传输周期(即通信周期第二阶段)的信息，第一阶段指令字明确即将发生的数据传输是读操作还是写操作，以及随后数据传输的起始寄存器地址。

当 \overline{CS} 引脚由逻辑高电平变为逻辑低电平时，串行端口时序复位到指令周期的初始状态。从此状态开始的16个SCLK上升沿代表当前I/O操作的指令位。

其余SCLK边沿用于通信周期的第二阶段。第二阶段是器件与系统控制器之间发生实际数据传输的阶段。通信周期第二阶段传输一个数据字节。写入各传输字节的最后一位时，寄存器立即改变，但频率调谐字和NCO相位偏移除外，这些寄存器仅在频率调谐字(FTW)更新位置1时改变。

数据格式

指令字节包含的信息如表10所示。

表10. 串行端口指令字

I15 (MSB)	I[14:0]
R/W	A[14:0]

R/W(指令字的位15)决定指令字写周期结束后是进行读操作还是写操作。逻辑1表示读操作，而逻辑0表示写操作。

A14至A0(指令字的位14至位0)决定通信周期数据传输阶段要访问的寄存器。对于多字节传输，A14是起始地址，器件根据SPI_LSB_FIRST位产生其余的寄存器地址。

串行端口引脚功能描述

串行时钟(SCLK)

串行时钟引脚用于同步输入/输出器件的数据，并运行内部状态机。SCLK的最大频率为40 MHz。所有数据输入记录在SCLK的上升沿。所有数据都在SCLK的下降沿输出。

片选(\overline{CS})

\overline{CS} 是一个低电平有效输入，用于启动并选通一个通信周期。它支持多个器件使用相同的串行通信线路。当 \overline{CS} 输入为高电平时，SDIO引脚进入高阻态。在通信周期中， \overline{CS} 应保持低电平。

串行数据I/O (SDIO)

SDIO引脚是双向数据线。

串行端口选项

该串行端口支持MSB优先和LSB优先两种数据格式。此功能由SPI_LSB_FIRST位(寄存器0x00的位6)控制。默认是MSB优先(LSB_FIRST = 0)。

当SPI_LSB_FIRST = 0(MSB优先)时，指令和数据位必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括最高有效数据字节寄存器地址的指令字开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节通信周期每传输一个数据字节，串行端口的内部字地址产生器便递减1。

当SPI_LSB_FIRST = 1(LSB优先)时，指令和数据位必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括最低有效数据字节寄存器地址的指令字开始。后续数据字节必须按照从低地址到高地址的顺序传输。在LSB优先模式下，多字节通信周期每传输一个数据字节，串行端口的内部字地址产生器便递增1。

如果MSB优先模式有效，串行端口控制器的数据地址将从写入0x00以进行多字节I/O操作的数据地址开始递减。如果LSB优先模式有效，串行端口控制器的数据地址将从写入0xFF以进行多字节I/O操作的数据地址开始递增。

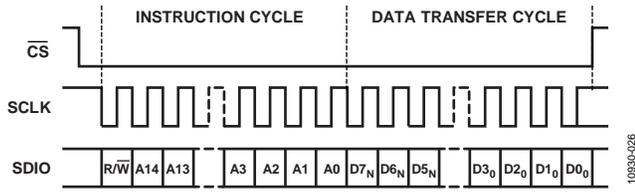


图29. 串行寄存器接口时序(MSB优先)

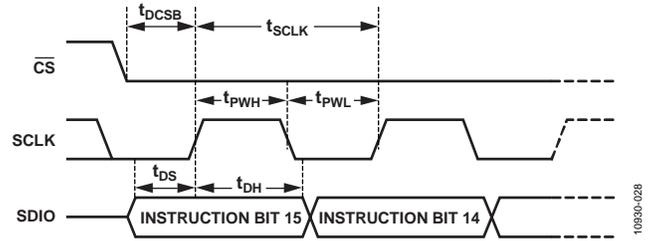


图31. 串行端口寄存器写操作时序图

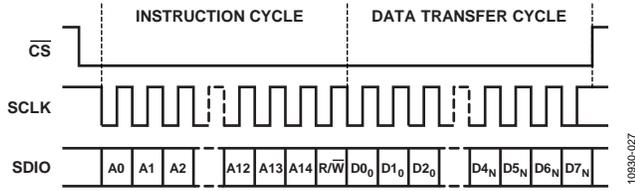


图30. 串行寄存器接口时序(LSB优先)

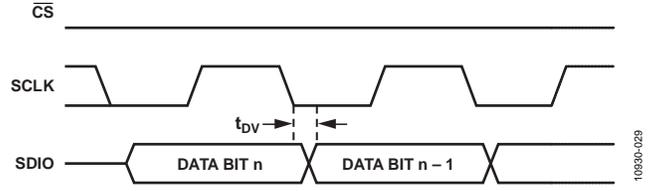


图32. 串行端口寄存器读操作时序图

数据接口

LVDS输入数据端口

AD9142有一条16位LVDS总线，支持字格式(16位)或字节格式(8位)的16位I和Q数据。在字接口模式下，数据通过完整的16位数据总线发送。在字节接口模式下，数据通过低8位(D7至D0)LVDS总线发送。表11列出了各种模式下的总线引脚分配和SPI寄存器配置。

表11. LVDS数据输入模式

接口模式	引脚分配	SPI寄存器配置
字	D15至D0	寄存器0x26的位0 = 0
字节	D7至D0	寄存器0x26的位0 = 1

字接口模式

在字模式下，数字时钟输入(DCI)信号是一个参考位，用于产生双倍数据速率(DDR)数据采样时钟。DCI信号与数据保持时序一致。IDAC数据使用DCI的上升沿，QDAC数据使用DCI的下降沿，如图33所示。

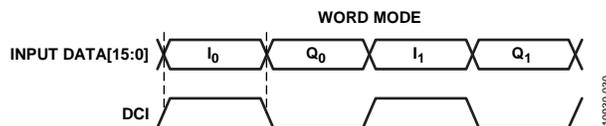


图33. 字模式时序图

字节接口模式

在字节模式下，输入数据流的序列必须是I[15:8]、I[7:0]、Q[15:8]、Q[7:0]。为使输入数据字节的顺序正确对齐，需要一个帧信号。DCI信号和帧信号均与数据保持时序一致。帧的上升沿表示序列起始。帧可以是一次性信号或周期性信号，只要其第一个上升沿能被器件正确捕捉到。对于一次性帧，帧脉冲需保持高电平至少一个DCI周期。对于周期性帧，频率必须为：

$$f_{DCI} / (2 \times n)$$

其中， n 是正整数1、2、3、...

字节模式下的信号时序实例如图34所示。

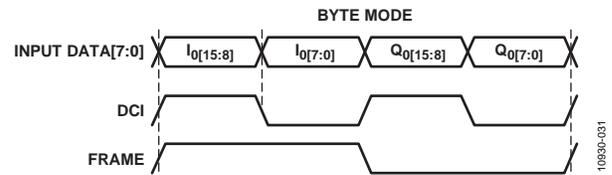


图34. 字节模式时序图

数据接口配置选项

为给数据接口提供更大的灵活性，器件提供了一些额外的选项，如表12所示。

表12. 数据接口配置选项

寄存器0x26	功能
数据格式(位7)	选择二进制或二进制补码格式。
数据配对(位6)	表示数据输入端的I/Q数据配对方式。允许接收到的I和Q数据以不同方式配对。
数据总线反转(位5)	交换数据输入端口的位序。重新映射从D[15:0]到D[0:15]的输入数据。

LVDS输入电平要求

AD9142中有两类LVDS接收器。16位数据总线和帧输入采用相同的LVDS接收器设计。DCI使用不同的LVDS设计。两种LVDS接收器的主要区别是所需的输入差分摆幅不同。数据总线和帧接收器要求输入端至少有±100 mV摆幅。

DCI接收器要求输入端至少有±225 mV摆幅。图35显示了LVDS输入配置及所需的摆幅。DCI一般是从与数据源中的数据相同的库中产生，因此建议LVDS驱动器的输出摆幅应大于所需的DCI输入电平，从而同时满足输入数据和DCI要求。

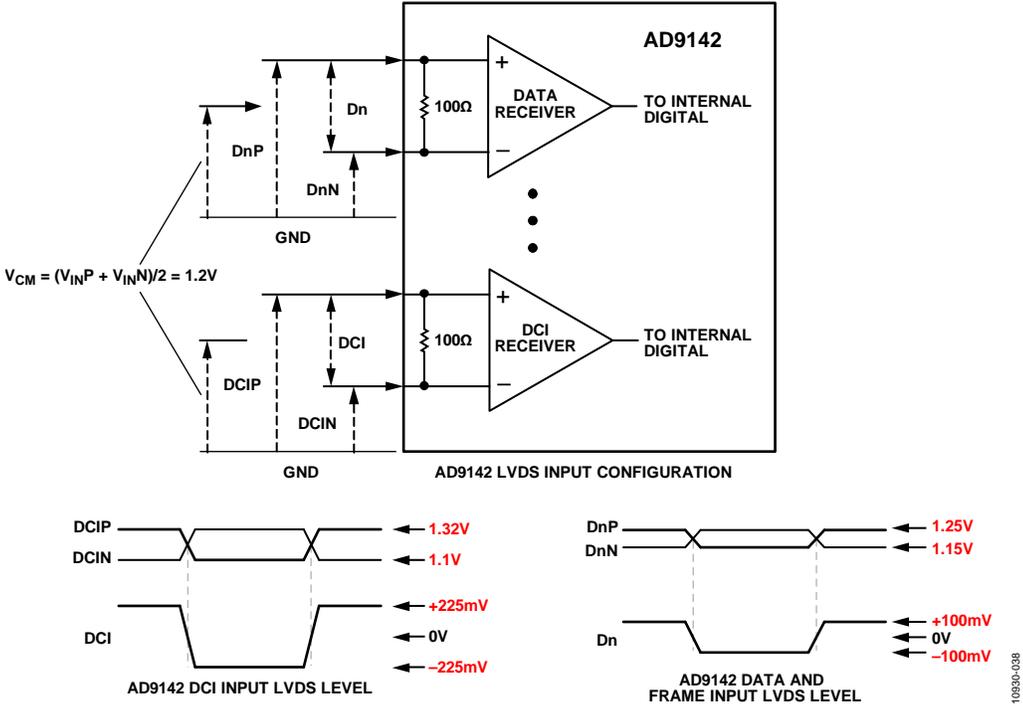


图35. 数据接口电压摆幅要求

接口延迟线

器件提供了一条四抽头延迟线，以便用户调整数据总线与DCI之间的时序。表13给出了各延迟抽头的建立和保持时间。

延迟线使能时，DCI上存在固定的1.9 ns延迟。每个抽头给该固定延迟增加标称值300 ps的延迟。为实现最佳的时序裕量，也就是将建立和保持窗口设置在数据眼的中点，用户可能需要在数据总线上增加一个相对于数据源中DCI的延迟。图36显示了一个计算最佳外部延迟的实例。

表13. 建立和保持时间

延迟设置	0	1	2	3
寄存器0x5E[7:0]	0x00	0x07	0x7F	0xFF
寄存器0x5F[2:0]	0x0	0x0	0x0	0x5
t_s (ns) ¹	-1.25	-1.50	-1.70	-1.93
t_H (ns)	2.51	2.82	3.23	3.64
$ t_s + t_H $ (ns)	1.26	1.32	1.53	1.71

¹ 负号表示建立时间的方向。建立时间位于时钟沿左侧时，定义为正；位于时钟沿右侧时，定义为负。

接口时序要求

下例说明如何计算数据源处的最佳延迟，从而在基于延迟线的模式下实现最佳采样时序：

- $f_{DCI} = 200 \text{ MHz}$
- 延迟设置 = 0

图36中的阴影区域是设置为0的接口建立和保持时间。为了优化接口时序，必须将此窗口置于数据跃迁的中点。输入为双倍数据速率，因而可用的数据周期为2.5 ns。相对于数据源处的DCI，最佳数据总线延迟可计算如下：

$$t_{DELAY} = \frac{(|t_s| + |t_H|)}{2} - \frac{t_{DATA PERIOD}}{2} = 1.88 - 1.25 = 0.63 \text{ ns}$$

使能基于延迟线的模式的SPI序列

要使能基于延迟线的模式，建议使用以下SPI序列：

1. 0x79 → 0x18 /* Configure Data Interface */
2. 0x5E → 0x00 /* Delay setting 0 */ / 0x5F → 0x00
3. 0x5F[3] → 1b /* Enable the delay line */

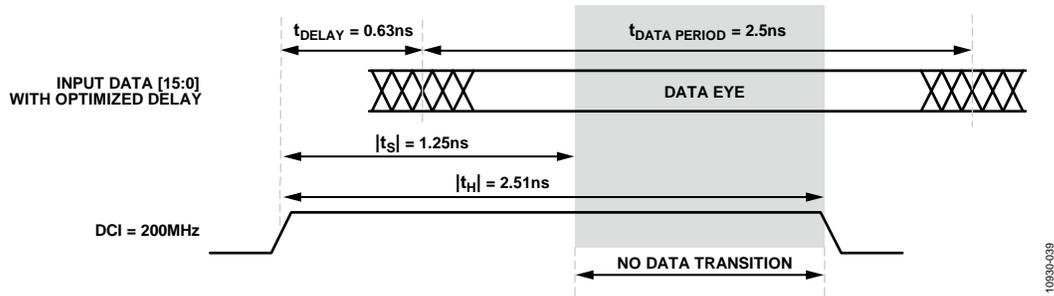


图36. 基于延迟线的模式中的接口时序示例

FIFO复位

器件上电时，读指针和写指针开始从任意槽在FIFO中周转，因此FIFO深度是未知的。为避免同时对相同的FIFO地址执行读取和写入，以及确保从上电到掉电的流水线延迟固定，每次器件上电或唤醒时，必须将FIFO指针复位到已知状态。此状态在请求的FIFO水平中指定(FIFO深度和FIFO水平在本文中可换用)，包括两个部分：整数FIFO水平和小数FIFO水平。

整数FIFO水平表示读取点和写入点之间的状态差，单位为输入数据周期($1/f_{DATA}$)。小数FIFO水平表示比输入数据周期小的FIFO指针之差。小数FIFO水平的分辨率为输入数据周期除以插值比，因此等于一个DACCLK周期。

确切的FIFO水平，也就是FIFO延迟，可通过下式计算：

$$\text{FIFO延迟} = \text{整数水平} + \text{小数水平}$$

由于FIFO有8个数据槽，因此存在8个可能的FIFO整数水平。AD9142支持的最大插值率为8倍插值。因此，可能的FIFO小数水平也有8个。寄存器0x23中的两个3位寄存器分别表示整数水平和小数水平：位[6:4]表示FIFO整数水平；位[2:0]表示FIFO小数水平。例如，如果插值率为4倍，要求的总FIFO深度为4.5输入数据周期，则应将FIFO_LEVEL_CONFIG(寄存器0x23)设置为0x42(4表示4个数据周期，2表示2个DAC周期，它是数据周期的一半)。注意，在4倍插值情况下，可能的小数水平有4个。表14显示了在不同插值率模式下配置所需FIFO水平的其它例子。

表14. FIFO水平配置示例

插值率	FIFO水平示例 ($1/f_{DATA}$)	整数水平 (寄存器0x23[6:4])	小数水平 (寄存器0x23[2:0])
2x	$3 + 1/2$	3	1
4x	$4 + 1/4$	4	1
8x	$4 + 3/8$	4	3

FIFO水平默认为4.0。可以将它设置为0.0到7.x之间的任意允许值。x的最大允许值是插值率减去1。例如，在8倍插值下，x的最大允许值为7。

可使用下面两种方法来复位FIFO并初始化FIFO水平：

- 串行端口(SPI)启动的FIFO复位。
- 帧启动的FIFO复位。

串行端口启动的FIFO复位

SPI启动的FIFO复位是最常用的FIFO复位方法。要通过串行端口初始化FIFO水平，FIFO_SPI_RESET_REQUEST(寄存器0x25[0])应从0变为1，再变回0。完成对此寄存器的写操作后，FIFO水平初始化到请求的FIFO水平，FIFO_SPI_RESET_ACK(寄存器0x25[1])回读值设为1。FIFO水平回读与FIFO水平请求格式相同，且应在请求水平的 ± 1 DACCLK周期内。例如，在4倍插值下，如果请求的值为0x40，则回读值应为下列值之一：0x33、0x40或0x41。 ± 1 DACCLK周期范围表示在不启用同步的情况下从上电到上电的默认DAC延迟不确定性。

串行端口FIFO复位的推荐步骤如下：

1. 将DAC配置为所需的插值模式(寄存器0x28[1:0])。
2. 确保DACCLK和DCI在运行且时钟输入稳定。
3. 如果要求的值不是0x40，应将寄存器0x23设置为自定义值。
4. 将寄存器0x25[0]置1，以请求复位FIFO水平。
5. 将寄存器0x25[1]置1，验证器件已对该请求做出应答。
6. 将寄存器0x25[0]置0，以撤除该请求。
7. 将寄存器0x25[1]置0，验证器件已撤销应答信号。
8. 多次回读寄存器0x24，验证实际FIFO水平已设置到请求的水平，且回读值稳定。设计保证回读值应在请求水平的 ± 1 DACCLK范围内。

帧启动的FIFO复位

帧输入有两种功能，一种功能是在字节接口模式下指示字节流的开始位置，如“数据接口”部分所述；另一种功能是在至少将完整数据载入I和Q DAC所需的时间段内将帧信号置位高电平，从而初始化FIFO水平。这相当于字模式下的一个DCI周期或字节模式下的两个DCI周期。注意，当仅用来组装字节流时，帧脉冲长度的这一要求比帧信号要长。该器件支持连续帧或一次性帧信号。

在连续复位模式下，FIFO会对每个有效帧脉冲做出响应并复位自身。在一次性复位模式下，FIFO仅对FRAME_RESET_MODE位(寄存器0x22[1:0])设置之后的第一个有效帧脉冲做出响应。因此，即使是连续帧输入，FIFO也仅复位一次，防止FIFO在周期性复位后的两个状态之间来回切换。一次性帧复位模式是默认的推荐模式。

帧启动的FIFO复位的推荐步骤如下：

1. 将DAC配置为所需的插值模式(寄存器0x28[1:0])。
2. 确保DACCLK和DCI在运行且时钟输入稳定。
3. 如果要求的值不是0x40，应将寄存器0x23设置为自定义值。
4. 将FRAME_RESET_MODE位(寄存器0x22[1:0])设置为00b。
5. 将0或1写入EN_CON_FRAME_RESET(寄存器0x22[2])，选择连续模式或单次模式。
6. 将帧输入从0变为1，然后变回0。脉冲宽度必须长于最低要求。
 - a. 如果帧输入是一个连续时钟，应开启该信号。
7. 回读FRAME_RESET_ACK(寄存器0x22[3])，验证复位已完成。
8. 多次回读寄存器0x24，验证实际FIFO水平已设置到请求的水平，且回读值稳定。设计保证回读值应在请求水平的 ± 1 DACCLK范围内。

FIFO状态监控

实时FIFO状态可通过SPI寄存器0x24监视，它反映FIFO复位后的实时FIFO深度。如果系统中无时序漂移，此回读值应保持FIFO复位后的值。若有时序漂移或其它异常定时情况，FIFO水平回读值可能会改变。然而，只要FIFO不上溢或下溢，数据传输就不会出错。寄存器0x06中的状态位[2:0]指示是否存在FIFO下溢、上溢或类似情况。可将这三个位的状态锁存起来，用于触发硬件中断 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 。要使能锁存和中断，应配置寄存器0x03和寄存器0x04中的相应位。

数字数据路径

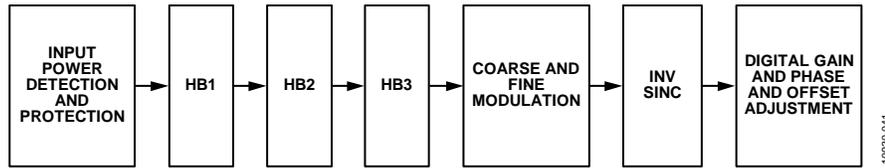


图38. 数字数据路径框图

图38显示了数字数据路径的功能框图。数字处理包括：

- 输入功率检测模块
- 三个半带插值滤波器
- 一个正交调制器，包括一个高分辨率NCO和一个 $f_s/4$ 粗调制模块
- 一个反sinc滤波器
- 一个增益、相位和失调调整模块

插值滤波器接受I和Q数据流，并将它们当作两个独立的数据流进行处理，而正交调制器和相位调整模块则是将I和Q数据流当作一个正交数据流进行处理。因此，使用数字调制和相位调整功能时，需要正交输入数据。

插值滤波器

发射路径包括三个插值滤波器，各插值滤波器都将输出数据速率提高2倍并执行低通滤波。半带(HB)滤波器以级联方式提供4倍或8倍的插值比。

AD9142提供三种插值模式(参见表6)。各种工作提供不同的可用信号带宽。模式选择取决于所需的信号带宽和DAC更新速率。表6给出了各种插值模式的最大速度和信号带宽。

可用带宽定义为滤波器通带纹波小于 ± 0.001 dB且阻带抑制大于85 dB的频率范围。

2倍插值模式

图39和图40显示了2倍模式的通带和全带滤波器响应。注意，从过渡带到阻带的过渡远远比从通带到过渡带的过渡激烈。因此，当所需的输出信号不在规定的通带以内时，由于通带平坦度下降，理应由阻带抑制的信号镜像的上升速度将快于信号本身的下降速度。如果镜像抑制性能的下降幅度可以接受，或者可通过DAC输出端的模拟低通滤波器进行补偿，则可以让输出信号超过指定的可用信号带宽。

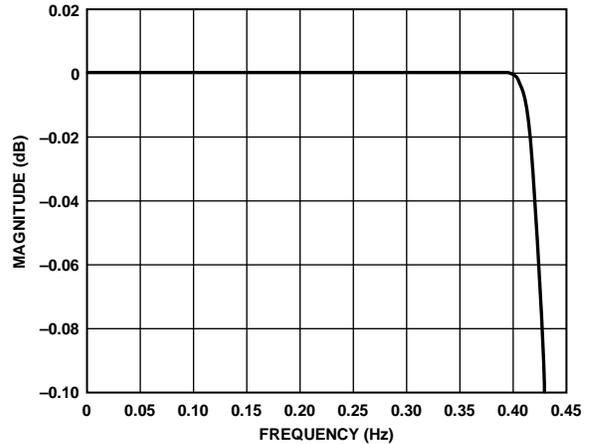


图39. 2倍模式的通带详情

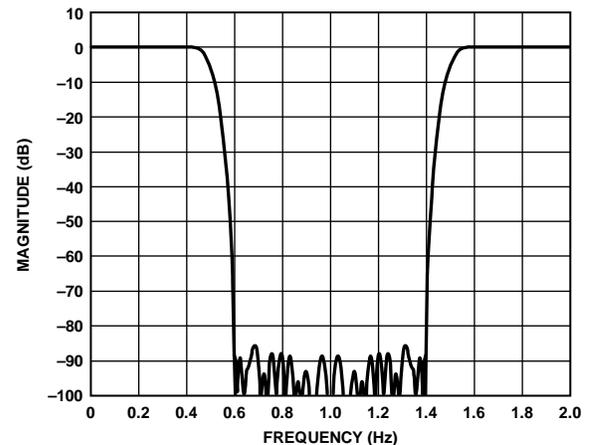


图40. 2倍模式的全带响应

4倍插值模式

图41和图42显示了4倍模式的通带和全带滤波器响应。

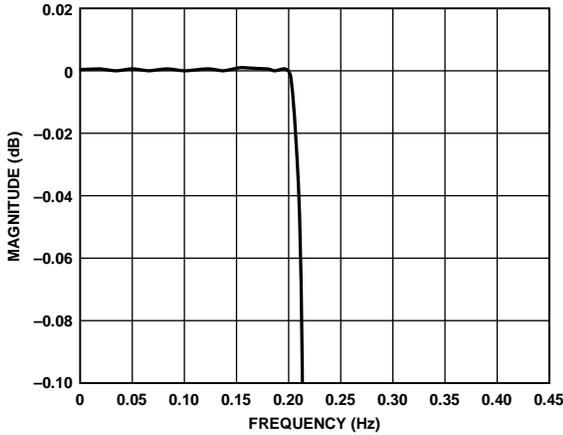


图41. 4倍模式的通带详情

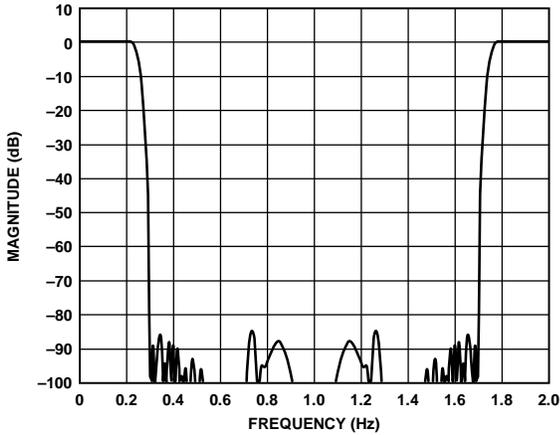


图42. 4倍模式的全带响应

8倍插值模式

图43和图44显示了8倍模式的通带和全带滤波器响应。
DAC最大更新速率为1.6 GHz，此模式支持的最大输入数据速率为200 MHz (1.6 GHz/8)。

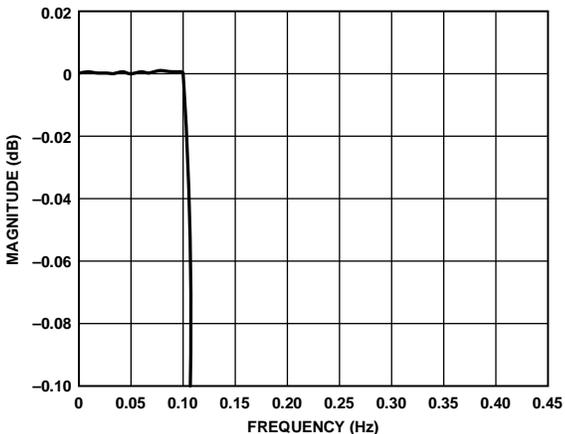


图43. 8倍模式的通带详情

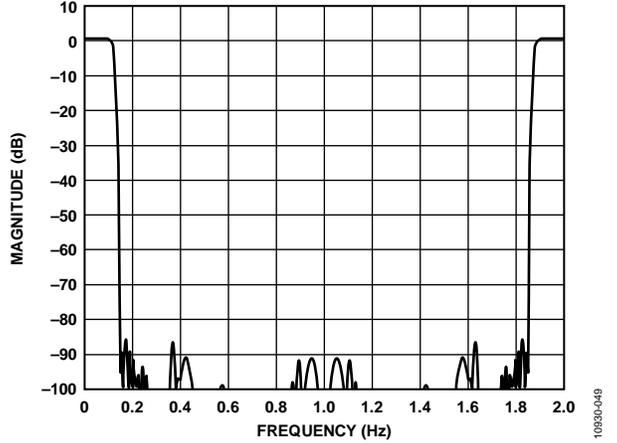


图44. 8倍模式的全带响应

表15. 半带滤波器1系数

低系数	高系数	整数值
H(1)	H(55)	-4
H(2)	H(54)	0
H(3)	H(53)	+13
H(4)	H(52)	0
H(5)	H(51)	-32
H(6)	H(50)	0
H(7)	H(49)	+69
H(8)	H(48)	0
H(9)	H(47)	-134
H(10)	H(46)	0
H(11)	H(45)	+239
H(12)	H(44)	0
H(13)	H(43)	-401
H(14)	H(42)	0
H(15)	H(41)	+642
H(16)	H(40)	0
H(17)	H(39)	-994
H(18)	H(38)	0
H(19)	H(37)	+1512
H(20)	H(36)	0
H(21)	H(35)	-2307
H(22)	H(34)	0
H(23)	H(33)	+3665
H(24)	H(32)	0
H(25)	H(31)	-6638
H(26)	H(30)	0
H(27)	H(29)	+20,754
H(28)		+32,768

表16. 半带滤波器2系数

低系数	高系数	整数值
H(1)	H(23)	-2
H(2)	H(22)	0
H(3)	H(21)	+17
H(4)	H(20)	0
H(5)	H(19)	-75
H(6)	H(18)	0
H(7)	H(17)	+238
H(8)	H(16)	0
H(9)	H(15)	-660
H(10)	H(14)	0
H(11)	H(13)	+2530
H(12)		+4096

表17. 半带滤波器3系数

低系数	高系数	整数值
H(1)	H(11)	+29
H(2)	H(10)	0
H(3)	H(9)	-214
H(4)	H(8)	0
H(5)	H(7)	+1209
H(6)		+2048

数字调制

AD9142提供两种模式来将基带正交信号调制到所需的DAC输出频率。

- 粗调制($f_s/4$)
- 精调制(NCO)

$f_s/4$ 调制

$f_s/4$ 调制是一种方便的低功耗调制模式，可将输入基带频率转换为固定的 $f_s/4$ IF频率，其中 f_s 是DAC采样速率。当需要此频率以外的调制频率时，必须使用NCO调制模式。

NCO调制

NCO调制模式利用数字控制振荡器(NCO)、移相器和复数调制器，通过一个可编程载波信号调制输入信号。图45给出了数字调制器的框图。NCO调制允许以极高的频率分辨率将DAC输出信号置于输出频谱中的任何地方。

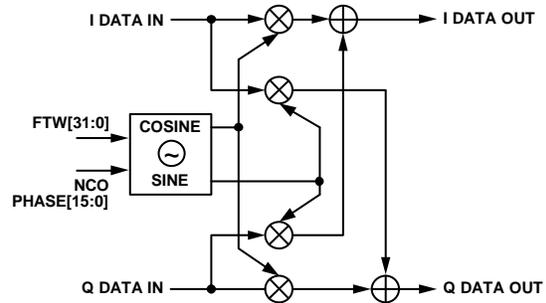


图45. NCO调制器功能框图

NCO调制器将NCO产生的载波信号与I和Q信号混频。NCO产生一个正交载波信号，以将输入信号转换到新的中心频率。复载波信号是一对相同频率的正弦波形，彼此错相90度。复载波信号的频率通过寄存器0x31至0x34的NCO_FREQ_TUNING_WORD[31:0]设置。

NCO工作频率 f_{NCO} 始终等于DACCLK频率 f_{DAC} 。复载波信号的频率设置范围是DC至 $\pm 0.5 \times f_{NCO}$ 。

频率调谐字(FTW)为二进制补码格式，其计算公式如下：

$$-\frac{f_{DAC}}{2} \leq f_{CARRIER} \leq \frac{f_{DAC}}{2}$$

$$FTW = \frac{f_{CARRIER}}{f_{DAC}} \times (2^{32}) (f_{CARRIER} \geq 0)$$

$$FTW = (1 - \frac{|f_{CARRIER}|}{f_{DAC}}) \times (2^{32}) (f_{CARRIER} < 0)$$

所产生的正交载波信号与I和Q数据混频。然后，正交积相加并进入I和Q数据路径，如图45所示。

更新频率调谐字

与其它配置寄存器不同，频率调谐字寄存器不是在写入后立即更新。与FIFO复位相似，NCO更新可以通过两种方式触发：

- SPI启动的更新
- 帧启动的更新

SPI启动的更新

对于SPI启动的更新方法，用户只需在配置NCO设置后反转寄存器0x30[0] (NCO_SPI_UPDATE_REQ)。NCO在此位的上升沿(从0变为1)更新。当NCO更新时，寄存器0x30[1] (NCO_SPI_UPDATE_ACK)变为高电平。寄存器0x30[0]的下降沿(从1变为0)将寄存器0x30的位1清0，使NCO准备好进行下一次更新操作。当不要求多个器件的DAC输出对齐时，推荐使用这种更新方法，因为SPI对多个器件的写操作是异步的。

帧启动的更新

在NCO开启的情况下，当多个器件的DAC输出需要精密对齐时，推荐使用帧启动的更新方法。这种方法中，多个器件的NCO在帧信号的上升沿同时更新。要使用这种更新方法，需要设置NCO或FIFO与NCO的FRAME_RESET_MODE(寄存器0x22[1:0])，取决于是否需要同时复位FIFO。第二步是确保复位模式是单次模式(EN_CON_FRAME_RESET，寄存器0x22[2]=0)。完成第二步后，NCO等待有效的帧脉冲，然后相应地更新FTW。用户可以通过读取寄存器0x30[6] (NCO_FRAME_UPDATE_ACK)来验证是否正确接收到帧脉冲，1表示更新操作完成。有关产生有效帧脉冲的信息，参见“FIFO操作”部分。

数据路径配置

配置AD9142数据路径从以下四个参数开始：

- 应用要求的输入数据速率
- 插值比
- 输出信号载波频率
- 输出信号带宽

知道这四个参数之后，配置数据路径的第一步是检查器件是否支持所需的输入数据速率、DAC采样速率和带宽要求。第二步是选择插值滤波器的模式。如果输出信号中心频率不同于基带输入中心频率，则应确定额外频率偏移要求，并与片内数字调制一起应用。

数字正交增益和相位调整

DAC I/Q输出、正交调制器I/Q基带输入、DAC/调制器接口I/Q路径之间的模拟不匹配会导致I和Q路径的增益和相位不平衡，利用数字正交增益和相位调制功能可以补偿这种不平衡。不良的不平衡会导致能量显著的干扰边带信号出

现在正交调制器输出端。通过调节正交增益和相位调整值，可以优化单边带无线电台的镜像抑制性能。

正交增益调整

通常情况下，I与Q通道具有相同的增益或信号幅度。正交增益调整可以平衡I与Q通道之间的增益。I和Q通道的数字增益可以通过两个6位寄存器——IDAC_GAIN_ADJ(寄存器0x3F[5:0])和QDAC_GAIN_ADJ(寄存器0x40[5:0])独立调整。调整范围是[0, 2]或 $[-\infty, 6 \text{ dB}]$ ，步长为2-5 (-30 dB)。默认设置为0x20，对应于1或0 dB的增益。

正交相位调整

通常情况下，I与Q通道之间的角度恰好为90度。正交相位调整可以改变I与Q通道之间的角度。IQ_PHASE_ADJ[12:0] (寄存器0x37和寄存器0x38)提供 ± 14 度的调整范围，分辨率为0.0035度。如果原始角度恰好为90度，设置IQ_PHASE_ADJ[12:0]为0x0FFF将在I和Q DAC输出之间增加大约14度，使得两个通道之间的角度变为104度。同样，如果原始角度恰好为90度，设置IQ_PHASE_ADJ[12:0]为0x1000将在I和Q DAC输出之间增加大约-14度，使得两个通道之间的角度变为76度。

直流失调调整

通过调整两个16位寄存器——IDAC_DC_OFFSET位[15:0]和QDAC_DC_OFFSET位[15:0] (寄存器0x3B至0x3E)，可以独立控制I数据路径和Q数据路径的直流值。这些值直接增加到数据路径值上。应注意不要超过发射值的范围。

如图46所示，DAC失调电流随I/QDAC_DC_OFFSET值而变化。图46显示了当数字输入固定在中间电平(0x0000，二进制补码数据格式)且DAC失调值从0x0000逐步变到0xFFFF时，DAC输出的正节点的标称电流I_{OUP}T。I_{OUP}T和I_{OUP}TN是互补电流输出，因此二者之和始终是20 mA。

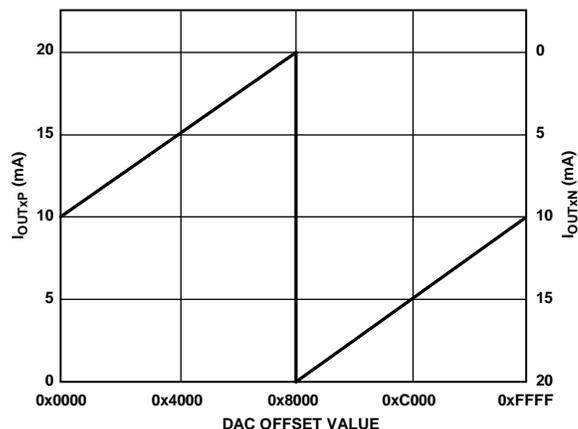


图46. DAC输出电流与DAC失调值的关系

反Sinc滤波器

AD9142提供一个数字反sinc滤波器来补偿DAC随频率的滚降。反sinc (sinc^{-1})滤波器是一个七抽头FIR滤波器。图47显示了 $\sin(x)/x$ 滚降、反sinc滤波器的频率响应及其复合响应。在最高 $0.4 \times f_{\text{DAC}}$ 的频率范围内，复合响应的通带纹波小于 ± 0.05 dB。

为在通带的上端提供必要的峰化，反sinc滤波器具有约3.8 dB的内在插入损耗。通过提高I和Q数据路径的正交增益调整设置，以将对输出信噪比的影响降至最低，可以抵消数字增益的损失。然而，必须确保额外的数字增益不会引起信号饱和，特别是在高输出频率时。 sinc^{-1} 滤波器默认禁用，通过设置INVSINC_ENABLE位为1(寄存器0x27[7])可以使能。

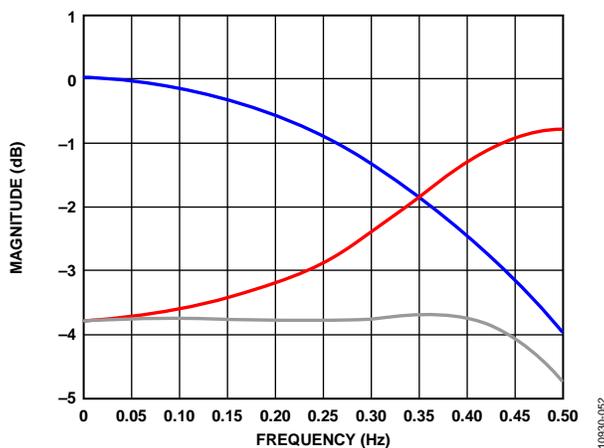


图47. $\sin(x)/x$ 滚降的响应(蓝色)、 Sinc^{-1} 滤波器的响应(红色)及二者的复合响应(黑色)

表18. 反Sinc滤波器

低系数	高系数	整数值
H(1)	H(7)	-1
H(2)	H(6)	+4
H(3)	H(5)	-16
H(4)		+192

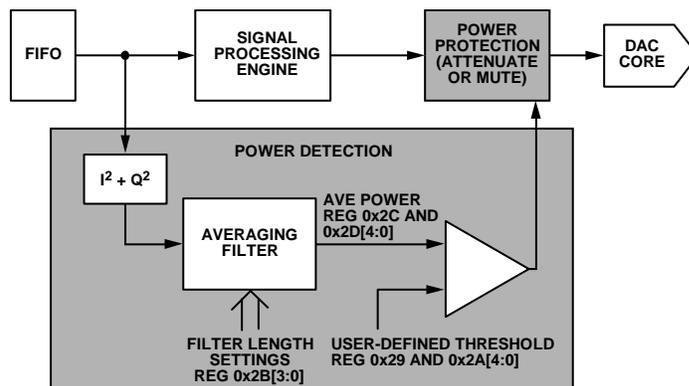


图48. 输入信号功率检测和保护功能的框图

输入信号功率检测和保护

输入信号功率检测和保护功能用于检测DAC输入信号的平均功率，防止超范围信号被传送到下一级。超范围DAC输出信号可能会损坏功率放大器等对电源敏感的器件。AD9142的功率检测和保护特性可检测DAC中的超范围信号。检测到超范围信号时，保护功能将衰减或静音该信号，以保护下游器件不受信号中的异常功率电涌影响。

图48显示了功率检测和保护功能的框图。保护模块位于数据路径的最后一级，检测模块使用不同于数据路径的独立路径。检测模块的设计保证最差情况下的功率检测延迟短于数据路径的延迟，从而确保保护电路在超范围信号到达模拟DAC内核之前启动。 I^2 和 Q^2 之和表示输入信号功率。计算仅使用数据样本6个高位MSB(D[15:10])，因此不会检测功率比满量程峰值功率低36 dB的样本。计算的样本功率值通过一个移动平均滤波器累计。其输出是一定数量的数据时钟周期内的输入信号功率的平均值。该滤波器的长度可通过SAMPLE_WINDOW_LENGTH(寄存器0x2B[3:0])配置。为了确定输入平均功率是否超范围，器件在滤波器中求取样本功率的平均值，并与用户定义的平均功率阈值OVER_THRESHOLD_LEVEL[11:0](寄存器0x29和0x2A)进行比较。当均值滤波器的输出大于阈值时，DAC输出将被衰减或静音。

滤波器的适当长度和有效保护所需的平均功率阈值取决于应用。建议利用实际矢量进行实验来确定这些参数的值。

发射使能功能

发射使能(TXEN)功能为用户提供了DAC输出的硬件开关。该功能通过引脚6(TXEN)接受一个CMOS信号。当检测到该信号为高电平时,发射路径使能,DAC正常发射数据。当检测到该信号为低电平时,将触发DAC输出相关的三个操作之一。

1. DAC输出从满量程增益逐步衰减到0。衰减步长在寄存器0x42[5:0]中设置。
2. DAC置于休眠模式,输出电流关闭。这种模式下,DAC的其它部分仍然运行。
3. DAC置于掉电模式。这种模式下,不仅DAC输出电流关闭,DAC的其余部分也关断。当不发射数据时,这可以将DAC的功耗降至最低,但与前两种模式相比,由于存在器件上电时间,重新开始发射数据所需的时间略长。

TXEN功能还提供一个增益斜坡上升功能,当TXEN信号从低电平变为高电平时,它允许用户逐步开启DAC输出。斜坡上升增益步进可以利用寄存器0x41[5:0]配置。虽然所有这些操作都可以通过SPI写操作执行,但TXEN提供了一种快得多的方法来开启和关闭DAC输出。SPI写命令的响应时间主要由SPI端口通信时间决定。当用户需要非常快速地关闭DAC时,此功能很有用。

数字功能配置

各数字增益和相位调整功能以及反sinc滤波器均可以独立使能和调整。使能和禁用两种情况下,这些模块给数据路径增加的流水线延迟是不同的。如果操作期间需要固定的DAC流水线延迟,应在完成初始配置后,让这些功能始终开启或关闭。

数字直流调整功能始终开启,默认值为0,也就是说没有额外的直流失调。此模块增加的流水线延迟是常数,无论直流失调为何值。

使用和不使用输入信号功率检测与保护功能时,延迟也不同。因此,为使整体延迟不变,应在完成初始配置后,让此功能始终开启或关闭。

多器件同步和固定延迟

DAC会给系统带来流水线延迟差异，延迟差异导致每次上电时DAC输出的相位不同。因此，即使采用精密对齐的时钟和数字输入，不同DAC器件的输出也可能不是完全对齐。多个DAC输出之间的偏斜随着每次上电而不同。

在发射分集或数字预失真等需要确定延迟的应用中，必须使流水线延迟的差异最小化。在本文档中，确定延迟是指DAC每次上电后从数字输入到模拟输出的时间延迟是固定的。对于多个DAC器件，如果各DAC每次上电时具有相同的恒定延迟，则认为这些器件彼此同步。在所有准备同步的器件中，下列三个条件必须相同才能认为这些器件同步：

- DAC内部时钟的相位
- FIFO水平
- 输入数据对齐

极小的固有延迟差异

AD9142的创新架构极大地降低了固有延迟差异。AD9142的最差情况差异是2个DAC时钟周期。例如，对于1.5 GHz采样速率，任何情况下的差异均小于1.4 ns。因此，无需开启同步引擎，便可保证多个AD9142器件的DAC输出的对齐精度在2个DAC时钟周期范围内，无论DCI与DACCLK之间是何时序。实现此精度无需额外的时钟。启动时，用户必须通过SPI复位每个DAC器件的FIFO。因此，AD9142可以降低多发射通道应用中系统设计的复杂度。

注意，设计中DCI信号要对齐。DCI用作AD9142设计的参考，用于对齐多个器件中的FIFO和内部时钟的相位。所实现的DAC输出对齐精度取决于DCI在各器件输入端的对齐精度。通过以下公式可计算DCI不匹配情况下的最差情况DAC输出对齐精度。

$$t_{SK(OUT)} = t_{SK(DCI)} + 2/f_{DAC}$$

其中：

$t_{SK(OUT)}$ 是两个AD9142器件的DAC输出之间的最差情况偏斜。

$t_{SK(DCI)}$ 是两个AD9142器件的DCI输入端的两个DCI之间的偏斜。

f_{DAC} 是DACCLK频率。

DCI对齐得越好，两个DAC输出之间的总偏斜越小。

进一步降低延迟差异

对于要求更高同步精度(DAC延迟差异小于2个DAC时钟周期)的应用，AD9142可以使多个器件彼此同步的精度在1个DAC时钟周期范围内。

为进一步降低DAC的延迟差异，需要开启同步机，并在系统中产生两个外部时钟(帧和同步)提供给所有DAC器件。

建立和保持时序要求

同步时钟(f_{SYNC})作为系统的参考时钟，可同时复位多个AD9142器件的时钟产生电路。在DAC内部，同步时钟由DACCLK采样，产生一个用于对齐内部时钟的参考点，因此同步时钟与DAC时钟之间存在建立和保持时序要求。

如果用户采用连续帧复位模式，即FIFO和同步引擎周期性复位，则必须满足同步时钟与DAC时钟之间的时序要求。否则，器件可能失锁，损坏输出。在单次帧复位模式下，当执行同步程序时，仍然建议满足这一时序要求，因为若不满足，同步对齐精度可能降低1个DAC周期，如表19所示。

如果用户希望以单次方式同步器件，然后连续监控同步状态，则可以使用AD9142的同步监控模式。它提供一个连续同步和帧时钟，将器件同步一次，检测到第一个有效帧脉冲后便忽略时钟周期。这样，用户无需周期性复位器件便可监控同步状态。要启用同步监控模式，应将寄存器0x22[1:0] (FRAME_RESET_MODE)设为11b。

表19. 同步时钟和DAC时钟的建立和保持时间

下降沿同步时序(默认)	最大值	单位
t_s (ns)	246	ps
t_H (ns)	-11	ps
$ t_s + t_H $ (ns)	235	ps

同步实现

AD9142允许用户选择在DAC时钟的上升沿或下降沿对同步时钟进行采样，从而更容易满足时序要求。同步时钟 f_{SYNC} 应等于 $1/8 \times f_{\text{DATA}}$ 或慢2n倍，其中n为整数(1, 2, 3...)。注意，由于同步时钟接收器具有交流耦合特性，同步时钟的最慢速率存在一个限制。应当正确选择交流耦合电容的值，确保信号摆幅达到数据手册中的要求(如表2所示)。

帧时钟复位多个AD9142器件的FIFO。帧时钟可以是单次时钟或连续时钟。无论何种情况，帧的脉冲宽度必须长于1个DCI周期(字模式)或2个DCI周期(字节模式)。当帧时钟为连续时钟时， f_{FRAME} 应等于 $1/8 \times f_{\text{DATA}}$ 或慢2n倍，其中n为整数(1, 2, 3...)。表20列出了不同条件下帧时钟的要求。

表20. 帧时钟速度和脉冲宽度要求

同步时钟	最大速度	最小脉冲宽度
单次	N/A ¹	无论单次还是连续同步时钟，
连续	$f_{\text{DATA}}/8$	字模式 = 1个DCI周期，字节模式 = 2个DCI周期。

¹ N/A表示不适用。

同步程序

当应用的同步精度低于2个DAC时钟周期时，建议关闭同步机，因为除了常规启动步骤序列之外，不需要其它步骤。

对于要求同步精度高于2个DAC时钟周期的应用，建议采用“PLL关闭时的同步程序”或“PLL开启时的同步程序”部分中的步骤来设置系统和配置器件。有关AD9142同步方案和使用同步功能来校正系统偏斜与漂移的更多信息，参见“DAC延迟和系统偏斜”部分。

PLL关闭时的同步程序

- 配置DAC插值模式；如果使用NCO，还应配置NCO FTW。
- 根据“数据接口”部分所述的程序设置DAC数据接口，并验证DLL已锁定。
- 通过FRAME_RESET_MODE选择合适的模式。
 - 如果不使用NCO，应选择仅FIFO模式。
 - 如果使用NCO，它必须同步，因而可使用FIFO和NCO模式。
- 配置寄存器0x22的位2为连续或单次复位模式。建议使用单次复位模式。
- 确保所有AD9142器件的DACCLK、DCI和同步时钟均在运行且稳定。
- 将1写入寄存器0x21[0]，使能同步引擎。
- 向所有AD9142器件发送有效帧脉冲。
- 回读寄存器0x22[3]，验证各器件均接收到帧脉冲。所有回读值都是1。此时，所有器件处于同步状态。

PLL开启时的同步程序

注意，由于同步时钟和PLL参考时钟采用同一时钟，且最大同步时钟速率为 $f_{\text{DATA}}/8$ ，因此同样的限制也适用于参考时钟。故而，PLL开启时的同步仅支持2倍插值模式。

- 根据“时钟倍频”部分所述的程序设置PLL，并确保PLL已锁定。
- 配置DAC插值模式；如果使用NCO，还应配置NCO FTW。
- 根据“数据接口”部分所述的程序设置DAC数据接口，并验证DLL已锁定。
- 通过FRAME_RESET_MODE选择合适的模式。
 - 如果不使用NCO，应选择仅FIFO模式。
 - 如果使用NCO，它必须同步，因而可使用FIFO和NCO模式。
- 配置寄存器0x22的位2为连续或单次复位模式。建议使用单次复位模式。
- 确保所有AD9142器件的DACCLK、DCI和同步时钟均在运行。
- 将1写入寄存器0x21[0]，使能同步引擎。
- 向所有AD9142器件发送有效帧脉冲。
- 回读寄存器0x22[3]，验证各器件均接收到帧脉冲。所有回读值都是1。此时，所有器件处于同步状态。

中断请求操作

AD9142通过引脚50和51提供中断请求输出信号(分别为IRQ2和IRQ1), 可用来在发生重要器件事件时通知外部主机处理器。中断置位时, 应查询器件以确定到底发生了何种事件。 $\overline{\text{IRQ1}}$ 引脚是一个开漏、低电平有效输出。应在器件外部拉高 $\overline{\text{IRQ1}}$ 引脚。此引脚可以连接到其它器件的开漏输出中断引脚, 使这些引脚形成线或连接。

该器件向外部提供了10个不同的事件标志, 这些标志位于两个事件标志寄存器(寄存器0x05和寄存器0x06)中。各事件标志的行为可以通过中断使能寄存器(寄存器0x03和寄存器0x04)来单独选择。当标志中断使能激活时, 事件标志锁存并触发外部中断。当标志中断禁用时, 事件标志监控源信号, 而 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 引脚处于无效状态。

中断工作机制

图49显示了中断相关电路及事件标志信号如何传播到 $\overline{\text{IRQx}}$ 输出。INTERRUPT_ENABLE信号代表中断使能寄存器中的一位。EVENT_FLAG_SOURCE信号代表事件标志寄存器中的一位。EVENT_FLAG信号代表可以监控的一个器件信号, 例如来自PLL鉴相器的PLL_LOCK信号或来自FIFO控制器的FIFO_WARNING_1信号等。

当一个中断使能位变为高电平时, 相应的事件标志位反映EVENT_FLAG_SOURCE信号的正触发状态, 即事件标志位在EVENT_FLAG_SOURCE信号的上升沿锁存。该信号也会置位外部 $\overline{\text{IRQ}}$ 引脚。

当一个中断使能位变为低电平时, 事件标志位反映EVENT_FLAG_SOURCE信号的当前状态, 而事件标志对外部 $\overline{\text{IRQ}}$ 引脚无影响。

事件标志的锁存版本(INTERRUPT_SOURCE信号)可通过两种方式予以清除。推荐方法是将1写入到相应的事件标志

位。第二种方法是利用硬件或软件复位来清除INTERRUPT_SOURCE信号。

$\overline{\text{IRQ2}}$ 电路的工作方式与 $\overline{\text{IRQ1}}$ 电路相同。可以使能任何一个或多个事件标志来触发 $\overline{\text{IRQ1}}$ 和 $\overline{\text{IRQ2}}$ 引脚。对于使能的事件标志, 用户可以选择一个或两个硬件中断引脚。寄存器0x07和0x08决定各事件标志路由至哪一个引脚。寄存器0x07和寄存器0x08设置为0时, 选择 $\overline{\text{IRQ1}}$; 设置为1时, 选择 $\overline{\text{IRQ2}}$ 。

中断服务程序

中断请求管理从选择需要主机干预或监控的事件标志集开始。应当使能那些需要主机采取行动的事件, 以便在发生这些事件时能够通知主机。对于要求主机干预的事件, 在 $\overline{\text{IRQx}}$ 激活时, 应执行下述程序以清除中断请求:

1. 读取受监控的事件标志位的状态。
2. 将中断使能位设置为低电平, 以便可以直接监控未锁存的EVENT_FLAG_SOURCE。
3. 执行清除EVENT_FLAG_SOURCE可能需要的所有操作。许多情况下, 可能不需要执行任何特定操作。
4. 读取事件标志位, 以确认所采取的操作已经清除EVENT_FLAG_SOURCE。
5. 将1写入到事件标志位以清除中断。
6. 设置需监控事件的中断使能位。

注意, 有些EVENT_FLAG_SOURCE信号是锁存信号, 清除这些信号的方法是写入相应的事件标志位。有关各事件标志的更多信息, 参见“器件配置寄存器映射和描述”部分。

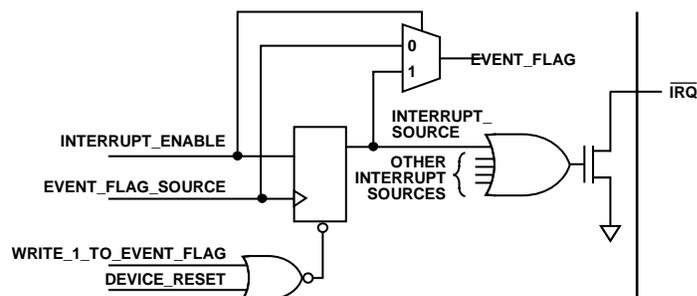


图49. $\overline{\text{IRQ}}$ 电路原理示意图

温度传感器

AD9142内置一个基于二极管的温度传感器，用于测量芯片温度。通过寄存器0x1D和寄存器0x1E可以访问温度读数。芯片温度的计算公式如下：

$$T_{DIE} = \frac{(DieTemp[15:0] - 41,237)}{106}$$

其中， T_{DIE} 为芯片温度(°C)。在+85°C至-40°C范围内，利用一个已知温度进行单点温度校准后，温度精度典型值为 $\pm 7^\circ\text{C}$ 。芯片温度与芯片温度码回读值之间的典型关系如图50所示。

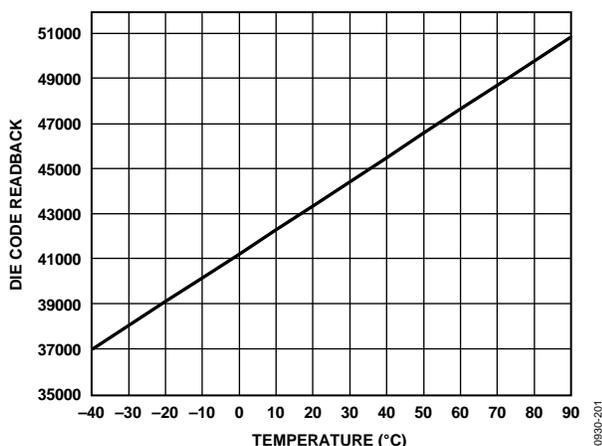


图50. 芯片温度与芯片温度码回读值的关系

如果知道器件的功耗，则可以估计环境温度。例如，假设器件功耗为800 mW，测得的芯片温度为50°C，则环境温度可以通过下式求得：

$$T_A = T_{DIE} - P_D \times \theta_{JA} = 50 - 0.8 \times 20.7 = 33.4^\circ\text{C}$$

其中：

T_A 为环境温度(°C)。

θ_{JA} 为AD9142的结至环境热阻，如表8所示。

要使用温度传感器，必须将寄存器0x1C的位0置1以使能温度传感器。此外，为了获得准确读数，应将芯片温度控制寄存器(寄存器0x1C)设置为0x03。

DAC输入时钟配置

AD9142 DAC采样时钟(DACCLK)可以直接用作时钟源,也可以在倍频后用作时钟源。时钟倍频涉及到片内锁相环(PLL)。首先,锁相环接受参考时钟,后者频率为所需DACCLK速率的约数。然后,PLL将该参考时钟倍频至所需的DACCLK频率,这样就可以利用该频率来产生DAC所需的全部内部时钟。时钟乘法器所提供的高质量时钟能够满足大部分应用的性能要求。使用片内时钟乘法器可以消除产生和分配高速DACCLK的负担。

第二种模式是旁路时钟乘法器电路,而将DACCLK直接提供给DAC内核。这种模式允许用户将极高质量的时钟直接提供给DAC内核使用。

驱动DACCLK和REFCLK输入

DACCLK和REFCLK差分输入共享类似的时钟接收器输入电路。图51给出了输入的简化电路图。片内时钟接收器具有大约10 kΩ的差分输入阻抗。它自偏置到约1.25 V的共模电压。这些输入可以采用交流耦合在时钟源与接收器之间的差分PECL或LVDS驱动器驱动。

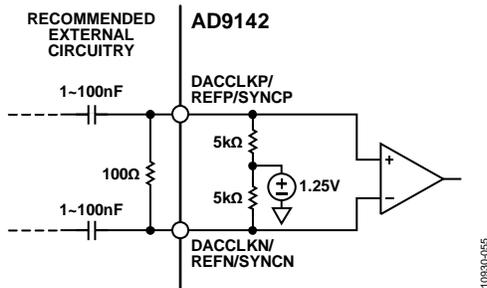


图51. 时钟接收器输入简化等效电路

至差分时钟输入的最低输入驱动电平为100 mV峰峰值差分。当时钟输入信号在800 mV峰峰值差分至1.6 V峰峰值差分之间时,性能最佳。无论使用片内时钟乘法器还是直接提供DACCLK,器件的输入时钟信号都必须具有低抖动特性和快速边沿速率,以便优化DAC噪声性能。

直接输入时钟

直接提供低噪声时钟可以使DAC输出端的噪声频谱密度降到最低。要选择差分CLK输入作为DAC采样时钟源,请将PLL使能位(寄存器0x12[7])置0。这将使内部PLL时钟乘法器掉电,并且选择来自DACCLKP和DACCLKN引脚的输入作为内部DAC的采样时钟源。REFCLK输入可以保持悬空。

该器件还具有占空比校正电路和差分输入电平校正电路。在某些情况下,使能这些电路可以改善性能。这些功能的控制位在寄存器0x10和寄存器0x11中。

时钟倍频

片内PLL时钟乘法器电路可从低频参考时钟产生DAC采样速率时钟。当PLL使能位(寄存器0x12[7])置1时,时钟乘法电路从较低速率的REFCLK输入产生DAC采样时钟, DACCLK输入保持悬空。图52显示了时钟乘法器的功能框图。

时钟乘法电路使VCO的输出频率 f_{VCO} 等于REFCLK输入信号频率乘以 $N1 \times N0$ 。 $N1$ 为环路分频器的分频比; $N0$ 为VCO分频器的分频比。

$$f_{VCO} = f_{REFCLK} \times (N1 \times N0)$$

DAC采样时钟频率 f_{DACCLK} 等于:

$$f_{DACCLK} = f_{REFCLK} \times N1$$

必须适当选择VCO的输出频率,使 f_{VCO} 始终在1.0 GHz至2.1 GHz的最佳工作范围内。还必须适当选择参考时钟的频率以及 $N1$ 和 $N0$ 的值,以便能够合成所需的DACCLK频率,并且确保VCO输出频率位于正确范围内。

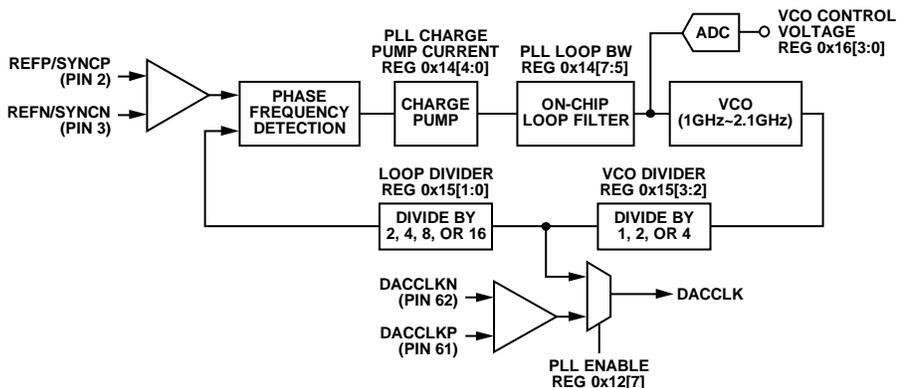


图52. PLL时钟乘法电路

PLL设置

PLL电路有三个设置需编程为标称值。表21所示的PLL值是这些参数的推荐设置。

表21. PLL设置

PLL SPI控制寄存器	寄存器地址	优化设置 (二进制)
PLL环路带宽	0x14[7:5]	111
PLL电荷泵电流	0x14[4:0]	00111
PLL交叉控制使能	0x15[4]	0

配置VCO调谐带

PLL VCO的有效工作范围大致为1.0 GHz至2.1 GHz，被64个重叠频段所覆盖。对于任何所需的VCO输出频率，可能有多个有效的PLL频段选择值。典型器件的频段如图53所示。器件间的差异和工作温度会影响实际频段的频率范围。因此，需要针对每个器件确定最佳的PLL频段选择值。

自动选择VCO频段

器件内置VCO频段自动选择功能，利用该功能配置VCO频段是一种简单而又可靠的方法。启用此功能的方法是在手动模式下启动PLL，然后将寄存器0x12设置为0xC0的值，使PLL处于频段自动选择模式，再设置为0x80的值。写入这些值后，器件执行自动程序以确定最佳VCO频段设置。

器件选择的设置可以确保PLL在-40°C至+85°C的整个工作温度范围内保持锁定，而无需做进一步调整。即使初始化时温度处于两个极端之一，PLL也能在整个温度范围内保持锁定。

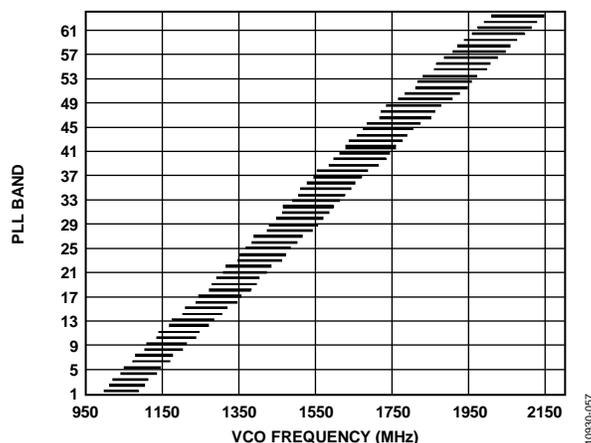


图53. 典型器件的PLL锁定范围

手动选择VCO频段

器件还提供手动频段选择模式(PLL手动使能，寄存器0x12[6] = 1)，允许用户选择VCO调谐带。在手动模式下，VCO频段直接由写入手动VCO频段位(寄存器0x12[5:0])的值设置。

PLL使能序列

要在自动或手动模式下正确使能PLL，必须执行下列步骤：

自动模式序列

1. 将环路分频器和VCO分频器寄存器配置为所需的分频比。
2. 将PLL电荷泵电流设置为00111b，并将PLL环路带宽设置为111b，以实现最佳性能。
3. 设置寄存器0x12[6] = 1b，以将PLL模式设置为手动。
4. 设置寄存器0x12[7] = 1b以使能PLL。
5. 设置寄存器0x12[6] = 0b，以将PLL模式设置为自动。
6. 设置寄存器0x12[7] = 1b以使能PLL。

手动模式

1. 将环路分频器和VCO分频器寄存器配置为所需的分频比。
2. 将PLL电荷泵电流设置为00111b，并将PLL环路带宽设置为111b，以实现最佳性能。
3. 选择所需的频段。
4. 设置寄存器0x12[6] = 1b，以将PLL模式设置为手动。
5. 设置寄存器0x12[7] = 1b以使能PLL。
6. 设置寄存器0x12[7] = 1b以再次使能PLL。

模拟输出

发射DAC操作

图54给出了发射路径DAC的示意框图。DAC内核包括电流源阵列、开关内核、数字控制逻辑和满量程输出电流控制。DAC满量程输出电流(IOUTFS)标称值为20 mA。IOUT1P/IOUT2P和IOUT1N/IOUT2N引脚的输出电流互补，即意味着这两个电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。

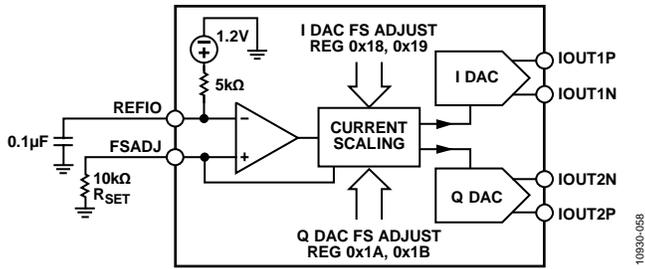


图54. DAC内核示意框图

DAC具有一个1.2 V带隙基准电压源，其输出阻抗为5 kΩ。基准输出电压出现在REFIO引脚上。使用内部基准电压源时，应使用一个0.1 μF电容将REFIO引脚去耦至AVSS。只有在外部电路吸取的直流电流为2 μA或更低时，才可针对其使用内部基准电压源。对于2 μA以上的动态负载或静态负载，应缓冲REFIO引脚。需要时，可将外部基准源(1.10 V至1.30 V)施加于REFIO引脚以过载内部基准源。

FSADJ引脚与AVSS之间必须连接一个10 kΩ的外部电阻R_{SET}。该电阻与基准电压控制放大器一同设置DAC的正确内部偏置电流。由于满量程电流与该电阻成反比，因此R_{SET}的容差会反映在满量程输出幅度中。

满量程电流的计算公式如下所示，其中Q和I DAC的增益分别通过寄存器0x40和0x44进行设置：

$$I_{FS} = \frac{V_{REF}}{R_{SET}} \times \left(72 + \left(\frac{3}{16} \times DAC \text{ gain} \right) \right)$$

使用V_{REF} (1.2 V)、R_{SET} (10 kΩ)和DAC增益(512)的标称值时，DAC的满量程电流典型值为20.16 mA。按照图55所示设置DAC增益参数时，可以在8.64 mA至31.68 mA范围内调整DAC满量程电流。

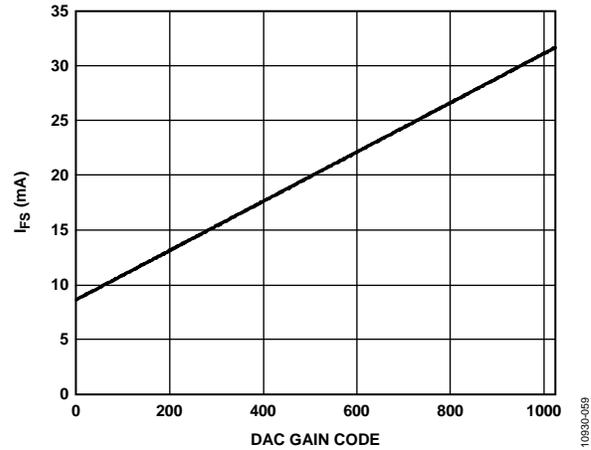


图55. DAC满量程电流与DAC增益码的关系

发射DAC传递函数

IOUT1P/IOUT2P和IOUT1N/IOUT2N引脚的输出电流互补，即意味着这两个电流之和始终等于DAC的满量程电流。DAC的数字输入码决定提供给负载的有效差分电流。当所有位均为高电平时，IOUT1P/IOUT2P提供最大输出电流。对于DAC输出，输出电流与DACCODE的关系式如下：

$$I_{OUTP} = \left[\frac{DACCODE}{2^N} \right] \times I_{OUTFS} \quad (1)$$

$$I_{OUTN} = I_{OUTFS} - I_{OUTP} \quad (2)$$

其中，DACCODE = 0至2^N - 1。

发射DAC输出配置

以差分配置工作时，AD9142可以实现最佳噪声和失真性能。变压器或差分放大器的共模抑制能够大大减少DAC输出的共模误差源，其中包括偶阶失真产物和噪声。当重构波形的频率成分增加和/或幅度提高时，失真性能的改善更加显著，其原因是对各种动态共模失真机制、数字馈通和噪声进行了一阶消除。

图56给出了最基本的DAC输出电路。一对电阻 R_O 用于将互补的各输出电流转换为差分电压输出 V_{OUT} 。DAC的电流输出为高阻态，因此DAC输出的差分驱动点阻抗 R_{OUT} 等于 $2 \times R_O$ 。图57显示了输出电压波形。

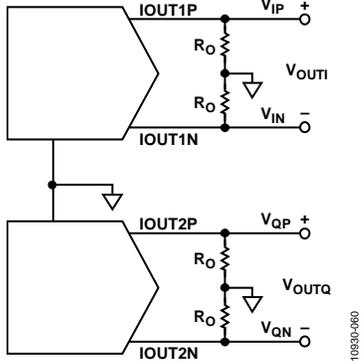


图56. 基本发射DAC输出电路

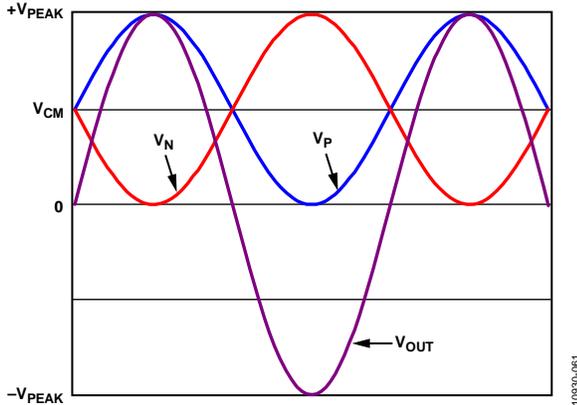


图57. 输出电压波形

共模信号电压 V_{CM} 的计算公式如下：

$$V_{CM} = \frac{I_{FS}}{2} \times R_O$$

峰值输出电压 V_{PEAK} 的计算公式如下：

$$V_{PEAK} = I_{FS} \times R_O$$

采用这种电路配置时，单端峰值电压与峰值差分输出电压相同。

与调制器接口

AD9142只需极少的元件就能与ADL537x系列调制器接口。

图58给出了一个推荐的接口电路示例。

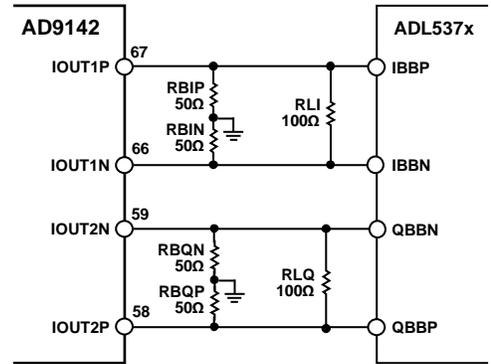


图58. AD9142与ADL537x系列调制器之间的典型接口电路

ADL537x系列的基带输入需要500 mV的直流偏置。DAC各输出端的标称中间电平输出电流为10 mA(满量程电流的一半)。因此，从DAC各输出端连接一个50 Ω电阻到地，就能获得ADL537x输入所需的500 mV直流共模偏置。增加与调制器输入端并联的负载电阻可降低信号电平。发射信号的峰峰值电压摆幅为：

$$V_{SIGNAL} = I_{FS} \times \frac{(2 \times R_B \times R_L)}{(2 \times R_B + R_L)}$$

基带滤波器实现

大多数应用要求在DAC与调制器之间放置一个基带抗镜像滤波器，以滤除奈奎斯特镜像和宽带DAC噪声。该滤波器可以安装在DAC输出端的I-V电阻与调制器输入端上的信号电平设置电阻之间，这种配置可确定该滤波器的输入和输出阻抗。

图59显示了一个五阶低通滤波器。I-V电阻与滤波器的其余部分之间防止一个共模扼流圈，用以消除DAC产生的共模信号，并防止共模信号被转换为差分信号，从而作为干扰散信号出现在输出频谱中。将第一滤波器电容一分为二，并将中心点接地，可以构建一个共模低通滤波器，用以对高频信号进行进一步的共模抑制。共模信号可以通过纯差分滤波器。

有关AD9142 DAC与IQ调制器接口的更多信息，请参阅ADI公司网站上的参考电路CN-0205——“I/Q调制器ADL5375与双通道、1.2 GSPS高速DAC AD9122实现接口”。

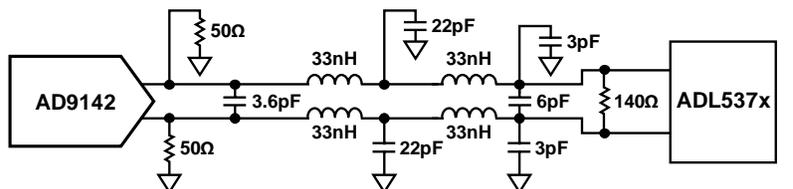


图59. DAC调制器与五阶低通滤波器接口

降低LO泄漏和干扰边带

由于I和Q基带输入存在直流失调电压，并且从本振(LO)输入到输出存在馈通路径，因此模拟正交调制器可能会引入LO频率的干扰信号。LO馈通可以利用数字直流失调调整(寄存器0x3B至寄存器0x3E)，在DAC输出端施加直流失调校正电压予以消除。

为了有效地抑制边带，I与Q信号的增益和相位均必须匹配。可以利用I/Q相位调整寄存器(寄存器0x37和寄存器

0x38)和DAC FS调整寄存器(寄存器0x18和寄存器0x1B)来校准I和Q发射路径，从而优化边带抑制性能。

有关抑制LO泄漏和边带镜像的更多信息，请参阅ADI公司网站上的[应用笔记AN-1039](#)(校正IQ调制器的缺陷以改善RF信号保真度)和[应用笔记AN-1100](#)(无线发射机IQ平衡和边带抑制)。

启动程序示例

为确保AD9142可靠地启动，必须遵循一定的步骤。本部分说明一个启动程序示例。

器件配置和启动序列

- $f_{\text{DATA}} = 200 \text{ MHz}$ ，8倍插值。
- 输入数据为基带数据。
- $f_{\text{OUT}} = 350 \text{ MHz}$ 。
- PLL使能， $f_{\text{REF}} = 200 \text{ MHz}$ 。
- 精密NCO使能，反sinc滤波器使能。
- 使用基于延迟线的模式，接口延迟设置为0。

派生的PLL设置

从器件配置可以推导出如下PLL设置：

- $f_{\text{DAC}} = 200 \times 8 = 1600 \text{ MHz}$ 。
- $f_{\text{VCO}} = f_{\text{DAC}} = 1600 \text{ MHz}$ ($1 \text{ GHz} < f_{\text{VCO}} < 2 \text{ GHz}$)。
- VCO分频器 = $f_{\text{VCO}}/f_{\text{DAC}} = 1$ 。
- 环路分频器 = $f_{\text{DAC}}/f_{\text{REF}} = 8$ 。

派生的NCO设置

从器件配置可以推导出如下NCO设置：

- $f_{\text{DAC}} = 200 \times 8 = 1600 \text{ MHz}$ 。
- $f_{\text{CARRIER}} = f_{\text{OUT}} = 350 \text{ MHz}$ 。
- $\text{FTW} = f_{\text{CARRIER}}/f_{\text{DAC}} \times 2^{32} = 0x38000000$ 。

启动序列

1. 器件上电(无需特定电源序列)。
2. 应用稳定的DAC时钟。
3. 应用稳定的DCI时钟。
4. 提供稳定的输入数据。
5. 发出硬件复位命令(可选)。

```
/* Device configuration register write
sequence. Must be written in sequence for every
device after reset*/
```

```
0x00 → 0x20 /* Issue software reset */
0x20 → 0x01 /* Device Startup Configuration */
0x79 → 0x18 /* Device Startup Configuration */
0x80 → 0xAD /* Device Startup Configuration */
0xE1 → 0x1A /* Device Startup Configuration */
```

```
/* Configure PLL */
0x14 → 0xE3 /* Configure PLL loop BW and charge
pump current */
0x15 → 0xC2 /* Configure VCO divider and Loop
divider */
0x12 → 0xC0 /*Enable the PLL */
0x12 → 0x80
```

```
/* Configure Data Interface */
0x5E → 0x00 /* Delay setting 0 */
0x5F → 0x08 /* Enable the delay line */
```

```
/* Configure Interpolation filter */
0x28 → 0x03 /* 8x interpolation */
```

```
/* Reset FIFO */
0x25 → 0x01
Read 0x25[1] /* Expect 1b if the FIFO reset is
complete */
Read 0x24 /* The readback should be one of the
three values: 0x37, 0x40, or 0x41 */
```

```
/* Configure NCO */
0x27 → 0x40 /* Enable NCO */
0x31 → 0x00
0x32 → 0x00
0x33 → 0x00
0x34 → 0x38
0x30 → 0x01
Read 0x30[1] /* Expect 1b if the NCO update is
complete */
```

```
/* Enable Inverse SINC filter */
0x27 → 0xC0
```

```
/* Power up DAC outputs */
0x01 → 0x00
```

器件配置寄存器映射和描述

表22. 器件配置寄存器映射

寄存器	名称	位	位7	位6	位5	位4	位3	位2	位1	位0	复位	RW			
0x00	Common	[7:0]	保留	SPI_LSB_FIRST	DEVICE_RESET	保留			保留		0x00	RW			
0x01	PD_CONTROL	[7:0]	PD_IDAC	PD_QDAC	PD_DATARCV	保留			PD_DEVICE	PD_DACCLK	PD_FRAME	0xC0	RW		
0x03	INTERRUPT_ENABLE0	[7:0]	保留	ENABLE_SYNC_LOST	ENABLE_SYNC_LOCKED	ENABLE_SYNC_DONE	ENABLE_PLL_LOST	ENABLE_PLL_LOCKED	ENABLE_OVER_THRESHOLD	ENABLE_DACOUT_MUTED	0x00	RW			
0x04	INTERRUPT_ENABLE1	[7:0]	保留					ENABLE_FIFO_UNDERFLOW	ENABLE_FIFO_OVERFLOW	ENABLE_FIFO_WARNING	0x00	RW			
0x05	INTERRUPT_FLAG0	[7:0]	保留	SYNC_LOST	SYNC_LOCKED	SYNC_DONE	PLL_LOST	PLL_LOCKED	OVER_THRESHOLD	DACOUT_MUTED	0x00	R			
0x06	INTERRUPT_FLAG1	[7:0]	保留					FIFO_UNDERFLOW	FIFO_OVERFLOW	FIFO_WARNING	0x00	R			
0x07	IRQ_SELO	[7:0]	保留	SEL_SYNC_LOST	SEL_SYNC_LOCKED	SEL_SYNC_DONE	SEL_PLL_LOST	SEL_PLL_LOCKED	SEL_OVER_THRESHOLD	SEL_DACOUT_MUTED	0x00	RW			
0x08	IRQ_SEL1	[7:0]	保留					SEL_FIFO_UNDERFLOW	SEL_FIFO_OVERFLOW	SEL_FIFO_WARNING	0x00	RW			
0x10	DACCLK_RECEIVER_CTRL	[7:0]	DACCLK_DUTYCYCLE_CORRECTION	保留	DACCLK_CROSSPOINT_CTRL_ENABLE	DACCLK_CROSSPOINT_LEVEL						0xFF	RW		
0x11	REFCLK_RECEIVER_CTRL	[7:0]	DUTYCYCLE_CORRECTION	保留	REFCLK_CROSSPOINT_CTRL_ENABLE	REFCLK_CROSSPOINT_LEVEL						0xBF	RW		
0x12	PLL_CTRL0	[7:0]	PLL_ENABLE	AUTO_MANUAL_SEL	PLL_MANUAL_BAND						0x00	RW			
0x14	PLL_CTRL2	[7:0]	PLL_LOOP_BW			PLL_CP_CURRENT						0xE7	RW		
0x15	PLL_CTRL3	[7:0]	DIGLOGIC_DIVIDER		保留	CROSSPOINT_CTRL_EN	VCO_DIVIDER		LOOP_DIVIDER			0xC9	RW		
0x16	PLL_STATUS0	[7:0]	PLL_LOCK	保留			VCO_CTRL_VOLTAGE_READBACK					0x00	R		
0x17	PLL_STATUS1	[7:0]	保留		PLL_BAND_READBACK						0x00	R			
0x18	IDAC_FS_ADJ0	[7:0]	IDAC_FULLSCALE_ADJUST_LSB									0xF9	RW		
0x19	IDAC_FS_ADJ1	[7:0]	保留						IDAC_FULLSCALE_ADJUST_MSB					0xE1	RW
0x1A	QDAC_FS_ADJ0	[7:0]	QDAC_FULLSCALE_ADJUST_LSB									0xF9	RW		
0x1B	QDAC_FS_ADJ1	[7:0]	保留						QDAC_FULLSCALE_ADJUST_MSB					0x01	RW
0x1C	DIE_TEMP_SENSOR_CTRL	[7:0]	保留	FS_CURRENT			REF_CURRENT			DIE_TEMP_SENSOR_EN	0x02	RW			
0x1D	DIE_TEMP_LSB	[7:0]	DIE_TEMP_LSB									0x00	R		
0x1E	DIE_TEMP_MSB	[7:0]	DIE_TEMP_MSB									0x00	R		
0x1F	CHIP_ID	[7:0]	CHIP_ID									0x0A	R		
0x20	INTERRUPT_CONFIG	[7:0]	INTERRUPT_CONFIGURATION									0x00	RW		
0x21	SYNC_CTRL	[7:0]	保留						SYNC_CLK_EDGE_SEL	SYNC_ENABLE	0x00	RW			
0x22	FRAME_RST_CTRL	[7:0]	保留				FRAME_RESET_ACK	EN_CON_FRAME_RESET	FRAME_RESET_MODE				0x12	RW	
0x23	FIFO_LEVEL_CONFIG	[7:0]	保留	INTEGRAL_FIFO_LEVEL_REQUEST			保留	FRACTIONAL_FIFO_LEVEL_REQUEST					0x40	RW	
0x24	FIFO_LEVEL_READBACK	[7:0]	保留	INTEGRAL_FIFO_LEVEL_READBACK			保留	FRACTIONAL_FIFO_LEVEL_READBACK					0x00	R	
0x25	FIFO_CTRL	[7:0]	保留						FIFO_SPI_RESET_ACK	FIFO_SPI_RESET_REQUEST	0x00	RW			
0x26	DATA_FORMAT_SEL	[7:0]	DATA_FORMAT	DATA_PAIRING	DATA_BUS_INVERT	保留				DATA_BUS_WIDTH	0x00	RW			
0x27	DATAPATH_CTRL	[7:0]	INVSINC_ENABLE	NCO_ENABLE	IQ_GAIN_ADJ_DCOFFSET_ENABLE	IQ_PHASE_ADJ_ENABLE	保留	FS4_MODULATION_ENABLE	NCO_SIDE_BAND_SEL	SEND_IDATA_TO_QDAC	0x00	RW			

0x28	INTERPOLATION_CTRL	[7:0]	保留				INTERPOLATION_MODE	0x00	RW		
0x29	OVER_THRESHOLD_CTRL0	[7:0]	THRESHOLD_LEVEL_REQUEST_LSB						0x00	RW	
0x2A	OVER_THRESHOLD_CTRL1	[7:0]	保留			THRESHOLD_LEVEL_REQUEST_MSB			0x00	RW	
0x2B	OVER_THRESHOLD_CTRL2	[7:0]	ENABLE_PROTECTION	IQ_DATA_SWAP	保留		SAMPLE_WINDOW_LENGTH		0x00	RW	
0x2C	INPUT_POWER_READBACK_LSB	[7:0]	INPUT_POWER_READBACK_LSB						0x00	R	
0x2D	INPUT_POWER_READBACK_MSB	[7:0]	保留			INPUT_POWER_READBACK_MSB			0x00	R	
0x30	NCO_CTRL	[7:0]	保留	NCO_FRAME_UPDATE_ACK	SPI_NCO_PHASE_RST_ACK	SPI_NCO_PHASE_RST_REQ	保留	NCO_SPI_UPDATE_ACK	NCO_SPI_UPDATE_REQ	0x00	RW
0x31	NCO_FREQ_TUNING_WORD0	[7:0]	NCO_FTW0						0x00	RW	
0x32	NCO_FREQ_TUNING_WORD1	[7:0]	NCO_FTW1						0x00	RW	
0x33	NCO_FREQ_TUNING_WORD2	[7:0]	NCO_FTW2						0x00	RW	
0x34	NCO_FREQ_TUNING_WORD3	[7:0]	NCO_FTW3						0x10	RW	
0x35	NCO_PHASE_OFFSET0	[7:0]	NCO_PHASE_OFFSET_LSB						0x00	RW	
0x36	NCO_PHASE_OFFSET1	[7:0]	NCO_PHASE_OFFSET_MSB						0x00	RW	
0x37	IQ_PHASE_ADJ0	[7:0]	IQ_PHASE_ADJ_LSB						0x00	RW	
0x38	IQ_PHASE_ADJ1	[7:0]	保留			IQ_PHASE_ADJ_MSB			0x000	RW	
0x3B	IDAC_DC_OFFSET0	[7:0]	IDAC_DC_OFFSET_LSB						0x00	RW	
0x3C	IDAC_DC_OFFSET1	[7:0]	IDAC_DC_OFFSET_MSB						0x00	RW	
0x3D	QDAC_DC_OFFSET0	[7:0]	QDAC_DC_OFFSET_LSB						0x00	RW	
0x3E	QDAC_DC_OFFSET1	[7:0]	QDAC_DC_OFFSET_MSB						0x00	RW	
0x3F	IDAC_GAIN_ADJ	[7:0]	保留			IDAC_GAIN_ADJ			0x20	RW	
0x40	QDAC_GAIN_ADJ	[7:0]	保留			QDAC_GAIN_ADJ			0x20	RW	
0x41	GAIN_STEP_CTRL0	[7:0]	保留			RAMP_UP_STEP			0x01	RW	
0x42	GAIN_STEP_CTRL1	[7:0]	DAC_OUTPUT_STATUS	DAC_OUTPUT_ON	RAMP_DOWN_STEP				0x01	RW	
0x43	TX_ENABLE_CTRL	[7:0]	保留				TXENABLE_GAINSTEP_EN	TXENABLE_SLEEP_EN	TXENABLE_POWER_DOWN_EN	0x07	RW
0x44	DAC_OUTPUT_CTRL	[7:0]	DAC_OUTPUT_CTRL_EN	保留		FIFO_WARNING_SHUTDOWN_EN	OVER_THRESHOLD_SHUTDOWN_EN	保留	FIFO_ERROR_SHUTDOWN_EN	0x8F	RW
0x5E	DATA_RX_CTRL0	[7:0]	DLY_TAP_LSB						0xFF	RW	
0x5F	DATA_RX_CTRL1	[7:0]	保留			DLYLINE_EN	DLY_TAP_MSB			0x07	RW
0x79	DEVICE_CONFIG0	[7:0]	DEVICE_CONFIGURATION0						0x00	RW	
0x7F	Version	[7:0]	Version						0x05	R	
0x80	DEVICE_CONFIG1	[7:0]	DEVICE_CONFIGURATION1						0x00	RW	
0xE1	DEVICE_CONFIG2	[7:0]	DEVICE_CONFIGURATION2						0x00	RW	

AD9142

SPI配置寄存器

地址：0x00；复位：0x00；名称：Common

表23. Common的位功能描述

位	位的名称	设置	描述	复位	访问类型
6	SPI_LSB_FIRST	0 1	串行端口通信，选择MSB优先还是LSB优先。 0 MSB优先。 1 LSB优先。	0x0	RW
5	DEVICE_RESET		将1写入此位时，器件复位。DEVICE_RESET是自清零位。复位后，该位自动恢复为0。回读值始终为0。	0x0	RW

掉电控制寄存器

地址：0x01；复位：0xC0；名称：PD_CONTROL

表24. PD_CONTROL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	PD_IDAC		PD_IDAC设为1时，IDAC掉电。此位仅关断IDAC的模拟部分。IDAC数字数据部分不受影响。	0x1	RW
6	PD_QDAC		PD_QDAC设为1时，QDAC掉电。此位仅关断QDAC的模拟部分。QDAC数字数据部分不受影响。	0x1	RW
5	PD_DATARCV		PD_DATARCV设为1时，数据接口电路掉电。此位用于关断数据接口和FIFO的写入侧。	0x0	RW
2	PD_DEVICE		设为1时，带隙电路掉电。此位用于关断整个芯片。	0x0	RW
1	PD_DACCLK		PD_DEVICE设为1时，DAC时钟掉电。此位用于关断DAC时钟路径，因而可关断大部分数字功能。	0x0	RW
0	PD_FRAME		PD_FRAME设为1时，帧接收器掉电。帧信号在内部被拉低。不使用帧时，应将此位设为1。	0x0	RW

中断使能0寄存器

地址：0x03；复位：0x00；名称：INTERRUPT_ENABLE0

表25. INTERRUPT_ENABLE0的位功能描述

位	位的名称	设置	描述	复位	访问类型
6	ENABLE_SYNC_LOST		使能同步丢失中断。	0x0	RW
5	ENABLE_SYNC_LOCKED		使能同步锁定中断。	0x0	RW
4	ENABLE_SYNC_DONE		使能同步完成中断。	0x0	RW
3	ENABLE_PLL_LOST		使能PLL丢失中断。	0x0	RW
2	ENABLE_PLL_LOCKED		使能PLL锁定中断。	0x0	RW
1	ENABLE_OVER_THRESHOLD		使能过阈值中断。	0x0	RW
0	ENABLE_DACOUT_MUTED		使能DACOUT静音中断。	0x0	RW

中断使能1寄存器

地址：0x04；复位：0x00；名称：INTERRUPT_ENABLE1

表26. INTERRUPT_ENABLE1的位功能描述

位	位的名称	设置	描述	复位	访问类型
2	ENABLE_FIFO_UNDERFLOW		使能FIFO下溢中断。	0x0	RW
1	ENABLE_FIFO_OVERFLOW		使能FIFO上溢中断。	0x0	RW
0	ENABLE_FIFO_WARNING		使能FIFO警告中断。	0x0	RW

中断标志0寄存器

地址：0x05；复位：0x00；名称：INTERRUPT_FLAG0

表27. INTERRUPT_FLAG0的位功能描述

位	位的名称	设置	描述	复位	访问类型
6	SYNC_LOST		同步丢失时，SYNC_LOST设为1。	0x0	R
5	SYNC_LOCKED		同步锁定时，SYNC_LOCKED设为1。	0x0	R
4	SYNC_DONE		同步完成时，SYNC_DONE设为1。	0x0	R
3	PLL_LOST		PLL丢失锁定时，PLL_LOST设为1。	0x0	R
2	PLL_LOCKED		PLL锁定时，PLL_LOCKED设为1。	0x0	R
1	OVER_THRESHOLD		输入功率超过阈值时， OVER_THRESHOLD设为1。	0x0	R
0	DACOUT_MUTED		DAC输出静音(中间电平DC)时， DACOUT_MUTED设为1。	0x0	R

中断标志1寄存器

地址：0x06；复位：0x00；名称：INTERRUPT_FLAG1

表28. INTERRUPT_FLAG1的位功能描述

位	位的名称	设置	描述	复位	访问类型
2	FIFO_UNDERFLOW		当FIFO读指针捕捉到FIFO写指针时， FIFO_UNDERFLOW设为1。	0x0	R
1	FIFO_OVERFLOW		当FIFO写指针捕捉到FIFO读指针时， FIFO_OVERFLOW设为1。	0x0	R
0	FIFO_WARNING		当FIFO离空(≤ 1)或满(≥ 6)状态仅一个槽时， FIFO_WARNING设为1。	0x0	R

中断选择0寄存器

地址：0x07；复位：0x00；名称：IRQ_SELO

表29. IRQ_SELO的位功能描述

位	位的名称	设置	描述	复位	访问类型
6	SEL_SYNC_LOST	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
5	SEL_SYNC_LOCKED	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
4	SEL_SYNC_DONE	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
3	SEL_PLL_LOST	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
2	SEL_PLL_LOCKED	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
1	SEL_OVER_THRESHOLD	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		
0	SEL_DACOUT_MUTED	0	选择 $\overline{\text{IRQ1}}$ 引脚。	0x0	RW
		1	选择 $\overline{\text{IRQ2}}$ 引脚。		

AD9142

中断选择1寄存器

地址：0x08；复位：0x00；名称：IRQ_SEL1

表30. IRQ_SEL1的位功能描述

位	位的名称	设置	描述	复位	访问类型
2	SEL_FIFO_UNDERFLOW	0	选择IRQ1引脚。	0x0	RW
		1	选择IRQ2引脚。		
1	SEL_FIFO_OVERFLOW	0	选择IRQ1引脚。	0x0	RW
		1	选择IRQ2引脚。		
0	SEL_FIFO_WARNING	0	选择IRQ1引脚。	0x0	RW
		1	选择IRQ2引脚。		

DAC时钟接收器控制寄存器

地址：0x10；复位：0xFF；名称：DACCLK_RECEIVER_CTRL

表31. DACCLK_RECEIVER_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	DACCLK_DUTYCYCLE_CORRECTION		对DACCLK输入使能占空比校正。 为获得最佳性能，默认推荐状态为开启。	0x1	RW
5	DACCLK_CROSSPOINT_CTRL_ENABLE		对DACCLK输入使能交叉点控制。 为获得最佳性能，默认推荐状态为开启。	0x1	RW
[4:0]	DACCLK_CROSSPOINT_LEVEL	01111 11111	二进制补码值。为获得最佳性能， 建议将DACCLK_CROSSPOINT_LEVEL设为默认值。 最高交叉点。 最低交叉点。	0x1F	RW

参考时钟接收器控制寄存器

地址：0x11；复位：0xBF；名称：REFCLK_RECEIVER_CTRL

表32. REFCLK_RECEIVER_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	DUTYCYCLE_CORRECTION		对REFCLK输入使能占空比校正。 为获得最佳性能，默认推荐状态为关闭。	0x0	RW
5	REFCLK_CROSSPOINT_CTRL_ENABLE		对REFCLK输入使能交叉点控制。 为获得最佳性能，默认推荐状态为关闭。	0x0	RW
[4:0]	REFCLK_CROSSPOINT_LEVEL	01111 11111	二进制补码值。为获得最佳性能， 建议将REFCLK_CROSSPOINT_LEVEL设为默认值。 最高交叉点。 最低交叉点。	0x1F	RW

PLL控制寄存器

地址：0x12；复位：0x00；名称：PLL_CTRL0

表33. PLL_CTRL0的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	PLL_ENABLE		使能PLL时钟乘法器。	0x0	RW
6	AUTO_MANUAL_SEL	0 1	PLL频带选择模式。 0 自动模式。 1 手动模式。	0x0	RW
[5:0]	PLL_MANUAL_BAND	000000 111111	手动模式下的PLL频带设置。 总共64个频带，覆盖1 GHz至2.1 GHz VCO范围。 最低频带(1 GHz)。 最高频带(2.1 GHz)。	0x00	RW

PLL控制寄存器

地址：0x14；复位：0xE7；名称：PLL_CTRL2

表34. PLL_CTRL2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:5]	PLL_LOOP_BW	0x00 0x1F	选择PLL环路滤波器带宽。 为获得最佳PLL性能，默认推荐设置为111。 最低设置。 最高设置。	0x7	RW
[4:0]	PLL_CP_CURRENT	0x00 0x1F	设置标称PLL电荷泵电流。 为获得最佳PLL性能，默认推荐设置为00111。 最低设置。 最高设置。	0x07	RW

PLL控制寄存器

地址：0x15；复位：0xC9；名称：PLL_CTRL3

表35. PLL_CTRL3的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:6]	DIGLOGIC_DIVIDER	00 01 10 11	REFCLK与PLL数字时钟的分频比。 PLL数字时钟驱动内部PLL逻辑。 设置的分频比必须确保PLL数字时钟低于75 MHz。 $f_{REFCLK}/f_{DIG} = 2.$ $f_{REFCLK}/f_{DIG} = 4.$ $f_{REFCLK}/f_{DIG} = 8.$ $f_{REFCLK}/f_{DIG} = 16.$	0x3	RW
4	CROSSPOINT_CTRL_EN		使能环路分频器交叉点控制。 为获得最佳PLL性能，默认推荐设置为关闭(0)。	0x0	RW
[3:2]	VCO_DIVIDER	00 01 10 11	PLL VCO分频器。 此分频器决定VCO频率与DACCLK频率之比。 $f_{VCO}/f_{DACCLK} = 1.$ $f_{VCO}/f_{DACCLK} = 2.$ $f_{VCO}/f_{DACCLK} = 4.$ $f_{VCO}/f_{DACCLK} = 4.$	0x2	RW
[1:0]	LOOP_DIVIDER	00 01 10 11	PLL环路分频器。 此分频器决定DACCLK频率与REFCLK频率之比。 $f_{DACCLK}/f_{REFCLK} = 2.$ $f_{DACCLK}/f_{REFCLK} = 4.$ $f_{DACCLK}/f_{REFCLK} = 8.$ $f_{DACCLK}/f_{REFCLK} = 16.$	0x1	RW

AD9142

PLL状态寄存器

地址：0x16；复位：0x00；名称：PLL_STATUS0

表36. PLL_STATUS0的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	PLL_LOCK		PLL时钟乘法器输出稳定。	0x0	R
[3:0]	VCO_CTRL_VOLTAGE_READBACK	1111 0111 0000	VCO控制电压回读。二进制值。 最高VCO控制电压。 中间值(选择适当VCO频段时)。 PLL锁定时，选择较高的VCO频段会降低此值， 选择较低的VCO频段会提高此值。 最低VCO控制电压。	0x0	R

PLL状态寄存器

地址：0x17；复位：0x00；名称：PLL_STATUS1

表37. PLL_STATUS1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[5:0]	PLL_BAND_READBACK		表示当前选定的VCO频段。	0x00	R

IDAC FS调整LSB寄存器

地址：0x18；复位：0xF9；名称：IDAC_FS_ADJ0

表38. IDAC_FS_ADJ0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	IDAC_FULLSCALE_ADJUST_LSB		参见寄存器0x19。	0xF9	RW

IDAC FS调整MSB寄存器

地址：0x19；复位：0xE1；名称：IDAC_FS_ADJ1

表39. IDAC_FS_ADJ1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[1:0]	IDAC_FULLSCALE_ADJUST_MSB		IDAC满量程调整位[9:0]设置IDAC的满量程电流。 满量程电流可在8.64 mA至31.68 mA之间调节。 默认值(0x1F9)设置20 mA的满量程电流。	0x1	RW

QDAC FS调整LSB寄存器

地址：0x1A；复位：0xF9；名称：QDAC_FS_ADJ0

表40. QDAC_FS_ADJ0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	QDAC_FULLSCALE_ADJUST_LSB		参见寄存器0x1B。	0xF9	RW

QDAC FS调整MSB寄存器

地址：0x1B；复位：0x01；名称：QDAC_FS_ADJ1

表41. QDAC_FS_ADJ1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[1:0]	QDAC_FULLSCALE_ADJUST_MSB		QDAC满量程调整位[9:0]设置QDAC的满量程电流。满量程电流可在8.64 mA至31.68 mA之间调节。默认值(0x1F9)设置20 mA的满量程电流。	0x1	RW

芯片温度传感器控制寄存器

地址：0x1C；复位：0x02；名称：DIE_TEMP_SENSOR_CTRL

表42. DIE_TEMP_SENSOR_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
[6:4]	FS_CURRENT	000 001 ... 110 111	温度传感器ADC满量程电流。建议使用默认设置。 50 μ A. 62.5 μ A. 125 μ A. 137.5 μ A.	0x0	RW
[3:1]	REF_CURRENT	000 001 ... 110 111	温度传感器ADC基准电流。建议使用默认设置。 12.5 μ A. 19 μ A. 50 μ A. 56.5 μ A.	0x1	RW
0	DIE_TEMP_SENSOR_EN		使能片内温度传感器。	0x0	RW

芯片温度LSB寄存器

地址：0x1D；复位：0x00；名称：DIE_TEMP_LSB

表43. DIE_TEMP_LSB的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DIE_TEMP_LSB		参见寄存器0x1E。	0x00	R

芯片温度MSB寄存器

地址：0x1E；复位：0x00；名称：DIE_TEMP_MSB

表44. DIE_TEMP_MSB的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DIE_TEMP_MSB		芯片温度位[15:0]表示芯片近似温度。更多信息，请参见“温度传感器”部分。	0x00	R

芯片ID寄存器

地址：0x1F；复位：0x0A；名称：CHIP_ID

表45. CHIP_ID的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	CHIP_ID		AD9142芯片ID为0x0A。	0x0A	R

AD9142

中断配置寄存器

地址：0x20；复位：0x00；名称：INTERRUPT_CONFIG

表46. INTERRUPT_CONFIG的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	INTERRUPT_CONFIGURATION	0x00	测试模式。	0x00	RW
		0x01	推荐模式(如“中断请求操作”部分所述)。		

同步控制寄存器

地址：0x21；复位：0x00；名称：SYNC_CTRL

表47. SYNC_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
1	SYNC_CLK_EDGE_SEL	0 1	选择对SYNC CLK进行采样的DACCLK时钟沿。 SYNC CLK由DACCLK的上升沿采样。 SYNC CLK由DACCLK的下降沿采样。	0x0	RW
0	SYNC_ENABLE		使能多芯片同步功能。	0x0	RW

帧复位控制寄存器

地址：0x22；复位：0x12；名称：FRAME_RST_CTRL

表48. FRAME_RST_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
3	FRAME_RESET_ACK		帧复位应答。接收到有效帧脉冲时，此位置1。	0x0	R
2	EN_CON_FRAME_RESET	0 1	复位模式选择。 仅响应第一个有效帧脉冲，FIFO和/或NCO仅复位一次。 这是默认推荐模式。 响应每一个有效帧脉冲，并相应地复位FIFO和/或NCO。	0x0	RW
[1:0]	FRAME_RESET_MODE	00 01 10 11	这些位决定器件接收到有效帧信号时复位何部分。 仅FIFO。 仅NCO。 FIFO和NCO。 无。	0x2	RW

FIFO水平配置寄存器

地址：0x23；复位：0x40；名称：FIFO_LEVEL_CONFIG

表49. FIFO_LEVEL_CONFIG的位功能描述

位	位的名称	设置	描述	复位	访问类型
[6:4]	INTEGRAL_FIFO_LEVEL_REQUEST	000 001 ... 111	设置FIFO整数水平。它是读指针与写指针值之差，单位为输入数据速率(f_{DATA})。默认推荐FIFO水平为：整数水平=4，小数水平=0。详情参见“FIFO操作”部分。 0. 1. ... 7.	0x4	RW
[2:0]	FRACTIONAL_FIFO_LEVEL_REQUEST	000 001 ... 允许的最大设置。	设置FIFO小数水平。它是读指针与写指针值之差，单位为DACCLK速率(F_{DAC})。允许的最大设置值为插值率-1。详情参见“FIFO操作”部分。 0. 1. ... 001(2倍)。 003(4倍)。 007(8倍)。	0x0	RW

FIFO水平回读寄存器

地址：0x24；复位：0x00；名称：FIFO_LEVEL_READBACK

表50. FIFO_LEVEL_READBACK的位功能描述

位	位的名称	设置	描述	复位	访问类型
[6:4]	INTEGRAL_FIFO_LEVEL_READBACK		FIFO整数水平回读。 FIFO总水平请求与回读之差应在2个DACCLK周期内。 详情参见“FIFO操作”部分。	0x0	R
[2:0]	FRACTIONAL_FIFO_LEVEL_READBACK		FIFO小数水平回读。 此值应与位[6:4]中的回读值一起使用。	0x0	R

FIFO控制寄存器

地址：0x25；复位：0x00；名称：FIFO_CTRL

表51. FIFO_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
1	FIFO_SPI_RESET_ACK		应答串行端口启动的FIFO复位。	0x0	R
0	FIFO_SPI_RESET_REQUEST		通过串行端口启动FIFO复位。	0x0	RW

AD9142

数据格式选择寄存器

地址：0x26；复位：0x00；名称：DATA_FORMAT_SEL

表52. DATA_FORMAT_SEL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	DATA_FORMAT	0 1	选择二进制或二进制补码数据格式。 输入数据为二进制补码格式。 输入数据为二进制格式。	0x0	RW
6	DATA_PAIRING	0 1	表示数据输入端的I/Q数据配对方式。 I样本与之后的Q样本配对。 I样本与之前的Q样本配对。	0x0	RW
5	DATA_BUS_INVERT	0 1	交换数据输入端口的位序。 MSB成为LSB；D[15:0]变为D[0:15]。 数据位序与表9中的引脚描述一致。 数据位序反转。	0x0	RW
0	DATA_BUS_WIDTH	0 1	数据接口模式。 有关不同接口模式操作的信息，请参见“LVDS输入数据端口”部分。 字模式；16位接口总线宽度。 字节模式；8位接口总线宽度。	0x0	RW

数据路径控制寄存器

地址：0x27；复位：0x00；名称：DATAPATH_CTRL

表53. DATAPATH_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	INVSINC_ENABLE		使能反Sinc滤波器。	0x0	RW
6	NCO_ENABLE		使能NCO。	0x0	RW
5	IQ_GAIN_ADJ_DCOFFSET_ENABLE		使能数字IQ增益调整和直流失调。	0x0	RW
4	IQ_PHASE_ADJ_ENABLE		使能数字IQ相位调整。	0x0	RW
2	FS4_MODULATION_ENABLE		使能 $f_s/4$ 调制模式。	0x0	RW
1	NCO_SIDEHAND_SEL	0 1	选择单端NCO调制镜像。 NCO输出高端镜像。 NCO输出低端镜像。	0x0	RW
0	SEND_IDATA_TO_QDAC		将IDATA发送到QDAC。 使能时，I数据发送到IDAC和QDAC。 Q数据路径仍然运行，但Q数据会被忽略。	0x0	RW

插值控制寄存器

地址：0x28；复位：0x00；名称：INTERPOLATION_CTRL

表54. INTERPOLATION_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
[1:0]	INTERPOLATION_MODE	00 10 11	插值率和模式选择。 2倍模式1；使用HB1滤波器。 4倍模式；使用HB1和HB2滤波器。 8倍模式；使用所有三个滤波器(HB1、HB2和HB3)。	0x0	RW

过阈值控制0寄存器

地址：0x29；复位：0x00；名称：OVER_THRESHOLD_CTRL0

表55. OVER_THRESHOLD_CTRL0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	THRESHOLD_LEVEL_REQUEST_LSB		参见寄存器0x2A。	0x0	RW

过阈值控制1寄存器

地址：0x2A；复位：0x00；名称：OVER_THRESHOLD_CTRL1

表56. OVER_THRESHOLD_CTRL1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[4:0]	THRESHOLD_LEVEL_REQUEST_MSB		触发输入功率保护功能的最低平均输入功率($I^2 + Q^2$)。	0x00	RW

过阈值控制2寄存器

地址：0x2B；复位：0x00；名称：OVER_THRESHOLD_CTRL2

表57. OVER_THRESHOLD_CTRL2的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	ENABLE_PROTECTION		使能输入功率保护。	0x0	RW
6	IQ_DATA_SWAP		在平均功率计算中交换I和Q数据。	0x0	RW
[3:0]	SAMPLE_WINDOW_LENGTH		用于计算平均功率的数据输入样本数。	0x0	RW
		0000	512 IQ数据样本对。		
		0001	1024 IQ数据样本对。		
		...			
		1010	2 ¹⁹ IQ数据样本对。		
		1011 至 1111	无效。		

输入功率回读LSB寄存器

地址：0x2C；复位：0x00；名称：INPUT_POWER_READBACK_LSB

表58. INPUT_POWER_READBACK_LSB的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	INPUT_POWER_READBACK_LSB		参见寄存器0x2D。	0x0	R

输入功率回读MSB寄存器

地址：0x2D；复位：0x00；名称：INPUT_POWER_READBACK_MSB

表59. INPUT_POWER_READBACK_MSB的位功能描述

位	位的名称	设置	描述	复位	访问类型
[4:0]	INPUT_POWER_READBACK_MSB		输入信号平均功率回读。	0x00	R

AD9142

NCO控制寄存器

地址：0x30；复位：0x00；名称：NCO_CTRL

表60. NCO_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
6	NCO_FRAME_UPDATE_ACK		来自帧的频率调谐字更新请求。	0x0	R
5	SPI_NCO_PHASE_RST_ACK		NCO相位SPI复位应答。	0x0	R
4	SPI_NCO_PHASE_RST_REQ		NCO相位SPI复位请求。	0x0	RW
1	NCO_SPI_UPDATE_ACK		频率调谐字更新应答。	0x0	R
0	NCO_SPI_UPDATE_REQ		来自SPI的频率调谐字更新请求。	0x0	RW

NCO_FREQ_TUNING_WORD0寄存器

地址：0x31；复位：0x00；名称：NCO_FREQ_TUNING_WORD0

表61. NCO_FREQ_TUNING_WORD0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_FTW0		参见寄存器0x34。	0x00	RW

NCO_FREQ_TUNING_WORD1寄存器

地址：0x32；复位：0x00；名称：NCO_FREQ_TUNING_WORD1

表62. NCO_FREQ_TUNING_WORD1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_FTW1		参见寄存器0x34。	0x00	RW

NCO_FREQ_TUNING_WORD2寄存器

地址：0x33；复位：0x00；名称：NCO_FREQ_TUNING_WORD2

表63. NCO_FREQ_TUNING_WORD2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_FTW2		参见寄存器0x34。	0x00	RW

NCO_FREQ_TUNING_WORD3寄存器

地址：0x34；复位：0x10；名称：NCO_FREQ_TUNING_WORD3

表64. NCO_FREQ_TUNING_WORD3的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_FTW3		FTW[31:0]是32位频率调谐字，用于确定片内NCO产生的复载波频率。该频率不在写入FTW寄存器时更新，仅当寄存器0x30启动串行端口更新或帧更新时，这些值才会更新。值为二进制补码格式。	0x10	RW

NCO_PHASE_OFFSET0寄存器

地址：0x35；复位：0x00；名称：NCO_PHASE_OFFSET0

表65. NCO_PHASE_OFFSET0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_PHASE_OFFSET_LSB		参见寄存器0x36。	0x00	RW

NCO_PHASE_OFFSET1寄存器

地址：0x36；复位：0x00；名称：NCO_PHASE_OFFSET1

表66. NCO_PHASE_OFFSET1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	NCO_PHASE_OFFSET_MSB		此寄存器设置复位时复载波信号的初始相位。相位偏移范围是0度到360度。每一位代表0.0055度的偏移。此值为二进制补码格式。	0x00	RW

IQ_PHASE_ADJ0寄存器

地址：0x37；复位：0x00；名称：IQ_PHASE_ADJ0

表67. IQ_PHASE_ADJ0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	IQ_PHASE_ADJ_LSB		参见寄存器0x38。	0x00	RW

IQ_PHASE_ADJ1寄存器

地址：0x38；复位：0x000；名称：IQ_PHASE_ADJ1

表68. IQ_PHASE_ADJ1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[4:0]	IQ_PHASE_ADJ_MSB		IQ相位调整位[12:0]用于在I与Q数据路径之间插入一个相位偏移。它提供±14度的调整范围，步进为0.0035度。此值为二进制补码格式。详情参见“正交相位调整”部分。	0x0	RW

IDAC_DC_OFFSET0寄存器

地址：0x3B；复位：0x00；名称：IDAC_DC_OFFSET0

表69. IDAC_DC_OFFSET0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	IDAC_DC_OFFSET_LSB		参见寄存器0x3C。	0x00	RW

IDAC_DC_OFFSET1寄存器

地址：0x3C；复位：0x00；名称：IDAC_DC_OFFSET1

表70. IDAC_DC_OFFSET1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	IDAC_DC_OFFSET_MSB		IDAC直流失调位[15:0]是在写入IDAC的样本值上直接增加的直流值。	0x00	RW

QDAC_DC_OFFSET0寄存器

地址：0x3D；复位：0x00；名称：QDAC_DC_OFFSET0

表71. QDAC_DC_OFFSET0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	QDAC_DC_OFFSET_LSB		参见寄存器0x3E。	0x00	RW

AD9142

QDAC_DC_OFFSET1寄存器

地址：0x3E；复位：0x00；名称：QDAC_DC_OFFSET1

表72. QDAC_DC_OFFSET1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	QDAC_DC_OFFSET_MSB		QDAC直流失调位[15:0]是在写入QDAC的样本值上直接增加的直流值。	0x00	RW

IDAC_GAIN_ADJ寄存器

地址：0x3F；复位：0x20；名称：IDAC_GAIN_ADJ

表73. IDAC_GAIN_ADJ的位功能描述

位	位的名称	设置	描述	复位	访问类型
[5:0]	IDAC_GAIN_ADJ		此寄存器是I通道的6位数字增益调整寄存器。 位的权重为：MSB = 2^0 ，LSB = 2^{-5} ，因而乘法范围为0至2或 $-\infty$ 至6 dB。默认增益设置为0x20，对应于单位增益(0 dB)。	0x20	RW

QDAC_GAIN_ADJ寄存器

地址：0x40；复位：0x20；名称：QDAC_GAIN_ADJ

表74. QDAC_GAIN_ADJ的位功能描述

位	位的名称	设置	描述	复位	访问类型
[5:0]	QDAC_GAIN_ADJ		此寄存器是Q通道的6位数字增益调整寄存器。 位的权重为：MSB = 2^0 ，LSB = 2^{-5} ，因而乘法范围为0至2或 $-\infty$ 至6 dB。默认增益设置为0x20，对应于单位增益(0 dB)。	0x20	RW

增益步进控制0寄存器

地址：0x41；复位：0x01；名称：GAIN_STEP_CTRL0

表75. GAIN_STEP_CTRL0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[5:0]	RAMP_UP_STEP		该寄存器设置增益递增的步长。 数字增益每隔4个DAC周期提高所配置的量，直至增益达到I/QDAC_GAIN_ADJ中的设置(寄存器0x3F和寄存器0x40)。位的权重为：MSB = 2^1 ，LSB = 2^{-4} 。 注意，此寄存器中的值不应大于I/QDAC_GAIN_ADJ(寄存器0x3F和寄存器0x40)中的值。	0x01	RW

增益步进控制1寄存器

地址：0x42；复位：0x01；名称：GAIN_STEP_CTRL1

表76. GAIN_STEP_CTRL1的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	DAC_OUTPUT_STATUS		此位指示DAC输出的开关状态。DAC输出自动关闭时，此位为1。	0x0	RW
6	DAC_OUTPUT_ON		在输入功率保护模式或发射使能模式下，如果DAC输出自动关闭，则此寄存器允许开启DAC输出。它是自清零位。	0x0	R
[5:0]	RAMP_DOWN_STEP		该寄存器设置增益递减的步长。 数字增益每隔4个DAC周期降低所配置的量，直至增益达到0。 位的权重为：MSB = 2^1 ，LSB = 2^{-4} 。注意，此寄存器中的值不应大于I/QDAC_GAIN_ADJ(寄存器0x3F和寄存器0x40)中的值。	0x01	RW

发射使能控制寄存器

地址：0x43；复位：0x07；名称：TX_ENABLE_CTRL

表77. TX_ENABLE_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
2	TXENABLE_GAINSTEP_EN		DAC输出在TXEN引脚提供的TXENABLE信号的控制下，根据寄存器0x41和寄存器0x42的设置逐步开启/关闭。	0x1	RW
1	TXENABLE_SLEEP_EN		设为1时，如果TXEN引脚提供TXENABLE信号为低电平，则将器件置于休眠模式。	0x1	RW
0	TXENABLE_POWER_DOWN_EN		设为1时，如果TXEN引脚提供TXENABLE信号为低电平，则将器件置于掉电模式。	0x1	RW

DAC输出控制寄存器

地址：0x44；复位：0x8F；名称：DAC_OUTPUT_CTRL

表78. DAC_OUTPUT_CTRL的位功能描述

位	位的名称	设置	描述	复位	访问类型
7	DAC_OUTPUT_CTRL_EN		使能DAC输出控制。 此位需设为1才能使能此寄存器的其它位。	0x1	RW
3	FIFO_WARNING_SHUTDOWN_EN		当此位和位7均为高电平时，如果发生FIFO警告，DAC输出将自动关断。默认情况下，此功能开启。	0x1	RW
2	OVERTHRESHOLD_SHUTDOWN_EN		当输入平均功率大于预定阈值时，DAC输出关闭。	0x1	RW
0	FIFO_ERROR_SHUTDOWN_EN		当FIFO报警时，DAC输出关闭。	0x1	RW

数据接收器测试控制寄存器

地址：0x5E；复位：0xFF；名称：DATA_RX_CTRL0

表79. DATA_RX_CTRL0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DLY_TAP_LSB		参见寄存器0x5F[2:0]。	0xFF	RW

数据接收器测试控制寄存器

地址：0x5F；复位：0x07；名称：DATA_RX_CTRL1

表80. DATA_RX_CTRL1的位功能描述

位	位的名称	设置	描述	复位	访问类型
3	DLYLINE_EN		1 = 使能数据接口。	0x0	RW
[2:0]	DLY_TAP_MSB		4种可用延迟设置。更多详情见“接口延迟线”部分。	0x7	RW
		00	0x000		
		01	0x007		
		10	0x07F		
		11	0x5FF		

AD9142

器件配置0寄存器

地址：0x79；复位：0x00；名称：DEVICE_CONFIG0

表81. DEVICE_CONFIG0的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DEVICE_CONFIGURATION0	0x18	器件启动配置的推荐设置。	0x00	RW

版本寄存器

地址：0x7F；复位：0x05；名称：Version

表82. Version的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	Version		芯片版本	0x05	R

器件配置1寄存器

地址：0x80；复位：0x00；名称：DEVICE_CONFIG1

表83. DEVICE_CONFIG1的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DEVICE_CONFIGURATION1	0xAD	器件启动配置的推荐设置。	0x00	RW

器件配置2寄存器

地址：0xE1, Reset:0x00；名称：DEVICE_CONFIG2

表84. DEVICE_CONFIG2的位功能描述

位	位的名称	设置	描述	复位	访问类型
[7:0]	DEVICE_CONFIGURATION2	0x1A	器件启动配置的推荐设置。	0x00	RW

DAC延迟和系统偏斜

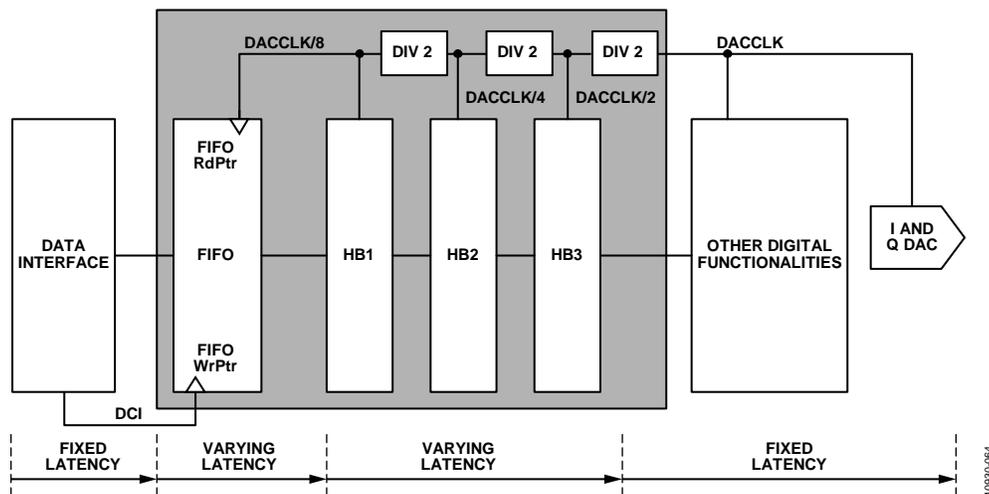


图60. 流水线延迟明细

DAC延迟差异

像内置多相时钟的任何其它器件一样，DAC也存在固有的流水线延迟差异。图60显示了AD9142流水线延迟的明细。突出显示的部分，包括FIFO和时钟产生电路，就是产生流水线延迟差异的地方。每次上电时，FIFO和时钟产生状态机的状态都是任意的，导致这两个模块的延迟存在差异。

FIFO延迟差异

FIFO有8个数据槽。FIFO读写指针循环移动，从槽0移动到槽7，然后回到槽0。FIFO深度定义为读指针抓住写指针所需的FIFO槽数。它也是特定数据呆在FIFO中的时间，即从写入FIFO到从FIFO读出的时间。因此，FIFO的延迟等于其深度。

图61显示了FIFO延迟差异的一个例子。第2种情况中的延迟比第1种情况要长2个数据周期。如果其它延迟相同，则这两种情况下的DAC输出之间的偏斜也是2个数据周期。因此，为使FIFO延迟保持不变，FIFO深度需要复位到预定的值。理论上，任何非0值都是有效的，但一般设置为4，此时消解读取和写入速率波动的能力最强。

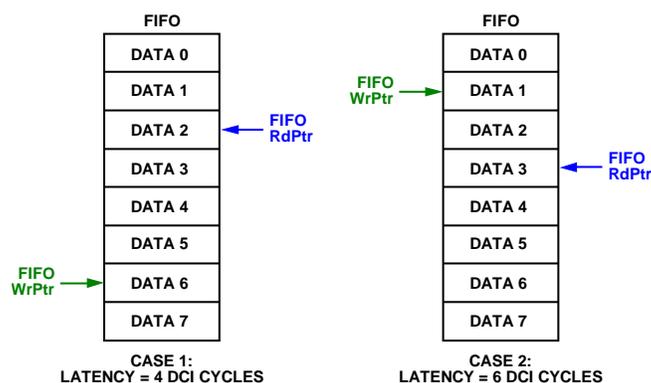


图61. FIFO延迟差异示例

图62显示了FIFO延迟为4个数据周期的两个等效例子。这两种情况中，虽然读指针和写指针均不一致，但FIFO深度相同。此外，注意这两种情况中数据流的起始槽不相同，但读指针和写指针指向同一数据。只要多个器件的数据和DCI精密对齐，这就不会影响DAC输出的对齐精度。

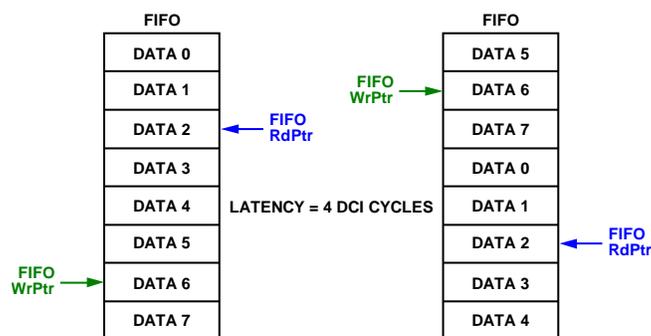


图62. 相等FIFO延迟的示例

时钟产生延迟差异

时钟产生电路的状态机是延迟差异的另一个来源，此类延迟差异来自于静态分频器固有的相位不确定性。在输入时钟的上升沿，经过分频的时钟可以是高电平或低电平，除非明令其进入已知状态。这意味着，只要有插值(当慢速时钟需要通过对DACCLK进行分频来产生时)，DAC中就会存在固有的延迟差异。图63显示了2倍插值时延迟差异的一个例子。DACCLK/2时钟有两种相位可能性。DACCLK/2时钟用于从FIFO读取数据并驱动插值滤波器。无论使用何种时钟沿来驱动数字电路，第1种情况与第2种情况之间均存在1个DAC时钟周期的延迟(参见图62)。由于上电状态是这两种情况中的任意一种，因此分频器的相位不确定性表现为两个DAC输出之间的偏斜变化。

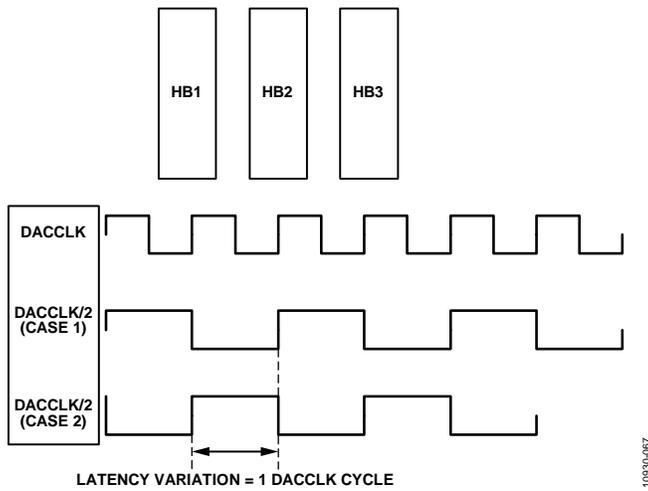


图63. 2倍插值时来自时钟产生的延迟差异

校正系统偏斜

一般假设多个器件的输入数据和DCI是精密对齐的。根据系统设计不同，输入各DAC的数据和DCI可能来自不同的FPGA或ASIC。如果数据源不同步，则一个数据源的输出相对于另一个数据源的输出可能是偏斜的。多个数据源之间的对齐精度还可能随温度而漂移。

图64显示了一个双通道发射机的例子，它包含两个数据源和两个双通道DAC。即使DAC未引入任何延迟差异，DAC输出之间也会存在一个恒定但未知的相位偏移。AD9142的多器件同步功能可用于补偿数据源未对齐所导致的偏斜，方法是通过两个外部参考时钟(帧时钟和同步时钟)独立复位FIFO的两侧。然后，两个数据源之间的偏移由DAC中的FIFO和时钟产生模块消解。有关使用多器件同步功能的更多信息，请参阅“同步实现”部分。

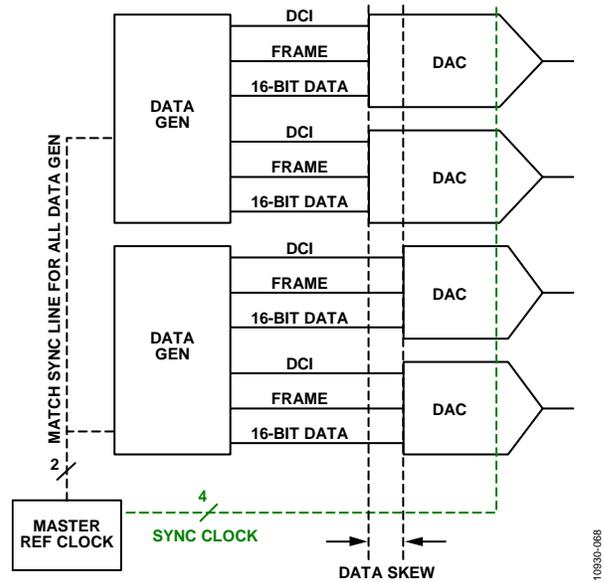


图64. 偏斜输入数据和DCI造成的DAC输出偏斜

AD9142

注释

注释

AD9142

注释