385 MHz带宽中频分集接收机

AD6674

产品特性

JESD204B(子类1)编码串行数字输出
带内SFDR = 83 dBFS(340 MHz时，750 MSPS)
带内SNR = 66.7 dBFS(340 MHz时，750 MSPS)
750 MSPS时每通道总功耗：1.4 W(默认设置)
噪声密度 = −153 dBFS/Hz (750 MSPS)
直流电源：1.25 V、2.5 V和3.3 V
灵活的输入范围
  AD6674-750和AD6674-1000
    1.46 V p-p至1.94 V p-p(标称值1.70 V p-p)
  AD6674-500
    1.46 V p-p至2.06 V p-p(标称值2.06 V p-p)
95 dB通道隔离/串扰
幅度检测位支持实现高效自动增益控制(AGC)
噪声整形再量化器(NSR)选项支持主接收机功能
可变动态范围(VDR)选项支持数字预失真(DPD)功能
每通道集成2个宽带数字处理器
  12位数控振荡器(NCO)，最多级联4个半带滤波器
差分时钟输入
整数时钟分频值：1、2、4或8
节能的掉电模式
灵活的JESD204B通道配置
小信号扰动

应用

分集多频段、多模数字接收器
  3G/4G、TD-SCDMA、W-CDMA、GSM、LTE、LTE-A
DOCSIS 3.0 CMTS上游接收路径
HFC数字反向路径接收机

概述

AD6674是一款385 MHz带宽混合信号中频(IF)接收机，内置双通道、14位1.0 GSPS/750 MSPS/500 MSPS模数转换器(ADC)和各种数字信号处理模块，包括四个宽带DDC、一个NSR和VDR监控。它具有片内缓冲器和采样保持电路，专门针对低功耗、小尺寸和易用性而设计。该产品设计支持通信应用，能够实现高达2 GHz的宽带宽模拟信号采样。AD6674针对宽输入带宽、高采样速率、出色的线性度、低功耗和小封装而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

功能框图

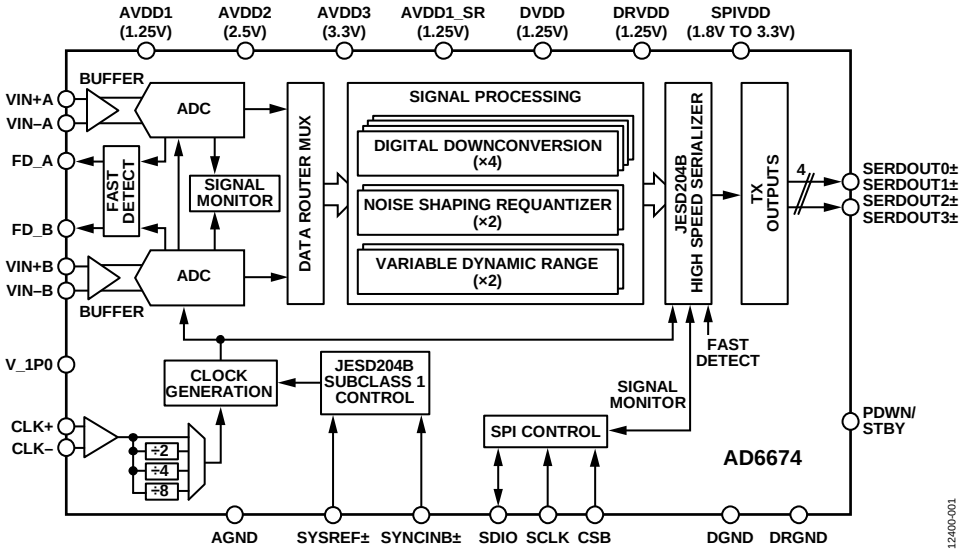


图1.

Rev. B
Document Feedback
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700

©2014–2015 Analog Devices, Inc. All rights reserved.

Technical Support
www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

产品特性 ... 1
应用 ... 1
概述 ... 1
功能框图 ... 1
修订历史 ... 3
产品特色 ... 4
技术规格 ... 5
直流规格 ... 5
交流规格 ... 6
数字规格 ... 8
开关规格 ... 9
时序规格 ... 9
绝对最大额定值 ... 11
热特性 ... 11
ESD警告 ... 11
引脚配置和功能描述 ... 12
典型性能参数 ... 14
AD6674-1000 ... 14
AD6674-750 ... 17
AD6674-500 ... 20
等效电路 ... 23
工作原理 ... 25
ADC架构 ... 25
模拟输入考虑 ... 25
基准电压源 ... 30
时钟输入考虑 ... 31
关断/待机模式 ... 32
温度二极管 ... 32
ADC超量程和快速检测 ... 33
ADC超量程(OR) ... 33
快速阈值检测(FD_A和FD_B) ... 33
信号监控 ... 34
通过JESD204B实现SPORT ... 34
数字下变频器(DDC) ... 37
DDC I/Q输入选择 ... 37
DDC I/Q输出选择 ... 37
DDC概述 ... 37
频率转换 ... 43
概述 ... 43
DDC NCO加混频器损耗和SFDR ... 44
数控振荡器 ... 44
FIR滤波器 ... 46
概述 ... 46
半带滤波器 ... 47
DDC增益级 ... 47
DDC复数转实数 ... 48
DDC配置示例 ... 49
噪声整形再量化器(NSR) ... 53
抽取半带滤波器 ... 53
NSR概述 ... 53
可变动态范围(VDR) ... 56
VDR实数模式 ... 57
VDR复数模式 ... 57
数字输出 ... 59
JESD204B接口简介 ... 59
JESD204B概述 ... 59
功能概述 ... 60
JESD204B链路建立 ... 60
物理层(驱动器)输出 ... 62
JESD204B Tx转换器映射 ... 64
配置JESD204B链路 ... 64
多芯片同步 ... 68
SYSREF±设置/保持窗口监控器 ... 70
测试模式 ... 72
ADC测试模式 ... 72
JESD204B模块测试模式 ... 72
串行端口接口(SPI) ... 75
使用SPI的配置 ... 75
硬件接口 ... 75
SPI访问特性 ... 75
存储器映射 ... 76
读取存储器映射寄存器表 ... 76
存储器映射寄存器表 ... 77
应用信息 ... 90
电源建议 ... 90
裸露焊盘散热块建议 ... 90
AVDD1_SR(引脚57)和AGND(引脚56、引脚60) ... 90
外形尺寸 ... 91
订购指南 ... 91

修订历史

2015年4月—修订版A至修订版B

将SPIVDD范围从“1.8 V至3.3 V”
更改为“1.8 V至3.4 V” ..... 通篇
更改概述部分 4
更改表1 5
更改表3 8
更改图14 15
更改图78标题 27
更改表10 29
更改“时钟抖动考虑”部分 32
增加图92；重新排序 32
更改“数字下变频器(DDC)”部分 37
更改表17 46
更改表23 49
更改图108 53
更改图116 56
更改图117和“VDR复数模式”部分 57
更改表45 79

2014年12月 — 修订版A：初始版

模拟输入和时钟信号均为差分输入信号。ADC数据输出通过纵横多路复用器内部连接到四个DDC。每个DCC含有最多5个级联信号处理级：一个12位频率转换器(NCO)和最多四个半带抽取滤波器。每个DDC含有5个级联的信号处理级：一个12位频率转换器(NCO)和4个半带抽取滤波器。

各ADC的输出内部连接到NSR模块。集成NSR电路能够提高奈奎斯特带宽内较小频段的信噪比(SNR)性能。该器件支持两种不同的输出模式，通过SPI可以选择输出模式。如果使能NSR特性，则在处理ADC的输出时，AD6674可以在有限的部分奈奎斯特带宽内实现更高的SNR性能，同时保持9位输出分辨率。AD6674默认使能NSR。

各ADC的输出还在内部连接到VDR模块。对于规定的输入信号，此可选模式支持全动态范围。在规定屏蔽范围(基于DPD应用)内的输入会原样通过。违反此规定屏蔽范围的输入会导致输出分辨率降低。

采用VDR时，观测接收机的动态范围由规定的输入频率屏蔽范围确定。对于屏蔽范围内的信号，输出以允许的最大分辨率呈现。对于超过此频率屏蔽范围内的规定功率水平的信号，输出分辨率会被截断。此屏蔽范围基于DPD应用，支持可调谐实数中频采样、零中频或复数中频接收架构。

AD6674的DDC、NSR和VDR工作模式可通过SPI可编程profile选择。

除了DDC模块，AD6674还有其他功能可简化通信接收机的AGC功能。利用ADC的寄存器0x245中的快速检测控制位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免ADC输入端出现超量程现象。除了快速检测输出以外，AD6674还有信号监控能力。信号监控模块可提供ADC进行数字化处理信号的其它信息。

用户可将JESD204B子类1的高速串行输出设置为各种双通道和四通道配置，具体取决于接收逻辑器件的DDC配置和可接受通道速率。SYSREF±和SYNCINB±输入引脚支持多器件同步。

AD6674具有灵活的掉电选项，在需要时可以明显降低功耗。所有这些特性均可通过1.8 V三线式串行端口接口(SPI)进行编程。

AD6674采用64引脚无铅LFCSP封装，额定温度范围为−40°C至+85°C工业温度范围。该产品受美国专利保护。

产品特色

1. 较宽的全功率带宽，支持高达2 GHz的IF信号采样。
2. 提供可编程输入端的缓冲输入简化了滤波器设计和实施。
3. 四个集成式宽带抽取滤波器和数控振荡器(NCO)模块支持多频段接收机。
4. 灵活的SPI控制各种产品特性和功能，满足特定系统要求。
5. 可编程快速超量程检测和信号监控。
6. 可编程快速超量程检测。
7. 9 mm × 9 mm、64引脚LFCSP。

技术规格

直流规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率，1.0 V内部基准电压(V_{REF})，A_{IN} = −1.0 dBFS，时钟分频器 = 2，默认SPI设置，T_A = 25°C。

表1.

参数	温度	AD6674-1000 最小值	AD6674-1000 典型值	AD6674-1000 最大值	AD6674-750 最小值	AD6674-750 典型值	AD6674-750 最大值	AD6674-500 最小值	AD6674-500 典型值	AD6674-500 最大值	单位
分辨率		14						14			位
精度											
无失码	全温度范围		保证			保证			保证		
失调误差	全温度范围	−0.31	0	+0.31	−0.51	0	+0.42	−0.3	0	+0.3	% FSR
失调匹配	全温度范围		0	+0.23		0	+0.41		0	+0.3	% FSR
增益误差	全温度范围	−6	0	+6	−6	0	+6	−6	0	+6	% FSR
增益匹配	全温度范围		1	+4.5		1	+5.2		1	+5.1	% FSR
差分非线性(DNL)	全温度范围	−0.7	±0.5	+0.8	−0.6	±0.5	+0.8	−0.6	±0.5	+0.7	LSB
积分非线性(INL)	全温度范围	−5.7	±2.5	+6.9	−3.4	±2.5	+5.0	−4.5	±2.5	+5.0	LSB
温度漂移											
失调误差	全温度范围		−14			−9			−3		ppm/°C
增益误差	全温度范围		±13.8			−57			±25		ppm/°C
内部基准电压源											
电压	全温度范围		1.0			1.0			1.0		V
折合到输入端噪声											
V_{REF} = 1.0 V	25°C		2.63			2.48			2.06		LSB rms
模拟输入											
差分输入电压范围（内部V_{REF} = 1.0 V）	全温度范围	1.46	1.70	1.94	1.46	1.70	1.94	1.46	2.06	2.06	V p-p
共模电压(V_{CM})	全温度范围		2.05			2.05			2.05		V
差分输入电容[1]	全温度范围		1.5			1.5			1.5		pF
全功率模拟带宽	全温度范围		2			2			2		GHz
电源											
AVDD1	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	1.22	1.25	1.28	V
AVDD2	全温度范围	2.44	2.50	2.56	2.44	2.50	2.56	2.44	2.50	2.56	V
AVDD3	全温度范围	3.2	3.3	3.4	3.2	3.3	3.4	3.2	3.3	3.4	V
AVDD1_SR	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	1.22	1.25	1.28	V
DVDD	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	1.22	1.25	1.28	V
DRVDD	全温度范围	1.22	1.25	1.28	1.22	1.25	1.28	1.22	1.25	1.28	V
SPIVDD	全温度范围	1.8		3.4	1.8		3.4	1.8		3.4	V
I_{AVDD1}[2]	全温度范围		685	721		545	623		427	466	mA
I_{AVDD2}[2]	全温度范围		595	677		460	572		398	463	mA
I_{AVDD3}[2]	全温度范围		125	142		125	142		89	100	mA
I_{AVDD1_SR}[2]	全温度范围		16	18		10	17		10	18	mA
I_{DVDD}[2]	全温度范围		263	292		165	217		139	183	mA
I_{DRVDD}[2, 3]	全温度范围		200	225		190	258		182	237	mA
L = 2模式[4]	25°C		N/A[5]			N/A[5]			140		mA
I_{SPIVDD}	全温度范围		5	6		5	7.0		5	7	mA

参数	温度	AD6674-1000 最小值	典型值	最大值	AD6674-750 最小值	典型值	最大值	AD6674-500 最小值	典型值	最大值	单位
功耗											
总功耗[2]	全温度范围		3.3	3.6		2.8	3.1		2.24	2.5	W
关断功耗	全温度范围		835			835			710		mW
待机[6]	全温度范围		1.4			1.4			1.2		W

[1] 差分电容在VIN+x和VIN−x引脚(x = A、B)之间测量。
[2] 采用低输入频率的满量程正弦波测量。
[3] 所有通道工作。DRVDD上的功耗随通道速率和所用的通道数而变。
[4] L为每个转换器件的通道数(每条链路的通道数)。
[5] N/A表示不适用。在最大采样速率时，JESD204B输出接口不能使用L = 2模式，因为这会超过12.5 Gbps的最大通道速率。当公式((M × N′ × (10/8) × f_{OUT})/L)得到的通道速率小于等于12.5 Gbps时，支持L = 2模式。f_{OUT}为输出采样速率，用f_S/DCM表示，其中DCM = 抽取率。
[6] 可通过SPI控制。

交流规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率，1.0 V内部基准电压，A_{IN} = −1.0 dBFS，时钟分频器 = 2，默认SPI设置，T_A = 25°C。

表2.

参数[1]	温度	AD6674-1000 最小值	典型值	最大值	AD6674-750 最小值	典型值	最大值	AD6674-500 最小值	典型值	最大值	单位
模拟输入满量程	全温度范围		1.7			1.7			2.06		V p-p
噪声密度[2]	全温度范围		−154			−153			−153		dBFS/Hz
信噪比(SNR)[3]											
VDR模式(未触发输入屏蔽)											
f_{IN} = 10 MHz	25°C		67.2			67.3			69.2		dBFS
f_{IN} = 170 MHz	全温度范围	65.1	66.6		65.8	67.1		67.8	69.0		dBFS
f_{IN} = 340 MHz	25°C		65.3			66.7			68.6		dBFS
f_{IN} = 450 MHz	25°C		64.0			66.2			68.0		dBFS
f_{IN} = 765 MHz	25°C		62.4			64.3			64.4		dBFS
f_{IN} = 985 MHz	25°C		61.4			63.6			63.8		dBFS
f_{IN} = 1950 MHz	25°C		57.0			59.9			60.5		dBFS
NSR使能(21%带宽模式)[4]											
f_{IN} = 10 MHz	25°C		73.8			74.0			75.2		dBFS
f_{IN} = 170 MHz	25°C		73.6			73.8			75.2		dBFS
f_{IN} = 340 MHz	25°C		73.5			73.7			74.8		dBFS
f_{IN} = 450 MHz	25°C		71.9			72.2			74.2		dBFS
f_{IN} = 765 MHz	25°C		69.0			71.4			70.3		dBFS
f_{IN} = 985 MHz	25°C		68.2			71.0			69.3		dBFS
f_{IN} = 1950 MHz	25°C		63.6			66.6			65.3		dBFS
NSR使能(28%带宽模式)[4]											
f_{IN} = 10 MHz	25°C		72.4			72.8			72.4		dBFS
f_{IN} = 170 MHz	25°C		72.2			72.6			72.4		dBFS
f_{IN} = 340 MHz	25°C		72.1			72.5			72.1		dBFS
f_{IN} = 450 MHz	25°C		70.5			71.0			71.9		dBFS
f_{IN} = 765 MHz	25°C		67.0			70.0			68.3		dBFS
f_{IN} = 985 MHz	25°C		66.3			68.9			67.7		dBFS
f_{IN} = 1950 MHz	25°C		61.9			65.1			64.1		dBFS

参数[1]	温度	AD6674-1000 最小值	典型值	最大值	AD6674-750 最小值	典型值	最大值	AD6674-500 最小值	典型值	最大值	单位
信纳比(SINAD)[3]											
VDR模式(未触发输入屏蔽)											
f_{IN} = 10 MHz	25°C		67.1			67.1			69.0		dBFS
f_{IN} = 170 MHz	全温度范围	65.0	66.4		65.6	67.0		67.6	68.8		dBFS
f_{IN} = 340 MHz	25°C		65.2			66.5			68.4		dBFS
f_{IN} = 450 MHz	25°C		63.8			66.1			67.9		dBFS
f_{IN} = 765 MHz	25°C		62.1			64.1			64.2		dBFS
f_{IN} = 985 MHz	25°C		61.1			63.1			63.6		dBFS
f_{IN} = 1950 MHz	25°C		56.0			59.0			60.3		dBFS
有效位数(ENOB)[3]											
VDR模式(未触发输入屏蔽)											
f_{IN} = 10 MHz	25°C		10.8			10.8			11.2		位
f_{IN} = 170 MHz	全温度范围	10.5	10.7		10.4	10.8		10.8	11.1		位
f_{IN} = 340 MHz	25°C		10.5			10.7			11.1		位
f_{IN} = 450 MHz	25°C		10.3			10.5			11.0		位
f_{IN} = 765 MHz	25°C		10.0			10.4			10.4		位
f_{IN} = 985 MHz	25°C		9.8			10.2			10.3		位
f_{IN} = 1950 MHz	25°C		9.0			9.5			9.7		位
无杂散动态范围(SFDR)，二次或三次谐波[3]											
VDR模式(未触发输入屏蔽)											
f_{IN} = 10 MHz	25°C		88			85			83		dBFS
f_{IN} = 170 MHz	全温度范围	75	85		75	86		80	88		dBFS
f_{IN} = 340 MHz	25°C		85			83			83		dBFS
f_{IN} = 450 MHz	25°C		82			82			81		dBFS
f_{IN} = 765 MHz	25°C		82			80			80		dBFS
f_{IN} = 985 MHz	25°C		80			76			75		dBFS
f_{IN} = 1950 MHz	25°C		68			68			70		dBFS
最差其它谐波(二次或三次谐波除外)[3]											
VDR模式(未触发输入屏蔽)											
f_{IN} = 10 MHz	25°C		−95			−95			−95		dBFS
f_{IN} = 170 MHz	全温度范围	−81	−94		−81	−89		−82	−95		dBFS
f_{IN} = 340 MHz	25°C		−88			−83			−93		dBFS
f_{IN} = 450 MHz	25°C		−86			−82			−93		dBFS
f_{IN} = 765 MHz	25°C		−81			−85			−88		dBFS
f_{IN} = 985 MHz	25°C		−82			−83			−89		dBFS
f_{IN} = 1950 MHz	25°C		−75			−80			−84		dBFS
双音交调失真(IMD)[3]											
A_{IN1} AND A_{IN2} = −7.0 dBFS											
f_{IN1} = 185 MHz, f_{IN2} = 188 MHz	25°C		−87			−85			−88		dBFS
f_{IN1} = 338 MHz, f_{IN2} = 341 MHz	25°C		−88			−83			−88		dBFS
串扰[5]	25°C		95			95			95		dB
全功率带宽	25°C		2			2			2		GHz

[1] 如需了解定义以及如何完成这些测试的详情，请参阅应用笔记AN-835：了解高速ADC测试和评估。
[2] 在低模拟输入频率下测量噪声密度(30 MHz)。
[3] 实现所述典型性能的推荐器件设置参见表10。
[4] AD6674-750和AD6674-1000上的NSR激活时，抽取半带滤波器也会使能。
[5] 串扰的测量条件：一个通道参数为185 MHz、−1.0 dBFS模拟输入且相邻通道上无输入信号。

数字规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率，1.0 V内部基准电压，A_{IN} = −1.0 dBFS，时钟分频器 = 2，默认SPI设置，T_A = 25°C。

表3.

参数	温度	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK−)					
逻辑兼容	全温度范围		LVDS/LVPECL		
差分输入电压	全温度范围	600	1200	1800	mV p-p
输入共模电压	全温度范围		0.85		V
输入电阻(差分)	全温度范围		35		kΩ
输入电容	全温度范围			2.5	pF
系统基准输入(SYSREF+、SYSREF−)					
逻辑兼容	全温度范围		LVDS/LVPECL		
差分输入电压	全温度范围	400	1200	1800	mV p-p
输入共模电压	全温度范围	0.6	0.85	2.0	V
输入电阻(差分)	全温度范围		35		kΩ
输入电容(差分)	全温度范围			2.5	pF
逻辑输入(SDIO、SCLK、CSB、PDWN/STBY)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压	全温度范围	0.8 × SPIVDD			V
逻辑0电压	全温度范围	0			V
输入电阻	全温度范围		30		kΩ
逻辑输出(SDIO)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压(I_{OH} = 800 µA)	全温度范围	0.8 × SPIVDD			V
逻辑0电压(I_{OL} = 50 µA)	全温度范围	0			V
同步输入(SYNCINB+、SYNCINB−)					
逻辑兼容	全温度范围		LVDS/LVPECL/CMOS		
差分输入电压	全温度范围	400	1200	1800	mV p-p
输入共模电压	全温度范围	0.6	0.85	2.0	V
输入电阻(差分)	全温度范围		35		kΩ
输入电容	全温度范围			2.5	pF
逻辑输出(FD_A、FD_B)					
逻辑兼容	全温度范围		CMOS		
逻辑1电压	全温度范围	0.8 × SPIVDD			V
逻辑0电压	全温度范围	0			V
输入电阻	全温度范围		30		kΩ
数字输出(SERDOUTx±，x = 0至3)					
逻辑兼容	全温度范围		CML		
差分输出电压	全温度范围	360		770	mV p-p
输出共模电压(V_{CM})					
交流耦合	25°C	0		1.8	V
短路电流(I_{DSHORT})	25°C	−100		+100	mA
差分回损(RL_{DIFF})[1]	25°C	8			dB
共模回损(RL_{CM})[1]	25°C	6			dB
差分端接阻抗	全温度范围	80	100	120	Ω

[1] 差分和共模回损的测量范围是100 MHz至0.75 MHz x 波特率。

开关规格

除非另有说明，AVDD1 = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.25 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，额定最大采样速率，1.0 V内部基准电压，A_{IN} = −1.0 dBFS，时钟分频器 = 2，默认SPI设置，T_A = 25°C。

表4.

参数	温度	AD6674-1000 最小值	AD6674-1000 典型值	AD6674-1000 最大值	AD6674-750 最小值	AD6674-750 典型值	AD6674-750 最大值	AD6674-500 最小值	AD6674-500 典型值	AD6674-500 最大值	单位
时钟											
时钟速率(CLK+/CLK−引脚处)	全温度范围	0.3		4	0.3		4	0.3		4	GHz
最大采样速率[1]	全温度范围	1000			750			500			MSPS
最小采样速率[2]	全温度范围	300			300			300			MSPS
时钟高电平脉宽	全温度范围	500			666.67			1000			ps
时钟低电平脉宽	全温度范围	500			666.67			1000			ps
输出参数											
单位间隔(UI)[3]	全温度范围		100			133.33			200		ps
上升时间(t_R)(20%至80%，100 Ω负载)	25°C		32			32			32		ps
下降时间(t_F)(20%至80%，100 Ω负载)	25°C		32			32			32		ps
PLL锁定时间	25°C		2			2			2		ms
每通道的数据速率(NRZ)[4]	25°C	3.125	10	12.5	3.125	7.5	12.5	3.125	5	12.5	Gbps
延迟											
流水线延迟时间	全温度范围		75			75			75		时钟周期
快速检测延迟	全温度范围			28			28			28	时钟周期
唤醒时间(待机)[5]	25°C		1			1			1		ms
唤醒时间(掉电)[5]	25°C			4			4			4	ms
孔径											
孔径延迟(t_A)	全温度范围		530			530			530		ps
孔径不确定性(抖动，t_J)	全温度范围		55			55			55		fs rms
超范围恢复时间	全温度范围		1			1			1		时钟周期

[1] 最大采样速率为分频后的时钟速率。
[2] 最小采样速率在300 MSPS，L = 2或L = 1。
[3] 波特率 = 1/UI。支持该范围的子集。
[4] 在最高波特率(12.5 Gbps)时，各ADC在两个差分对通道上输出数据。
[5] 唤醒时间指从掉电或待机模式返回正常工作模式所需的时间。

时序规格

表5.

参数	测试条件/注释	最小值	典型值	最大值	单位
CLK±至SYSREF±时序要求					
t_{SU_SR}	器件时钟至SYSREF±建立时间		117		ps
t_{H_SR}	器件时钟至SYSREF±保持时间		−96		ps
SPI时序要求	参见图4				
t_{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t_{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t_{CLK}	SCLK周期	40			ns
t_S	CSB与SCLK之间的建立时间	2			ns
t_H	CSB与SCLK之间的保持时间	2			ns
t_{HIGH}	SCLK处于逻辑高电平状态的最短时间	10			ns
t_{LOW}	SCLK处于逻辑低电平状态的最短时间	10			ns
t_{EN_SDIO}	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间(图4未显示)	10			ns
t_{DIS_SDIO}	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间(图4未显示)	10			ns

时序图

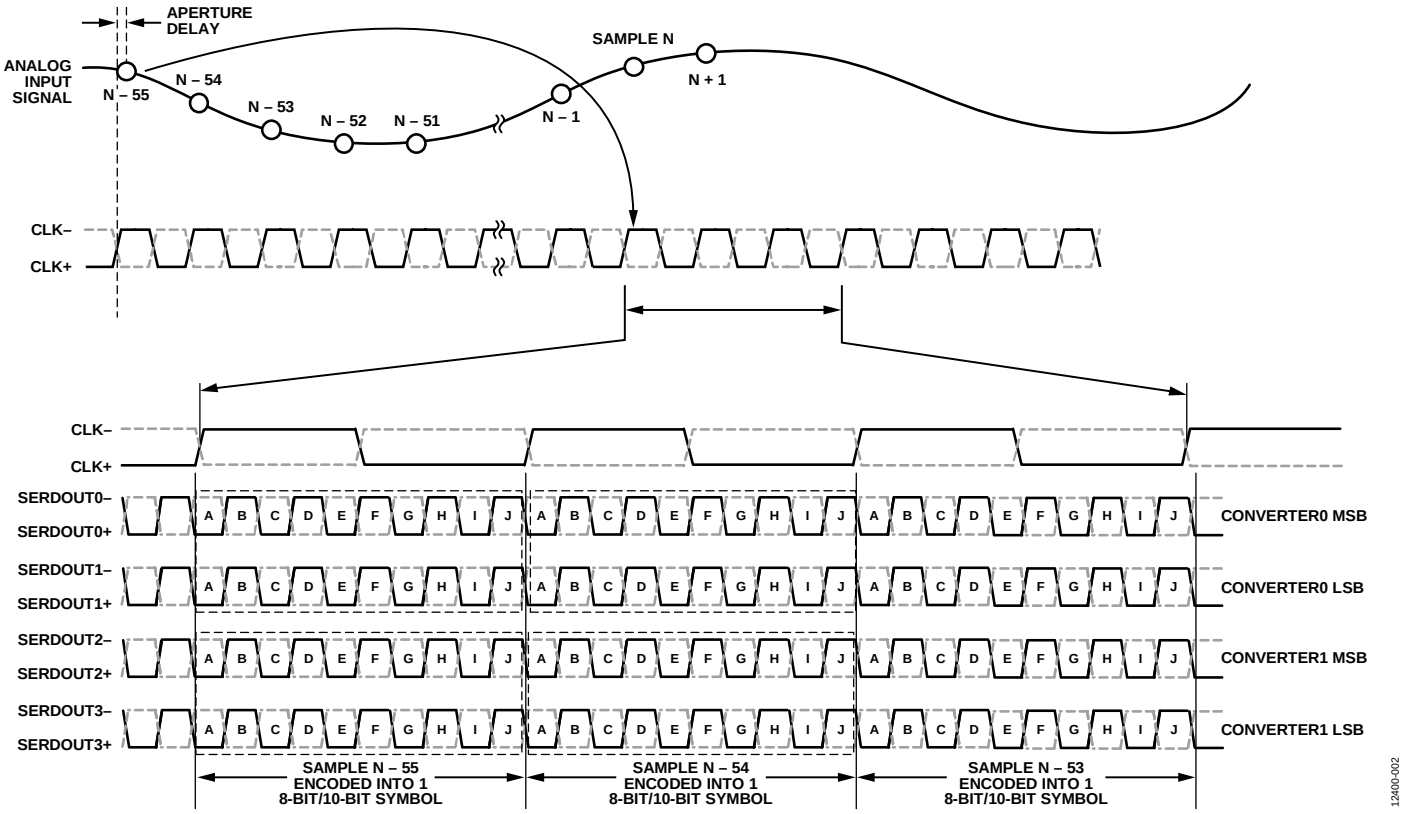


图2. 数据输出时序(VDR模式；L = 4；M = 2；F = 1)

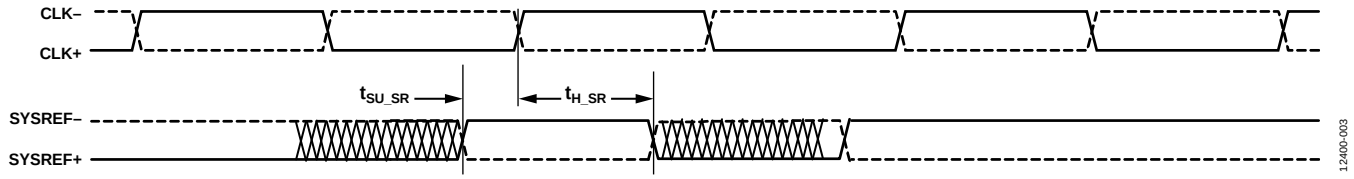


图3. SYSREF±建立和保持时间

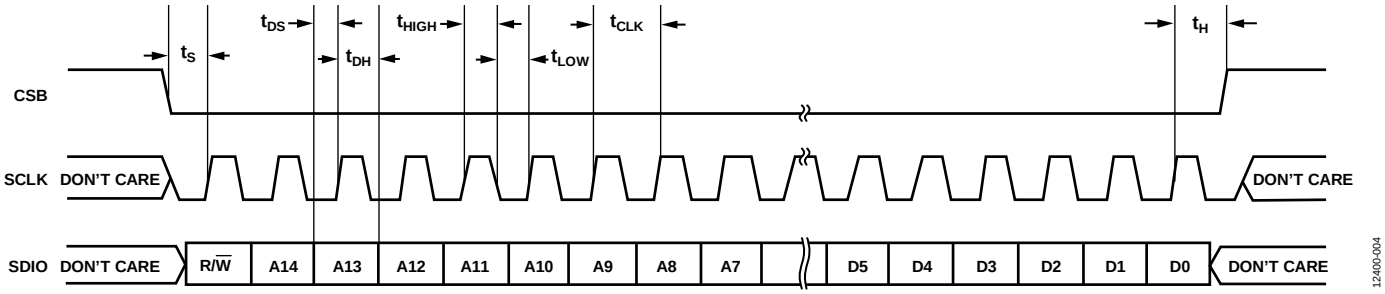


图4. 串行端口接口时序图

绝对最大额定值

表6.

参数	额定值
电气	
AVDD1至AGND	1.32 V
AVDD1_SR至AGND	1.32 V
AVDD2至AGND	2.75 V
AVDD3至AGND	3.63 V
DVDD至DGND	1.32 V
DRVDD至DRGND	1.32 V
SPIVDD至AGND	3.63 V
AGND至DRGND	−0.3 V至+0.3 V
VIN±x至AGND	3.2 V
SCLK, SDIO, CSB至AGND	−0.3 V至SPIVDD + 0.3 V
PDWN/STBY至AGND	−0.3 V至SPIVDD + 0.3 V
工作温度范围	−40°C至+85°C
结温范围	−40°C至+115°C
存储温度范围(环境)	−60°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热特性

θ_{JA}、Ψ_{JB}和θ_{JC}典型值是在不同气流速度(单位：m/s)下对多层印刷电路板(PCB)进行测量得到的结果。气流可增强散热，从而有效降低θ_{JA}和Ψ_{JB}。此外，金属直接与封装引脚和裸露焊盘接触，包括金属走线、通孔、地和电源层，同样可降低θ_{JA}。关于实际应用的热性能，需要仔细检查应用条件。建议采用适当的热管理技术，确保最大结温不超过表6中的限值。

表7. 热阻值

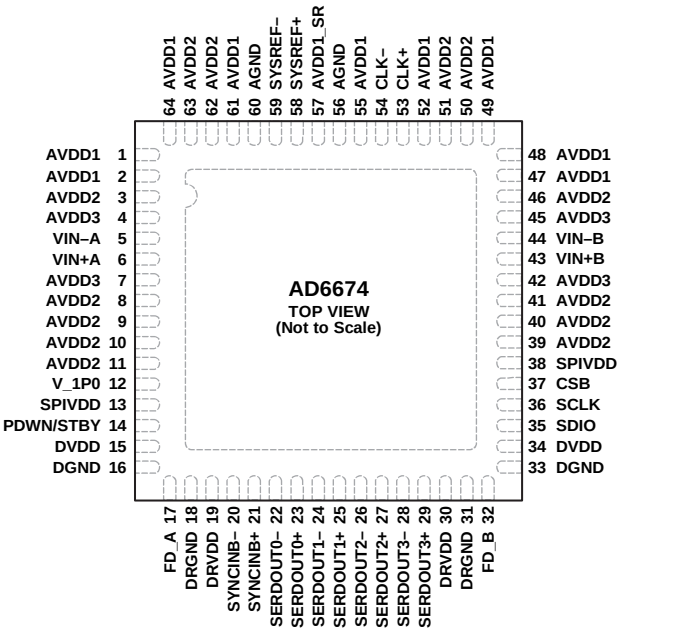
PCB类型	气流速度 (m/s)	θ_{JA}	Ψ_{JB}	θ_{JC_TOP}	θ_{JC_BOT}	单位
JEDEC 2s2p Board	0.0	17.8[1, 2]	6.3[1, 3]	4.7[1, 5]	1.2[1, 5]	°C/W
	1.0	15.6[1, 2]	5.9[1, 3]	N/A[4]		°C/W
	2.5	15.0[1, 2]	5.7[1, 3]	N/A[4]		°C/W

[1] 按照JEDEC 51-7，加上JEDEC 51-5 2s2p测试板。
[2] 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。
[3] 按照JEDEC JESD51-8(静止空气)。
[4] N/A表示不适用。
[5] 按照MIL-STD 883、方法1012.1。

ESD警告

ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



NOTES
1. EXPOSED PAD. THE EXPOSED THERMAL PAD ON THE BOTTOM OF THE PACKAGE PROVIDES THE GROUND REFENCE FOR AVDDx. THIS EXPOSED PAD MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

图5. 引脚配置

表8. 引脚功能描述

引脚编号	引脚名称	类型	描述
电源			
0	EPAD	地	裸露焊盘。封装底部的裸露热焊盘为AVDDx提供接地基准。该焊盘必须与地相连，才能正常工作。详见"应用信息"部分。
1, 2, 47, 48, 49, 52, 55, 61, 64	AVDD1	电源	模拟电源(标称值1.25 V)。
3, 8, 9, 10, 11, 39, 40, 41, 46, 50, 51, 62, 63	AVDD2	电源	模拟电源(标称值2.5 V)。
4, 7, 42, 45	AVDD3	电源	模拟电源(标称值3.3 V)。
13, 38	SPIVDD	电源	SPI数字电源(1.8 V至3.4 V)。
15, 34	DVDD	电源	数字电源(标称值为1.25 V)。
16, 33	DGND	地	DVDD的接地基准。
18, 31	DRGND	地	DRVDD接地基准。
19, 30	DRVDD	电源	数字驱动器电源(标称值：1.25 V)。
56, 60	AGND[1]	地	SYSREF±接地基准。
57	AVDD1_SR[1]	电源	SYSREF±模拟电源(标称值：1.25 V)。
模拟			
5, 6	VIN−A, VIN+A	输入	ADC A模拟输入(−/+)。
12	V_1P0	输入/DNC	1.0 V基准电压输入/不连接。此引脚可通过SPI配置为无连接或输入。如果使用内部基准，则不连接此引脚。如果使用外部基准电压源，则此引脚需要一个1.0 V基准电压输入。
43, 44	VIN+B, VIN−B	输入	ADC B模拟输入(+/−)。
53, 54	CLK+, CLK−	输入	时钟输入(+/−)。

引脚编号	引脚名称	类型	描述
CMOS输出			
17, 32	FD_A, FD_B	输出	通道A和通道B的快速检测输出。
数字输入			
20, 21	SYNCINB–, SYNCINB+	输入	低电平有效JESD204B LVDS同步输入(+/−)。
58, 59	SYSREF+, SYSREF–	输入	低电平有效JESD204B LVDS系统基准输入(+/−)。
数据输出			
22, 23	SERDOUT0–, SERDOUT0+	输出	通道0输出数据(−/+)。
24, 25	SERDOUT1–, SERDOUT1+	输出	通道1输出数据(−/+)。
26, 27	SERDOUT2–, SERDOUT2+	输出	通道2输出数据(−/+)。
28, 29	SERDOUT3–, SERDOUT3+	输出	通道3输出数据(−/+)。
待测器件(DUT)控制			
14	PDWN/STBY	输入	掉电输入(高电平有效)。此引脚的操作取决于SPI模式，可配置为掉电或待机。
35	SDIO	输入/输出	SPI串行数据输入/输出。
36	SCLK	输入	SPI串行时钟。
37	CSB	输入	SPI片选(低电平有效)。

[1] 为了确保ADC正常工作，应使AVDD1_SR和AGND独立于AVDD1和EPAD连接而进行连接。更多信息见“应用信息”部分。

典型性能参数

AD6674-1000

除非另有说明，AVDD1 = 1.25 V，AVDD1_SR = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，A_{IN} = −1.0 dBFS，VDR模式(未违反VDR屏蔽)，时钟分频值 = 2，其他情况下为默认SPI设置，T_A = 25°C，128k FFT采样。推荐设置参见表10。

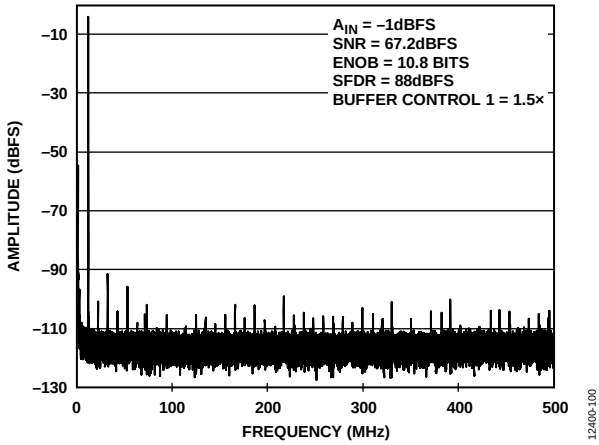


图6. 单音FFT(f_{IN} = 10.3 MHz)

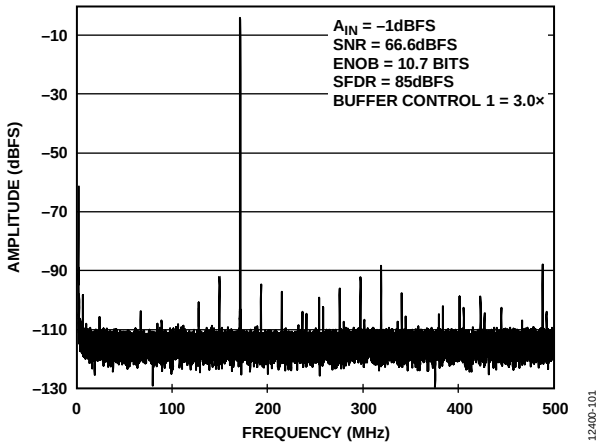


图7. 单音FFT(f_{IN} = 170.3 MHz)

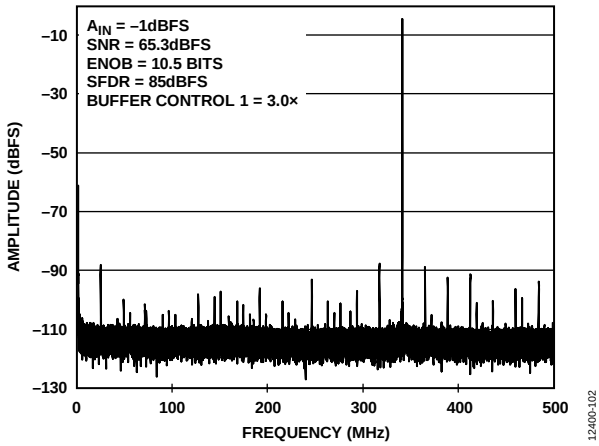


图8. 单音FFT(f_{IN} = 340.3 MHz)

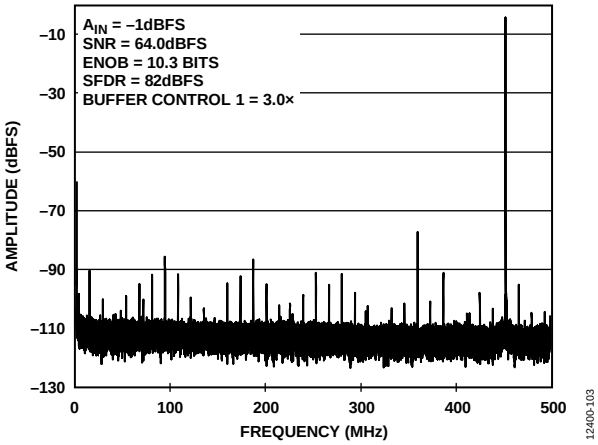


图9. 单音FFT(f_{IN} = 450.3 MHz)

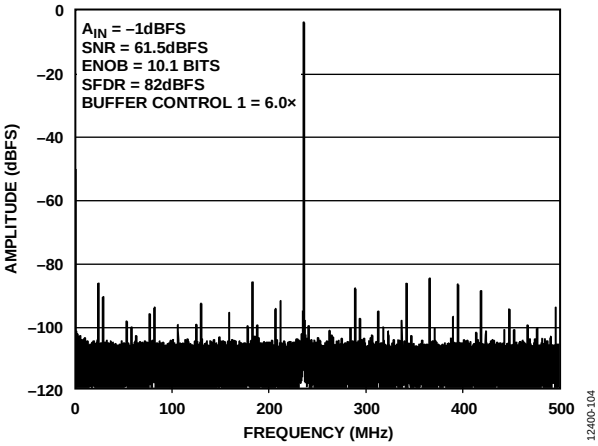


图10. 单音FFT(f_{IN} = 765.3 MHz)

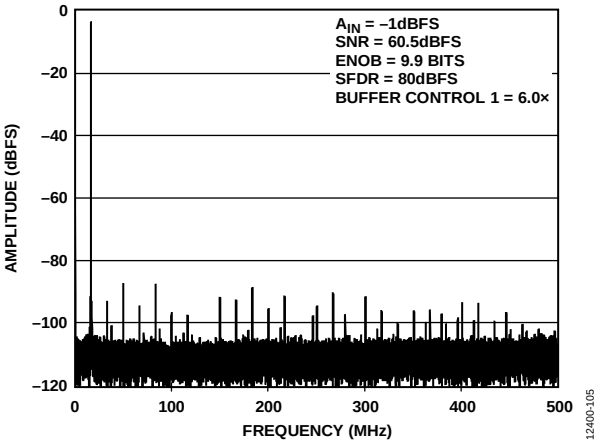


图11. 单音FFT(f_{IN} = 985.3 MHz)

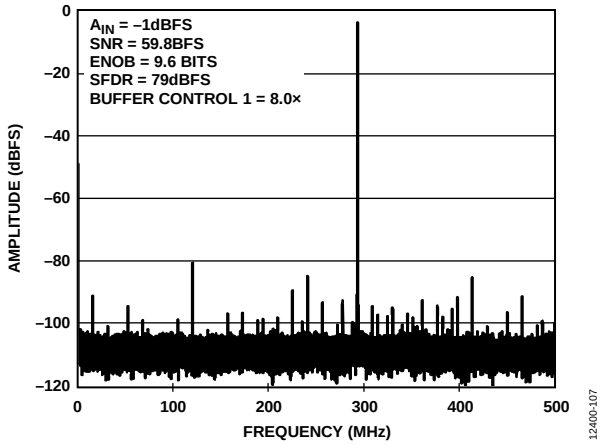


图12. 单音FFT(f_{IN} = 1293.3 MHz)

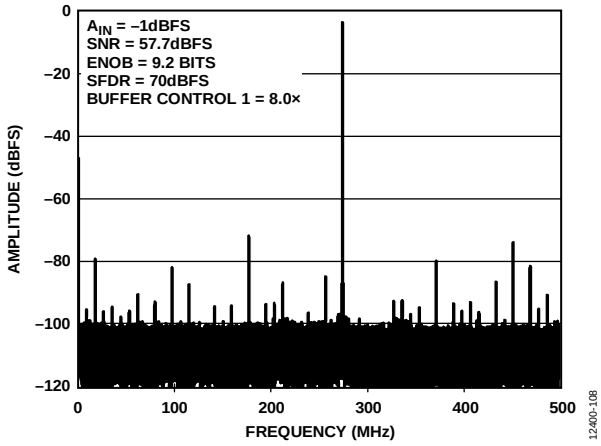


图13. 单音FFT(f_{IN} = 1725.3 MHz)

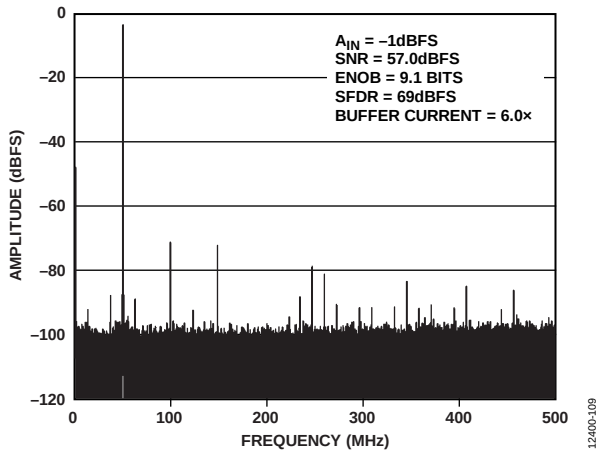


图14. 单音FFT(f_{IN} = 1950.3 MHz)

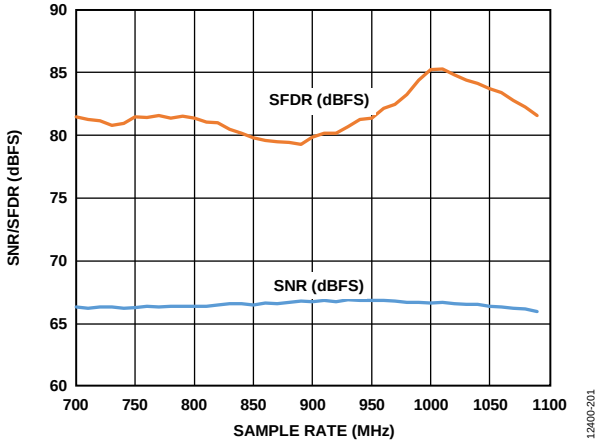


图15. SNR/SFDR与采样速率(f_S)的关系
(f_{IN} = 170.3 MHz；缓冲器控制1 = 3.0×)

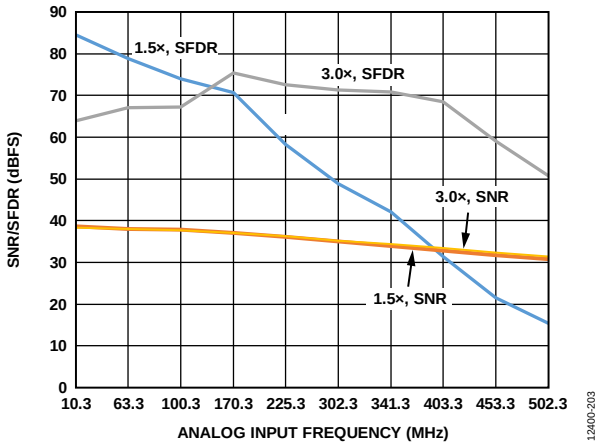


图16. SNR/SFDR与模拟输入频率(f_{IN})的关系
(f_{IN} < 500 MHz；缓冲器控制1 = 1.5×和3.0×)

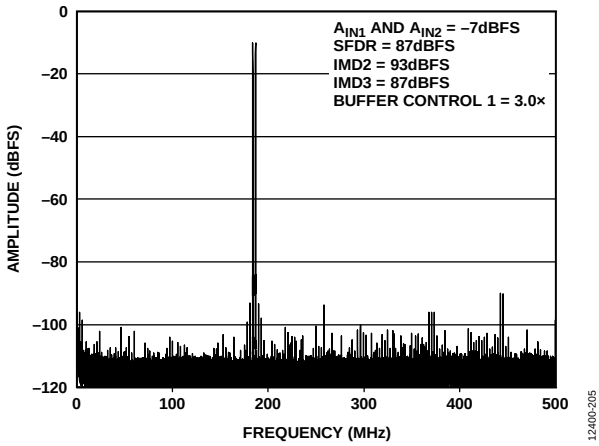


图17. 双音FFT(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

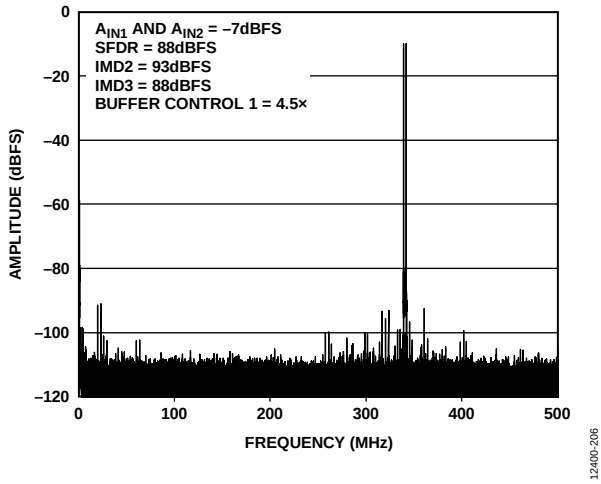


图18. 双音FFT(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

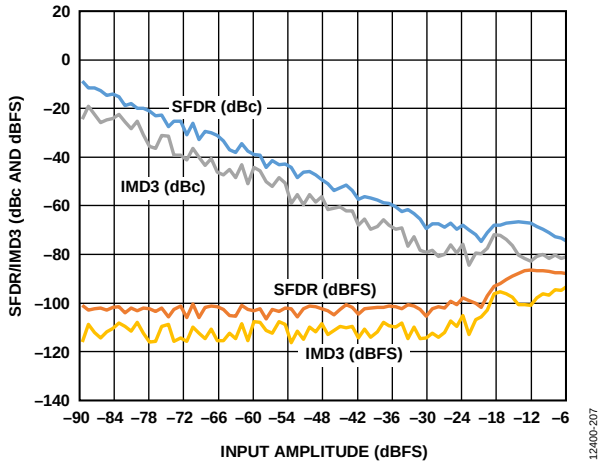


图19. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

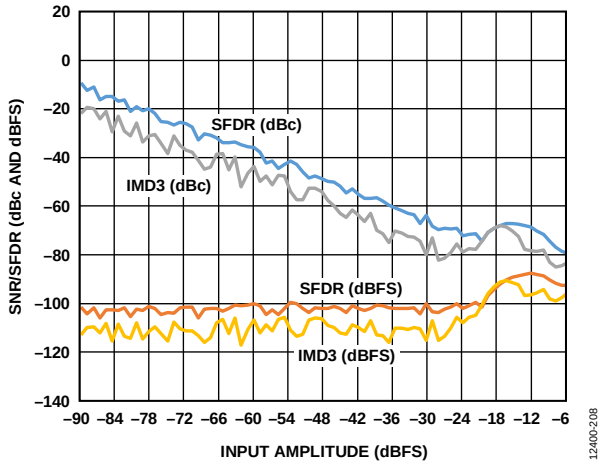


图20. 双音IMD3/SFDR与输入幅度(A_{IN})的关系
(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

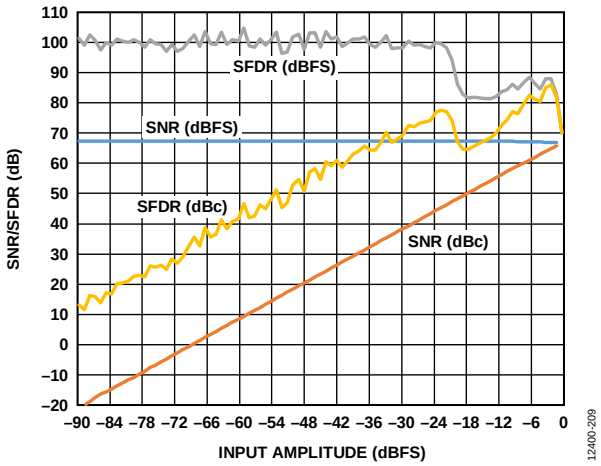


图21. SNR/SFDR与输入幅度(A_{IN})的关系(f_{IN} = 170.3 MHz)

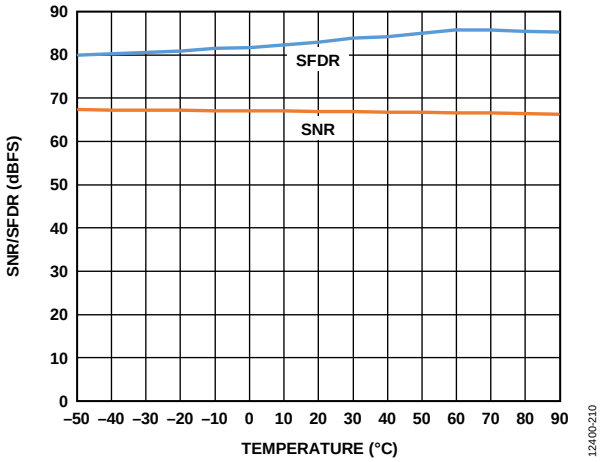


图22. SNR/SFDR与温度的关系(f_{IN} = 170.3 MHz)

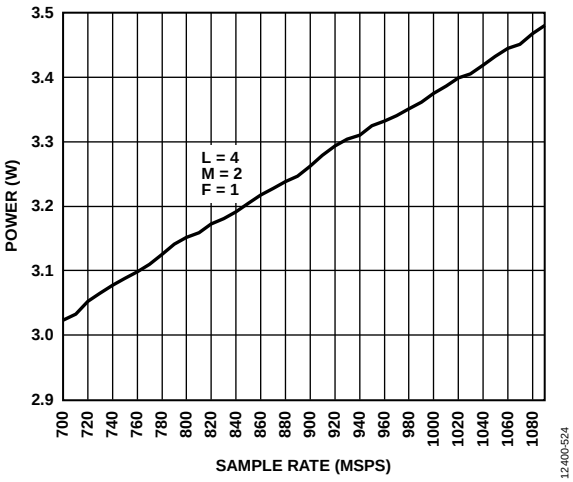


图23. 功耗与采样速率(f_S)的关系(默认SPI)

AD6674-750

除非另有说明，AVDD1 = 1.25 V，AVDD1_SR = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，A_{IN} = −1.0 dBFS，VDR模式(未违反VDR屏蔽)，时钟分频值 = 2，其他情况下为默认SPI设置，T_A = 25°C，128k FFT采样。推荐设置参见表10。

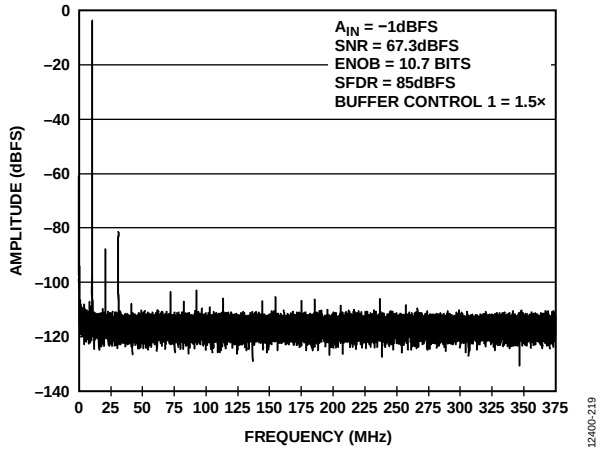


图24. 单音FFT(f_{IN} = 10.3 MHz)

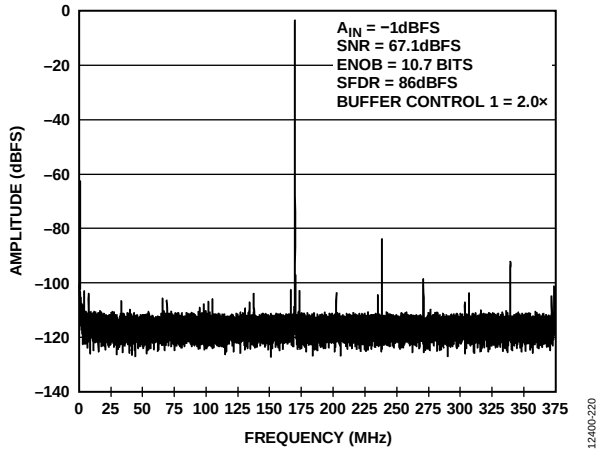


图25. 单音FFT(f_{IN} = 170.3 MHz)

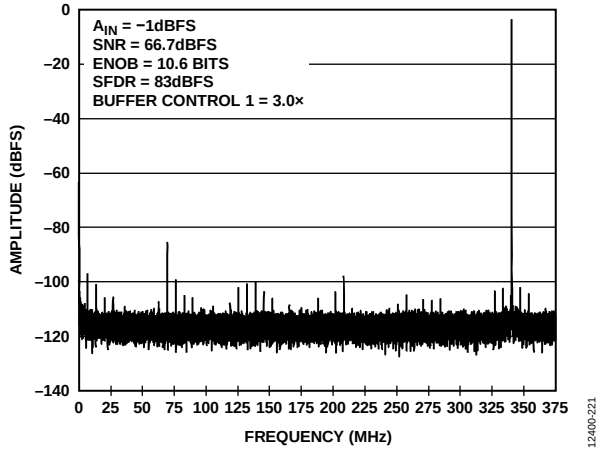


图26. 单音FFT(f_{IN} = 340.3 MHz)

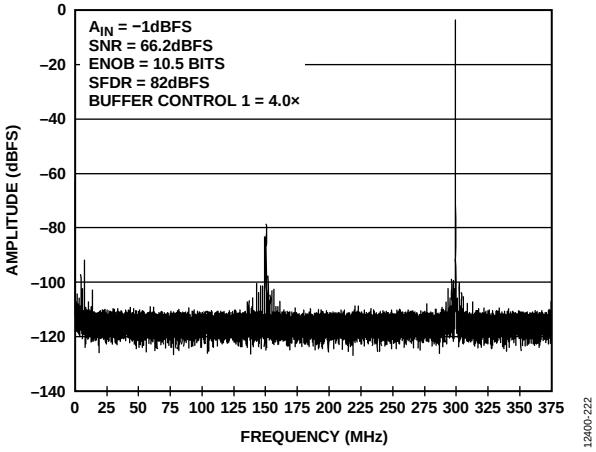


图27. 单音FFT(f_{IN} = 450.3 MHz)

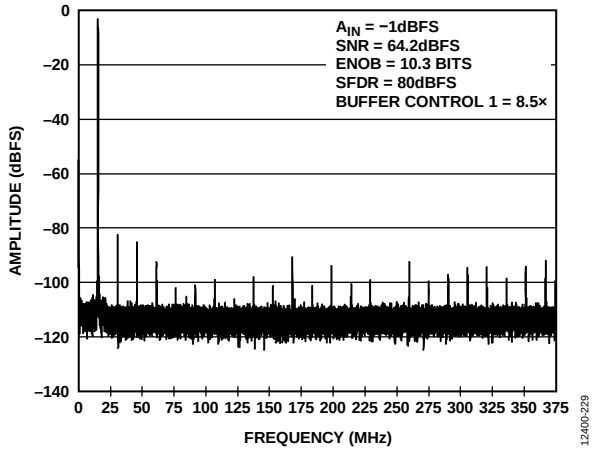


图28. 单音FFT(f_{IN} = 765.3 MHz)

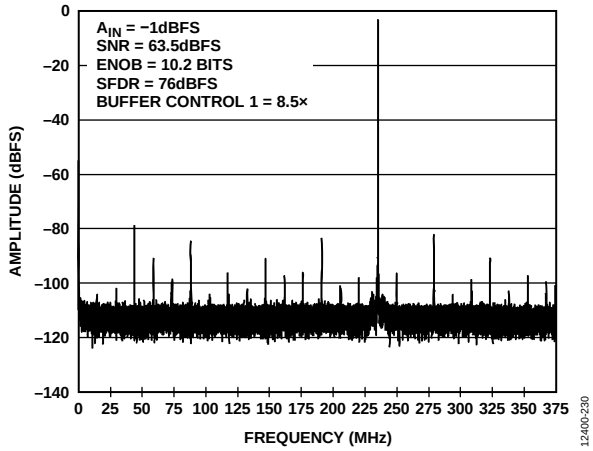


图29. 单音FFT(f_{IN} = 985.3 MHz)

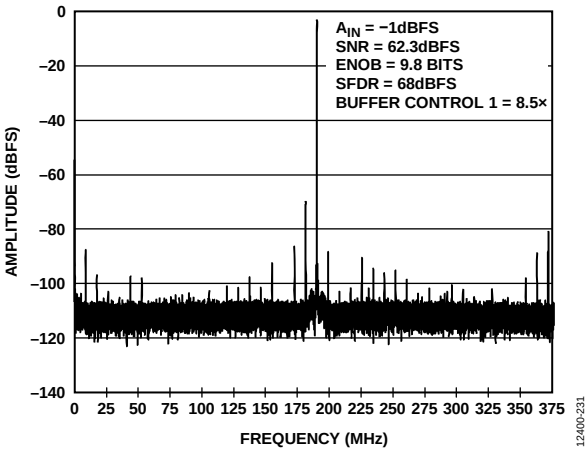


图30. 单音FFT(f_{IN} = 1310.3 MHz)

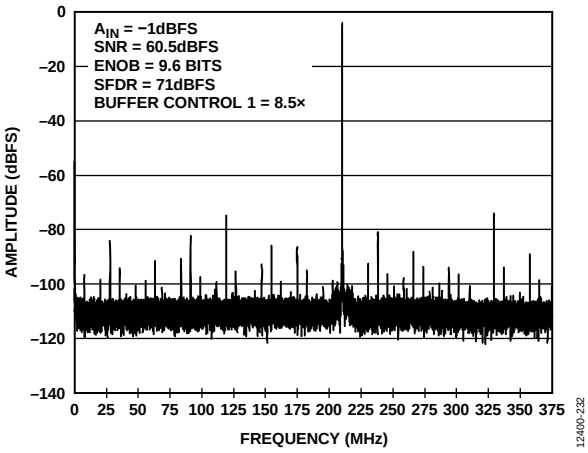


图31. 单音FFT(f_{IN} = 1710.3 MHz)

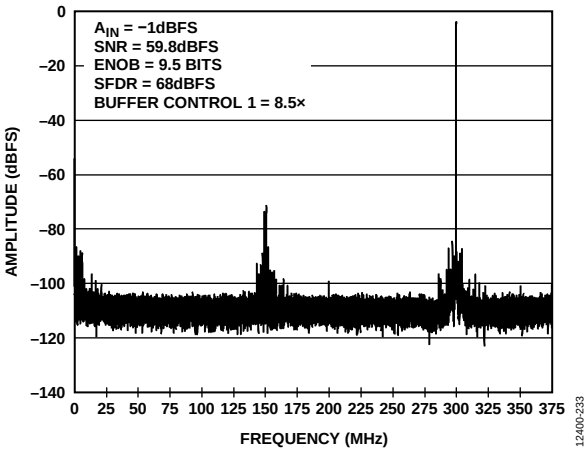


图32. 单音FFT(f_{IN} = 1950.3 MHz)

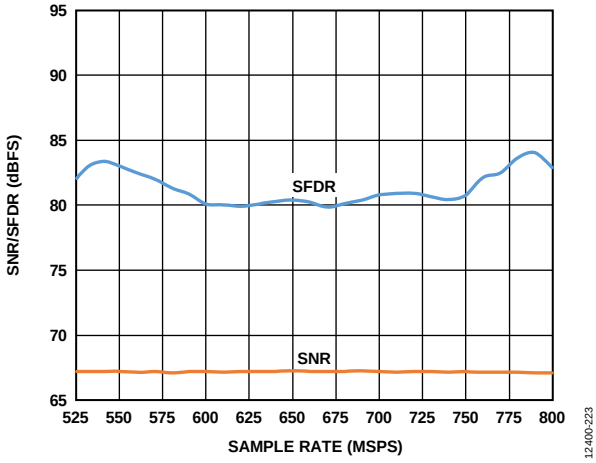


图33. SNR/SFDR与采样速率(f_S)的关系
(f_{IN} = 170.3 MHz；缓冲器控制1 = 3.0×)

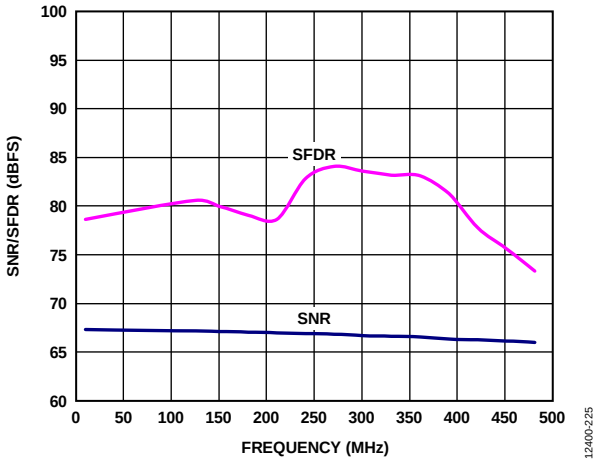


图34. SNR/SFDR与模拟输入频率(f_{IN})的关系
(f_{IN} < 500 MHz；缓冲器控制1 = 3.0×)

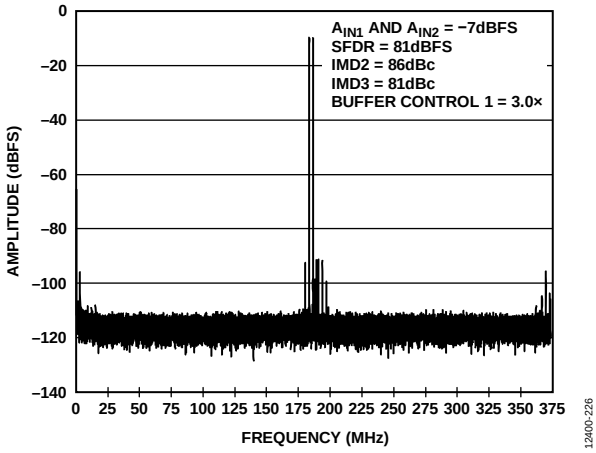


图35. 双音FFT(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

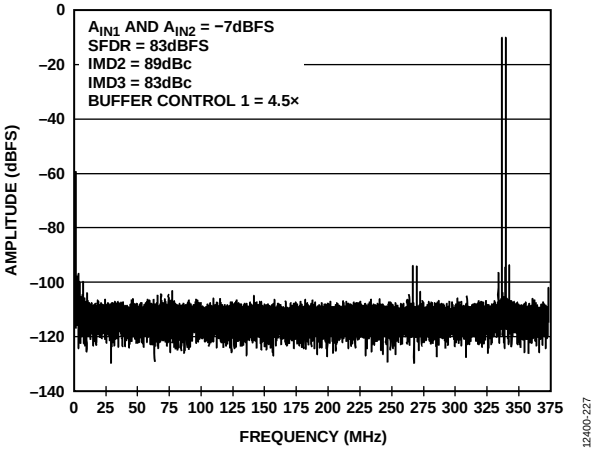


图36. 双音FFT(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

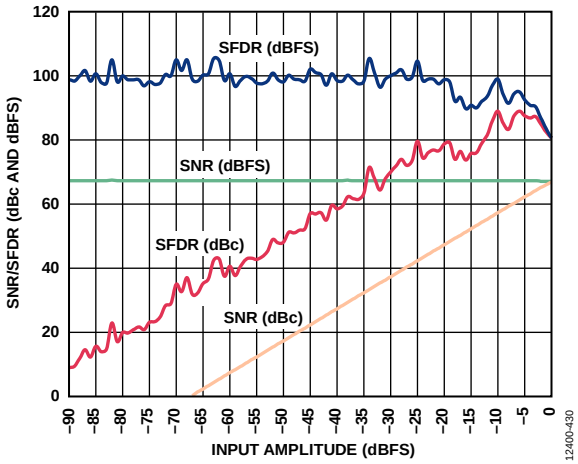


图39. SNR/SFDR与输入幅度(A_{IN})的关系(f_{IN} = 170.3 MHz)

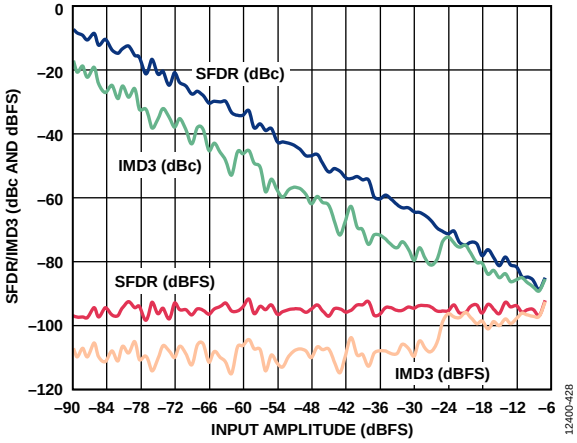


图37. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

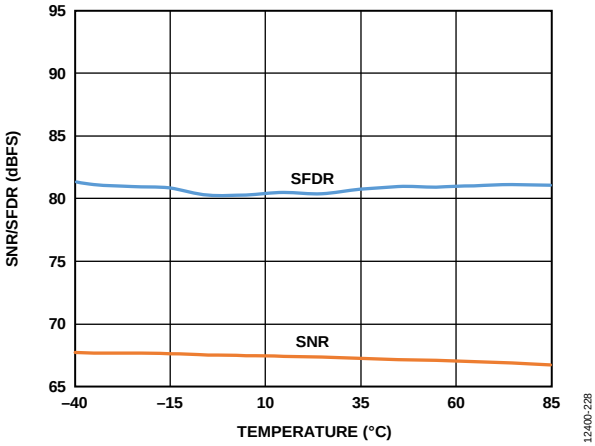


图40. SNR/SFDR与温度的关系(f_{IN} = 170.3 MHz)

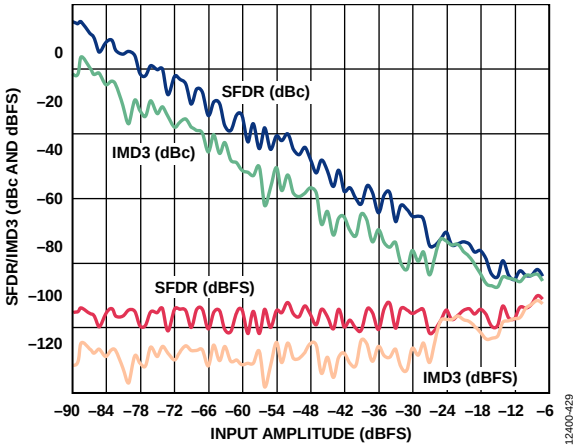


图38. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

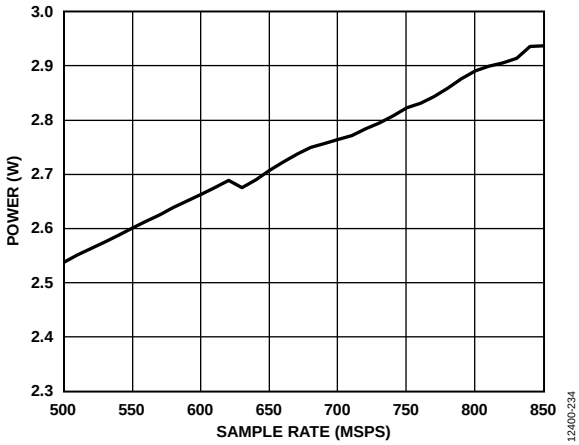


图41. 功耗与采样速率(f_S)的关系
(f_S ≥ 625 MSPS：L = 4，M = 2，F = 1；
f_S < 625 MSPS：L= 2，M = 2，F = 2)(默认SPI)

AD6674-500

除非另有说明，AVDD1 = 1.25 V，AVDD1_SR = 1.25 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，DVDD = 1.25 V，DRVDD = 1.25 V，SPIVDD = 1.8 V，A_{IN} = −1.0 dBFS，VDR模式(未违反VDR屏蔽)，时钟分频值 = 2，其他情况下为默认SPI设置，T_A = 25°C，128k FFT采样。推荐设置参见表10。

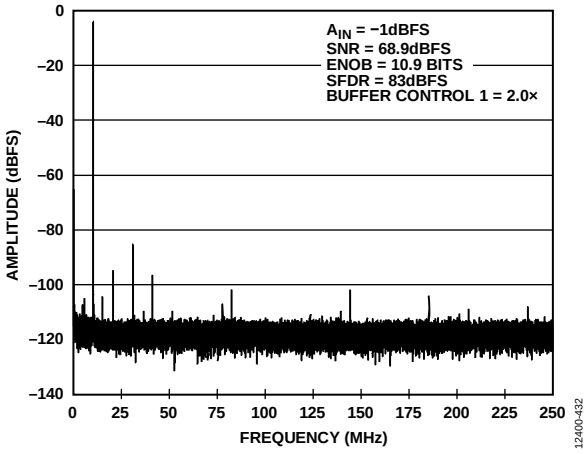


图42. 单音FFT(f_{IN} = 10.3 MHz)

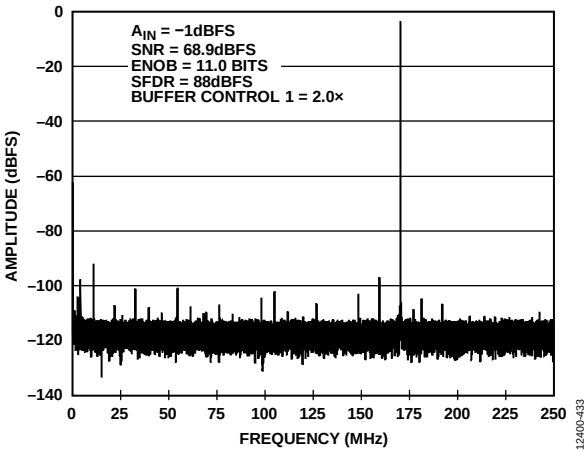


图43. 单音FFT(f_{IN} = 170.3 MHz)

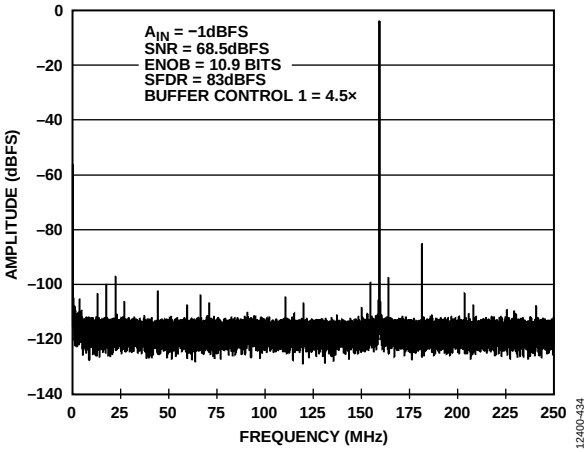


图44. 单音FFT(f_{IN} = 340.3 MHz)

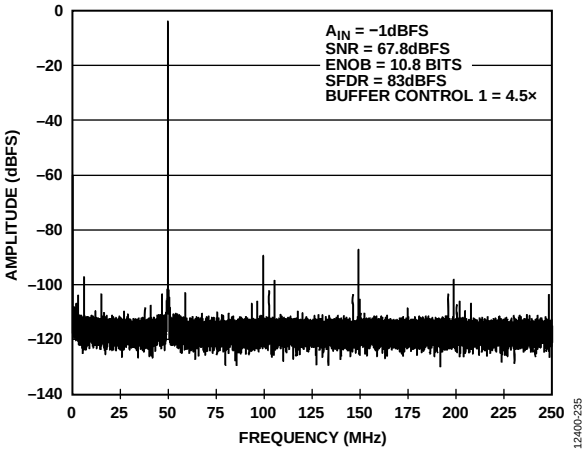


图45. 单音FFT(f_{IN} = 450.3 MHz)

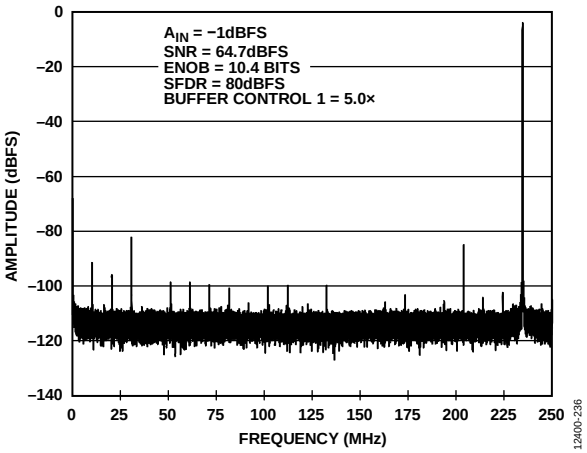


图46. 单音FFT(f_{IN} = 765.3 MHz)

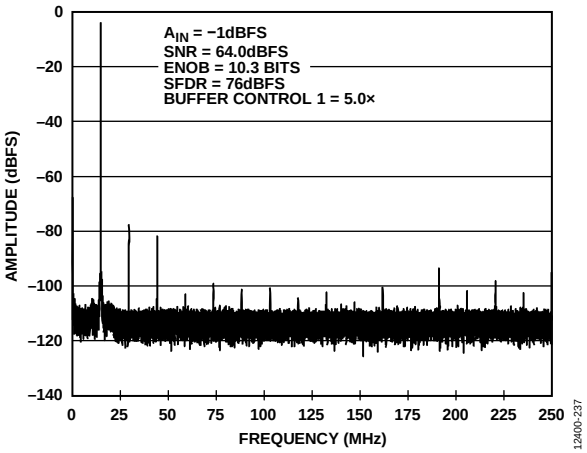


图47. 单音FFT(f_{IN} = 985.3 MHz)

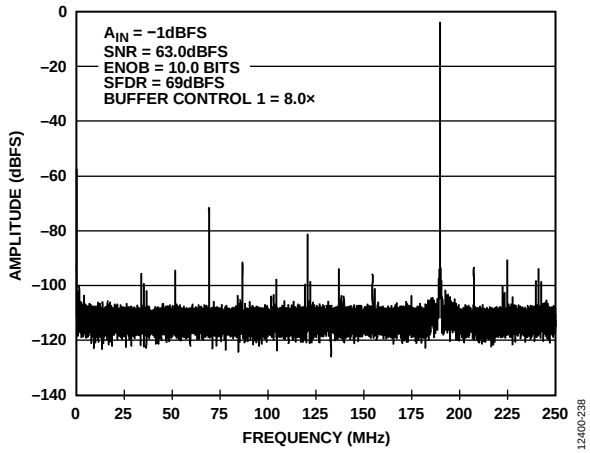


图48. 单音FFT(f_{IN} = 1310.3 MHz)

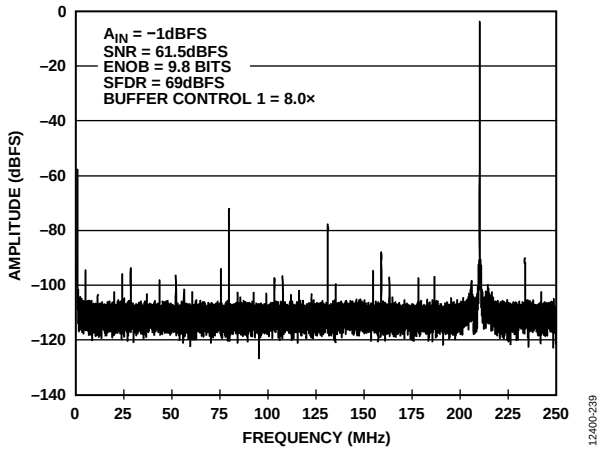


图49. 单音FFT(f_{IN} = 1710.3 MHz)

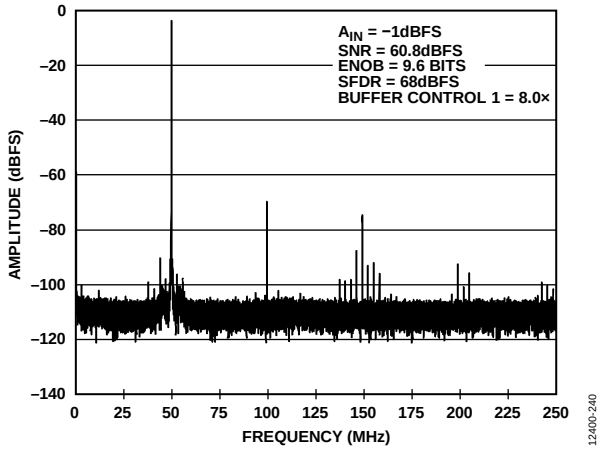


图50. 单音FFT(f_{IN} = 1950.3 MHz)

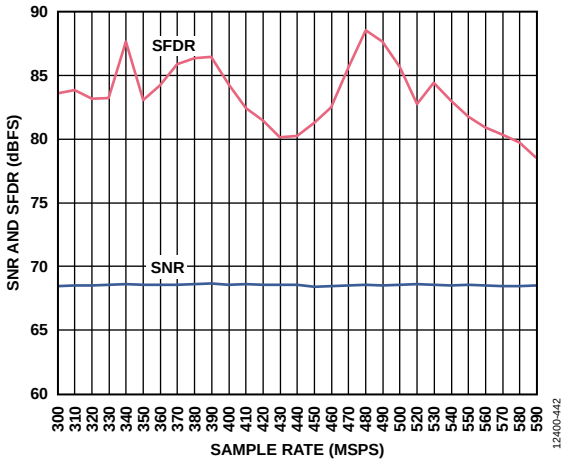


图51. SNR/SFDR与采样速率(f_S)的关系
(f_{IN} = 170.3 MHz；缓冲器控制1 = 2.0×)

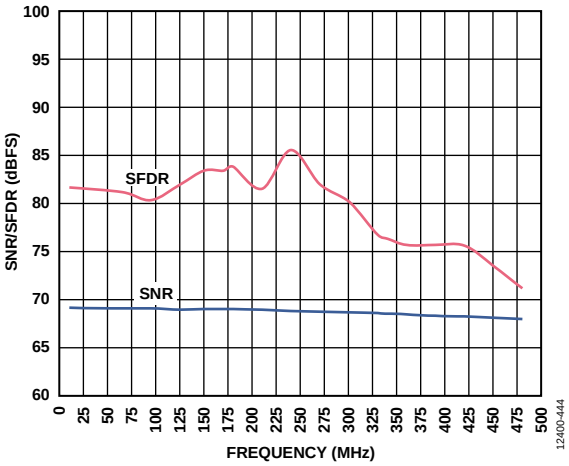


图52. SNR/SFDR与模拟输入频率(f_{IN})的关系
(f_{IN} < 500 MHz；缓冲器控制1 = 3.0×)

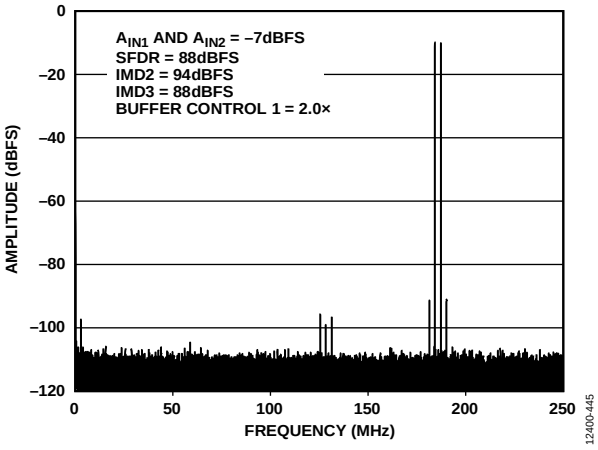


图53. 双音FFT(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

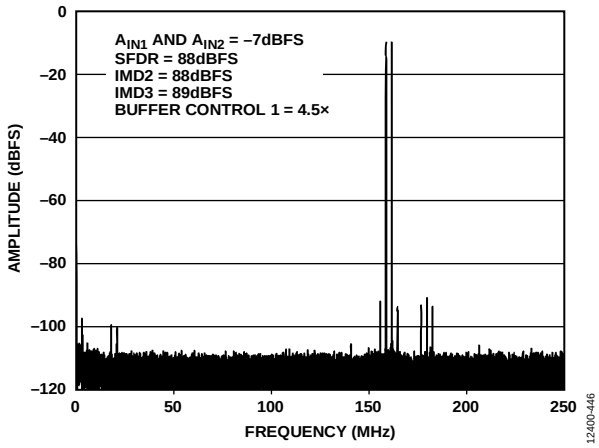


图54. 双音FFT(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

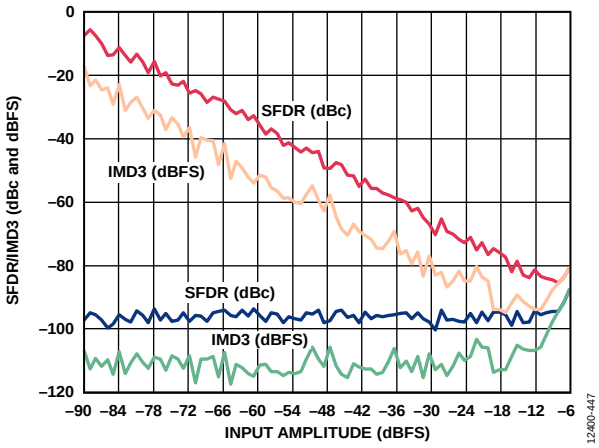


图55. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
(f_{IN1} = 184 MHz，f_{IN2} = 187 MHz)

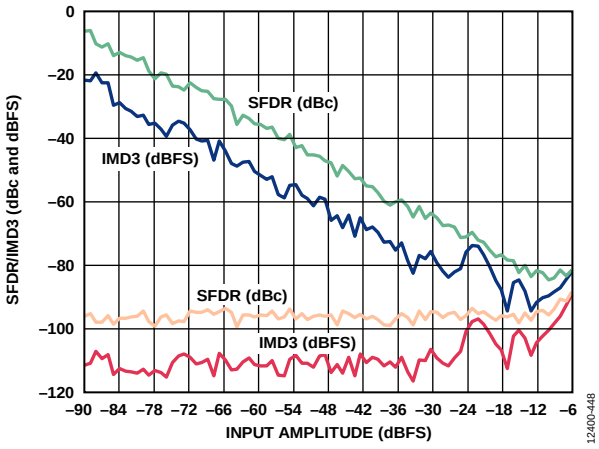


图56. 双音SFDR/IMD3与输入幅度(A_{IN})的关系
(f_{IN1} = 338 MHz，f_{IN2} = 341 MHz)

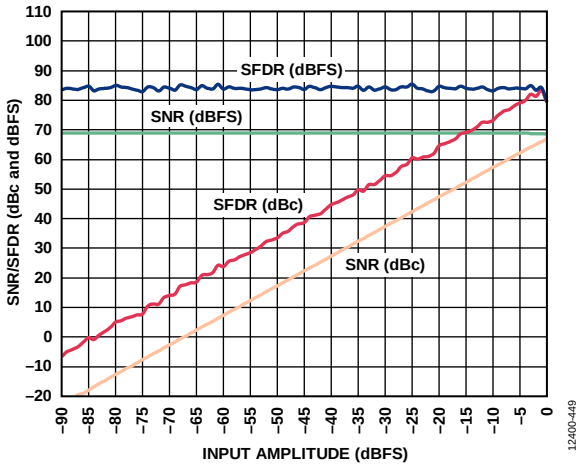


图57. SNR/SFDR与输入幅度(A_{IN})的关系(f_{IN} = 170.3 MHz)

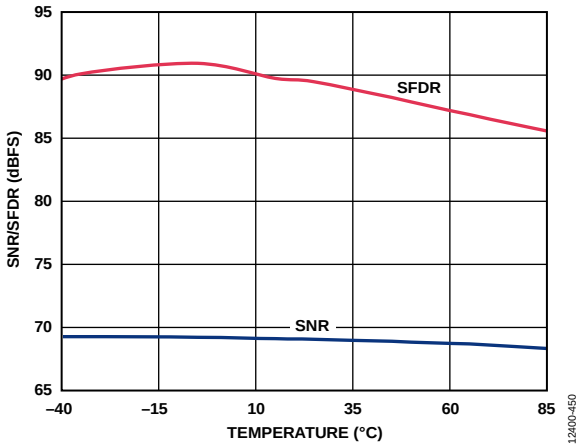


图58. SNR/SFDR与温度的关系(f_{IN} = 170.3 MHz)

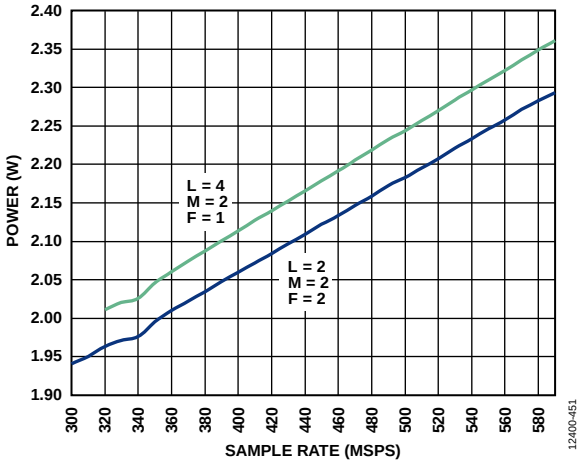


图59. 功耗与采样速率(f_S)的关系(默认SPI)

等效电路

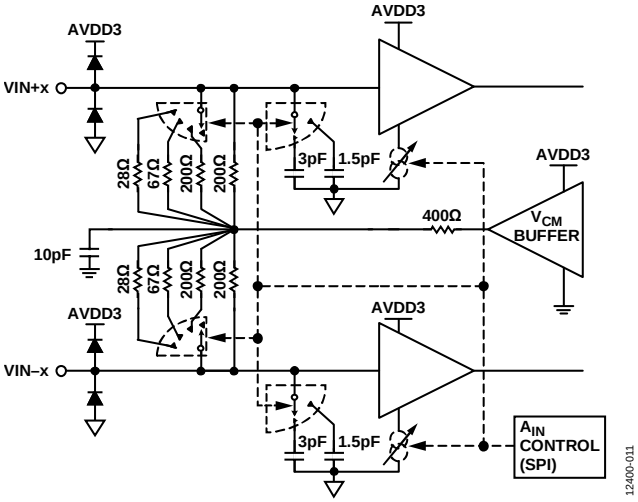


图60. 模拟输入

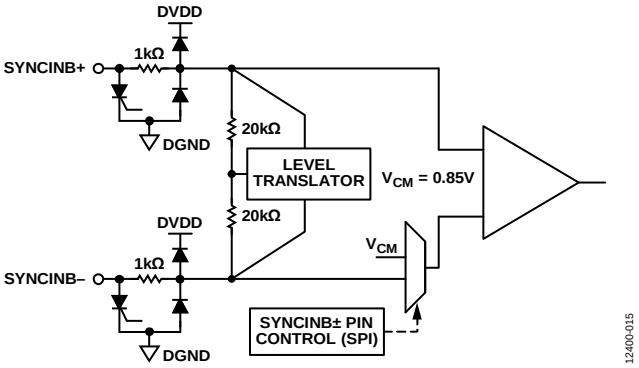


图64. SYNCINB±输入

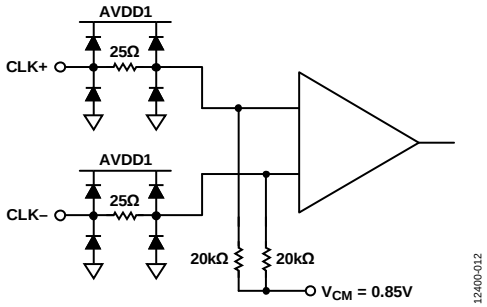


图61. 时钟输入

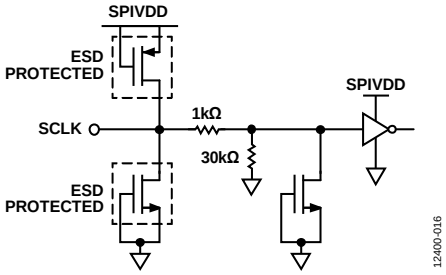


图65. SCLK输入

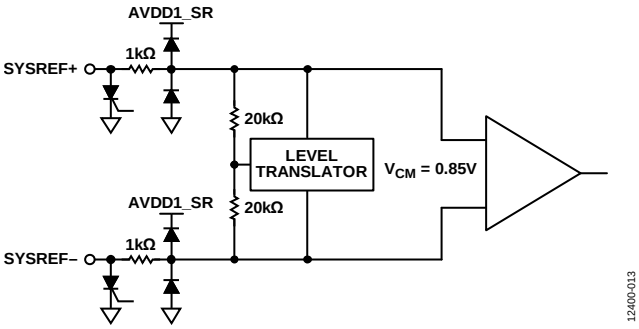


图62. SYSREF±输入

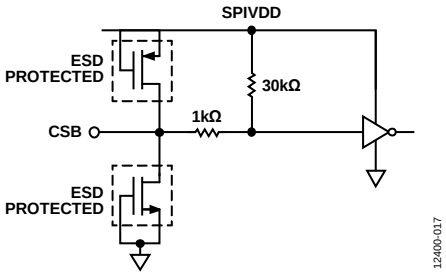


图66. CSB输入

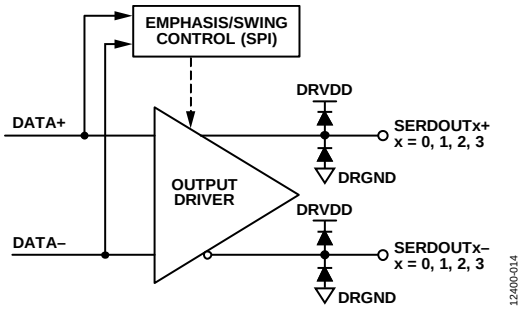


图63. 数字输出

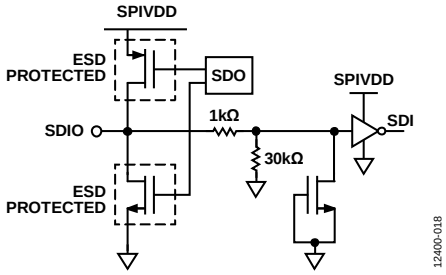


图67. SDIO

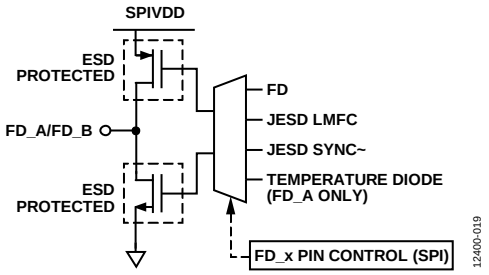


图68. FD_A/FD_B输出

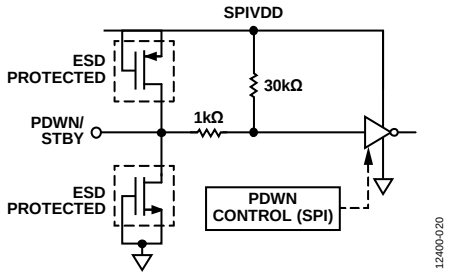


图69. PDWN/STBY输入

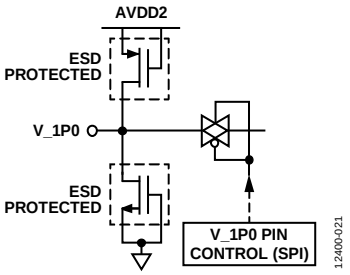


图70. V_1P0输入/输出

工作原理

AD6674具有两个模拟输入通道和两个JESD204B输出通道对。AD6674设计用于高达2 GHz的宽带模拟信号采样。AD6674针对宽输入带宽、高采样速率、出色的线性度、低功耗和小封装而优化。

这款双通道ADC内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个ADC均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

AD6674内置多种功能，可以简化通信接收机中的AGC功能。利用ADC输出数据流的快速检测位(通过寄存器0x245至寄存器0x24C使能和编程)，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速降低系统增益，从而避免ADC输入端出现超量程现象。

基于JESD204B子类1的高速串行化输出数据速率可以配置为单通道(L = 1)和双通道(L = 2)，具体取决于采样速率和抽取率。SYSREF±和SYNCINB±输入引脚支持多器件同步。

ADC架构

其架构由输入缓冲流水线式ADC组成。输入缓冲器设计为可向模拟输入信号提供端接阻抗。可使用SPI改变端接阻抗，满足驱动器/放大器的端接需要。默认端接值设置为400 Ω。模拟输入端接的等效电路如图60所示。输入缓冲器针对高线性度、低噪声和低功耗优化。

输入缓冲器提供线性高输入阻抗(便于驱动)，同时降低ADC的反冲。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个16位转换结果。流水线式架构允许第一级处理新的输入样本，而其它级继续处理之前的样本。采样在时钟的上升沿进行。

模拟输入考虑

AD6674的模拟输入端是一个差分缓冲器。缓冲器的内部共模电压为2.05 V。输入电路根据时钟信号在采样模式和保持模式之间切换。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级插入的峰值瞬态电流。此外，输入端每一部分可以使用低Q电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现ADC的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低Q电感或铁氧体磁珠。在输入端放置一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。欲了解更多信息，请参阅ADI网站(www.analog.com)上的应用笔记AN-742、AN-827以及“模拟对话”文章“用于宽带模数转换器的变压器耦合前端”(第39卷，2005年4月)。通常，精确值取决于应用。

为得到最佳动态性能，必须使驱动VIN+x的源阻抗与驱动VIN−x的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会被ADC的共模抑制削弱。内部基准缓冲器可创建差分基准，用来定义ADC内核范围。

在差分配置中，将ADC设置为最大范围可以实现最高的SNR性能。对于AD6674，可用范围可通过SPI端口设置为1.46 V p-p至2.06 V p-p差分；1.70 V p-p差分是AD6674-1000和AD6674-750的默认值，2.06 V p-p是AD6674-500的默认值。

差分输入配置

有多种有源或无源方法可以驱动AD6674，不过，通过差分方式驱动模拟输入可实现最佳性能。

在SNR和SFDR为关键参数的应用中，因为大部分放大器的噪声性能不足以实现AD6674的真正性能，所以输入配置中建议采用差分变压器耦合(见图71和表9)。

对于低范围至中间范围频率，建议使用一个双巴伦或双变压器网络(见图71)，以便实现AD6674的最优性能。对于第二或第三奈奎斯特区中的较高频率，最好能移除部分前端无源器件，确保宽带正常工作(见图71和表9)。

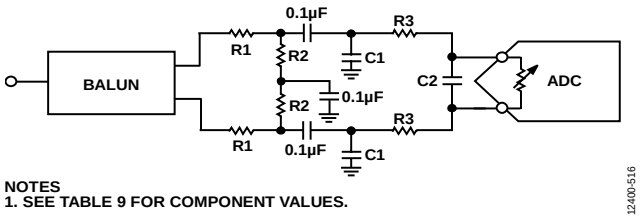


图71. AD6674的差分变压器耦合配置

表9. 差分变压器耦合输入配置的元件值

器件	频率范围	变压器	R1 (Ω)	R2 (Ω)	R3 (Ω)	C1 (pF)	C2 (pF)
AD6674-500	DC至250 MHz	ETC1-1-13	10	50	10	4	2
	250 MHz至2 GHz	BAL0006/BAL0006SMG	10	50	10	4	2
AD6674-750	DC至375 MHz	ETC1-1-13	10	50	10	4	2
	375 MHz至2 GHz	BAL0006/BAL0006SMG	10	50	10	4	2
AD6674-1000	DC至500 MHz	ECT1-1-13/BAL0006SMG	25	25	10	4	2
	500 MHz至2 GHz	BAL0006/BAL0006SMG	25	25	0	开路	开路

输入共模

AD6674的模拟输入内部偏置到共模电压，如图72所示。共模缓冲器的范围有限，因为如果共模电压降幅超过100 mV，性能就会大受影响。所以，在直流耦合应用中，应将共模电压设为2.05 V ± 100 mV，以确保ADC正常工作。

模拟输入控制和SFDR优化

AD6674为模拟输入提供灵活的控制，比如输入端接、输入电容、缓冲器电流和输入满量程调整。所有可用控制如图72所示。

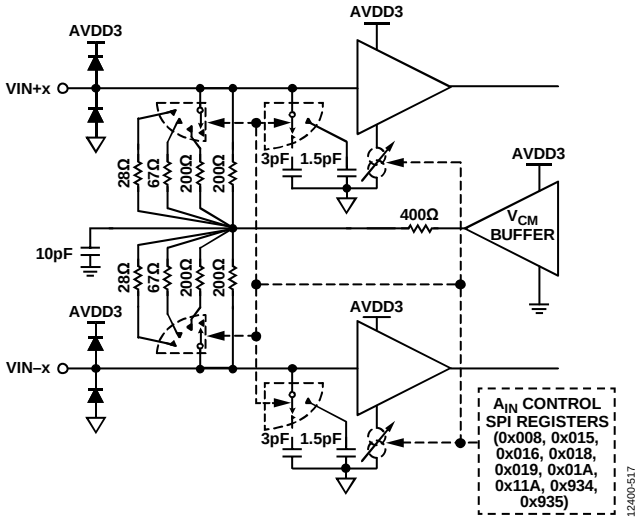


图72. 模拟输入控制

利用寄存器0x018、寄存器0x019、寄存器0x01A、寄存器0x11A、寄存器0x934和寄存器0x935调整各通道的缓冲器行为，以便针对各种输入频率和目标带宽优化SFDR。

输入缓冲器控制寄存器(寄存器0x018、寄存器0x019、寄存器0x01A、寄存器0x934、寄存器0x935和寄存器0x11A)

输入缓冲器具有许多寄存器，用于设置不同频率下工作时的偏置电流和其他设置。这些偏置电流和设置可以根据应用的输入频率范围进行更改。寄存器0x018控制缓冲器偏置电流，以便降低ADC内核的电荷反冲影响。此设置可在1.0×的低值到8.5×的高值之间调整。对于AD6674-750和AD6674-1000，寄存器0x018的默认设置为3.0×；对于AD6674-500，默认设置为2.0×。在第一奈奎斯特区工作时，这些设置已足够。设置输入缓冲器电流之后，AVDD3电源所需的电流量也会发生改变。此关系如图73所示。关于缓冲器电流设置的完整列表，参见表45。

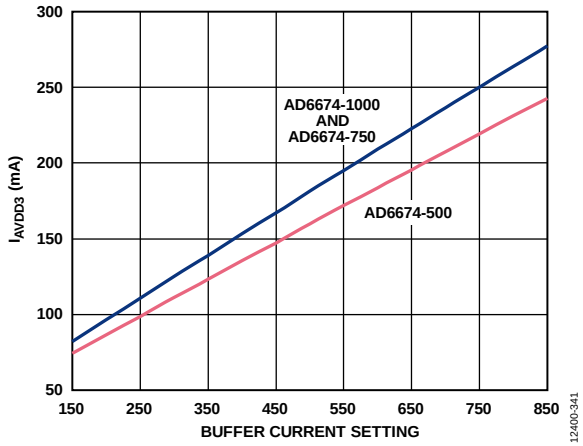


图73. IAVDD3与寄存器0x018中的缓冲器电流设置的关系

当频率大于500 MHz时，寄存器0x019、寄存器0x01A、寄存器0x11A和寄存器0x935为输入缓冲器提供第二偏置控制。寄存器0x934可用来降低输入电容以实现更宽的信号带宽，但这样做可能导致线性度和噪声性能略为降低。这些寄存器对AVDD3功率的影响不像寄存器0x018那样大。当频率小于500 MHz时，这些寄存器建议使用默认值。表10给出了不同速度等级的缓冲器电流控制寄存器的推荐值。

在较高奈奎斯特区(对AD6674-1000而言是大于500 MHz)采样时，应使用寄存器0x11A。高频工作时，ADC采样网络可通过此设置来优化ADC内部的采样和建立时间。对于500 MHz以上的频率，无论何种速度等级，均建议ADC以1.46 V满量程设置工作。此设置可提供较好的SFDR，而SNR不会显著降低。

图74、图75和图76显示了AD6674-1000在不同缓冲器设置(I_{BUFF})下的SFDR与模拟输入频率的关系。

表10所示的推荐设置用于收集仅更改寄存器0x018内容时的相关数据。

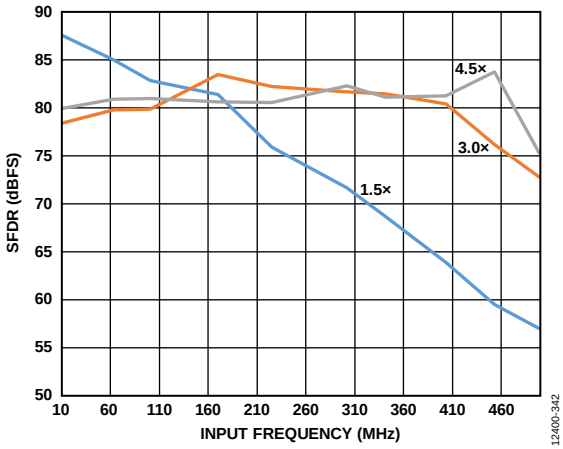


图74. 缓冲器电流扫描，AD6674-1000(SFDR与输入频率和I_{BUFF}的关系；10 MHz < f_{IN} < 500 MHz；前端网络如图71所示

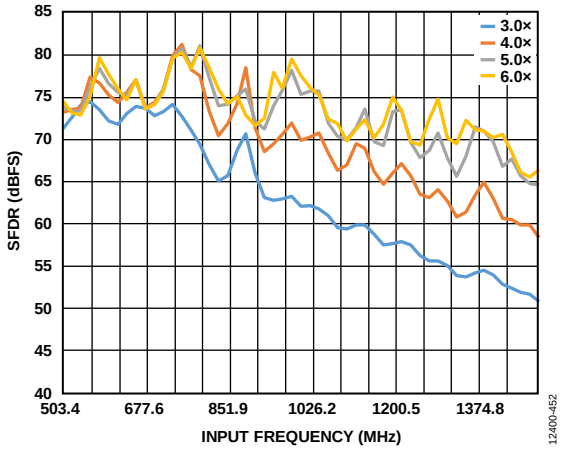


图75. 缓冲器电流扫描，AD6674-1000(SFDR与输入频率和I_{BUFF}的关系；500 MHz < f_{IN} < 1500 MHz；前端网络如图71所示

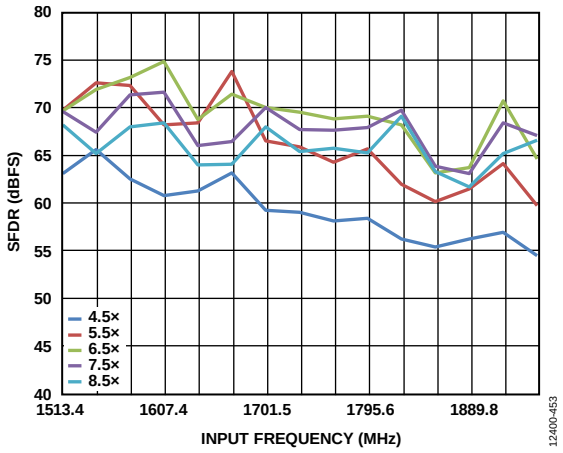


图76. 缓冲器电流扫描，AD6674-1000(SFDR与输入频率和I_{BUFF}的关系；1500 MHz < f_{IN} < 2 GHz；前端网络如图71所示

在某些高频应用中，降低满量程设置可改善SFDR，如表10所示。高频时，ADC内核的性能受抖动限制。降低满量程电平可改善SFDR。

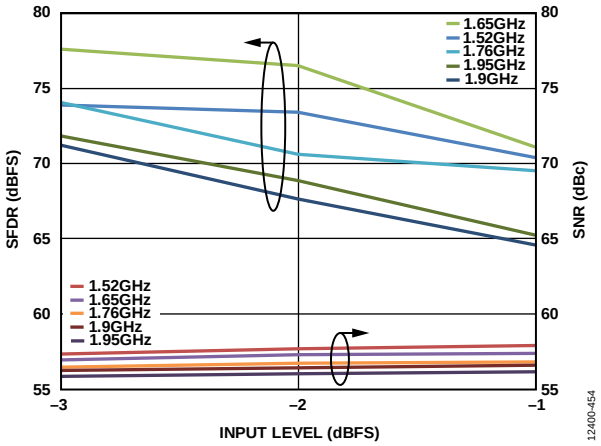


图77. SNR/SFDR与输入电平和输入频率的关系，AD6674-1000

图78、图79和图80显示了AD6674-500在不同缓冲器设置下的SFDR与模拟输入频率的关系。表10所示的推荐设置用于获得仅更改寄存器0x018内容时的相关数据。

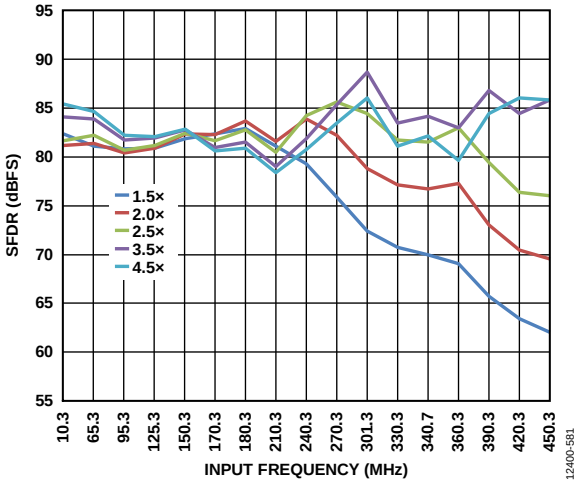


图78. 缓冲器电流扫描，AD6674-750(SFDR与输入频率和I_{BUFF}的关系；10 MHz < f_{IN} < 450 MHz；前端网络如图71所示

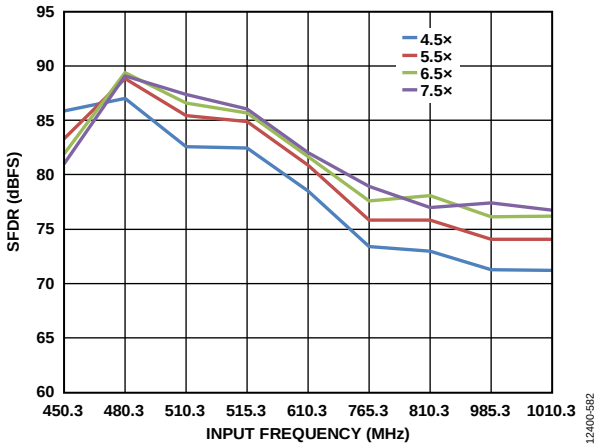


图79. 缓冲器电流扫描，AD6674-750(SFDR与输入频率和I_{BUFF}的关系；450 MHz < f_{IN} < 800 MHz；前端网络如图71所示

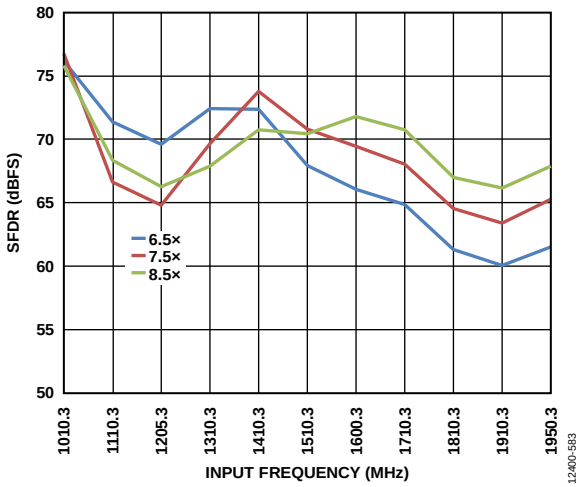


图80. 缓冲器电流扫描，AD6674-750(SFDR与输入频率和I_{BUFF}的关系；800 MHz < f_{IN} < 2 GHz；前端网络如图71所示

图81、图82和图83显示了AD6674-500在不同缓冲器设置下的SFDR与模拟输入频率的关系。表10所示的推荐设置用于获得仅更改寄存器0x018内容时的相关数据。

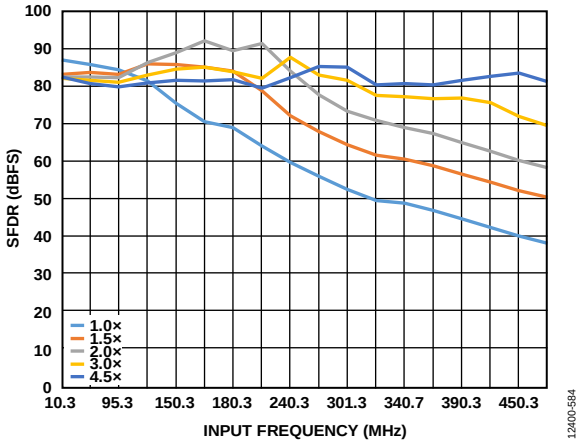


图81. 缓冲器电流扫描，AD6674-500(SFDR与输入频率和I_{BUFF}的关系；10 MHz < f_{IN} < 450 MHz；前端网络如图71所示

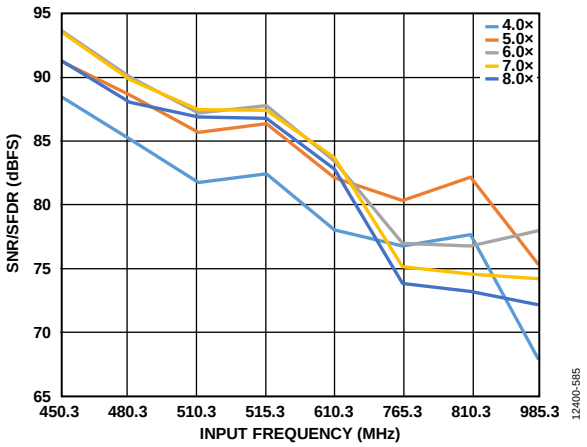


图82. 缓冲器电流扫描，AD6674-500(SFDR与输入频率和I_{BUFF}的关系；450 MHz < f_{IN} < 1000 MHz；前端网络如图71所示

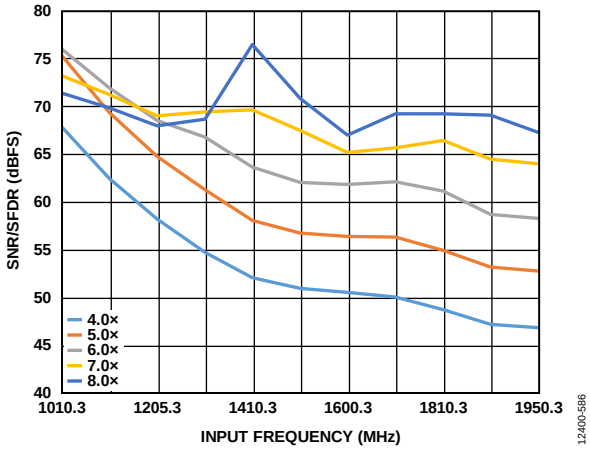


图83. 缓冲器电流扫描，AD6674-500(SFDR与输入频率和I_{BUFF}的关系；1 GHz < f_{IN} < 2 GHz；前端网络如图71所示

表10. AD6674在不同输入频率下的性能优化

产品	频率 (MHz)	缓冲器控制1 (0x018)	缓冲器控制2 (0x019)	缓冲器控制3 (0x01A)	缓冲器控制4 (0x11A)	缓冲器控制5 (0x935)	输入满量程控制 (0x030)	输入满量程范围 (0x025)	输入电容 (0x934)	输入端接 (0x016)[1]
AD6674-500	DC至250	0x20 (2.0×)	0x60 (设置3)	0x0A (设置3)	0x00 (关断)	0x04 (开启)	0x04	0x0C (2.06 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	250至500	0x70 (4.5×)	0x60 (设置3)	0x0A (设置3)	0x00 (关断)	0x04 (开启)	0x04	0x0C (2.06 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	500至1000	0x80 (5.0×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0C/0x1C/ 0x2C/0x6C
	1000至2000	0xF0 (8.5×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0C/0x1C/ 0x2C/0x6C
AD6674-750	DC至200	0x20 (2.0×)	0x40 (设置1)	0x09 (设置2)	0x00 (关断)	0x04 (开启)	0x14	0x0A (1.70 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	DC至375	0x40 (3.0×)	0x40 (设置1)	0x09 (设置2)	0x00 (关断)	0x04 (开启)	0x14	0x0A (1.70 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	200至500	0x70 (4.5×)	0x40 (设置1)	0x09 (设置2)	0x00 (关断)	0x04 (开启)	0x14	0x0A (1.70 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	375至750	0xA0 (6.0×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	500至750	0xD0 (7.5×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F	0x0C/0x1C/ 0x2C/0x6C
	750至1000	0xF0 (8.5×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0C/0x1C/ 0x2C/0x6C
	1000至2000	0xF0 (8.5×)	0x40 (设置1)	0x08 (设置1)	0x00 (关断)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0C/0x1C/ 0x2C/0x6C
AD6674-1000	DC至150	0x10 (1.5×)	0x50 (设置2)	0x09 (设置2)	0x00 (关断)	0x04 (开启)	0x18	0x0A (1.70 V p-p)	0x1F	0x0E/0x1E/ 0x2E/0x6E
	DC至500	0x40 (3.0×)	0x50 (设置2)	0x09 (设置2)	0x00 (关断)	0x04 (开启)	0x18	0x0A (1.70 V p-p)	0x1F	0x0E/0x1E/ 0x2E/0x6E
	500至1000	0xA0 (6.0×)	0x60 (设置3)	0x09 (设置2)	0x20 (开启)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0E/0x1E/ 0x2E/0x6E
	1000至2000	0xD0 (7.5×)	0x70 (设置4)	0x09 (设置2)	0x20 (开启)	0x00 (关断)	0x18	0x08 (1.46 V p-p)	0x1F/0x00[2]	0x0E/0x1E/ 0x2E/0x6E

[1] 输入端接可根据应用需要进行更改，对交流性能无影响。

[2] 输入电容可设置为1.5 pF以实现更宽的输入带宽，但会导致线性度和噪声性能略为下降。

绝对最大输入摆幅

AD6674输入端允许的绝对最大输入摆幅为差分4.3 V p-p。位于该电平值(或接近该值)的信号会导致ADC永久性受损。

基准电压源

AD6674内置稳定、精确的1.0 V基准电压源。此1.0 V内部基准电压源用来设置ADC的满量程输入范围。满量程输入范围可通过寄存器0x025调整。有关调整输入摆幅的更多信息，请参见表45。图84为内部1.0 V基准电压源的控制框图。

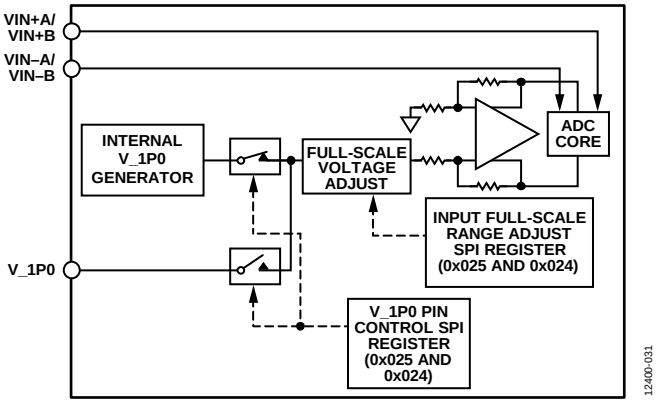


图84. 内部基准电压配置与控制

寄存器0x024允许用户使用此1.0 V内部基准电压源，或者提供1.0 V外部基准电压源。使用外部基准电压源时，可提供1.0 V基准电压。满量程调整利用SPI进行，与基准电压无关。

有关调整AD6674满量程电平的更多信息，请参考“存储器映射寄存器表”部分。

在某些应用中，采用外部基准电压有可能进一步提高ADC增益精度或改善热漂移特性。图85显示1.0 V内部基准电压的典型漂移特性。

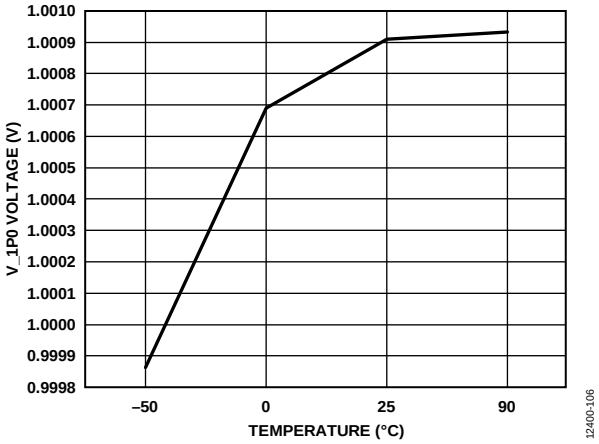


图85. 典型V_1P0漂移

外部基准电压源必须是稳定的1.0 V基准源。ADR130很适合作为1.0 V基准电压源使用。图86显示如何将ADR130用作AD6674的1.0 V外部基准电压源。灰色部分显示使用ADR130作为外部基准电压源时，AD6674中的未使用模块。

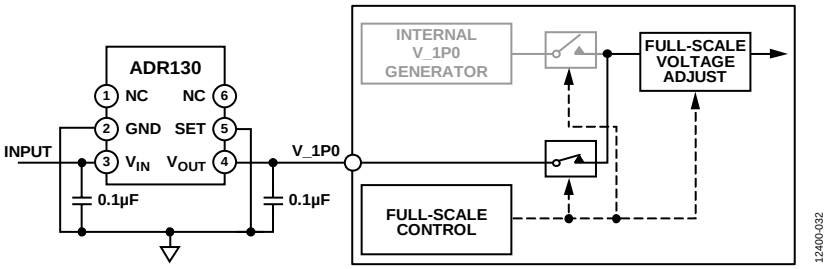


图86：将ADR130用作外部基准电压源

时钟输入考虑

为能够获得最佳性能，应利用一个差分信号驱动AD6674采样时钟输入端(CLK+和CLK−)。通常，应使用变压器或时钟驱动器将该信号交流耦合到CLK+引脚和CLK−引脚。这两个引脚有内部偏置，无需其它偏置。

图87显示了一种为AD6674提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

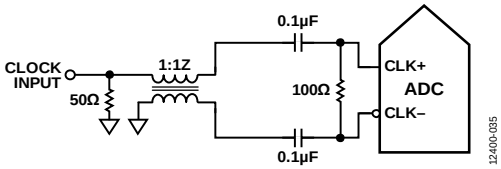


图87. 变压器耦合的差分时钟

另一种方法是将差分CML或LVDS信号交流耦合到采样时钟输入引脚，如图88和图89所示。

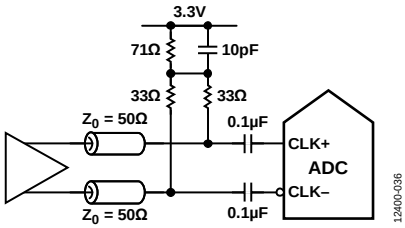


图88. 差分CML采样时钟

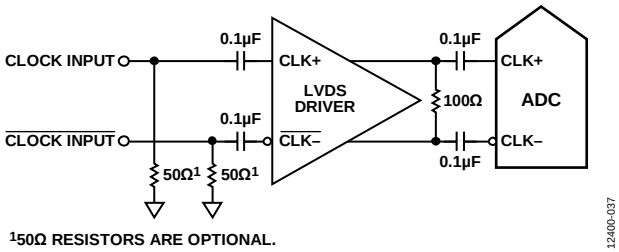


图89. 差分LVDS采样时钟

时钟占空比考虑

典型的高速ADC利用时钟的两个边沿来产生各种内部时序信号。因此，这些ADC可能对时钟占空比很敏感。通常，为保持ADC的动态性能，时钟占空比容差应为5%。对于无法保证50%时钟占空比的应用，可向AD6674提供更高的多频率时钟。例如，内部时钟分频器设为2时，AD6674-1000可采用2 GHz时钟，这样可确保向ADC提供50%占空比的高压摆率内部时钟。有关使用此功能的更多信息见“存储器映射”部分。

输入时钟分频器

AD6674内置一个输入时钟分频器，可对奈奎斯特输入时钟进行1、2、4或8分频。分频比可通过寄存器0x10B选择。如图90所示。分频器输出的最大频率为1.0 GHz。

CLK±输入的最大频率为4 GHz。这是分频器的限值。对于时钟输入为采样时钟倍数的应用，在施加时钟信号之前务必将适当的分频比编程至时钟分频器。这样可以保证器件启动时的电流瞬态是可控的。

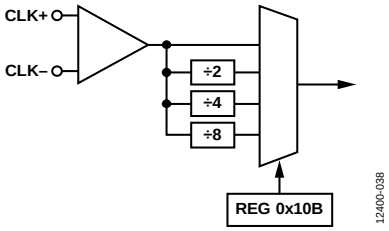


图90. 时钟分频器电路

利用外部SYSREF输入信号，可同步AD6674时钟分频器。有效SYSREF±可使时钟分频器复位至可编程状态。通过设置寄存器0x10D的位7来实现此功能。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

输入时钟分频器½周期延迟调节

AD6674内的输入时钟分频器提供递增量为½输入时钟周期的相位延迟。可对寄存器0x10C进行编程，以便针对各通道单独使能此延迟。改变该寄存器不会影响JESD204B链路的稳定性。

时钟延迟精调

AD6674采样边沿时刻可通过写入寄存器0x117和寄存器0x118来调节。置位寄存器0x117的位0可使能该功能；寄存器0x118位[7:0]可设置延迟值。此数值可针对各通道单独编程。时钟延迟调节范围为−151.7 ps至+150 ps，递增量约为1.7 ps。通过SPI写操作使能后，时钟延迟调节立即生效。在寄存器0x117中使能时钟延迟精调会导致数据路径复位。然而，可在不影响JESD204B链路稳定性的前提下改变寄存器0x118的内容。

时钟抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，仅由孔径抖动(t_J)造成的信噪比(SNR)下降计算如下：

$$SNR = 20 \times \log 10(2 \times \pi \times f_A \times t_J)$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号、模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(见图91)。

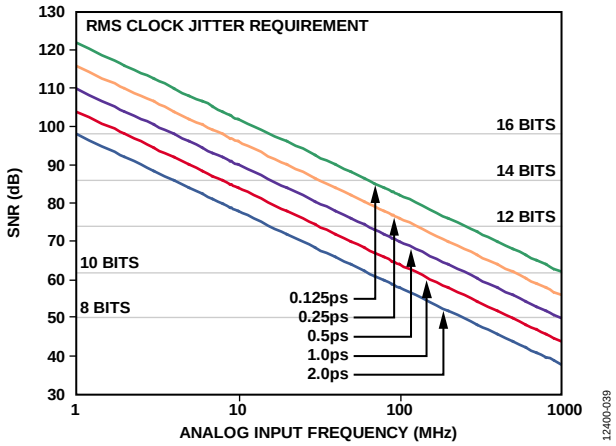


图91. 理想信噪比与模拟输入频率和抖动的关系

当孔径抖动可能影响AD6674的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步利用原始时钟进行重定时。如需更深入了解与ADC相关的抖动性能信息，请参阅应用笔记AN-501和AN-756。

图92显示不同时钟引起的抖动值情况下，AD6674-1000输入频率范围内的SNR估算值。 SNR可通过下式估算：

$$SNR(\text{dBFS}) = 10\log\left[10\left(\frac{-SNR_{ADC}}{10}\right) + 10\left(\frac{-SNR_{JITTER}}{10}\right)\right]$$

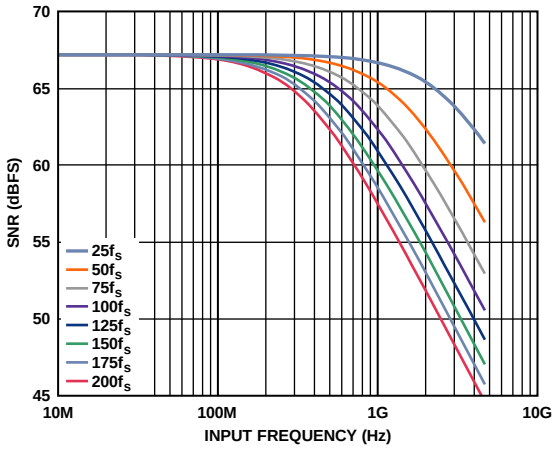


图92. AD6674-1000 SNR下降估算值与输入频率和抖动的关系

关断/待机模式

AD6674提供PDWN/STBY引脚，可用来将器件配置为关断或待机模式。器件默认执行PDWN功能。PDWN/STBY引脚是一个逻辑高电平引脚。关断模式下，JESD204B链路被打断。还可通过寄存器0x03F和寄存器0x040设置关断选项。

在待机模式下，JESD204B链路不会被打断，并针对所有转换器样本发送零。这可利用寄存器0x571[7]选择/K/字符来改变。

温度二极管

AD6674内置一个基于二极管的温度传感器，用于测量芯片温度。该二极管输出一个电压，并作为粗调温度传感器监控内部芯片温度。

温度二极管电压可通过SPI输出至FD_A引脚。使用寄存器0x028[0]来使能或禁用此二极管。寄存器0x028是局部寄存器。通道A必须在器件索引寄存器(寄存器0x008)中选定，以使能温度二极管读取。对寄存器0x040[2:0]进行编程，可将FD_A引脚配置为输出二极管电压。更多信息参见表45。

温度二极管的电压响应(SPIVDD = 1.8 V)如图93所示。

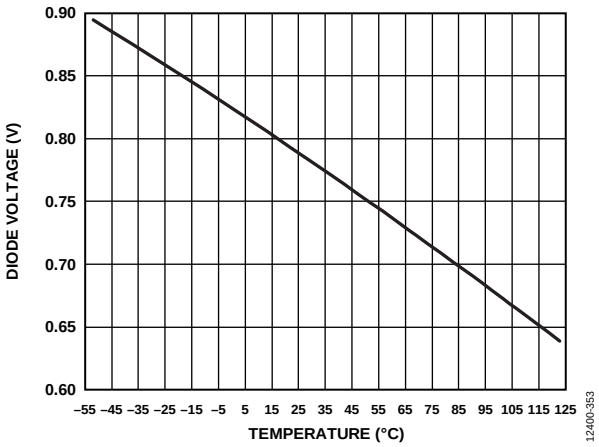


图93. 温度二极管电压与温度的关系

ADC超量程和快速检测

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生箝位。JESD204B输出中的标准超量程位可提供有关模拟输入状态提供信息，但作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在箝位发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此，该功能的延迟时间非常关键。然而，高度流水线转换器有非常大的延迟。AD6674内置各通道的快速检测电路，可监控阈值，并置位FD_A和FD_B引脚。

ADC超量程(OR)

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程指示器可作为控制位内嵌在JESD204B链路中(CSB > 0时)。此超量程指示器的延迟匹配采样延迟。

AD6674持续监控模拟输入电平，并记录八个虚拟转换器中的所有超量程条件。欲了解有关虚拟转换器的更多信息，请参阅图99。各虚拟转换器的超量程状态登记为寄存器0x563中的粘滞位(即保持置1直至清0)。通过寄存器0x562可清除寄存器0x563的内容，方法是切换与虚拟转换器对应的位以置位和复位位置。

快速阈值检测(FD_A和FD_B)

一旦输入信号的绝对值超过可编程上限阈值电平，快速检测(FD)位(通过寄存器0x559和寄存器0x55A中的控制位使能)便立即置位。只有输入信号的绝对值降至阈值下限以下，并且持续时间超过可编程驻留时间，FD位才会清零。这会提供一个迟滞，防止FD位过快切换。

阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图94所示。

当输入信号幅度超过快速检测阈值上限寄存器(寄存器0x247和寄存器0x248)的设置值时，FD_x指示器置位。选定阈值寄存器的值与ADC输出的信号幅度进行比较。快速阈值上限检测具有28个时钟周期的延迟。近似阈值上限幅度由下式定义：

$$\textit{阈值上限幅度}\ (\text{dBFS}) = 20 \log (\textit{阈值幅度}\ /2^{13})$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD_x指示器不会清零。阈值下限在快速检测阈值下限寄存器(寄存器0x249和寄存器0x24A)中进行设置。13位快速检测阈值下限寄存器的值与ADC输出的信号幅度进行比较。比较受ADC流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由下式定义：

$$\textit{阈值下限幅度}\ (\text{dBFS}) = 20 \log (\textit{阈值幅度}\ /2^{13})$$

例如，要设置−6 dBFS的阈值上限，应将0x0FFF写入寄存器0x247和寄存器0x248；要设置−10 dBFS的阈值下限，应将0x0A1D写入寄存器0x249和寄存器0x24A。

驻留时间可以在1至65,535个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器(寄存器0x24B和寄存器0x24C)。更多详情，请参见“存储器映射”部分(表45中的寄存器0x245至寄存器0x24C)。

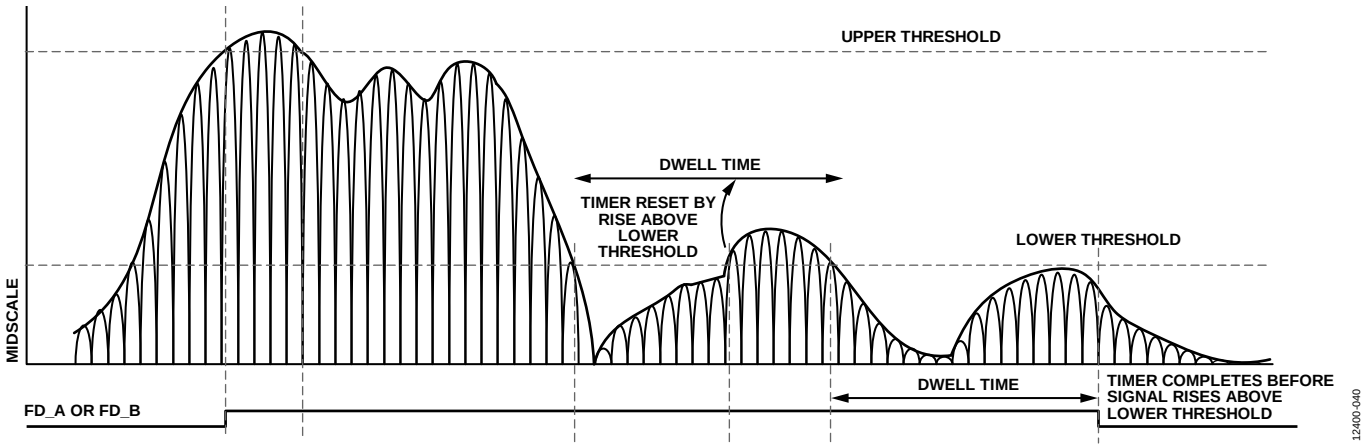


图94. FD_A和FD_B信号的阈值设置

信号监控

信号监控模块可提供ADC进行数字化处理信号的其它信息。信号监控器计算数字化信号的峰值幅度。此信息可用于驱动AGC环路，从而优化实际信号环境中ADC的范围。

可从SPI端口回读内部数值，或将信号监控信息作为特殊控制位嵌入JESD204B接口，从而获取信号监控器模块的结果。全局24位可编程周期控制测量持续时间。图94显示信号监控器模块的简化框图。

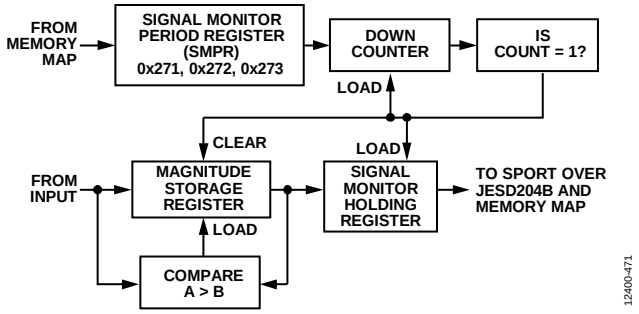


图95. 信号监控器模块

峰值检测器可在观测周期内捕获最大信号。此期间仅观测信号幅度。峰值检测器的分辨率为13位数值，观测周期为24位，表示转换器输出样本。使用下列公式可推导出峰值幅度：

$$\textit{峰值幅度}\ (\text{dBFS}) = 20\log(\textit{峰值检测器值}/2^{13})$$

在可编程时间周期内(由信号监控器周期寄存器SMPR确定)监控输入端口信号幅度。仅支持偶数值的SMPR。置位信号监控器控制寄存器(寄存器0x270)中的位1，可使能峰值检测器功能。必须在激活该模式前通过编程设置24位SMPR的值。

使能此模式后，SMPR中的值载入监控器周期定时器；该定时器以抽取时钟速率递减。输入信号的幅度与内部幅度存储寄存器(用户无法访问该寄存器)的值进行比较，较大者将作为当前峰值电平。幅度存储寄存器的初始值设为当前ADC输入信号幅度。持续进行比较直到监控周期定时器的值为1。

当监控周期定时器的值达到1时，13位峰值电平值发送到信号监控保持寄存器内；通过存储器映射可以读出该寄存器的值，或者通过JESD204B接口实现的串行端口(SPORT)输出该值。SMPR寄存器的值重载入监控周期定时器后，该定时器重新开始倒计时。此外，用第一个输入采样点的幅度值更新内部幅度存储寄存器，随后，比较和更新过程(如前所述)继续进行。

通过JESD204B实现SPORT

还可对信号监控数据进行串行化，并作为控制位通过JESD204B接口发送。必须对样本中的这些控制位进行去串行化，才能重构统计数据。此信号监控功能通过设置寄存器0x279的位[1:0]和寄存器0x27A的位1来使能。

图96显示了JESD204B样本内部信号监控器控制位位置的两种不同的配置示例。最多可以有三个控制位插入JESD204B样本中；然而，信号监控器仅需一个控制位。控制位以MSB到LSB的顺序插入。如果仅插入一个控制位(CS = 1)，则只使用最高有效控制位(参见图96中的配置1和配置2)。如需选择“通过JESD204B实现SPORT”选项，则应设置寄存器0x559、寄存器0x55A和寄存器0x58F。关于设置这些位的更多信息，参见“存储器映射寄存器表”部分。

图97显示了带有峰值检测器值的25位帧数据。帧数据以MSB方式传输，具有五个5位子帧。每一个子帧都包含一个开始位，可供接收器验证去串行化数据。图98显示了通过JESD204B实现SPORT的信号监控帧数据，监控周期定时器设为80个样本。

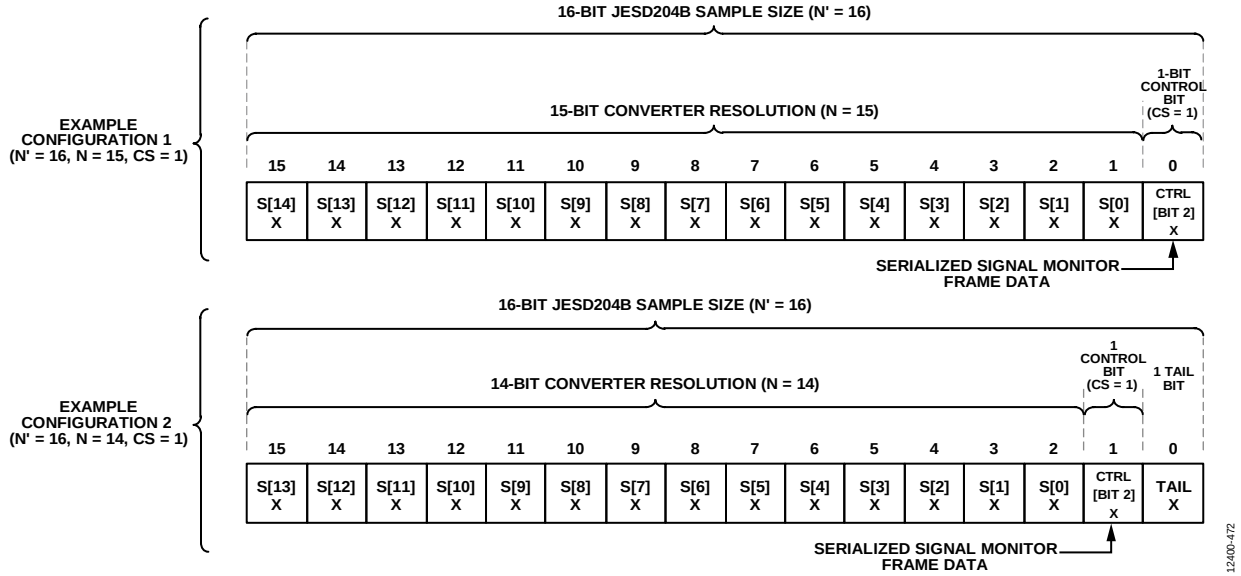


图96. 信号监控控制位配置示例

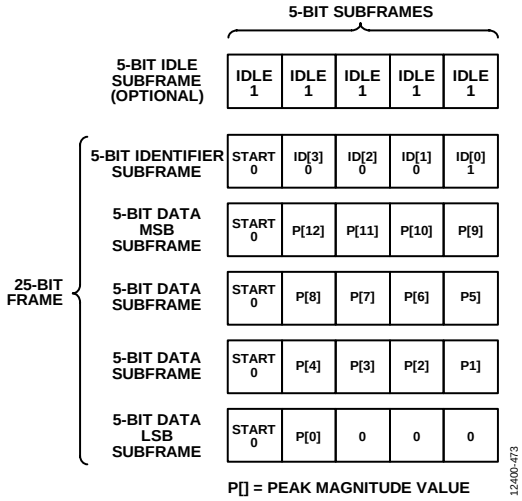


图97. 通过JESD204B实现SPORT的信号监控帧数据

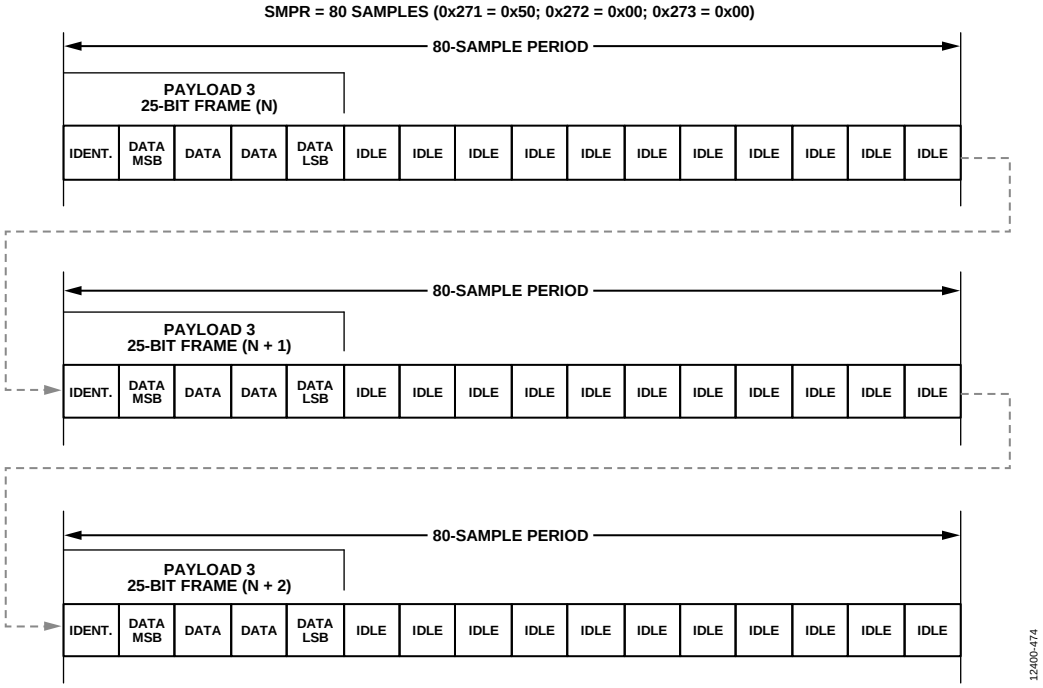


图98. 通过JESD204B实现SPORT的信号监控示例(周期 = 80个样本)

数字下变频器(DDC)

AD6674集成四个数字下变频器(DDC)来提供滤波功能，并可降低输出数据速率。此数字处理部分包括一个NCO、一个半带抽取滤波器、一个FIR滤波器、一个增益级和一个复数转实数级。各子处理模块都有控制线路，能单独使能或者禁用，以便提供所需的处理功能。通过配置数字下变频器，可以输出实数数据或复数数据。

DDC输出16位流。 如需使能该操作，可将转换器位数N设为默认值16，哪怕模拟内核仅输出14位。 在全带宽工作模式下，除非使能结束位，否则ADC输出14位字后跟两个零。

DDC I/Q输入选择

AD6674有两个ADC通道和四个DDC通道。每个DDC通道有两个输入端口，这两个端口可以配成一对，通过I/Q纵横多路复用器支持实数输入和复数输入。对于实数信号，两个DDC输入端口均须选择同一ADC通道(即DDC输入端口I = ADC通道A且DDC输入端口Q = ADC通道A)。对于复数信号，各DDC输入端口必须选择不同的ADC通道(即DDC输入端口I = ADC通道A且DDC输入端口Q = ADC通道B)。

各DDC的输入由DDC输入选择寄存器(寄存器0x311、寄存器0x331、寄存器0x351和寄存器0x371)控制。关于如何配置DDC的信息，参见表45。

DDC I/Q输出选择

每个DDC通道有两个输出端口，这两个端口可以配成一对来支持实数输出和复数输出。对于实数输出信号，仅使用DDC输出端口I(DDC输出端口Q无效)。对于I/Q复数输出信号，DDC输出端口I和DDC输出端口Q都要使用。

各DDC通道的I/Q输出由DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)中的DDC复数转实数使能位(位3)控制。

芯片模式寄存器中的芯片Q忽略位(寄存器0x200[5])控制所有DDC通道的芯片输出复用。当所有DDC通道使用实数输出时，应将此位置1以忽略所有DDC Q输出端口。当有任意DDC通道设置为使用I/Q复数输出时，用户必须将此位清0以使用DDC输出端口I和DDC输出端口Q。更多信息请参见图107。

DDC概述

四个DDC模块用来提取由ADC捕获的全范围数字频谱的一部分。它们可用于IF采样，或者用于需要宽带宽输入信号的过采样基带无线电。

每个DDC模块含有以下信号处理级：

- 频率转换级(可选)
- 滤波级
- 增益级(可选)
- 复数转实数级(可选)

频率转换级(可选)

该级由12位复数NCO和正交混频器组成，可用于实数和复数输入信号的频率转换。该级会将部分可用数字频谱下移至基带。

滤波级

下移至基带后，该级利用一系列(最多4个)半带低通滤波器抽取频谱以进行速率转换。抽取过程会降低输出数据速率，进而降低输出接口速率。

增益级(可选)

将实数输入信号下混频至基带会引起损耗，该级通过增加0 dB或6 dB的增益来予以补偿。

复数转实数级(可选)

当需要实数输出时，该级执行fS/4混频操作，并通过滤波器消除信号的复数成分，从而将复数输出变回实数输出。图99是AD6674中实现的DDC的详细框图。

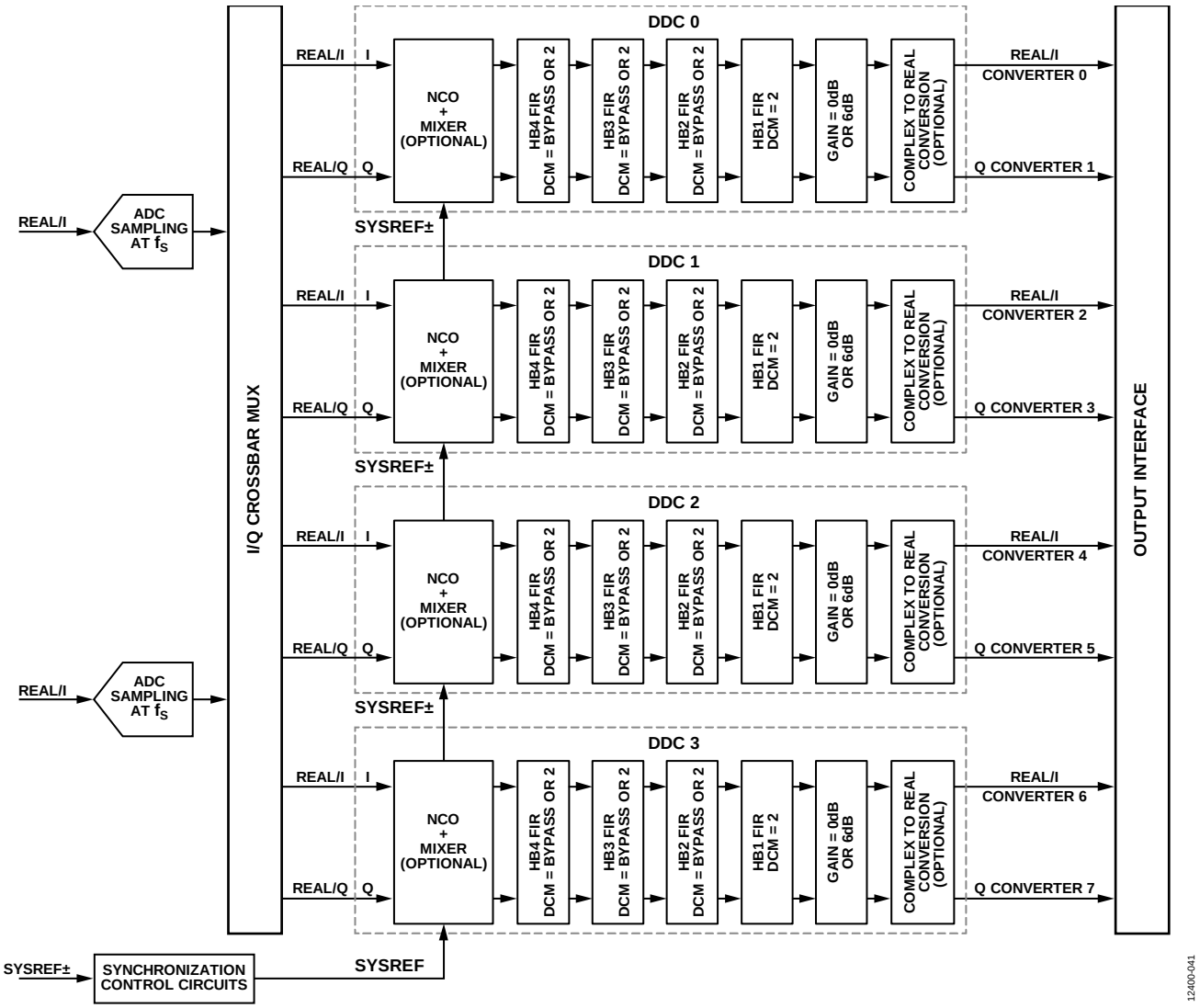


图99. DDC详细框图

图100通过示例说明了四个DDC模块之一的用法，采用实数输入信号和四个半带滤波器(HB4 + HB3 + HB2 + HB1)。它同时显示了复数输出(16倍抽取)和实数输出(8倍抽取)选项。

若DDC具有不同的抽取率，则必须将芯片的抽取率(寄存器0x201)设为所有DDC模块中的最低抽取率。此时，要求对较高抽取率的DDC进行采样，以便匹配芯片的抽取率采样速率。一旦设置或更改了NCO频率，就必须发出DDC软复位。如果未发出DDC软复位，则输出可能表现出幅度变化特性。

表11、表12、表13、表14和表15显示了芯片抽取率分别设置为1、2、4、8和16时的DDC样本。若DDC具有不同的抽取率，则必须将芯片抽取率设为所有DDC通道中的最低抽取率。此时，要求对较高抽取率的DDC进行采样，以便匹配芯片的抽取率采样速率。

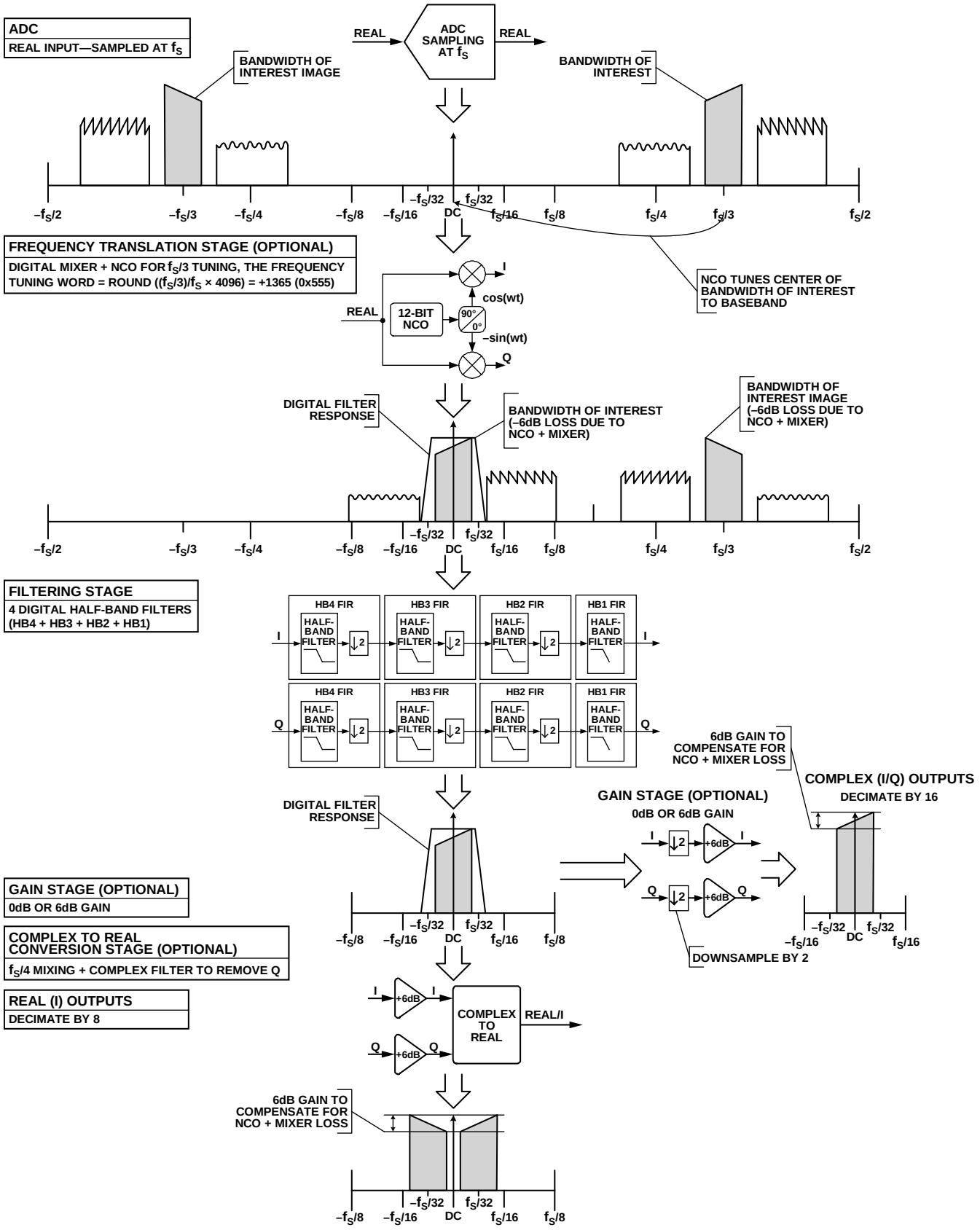


图100. DDC工作原理示例(实数输入，16倍抽取)

表11. 芯片抽取率 = 1时的DDC样本

实数(I)输出(使能复数转实数)				复数(I/Q)输出(禁用复数转实数)			
HB1 FIR (DCM[1] = 1)	HB2 FIR + HB1 FIR (DCM[1] = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB1 FIR (DCM[1] = 2)	HB2 FIR + HB1 FIR (DCM[1] = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
N	N	N	N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N	N	N	N	N	N
N + 3	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 4	N + 2	N	N	N + 2	N	N	N
N + 5	N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 6	N + 2	N	N	N + 2	N	N	N
N + 7	N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 8	N + 4	N + 2	N	N + 4	N + 2	N	N
N + 9	N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 10	N + 4	N + 2	N	N + 4	N + 2	N	N
N + 11	N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 12	N + 6	N + 2	N	N + 6	N + 2	N	N
N + 13	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 14	N + 6	N + 2	N	N + 6	N + 2	N	N
N + 15	N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 16	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 17	N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1
N + 18	N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 19	N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1
N + 20	N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 21	N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 22	N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 23	N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 24	N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 25	N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 26	N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 27	N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 28	N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 29	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1
N + 30	N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 31	N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

[1] DCM = 抽取。

表12. 芯片抽取率 = 2时的DDC样本

实数(I)输出(使能复数转实数)			复数(I/Q)输出(禁用复数转实数)			
HB2 FIR + HB1 FIR (DCM[1] = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB1 FIR (DCM[1] = 2)	HB2 FIR + HB1 FIR (DCM[1] = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
N	N	N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N	N + 2	N	N	N
N + 3	N + 1	N + 1	N + 3	N + 1	N + 1	N + 1
N + 4	N + 2	N	N + 4	N + 2	N	N
N + 5	N + 3	N + 1	N + 5	N + 3	N + 1	N + 1
N + 6	N + 2	N	N + 6	N + 2	N	N
N + 7	N + 3	N + 1	N + 7	N + 3	N + 1	N + 1
N + 8	N + 4	N + 2	N + 8	N + 4	N + 2	N
N + 9	N + 5	N + 3	N + 9	N + 5	N + 3	N + 1

实数(I)输出(使能复数转实数)			复数(I/Q)输出(禁用复数转实数)			
HB2 FIR + HB1 FIR (DCM[1] = 2)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB1 FIR (DCM[1] = 2)	HB2 FIR + HB1 FIR (DCM[1] = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
N + 10	N + 4	N + 2	N + 10	N + 4	N + 2	N
N + 11	N + 5	N + 3	N + 11	N + 5	N + 3	N + 1
N + 12	N + 6	N + 2	N + 12	N + 6	N + 2	N
N + 13	N + 7	N + 3	N + 13	N + 7	N + 3	N + 1
N + 14	N + 6	N + 2	N + 14	N + 6	N + 2	N
N + 15	N + 7	N + 3	N + 15	N + 7	N + 3	N + 1

[1] DCM = 抽取。

表13. 芯片抽取率 = 4时的DDC样本

实数(I)输出(使能复数转实数)		复数(I/Q)输出(禁用复数转实数)		
HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 4)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB2 FIR + HB1 FIR (DCM[1] = 4)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
N	N	N	N	N
N + 1	N + 1	N + 1	N + 1	N + 1
N + 2	N	N + 2	N	N
N + 3	N + 1	N + 3	N + 1	N + 1
N + 4	N + 2	N + 4	N + 2	N
N + 5	N + 3	N + 5	N + 3	N + 1
N + 6	N + 2	N + 6	N + 2	N
N + 7	N + 3	N + 7	N + 3	N + 1

[1] DCM = 抽取。

表14. 芯片抽取率 = 8时的DDC样本

实数(I)输出(使能复数转实数)	复数(I/Q)输出(禁用复数转实数)	
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 8)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
N	N	N
N + 1	N + 1	N + 1
N + 2	N + 2	N
N + 3	N + 3	N + 1
N + 4	N + 4	N + 2
N + 5	N + 5	N + 3
N + 6	N + 6	N + 2
N + 7	N + 7	N + 3

[1] DCM = 抽取。

表15. 芯片抽取率 = 16时的DDC样本

实数(I)输出(使能复数转实数)	复数(I/Q)输出(禁用复数转实数)
HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)	HB4 FIR + HB3 FIR + HB2 FIR + HB1 FIR (DCM[1] = 16)
不适用	N
不适用	N + 1
不适用	N + 2
不适用	N + 3

[1] DCM = 抽取。

例如，假设芯片抽取率设置为4，DDC 0设置为使用HB2 + HB1滤波器(复数输出、4倍抽取)，DDC 1设置为使用HB4 + HB3 + HB2 + HB1滤波器(实数输出、8倍抽取)。对于每个DDC 0输出，DDC 1重复其输出数据两次。由此得到的输出样本如表16所示。

表16. 芯片DCM1 = 4、DDC 0 DCM1 = 4(复数)且DDC 1 DCM1 = 8(实数)时的DDC输出样本

	DDC 0		DDC 1	
DDC输入样本	**输出端口I**	**输出端口Q**	**输出端口I**	**输出端口Q**
N N + 1 N + 2 N + 3	I0 (N)	Q0 (N)	I1 (N)	不适用
N + 4 N + 5 N + 6 N + 7	I0 (N + 1)	Q0 (N + 1)		
N + 8 N + 9 N + 10 N + 11	I0 (N + 2)	Q0 (N + 2)	I1 (N + 1)	不适用
N + 12 N + 13 N + 14 N + 15	I0 (N + 3)	Q0 (N + 3)		

[1] DCM = 抽取。

频率转换

概述

频率转换通过12位复数NCO和数字正交混频器实现。该级将实数或复数输入信号从中频转换为基带复数数字输出(载波频率 = 0 Hz)。

各DDC的频率转换级可以通过DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)的位[5:4]单独控制，支持四种不同的IF模式，如下所示：

- 可变IF模式
- 0 Hz IF或零中频(ZIF)模式
- f_S/4 Hz IF模式
- 测试模式

可变IF模式

使能NCO和混频器。NCO输出频率可用来对IF频率进行数字调谐。

0 Hz IF (ZIF)模式

旁路混频器，禁用NCO。

f_S/4 Hz IF模式

使能混频器和NCO，通过fS/4模式实现特殊下混频以便节省功耗。

测试模式

强制输入0.999至正满量程的样本。使能NCO。该测试模式支持NCO直接驱动抽取滤波器。

图101和图102显示了实数输入和复数输入的频率转换级示例。

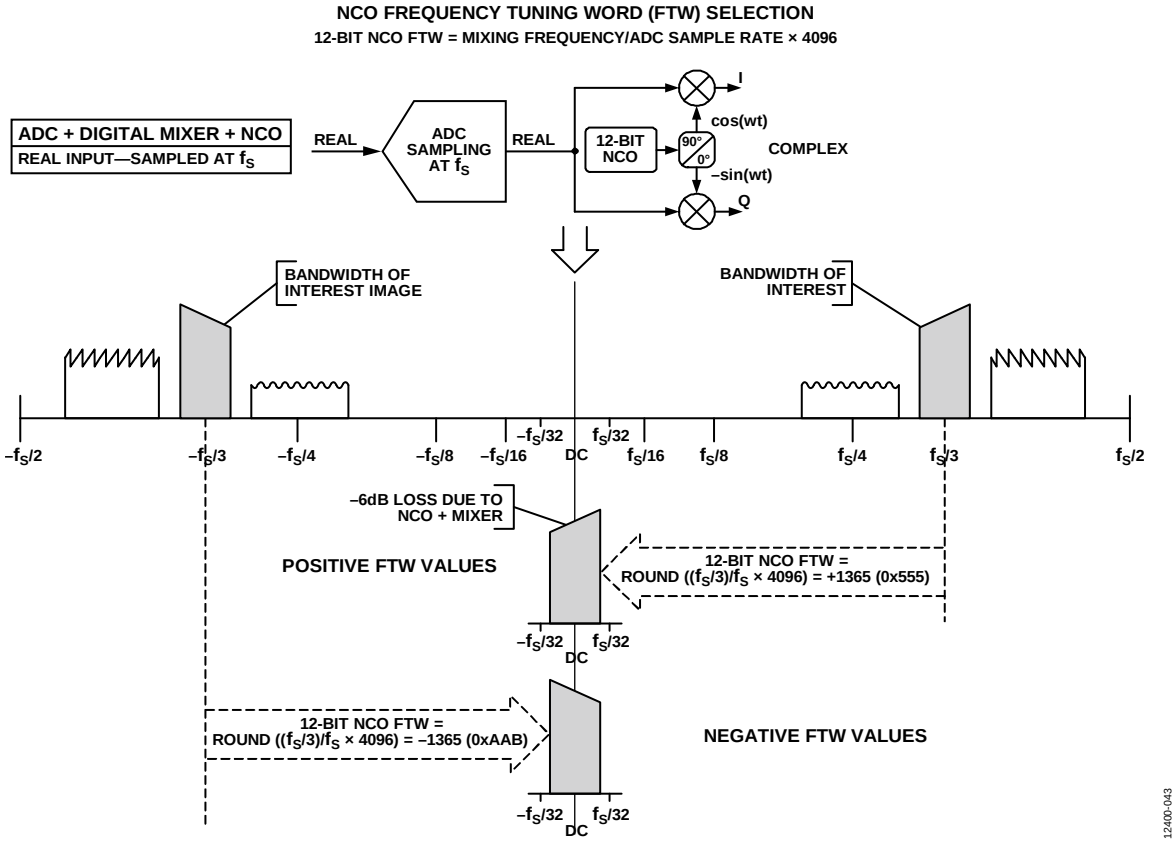


图101. DDC NCO频率调谐字选择—实数输入

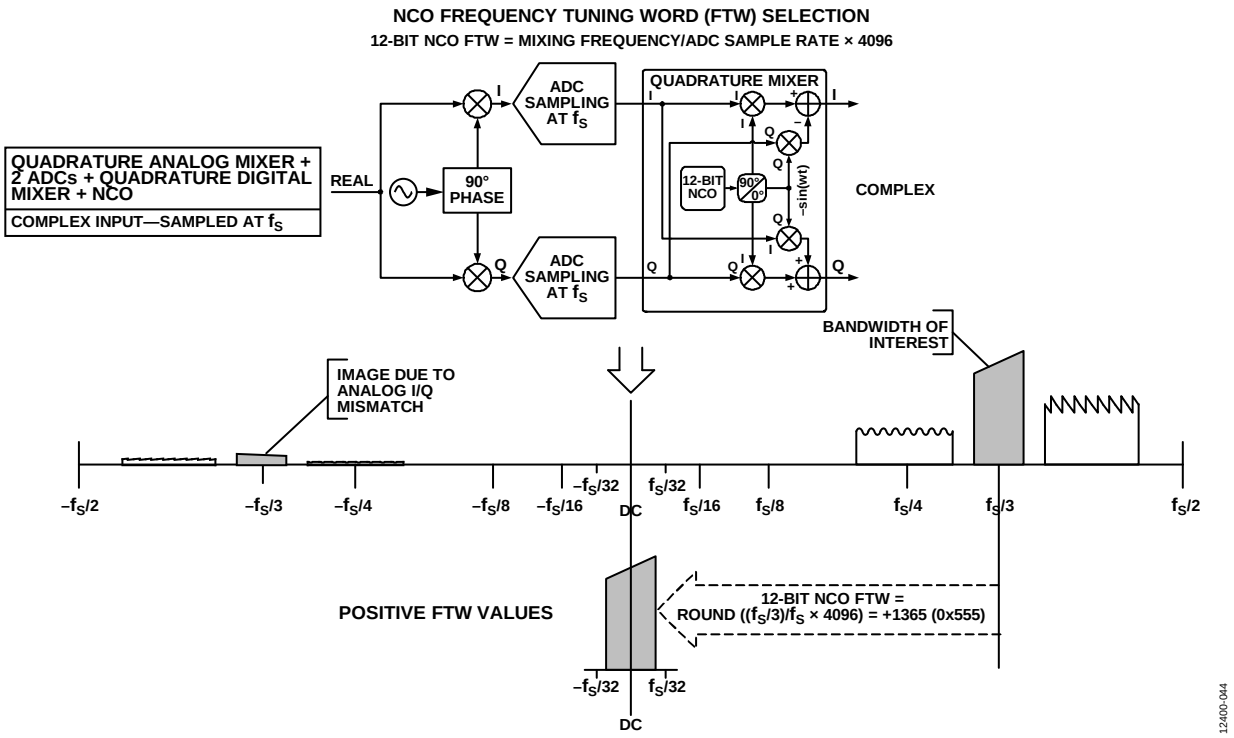


图102. DDC NCO频率调谐字选择—复数输入

DDC NCO加混频器损耗和SFDR

将实数输入信号下混频至基带时，对负镜像的滤波会在信号中引起6 dB的损耗。此外，NCO也会引起0.05 dB的损耗。实数输入信号下混频至基带的总损耗为6.05 dB。为此，建议用户使能DDC增益级中的6 dB增益来补偿此损耗，将信号动态范围重新置于输出位满量程的中心。

将复数输入信号下混频至基带时，每个I/Q样本在通过复数混频器后能够达到的最大值为1.414 × 满量程。对于复数信号，为了避免I/Q样本超范围，以及为使数据位宽与实数混频一致，混频器会引起3.06 dB的损耗。此外，NCO也会引起0.05 dB的损耗。复数输入信号下混频至基带的总损耗为−3.11 dB。

对于所有输出频率，来自NCO的最差情况杂散信号大于102 dBc SFDR。

数控振荡器

AD6674的每个DDC都有一个12位NCO来支持频率转换过程。NCO可将输入频谱调整为直流信号，由后面的滤波器对其进行有效滤波，防止信号混叠。NCO可通过提供频率调谐字(FTW)和相位偏移字(POW)来设置。

设置NCO FTW和POW

NCO频率字由NCO FTW中的12位二进制补码数给定。$-f_S/2$和$+f_S/2$(不包括$f_S/2$)之间的频率通过如下频率字来表示：

- 0x800代表$-f_S/2$的频率。
- 0x000代表DC(频率为0 Hz)。
- 0x7FF代表$+f_S/2 - f_S/2^{12}$的频率。

NCO频率调谐字可通过下式计算：

$$NCO_FTW = \text{round}\left(2^{12}\frac{\text{mod}(f_C, f_S)}{f_S}\right)$$

其中：

*NCO_FTW*是代表NCO FTW的12位二进制补码数值。

f_C是所需的载波频率，单位为Hz。

f_S是AD6674采样频率(时钟速率)，单位为Hz。

mod( )是余项函数。例如，mod(110,100) = 10；对于负数，mod(−32,10) = −2。

round( )是舍入函数。例如，round(3.6) = 4；对于负数，round(−3.4) = −3。

注意，此公式适用于信号在数字域中的混叠(即对模拟信号进行数字化处理时引入的混叠)。

例如，若ADC采样频率(f_S)为1250 MSPS，载波频率(f_C)为416.667 MHz，则

$$NCO_FTW = \text{round}\left(2^{12}\frac{\text{mod}(416.667,1250)}{1250}\right) = 1365\ \text{MHz}$$

这又可以转换为0x555，即NCO_FTW的12位二进制补码表示。实际载波频率根据下式计算：

$$f_{C_ACTUAL} = \frac{NCO_FTW \times f_S}{2^{12}} = 416.56\ \text{MHz}$$

各NCO都有一个12位POW，用以在多个AD6674芯片之间或一个AD6674芯片的各DDC通道之间产生已知的相位关系。

为确保NCO正常工作，必须采用如下程序来更新FTW和/或POW寄存器：

1. 写入所有DDC的FTW寄存器。
2. 写入所有DDC的POW寄存器。
3. 通过SPI访问DDC NCO软复位位(寄存器0x300[4])，或通过置位SYSREF±引脚来同步NCO。

应当注意，完成对FTW或POW寄存器的所有写操作之后，必须通过SPI或SYSREF±引脚同步NCO。这是为了确保NCO正常工作所必需的。

NCO同步

每个NCO都有一个独立的相位累加器字(PAW)，用于确定NCO的瞬时相位。各PAW的初始复位值由POW决定。各PAW的相位递增值由FTW决定。更多信息请参见“设置NCO FTW和POW”部分。

要同步芯片内的多个PAW，可使用以下两种方法。

- 使用SPI。利用DDC同步控制寄存器的DDC NCO软复位位(寄存器0x300[4])来复位芯片中的所有PAW。这可通过将DDC NCO软复位位先设为1再设为0来实现。注意，此方法只能用来同步同一AD6674芯片中的DDC通道。
- 使用SYSREF±引脚。在SYSREF±控制寄存器(寄存器0x120和寄存器0x121)中使能SYSREF±引脚，并且在DDC同步控制寄存器中使能DDC同步(寄存器0x300[1:0])，则随后的任何SYSREF±事件都会复位芯片中的全部PAW。注意，此方法可用来同步同一AD6674芯片中的DDC通道或不同AD6674芯片中的DDC通道。

混频器

NCO伴随一个混频器。其工作方式类似于模拟正交混频器。它利用NCO频率为本振，对输入信号(实数或复数)进行下变频。对于实数输入信号，此混频器执行实数混频器操作(利用两个乘法器)。对于复数输入信号，此混频器执行复数混频器操作(利用四个乘法器和两个加法器)。混频器根据提供给各通道的输入信号(实数或复数)调整其操作。各DDC模块的实数或复数输入选择可以通过DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)的位7单独控制。

FIR滤波器

概述

频率转换级之后有四组2倍抽取、低通、半带、有限脉冲响应(FIR)滤波器(图99中标示为HB1 FIR、HB2 FIR、HB3 FIR和HB4 FIR)。目标载波调低到DC(载波频率 = 0 Hz)后，这些滤波器能够有效地降低采样速率，同时充分地抑制邻近干扰载波在目标带宽周围的混叠。

HB1 FIR始终使能，无法旁路。HB2、HB3和HB4 FIR滤波器是可选项，可以旁路以提供更高的输出采样速率。

表17显示了不同半带滤波器所对应的不同带宽。所有情况下，AD6674的DDC滤波级都能实现小于−0.001 dB的通带纹波和大于100 dB的阻带混叠抑制。

表18显示了多个通带纹波/截止点的阻带混叠抑制量。各DDC的滤波级抽取率可以通过DDC控制寄存器(寄存器0x310、寄存器0x330、寄存器0x350和寄存器0x370)的位[1:0]单独控制。

表17. DDC滤波器特性

ADC采样速率(MSPS)	半带滤波器选择	实数输出采样速率(MSPS)		复数(I/Q)输出采样速率(MSPS)		混叠保护带宽(MHz)	理想SNR改善幅度[1] (dB)	通带纹波(dB)	混叠抑制(dB)
		抽取 率	输出采样速率(MSPS)	抽取 率	输出采样速率(MSPS)				
1000	HB1	1	1000	2	500 (I) + 500 (Q)	385.0	1	<−0.001	>100
	HB1 + HB2	2	500	4	250 (I) + 250 (Q)	192.5	4		
	HB1 + HB2 + HB3	4	250	8	125 (I) + 125 (Q)	96.3	7		
	HB1 + HB2 + HB3 + HB4	8	125	16	62.5 (I) + 62.5 (Q)	48.1	10		
750	HB1	1	750	2	375 (I) + 375 (Q)	288.8	1		
	HB1 + HB2	2	375	4	187.5 (I) + 187.5 (Q)	144.4	4		
	HB1 + HB2 + HB3	4	187.5	8	93.75 (I) + 93.75 (Q)	72.2	7		
	HB1 + HB2 + HB3 + HB4	8	93.75	16	46.875 (I) + 46.875 (Q)	36.1	10		
500	HB1	1	500	2	250 (I) + 250 (Q)	192.5	1		
	HB1 + HB2	2	250	4	125 (I) + 125 (Q)	96.3	4		
	HB1 + HB2 + HB3	4	125	8	62.5 (I) + 62.5 (Q)	48.1	7		
	HB1 + HB2 + HB3 + HB4	8	62.5	16	31.25 (I) + 31.25 (Q)	24.1	10		

[1] 过采样和滤波导致的理想SNR改善幅度 = 10log(带宽/(f_S/2))。

表18. DDC滤波器混叠抑制

混叠抑制(dB)	通带纹波/截止点(dB)	实数(I)输出的混叠保护带宽[1]	复数(I/Q)输出的混叠保护带宽
>100	<−0.001	<38.5% × f_{OUT}	<77% × f_{OUT}
90	<−0.001	<38.7% × f_{OUT}	<77.4% × f_{OUT}
85	<−0.001	<38.9% × f_{OUT}	<77.8% × f_{OUT}
63.3	<−0.006	<40% × f_{OUT}	<80% × f_{OUT}
25	−0.5	44.4% × f_{OUT}	88.8% × f_{OUT}
19.3	−1.0	45.6% × f_{OUT}	91.2% × f_{OUT}
10.7	−3.0	48% × f_{OUT}	96% × f_{OUT}

[1] f_{OUT} = ADC输入采样速率 ÷ DDC抽取。

半带滤波器

AD6674提供四个半带滤波器来支持ADC转换数据的数字信号处理。这些半带滤波器可以旁路，也可以单独选择。

HB4滤波器

第一个2倍抽取半带低通FIR滤波器(HB4)采用11抽头、对称、固定系数滤波器部署，针对低功耗进行了优化。HB4滤波器仅在复数输出(16倍抽取)或实数输出(8倍抽取)使能的情况下使用，否则旁路。表19和图102显示了HB4滤波器的系数和响应。

表19. HB4滤波器系数

HB4系数号	归一化系数	十进制系数(15位)
C1, C11	0.006042	99
C2, C10	0	0
C3, C9	−0.049316	−808
C4, C8	0	0
C5, C7	0.293273	4805
C6	0.500000	8192

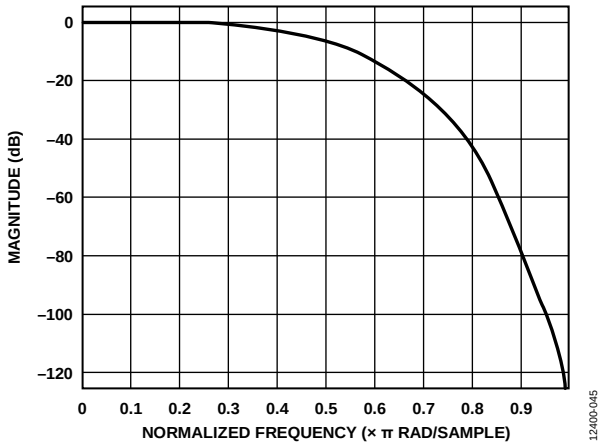


图103. HB4滤波器响应

HB3滤波器

第二个2倍抽取半带低通FIR滤波器(HB3)采用11抽头、对称、固定系数滤波器部署，针对低功耗进行了优化。HB3滤波器仅在复数输出(8或16倍抽取)或实数输出(4或8倍抽取)使能的情况下使用，否则旁路。表20和图103显示了HB3滤波器的系数和响应。

表20. HB3滤波器系数

HB3系数号	归一化系数	十进制系数(18位)
C1, C11	0.006554	859
C2, C10	0	0
C3, C9	−0.050819	−6661
C4, C8	0	0
C5, C7	0.294266	38,570
C6	0.500000	65,536

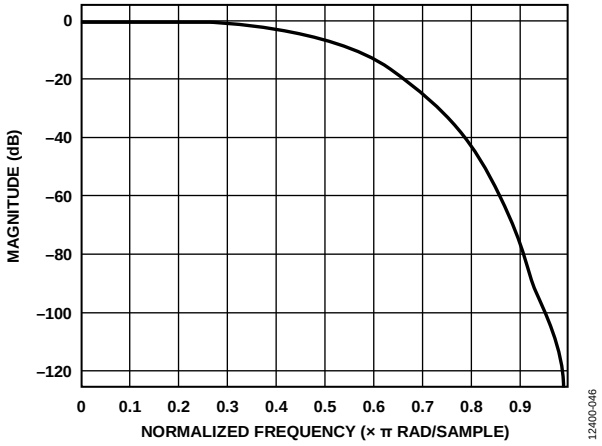


图104. HB3滤波器响应

HB2滤波器

第三个2倍抽取半带低通FIR滤波器(HB2)采用19抽头、对称、固定系数滤波器部署，针对低功耗进行了优化。

HB2滤波器仅在复数或实数输出(4、8或16倍抽取)使能的情况下使用，否则旁路。

表21和图105显示了HB2滤波器的系数和响应。

表21. HB2滤波器系数

HB2系数号	归一化系数	十进制系数(19位)
C1, C19	0.000614	161
C2, C18	0	0
C3, C17	−0.005066	−1328
C4, C16	0	0
C5, C15	0.022179	5814
C6, C14	0	0
C7, C13	−0.073517	−19,272
C8, C12	0	0
C9, C11	0.305786	80,160
C10	0.500000	131,072

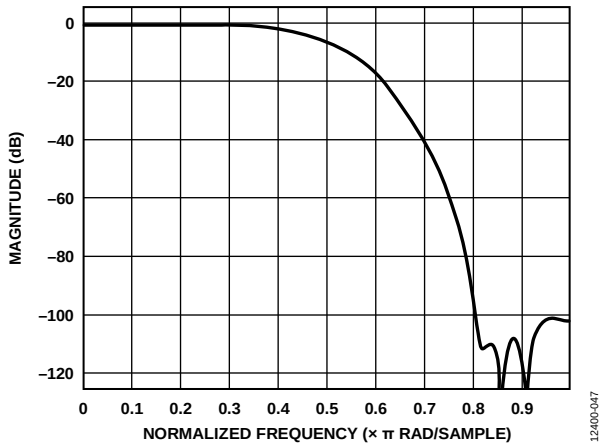


图105. HB2滤波器响应

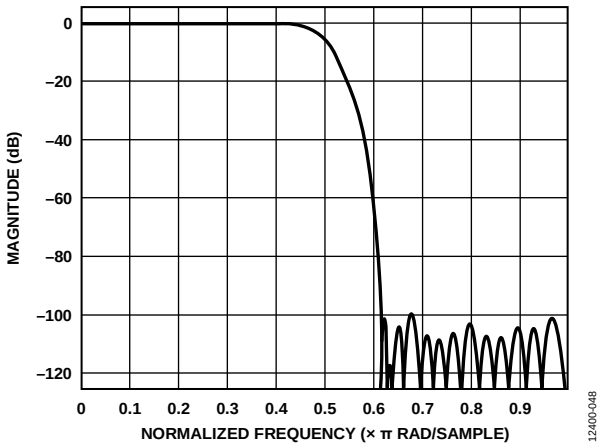


图106. HB1滤波器响应

HB1滤波器

第四个也是最后一个2倍抽取半带低通FIR滤波器(HB1)采用55抽头、对称、固定系数滤波器部署，针对低功耗进行了优化。HB1滤波器始终使能，无法旁路。表22和图106显示了HB1滤波器的系数和响应。

表22. HB1滤波器系数

HB1系数号	归一化系数	十进制系数(21位)
C1, C55	−0.000023	−24
C2, C54	0	0
C3, C53	0.000097	102
C4, C52	0	0
C5, C51	−0.000288	−302
C6, C50	0	0
C7, C49	0.000696	730
C8, C48	0	0
C9, C47	−0.0014725	−1544
C10, C46	0	0
C11, C45	0.002827	2964
C12, C44	0	0
C13, C43	−0.005039	−5284
C14, C42	0	0
C15, C41	0.008491	8903
C16, C40	0	0
C17, C39	−0.013717	−14,383
C18, C38	0	0
C19, C37	0.021591	22,640
C20, C36	0	0
C21, C35	−0.033833	−35,476
C22, C34	0	0
C23, C33	0.054806	57,468
C24, C32	0	0
C25, C31	−0.100557	−105,442
C26, C30	0	0
C27, C29	0.316421	331,792
C28	0.500000	524,288

DDC增益级

每一个DDC都集成独立受控的增益级。增益可以选择0 dB或6 dB。将实数输入信号向下混频至基带时，建议用户使能6 dB增益，以便重新设置输出位满量程内信号的动态范围中点。

将虚数输入信号向下混频至基带时，混频器已经重新设置了输出位满量程内信号的动态范围中点，无需额外增益。然而，可选6 dB增益会补偿低信号强度。使用复数转实数级时，旁路HB1 FIR滤波器的2倍下采样。

DDC复数转实数

每一个DDC均包含一个独立受控的复数转实数模块。复数转实数模块重复使用滤波器级的最后一个滤波器(HB1 FIR)以及一个$f_S/4$复数混频器，实现信号的上变频。对信号完成上变频操作后，不再需要复数混频器的Q部分，因此将其舍弃。

图107显示了复数转实数的示意框图。

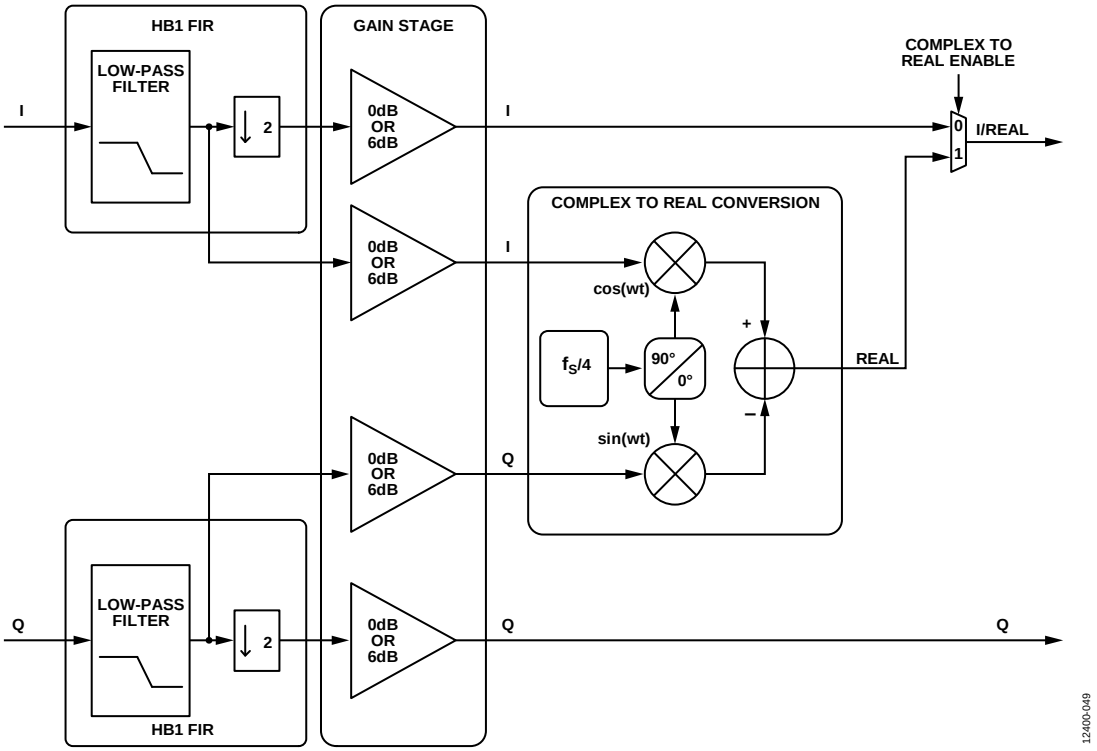


图107. 复数转实数模块

DDC配置示例

表23列出了多个DDC配置示例的寄存器设置。

表23. DDC配置示例

芯片应用层	芯片抽取率	DDC输入类型	DDC输出类型	每个DDC的带宽[1]	所需虚拟转换器数量	寄存器设置[2]
一个DDC	2	复数	复数	38.5% × f_S	2	0x200 = 0x01(一个DDC；选择I/Q) 0x201 = 0x01(芯片2倍抽取) 0x310 = 0x83(复数混频器；0 dB增益；可变IF；复数输出；HB1滤波器) 0x311 = 0x04(DDC I输入 = ADC通道A；DDC Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的FTW和POW根据应用需要设置
一个DDC	4	复数	复数	19.25% × f_S	2	0x200 = 0x01(一个DDC；选择I/Q) 0x201 = 0x02(芯片4倍抽取) 0x310 = 0x80(复数混频器；0 dB增益；可变IF；复数输出；HB2 + HB1滤波器) 0x311 = 0x04(DDC I输入 = ADC通道A；DDC Q输入 = ADC通道B) 0x314、0x315 = DDC 0的FTW和POW，根据应用需要设置

芯片应用层	芯片抽取率	DDC输入类型	DDC输出类型	每个DDC的带宽[1]	所需虚拟转换器数量	寄存器设置[2]
两个DDC	2	实数	实数	19.25%× f_S	2	0x200 = 0x22(两个DDC；仅选择I) 0x201 = 0x01(芯片2倍抽取) 0x310、0x330 = 0x48(实数混频器； 6 dB增益；可变IF；实数输出；HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A； DDC 0 Q输入 = ADC通道A) 0x331 = 0x05(DDC 1 I输入 = ADC通道B； DDC 1 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置
两个DDC	2	复数	复数	38.5%× f_S	4	0x200 = 0x22(两个DDC；仅选择I) 0x201 = 0x01(芯片2倍抽取) 0x310、0x330 = 0x4B(复数混频器； 6 dB增益；可变IF；复数输出；HB1滤波器) 0x311、0x331 = 0x04(DDC 0 I输入 = ADC通道A； DDC 0 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置
两个DDC	4	复数	复数	19.25% × f_S	4	0x200 = 0x02(两个DDC；选择I/Q) 0x201 = 0x02(芯片4倍抽取) 0x310 = 0x80(复数混频器；0 dB增益； 可变IF；复数输出；HB2 + HB1滤波器) 0x311 = 0x04(DDC I输入 = ADC通道A； DDC Q输入 = ADC通道B) 0x314、0x315 = DDC 0的FTW和 POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置
两个DDC	4	复数	实数	9.63% × f_S	2	0x200 = 0x22(两个DDC；仅选择I) 0x201 = 0x02(芯片4倍抽取) 0x310、0x330 = 0x89(复数混频器； 0 dB增益；可变IF；实数输出； HB3 + HB2 + HB1滤波器) 0x311、0x331 = 0x04 (DDC I输入 = ADC通道A； DDC Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置
两个DDC	4	实数	实数	9.63% × f_S	2	0x200 = 0x22(两个DDC；仅选择I) 0x201 = 0x02(芯片4倍抽取) 0x310、0x330 = 0x49(实数混频器； 6 dB增益；可变IF；实数输出； HB3 + HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A； DDC 0 Q输入 = ADC通道A) 0x331 = 0x05(DDC 1 I输入 = ADC通道B； DDC 1 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置

芯片应用层	芯片抽取率	DDC输入类型	DDC输出类型	每个DDC的带宽[1]	所需虚拟转换器数量	寄存器设置[2]
两个DDC	4	实数	复数	19.25% × f_S	4	0x200 = 0x02(两个DDC；选择I/Q) 0x201 = 0x02(芯片4倍抽取) 0x310、0x330 = 0x40(实数混频器；6 dB增益；可变IF；复数输出；HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A；DDC 0 Q输入 = ADC通道A) 0x331 = 0x05(DDC 1 I输入 = ADC通道B；DDC 1 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的FTW和POW根据应用需要设置
两个DDC	8	实数	实数	4.81% × f_S	2	0x200 = 0x22(两个DDC；仅选择I) 0x201 = 0x03(芯片8倍抽取) 0x310、0x330 = 0x4A(实数混频器；6 dB增益；可变IF；实数输出；HB4 + HB3 + HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A；DDC 0 Q输入 = ADC通道A) 0x331 = 0x05(DDC 1 I输入 = ADC通道B；DDC 1 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的FTW和POW根据应用需要设置
四个DDC	8	实数	复数	9.63% × f_S	8	0x200 = 0x03(四个DDC；选择I/Q) 0x201 = 0x03(芯片8倍抽取) 0x310、0x330、0x350、0x370= 0x41(实数混频器；6 dB增益；可变IF；复数输出；HB3 + HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A；DDC 0 Q输入 = ADC通道A) 0x331 = 0x00(DDC 1 I输入 = ADC通道A；DDC 1 Q输入 = ADC通道A) 0x351 = 0x05(DDC 2 I输入 = ADC通道B；DDC 2 Q输入 = ADC通道B) 0x371 = 0x05(DDC 3 I输入 = ADC通道B；DDC 3 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的FTW和POW根据应用需要设置 0x354、0x355、0x360、0x361 = DDC 2的FTW和POW根据应用需要设置 0x374、0x375、0x380、0x381 = DDC 3的FTW和POW根据应用需要设置

芯片应用层	芯片抽取率	DDC输入类型	DDC输出类型	每个DDC的带宽[1]	所需虚拟转换器数量	寄存器设置[2]
四个DDC	8	实数	实数	4.81% × f_S	4	0x200 = 0x23(四个DDC；仅选择I) 0x201 = 0x03(芯片8倍抽取) 0x310、0x330、0x350、0x370 = 0x4A (实数混频器；6 dB增益；可变IF； 实数输出；HB4 + HB3 + HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A； DDC 0 Q输入 = ADC通道A) 0x331 = 0x00(DDC 1 I输入 = ADC通道A； DDC 1 Q输入 = ADC通道A) 0x351 = 0x05(DDC 2 I输入 = ADC通道B； DDC 2 Q输入 = ADC通道B) 0x371 = 0x05(DDC 3 I输入 = ADC通道B； DDC 3 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置 0x354、0x355、0x360、0x361 = DDC 2的 FTW和POW根据应用需要设置 0x374、0x375、0x380、0x381 = DDC 3的 FTW和POW根据应用需要设置
四个DDC	16	实数	复数	4.81% × f_S	8	0x200 = 0x03(四个DDC；选择I/Q) 0x201 = 0x04(芯片16倍抽取) 0x310、0x330、0x350、0x370 = 0x42 (实数混频器；6 dB增益；可变IF；复数输出； HB4 + HB3 + HB2 + HB1滤波器) 0x311 = 0x00(DDC 0 I输入 = ADC通道A； DDC 0 Q输入 = ADC通道A) 0x331 = 0x00(DDC 1 I输入 = ADC通道A； DDC 1 Q输入 = ADC通道A) 0x351 = 0x05(DDC 2 I输入 = ADC通道B； DDC 2 Q输入 = ADC通道B) 0x371 = 0x05(DDC 3 I输入 = ADC通道B； DDC 3 Q输入 = ADC通道B) 0x314、0x315、0x320、0x321 = DDC 0的 FTW和POW根据应用需要设置 0x334、0x335、0x340、0x341 = DDC 1的 FTW和POW根据应用需要设置 0x354、0x355、0x360、0x361 = DDC 2的 FTW和POW根据应用需要设置 0x374、0x375、0x380、0x381 = DDC 3的 FTW和POW根据应用需要设置

[1] f_S为ADC采样速率。所列带宽为小于−0.001 dB的通带纹波和大于100 dB的阻带混叠抑制。

[2] 完成对FTW或POW寄存器的所有写操作之后，必须通过SPI或SYSREF±引脚同步NCO。这是为了确保NCO正常工作所必需的。更多信息请参见“NCO同步”部分。

噪声整形再量化器(NSR)

若使能AD6674的NSR，则也可以使能对某一输入频段优化的抽取半带滤波器。利用此滤波器，用户可以灵活地处理信号带宽并抑制镜像。精心规划频率可以给ADC之前的模拟滤波带来好处。滤波器可以在高通或低通模式下工作。对于AD6674-750和AD6674-1000，当NSR使能时，此滤波器不能旁路。对于AD6674-500，当NSR使能时，此滤波器可以使能或不使能。在使能NSR的情况下工作时，抽取半带滤波器模式(低通或高通)通过设置寄存器0x41E的位7来选择。

抽取半带滤波器

AD6674抽取半带数字滤波器可将输入采样速率降低两倍，同时抑制目标频带范围内的混叠。对于1000 MHz的输入采样时钟，输出采样速率降至500 MSPS。对于39.5%的输出采样速率(79%的奈奎斯特频带)，此滤波器设计提供40 dB以上的混叠保护。当ADC采样速率为1000 MSPS时，此滤波器提供最大197.5 MHz的可用带宽。

半带滤波器系数

19抽头对称固定系数半带滤波器的多相实现决定了它具有较低的功耗。表24列出了低通模式下半带滤波器的系数。高通模式下，系数C9须乘以−1。同时还列出了本方案所用的归一化系数及相应的十进制系数值。未在表24中列出的系数值均为0。

表24. 半带滤波器的固定系数

系数号	归一化系数	十进制系数(12位)
0	0.012207	25
C2, C16	−0.022949	−47
C4, C14	0.045410	93
C6, C12	−0.094726	−194
C8, C10	0.314453	644
C9	0.500000	1024

半带滤波器特性

半带抽取滤波器用于在可用带宽(19.75%的输入采样时钟)中提供大约39.5%的输出采样速率。该滤波器具有40 dB以上的抑制性能。输入采样时钟为1000 MHz时，低通模式下半带滤波器的响应如图107所示。低通模式允许在第一奈奎斯特区工作，频率最高可达$f_S/2$，其中f_S为抽取采样速率。例如，对于1000 MHz的输入时钟，输出采样速率为500 MSPS，$f_S/2$ = 250 MHz。

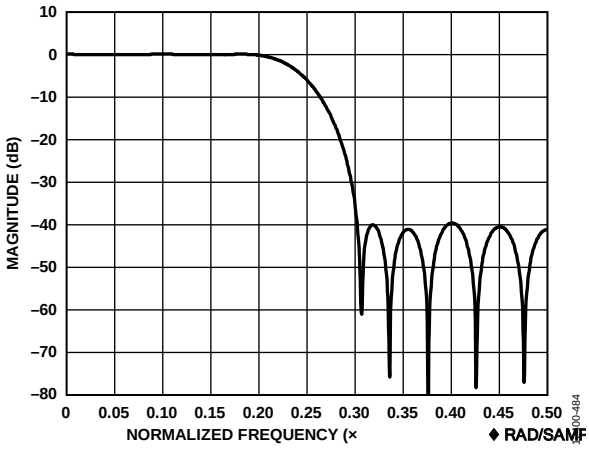


图108. 低通半带滤波器响应

半带滤波器也可在高通模式下使用。可用带宽仍为输出采样速率的39.5%(输入采样时钟的19.75%)，与低通模式相同。输入采样时钟为1000 MHz时，高通模式下半带滤波器的响应如图109所示。高通模式允许在第二和第三奈奎斯特区工作，包括$f_S/2$到3 $f_S/2$的频率，其中f_S为抽取采样速率。例如，对于1000 MHz的输入时钟，输出采样速率为500 MSPS，$f_S/2$ = 250 MHz，3 $f_S/2$ = 750 MHz。

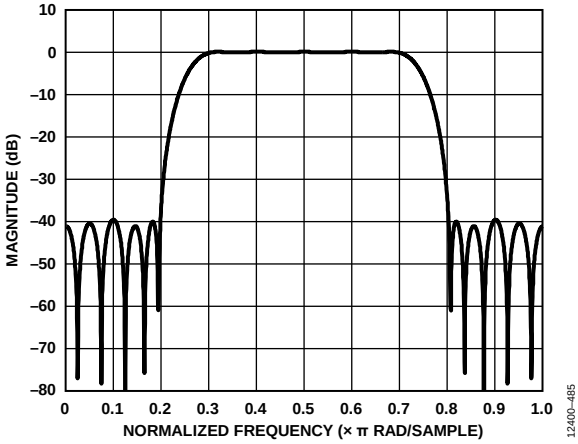


图109. 高通半带滤波器响应

NSR概述

AD6674具有NSR，可在奈奎斯特频带子集内维持高于9位的SNR。接收机的谐波性能不受NSR特性影响。使能时，NSR给输入信号带来3.0 dB的额外损耗，使得输出引脚上的0 dBFS输入降至−3.0 dBFS。这种损耗不会降低AD6674的SNR性能。

NSR特性可针对 每一通道通过SPI独立控制。

提供两种不同的带宽模式；模式可通过SPI端口选择。每种模式下，频带的中心频率可调谐，使IF可以是奈奎斯特频带范围内的任何频率。AD6674默认使能NSR特性。NSR的带宽和工作模式通过设置寄存器0x420和寄存器0x422的相应位来选择。在这两个寄存器中选择适当的profile和模式位，便可使能所需的NSR工作模式。

21%带宽模式(375 MSPS时>75 MHz)

第一种NSR模式在值为ADC输出采样速率21%的带宽(奈奎斯特频带的42%)上提供极佳的噪声性能，并可通过将NSR模式寄存器(地址0x420)的NSR模式位设为000来确定中心。在此模式下，可使用NSR调谐寄存器(地址0x422)中的6位调谐字设置有用的频率范围。共有59个可能的调谐字(TW)，从0到58；每步为ADC采样速率的0.5%。

$$f_0 = f_{ADC} \times 0.005 \times TW$$

其中：

f_0为左频带边沿。

f_{ADC}为ADC采样速率。

TW为调谐字。

$$f_{CENTER} = f_0 + 0.105 \times f_{ADC}$$

其中，f_{CENTER}为通道中心。

$$f_1 = f_0 + 0.21 \times f_{ADC}$$

其中，f_1为右频带边沿。

图110至图112显示AD6674在三个不同调谐字、21%带宽模式下可以获得的典型频谱。

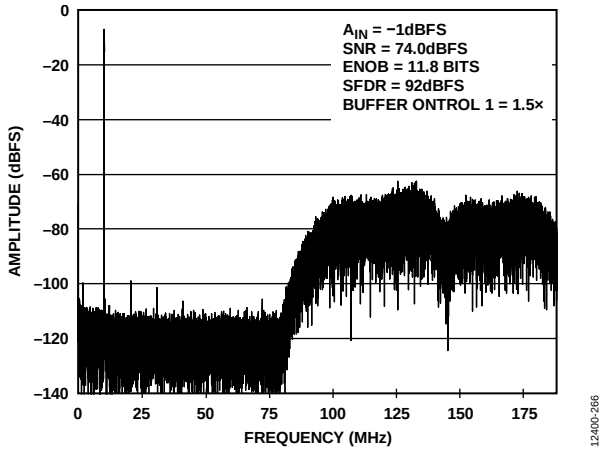


图110. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 10.3 MHz，21%带宽模式，调谐字 = 0

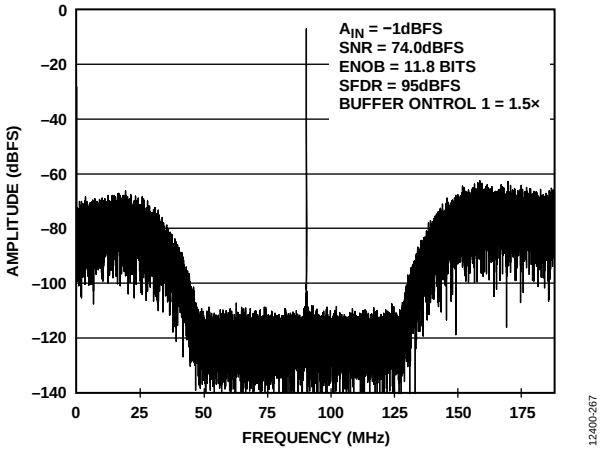


图111. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 90.3 MHz，21%带宽模式，调谐字 = 26(f_S/4调谐)

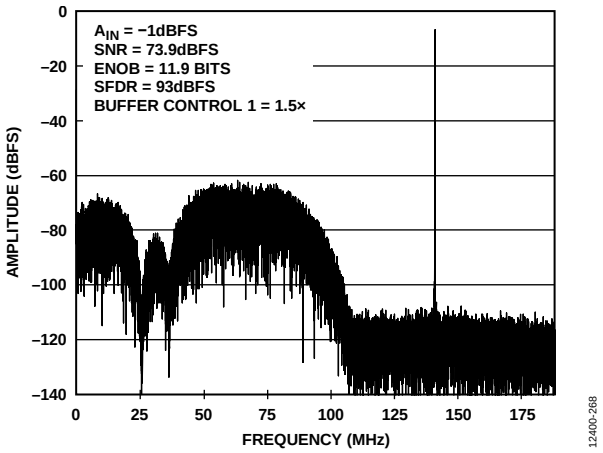


图112. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 140.3 MHz，21%带宽模式，调谐字 = 58

28%带宽模式(375 MSPS时>100 MHz)

第二种NSR模式在值为ADC输出采样速率28%的带宽(奈奎斯特频带的56%)上提供极佳的噪声性能，并可通过将NSR模式寄存器(地址0x420)的NSR模式位设为001来确定中心。在此模式下，可使用NSR调谐寄存器(地址0x422)中的6位调谐字设置有用的频率范围。共有44个可能的调谐字(TW)，从0到43；每步为ADC采样速率的0.5%。

$$f_0 = f_{ADC} \times 0.005 \times TW$$

其中：

f_0为左频带边沿。

f_{ADC}为ADC采样速率。

TW为调谐字。

$$f_{CENTER} = f_0 + 0.14 \times f_{ADC}$$

其中，f_{CENTER}为通道中心。

$$f_1 = f_0 + 0.28 \times f_{ADC}$$

其中，f_1为右频带边沿。

图113至图115显示AD6674在三个不同调谐字、28%带宽模式下可以获得的典型频谱。

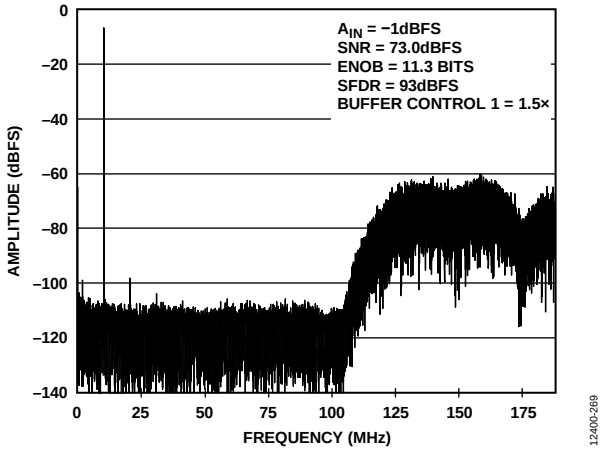


图113. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 10.3 MHz，28%带宽模式，调谐字 = 0

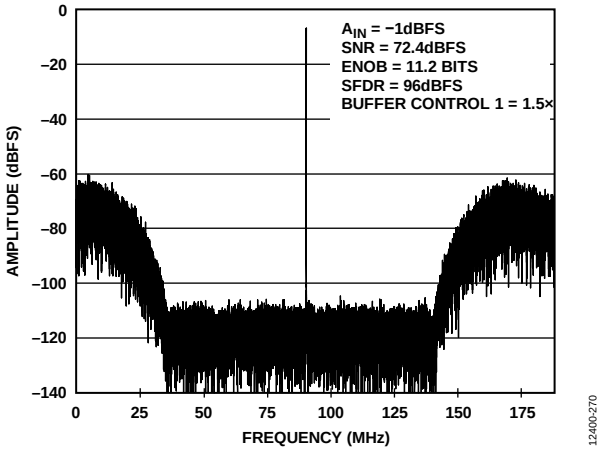


图114. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 90.3 MHz，28%带宽模式，调谐字 = 19（f_S/4调谐）

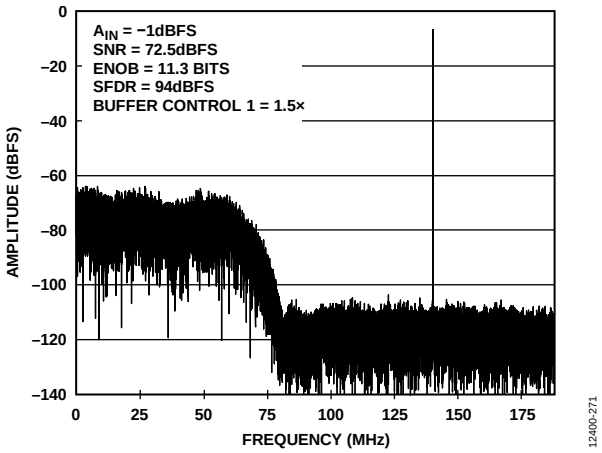


图115. AD6674-750，f_{CLOCK} = 750 MHz，f_S = 375 MSPS，f_{IN} = 140.3 MHz，28%带宽模式，调谐字 = 43

可变动态范围(VDR)

AD6674具有VDR数字处理模块，可在奈奎斯特频带子集内维持最高14位的动态范围。在整个奈奎斯特频带，任何时候都能维持至少9位的动态范围。此工作模式适合DPD处理等应用。接收机的谐波性能不受此特性影响。使能时，VDR不会引起输入信号损耗，但能高效改变输出引脚的输出分辨率。此特性可针对每一通道通过SPI独立控制。

VDR模块可在复数或实数模式下工作。复数模式下，VDR具有可选带宽，即输出采样速率的25%或43%。实数模式下，工作带宽仅限于输出采样速率的25%。VDR的带宽和工作模式通过设置寄存器0x430的相应位来选择。

使能VDR模块时，违反规定屏蔽(图116中阴影区域所示)的输入信号会导致AD6674输出分辨率降低。VDR模块分析不允许区间中聚合信号电平的峰值，以确定输出分辨率的降幅。为了指示AD6674在降低输出分辨率，可以将适当的值写入寄存器0x559和寄存器0x55A，从而将VDR惩罚位和/或VDR高/低分辨率位作为控制位插入输出数据流中。在不更改转换器分辨率参数N的情况下，最多可以使用2个控制位。若要使用3个控制位，必须将转换器分辨率参数N更改为13。VDR高/低分辨率位可以写入三个可用控制位中的任何一个，它指示VDR是否在降低输出分辨率(位值为1)，或者全部分辨率是否可用(位值为0)。使能2个惩罚位可以更清楚地指示样本的可用分辨率。要解码这两位，请参见表25。

表25. VDR低输出分辨率值

VDR惩罚位[1:0]	输出分辨率(位)
00	14
01	13
10	12或11
11	10或9

屏蔽的频率区间由寄存器0x430选择的带宽模式定义。位于这些频率区间的输入信号幅度上限为−30 dBFS。如果不允许频率区间中的输入信号电平超过−30 dBFS的幅度水平(进入阴影区域)，VDR模块就会触发输出分辨率降低操作，如图116所示。当屏蔽区域中的信号幅度提高时，VDR模块启动并随之开始逐渐限制输出分辨率。当信号幅度水平提高到屏蔽区域中时，输出分辨率逐渐降低。−30 dBFS以上的信号电平每提高6 dB，输出数据就会被VDR模块丢弃一位分辨率，如表26所示。通过设置寄存器0x434的位[3:0]来确定VDR中心频率(f_{VDR})，可以在奈奎斯特频带内调整这些区间。复数模式下的VDR中心频率可以在1/16 f_S到15/16 f_S范围内调整，步长为1/16 f_S。实数模式下，f_{VDR}可以在1/8 f_S到3/8 f_S范围内调整，步长为1/16 f_S。

表26. VDR低输出分辨率值

违反规定VDR屏蔽的信号幅度	输出分辨率(位)
幅度 ≤ −30 dBFS	14
−30 dBFS < 幅度 ≤ −24 dBFS	13
−24 dBFS < 幅度 ≤ −18 dBFS	12
−18 dBFS < 幅度 ≤ −12 dBFS	11
−12 dBFS < 幅度 ≤ −6 dBFS	10
−6 dBFS < 幅度 ≤ 0 dBFS	9

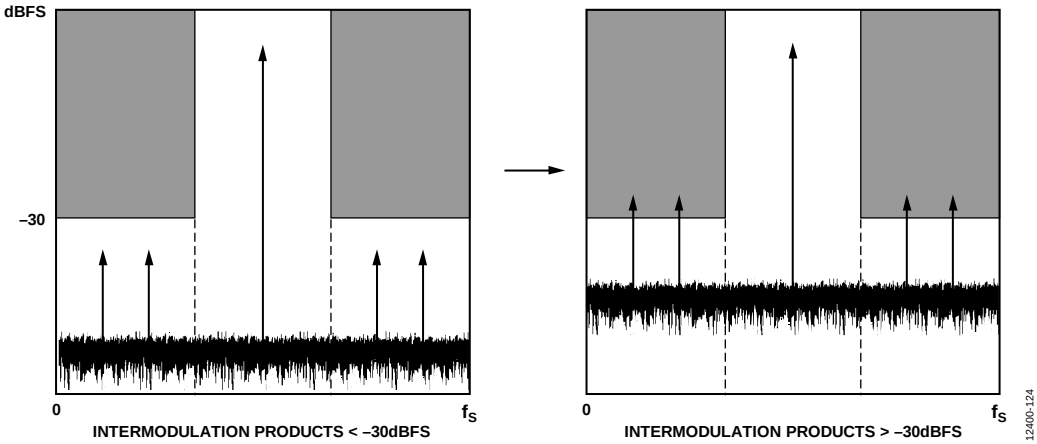


图116. VDR操作—输出分辨率降低

VDR实数模式

VDR实数模式的工作带宽为采样速率的25%(奈奎斯特频带的50%)。在实数模式下工作时，AD6674的输出带宽只能是25%。图117显示了25%带宽实数输出VDR模式的频率区间，中心频率(f_{VDR})为fS/4(调谐字 = 0x04)。不得超过−30 dBFS的频率区间是红色阴影区域所示的奈奎斯特频带的上部和下部。

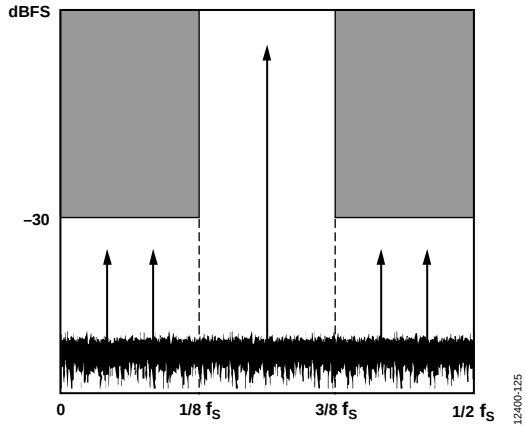


图117. 25% VDR带宽，实数模式

VDR功能的中心频率(f_{VDR})可以在1/8 f_S到3/8 f_S的奈奎斯特频带内调整，步长为1/16 f_S。实数模式下，调谐字2 (0x02)至调谐字6 (0x06)有效。表27显示了相对频率值，表28显示了绝对频率值(基于737.28 MSPS的采样速率)。

表27. VDR调谐字和相对频率值，25%带宽，实数模式

调谐字	下带边缘	中心频率	上带边缘
2 (0x02)	0	1/8 f_S	1/4 f_S
3 (0x03)	1/16 f_S	3/16 f_S	5/16 f_S
4 (0x04)	1/8 f_S	1/4 f_S	3/8 f_S
5 (0x05)	3/16 f_S	5/16 f_S	7/16 f_S
6 (0x06)	1/4 f_S	3/8 f_S	1/2 f_S

表28. VDR调谐字和绝对频率值，25%带宽，实数模式，f_S = 737.28 MSPS

调谐字	下带边缘 (MHz)	中心频率(MHz)	上带边缘(MHz)
2 (0x02)	0	92.16	184.32
3 (0x03)	46.08	138.24	230.40
4 (0x04)	92.16	184.32	276.48
5 (0x05)	138.24	230.40	322.56
6 (0x06)	184.32	276.48	368.64

VDR复数模式

VDR复数模式的工作带宽可以是采样速率的25%(奈奎斯特频带的50%)或采样速率的43%(奈奎斯特频带的86%)。图118和图119显示了复数模式下VDR的频率区间。在VDR复数模式下工作时，应将I输入信号数据置于通道A，将Q输入信号数据置于通道B。

图118显示了25%带宽VDR模式的频率区间，中心频率为f_S/4(调谐字 = 0x04)。不得超过−30 dBFS的频率区间是延伸到复数域中的奈奎斯特频带的上部和下部。

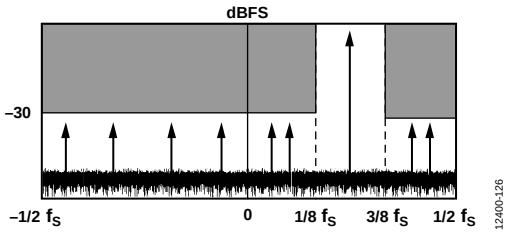


图118. 25% VDR带宽，复数模式

VDR功能的中心频率(f_{VDR})可以在0到15/16 f_S的奈奎斯特频带内调整，步长为1/16 f_S。复数模式下，调谐字0 (0x00)至调谐字15 (0x0F)有效。表29和表30显示了25%复数模式的调谐字和频率值。表29显示了相对频率值，表30显示了绝对频率值(基于737.28 MSPS的采样速率)。

表29. VDR调谐字和相对频率值，25%带宽，复数模式

调谐字	下带边缘	中心频率	上带边缘
0 (0x00)	−1/8 f_S	0	1/8 f_S
1 (0x01)	−1/16 f_S	1/16 f_S	3/16 f_S
2 (0x02)	0	1/8 f_S	1/4 f_S
3 (0x03)	1/16 f_S	3/16 f_S	5/16 f_S
4 (0x04)	1/8 f_S	1/4 f_S	3/8 f_S
5 (0x05)	3/16 f_S	5/16 f_S	7/16 f_S
6 (0x06)	1/4 f_S	3/8 f_S	1/2 f_S
7 (0x07)	5/16 f_S	7/16 f_S	9/16 f_S
8 (0x08)	3/8 f_S	1/2 f_S	5/8 f_S
9 (0x09)	7/16 f_S	9/16 f_S	11/16 f_S
10 (0x0A)	1/2 f_S	5/8 f_S	3/4 f_S
11 (0x0B)	9/16 f_S	11/16 f_S	13/16 f_S
12 (0x0C)	5/8 f_S	3/4 f_S	7/8 f_S
13 (0x0D)	11/16 f_S	13/16 f_S	15/16 f_S
14 (0x0E)	3/4 f_S	7/8 f_S	f_S
15 (0x0F)	13/16 f_S	15/16 f_S	17/16 f_S

表30. VDR调谐字和绝对频率值，25%带宽，复数模式，f_S = 737.28 MSPS

调谐字	下带边缘 (MHz)	中心频率 (MHz)	上带边缘 (MHz)
0 (0x00)	−92.16	0.00	92.16
1 (0x01)	−46.08	46.08	138.24
2 (0x02)	0.00	92.16	184.32
3 (0x03)	46.08	138.24	230.40
4 (0x04)	92.16	184.32	276.48
5 (0x05)	138.24	230.40	322.56
6 (0x06)	184.32	276.48	368.64
7 (0x07)	230.40	322.56	414.72
8 (0x08)	276.48	368.64	460.80
9 (0x09)	322.56	414.72	506.88
10 (0x0A)	368.64	460.80	552.96
11 (0x0B)	414.72	506.88	599.04
12 (0x0C)	460.80	552.96	645.12
13 (0x0D)	506.88	599.04	691.20
14 (0x0E)	552.96	645.12	737.28
15 (0x0F)	599.04	691.20	783.36

表31和表32显示了43%复数模式的调谐字和频率值。表31显示了相对频率值，表32显示了绝对频率值(基于737.28 MSPS的采样速率)。图119显示了43%带宽VDR模式的频率区间，中心频率(f_{VDR})为f_S/4(调谐字 = 0x04)。不得超过−30 dBFS的频率区间是延伸到复数域中的奈奎斯特频带的上部和下部。

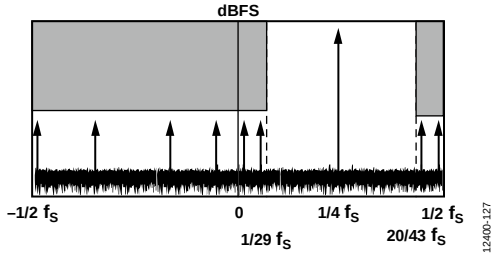


图119. 43% VDR带宽，复数模式

表31. VDR调谐字和相对频率值，43%带宽，复数模式

调谐字	下带边缘 (MHz)	中心频率(MHz)	上带边缘 (MHz)
0 (0x00)	−14/65 f_S	0	14/65 f_S
1 (0x01)	−11/72 f_S	1/16 f_S	5/18 f_S
2 (0x02)	−1/11 f_S	1/8 f_S	16/47 f_S
3 (0x03)	−1/36 f_S	3/16 f_S	29/72 f_S
4 (0x04)	1/29 f_S	1/4 f_S	20/43 f_S
5 (0x05)	7/72 f_S	5/16 f_S	19/36 f_S
6 (0x06)	4/25 f_S	3/8 f_S	49/83 f_S
7 (0x07)	2/9 f_S	7/16 f_S	47/72 f_S
8 (0x08)	2/7 f_S	1/2 f_S	5/7 f_S
9 (0x09)	25/72 f_S	9/16 f_S	7/9 f_S
10 (0x0A)	34/83 f_S	5/8 f_S	21/25 f_S
11 (0x0B)	17/36 f_S	11/16 f_S	65/72 f_S
12 (0x0C)	23/43 f_S	3/4 f_S	28/29 f_S
13 (0x0D)	43/72 f_S	13/16 f_S	37/36 f_S
14 (0x0E)	31/47 f_S	7/8 f_S	12/11 f_S
15 (0x0F)	13/18 f_S	15/16 f_S	83/72 f_S

表32. VDR调谐字和绝对频率值，43%带宽，复数模式，f_S = 737.28 MSPS

调谐字	下带边缘 (MHz)	中心频率(MHz)	上带边缘 (MHz)
0 (0x00)	−158.80	0.00	158.80
1 (0x01)	−112.64	46.08	204.80
2 (0x02)	−67.03	92.16	250.99
3 (0x03)	−20.48	138.24	296.96
4 (0x04)	25.42	184.32	342.92
5 (0x05)	71.68	230.40	389.12
6 (0x06)	117.96	276.48	435.26
7 (0x07)	163.84	322.56	481.28
8 (0x08)	210.65	368.64	526.63
9 (0x09)	256.00	414.72	573.44
10 (0x0A)	302.02	460.80	619.32
11 (0x0B)	348.16	506.88	665.60
12 (0x0C)	394.36	552.96	711.86
13 (0x0D)	440.32	599.04	757.76
14 (0x0E)	486.29	645.12	804.31
15 (0x0F)	532.48	691.20	849.92

数字输出

JESD204B接口简介

AD6674数字输出根据JEDEC标准JESD204B数据转换器串行接口而设计。JESD204B是AD6674通过串行接口(最高12.5 Gbps通道速率)连接数字处理设备的协议。相比于LVDS，JESD204B接口的优势包括：数据接口路由所需电路板空间更少，以及转换器和逻辑器件的封装更小。

JESD204B概述

JESD204B数据发送模块可将来自ADC的并行数据组合成数据帧，并使用8B/10B编码以及可选数据加扰技术，输出串行数据。在初始链路的建立过程中，使用特殊控制字符可支持通道同步。用于维持同步的额外控制字符则嵌入在随后的数据流中。完整的串行链路需要一个JESD204B接收机。有关JESD204B接口的详细信息，建议用户查阅JESD204B标准。

AD6674 JESD204B数据发送模块将最多两个物理ADC(或DDC使能时最多八个虚拟转换器)映射到链路上。一条链路可以配置为使用1/2/4个JESD204B通道。JESD204B规格表示多个定义链路的参数，并且这些参数必须使JESD204B发射机(AD6674输出)和接收机(逻辑器件输入)相匹配。

JESD204B链路可通过下列参数描述：

- L为每个转换器件的通道数(每条链路的通道数)(AD6674值 = 1、2或4)
- M为每个转换器件的转换器数(每条链路的虚拟转换器数)(AD6674值 = 1、2、4或8)
- F为每帧的8位字数(AD6674值 = 1、2、4、8或16)
- N′为每个样本的位数(JESD204B字大小)(AD6674值 = 8或16)
- N为转换器分辨率(AD6674值 = 7至16)
- CS为每个样本的控制位数(AD6674值 = 0、1、2或3)
- K为每个多帧的帧数(AD6674值 = 4、8、12、16、20、24、28或32)
- S为每个帧周期单个转换器传送的样本数(AD6674值 = 根据L、M、F和N′自动设置)
- HD为高密度模式(AD6674 = 根据L、M、F和N′自动设置)
- CF为每个转换器件每个帧时钟周期的控制字数(AD6674值为0)

图120显示AD6674 JESD204B链路的简化框图。AD6674默认配置为使用两个转换器和四个通道。转换器A的数据输出至SERDOUT0±/SERDOUT1±，转换器B的数据输出至SERDOUT2±/SERDOUT3±。AD6674支持其它配置，如将两个转换器的输出组合成单通道，或改变A和B数字输出路径的映射。这些模式可通过SPI寄存器映射中的快速配置寄存器进行设置，并且提供额外的自定义选项。

默认情况下，每个AD6674转换器的14位转换器字都被分为两个8位字(数据位为8位)。第一个八位字包括位13(MSB)到位6。第二个8位字包括位5到位0(LSB)和两个结束位。结束位可以配置为0或者伪随机数(PN)序列。结束位还可替换为控制位，指示超量程、SYSREF±、信号监控输出或快速检测输出。

可对生成的两个8位字进行加扰。加扰为可选；建议在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程$1 + x^{14} + x^{15}$定义。接收机中的解扰器也必须使用加扰器多项式的自同步版本。

之后，这两个8位字通过8B/10B编码器进行编码。8B/10B编码器将8个数据位(一个8位字)编码为一个10位的符号。图120显示14位数据是如何从ADC中转移、结束位如何添加、两个8位字如何加扰，以及8位字如何被编码为两个10位符号。图120显示了默认的数据格式。

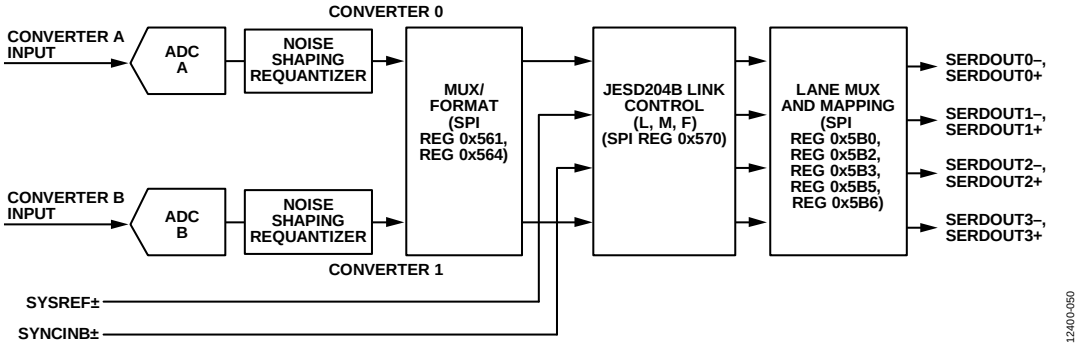


图120. 发射链路简化功能框图(显示全带宽模式，寄存器0x200 = 0x07)

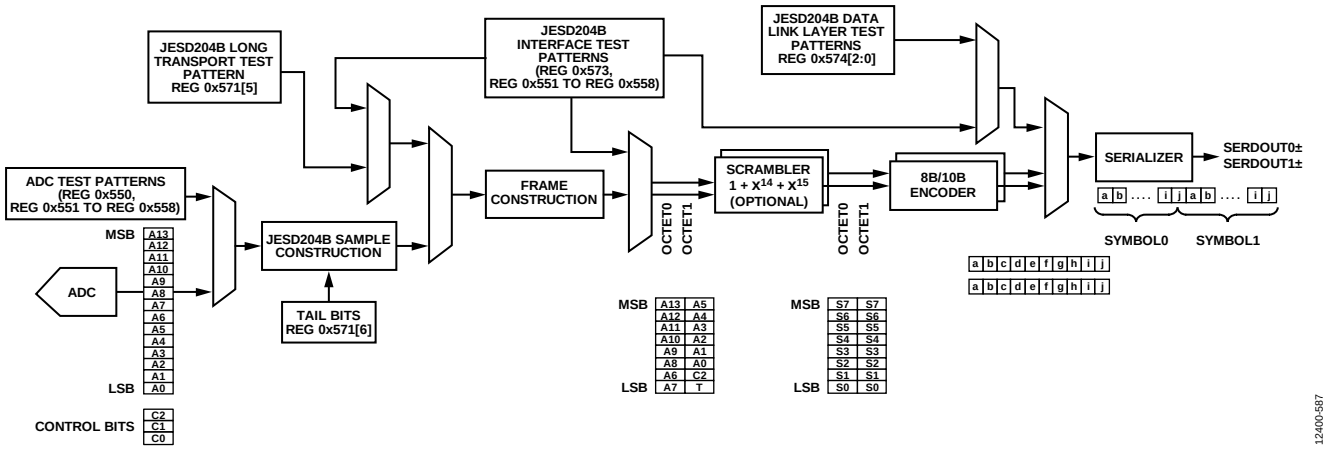


图121. ADC输出数据路径(显示数据成帧)

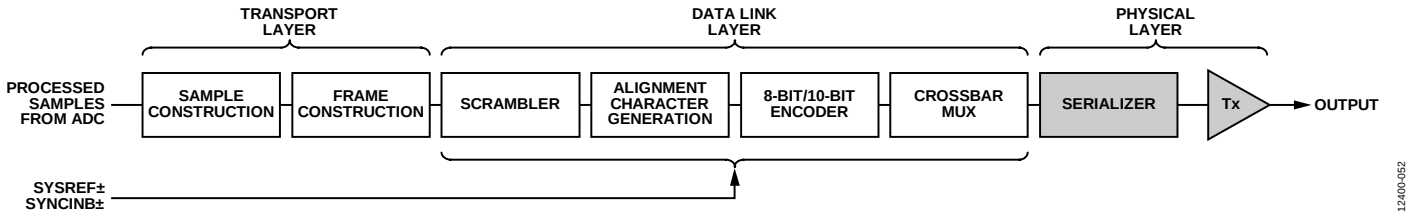


图122. 数据流

功能概述

图122中的框图显示了数据通过JESD204B硬件从采样输入到物理输出的流程。处理可依据开源倡议(OSI)模型分为多层，OSI模型广泛用于描述通信系统的抽象层。它们是传输层、数据链路层和物理层(串行器和输出驱动器)。

传输层

传输层将数据(包括样本和可选控制位)包装成JESD204B帧，然后映射为8位字并发送至数据链路层。传输层映射受链路参数产生的规则控制。必要时添加结束位，以填补空隙。使用以下公式确定样本(JESD204B字)内的结束位位数：

$$T = N' - N - CS$$

数据链路层

数据链路层负责执行通过链路传送数据的低级功能，包括加扰数据(可选)、用于多芯片同步/通道对齐/监控的插入控制字符，以及将8位字编码为10位符号。数据链路层还负责发送ILAS，它包含链路配置数据，接收机利用它来验证传输层的设置。

物理层

物理层由以串行时钟速率运行的高速电路构成。在这一部分，并行数据转换为1/2/4个高速差分串行数据通道。

JESD204B链路建立

AD6674 JESD204B Tx接口按照JEDEC标准204B(2011年7月规范)的规定，以Subclass 1工作。链路建立过程分为下列几个步骤：代码组同步、ILAS和用户数据。

代码组同步(CGS)和SYNCINB±

代码组同步(CGS)是JESD204B接收机找到数据流中10位符号间边界的过程。在CGS阶段，JESD204B传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复(CDR)技术，在输入数据流中定位/K28.5/字符。

接收机通过将AD6674的SYNCINB±引脚置位低电平，发出一个同步请求。然后，JESD204B Tx开始发送/K/字符。当接收机已同步时，它便等待接收机至少正确接收4个连续的/K/符号，然后解除置位SYNCINB±。AD6674接着在下一个LMFC边界发送一个ILAS。

有关CGS阶段的更多信息，请参见JEDEC标准204B(2011年7月)第5.3.3.1节。

SYNCINB±引脚操作还可以由SPI控制。默认情况下，SYNCINB±信号是一个差分LVDS模式信号，但也可以单端驱动。有关配置SYNCINB±引脚操作的更多信息，参见寄存器0x572。将寄存器0x572的位4置1，SYNCINB±引脚也可以配置为以CMOS(单端)模式工作。SYNCINB±以CMOS模式工作时，CMOS SYNCINB信号连接到引脚21 (SYNCINB+)，并让引脚20 (SYNCINB−)浮空。

初始通道对齐序列(ILAS)

CGS阶段之后是ILAS阶段，它在下一LMFC边界开始。ILAS由4个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS从发送/R/字符开始，然后发送一个多帧的0至255斜坡数据。在第二个多帧发送链路配置数据，从第三个字符开始。第二个字符是/Q/字符，用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS序列从不加扰。

ILAS序列结构如图123所示。4个多帧包括：

- 多帧1：以/R/字符[K28.0]开始，以/A/字符(K28.3)结束。
- 多帧2：以/R/字符开始，后接/Q/ (K28.4)字符，然后是14个配置八位字的链路配置参数(见表33)，最后以/A/字符结束。许多参数值用“值 − 1”表示。
- 多帧3：以/R/字符(K28.0)开始，以/A/字符(K28.3)结束。
- 多帧4：以/R/字符(K28.0)开始，以/A/字符(K28.3)结束。

用户数据和错误检测

完成ILAS之后便发送用户数据。通常，一帧中的所有字符都是用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过SPI禁用。

对于加扰的数据，帧末尾的任何0xFC字符都用/F/替换，多帧末尾的任何0x7C字符都用/A/替换。JESD204B Rx检查接收数据流中有无/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将利用动态重对齐处理这种情况，或置位SYNCINB±信号并持续四帧以上的时间以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/(若它位于一个帧的末尾)或/A/(若它位于一个多帧的末尾)。

对齐字符的插入可通过SPI修改。帧对齐字符插入默认使能。有关链路控制的更多信息，参见存储器映射部分的寄存器0x571。

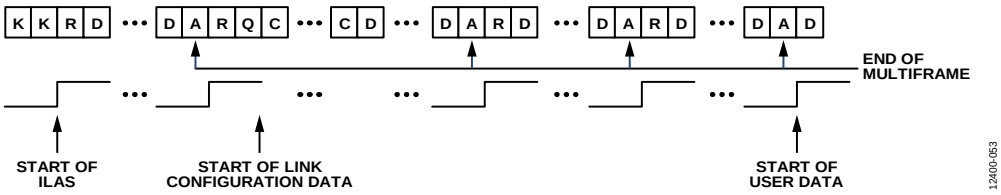


图123. 初始通道对齐序列

表33. AD6674用于JESD204B的控制字符

缩写	控制符号	8位值	10位值，RD[1] = −1	10位值，RD[1] = +1	描述
/R/	K28.0	000 11100	001111 0100	110000 1011	多帧开始
/A/	K28.3	011 11100	001111 0011	110000 1100	通道对齐
/Q/	K28.4	100 11100	001111 0010	110000 1101	链路配置数据开始
/K/	K28.5	101 11100	001111 1010	110000 0101	组同步
/F/	K28.7	111 11100	001111 1000	110000 0111	帧对齐

[1] RD表示运行差异。

8B/10B编码器

8B/10B编码器将8位字转换为10位符号，并在需要时将控制字符插入流中。JESD204B使用的控制字符如表33所示。8B/10B编码通过在多个符号中使用相同数量的1和0来确保信号达到直流平衡。

8B/10B接口选项可通过SPI控制，包括旁路和反转。这些选项用作数字前端(DFE)验证的故障排除工具。有关配置8B/10B编码器的更多信息，参见存储器映射部分的寄存器0x572[2:1]。

物理层(驱动器)输出

数字输出、时序和控制

AD6674物理层由JEDEC标准204B(2011年7月)所规定的驱动器组成。差分数字输出默认上电。驱动器利用100 Ω的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个100 Ω差分端接电阻，可实现标称300 mV p-p的接收机摆幅(见图124)。也可使用单端50 Ω端接电阻。使用单端端接电阻时，终端电压为DRVDD/2；此外，还可使用0.1 μF交流耦合电容以便端接至任意单端电压。

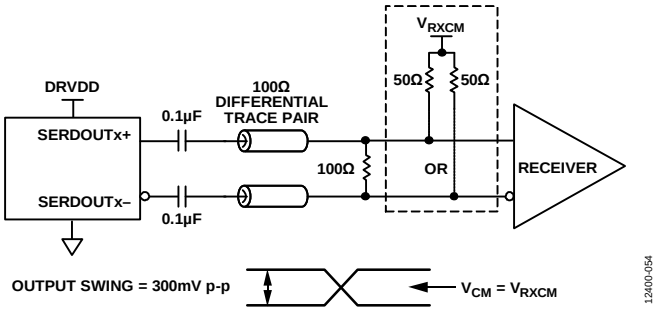


图124. 交流耦合数字输出端接示例

AD6674数字输出可与定制的ASIC和FPGA接收器接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个100 Ω差分端接电阻尽可能靠近接收机输入端放置。数字输出的共模电压自动偏置到1.2 V DRVDD电源的一半(V_{CM} = 0.6 V)。图124为输出直流耦合到接收机逻辑的示例。

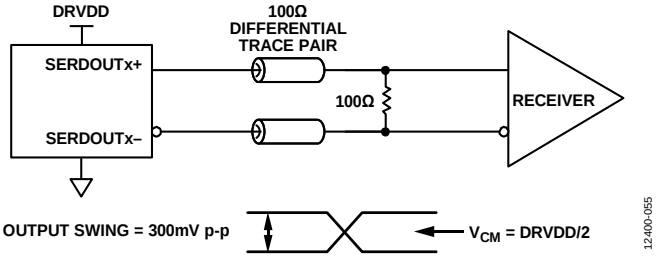


图125. 直流耦合数字输出端接示例

如果没有远端接收机端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过6英寸，差分输出走线应尽可能彼此靠近且长度相等。

图126至图128、图129至图131、图132至图134显示一个AD6674通道分别工作在10 Gbps、7.37 Gbps和6 Gbps时的数字输出数据眼、时间间隔误差(TIE)抖动直方图和浴盆曲线示例。输出数据格式默认为二进制补码。若要改变输出数据格式，请参阅“存储器映射”部分(表45中的寄存器0x561)。

去加重

当互连插入损耗不符合JESD204B规范时，利用去加重可以符合接收机眼图眼罩。只能在接收机因为插入损耗过大而无法恢复时钟时使用去加重特性。一般情况下，该特性禁用以节省功耗。此外，对一个短链路使能并设置过高的去加重值，可能导致接收机眼图失效。去加重设置应慎重使用，因为它会增加电磁干扰(EMI)。更多详情，请参见“存储器映射”部分(表45中的寄存器0x5C1至寄存器0x5C5)。

PLL

PLL用于生成串行器时钟，该时钟采用JESD204B通道速率工作。必须将JESD204B通道速率控制位(寄存器0x56E[4])设为与通道速率相对应。

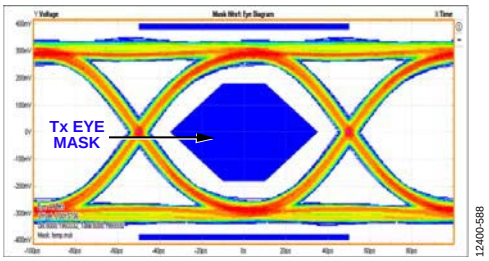


图126. 数字输出数据眼(外部100 Ω端接，10 Gbps)

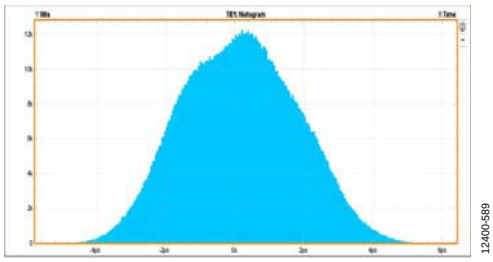


图127. 直方图(外部100 Ω端接，10 Gbps)

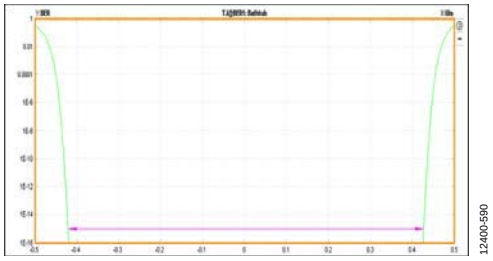


图128. 浴盆(外部100 Ω端接，10 Gbps)

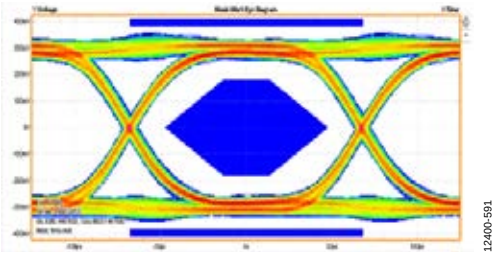


图129. 数字输出数据眼(外部100 Ω端接，7.37 Gbps)

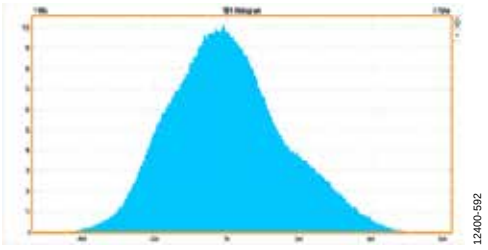


图130. 直方图(外部100 Ω端接，7.37 Gbps)

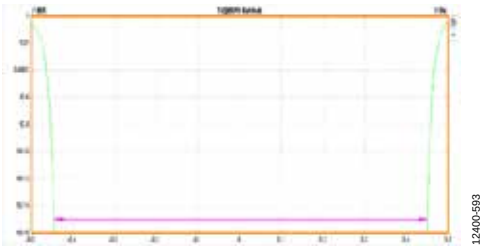


图131. 浴盆(外部100 Ω端接，7.37 Gbps)

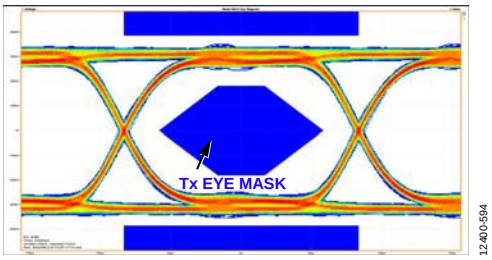


图132. 数字输出数据眼(外部100 Ω端接，6 Gbps)

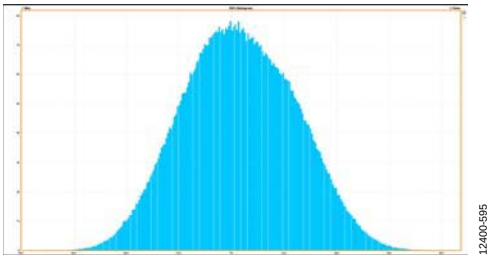


图133. 直方图(外部100 Ω端接，6 Gbps)

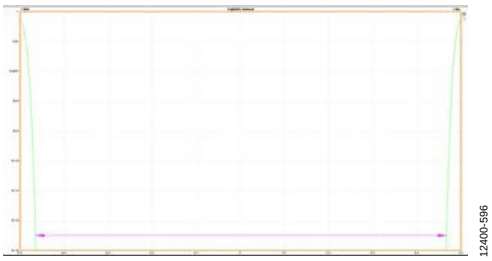


图134. 浴盆(外部100 Ω端接，6 Gbps)

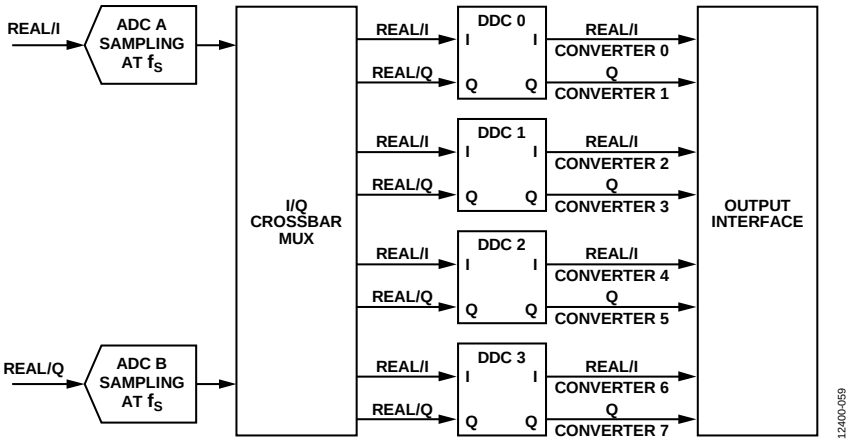


图135. DDC和虚拟转换器映射

JESD204B Tx转换器映射

为了支持不同的芯片工作模式，AD6674的设计将各样本流(实数或I/Q)视为来自不同的虚　拟转换器。I/Q样本始终成对映射，I样本映射到第一个虚拟转换器，Q样本映射到第二个虚拟转换器。利用这种传输层映射，无论是单个实数转换器配合DDC模块使用来产生I/Q输出，还是模拟下变频配合两个实数转换器使用来产生I/Q输出，虚拟转换器数目均相同。

图136显示了针对I/Q传输层映射所述两种情形的框图。

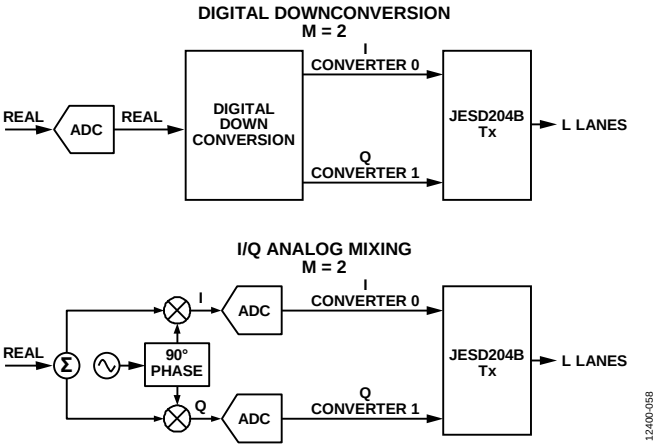


图136. I/Q传输层映射

AD6674的JESD204B Tx模块最多支持4个数字DDC模块。每个DDC模块要么输出两个样本流(I/Q，针对复数数据，即实部加虚部)，要么输出一个样本流(I，针对实数数据)。根据DDC配置，JESD204B接口可配置为最多使用8个虚拟转换器。图135显示使用复数输出时的虚拟转换器及其与DDC输出的关系。表34说明了禁用通道交换时各种芯片工作模式的虚拟转换器映射。

配置JESD204B链路

AD6674提供一条JESD204B链路。它可通过快速配置寄存器(寄存器0x570)方便地设置JESD204B链路。串行输出(SERDOUT0±至SERDOUT3±)可视为JESD204B链路的一部分。决定链路设置的基本参数有：

- 每链路的通道数(L)
- 每链路的转换器数(M)
- 每帧的8位字数(F)

如果内部DDC用于片内数字处理，则M值代表虚拟转换器数目。虚拟转换器映射设置如图135所示。

JESD204B规格允许的最大通道速率为12.5 Gbps。通道速率与JESD204B参数有关，关系式如下所示：

$$Lane\ Line\ Rate = \frac{\left(M \times N' \times \left(\frac{10}{8}\right) \times f_{OUT}\right)}{L}$$

其中：

$$f_{OUT} = \frac{f_{ADC_CLOCK}}{Decimation\ Ratio}$$

抽取率(DCM)是写入寄存器0x201的参数。

使用下拉步骤来配置输出：

1. 链路关断。
2. 选择快速配置选项。
3. 配置详细选项。
4. 设置输出通道匹配(可选)。
5. 设置其他驱动器配置选项(可选)。
6. 链路上电。

如果计算得到的通道速率低于6.25 Gbps，则选择“低线路速率”选项，也就是将值0x10写入寄存器0x56E。

表35和表36分别显示针对给定的虚拟转换器数，N′ = 16和N′ = 8支持的JESD204B输出配置。务必确保特定配置的串行通道速率处于支持的3.125 Gbps至12.5 Gbps范围内。

参见“示例1：采用DDC选项的ADC(两个ADC加四个DDC)”部分和“示例2：采用NSR选项的ADC(两个ADC加NSR)”部分，了解哪些JESD204B传输层设置对于给定芯片模式有效。

表34. 虚拟转换器映射

支持的虚拟转换器数	芯片工作模式(寄存器0x200[3:0])	芯片Q忽略(寄存器0x200[5])	虚拟转换器映射							
			0	1	2	3	4	5	6	7
1	一个DDC模式(0x1)	实数(仅I)(0x1)	DDC 0 I样本	未用	未用	未用	未用	未用	未用	未用
2	一个DDC模式(0x1)	复数(I/Q)(0x0)	DDC 0 I样本	DDC 0 Q样本	未用	未用	未用	未用	未用	未用
2	两个DDC模式(0x2)	实数(仅I)(0x1)	DDC 0 I样本	DDC 1 I样本	未用	未用	未用	未用	未用	未用
4	两个DDC模式(0x2)	复数(I/Q)(0x0)	DDC 0 I样本	DDC 0 Q样本	DDC 1 I样本	DDC 1 Q样本	未用	未用	未用	未用
4	四个DDC模式(0x3)	实数(仅I)(0x1)	DDC 0 I样本	DDC 1 I样本	DDC 2 I样本	DDC 3 I样本	未用	未用	未用	未用
8	四个DDC模式(0x3)	复数(I/Q)(0x0)	DDC 0 I样本	DDC 0 Q样本	DDC 1 I样本	DDC 1 Q样本	DDC 2 I样本	DDC 2 Q样本	DDC 3 I样本	DDC 3 Q样本
1至2	NSR模式(0x7)	实数或复数(0x0)	ADC A样本	ADC B样本	未用	未用	未用	未用	未用	未用
1至2	VDR模式(0x8)	实数或复数(0x0)	ADC A样本	ADC B样本	未用	未用	未用	未用	未用	未用

表35. JESD204B输出配置(N′ = 16)

支持的虚拟转换器数(与M值相同)	JESD204B快速配置(寄存器0x570)	JESD204B串行通道速率[1]	JESD204B传输层设置[2]								
			L	M	F	S	HD	N	N′	CS	K[3]
1	0x01	$20 \times f_{OUT}$	1	1	2	1	0	8 to 16	16	0 to 3	只能使用可被4整除的有效K值
	0x40	$10 \times f_{OUT}$	2	1	1	1	1	8至16	16	0至3	
	0x41	$10 \times f_{OUT}$	2	1	2	2	0	8至16	16	0至3	
	0x80	$5 \times f_{OUT}$	4	1	1	2	1	8至16	16	0至3	
	0x81	$5 \times f_{OUT}$	4	1	2	4	0	8至16	16	0至3	
2	0x0A	$40 \times f_{OUT}$	1	2	4	1	0	8至16	16	0至3	
	0x49	$20 \times f_{OUT}$	2	2	2	1	0	8至16	16	0至3	
	0x88	$10 \times f_{OUT}$	4	2	1	1	1	8至16	16	0至3	
	0x89	$10 \times f_{OUT}$	4	2	2	2	0	8至16	16	0至3	
4	0x13	$80 \times f_{OUT}$	1	4	8	1	0	8至16	16	0至3	
	0x52	$40 \times f_{OUT}$	2	4	4	1	0	8至16	16	0至3	
	0x91	$20 \times f_{OUT}$	4	4	2	1	0	8至16	16	0至3	
8	0x1C	$160 \times f_{OUT}$	1	8	16	1	0	8至16	16	0至3	
	0x5B	$80 \times f_{OUT}$	2	8	8	1	0	8至16	16	0至3	
	0x9A	$40 \times f_{OUT}$	4	8	4	1	0	8至16	16	0至3	

[1] f_{OUT}为输出采样速率。f_{OUT} = ADC采样速率/芯片抽取率。JESD204B串行通道速率必须≥3.125 Gbps且≤12.5 Gbps；当串行通道速率≤12.5 Gbps且≥6.25 Gbps时，必须禁用低通道速率模式(将寄存器0x56E中的位4设为0x0)。当串行通道速率<6.25 Gbps且≥3.125 Gbps时，必须使能低通道速率模式(将寄存器0x56E中的位4设为0x1)。

[2] JESD204B传输层说明参见“JESD204B概述”部分的说明。

[3] 对于F = 1，K = 20、24、28和32。对于F = 2，K = 12、16、20、24、28和32。对于F = 4，K = 8、12、16、20、24、28和32。对于F = 8和F = 16，K = 4、8、12、16、20、24、28和32。

表36. JESD204B输出配置(N′= 8)

支持的虚拟转换器数(与M值相同)	JESD204B快速配置(寄存器0x570)	串行通道速率[1]	JESD204B传输层设置[2]								
			L	M	F	S	HD	N	N′	CS	K[3]
1	0x00	10 × f_{OUT}	1	1	1	1	0	7至8	8	0至1	只能使用可被4整除的有效K值
	0x01	10 × f_{OUT}	1	1	2	2	0	7至8	8	0至1	
	0x40	5 × f_{OUT}	2	1	1	2	0	7至8	8	0至1	
	0x41	5 × f_{OUT}	2	1	2	4	0	7至8	8	0至1	
	0x42	5 × f_{OUT}	2	1	4	8	0	7至8	8	0至1	
	0x80	2.5 × f_{OUT}	4	1	1	4	0	7至8	8	0至1	
	0x81	2.5 × f_{OUT}	4	1	2	8	0	7至8	8	0至1	
2	0x09	20 × f_{OUT}	1	2	2	1	0	7至8	8	0至1	
	0x48	10 × f_{OUT}	2	2	1	1	0	7至8	8	0至1	
	0x49	10 × f_{OUT}	2	2	2	2	0	7至8	8	0至1	
	0x88	5 × f_{OUT}	4	2	1	2	0	7至8	8	0至1	
	0x89	5 × f_{OUT}	4	2	2	4	0	7至8	8	0至1	
	0x8A	5 × f_{OUT}	4	2	4	8	0	7至8	8	0至1	

[1] f_{OUT}为输出采样速率。f_{OUT} = ADC采样速率/芯片抽取率。JESD204B串行通道速率必须≥3.125 Gbps且≤12.5 Gbps；当串行通道速率≤12.5 Gbps且≥6.25 Gbps时，必须禁用低通道速率模式(将寄存器0x56E中的位4设为0x0)。当串行通道速率<6.25 Gbps且≥3.125 Gbps时，必须使能低通道速率模式(将寄存器0x56E中的位4设为0x1)。

[2] JESD204B传输层说明参见"JESD204B概述"部分的说明。

[3] 对于F = 1，K = 20、24、28和32。对于F = 2，K = 12、16、20、24、28和32。对于F = 4，K = 8、12、16、20、24、28和32。对于F = 8和F = 16，K = 4、8、12、16、20、24、28和32。

示例1：采用DDC选项的ADC(两个ADC加四个DDC)

芯片应用模式为四个DDC模式(参见图137)，具有如下特性：

- 两个14位转换器工作在1 GSPS
- 四个DDC应用层模式提供复数输出(I/Q)
- 芯片抽取率 = 16
- DDC抽取率 = 16(参见表15)

JESD204B输出配置如下：

- 要求的虚拟转换器 = 8(参见表35)
- 输出采样速率(f_{OUT}) = 1000/16 = 62.5 MSPS

支持的JESD204B输出配置(参见表35)包括

- N′ = 16位
- N = 14位
- L = 1、M = 8、F = 16，或L = 2、M = 8、F = 8(快速配置 = 0x1C或0x5B)
- CS = 0至1
- K = 32
- 输出串行通道速率 = 10 Gbps/通道(L = 1)或5 Gbps/通道(L = 2)
- L = 1时，禁用低通道速率模式
- L = 2时，使能低通道速率模式

示例1显示AD6674数字配置和通道配置的灵活性。采样速率为1 GSPS，但输出全部组合为一条或两条通道，具体取决于接收器件的I/O速度。

示例2：采用NSR选项的ADC(两个ADC加NSR)

芯片应用模式为NSR模式(参见图138)，具有如下特性：

- 两个14位转换器工作在500 MSPS
- 各通道的NSR模块使能
- 芯片抽取率 = 1

JESD204B输出配置如下：

- 要求的虚拟转换器 = 2(参见表35)
- 输出采样速率(f_{OUT}) = 500 MSPS

支持的JESD204B输出配置(参见表35)包括

- N′ = 16位
- N = 9位
- L = 2、M = 2、F = 2，或L = 4、M = 2、F = 1(快速配置 = 0x49或0x88)
- CS = 0至2
- K = 32
- 输出串行通道速率 = 10 Gbps/通道(L = 2)或5 Gbps/通道(L = 4)
- L = 2时，禁用低通道速率模式
- L = 4时，使能低通道速率模式

示例2显示AD6674数字配置和通道配置的灵活性。采样速率为500 MSPS，但输出全部组合为两条或四条通道，具体取决于接收器件的I/O速度。

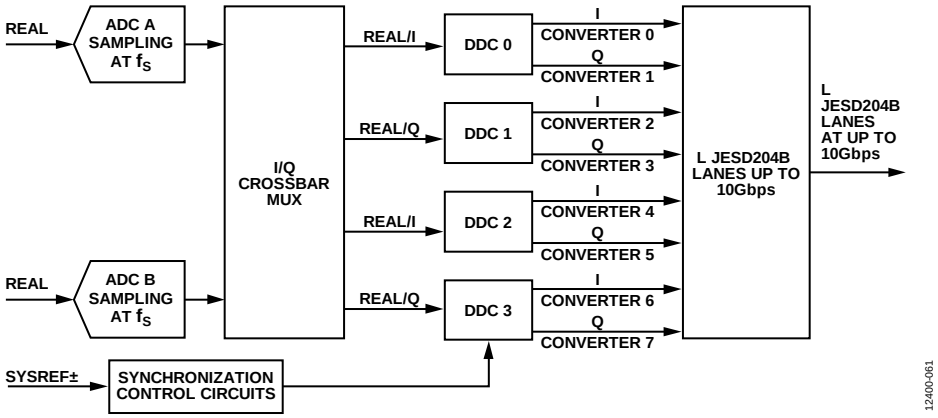


图137. 两个ADC加四个DDC模式

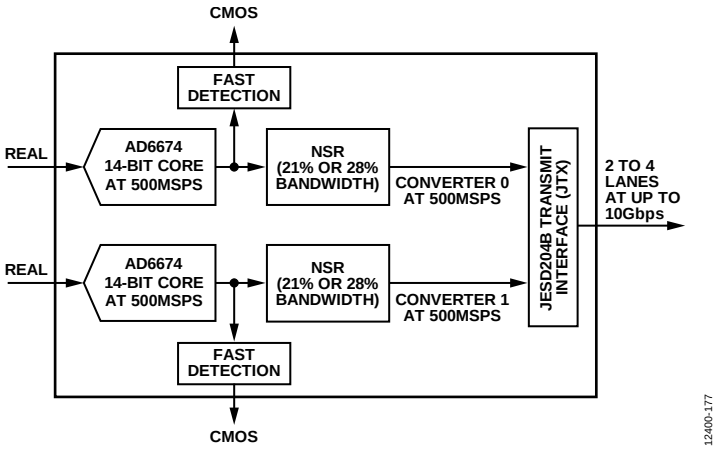


图138. 两个ADC加NSR模式

多芯片同步

AD6674有一个SYSREF±输入端，允许用户通过灵活的选项实现内部模块同步。SYSREF±输入端是源同步系统基准信号，支持多芯片同步。可通过SYSREF±输入同步输入时钟分频器、DDC、信号监控器模块和JESD204B链路。为了获得最高的时序精度水平，SYSREF±必须满足与CLK±输入相关的建立和保持要求。

图139中的流程图描述了AD6674实现多芯片同步的内部机制。AD6674支持多种功能，可帮助用户满足捕捉SYSREF±信号所需的要求。SYSREF±采样事件定义为同步低电平至高电平转换，或同步高电平至低电平转换。此外，AD6674允许通过CLK±输入的上升沿或下降沿对SYSREF±信号进行采样。AD6674还可以忽略可编程数量的SYSREF±事件(最高16个)。通过寄存器0x120和寄存器0x121可以选择SYSREF±控制选项。

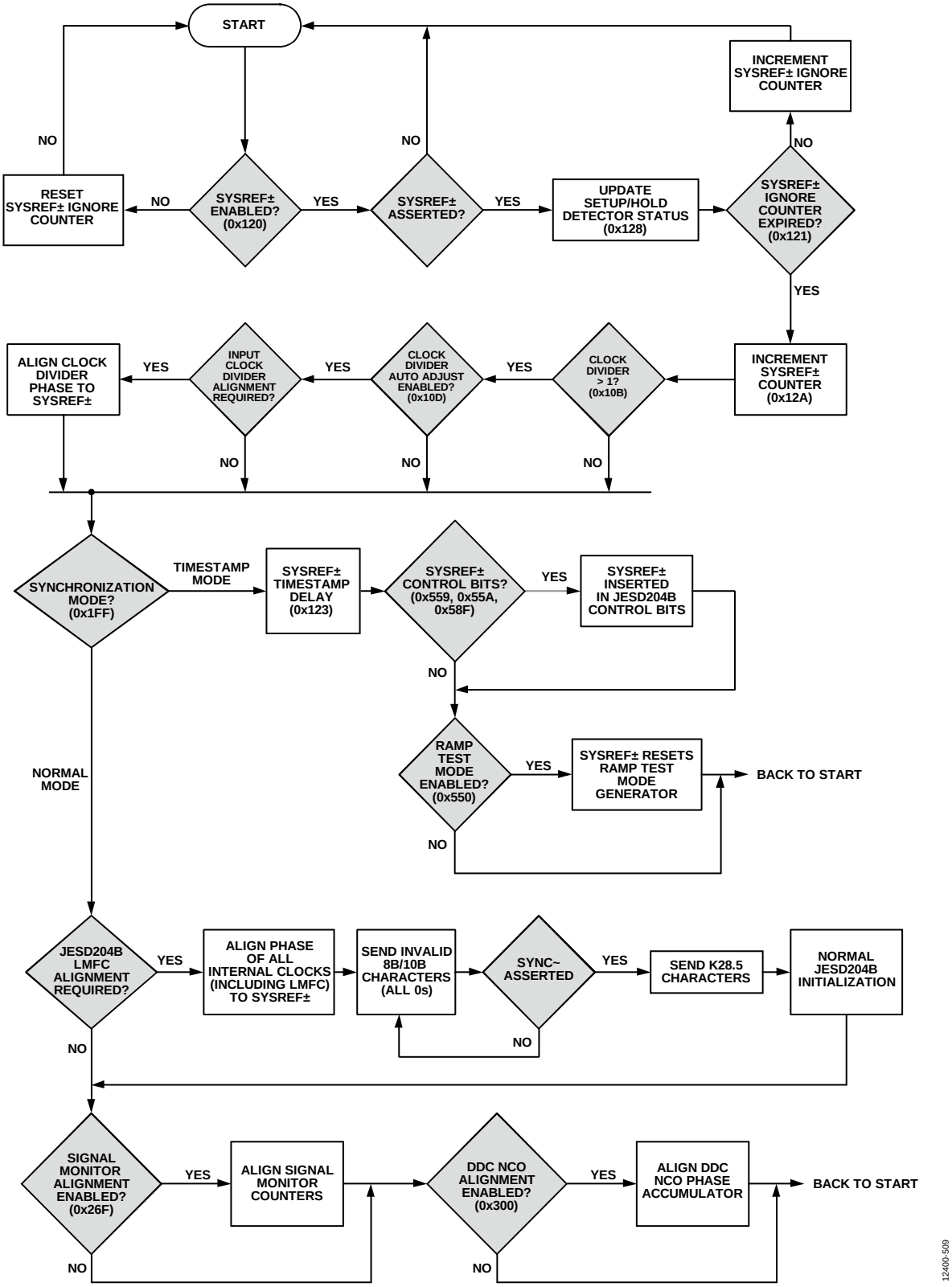

START
INCREMENT SYSREF± IGNORE COUNTER
NO
NO
NO
RESET SYSREF± IGNORE COUNTER
NO
SYSREF± ENABLED? (0x120)
YES
SYSREF± ASSERTED?
YES
UPDATE SETUP/HOLD DETECTOR STATUS (0x128)
SYSREF± IGNORE COUNTER EXPIRED? (0x121)
YES
ALIGN CLOCK DIVIDER PHASE TO SYSREF±
YES
INPUT CLOCK DIVIDER ALIGNMENT REQUIRED?
YES
CLOCK DIVIDER AUTO ADJUST ENABLED? (0x10D)
YES
CLOCK DIVIDER > 1? (0x10B)
INCREMENT SYSREF± COUNTER (0x12A)
NO
NO
NO
SYNCHRONIZATION MODE? (0x1FF)
TIMESTAMP MODE
SYSREF± TIMESTAMP DELAY (0x123)
SYSREF± CONTROL BITS? (0x559, 0x55A, 0x58F)
YES
SYSREF± INSERTED IN JESD204B CONTROL BITS
NO
RAMP TEST MODE ENABLED? (0x550)
YES
SYSREF± RESETS RAMP TEST MODE GENERATOR
BACK TO START
NO
NORMAL MODE
JESD204B LMFC ALIGNMENT REQUIRED?
YES
ALIGN PHASE OF ALL INTERNAL CLOCKS (INCLUDING LMFC) TO SYSREF±
SEND INVALID 8B/10B CHARACTERS (ALL 0s)
SYNC~ ASSERTED
YES
SEND K28.5 CHARACTERS
NORMAL JESD204B INITIALIZATION
NO
NO
SIGNAL MONITOR ALIGNMENT ENABLED? (0x26F)
YES
ALIGN SIGNAL MONITOR COUNTERS
DDC NCO ALIGNMENT ENABLED? (0x300)
YES
ALIGN DDC NCO PHASE ACCUMULATOR
BACK TO START
NO
NO
12400-509

图139. 多芯片同步

SYSREF±设置/保持窗口监控器

为了帮助确保捕捉的SYSREF±信号有效，AD6674提供了SYSREF±建立和保持窗口监控器。此特性允许系统设计人员确定SYSREF±信号相对于CLK±信号的位置，方法是通过存储器映射回读接口上的建立/保持裕量。图140和图141显示SYSREF±不同阶段的建立和保持状态值。建立检测器在CLK±边沿以前返回SYSREF±信号的状态，而保持检测器则在CLK±边沿以后返回SYSREF±信号的状态。寄存器0x128保存SYSREF±的状态，并让用户知晓ADC是否成功捕获SYSREF±信号。

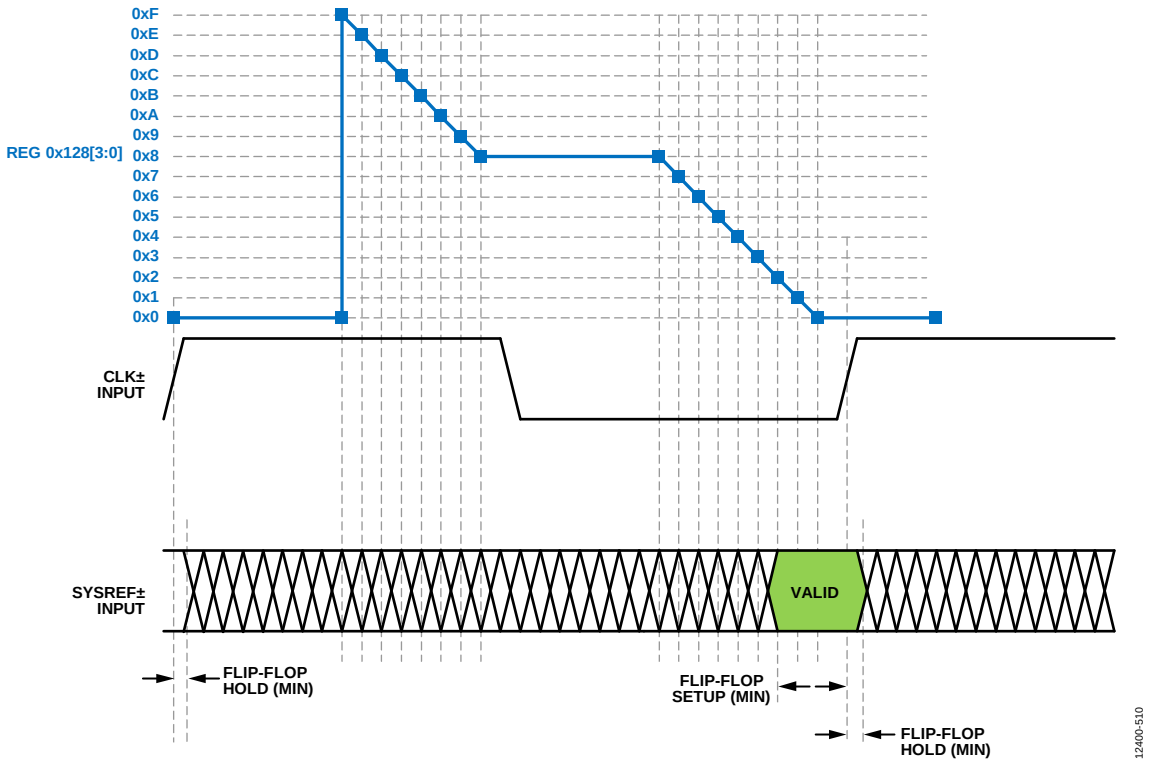


图140. SYSREF±建立检测器

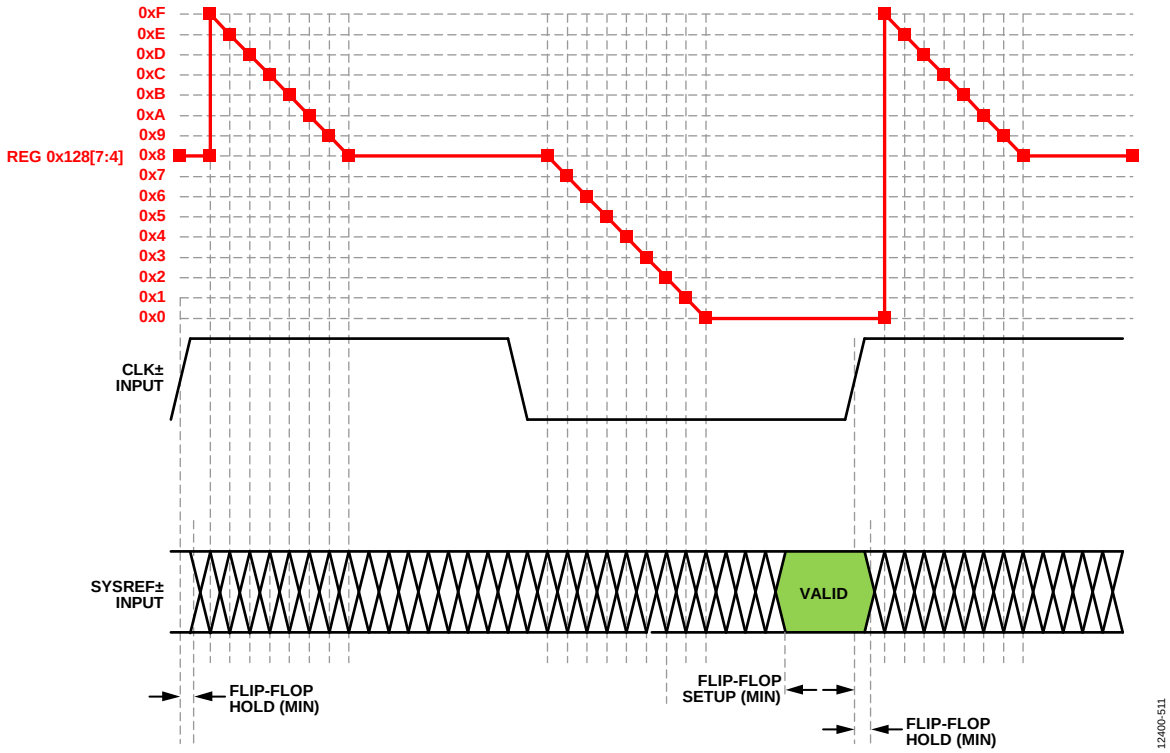


图141. SYSREF±保持检测器

表37显示寄存器0x128的内容描述，以及如何解读这些内容。

表37. SYSREF±建立/保持监控器(寄存器0x128)

寄存器0x128[7:4]保持状态	寄存器0x128[3:0]建立状态	描述
0x0	0x0至0x7	可能有建立错误；此数值越小，建立裕量越小。
0x0至0x8	0x8	无建立或保持错误(最佳保持裕量)
0x8	0x9至0xF	无建立或保持错误(最佳建立和保持裕量)
0x8	0x0	无建立或保持错误(最佳建立裕量)
0x9至0xF	0x0	可能有保持错误；此数值越大，保持裕量越小。
0x0	0x0	可能有建立或保持错误

测试模式

ADC测试模式

AD6674有多种测试选项可帮助实现系统级解决方案。AD6674的ADC测试模式可通过寄存器0x550使用。这些测试模式如表38所示。当使能输出测试模式时，ADC的模拟部分与数字后端模块断开，测试码经过输出格式化模块。有些测试码需要进行输出格式化，有些则不需要。将寄存器0x550的位4或位5置1，可以将PN序列测试的PN发生器复位。执行这些测试时，模拟信号可有可无(如有，则忽略模拟信号)，但编码时钟必不可少。如需了解更多信息，请参阅AN-877应用笔记：“通过SPI与高速ADC接口”。

JESD204B模块测试模式

除了ADC测试模式，AD6674还有灵活的JESD204B模块测试模式。这些测试模式列于寄存器0x573和寄存器0x574中。可将这些测试码插在输出数据路径的不同点处。测试插入点如图121所示。表39显示了JESD204B模块提供的各种测试模式。对于AD6674，从测试模式(寄存器0x573 ≠ 0x00)转换到正常模式(寄存器0x573 = 0x00)需要SPI软复位。这可通过将0x81写入寄存器0x00(自清零)来实现。

传输层样本测试模式

按照JEDEC JESD204B规范第5.1.6.3节的规定，AD6674实现了传输层样本测试。这些测试通过寄存器0x571[5]使能。测试码等效于ADC的原始样本。

接口测试模式

接口测试模式参见寄存器0x573位[3:0]的说明。表39也对这些测试模式进行了解释。接口测试可以插在数据的不同点处。有关测试插入点的更多信息参见图121。寄存器0x573的位[5:4]显示何处插入这些测试。

表38. ADC测试模式

输出测试模式位序列	测试码名称	表达式	默认值/种子值	样本(N, N + 1, N + 2, ...)
0000	关闭(默认)	不适用	不适用	不适用
0001	中间电平短码	00 0000 0000 0000	不适用	不适用
0010	+满量程短码	01 1111 1111 1111	不适用	不适用
0011	−满量程短码	10 0000 0000 0000	不适用	不适用
0100	棋盘形式	10 1010 1010 1010	不适用	0x1555, 0x2AAA, 0x1555, 0x2AAA, 0x1555
0101	PN长序列	$x^{23} + x^{18} + 1$	0x3AFF	0x3FD7, 0x0002, 0x26E0, 0x0A3D, 0x1CA6
0110	PN短序列	$x^9 + x^5 + 1$	0x0092	0x125B, 0x3C9A, 0x2660, 0x0c65, 0x0697
0111	1/0字反转	11 1111 1111 1111	不适用	0x0000, 0x3FFF, 0x0000, 0x3FFF, 0x0000
1000	用户输入	寄存器0x551至寄存器0x558	不适用	重复模式：用户码1[15:2]，用户码2[15:2]，用户码3[15:2]，用户码4[15:2]，用户码1[15:2]… 单次模式：用户码1[15:2]，用户码2[15:2]，用户码3[15:2]，用户码4[15:2]，0x0000…
1111	斜坡输出	$(x) \% 2^{14}$	不适用	(x) % 214, (x + 1) % 214, (x + 2) % 214, (x + 3) % 214

表39. JESD204B接口测试模式

输出测试模式位序列	测试码名称	表达式	默认
0000	关闭(默认)	不适用	不适用
0001	交替棋盘形式	0x5555, 0xAAAA, 0x5555…	不适用
0010	1/0字反转	0x0000, 0xFFFF, 0x0000…	不适用
0011	31位PN序列	$x^{31} + x^{28} + 1$	0x0003AFFF
0100	23位PN序列	$x^{23} + x^{18} + 1$	0x003AFF
0101	15位PN序列	$x^{15} + x^{14} + 1$	0x03AF
0110	9位PN序列	$x^9 + x^5 + 1$	0x092
0111	7位PN序列	$x^7 + x^6 + 1$	0x07
1000	斜坡输出	$(x) \% 2^{16}$	斜坡大小取决于测试插入点
1110	连续/重复用户测试	寄存器0x551至寄存器0x558	用户码1至用户码4，然后重复
1111	单次用户测试	寄存器0x551至寄存器0x558	用户码1至用户码4，然后是0

表40、表41和表42显示了插在JESD204B样本输入、物理层(PHY) 10位输入和加扰器8位输入时某些测试模式的示例。表40至表42中的UP表示存储器映射寄存器表(参见表45)中的用户码控制位。

数据链路层测试模式

按照JEDEC JESD204B规范第5.3.3.8.2节的规定，AD6674实现了数据链路层测试模式。这些测试如寄存器0x574的位[2:0]所示。插在此点的测试码可用于验证数据链路层的功能。使能数据链路层测试模式时，应向寄存器0x572写入0xC0以禁用SYNCINB±。

表40. JESD204B样本输入：M = 2、S = 2、N′ = 16(寄存器0x573[5:4] = 'b00)

帧数	转换器数	样本数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0	0	0x5555	0x0000	(x) % 2^{16}	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	0	1	0x5555	0x0000	(x) % 2^{16}	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	0	0x5555	0x0000	(x) % 2^{16}	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
0	1	1	0x5555	0x0000	(x) % 2^{16}	0x496F	0xFF5C	UP1[15:0]	UP1[15:0]
1	0	0	0xAAAA	0xFFFF	(x + 1) % 2^{16}	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	0	1	0xAAAA	0xFFFF	(x + 1) % 2^{16}	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	0	0xAAAA	0xFFFF	(x + 1) % 2^{16}	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
1	1	1	0xAAAA	0xFFFF	(x + 1) % 2^{16}	0xC9A9	0x0029	UP2[15:0]	UP2[15:0]
2	0	0	0x5555	0x0000	(x + 2) % 2^{16}	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	0	1	0x5555	0x0000	(x + 2) % 2^{16}	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	0	0x5555	0x0000	(x + 2) % 2^{16}	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
2	1	1	0x5555	0x0000	(x + 2) % 2^{16}	0x980C	0xB80A	UP3[15:0]	UP3[15:0]
3	0	0	0xAAAA	0xFFFF	(x + 3) % 2^{16}	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	0	1	0xAAAA	0xFFFF	(x + 3) % 2^{16}	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	0	0xAAAA	0xFFFF	(x + 3) % 2^{16}	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
3	1	1	0xAAAA	0xFFFF	(x + 3) % 2^{16}	0x651A	0x3D72	UP4[15:0]	UP4[15:0]
4	0	0	0x5555	0x0000	(x + 4) % 2^{16}	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	0	1	0x5555	0x0000	(x + 4) % 2^{16}	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	0	0x5555	0x0000	(x + 4) % 2^{16}	0x5FD1	0x9B26	UP1[15:0]	0x0000
4	1	1	0x5555	0x0000	(x + 4) % 2^{16}	0x5FD1	0x9B26	UP1[15:0]	0x0000

表41. 物理层10位输入(寄存器0x573[5:4] = 'b01)

10位符号数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0x155	0x000	(x) % 2^{10}	0x125	0x3FD	UP1[15:6]	UP1[15:6]
1	0x2AA	0x3FF	(x + 1) % 2^{10}	0x2FC	0x1C0	UP2[15:6]	UP2[15:6]
2	0x155	0x000	(x + 2) % 2^{10}	0x26A	0x00A	UP3[15:6]	UP3[15:6]
3	0x2AA	0x3FF	(x + 3) % 2^{10}	0x198	0x1B8	UP4[15:6]	UP4[15:6]
4	0x155	0x000	(x + 4) % 2^{10}	0x031	0x028	UP1[15:6]	0x000
5	0x2AA	0x3FF	(x + 5) % 2^{10}	0x251	0x3D7	UP2[15:6]	0x000
6	0x155	0x000	(x + 6) % 2^{10}	0x297	0x0A6	UP3[15:6]	0x000
7	0x2AA	0x3FF	(x + 7) % 2^{10}	0x3D1	0x326	UP4[15:6]	0x000
8	0x155	0x000	(x + 8) % 2^{10}	0x18E	0x10F	UP1[15:6]	0x000
9	0x2AA	0x3FF	(x + 9) % 2^{10}	0x2CB	0x3FD	UP2[15:6]	0x000
10	0x155	0x000	(x + 10) % 2^{10}	0x0F1	0x31E	UP3[15:6]	0x000
11	0x2AA	0x3FF	(x + 11) % 2^{10}	0x3DD	0x008	UP4[15:6]	0x000

表42. 加扰器8位输入(寄存器0x573[5:4] = 'b10)

8位字数	交替棋盘形式	1/0字反转	斜坡	PN9	PN23	用户重复	用户单次
0	0x55	0x00	(x) % 2^8	0x49	0xFF	UP1[15:9]	UP1[15:9]
1	0xAA	0xFF	(x + 1) % 2^8	0x6F	0x5C	UP2[15:9]	UP2[15:9]
2	0x55	0x00	(x + 2) % 2^8	0xC9	0x00	UP3[15:9]	UP3[15:9]
3	0xAA	0xFF	(x + 3) % 2^8	0xA9	0x29	UP4[15:9]	UP4[15:9]
4	0x55	0x00	(x + 4) % 2^8	0x98	0xB8	UP1[15:9]	0x00
5	0xAA	0xFF	(x + 5) % 2^8	0x0C	0x0A	UP2[15:9]	0x00
6	0x55	0x00	(x + 6) % 2^8	0x65	0x3D	UP3[15:9]	0x00
7	0xAA	0xFF	(x + 7) % 2^8	0x1A	0x72	UP4[15:9]	0x00
8	0x55	0x00	(x + 8) % 2^8	0x5F	0x9B	UP1[15:9]	0x00
9	0xAA	0xFF	(x + 9) % 2^8	0xD1	0x26	UP2[15:9]	0x00
10	0x55	0x00	(x + 10) % 2^8	0x63	0x43	UP3[15:9]	0x00
11	0xAA	0xFF	(x + 11) % 2^8	0xAC	0xFF	UP4[15:9]	0x00

串行端口接口(SPI)

AD6674 SPI允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。如需了解详细操作信息，请参阅串行控制接口标准。

使用SPI的配置

该ADC的SPI由三个引脚组成：SCLK引脚、SDIO引脚和CSB引脚(见表43)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表43. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。串行时序示例及其定义参见图4和表5。

CSB引脚可以在其它模式下工作。CSB引脚可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。此位允许SDIO引脚的数据传输方向从输入改为输出。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使SDIO引脚在串行帧的适当位置由输入变为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。有关此功能及其他功能的更多信息，请参阅串行控制接口标准。

硬件接口

表43中所描述的引脚包括用户编程器件与AD6674的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6674之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

SPI访问特性

表44简要说明了可通过SPI访问的一般特性。有关这些特性的详情，请参见串行控制接口标准。AD6674器件特定特性详见“存储器映射”部分。

表44. 可通过SPI访问的特性

特性名称	描述
模式	允许用户设置省电模式或待机模式
时钟	允许用户通过SPI访问时钟分频器
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
串行器/解串器(SERDES)输出设置	允许用户改变SERDES设置，包括摆动和加重

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为七个部分：ADI SPI寄存器、模拟输入缓冲器控制寄存器、ADC功能寄存器、DDC功能寄存器、NSR 2倍抽取和噪声整形再量化器寄存器、可变动态范围寄存器、数字输出和测试模式寄存器。

表45(参见“存储器映射寄存器表”部分)记录了每个十六进制地址及其十六进制默认值。位7(MSB)栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x561)的十六进制默认值为0x01。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。有关此功能及其他功能的更多信息，请参见表45。

禁用位置和保留位置

此器件目前不支持表45中未包括的所有地址和位。除非已设置了默认值，否则将0写入有效地址位置的未使用位。在该地址(例如地址0x561)仅有部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如地址0x013)均禁用，则不应对该地址进行写操作。

默认值

AD6674复位后，将向关键寄存器内载入默认值。表45(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指将某位设置为逻辑1或向某位写入逻辑1。
- “清除位”指将某位设置为逻辑0或向某位写入逻辑0。
- “X”表示无关位。

特定通道寄存器

对于某些通道设置功能，例如缓冲器输入端口(寄存器0x016)，各通道可以设置不同的值。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表45中被称为局部寄存器。通过设置寄存器0x008的通道A位或通道B位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道(通道A或通道B)来读取两个寄存器中的一个。如果在一个SPI读周期内置位这两个位，则器件返回通道A的值。表45给出的全局寄存器及相应位会影响整个器件或通道的特性，不允许分别设置每个通道。寄存器0x008中的设置不影响全局寄存器及相应位的值。

SPI软复位

发出软复位后(向寄存器0x000写入0x81)，AD6674需要5 ms才能恢复。因此，对AD6674编程以便进行应用设置时，应在软复位置位之后、器件设置启动之前保证在固件中设置了足够的延迟时间。

存储器映射寄存器表

此器件目前不支持表45中未包括的所有地址和位。

表45. 存储器映射寄存器

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
ADI SPI寄存器											
0x000	INTERFACE_CONFIG_A	软复位(自清零)	LSB优先 0 = MSB 1 = LSB	地址上升	0	0	地址上升	LSB优先 0 = MSB 1 = LSB	软复位(自清零)	0x00	
0x001	INTERFACE_CONFIG_B	单指令	0	0	0	0	0	数据路径软复位(自清零)	0	0x00	
0x002	DEVICE_CONFIG(局部)	0	0	0	0	0	0	00 = 正常工作 10 = 待机 11 = 掉电		0x00	
0x003	CHIP_TYPE	011 = 高速ADC								0x03	只读
0x004	CHIP_ID(低字节)	1	1	0	0	1	1	1	1	0xCF	0
0x005	CHIP_ID(高字节)	0	0	0	0	0	0	0	0	0x00	0
0x006	CHIP_GRADE	芯片速度等级 1010 = 1000 MSPS 0111 = 750 MSPS 0101 = 500 MSPS				0	X	X	X	X	只读
0x008	器件索引	0	0	0	0	0	0	通道B	通道A	0x03	
0x00A	暂存区	0	0	0	0	0	0	0	0	0x00	
0x00B	SPI修订版	0	0	0	0	0	0	0	1	0x01	
0x00C	供应商ID(低字节)	0	1	0	1	0	1	1	0	0x56	只读
0x00D	供应商ID(高字节)	0	0	0	0	0	1	0	0	0x04	只读
模拟输入缓冲器控制寄存器											
0x015	模拟输入(局部)	0	0	0	0	0	0	0	输入禁用 0 = 正常工作 1 = 输入禁用	0x00	
0x016	输入端接(局部)	模拟输入差分端接 0000 = 400 Ω 0001 = 200 Ω 0010 = 100 Ω 0110 = 50 Ω				1	1	1	0	0x0C；AD6674-1000和AD6674-750是0x0E	
0x934	输入电容	0	0	0	0x1F = 3 pF接GND(默认) 0x00 = 1.5 pF接GND					0x1F	
0x018	缓冲器控制1(局部)	0000 = 1.0×缓冲器电流 0001 = 1.5×缓冲器电流 0010 = 2.0×缓冲器电流(AD6674-500的默认值) 0011 = 2.5×缓冲器电流 0100 = 3.0¡Á缓冲器电流 (AD6674-750和AD6674-1000的默认值) 0101 = 3.5×缓冲器电流 … 1111 = 8.5×缓冲器电流				0	0	0	0	0x40；AD6674-500为0x20	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x019	缓冲器控制2(局部)	0100 = 设置1(AD6674-750的默认值) 0101 = 设置2(AD6674-1000的默认值) 0110 = 设置3(AD6674-500的默认值) 0111 = 设置4 (每个频率范围的设置参见表10)				0	0	0	0	0xXX	
0x01A	缓冲器控制3(局部)	0	0	0	0	1000 = 设置1 1001 = 设置2(AD6674-750和AD6674-1000的默认值) 1010 = 设置3(AD6674-500的默认值) (每个频率范围的设置参见表10)				0x09；AD6674-500为0x0A	
0x11A	缓冲器控制4(局部)	0	0	高频设置 0 = 关 (默认) 1 = 开	0	0	0	0	0	0x00	
0x935	缓冲器控制5(局部)	0	0	0	0	0	低工作频率 0 = 关 1 = 开(默认)	0	0	0x04	
0x025	输入满量程范围(局部)	0	0	0	0	满量程调整 0000 = 1.94 V 1000 = 1.46 V 1001 = 1.58 V 1010 = 1.70 V (AD6674-750和AD6674-1000的默认值) 1011 = 1.82 V 1100 = 2.06 V(AD6674-500的默认值)				0x0A；AD6674-500为0x0C	Vp-p差分；与寄存器0x030一起使用
0x030	输入满量程控制(局部)	0	0	0	满量程控制 不同频段的推荐设置参见表10； 默认值： AD6674-1000 = 110 AD6674-750 = 101 AD6674-500 = 001 AD6674-500 = 110(<1.82 V时)			0	0	0xXX	与寄存器0x025一起使用
ADC功能寄存器											
0x024	V_1P0控制	0	0	0	0	0	0	0	1.0 V基准电压选择 0 = 内部 1 = 外部	0x00	
0x028	温度二极管	0	0	0	0	0	0	0	二极管选择 0 = 未选择二极管 1 = 选择温度二极管	0x00	
0x03F	PDWN/STBY引脚控制(局部)	0 = PDWN/STBY使能 1 = 禁用	0	0	0	0	0	0	0	0x00	与寄存器0x040一起使用

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x040	芯片引脚控制	PDWN/STBY功能 00 = 关断 01 = 待机 10 = 禁用		快速检测B (FD_B) 000 = 快速检测B输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~输出 111 = 禁用			快速检测A (FD_A) 000 = 快速检测A输出 001 = JESD204B LMFC输出 010 = JESD204B内部SYNC~输出 011 = 温度二极管 111 = 禁用			0x3F	
0x10B	时钟分频器	0	0	0	0	0	000 = 1分频 001 = 2分频 011 = 4分频 111 = 8分频			0x00	
0x10C	时钟分频器相位(局部)	0	0	0	0	独立控制通道A和通道B时钟分频器相位偏移 0000 = 0输入时钟周期被延迟 0001 = ½输入时钟周期被延迟 0010 = 1输入时钟周期被延迟 0011 = 1½输入时钟周期被延迟 0100 = 2输入时钟周期被延迟 0101 = 2½输入时钟周期被延迟 … 1111 = 7½输入时钟周期被延迟				0x00	
0x10D	时钟分频器和SYSREF±控制	时钟分频器自动相位调节 0 = 禁用 1 = 使能	0	0	0	时钟分频器负偏斜窗口 00 = 无负偏斜 01 = 1个器件时钟负偏斜 10 = 2个器件时钟负偏斜 11 = 3个器件时钟负偏斜		时钟分频器负偏斜窗口 00 = 无负偏斜 01 = 1个器件时钟负偏斜 10 = 2个器件时钟负偏斜 11 = 3个器件时钟负偏斜		0x00	时钟分频器必须>1
0x117	时钟延迟控制	0	0	0	0	0	0	0	时钟延迟精调使能 0 = 禁用 1 = 使能	0x00	使能时钟延迟精调会导致数据路径软复位
0x118	时钟延迟精调	时钟延迟精调[7:0] 二进制补码编码控制，能以大约1.7 ps步进精调采样时钟偏斜 ≤ −88 = −151.7 ps偏斜 −87 = −150.0 ps偏斜 … 0 = 0 ps偏斜 … ≥ +87 = +150 ps偏斜								0x00	与寄存器0x117一起使用
0x11C	时钟状态	0	0	0	0	0	0	0	0 = 未检测到输入时钟 1 = 检测到输入时钟	0x00	只读
0x120	SYSREF±控制1	0	SYSREF±标志复位 0 = 正常工作 1 = 标志保持在复位状态	0	SYSREF±跃迁选择 0 = 低电平到高电平 1 = 高电平到低电平	CLK±边沿选择 0 = 上升 1 = 下降	SYSREF±模式选择 00 = 禁用 01 = 连续 10 = N次		0	0x00	
0x121	SYSREF±控制2	0	0	0	0	SYSREF± N次忽略计数器选择 0000 = 仅下一个SYSREF± 0001 = 忽略第一个SYSREF±跃迁 0010 = 忽略前两个SYSREF±跃迁 … 1111 = 忽略前16个SYSREF±跃迁				0x00	模式选择(寄存器0x120位[2:1])必须为N次

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x123	SYSREF±时间戳延迟控制		SYSREF±时间戳延迟[6:0] 0x00 = 无延迟 0x01 = 1个时钟延迟 … 0x7F = 127个时钟延迟							0x00	寄存器0x1FF = 0x00时忽略
0x128	SYSREF±状态1	SYSREF±保持状态 见表37				SYSREF±建立状态 见表37					只读
0x129	SYSREF±和时钟分频器状态	0	0	0	0	捕捉SYSREF±时的时钟分频器相位 0000 = 同相 0001 = SYSREF±延迟½个时钟周期 0010 = SYSREF±延迟1个时钟周期 0011 = 1½输入时钟周期被延迟 0100 = 2输入时钟周期被延迟 0101 = 2½输入时钟周期被延迟 … 1111 = 7½输入时钟周期被延迟					只读
0x12A	SYSREF±计数器	SYSREF±计数器，位[7:0]，捕捉到SYSREF±信号时递增									只读
0x1FF	芯片同步模式	0	0	0	0	0	0	同步模式 00 = 正常 01 = 时间戳		0x00	
0x200	芯片应用模式	0	0	芯片Q忽略 0 = 正常(I/Q) 1 = 忽略(仅I)	0	芯片工作模式 0001 = DDC 0开启 0010 = DDC 0和DDC 1开启 0011 = DDC 0、DDC 1、DDC 2和DDC3开启 0111 = 使能NSR(默认) 1000 = 使能VDR				0x07	
0x201	芯片抽取率	0	0	0	0	0	芯片抽取率选择 000 = 1抽取 001 = 2抽取 010 = 4抽取 011 = 8抽取 100 = 16抽取			0x01；AD6674-500为0x00	
0x228	客户偏移	失调调整以LSB为单位，从+127到−128(二进制补码格式)								0x00	
0x245	快速检测(FD)控制(局部)	0	0	0	0	强制FD_A/FD_B引脚；0 = 正常功能；1 = 强制到数值	强制FD_A/FD_B引脚数值；若强制引脚为真值，则FD_x引脚输出该数值	0	使能快速检测输出	0x00	
0x247	FD阈值上限LSB(局部)	快速检测阈值上限[7:0]								0x00	
0x248	FD阈值上限MSB(局部)	0	0	0	快速检测阈值上限[12:8]					0x00	
0x249	FD阈值下限LSB(局部)	快速检测阈值下限[7:0]								0x00	
0x24A	FD阈值下限MSB(局部)	0	0	0	快速检测阈值下限[12:8]					0x00	
0x24B	FD驻留时间LSB(局部)	快速检测驻留时间[7:0]								0x00	
0x24C	FD驻留时间MSB(局部)	快速检测驻留时间[15:8]								0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x26F	信号监控同步控制	0	0	0	0	0	0	同步模式 00 = 禁用 01 = 连续 11 = 单次		0x00	参见信号监控部分
0x270	信号监控器控制(局部)	0	0	0	0	0	0	峰值检波器 0 = 禁用 1 = 使能	0	0x00	
0x271	信号监控器周期寄存器0(局部)	信号监控器周期[7:1]							0	0x80	单位为抽取输出时钟周期
0x272	信号监控器周期寄存器1(局部)	信号监控器周期[15:8]								0x00	单位为抽取输出时钟周期
0x273	信号监控器周期寄存器2(局部)	信号监控器周期[23:16]								0x00	单位为抽取输出时钟周期
0x274	信号监控器结果控制(局部)	0	0	0	结果更新 1 = 更新结果 (自清零)	0	0	0	结果选择 0 = 保留 1 = 峰值检测	0x01	
0x275	信号监控器结果寄存器0(局部)	信号监控器结果[7:0] 0x0274[0] = 1时，结果位[19:7] = 峰值检测器绝对值[12:0]；结果位[6:0] = 0								只读	根据寄存器0x0274的位4更新
0x276	信号监控器结果寄存器1(局部)	信号监控器结果[15:8]								只读	根据寄存器0x0274的位4更新
0x277	信号监控器结果寄存器1(局部)	0	0	0	0	信号监控器结果[19:16]				只读	根据寄存器0x0274的位4更新
0x278	信号监控器周期计数器结果(局部)	周期计数结果[7:0]								只读	根据寄存器0x0274的位4更新
0x279	信号监控器通过JESD204B实现SPORT控制(局部)	0	0	0	0	0	0	00 = 保留 11 = 使能		0x00	
0x27A	通过JESD204B实现SPORT输入选择(局部)	0	0	0	0	0	0	峰值检波器 0 = 禁用 1 = 使能	0	0x02	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
数字下变频器(DDC)功能寄存器—参见“数字下变频器(DDC)”部分											
0x300	DDC同步控制	0	0	0	DDC NCO软复位 0 = 正常工作 1 = 复位	0	0	同步模式 00 = 禁用 01 = 连续 11 = 单次采样		0x00	
0x310	DDC 0控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB增益 1 = 6 dB增益	IF模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路，NCO禁用) 10 = f_{ADC}/4 Hz IF模式 (f_{ADC}/4下混频模式) 11 = 测试模式 (混频器输入强制为+FS，NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数至实数禁用) 11 = 2抽取 00 = 4抽取 01 = 8抽取 10 = 16抽取 (复数转实数使能) 11 = 1抽取 00 = 2抽取 01 = 4抽取 10 = 8抽取		0x00	
0x311	DDC 0输入选择	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	
0x314	DDC 0频率LSB	DDC 0 NCO FTW[7:0]，二进制补码								0x00	
0x315	DDC 0频率MSB	X	X	X	X	DDC 0 NCO FTW[11:8]，二进制补码				0x00	
0x320	DDC 0相位LSB	DDC 0 NCO POW[7:0]，二进制补码								0x00	
0x321	DDC 0相位MSB	X	X	X	X	DDC 0 NCO POW[11:8]，二进制补码				0x00	
0x327	DDC 0输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
0x330	DDC 1控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB增益 1 = 6 dB增益	IF模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路，NCO禁用) 10 = f_{ADC}/4 Hz IF模式 (f_{ADC}/4下混频模式) 11 = 测试模式 (混频器输入强制为+FS，NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数至实数禁用) 11 = 2抽取 00 = 4抽取 01 = 8抽取 10 = 16抽取 (复数转实数使能) 11 = 1抽取 00 = 2抽取 01 = 4抽取 10 = 8抽取		0x00	
0x331	DDC 1输入选择	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x05	
0x334	DDC 1频率LSB	DDC 1 NCO FTW[7:0]，二进制补码								0x00	
0x335	DDC 1频率MSB	X	X	X	X	DDC 1 NCO FTW[11:8]，二进制补码				0x00	
0x340	DDC 1相位LSB	DDC 1 NCO POW[7:0]，二进制补码								0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x341	DDC 1相位MSB	X	X	X	X	DDC 1 NCO POW[11:8]，二进制补码				0x00	
0x347	DDC 1输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
0x350	DDC 2控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB增益 1 = 6 dB增益	IF模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路，NCO禁用) 10 = f_{ADC}/4 Hz IF模式 (f_{ADC}/4 下混频模式) 11 = 测试模式 (混频器输入强制为+FS，NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数至实数禁用) 11 = 2抽取 00 = 4抽取 01 = 8抽取 10 = 16抽取 (复数转实数使能) 11 = 1抽取 00 = 2抽取 01 = 4抽取 10 = 8抽取		0x00	
0x351	DDC 2输入选择	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x00	
0x354	DDC 2频率LSB	DDC 2 NCO FTW[7:0]，二进制补码								0x00	
0x355	DDC 2频率MSB	X	X	X	X	DDC 2 NCO FTW[11:8]，二进制补码				0x00	
0x360	DDC 2相位LSB	DDC 2 NCO相位偏移[7:0]，二进制补码								0x00	
0x361	DDC 2相位MSB	X	X	X	X	DDC 2 NCO 相位偏移[11:8]，二进制补码				0x00	
0x367	DDC 2输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
0x370	DDC 3控制	混频器选择 0 = 实数混频器 1 = 复数混频器	增益选择 0 = 0 dB增益 1 = 6 dB增益	IF模式 00 = 可变IF模式 (混频器和NCO使能) 01 = 0 Hz IF模式 (混频器旁路，NCO禁用) 10 = f_s/4 Hz IF模式 (f_s/4下混频模式) 11 = 测试模式 (混频器输入强制为+FS，NCO使能)		复数转实数使能 0 = 禁用 1 = 使能	0	抽取率选择 (复数至实数禁用) 11 = 2抽取 00 = 4抽取 01 = 8抽取 10 = 16抽取 (复数转实数使能) 11 = 1抽取 00 = 2抽取 01 = 4抽取 10 = 8抽取		0x00	
0x371	DDC 3	0	0	0	0	0	Q输入选择 0 = 通道A 1 = 通道B	0	I输入选择 0 = 通道A 1 = 通道B	0x05	
0x374	DDC 3频率LSB	DDC 3 NCO FTW[7:0]，二进制补码								0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x375	DDC 3频率MSB	X	X	X	X	DDC 3 NCO FTW[11:8]，二进制补码				0x00	
0x380	DDC 3相位LSB	DDC 3 NCO POW[7:0]，二进制补码								0x00	
0x381	DDC 3相位MSB	X	X	X	X	DDC 3 NCO POW[11:8]，二进制补码				0x00	
0x387	DDC 3输出测试模式选择	0	0	0	0	0	Q输出测试模式使能 0 = 禁用 1 = 从通道B使能	0	I输出测试模式使能 0 = 禁用 1 = 从通道A使能	0x00	
NSR 2倍抽取和噪声整形再量化器(NSR)											
0x41E	NSR 2倍抽取	高通/低通模式： 0 = 使能LPF 1 = 使能HPF	X	0	0	X	X	X	NSR 2倍抽取使能 0 = 禁用 1 = 使能	0x01；AD6674-500为0x00	NSR模式，AD6674-750和AD6674-1000忽略位0
0x420	NSR模式	X	X	X	X	NSR模式 000 = 21% BW模式 001 = 28% BW模式			X	0x00	
0x422	NSR调谐	X	X	NSR调谐字；参见“噪声整形再量化器(NSR)”部分；调谐字公式取决于NSR模式						0x00	
可变动态范围(VDR)											
0x430	VDR控制	X	X	X	0	X	X	VDR带宽模式 0 = 25% BW模式 1 = 43% BW模式 (仅适用于双复数模式)	0 = 双实数模式 1 = 双复数模式 (通道A = I，通道B = Q)	0x01	
0x434	VDR调谐	X	X	X	X	VDR中心频率；有关中心频率的更多信息参见“可变动态范围(VDR)”部分，它取决于VDR模式				0x00	
数字输出和测试模式											
0x550	ADC测试模式(局部)	用户码选择 0 = 连续重复 1 = 单次模式	0	产生复位PN长序列 0 = PN长序列使能 1 = PN长序列复位	产生复位PN短序列 0 = PN短序列使能 1 = PN短序列复位	测试模式选择 0000 = 关闭(正常工作) 0001 = 中间电平短码 0010 = 正满量程 0011 = 负满量程 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字交替 1000 = 用户码测试模式 (结合寄存器0x550位[7]和用户码1至4寄存器使用) 1111 = 斜坡输出				0x00	

寄存器地址（十六进制）	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x551	用户码1 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x552	用户码1 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x553	用户码2 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x554	用户码2 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x555	用户码3 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x556	用户码3 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x557	用户码4 LSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x558	用户码4 MSB	0	0	0	0	0	0	0	0	0x00	结合寄存器0x550、寄存器0x573使用
0x559	输出模式控制1	0	转换器控制位1选择 （仅当CS (0x58F) = 2或3时使用） 000 = 接低电平(1′b0) 001 = 超量程位 010 = 信号监控位或VDR惩罚位0 011 = 快速检测(FD)位或VDR惩罚位1 100 = VDR高/低分辨率位 101 = 系统基准			0	转换器控制位0选择 （仅当CS (0x58F) = 3时使用） 000 = 接低电平(1′b0) 001 = 超量程位 010 = 信号监控位或VDR惩罚位0 011 = 快速检测(FD)位或VDR惩罚位1 100 = VDR高/低分辨率位 101 = 系统基准			0x00	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x55A	输出模式控制2	0	0	0	0	0	转换器控制位2选择 (当CS (0x58F) = 1、2或3时使用) 000 = 接低电平(1'b0) 001 = 超量程位 010 = 信号监控位或VDR惩罚位0 011 = 快速检测(FD)位或VDR惩罚位1 100 = VDR高/低分辨率位 101 = 系统基准			0x01	
0x561	输出模式	0	0	0	0	0	样本反转 0 = 正常 1 = 样本反转	数据格式选择 00 = 偏移二进制 01 = 二进制补码		0x01	
0x562	输出超量程(OR)清零	虚拟转换器7 OR 0 = OR位使能 1 = OR位清零	虚拟转换器6 OR 0 = OR位使能 1 = OR位清零	虚拟转换器5 OR 0 = OR位使能 1 = OR位清零	虚拟转换器4 OR 0 = OR位使能 1 = OR位清零	虚拟转换器3 OR 0 = OR位使能 1 = OR位清零	虚拟转换器2 OR 0 = OR位使能 1 = OR位清零	虚拟转换器1 OR 0 = OR位使能 1 = OR位清零	虚拟转换器0 OR 0 = OR位使能 1 = OR位清零	0x00	
0x563	输出超量程状态	虚拟转换器7 OR 0 = 无OR 1 = OR发生	虚拟转换器6 OR 0 = 无OR 1 = OR发生	虚拟转换器5 OR 0 = 无OR 1 = OR发生	虚拟转换器4 OR 0 = 无OR 1 = OR发生	虚拟转换器3 OR 0 = 无OR 1 = OR发生	虚拟转换器2 OR 0 = 无OR 1 = OR发生	虚拟转换器1 OR 0 = 无OR 1 = OR发生	虚拟转换器0 OR 0 = 无OR 1 = OR发生	0x00	只读
0x564	输出通道选择	0	0	0	0	0	0	0	转换器通道交换 0 = 正常通道顺序 1 = 通道交换使能	0x00	
0x56E	JESD204B通道速率控制	0	0	0	0 = 串行通道速率 ≥ 6.25 Gbps 且 ≤12.5 Gbps 1 = 串行通道速率必须≥ 3.125 Gbps 且 <6.25 Gbps	0	0	0	0	0x10	
0x56F	JESD204B PLL锁定状态	PLL锁定 0 = 未锁定 1 = 已锁定	0	0	0	0	0	0	0	0x00	只读
0x570	JESD204B快速配置	JESD204B快速配置 通道数(L) = $2^{0x570[7:6]}$ 转换器数(M) = $2^{0x570[5:3]}$ 每帧8位字数(F) = $2^{0x570[2:0]}$								0x88	参见表35和表36

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x571	JESD204B 链路模式 控制1	待机模式 0 = 所有转换器输出0 1 = CGS (K28.5)	结束位(T) PN 0 = 禁用 1 = 使能 T = N′ – N – CS	长传输层测试 0 = 禁用 1 = 使能	通道同步 0 = 禁止FACI使用/K28.7/ 1 = 允许FACI使用/K28.3/和/K28.7/	ILAS序列模式 00 = ILAS禁用 01 = ILAS使能 11 = ILAS始终开启测试模式		帧对齐字符插入(FACI) 0 = 使能 1 = 禁用	链路控制 0 = 有效 1 = 掉电	0x14	
0x572	JESD204B 链路模式 控制2	SYNCINB±引脚控制 00 = 正常 10 = 忽略SYNCINB±(强制CGS) 11 = 忽略SYNCINB±(强制ILAS/用户数据)		SYNCINB±引脚反转 0 = 低电平有效 1 = 高电平有效	SYNCINB±引脚类型 0 = 差分 1 = CMOS	0	8B/10B旁路 0 = 正常 1 = 旁路	8B/10B位反转 0 = 正常 1 = 反转abcde fghij符号	0	0x00	
0x573	JESD204B 链路模式 控制3	CHKSUM模式 00 = 所有8位链路配置寄存器之和 01 = 各链路配置字段之和 10 = 校验和置零		测试插入点 00 = N′样本输入 01 = 8B/10B输出时10位数据(用于PHY测试) 10 = 加扰输入时8位数据		JESD204B测试模式码 0000 = 正常工作(测试模式禁用) 0001 = 交替棋盘形式 0010 = 1/0字交替 0011 = 31位PN序列—$X^{31} + X^{28} + 1$ 0100 = 23位PN序列—$X^{23} + X^{18} + 1$ 0101 = 15位PN序列—$X^{15} + X^{14} + 1$ 0110 = 9位PN序列—$X^{9} + X^{5} + 1$ 0111 = 7位PN序列—$X^{7} + X^{6} + 1$ 1000 = 斜坡输出 1110 = 连续/重复用户测试 1111 = 单次用户测试				0x00	
0x574	JESD204B 链路模式 控制4	ILAS延迟 0000 = SYNCINB±解除置位后在第一个LMFC上发送ILAS 0001 = SYNCINB±解除置位后在第二个LMFC上发送ILAS … 1111 = SYNCINB±解除置位后在第16个LMFC上发送ILAS				0	链路层测试模式 000 = 正常工作 (链路层测试模式禁用) 001 = /D21.5/字符连续序列 100 = 修改RPAT测试序列 101 = JSPAT测试序列 110 = JTSPAT测试序列			0x00	
0x578	JESD204B LMFC偏移	0	0	0	LMFC相位偏移值[4:0]					0x00	
0x580	JESD204B DID配置	JESD204B Tx DID值[7:0]								0x00	
0x581	JESD204B BID配置	0	0	0	0	JESD204B Tx BID值[3:0]				0x00	
0x583	JESD204B LID配置1	0	0	0	通道0 LID值[4:0]					0x00	
0x584	JESD204B LID配置2	0	0	0	通道1 LID值[4:0]					0x01	
0x585	JESD204B LID配置3	0	0	0	通道2 LID值[4:0]					0x01	
0x586	JESD204B LID配置4	0	0	0	通道3 LID值[4:0]					0x03	
0x58B	JESD204B 参数(SCR/L)	JESD204B加扰(SCR) 0 = 禁用 1 = 使能	0	0	0	0	0	JESD204B通道(L) 00 = 1通道 01 = 2通道 11 = 4通道 只读，参见寄存器0x570		0x83	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x58C	JESD204B F配置	每帧8位字数，F = 0x58C[7:0] + 1								0x00	只读，参见寄存器0x570
0x58D	JESD204B K配置	0	0	0	每个多帧的帧数，K = 0x58D[4:0] + 1 仅支持(F × K) mod 4 = 0的值					0x1F	参见寄存器0x570
0x58E	JESD204B M配置	每条链路的转换器数[7:0] 0x00 = 链路连接到一个虚拟转换器(M = 1) 0x01 = 链路连接到两个虚拟转换器(M = 2) 0x03 = 链路连接到四个虚拟转换器(M = 4) 0x07 = 链路连接到八个虚拟转换器(M = 8)								0x01	只读
0x58F	JESD204B参数(CS/N)	每个样本的控制位数(CS) 00 = 无控制位(CS = 0) 01 = 1控制位(CS = 1)；仅控制位2 10 = 2控制位(CS = 2)；仅控制位2和控制位1 11 = 3控制位(CS = 3)；所有控制位(2、1、0)		0	转换器分辨率(N) 0x06 = 7位分辨率 0x07 = 8位分辨率 0x08 = 9位分辨率 0x09 = 10位分辨率 0x0A = 11位分辨率 0x0B = 12位分辨率 0x0C = 13位分辨率 0x0D = 14位分辨率 0x0E = 15位分辨率 0x0F = 16位分辨率					0x0F	
0x590	JESD204B参数(NP)	子类支持 000 = 子类0(无确定性延迟) 001 = 子类1			每个样本的位数(N′) 0x7 = 8位 0xF = 16位					0x2F	
0x591	JESD204B参数(S)	0	0	1	每个转换器帧周期的样本数(S) S值 = 0x591[4:0] +1						只读
0x592	JESD204B参数(HD和CF)	HD值 0 = 禁用 1 = 使能	0	0	每链路上每个帧时钟周期的控制字(CF) CF值 = 0x592[4:0]					0x80	只读
0x5A0	JESD204B CHKSUM 0	SERDOUT0±[7:0]的CHKSUM值								0x81	只读
0x5A1	JESD204B CHKSUM 1	SERDOUT1±[7:0]的CHKSUM值								0x82	只读
0x5A2	JESD204B CHKSUM 2	SERDOUT2±[7:0]的CHKSUM值								0x82	只读
0x5A3	JESD204B CHKSUM 3	SERDOUT3±[7:0]的CHKSUM值								0x84	只读
0x5B0	JESD204B通道掉电	1	SERDOUT3± 0 = 开 1 = 关	1	SERDOUT2± 0 = 开 1 = 关	1	SERDOUT1± 0 = 开 1 = 关	1	SERDOUT0± 0 = 开 1 = 关	0xAA	
0x5B2	JESD204B通道SERDOUT0±分配	X	X	X	X	0	物理通道0分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x00	
0x5B3	JESD204B通道SERDOUT1±分配	X	X	X	X	0	物理通道1分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x11	
0x5B5	JESD204B通道SERDOUT2±分配	X	X	X	X	0	物理通道2分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x22	

寄存器地址(十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认	注释
0x5B6	JESD204B 通道 SERDOUT3± 分配	X	X	X	X	0	物理通道3分配 000 = 逻辑通道0 001 = 逻辑通道1 010 = 逻辑通道2 011 = 逻辑通道3			0x33	
0x5BF	JESD 串行器 驱动调节	0	0	0	0	摆动电压 0000 = 237.5 mV 0001 = 250 mV 0010 = 262.5 mV 0011 = 275 mV 0100 = 287.5 mV 0101 = 300 mV 0110 = 312.5 mV 0111 = 325 mV 1000 = 337.5 mV 1001 = 350 mV 1010 = 362.5 mV 1011 = 375 mV 1100 = 387.5 mV 1101 = 400 mV 1110 = 412.5 mV 1111 = 425 mV				0x05	
0x5C1	去加重选择	0	SER-DOUT3± 0 = 禁用 1 = 使能	0	SER-DOUT2± 0 = 禁用 1 = 使能	0	SERDOUT1± 0 = 禁用 1 = 使能	0	SER-DOUT0± 0 = 禁用 1 = 使能	0x00	
0x5C2	SERDOUT0± 去加重设置	0	0	0	0	去加重设置 0000 = 去加重禁用 1000 = 0.5 dB 1001 = 1.0 dB 1010 = 1.7 dB 1011 = 2.5 dB 1100 = 3.5 dB 1101 = 4.9 dB 1110 = 6.7 dB 1111 = 9.6 dB				0x00	
0x5C3	SERDOUT1± 去加重设置	0	0	0	0	去加重设置 0000 = 去加重禁用 1000 = 0.5 dB 1001 = 1.0 dB 1010 = 1.7 dB 1011 = 2.5 dB 1100 = 3.5 dB 1101 = 4.9 dB 1110 = 6.7 dB 1111 = 9.6 dB				0x00	
0x5C4	SERDOUT2± 去加重设置	0	0	0	0	去加重设置 0000 = 去加重禁用 1000 = 0.5 dB 1001 = 1.0 dB 1010 = 1.7 dB 1011 = 2.5 dB 1100 = 3.5 dB 1101 = 4.9 dB 1110 = 6.7 dB 1111 = 9.6 dB				0x00	
0x5C5	SERDOUT3± 去加重设置	0	0	0	0	去加重设置 0000 = 去加重禁用 1000 = 0.5 dB 1001 = 1.0 dB 1010 = 1.7 dB 1011 = 2.5 dB 1100 = 3.5 dB 1101 = 4.9 dB 1110 = 6.7 dB 1111 = 9.6 dB				0x00	

应用信息

电源建议

AD6674必须由以下7个电源供电：AVDD1 = 1.25 V、AVDD2 = 2.5 V、AVDD3 = 3.3 V、AVDD1_SR = 1.25 V、DVDD = 1.25 V、DRVDD = 1.25 V、SPIVDD = 1.8 V。对于要求高电源效率和低噪声性能的应用，建议使用开关稳压器ADP2164和ADP2370来将3.3 V、5.0 V或12 V输入电轨转换为中间电轨(1.8 V和3.8 V)。然后用超低噪声、低压差(LDO)稳压器(ADP1741、ADM7172和ADP125)调节这些中间电压轨。图142展示的是建议方法。有关推荐电源解决方案的详细信息，参见AD6674评估板文档。

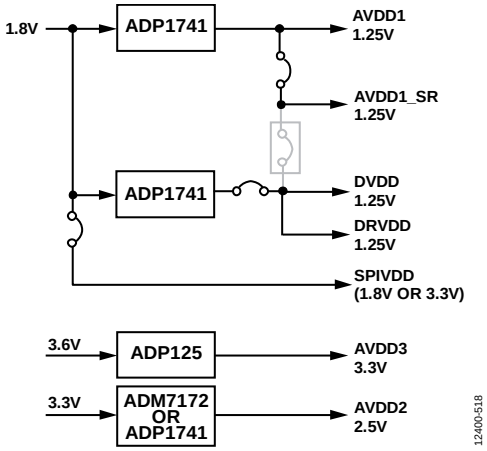


图142. AD6674的高效率、低噪声电源解决方案

无需针对所有情况区分所有这些电源域。图142中的建议解决方案为AD6674提供了噪声最低、效率最高的供电系统。如果仅有1.25 V电源可用，必须将其先连接到AVDD1，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再依次连接到AVDD1_SR、DVDD和DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件的位置，并尽可能缩短走线长度。

裸露焊盘散热块建议

为获得最佳的AD6674电气性能和热性能，必须将ADC底部的裸露焊盘连接至地。PCB上裸露的连续铜层应与AD6674的裸露焊盘(引脚0)相连。铜层上必须有多个过孔，获得尽可能低的热阻路径以通过PCB底部进行散热。这些过孔应填满或插入焊料。过孔和填充数量确定了电路板上测量的θ_{JA}结果。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续铜层划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。可以参考图143所示的PCB布局布线范例。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记AN-772：“LFCSP封装设计与制造指南”。

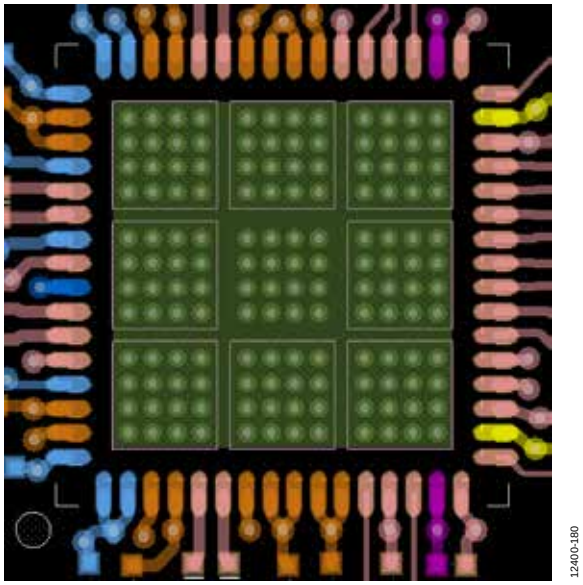


图143. AD6674的建议PCB裸露焊盘布局

AVDD1_SR(引脚57)和AGND(引脚56、引脚60)

AVDD1_SR(引脚57)和AGND(引脚56和引脚60)可用来向AD6674的SYSREF±电路提供独立的电源节点。如果工作在子类1下，则AD6674可支持周期性单次采样或带隙信号。为了减少此电源与AVDD1电源节点的耦合，需提供充分的电源旁路。

外形尺寸

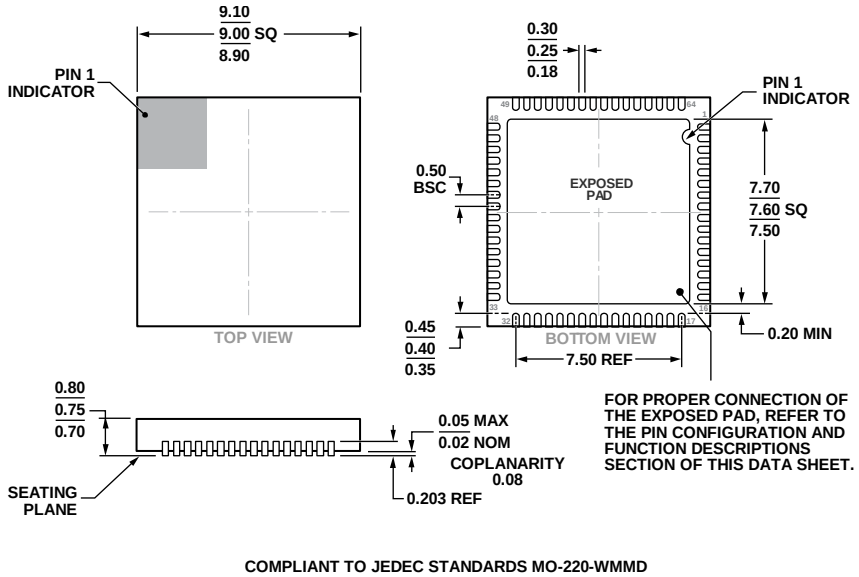


图144. 64引脚引线框芯片级封装[LFCSP_WQ]
9 mm x 9 mm超薄体
(CP-64-15)
图示尺寸单位：mm

订购指南

型号[1]	温度范围	封装描述[2]	封装选项
AD6674BCPZ-500	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674BCPZRL7-500	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674BCPZ-750	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674BCPZRL7-750	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674BCPZ-1000	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674BCPZRL7-1000	−40°C至+85°C	64引脚引线框芯片级封装[LFCSP_WQ]	CP-64-15
AD6674-500EBZ		AD6674-500评估板	
AD6674-750EBZ		AD6674-750评估板	
AD6674-1000EBZ		AD6674-1000评估板	

[1] Z = 符合RoHS标准的器件。

[2] AD6674-500EBZ、AD6674-750EBZ和AD6674-1000EBZ评估板针对全部模拟输入频率范围进行了优化。

©2014–2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
D12400sc-0-4/15(B)