

特性

信噪比(SNR): 65.8 dBFS(f_{IN} 最高为250 MHz, 500 MSPS)

有效位数(ENOB): 10.5位(f_{IN} 最高为250 MHz, 500 MSPS, -1.0 dBFS)

无杂散动态范围(SFDR): 80 dBc(f_{IN} 最高为250 MHz, 500 MSPS, -1.0 dBFS)

出色的线性度

DNL = ± 0.5 LSB(典型值); INL = ± 0.6 LSB(典型值)

集成16k × 12 FIFO

FIFO回读选项

12位并行CMOS(62.5 MHz)

6位DDR LVDS接口

SPORT (62.5 MHz)

SPI (25 MHz)

高速同步功能

1 GHz全功率模拟带宽

集成输入缓冲器

片内基准电压源, 无需外部去耦

低功耗

695 mW (500 MSPS)

可编程输入电压范围

1.18 V至1.6 V, 标称值1.5 V

采用1.9 V模拟和数字电源供电

1.9 V或3.3 V SPI和SPORT工作模式

时钟占空比稳定器

带可编程时钟和数据对准功能的集成数据时钟输出

应用

无线和有线宽带通信

通信测试设备

功率放大器线性化

概述

AD6641是一款250 MHz带宽数字预失真(DPD)观测接收机, 集成一个12位500 MSPS ADC、一个16k × 12 FIFO和一个多模式后端, 用户可通过串行端口(SPORT)、SPI接口、12位并行CMOS端口或6位DDR LVDS端口检索存储在集成FIFO存储器中的数据。它具有出色的动态性能和低功耗特性, 适合电信应用, 如要求更宽带宽的数字预失真观测路径等。芯片上集成了全部必需功能, 包括采样保持器与基准电压源, 可提供完整的信号转换解决方案。

片内FIFO允许通过ADC捕捉较短的时间快照, 以及以较低速率进行回读。这样, 捕捉的数据可以随时以低得多的采样速率进行传输, 信号处理限制得以降低。FIFO可以在多种用户可编程模式下工作。在单次捕捉模式下, 当捕捉到ADC数据时, 可以通过SPI端口或者使用外部FILL±引脚来指示。在连续捕捉模式下, 数据持续加载到FIFO中, 并使用FILL±引脚停止该操作。

功能框图

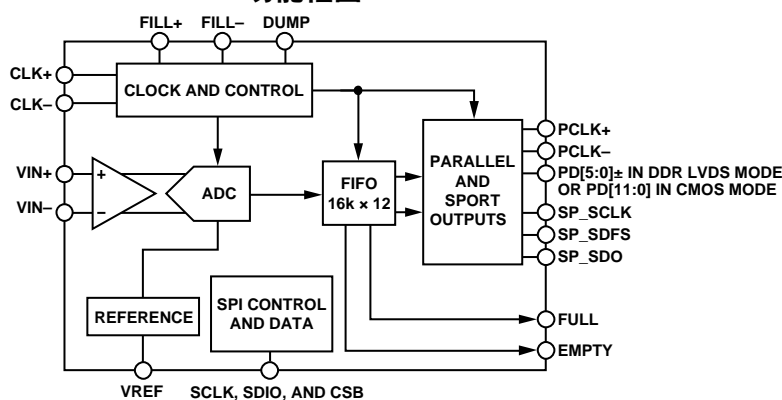


图1

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.

Tel: 781.329.4700

Fax: 781.461.3113

www.analog.com

©2011 Analog Devices, Inc. All rights reserved.

目录

特性.....	1	热特性.....	10
应用.....	1	ESD警告.....	10
概述.....	1	引脚配置和功能描述.....	11
功能框图.....	1	典型工作特性.....	15
修订历史.....	2	等效电路.....	18
产品聚焦.....	3	SPI寄存器图.....	20
技术规格.....	4	工作原理.....	23
直流规格.....	4	FIFO操作.....	23
交流规格.....	5	FIFO输出接口.....	26
数字规格.....	6	使用SPI的配置.....	27
开关规格.....	7	外形尺寸.....	28
SPI时序要求.....	8	订购指南.....	28
绝对最大额定值.....	10		

修订历史

2011年4月—修订版0：初始版

FIFO中存储的数据可以在多种用户可选的输出模式下回读。可以置位DUMP引脚以输出FIFO数据。FIFO中存储的数据可以通过SPORT、SPI、12位并行CMOS端口或6位DDR LVDS接口访问。AD6641在12位CMOS或6位DDR LVDS模式下支持最大输出吞吐速率，器件内部将其限制为最大输入采样速率的1/8。也就是说，当输入时钟速率为500 MSPS时，最大输出数据速率为62.5 MHz。

该ADC要求采用1.9 V模拟电源供电及差分时钟信号，以便充分发挥其工作性能。输出格式选项包括二进制补码、偏移二进制和格雷码。该ADC还提供数据时钟输出，用于正确进行输出数据定时。该器件采用先进的SiGe BiCMOS工艺制造，提供56引脚LFCSP封装，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

产品聚焦

1. 高性能ADC内核。
500 MSPS、250 MHz输入时信噪比维持在65.8 dBFS。
2. 低功耗。
500 MSPS时功耗仅695 mW。
3. 易于使用。
片内16k FIFO允许用户让高性能ADC在目标时间执行处理，并在任意时间以较低的采样速率传输数据，从而减少数据处理的限制。片内基准电压源和采样保持功能使系统设计更灵活。采用1.9 V单电源则简化了系统电源设计。
4. 串行端口控制。
标准串行端口接口支持对器件进行配置以及根据用户的需求进行定制。
5. 1.9 V或3.3 V SPI和串行数据端口工作模式。

AD6641

技术规格

直流规格

除非另有说明，AVDD = 1.9 V、DRVDD = 1.9 V、T_{MIN} = -40°C、T_{MAX} = +85°C、f_{IN} = -1.0 dBFS、满量程 = 1.5 V。

表1

参数 ¹	温度	AD6641-500			单位
		最小值	典型值	最大值	
分辨率			12		位
精度					
无失码	全		保证		
失调误差	全	-2.6	0.0	+1.8	mV
增益误差	全	-6.8	-2.3	+3.3	% FS
微分非线性(DNL)	全		±0.5		LSB
积分非线性(INL)	全		±0.6		LSB
温度漂移					
失调误差	全		18		μV/°C
增益误差	全		0.07		%/°C
模拟输入(VIN±)					
差分输入电压范围 ²	全	1.18	1.5	1.6	V p-p
输入共模电压	全		1.8		V
输入电阻(差分)	全		1		kΩ
输入电容(差分)	25°C		1.3		pF
电源					
AVDD	全	1.8	1.9	2.0	V
DRVDD	全	1.8	1.9	2.0	V
SPI_VDDIO	全	1.8	1.9	3.3	V
电源电流					
I _{AVDD} ³	全		300	330	mA
I _{DRVDD} ³	全		66	80	mA
功耗 ³	全		695	779	mW
关断功耗	全		15		mW
待机功耗	全		72		mW
待机至上电时间	全		10		μs

¹如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

²输入范围可通过SPI接口编程，给出的范围反映各种设置的标称值。详情参见“SPI寄存器映射”部分。

³I_{AVDD}和I_{DRVDD}是在-1 dBFS、30 MHz正弦波输入、额定采样速率下测得。

交流规格

除非另有说明，AVDD = 1.9 V、DRVDD = 1.9 V、 $T_{MIN} = -40^{\circ}\text{C}$ 、 $T_{MAX} = +85^{\circ}\text{C}$ 、 $f_{IN} = -1.0 \text{ dBFS}$ 、满量程 = 1.5 V。

表2

参数 ^{1,2}	温度	AD6641-500			单位
		最小值	典型值	最大值	
SNR					
$f_{IN} = 30 \text{ MHz}$	25°C		66.0		dBFS
$f_{IN} = 125 \text{ MHz}$	25°C		65.9		dBFS
	全	65.0			dBFS
$f_{IN} = 250 \text{ MHz}$	25°C		65.8		dBFS
$f_{IN} = 450 \text{ MHz}$	25°C		65.1		dBFS
SINAD					
$f_{IN} = 30 \text{ MHz}$	25°C		66.0		dBFS
$f_{IN} = 125 \text{ MHz}$	25°C		65.7		dBFS
	全	63.8			dBFS
$f_{IN} = 250 \text{ MHz}$	25°C		65.3		dBFS
$f_{IN} = 450 \text{ MHz}$	25°C		64.6		dBFS
有效位数(ENOB)					
$f_{IN} = 30 \text{ MHz}$	25°C		10.7		Bits
$f_{IN} = 125 \text{ MHz}$	25°C		10.6		Bits
$f_{IN} = 250 \text{ MHz}$	25°C		10.5		Bits
$f_{IN} = 450 \text{ MHz}$	25°C		10.4		Bits
SFDR					
$f_{IN} = 30 \text{ MHz}$	25°C		88		dBc
$f_{IN} = 125 \text{ MHz}$	25°C		83		dBc
	全	77			dBc
$f_{IN} = 250 \text{ MHz}$	25°C		80		dBc
$f_{IN} = 450 \text{ MHz}$	25°C		72		dBc
最差谐波(二次或三次)					
$f_{IN} = 30 \text{ MHz}$	25°C		-92		dBc
$f_{IN} = 125 \text{ MHz}$	25°C			-77	dBc
	全		-84		dBc
$f_{IN} = 250 \text{ MHz}$	25°C		-80		dBc
$f_{IN} = 450 \text{ MHz}$	25°C		-72		dBc
最差其它谐波(二次和三次除外的SFDR)					
$f_{IN} = 30 \text{ MHz}$	25°C		-90		dBc
$f_{IN} = 125 \text{ MHz}$	25°C		-90		dBc
	全			-77	dBc
$f_{IN} = 250 \text{ MHz}$	25°C		-85		dBc
$f_{IN} = 450 \text{ MHz}$	25°C		-78		dBc
双音IMD					
$f_{IN1} = 119.8 \text{ MHz}$, $f_{IN2} = 125.8 \text{ MHz}$ (-7 dBFS, 各信号音)	25°C		-82		dBc
模拟输入带宽	25°C		1		GHz

¹ 所有交流规格都是在差分驱动CLK+和CLK-下进行测试。

² 如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估”。

AD6641

数字规格

除非另有说明, AVDD = 1.9 V、DRVDD = 1.9 V、 $T_{MIN} = -40^{\circ}\text{C}$ 、 $T_{MAX} = +85^{\circ}\text{C}$ 、 $f_{IN} = -1.0 \text{ dBFS}$ 、满量程 = 1.5 V。

表3

参数 ¹	温度	AD6641-500			单位
		最小值	典型值	最大值	
时钟输入(CLK±)					
逻辑兼容	全		CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压					
高电平输入(V_{IH})	全	0.2		1.8	V p-p
低电平输入(V_{IL})	全	-1.8		-0.2	V p-p
高电平输入电流(I_{IH})	全	-10		+10	μA
低电平输入电流(I_{IL})	全	-10		+10	μA
输入电阻(差分)	全	8	10	12	k Ω
输入电容	全		4		pF
逻辑输入(SPI、SPORT)					
逻辑兼容	全		CMOS		
逻辑1电压	全	$0.8 \times \text{SPI_VDDIO}$			V
逻辑0电压	全			$0.2 \times \text{SPI_VDDIO}$	V
逻辑1输入电流(SDIO)	全		0		μA
逻辑0输入电流(SDIO)	全		-60		μA
逻辑1输入电流(SCLK)	全		50		μA
逻辑0输入电流(SCLK)	全		0		μA
输入电容	25 $^{\circ}\text{C}$		4		pF
逻辑输入(DUMP、CSB)					
逻辑兼容	全		CMOS		
逻辑1电压	全	$0.8 \times \text{DRVDD}$			V
逻辑0电压	全			$0.2 \times \text{DRVDD}$	V
逻辑1输入电流	全		0		μA
逻辑0输入电流	全		-60		μA
输入电容	25 $^{\circ}\text{C}$		4		pF
逻辑输入(FILL±)					
逻辑兼容	全		CMOS/LVDS/LVPECL		
内部共模偏置	全		0.9		V
差分输入电压					
高电平输入(V_{IH})	全	0.2		1.8	V p-p
低电平输入压(V_{IL})	全	-1.8		-0.2	V p-p
高电平输入电流(I_{IH})	全	-10		+10	μA
低电平输入电流(I_{IL})	全	-10		+10	μA
输入电阻(差分)	全	8	10	12	k Ω
输入电容	全		4		pF
逻辑输出 ² (FULL、EMPTY)					
逻辑兼容	全		CMOS		
高电平输出电压	全	$\text{DRVDD} - 0.05$			V
低电平输出电压	全			$\text{DRGND} + 0.05$	V
逻辑输出 ² (SPI、SPORT)					
逻辑兼容	全		CMOS		
高电平输出电压	全	$\text{SPI_VDDIO} - 0.05$			V
低电平输出电压	全			$\text{DRGND} + 0.05$	V

参数 ¹	温度	AD6641-500			单位
		最小值	典型值	最大值	
逻辑输出					
DDR LVDS模式(PCLK±、PD[5:0]±、PDOR±)					
逻辑兼容	全		LVDS		
差分输出电压(V _{OD})	全	247		454	mV
输出失调电压(V _{OS})	全	1.125		1.375	V
并行CMOS模式(PCLK±、PD[11:0])					
逻辑兼容	全		CMOS		
高电平输出电压	全	DRVDD - 0.05			V
低电平输出电压	全			DRGND + 0.05	V
输出编码		二进制补码、格雷码或偏移二进制(默认)			

¹如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

²5 pF负载。

开关规格

除非另有说明，AVDD = 1.9 V、DRVDD = 1.9 V、T_{MIN} = -40°C、T_{MAX} = +85°C、f_{IN} = -1.0 dBFS、满量程 = 1.5 V。

表4

参数 ¹	温度	AD6641-500			单位
		最小值	典型值	最大值	
输出数据速率					
最大输出数据速率(500 MSPS采样速率时8倍抽取、并行CMOS或DDR LVDS模式接口)	全	62.5			MHz
最大输出数据速率(500 MSPS采样速率时8倍抽取、SPORT模式)					
脉宽/周期(CLK±)					
CLK±高电平脉宽(t _{CH})	全		1		ns
CLK±低电平脉宽(t _{CL})	全		1		ns
上升时间(t _R)(20%至80%)	25°C		0.2		ns
下降时间(t _F)(20%至80%)	25°C		0.2		ns
脉宽/周期(PCLK±、DDR LVDS模式)					
PCLK±高电平脉宽(t _{PCLK_CH})	全		8		ns
PCLK±周期(t _{PCLK})	全		16		ns
传播延迟(t _{CPD} ，CLK±至PCLK±)	全		±0.1		ns
上升时间(t _R)(20%至80%)	25°C		0.2		ns
下降时间(t _F)(20%至80%)	25°C		0.2		ns
数据至PCLK偏斜(t _{SKEW})	全		0.2		ns
串行端口输出时序 ²					
SP_SDFS传播延迟(t _{DSDFS})	全		3		ns
SP_SDO传播延迟(t _{DSDO})	全		3		ns
串行端口输入时序					
SP_SDFS建立时间(t _{SSF})	全		2		ns
SP_SDFS保持时间(t _{HSP})	全		2		ns
FILL±输入时序					
FILL±建立时间(t _{SFILL})	全		0.5		ns
FILL±保持时间(t _{HFILL})	全		0.7		ns
孔径延迟(t _A)	25°C		0.85		ns
孔径不确定(抖动, t _J)	25°C		80		fs rms

¹如需了解完整的定义以及这些测试如何完成，请参阅应用笔记AN-835：“了解高速ADC测试和评估。”

²5 pF负载。

AD6641

SPI时序要求

表5

参数	描述	限值	单位
t_{DS}	数据与SCLK上升沿之间的建立时间	2	ns(最小值)
t_{DH}	数据与SCLK上升沿之间的保持时间	2	ns(最小值)
t_{CLK}	SCLK周期	40	ns(最小值)
t_S	CSB与SCLK之间的建立时间	2	ns(最小值)
t_H	CSB与SCLK之间的保持时间	2	ns(最小值)
t_{HIGH}	SCLK高电平脉冲宽度	10	ns(最小值)
t_{LOW}	SCLK低电平脉冲宽度	10	ns(最小值)
t_{EN_SDIO}	相对于SCLK下降沿, SDIO引脚从输入状态切换到输出状态所需的时间	10	ns(最小值)
t_{DIS_SDIO}	相对于SCLK上升沿, SDIO引脚从输出状态切换到输入状态所需的时间	10	ns(最小值)

时序图

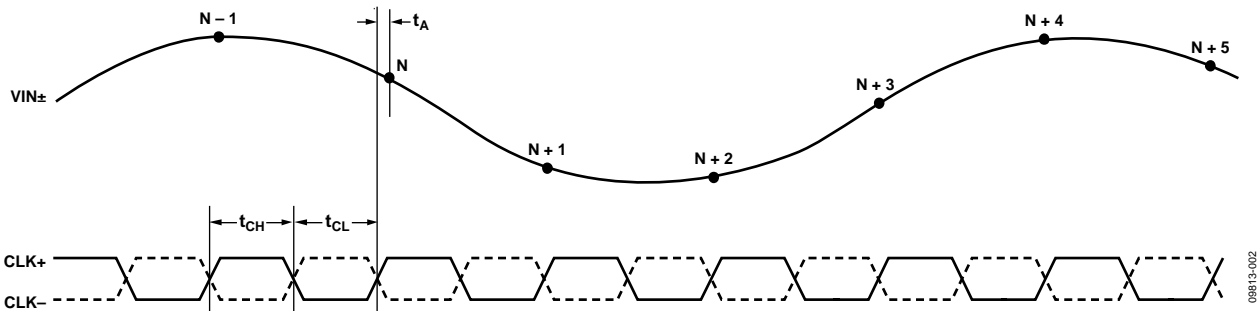


图2. 输入接口时序

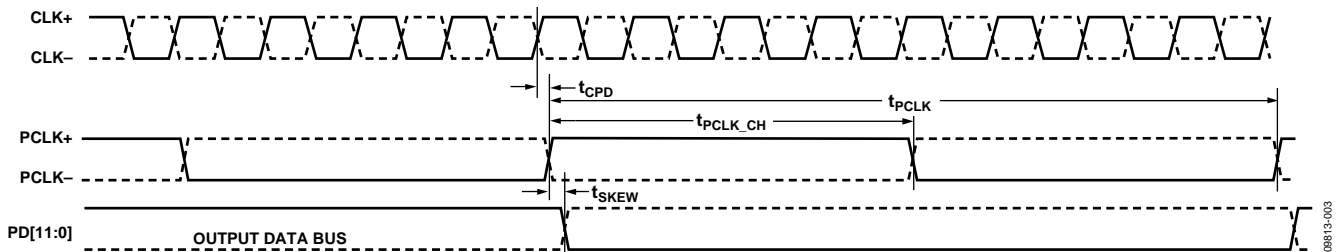


图3. 并行CMOS模式输出接口时序

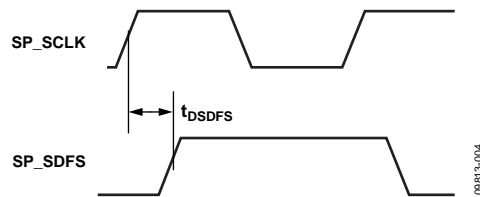


图4. SP_SDFS传播延迟

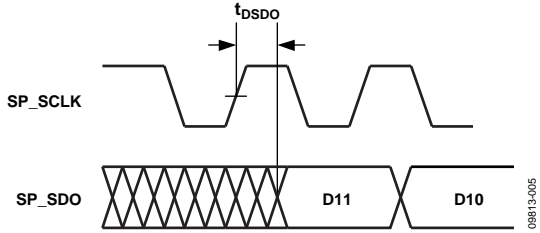


图5. SP_SDO传播延迟

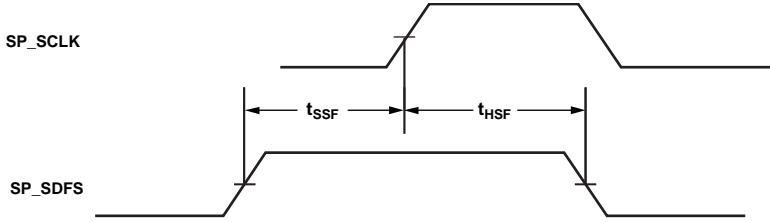


图6. 从机模式SP_SDFS建立/保持时间

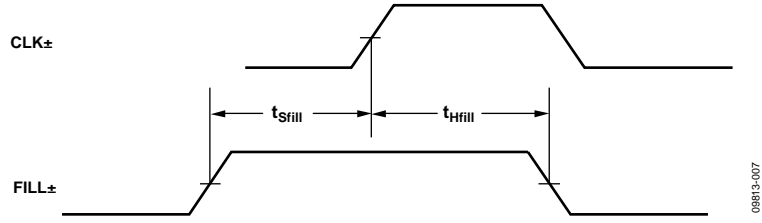


图7. FILL±建立和保持时间

绝对最大额定值

表6

参数	额定值
电气参数	
AVDD至AGND	-0.3 V至+2.0 V
DRVDD至DRGND	-0.3 V至+2.0 V
AGND至DRGND	-0.3 V至+0.3 V
AVDD至DRVDD	-2.0 V至+2.0 V
SPI_VDDIO至AVDD	-2.0 V至+2.0 V
SPI_VDDIO至DRVDD	-2.0 V至+2.0 V
PD[5:0]±至DRGND	-0.3 V至DRVDD + 0.2 V
PCLK±至DRGND	-0.3 V至DRVDD + 0.2 V
PDOR±至DRGND	-0.3 V至DRVDD + 0.2 V
FULL至DRGND	-0.3 V至DRVDD + 0.2 V
CLK±至AGND	-0.3 V至AVDD + 0.2 V
FILL±至AGND	-0.3 V至DRVDD + 0.2 V
DUMP至AGND	-0.3 V至DRVDD + 0.2 V
EMPTY至AGND	-0.3 V至DRVDD + 0.2 V
VIN±至AGND	-0.3 V至AVDD + 0.2 V
VREF至AGND	-0.3 V至AVDD + 0.2 V
CML至AGND	-0.3 V至AVDD + 0.2 V
CSB至DRGND	-0.3 V至SPI_VDDIO + 0.3 V
SP_SCLK, SP_SDFS至AGND	-0.3 V至SPI_VDDIO + 0.3 V
SDIO至DRGND	-0.3 V至SPI_VDDIO + 0.3 V
SP_SDO至DRGND	-0.3 V至SPI_VDDIO + 0.3 V
环境参数	
存储温度范围	-65°C至+125°C
工作温度范围	-40°C至+85°C
引脚温度(焊接, 10秒)	300°C
结温	150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻


LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到PCB上可提高焊接可靠性, 从而最大限度发挥封装的热性能。

表7

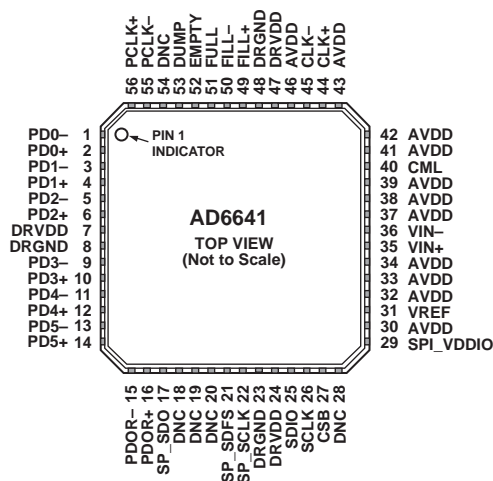
封装类型	θ_{JA}	θ_{JC}	单位
56引脚LFCSP_VQ (CP-56-1)	23.7	1.7	°C/W

θ_{JA} 和 θ_{JC} 典型值的测试条件为静止空气下的4层电路板。气流可增强散热, 从而有效降低 θ_{JA} 。另外, 直接与封装引脚接触的金属, 包括金属走线、通孔、接地层、电源层, 可降低 θ_{JA} 。

警告

	<p>ESD(静电放电)敏感器件。</p> <p>带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。</p>
---	---

引脚配置和功能描述



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD IS THE ONLY ANALOG GROUND CONNECTION FOR THE CHIP. IT MUST BE CONNECTED TO PCB AGND.

09813-008

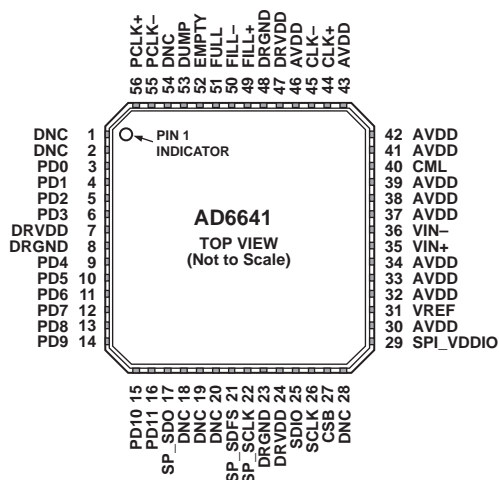
图8. DDR LVDS模式的引脚配置

表8. DDR LVDS模式引脚功能描述

引脚编号	引脚名称	描述
0	EPAD	裸露焊盘。裸露焊盘是芯片的唯一接地连接，焊盘必须连接到PCB AGND。
1	PD0-	PD0数据输出(LSB)一负。
2	PD0+	PD0数据输出(LSB)一正。
3	PD1-	PD1数据输出一负。
4	PD1+	PD1数据输出一正。
5	PD2-	PD2数据输出一负。
6	PD2+	PD2数据输出一正。
7, 24, 47	DRVDD	1.9 V数字输出电源。
8, 23, 48	DRGND	数字输出地。
9	PD3-	PD3数据输出一负。
10	PD3+	PD3数据输出一正。
11	PD4-	PD4数据输出一负。
12	PD4+	PD4数据输出一正。
13	PD5-	PD5数据输出(MSB)一负。
14	PD5+	PD5数据输出(MSB)一正。
15	PDOR-	超范围输出一负。
16	PDOR+	超范围输出一正。
17	SP_SDO	SPORT输出。
18, 19, 20, 28, 54	DNC	不连接。请勿连接该引脚。
21	SP_SDFS	SPORT帧同步输入(从机模式)/输出(主机模式)。
22	SP_SCLK	SPORT时钟输入(从机模式)/输出(主机模式)。
25	SDIO	串行端口接口(SPI)数据输入/输出(串行端口模式)。
26	SCLK	串行端口接口时钟(串行端口模式)。
27	CSB	串行端口片选(低电平有效)。
29	SPI_VDDIO	1.9 V或3.3 V SPI I/O电源。
30, 32, 33, 34, 37, 38, 39, 41, 42, 43, 46	AVDD	1.9 V模拟电源。
31	VREF	基准电压输入/输出。标称值0.75 V。
35	VIN+	模拟输入一正。
36	VIN-	模拟输入一负。

AD6641

引脚编号	引脚名称	描述
40	CML	共模输出。通过SPI使能，此引脚为VIN+和VIN-提供一个基准电压，以优化内部偏置电压。
44	CLK+	时钟输入—正。
45	CLK-	时钟输入—负。
49	FILL+	FIFO填充输入(LVDS)—正。
50	FILL-	FIFO填充输入(LVDS)—负。
51	FULL	FIFO满输出指示。
52	EMPTY	FIFO空输出指示。
53	DUMP	FIFO回读输入。
55	PCLK-	数据时钟输出—负。
56	PCLK+	数据时钟输出—正。



1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD IS THE ONLY ANALOG GROUND CONNECTION FOR THE CHIP. IT MUST BE CONNECTED TO PCB AGND.

09813-009

图9. 并行CMOS模式的引脚配置

表9. 并行CMOS模式引脚功能描述

引脚编号	引脚名称	描述
0	EPAD	裸露焊盘。裸露焊盘是芯片的唯一接地连接，焊盘必须连接到PCB AGND。
1, 2, 18, 19, 20, 28, 54	DNC	不连接。请勿连接该引脚。
3	PD0	PD0数据输出。
4	PD1	PD1数据输出。
5	PD2	PD2数据输出。
6	PD3	PD3数据输出。
7, 24, 47	DRVDD	1.9 V数字输出电源。
8, 23, 48	DRGND	数字输出地。
9	PD4	PD4数据输出。
10	PD5	PD5数据输出。
11	PD6	PD6数据输出。
12	PD7	PD7数据输出。
13	PD8	PD8数据输出。
14	PD9	PD9数据输出。
15	PD10	PD10数据输出。
16	PD11	PD11数据输出(MSB)。
17	SP_SDO	SPORT输出。
21	SP_SDFS	SPORT帧同步输入(从机模式)/输出(主机模式)。
22	SP_SCLK	SPORT时钟输入(从机模式)/输出(主机模式)。
25	SDIO	串行端口接口(SPI)数据输入/输出(串行端口模式)。
26	SCLK	串行端口接口时钟(串行端口模式)。
27	CSB	串行端口片选(低电平有效)。
29	SPI_VDDIO	1.9 V或3.3 V SPI I/O电源。
30, 32, 33, 34, 37, 38, 39, 41, 42, 43, 46	AVDD	1.9 V模拟电源。
31	VREF	基准电压输入/输出。标称值0.75 V。
35	VIN+	模拟输入—正。
36	VIN-	模拟输入—负。
40	CML	共模输出。通过SPI使能，此引脚为VIN+和VIN-提供一个基准电压，以优化内部偏置电压。
44	CLK+	时钟输入—正。

AD6641

引脚编号	引脚名称	描述
45	CLK-	时钟输入—负。
49	FILL+	FIFO填充输入(LVDS)—正。
50	FILL-	FIFO填充输入(LVDS)—负。
51	FULL	FIFO满输出指示。
52	EMPTY	FIFO空输出指示。
53	DUMP	FIFO回读输入。
55	PCLK-	数据时钟输出—负。
56	PCLK+	数据时钟输出—正。

典型工作特性

除非另有说明, AVDD = 1.9 V、DRVDD = 1.9 V、额定采样速率、 $T_A = 25^\circ\text{C}$ 、1.5 V p-p差分输入、 $A_{IN} = -1$ dBFS。

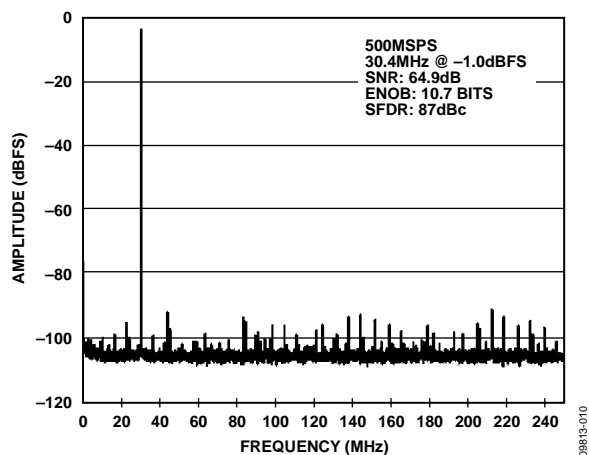


图10. 16k点单音FFT(500 MSPS、30.4 MHz)

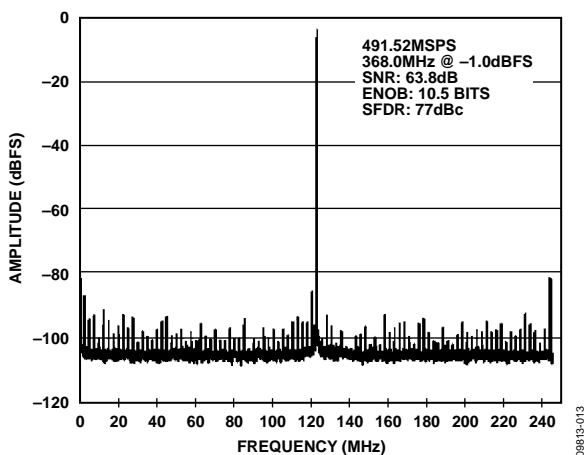


图13. 16k点单音FFT(491.52 MSPS、368.0 MHz)

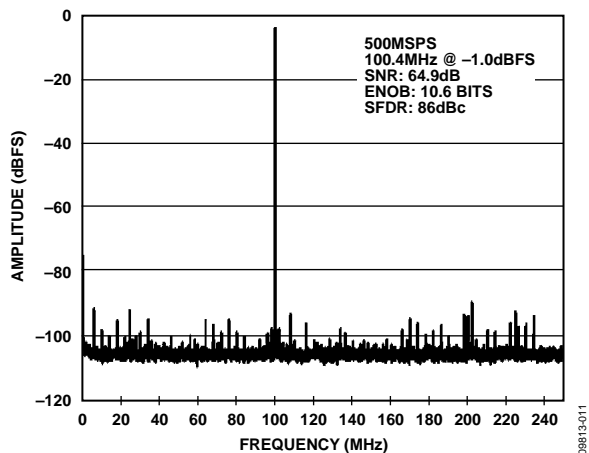


图11. 16k点单音FFT(500 MSPS、100.4 MHz)

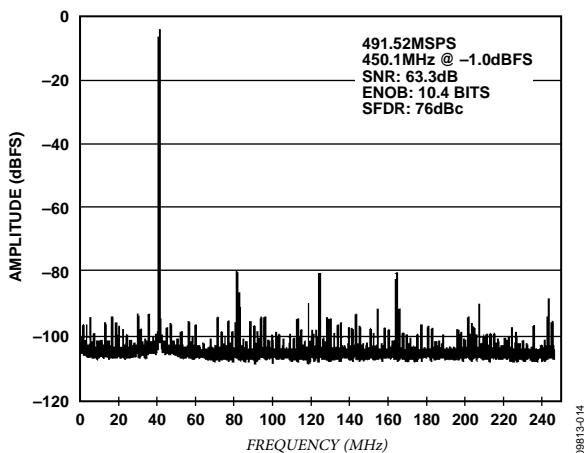


图14. 16k点单音FFT(491.52 MSPS、450.1 MHz)

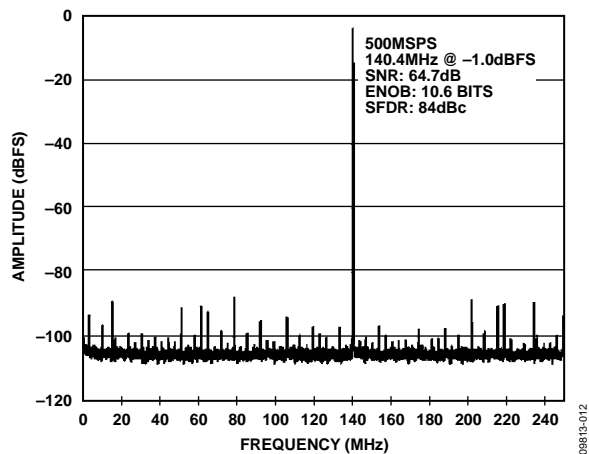


图12. 16k点单音FFT(500 MSPS、140.4 MHz)

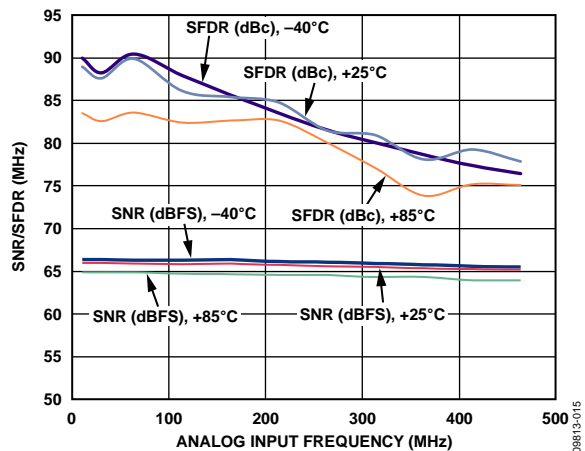


图15. 单音SNR/SFDR与输入频率(f_{IN})和温度的关系 (500 MSPS)

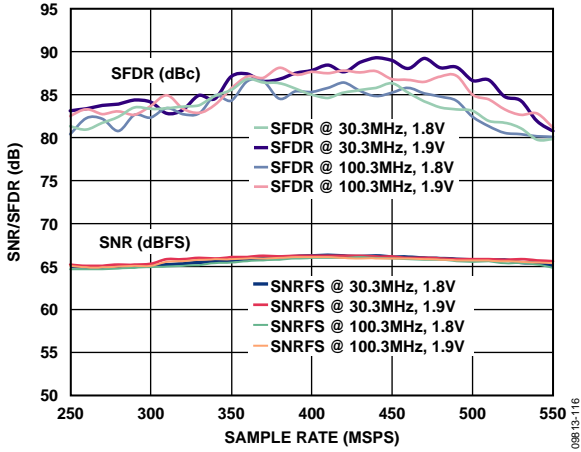


图16. SNR/SFDR与采样速率和电源的关系

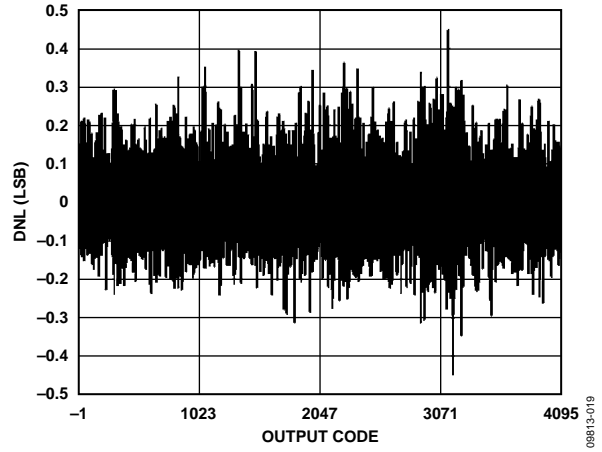


图19. DNL (500 MSPS)

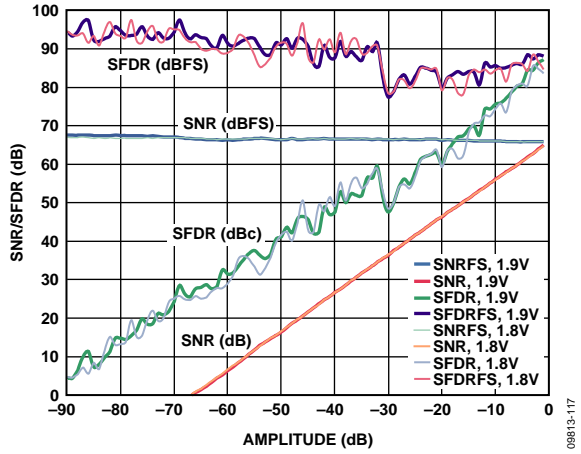


图17. SNR/SFDR与输入幅度的关系(500 MSPS、140.3 MHz)

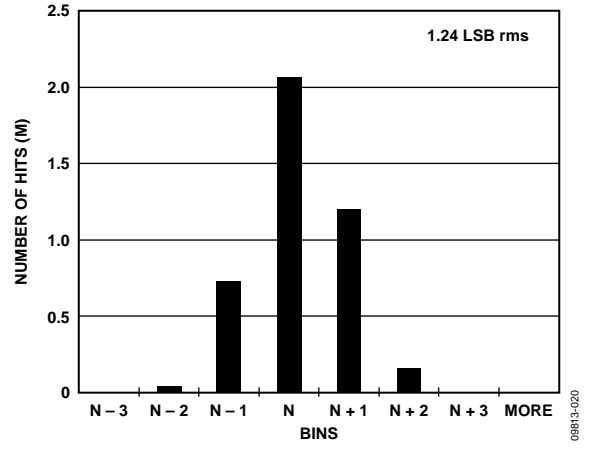


图20. 接地输入直方图(500 MSPS)

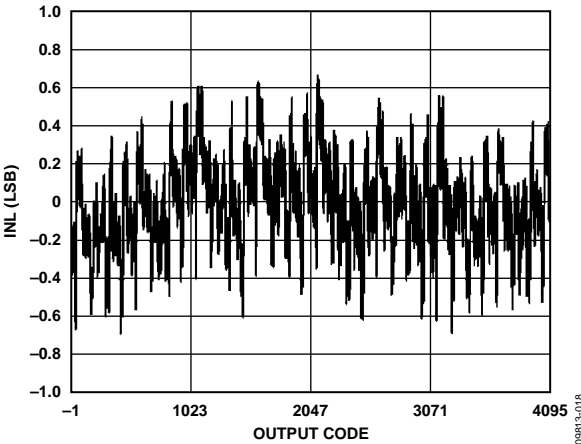


图18. INL (500 MSPS)

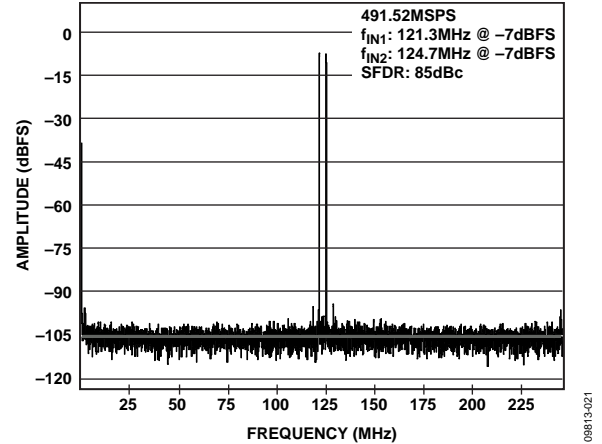


图21. 16k点单音FFT(491.52 MSPS、 f_{IN1} = 121.3 MHz、 f_{IN2} = 124.7 MHz)

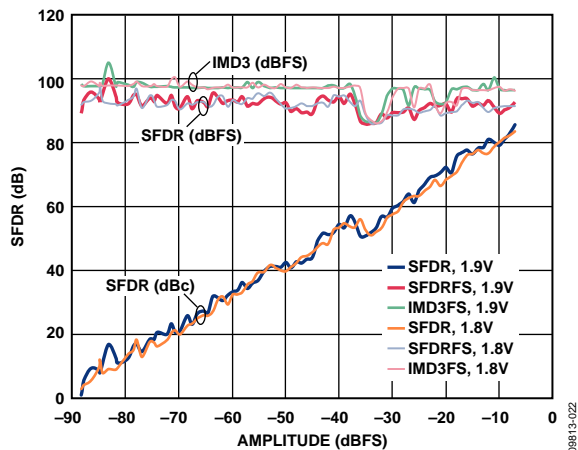


图22. 双音SFDR与输入幅度的关系
(500 MSPS、119.2 MHz、122.5 MHz)

09813-022

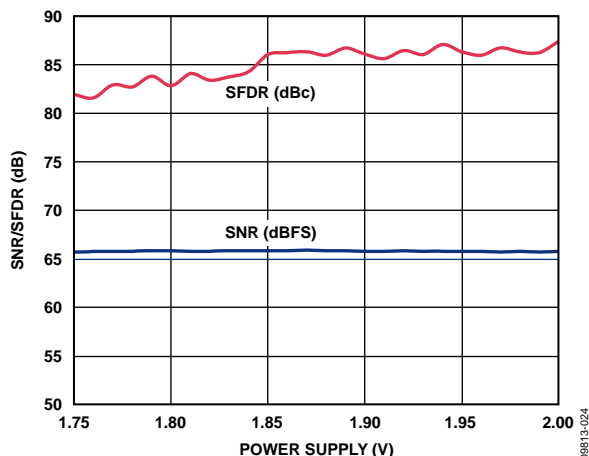


图24. SNR/SFDR与电源的关系

09813-024

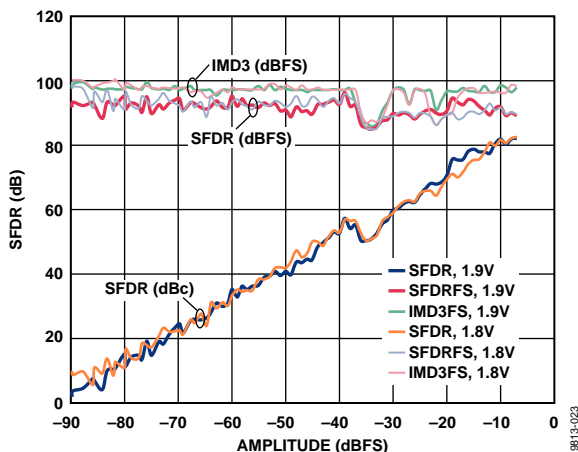


图23. 双音SFDR与输入幅度的关系
(500 MSPS、139.3 MHz、141.3 MHz)

09813-023

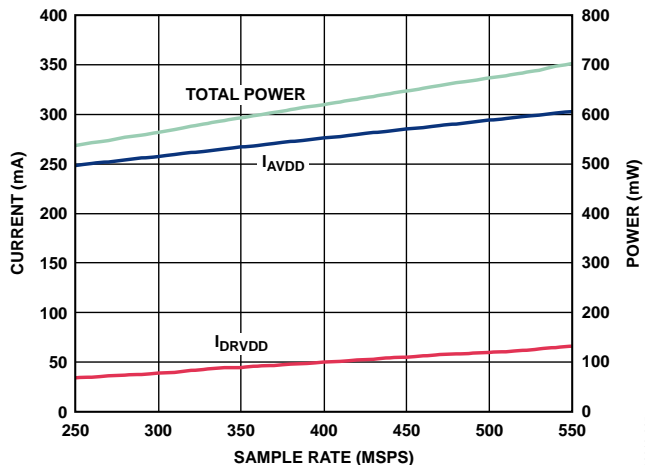


图25. 电流和功耗与采样速率的关系

09813-025

等效电路

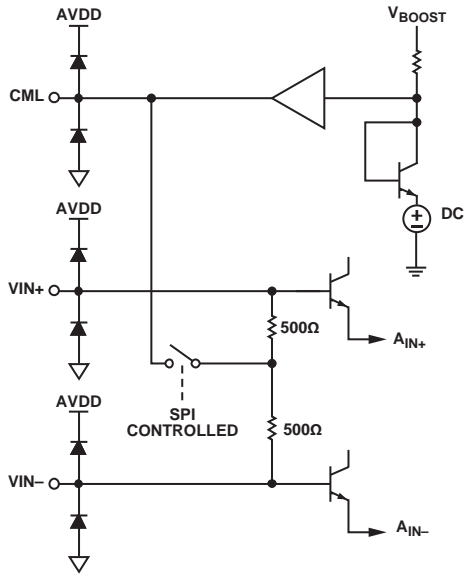


图26. 直流等效模拟输入电路

08813-016

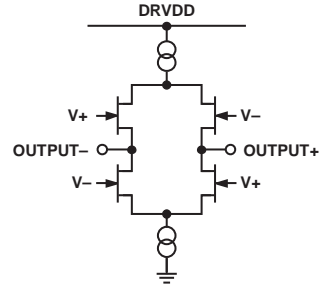


图30. LVDS输出(PDOR±、PD[5:0]±、PCLK±)

08813-110

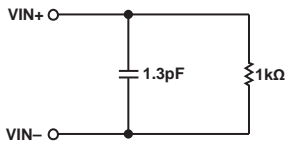


图27. 交流等效模拟输入电路

08813-017

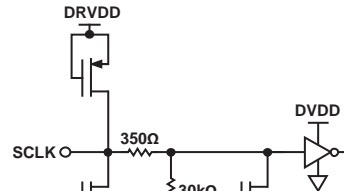


图31. 等效SCLK输入电路

08813-128

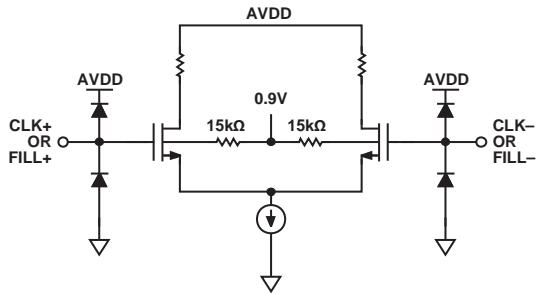


图28. 等效CLK±和FILL±输入电路

08813-127

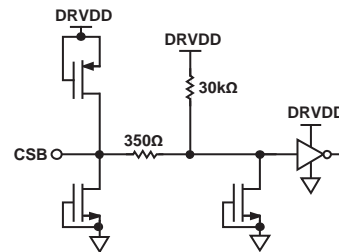


图32. 等效CSB输入电路

08813-130

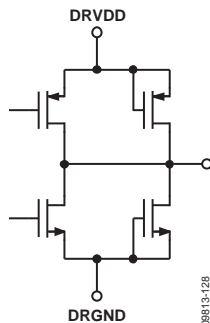


图29. 等效PD[11:0]、FULL、EMPTY、PCLK±和SP_SDO输出电路

08813-126

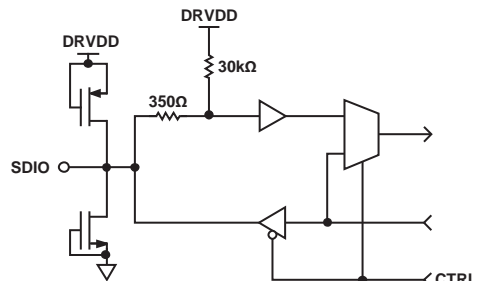


图33. 等效SDIO电路

08813-131

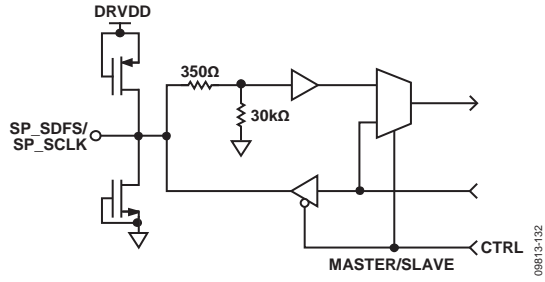


图34. 等效SP_SDFS和SP_SCLK电路

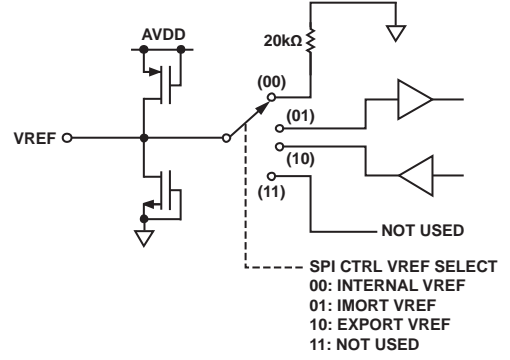


图35. 等效VREF电路

SPI寄存器图

表10. 存储器映射寄存器

地址 (十六 进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值/注释
芯片配置寄存器											
0x00	CHIP_PORT_CONFIG	0	LSB 优先	软复位	1	1	软复位	LSB优先	0	0x18	用户应在两个半字节之间建立反映关系, 使得无论在何种移位模式下, LSB优先或MSB优先模式均能正确记录数据。
0x01	CHIP_ID	8位芯片ID, 位[7:0] = 0xA0								只读	默认值为唯一芯片ID, 各器件均不相同。它是一个只读寄存器。
0x02	CHIP_GRADE	0	0	速度等级: 10 = 500 MSPS	X ¹	X ¹	X ¹	X ¹	X ¹	只读	子ID用来区分器件等级。
传输寄存器											
0xFF	DEVICE_UPDATE	[7:1] = 0000000							软件 传输	0x00	从主移位寄存器向从移位寄存器同步传输数据。
ADC功能											
0x08	模式	0	0	0	0	0	内部关断模式: 000 = 正常(上电, 默认值) 001 = 完全关断 010 = 待机 011 = 保留		0x00	决定芯片的一般工作模式。	
0x0D	TEST_IO	(仅适用于用户自定义模式, 设置位[3:0] = 1000) 00 = 仅测试码1 01 = 切换测试码1/测试码2 10 = 切换测试码1/0000 11 = 切换测试码1/测试码2/0000		复位PN23 发生器: 1 = 开 0 = 关(默认)	复位PN9 发生器: 1 = 开 0 = 关(默认)	输出测试模式: 0000 = 关(默认) 0001 = 中间电平短路 0010 = +FS短路 0011 = -FS短路 0100 = 棋盘形式输出 0101 = PN23序列 0110 = PN9 0111 = 1/0字反转 1000 = 用户自定义 1001 = 未用 1010 = 未用 1011 = 未用 1100 = 未用 (格式由OUTPUT_MODE决定)			0x00	置1时, 测试数据将取代正常数据被置于输出引脚上。设置测试码值: 测试码1: 寄存器0x19, 寄存器0x1A 测试码2: 寄存器0x1B, 寄存器0x1C	
0x14	OUTPUT_MODE	0	0	0	输出禁用: 0 = 使能(默认) 1 = 禁用	0 = CMOS 1 = LVDS (默认)	输出反 向: 1 = 开 0 = 关 (默认)	数据格式选择: 00 = 偏移二进制 (默认) 01 = 二进制补码 10 = 格雷码 11 = 保留		0x08	

地址 (十六进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值/注释
0x15	OUTPUT_ADJUST	[7:4] = 0000				LVDS粗调: 0=3.5mA (默认) 1=2.0mA	LVDS精调: 001 = 3.50 mA 010 = 3.25 mA 011 = 3.00 mA 100 = 2.75 mA 101 = 2.50 mA 110 = 2.25 mA 111 = 2.00 mA			0x00	
0x16	OUTPUT_PHASE	输出时钟极性: 1 = 反相 0 = 正常 (默认)	[6:0] = 0000000						0x03		
0x17	OUTPUT_DELAY	0	0	0	0	输出时钟延迟: 0000 = 0 0001 = -1/10 0010 = -2/10 0011 = -3/10 0100 = 保留 0101 = +5/10 0110 = +4/10 0111 = +3/10 1000 = +2/10 1001 = +1/10			0	显示为初始 t_{skew} (参见图3) 扣减或增加的采样时钟周期的小数值。	
0x18	输入范围	VREF选择: 00 = 内部 V_{REF} (20 k Ω 下拉电阻) 01 = 导入 V_{REF} (VREF引脚0.59V 至0.80V) 10 = 导出 V_{REF} 11 = 未用		0	输入电压范围设置(V): 11100 = 1.60 11101 = 1.58 11110 = 1.55 11111 = 1.52 00000 = 1.50 00001 = 1.47 00010 = 1.44 00011 = 1.42 00100 = 1.39 00101 = 1.36 00110 = 1.34 00111 = 1.31 01000 = 1.28 01001 = 1.26 01010 = 1.23 01011 = 1.20 01100 = 1.18					0	
0x19	USER_PATT1_LSB	[7:0]						0	用户定义的测试码1 MSB		
0x1A	USER_PATT1_MSB	[7:0]						0	用户定义的测试码1 MSB		
0x1B	USER_PATT2_LSB	[7:0]						0	用户定义的测试码2 LSB		
0x1C	USER_PATT2_MSB	[7:0]						0	用户定义的测试码2 MSB		
数字控制											
0x101	填充控制寄存器	保留	填充输入引脚禁用	保留	LIFO模式	FIFO填充模式: 00 = 单一 01 = 连续 1x = 保留		保留	填充后待机	0	
0x102	FIFO配置	[7:4] = 保留				转储复位	填充复位	转储	填充	0	
0x104	填充计数	[7:0]						0x7F	用于填充或转储的字数		

AD6641

地址 (十六 进制)	参数名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值/注释	
0x105	建立计数0	[7:0]									0	启动填充前 给予ADC的 LSB建立时间
0x106	建立计数1	[7:0]									0	启动填充前 给予ADC的 MSB建立时间
0x107	转储控制	[7:3] = 保留				0 = 从机 1 = 主机	回读模式: 00 = 关 01 = 并行 10 = SPORT 11 = 保留				0	从机模式下 用户驱动 SP_SCLK、 SP_SDFS
0x10A	FIFO状态	[7:3] = 保留				超范围	空	满			0	
0x10B	FIFO转储数据0	[7:0] = LSBs									0	LSB回读数据
0x10C	FIFO转储数据1	[7:4] = 保留			[3:0] = MSBs					0	MSB高4位回 读数据	
0x10F	读取偏移数据0	[7:0] = LSBs									0	RAM中的LSB 偏移，以便 读取数据捕 捉的子段。
0x110	读取偏移数据1	[7:6] = 保留	[5:0] = MSBs							0	MSB的偏移	
0x111	PPORT控制	[7:5] = 保留			分频比 = 2 × (位字): 00100 = 8分频(默认) ... 01111 = 30分频 1xxxx = 32分频					0x04	CMOS并行端 口分频比	
0x112	SPORT控制	[7:5] = 保留			分频比 = 2 × (位字): 00100 = 8分频(默认) ... 01111 = 30分频 1xxxx = 32分频					0x04	串行端口分 频比	
0x13A	FIFO测试BIST	[7:5] = 保留			设置FIFO的BIST模式: 1xxx = 保留 0111 = 保留 0110 = 12'hFFF (-1 LSB) 0101 = 12'h001 (+1 LSB) 0100 = PN数据 0011 = 棋盘形式(12'hAAA, 12'h555, 12'hAAA, ...) 0010 = 棋盘形式(12'h555, 12'hAAA, 12'h555, ...) 0001 = 递减斜坡 0000 = 递增斜坡				FIFO BIST 使能		0	

'X' = 无关位。

工作原理

片内FIFO允许通过ADC捕捉较短的时间快照，以及以较低速率进行回读。这样，捕捉的数据可以随时以低得多的采样速率进行传输，信号处理限制得以降低。

FIFO操作

当捕捉到数据时，可以通过向FILL±引脚发出脉冲，从而对SPI端口执行写操作来指示。图36所示的处理图说明了FIFO的加载过程。

在事件1时，FIFO被要求通过置位FILL±引脚或写入SPI位进行填充。FILL±引脚操作可以延迟一定的时间(通过可编程填充延迟计数器设置)，以便为一个填充事件准备FIFO数据。然后，FIFO加载数据。数据采样数由SPI填充计数器寄存器(0x104)决定，它是一个8位寄存器，值范围为0到255。置于FIFO中的采样数由以下公式决定：

$$\text{采样数} = (\text{FILL_CNT} + 1) \times 64$$

FIFO在事件2时开始加载，完成数据捕捉后，AD6641置位填满标志并进入等待状态，等待接收来自DUMP引脚或SPI的转储指令。

数据移位后(事件4)，FIFO进入空闲状态，等待下一个填充命令。在空闲状态下，可以将ADC置于待机模式以省电。如果ADC在空闲状态下关闭，启动填充操作(事件1)将使ADC上电。在此模式下，ADC捕捉数据之前会等待一定的时间(建立计数周期，由寄存器0x105、0x106设

置)。建立计数可通过SPI端口编程，作用是让模拟电路在采集数据之前稳定下来。利用该寄存器可以实现采集速度与精度的精巧平衡。

数据可以通过三个输出接口之一以低数据速率回读，这将会进一步降低功耗。如果使用SPI或SPORT接口回读数据，接口只需要3个引脚。填满标志和空标志用于表示FIFO的状态。SPI中的FIFO状态寄存器(0x10A)还允许通过软件监控FIFO的状态。

单次捕捉模式

将填充控制寄存器的FIFO填充模式(0x101[3:2])设为00，可以将FIFO置于单次捕捉模式。在单次捕捉模式下，用户启动捕捉的方法是将FILL±引脚拉高，或者写入填充后待机位(0x101[0])，以通过SPI端口启动填充命令。经过SPI建立计数寄存器(0x105、0x106)所决定的时间量(可编程)后，ADC上电(如需要)。如果SPI中的0x101寄存器的位0设为1，ADC将在捕捉完成后返回待机模式。

填充引脚时序

通过置位差分引脚FILL±，可以启动FIFO填充操作。当FILL±引脚上检测到脉冲时，FIFO就会填充数据。

转储引脚时序

通过置位DUMP引脚，可以启动FIFO回读操作。当DUMP引脚上检测到逻辑高电平信号时，FIFO数据便可通过选定的接口获得。

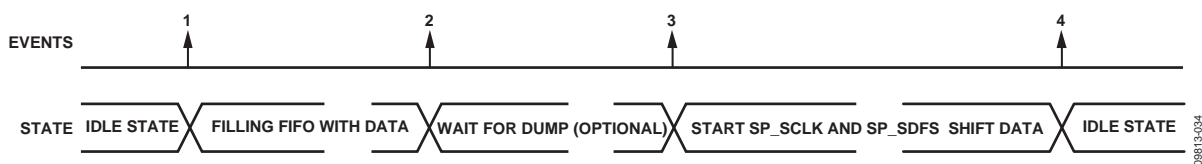


图36. 片内FIFO处理时序(假设使用串行端口)

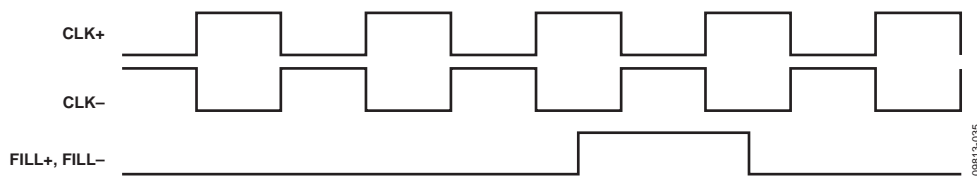


图37. FIFO填充时序

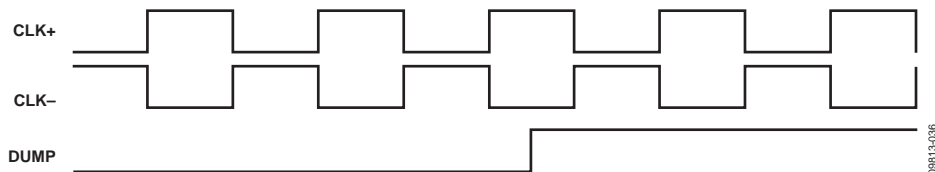


图38. FIFO转储时序

SPORT主机模式(单次捕捉)

图39所示为串行主机单次捕捉模式、SDO输出时的详细处理图。时钟周期数为近似值，因为填充和转储信号可以异步驱动。本例中，SCLK从主时钟经8分频(通过SPI编程)获得。

填充脉冲(1)

采样时钟的上升沿上检测到填充信号(高电平)时，FIFO捕捉数据。在同步操作中，有效的高电平须符合规定的建立和保持时间要求。对于异步控制，填充信号可以加宽以容纳两个或更多时钟周期，从而保证捕捉到高电平信号。填充计数(0x104)在时钟的上升沿复位，只有当填充信号变为低电平后，它才会在后续时钟周期递增。在捕捉过程中出现任何新的填充信号时，都会复位计数器，并开始填充FIFO。

空信号(2)

FIFO状态机开始加载数据后，在填充信号最后一次采样状态为高电平之后经过24个时钟周期，空信号变为低电平。

满信号(3)

满信号表示FIFO已添满，当FIFO捕捉到规定的采样数时，满信号变为高电平。

$$\text{采样数} = (\text{FILL_CNT} + 1) \times 64$$

满信号变为高电平的时间为：填充信号最后一次采样为高电平之后经过 $(\text{FILL_CNT} + 1) \times 64 + 13$ 个时钟周期。

转储信号(4)一变为高电平

转储信号指示从FIFO读取数据。转储由高电平使能，只能在填满信号变为高电平之后启动。从FIFO读出所有数据之前，转储信号应一直保持高电平。

SCLK信号(5)

在主机工作模式下，SCLK(串行时钟)信号配置为器件的输出。转储信号采样为高电平后经过5个ADC时钟周期，SCLK开始提供时钟，直到空信号变为高电平后再经过一个时钟周期为止。然后，SCLK保持低电平，直到下一次转储操作开始。

SDFS信号(6)

在主机工作模式下，SDFS(串行数据帧同步)信号配置为器件的输出。转储信号采样后经过15个ADC时钟周期，帧同步开始。

转储信号(7)一变为低电平

从FIFO读出数据后，转储信号变为低电平。

空信号(8)一变为高电平

根据时钟周期计数 $(\text{FILL_CNT} + 1) \times 64$ ，从FIFO输出数据后，空信号变为高电平。

转变发生在数据的最后LSB通过串行端口输出后经过76个ADC时钟周期时。

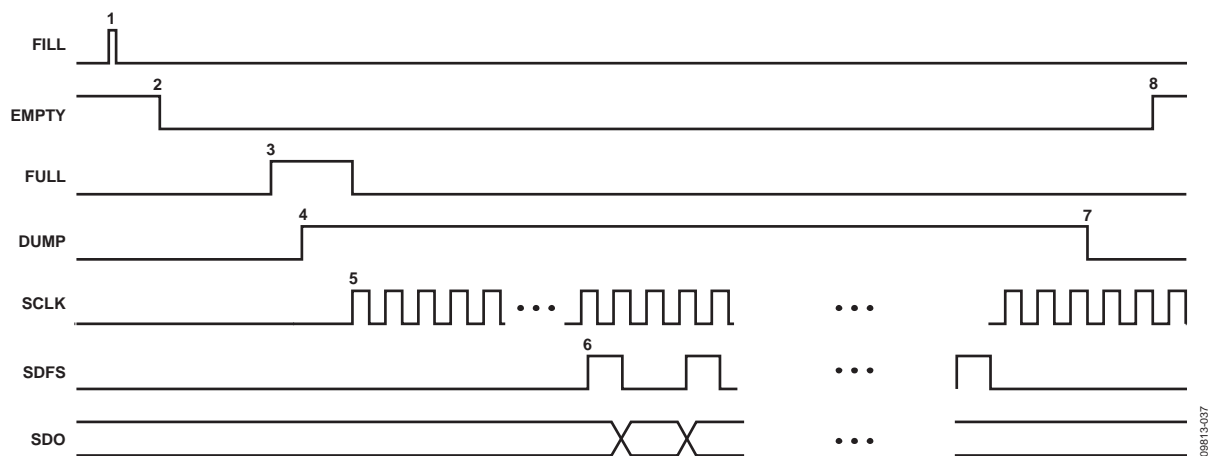


图39. SPORT主机模式处理图

09813-037

并行主机模式(单次捕捉)

图40所示为采用PD[11:0]输出字的并行主机模式下的详细处理图。时钟周期数为近似值，因为填充和转储信号可以异步驱动。本例中，PCLK±从主时钟经8分频(通过SPI编程)获得。

填充脉冲(1)

采样时钟的上升沿上检测到填充信号(高电平)时，FIFO捕捉数据。在同步操作中，有效的高电平须符合规定的建立和保持时间要求。对于异步控制，填充信号可以加宽以容纳两个或更多时钟周期，从而保证捕捉到高电平信号。填充计数(0x104)在时钟的上升沿复位，只有当填充信号变为低电平后，它才会在后续时钟周期递增。在捕捉过程中出现任何新的填充信号时，都会复位计数器，并开始填充FIFO。

空信号(2)

FIFO状态机开始加载数据后，在填充信号最后一次采样状态为高电平之后经过24个时钟周期，空信号变为低电平。

满信号(3)

满信号表示FIFO已添满，当FIFO捕捉到规定的采样数时，满信号变为高电平。

$$\text{采样数} = (\text{FILL_CNT} + 1) \times 64$$

满信号变为高电平的时间为：填充信号最后一次采样为高电平之后经过 $(\text{FILL_CNT} + 1) \times 64 + 13$ 个时钟周期。

转储信号(4)一变为高电平

转储信号指示从FIFO读取数据。转储由高电平使能，只能在填满信号变为高电平之后启动。从FIFO读出所有数据之前，转储信号应一直保持高电平。

PCLK±信号(5)

PCLK±(并行时钟)信号配置为器件的输出。转储信号采样为高电平后经过71个ADC时钟周期，PCLK±开始提供时钟。从FIFO读出最后的数据之后，PCLK±变为低电平，并在下一次转储操作之前一直保持低电平。

PD[11:0]信号(6)

PD(并行数据)输出提供12个数据位(PD[11:0])，其最大速率为采样时钟速率的1/8。数据在2个PCLK±周期后开始输出(假设转储信号已采样)。

转储信号(7)一变为低电平

从FIFO读出数据后，转储信号变为低电平。

空信号(8)一变为高电平

根据时钟周期计数 $(\text{FILL_CNT} + 1) \times 64$ ，从FIFO读出数据后，空信号变为高电平。转变发生在最后一个PCLK±上升沿后经过9个时钟周期时。

连续捕捉模式

将填充控制寄存器的FIFO填充模式(0x101[3:2])设为01，可以将FIFO置于连续捕捉模式。在连续捕捉模式下，数据持续加载到FIFO中，通过脉冲使FILL±引脚变为高电平可停止该操作。这种模式可以捕捉某个事件发生之前的采样历史。

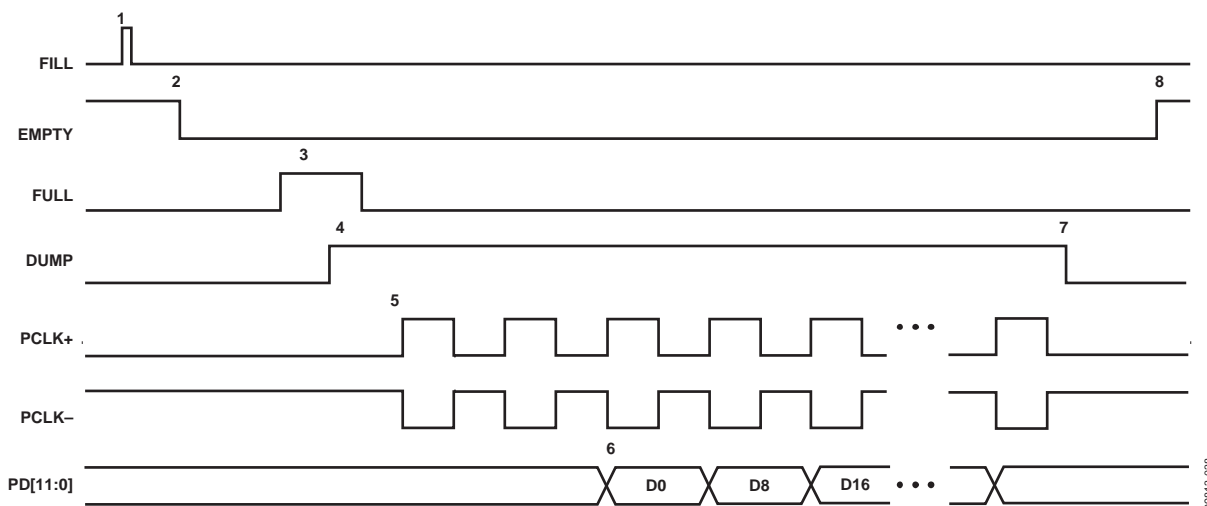


图40. 并行模式处理图

08813-038

FIFO输出接口

FIFO数据可通过三个接口之一提供：串行数据端口(SPORT)、SPI端口或12位CMOS接口。数据端口必须在读取FIFO数据之前通过SPI端口选择。一次只能选择一个接口。SPORT和SPI接口通过SPI_VDDIO引脚供电，支持1.9 V或3.3 V逻辑电平。

SPORT接口

SPORT接口由时钟(SP_SCLK)和帧同步(SP_SDFS)信号组成。当SPORT配置为总线主机时，SP_SCLK和SP_SDFS信号为AD6641的输出；当SPORT配置为从机端口时，SP_SCLK和SP_SDFS信号为器件的输入。

串行数据帧(串行总线主机)

串行数据传输通过SP_SDFS启动。在主机模式下，当转换输入变为高电平以请求数据时，内部串行控制器启动SP_SDFS。SP_SDFS的有效时间为数据移位前的一个完整时钟周期。在下一个时钟周期，AD6641开始移出数据流。

CMOS输出接口

FIFO中存储的数据可以通过12位并行CMOS接口访问。AD6641在12位CMOS模式下支持最大输出吞吐速率，器件内部将其限制为最大输入采样速率的1/8。因此，当输入

采样速率为500 MSPS时，最大输出数据速率为62.5 MHz。并行CMOS模式输出接口时序图见图3。

LVDS输出接口

采用默认设置上电时，AD6641差分输出符合ANSI-644 LVDS标准。通过SPI接口，可以将它更改为低功耗、减少信号选项(类似于IEEE 1596.3标准)。这种LVDS标准可以将器件的总功耗进一步降低约39 mW。LVDS驱动器电流来自芯片，并将各输出端的输出电流设置为标称值3.5 mA。LVDS接收器输入端有一个100 Ω差分端接电阻，因此接收器摆幅标称值为±350 mV差分或700 mV p-p。

AD6641 LVDS输出便于与具有LVDS能力的定制ASIC和FPGA中的LVDS接收器连接，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将100 Ω端接电阻尽可能靠近接收器放置。如果没有远端接收器端接电阻，或者差分线布线不佳，可能会导致时序错误。建议走线长度不要超过24英寸，差分输出走线应尽可能彼此靠近且长度相等。

LVDS输出端口上的数据以MSB/LSB格式交错。PCLK±是通过将ADC采样时钟除以抽取率(可在8到32的范围内编程，偶数)而产生。PCLK±的最大速率以62.5 MHz为限。

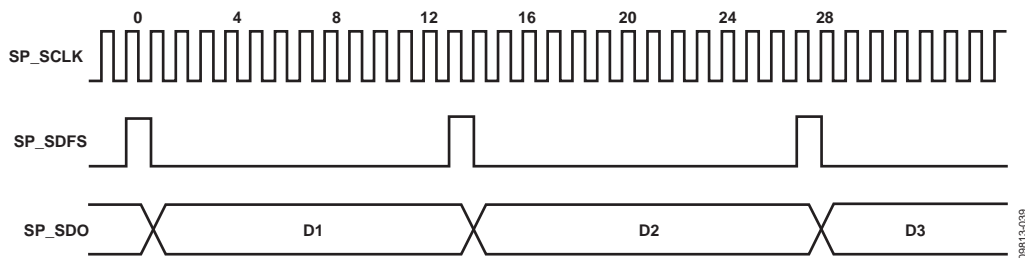


图41. 串行总线主机模式下的数据输出

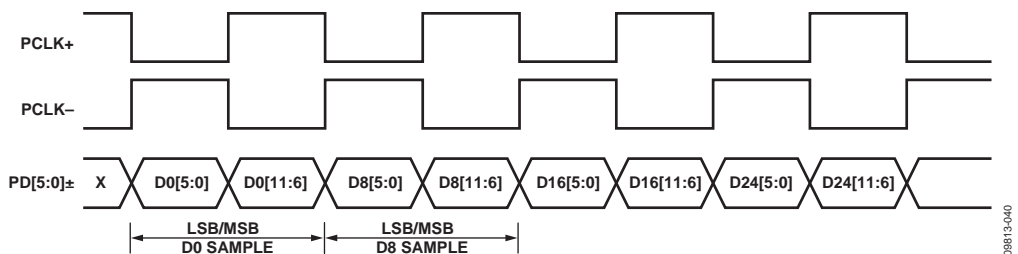


图42. 抽取率为8时的DDR LVDS输出MSB/LSB交错

模拟输入和基准电压

AD6641的模拟输入端是一个差分缓冲器。为得到最佳动态性能，必须使驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，从而保证共模建立误差是对称的。模拟输入端经过优化，可提供出色的宽带性能，必须以差分方式驱动。如果用单端信号驱动模拟输入端，SNR和SINAD性能会显著降低。

诸如Mini-Circuits® ADT1-1WT之类的宽带变压器可以为要求单端转差分的应用提供差分模拟输入。两路模拟输入均由片内基准电压源自偏置到标称电压1.7 V。

内部差分基准电压源用于形成正负基准电压，进而决定ADC内核的1.5 V p-p固定范围。内部基准电压可通过SPI控制功能进行调整。

VREF

AD6641 VREF引脚(引脚31)允许用户监控片内基准电压源，或者提供外部基准电压源(要求通过SPI配置)。有三个可选设置：内部 V_{REF} (引脚连接到接地20 kΩ电阻)、导出 V_{REF} 和导入 V_{REF} 。不要将旁路电容连接到此引脚。VREF具有内部补偿特性，额外负载可能会影响性能。

使用SPI的配置

AD6641的SPI接口由三个引脚定义：SCLK、SDIO和CSB(见表11)。SCLK(串行时钟)引脚用于同步AD6641数据的读出和写入。SDIO(串行数据输入/输出)双向引脚允许将数据发送至内部存储器映射寄存器或从寄存器中读出数据。CSB(片选)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表11. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入。SCLK用来使串行接口的读写操作同步。
SDIO	串行数据输入/输出。双向引脚，用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选(低电平有效)。用来控制读写周期的选通。

CSB引脚的下降沿与SCLK引脚的上升沿共同决定帧的开始。图43为串行时序图范例，符号定义见表5。

CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻态模式。

在一个指令周期内，传输一条16位指令。串行数据传输帧的第一个字节的第一位表示发出的是读命令还是写命令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。所有数据均由8位字组成。

指令阶段决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程和读取片上存储器内的数据。如果指令是读操作，则串行数据输入/输出(SPIO)引脚的数据传输方向会在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认模式为MSB优先，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877：“通过SPI与高速ADC接口”。

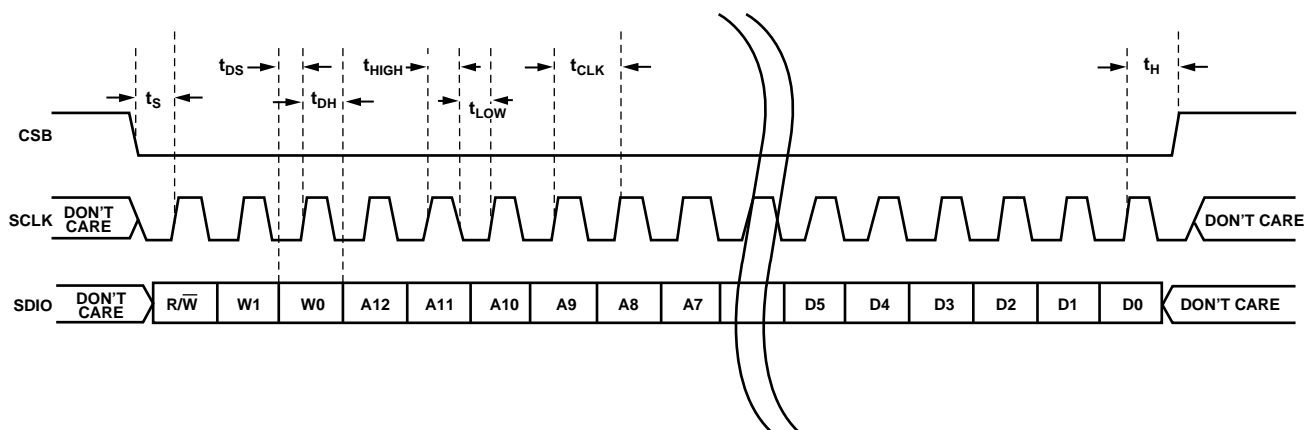


图43. 串行端口接口时序图

