



# 完整的四通道、16位、高精度、串行输入、双极性电压输出DAC

## AD5764

### 特性

- 完整的四通道、16位数模转换器(DAC)
- 输出范围可编程:  $\pm 10\text{ V}$ 、 $\pm 10.2564\text{ V}$ 或 $\pm 10.5263\text{ V}$
- 积分非线性(INL)误差:  $\pm 1\text{ LSB}$ (最大值)、微分非线性(DNL)误差:  $\pm 1\text{ LSB}$ (最大值)
- 低噪声:  $60\text{ nV}/\sqrt{\text{Hz}}$
- 建立时间:  $10\text{ }\mu\text{s}$ (最大值)
- 集成基准电压缓冲器
- 上电/掉电期间输出受控
- 可编程短路保护
- 通过LDAC同时更新
- 异步CLR清零至零代码
- 数字失调和增益调整
- 逻辑输出控制引脚
- DSP/微控制器兼容串行接口
- 温度范围:  $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$
- iCMOS工艺<sup>1</sup>

### 应用

- 工业自动化
- 开环/闭环伺服控制
- 过程控制
- 数据采集系统
- 自动测试设备
- 汽车测试与测量
- 高精度仪器仪表

### 概述

AD5764是一款四通道、16位、串行输入、双极性电压输出型DAC, 采用 $\pm 11.4\text{ V}$ 至 $\pm 16.5\text{ V}$ 电源供电。标称满量程输出范围为 $\pm 10\text{ V}$ 。它内置输出放大器、基准电压缓冲器以及上电/断电控制电路, 还有一个数字I/O端口, 可通过串行接口进行编程。每个通道均配有数字失调与增益调整寄存器。

AD5764是一款高性能转换器, 单调, 积分非线性(INL)为 $\pm 1\text{ LSB}$ , 噪声很低, 建立时间为 $10\text{ }\mu\text{s}$ 。上电期间, 当电源电压变化时,  $\text{VOUTx}$ 通过一个低阻抗路径箝位在 $0\text{ V}$ 。

AD5764采用串行接口, 能够以最高 $30\text{ MHz}$ 的时钟速率工作, 并且与DSP和微控制器接口标准兼容。利用双缓冲, 所有DAC可实现同时更新。输入编码可以通过编程设置为二进制补码或偏移二进制格式。异步清零功能可将所有数据寄存器清零至双极性零或零电平, 具体取决于所用编码方式。AD5764是闭环伺服控制和开环控制应用的理想之选。它采用32引脚TQFP封装, 保证温度范围为 $-40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ 工业温度范围。功能框图参见图1。

表1. 相关器件

产品型号	描述
AD5764R	带内部基准电压源的AD5764
AD5744R	完整的四通道、14位、高精度、串行输入、双极性电压输出、带内部基准电压源的DAC

<sup>1</sup> 工业/仪器仪表设备OEM的模拟系统设计需要能在较高电压下工作的高性能IC, 对于他们而言, iCMOS就是一个技术平台, 基于该平台能够开发出可采用 $30\text{ V}$ 电源、工作电压 $\pm 15\text{ V}$ 的模拟IC, 同时可大大降低功耗、缩小封装尺寸并提升交流与直流性能。

### Rev. D

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2006–2009 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

## 目录

特性 .....	1	功能寄存器 .....	21
应用 .....	1	数据寄存器 .....	21
概述 .....	1	粗调增益寄存器 .....	21
修订历史 .....	2	微调增益寄存器 .....	22
功能框图 .....	3	失调寄存器 .....	22
技术规格 .....	4	失调和增益调整成功范例 .....	23
交流工作特性 .....	5	设计特性 .....	24
时序特性 .....	6	模拟输出控制 .....	24
绝对最大额定值 .....	9	数字失调和增益控制 .....	24
ESD警告 .....	9	可编程短路保护 .....	24
引脚配置和功能描述 .....	10	数字I/O端口 .....	24
典型工作特性 .....	12	局部接地失调调整 .....	24
术语 .....	17	应用信息 .....	25
工作原理 .....	18	典型工作电路 .....	25
DAC架构 .....	18	布局指南 .....	27
基准电压缓冲 .....	18	电流隔离接口 .....	27
串行接口 .....	18	微处理器接口 .....	27
通过LDAC同时更新 .....	19	评估板 .....	27
传递函数 .....	20	外形尺寸 .....	28
异步清零(CLR) .....	20	订购指南 .....	28
<b>修订历史</b>			
<b>2009年8月—修订版C至修订版D</b>		<b>2008年4月—修订版A至修订版B</b>	
更改表2和表3尾注 .....	6	更改“汇总表、技术规格”部分 .....	4
更改表4参数 $t_0$ 和尾注 .....	7	更改电源要求参数、表2和汇总表 .....	5
<b>2009年1月—修订版B至修订版C</b>		更改表4参数 $t_{16}$ .....	6
更改“概述”部分 .....	1	更改表6 .....	10
更改图1 .....	3	将“典型工作特性”部分的 $V_{SS}/V_{DD}$ 改为 $AV_{SS}/AV_{DD}$ .....	13
更改表2条件 .....	4	更改表16 .....	22
更改表3条件 .....	5	更改表18 .....	23
更改表4条件 .....	6	更改“典型工作电路”部分 .....	28
更改图5 .....	8	更改“AD5764至ADSP-2101”部分 .....	29
更改表5 .....	9	更改订购指南 .....	30
更改表6 .....	10	<b>2007年1月—修订版0至修订版A</b>	
更改图34 .....	19	更改绝对最大额定值 .....	10
更改表7和10 .....	20	更改图25和图26 .....	16
增加表8, 重新排序 .....	20	<b>2006年3月—修订版0: 初始版</b>	
更改表11和12 .....	21		
更改“数字失调和增益控制”部分 .....	24		
更改表20 .....	26		
删除“AD5764与MC68HC11接口”部分 .....	27		
删除图38; 重新排序 .....	27		
删除“AD5764与8XC51接口”部分、图39、“AD5764与ADSP-2101接口”部分、图40以及“AD5764与PIC16C6x/PIC16C7x接口”部分 .....	28		

功能框图

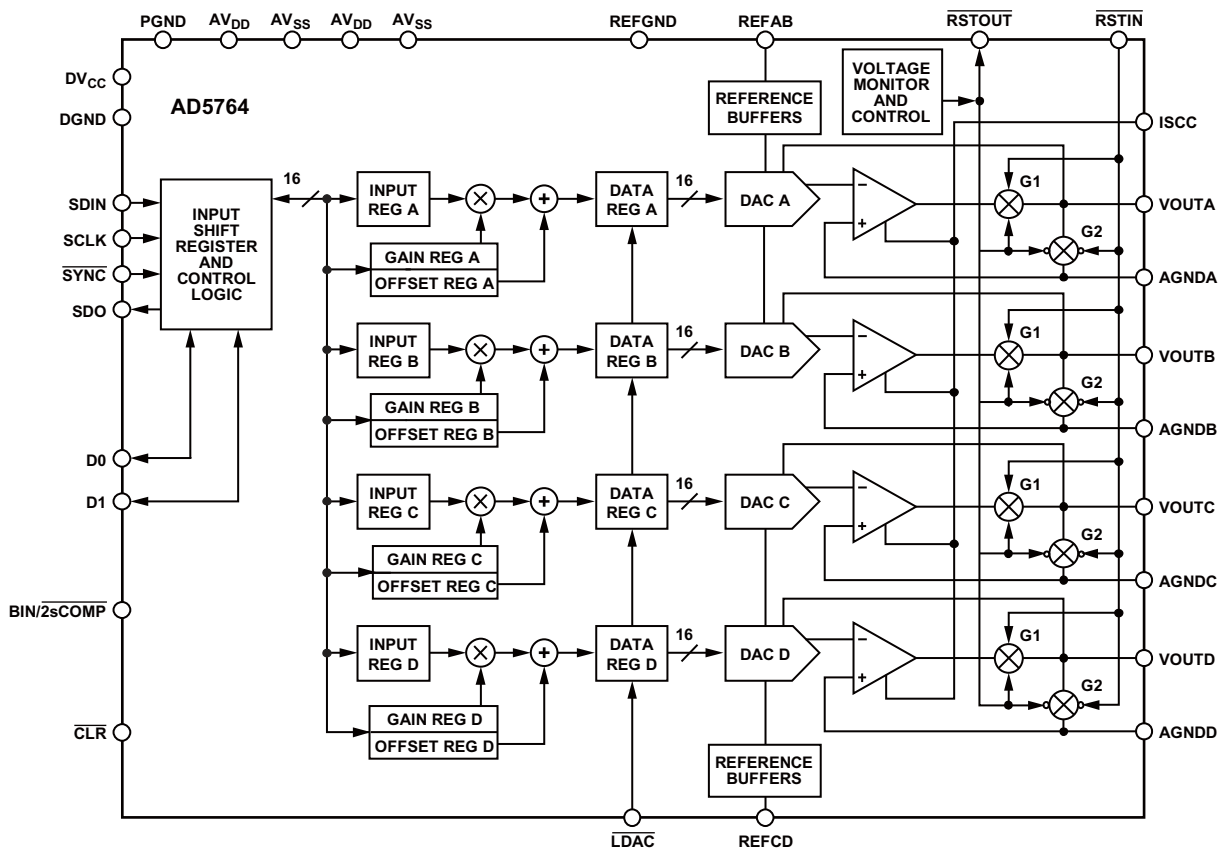


图1

05303-001

# AD5764

## 技术规格

$AV_{DD} = 11.4\text{ V至}16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V至}-16.5\text{ V}$ 、 $AGND_x = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFCD = 5\text{ V}$ ； $DV_{CC} = 2.7\text{ V至}5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。温度范围： $-40^\circ\text{C至}+85^\circ\text{C}$ ； $+25^\circ\text{C}$ (典型值)。 $+105^\circ\text{C}$ 时仍能保证器件功能，但性能会有所下降。除非另有说明，所有规格均为 $T_{MIN}$ 至 $T_{MAX}$ 。

表2

参数	A级	B级	C级	单位	测试条件/注释
精度					输出端无负载
分辨率	16	16	16	位	
相对精度(积分非线性INL)	$\pm 4$	$\pm 2$	$\pm 1$	LSB(最大值)	
微分非线性	$\pm 1$	$\pm 1$	$\pm 1$	LSB(最大值)	保证单调性
双极性零电平误差	$\pm 2$	$\pm 2$	$\pm 2$	mV(最大值)	25°C下；其他温度下的误差用双极性零电平温度系数(TC)获得
双极性零电平温度系数(TC) <sup>1</sup>	$\pm 2$	$\pm 2$	$\pm 2$	ppm FSR/°C(最大值)	
零电平误差	$\pm 2$	$\pm 2$	$\pm 2$	mV(最大值)	25°C下；其他温度下的误差用零电平温度系数(TC)获得
零电平温度系数(TC) <sup>1</sup>	$\pm 2$	$\pm 2$	$\pm 2$	ppm FSR/°C(最大值)	
增益误差	$\pm 0.02$	$\pm 0.02$	$\pm 0.02$	%FSR(最大值)	25°C下；其他温度下的误差用增益温度系数(TC)获得
增益温度系数(TC) <sup>1</sup>	$\pm 2$	$\pm 2$	$\pm 2$	ppm FSR/°C(最大值)	
直流串扰 <sup>1</sup>	0.5	0.5	0.5	LSB(最大值)	
基准输入 <sup>1</sup>					
基准输入电压	5	5	5	V(标称值)	$\pm 1\%$ (额定性能)
直流输入阻抗	1	1	1	M $\Omega$ (最小值)	100 M $\Omega$ (典型值)
输入电流	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A}$ (最大值)	$\pm 30\text{ nA}$ (典型值)
基准电压范围	1至7	1至7	1至7	V min至V max	
输出特性 <sup>1</sup>					
输出电压范围 <sup>2</sup>	$\pm 10.5263$ $\pm 14$	$\pm 10.5263$ $\pm 14$	$\pm 10.5263$ $\pm 14$	V min至V max V min至V max	$AV_{DD}/AV_{SS} = \pm 11.4\text{ V}$ 、 $V_{REFIN} = 5\text{ V}$ $AV_{DD}/AV_{SS} = \pm 16.5\text{ V}$ 、 $V_{REFIN} = 7\text{ V}$
输出电压漂移与时间的关系	$\pm 13$ $\pm 15$	$\pm 13$ $\pm 15$	$\pm 13$ $\pm 15$	ppm FSR/ 500小时(典型值) ppm FSR/ 1000小时(典型值)	
短路电流	10	10	10	mA(典型值)	$R_{ISCC} = 6\text{ k}\Omega$ ，参见图31
负载电流	$\pm 1$	$\pm 1$	$\pm 1$	mA(最大值)	额定性能
容性负载稳定性					
$R_{LOAD} = \infty$	200	200	200	pF(最大值)	
$R_{LOAD} = 10\text{ k}\Omega$	1000	1000	1000	pF(最大值)	
直流输出阻抗	0.3	0.3	0.3	$\Omega$ (最大值)	
数字输入					$DV_{CC} = 2.7\text{ V至}5.25\text{ V}$ 、JEDEC兼容
输入高电压 $V_{IH}$	2	2	2	V(最小值)	
输入低电压 $V_{IL}$	0.8	0.8	0.8	V(最大值)	
输入电流	$\pm 1$	$\pm 1$	$\pm 1$	$\mu\text{A}$ (最大值)	每引脚
引脚电容	10	10	10	pF(最大值)	每引脚

参数	A级	B级	C级	单位	测试条件/注释
数字输出(D0、D1、SDO) <sup>1</sup>					
输出低电压	0.4	0.4	0.4	V(最大值)	$DV_{CC} = 5\text{ V} \pm 5\%$ , 吸电流 200 $\mu\text{A}$
输出高电压	$DV_{CC} - 1$	$DV_{CC} - 1$	$DV_{CC} - 1$	V(最小值)	$DV_{CC} = 5\text{ V} \pm 5\%$ , 源电流 200 $\mu\text{A}$
输出低电压	0.4	0.4	0.4	V(最大值)	$DV_{CC} = 2.7\text{ V}$ 至3.6 V, 吸电流200 $\mu\text{A}$
输出高电压	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	$DV_{CC} - 0.5$	V(最小值)	$DV_{CC} = 2.7\text{ V}$ 至3.6 V, 源电流200 $\mu\text{A}$
高阻抗泄漏电流	$\pm 1$	$\pm 1$	$\pm 1$	$\mu\text{A}$ (最大值)	仅限SDO(串行数据输出)
高阻抗输出电容	5	5	5	pF(典型值)	仅限SDO(串行数据输出)
电源要求					
$AV_{DD}/AV_{SS}$	$\pm 11.4$ 至 $\pm 16.5$	$\pm 11.4$ 至 $\pm 16.5$	$\pm 11.4$ 至 $\pm 16.5$	V min至V max	
$DV_{CC}$	2.7至5.25	2.7至5.25	2.7至5.25	V min至V max	
电源灵敏度 <sup>1</sup>					
$\Delta V_{OUT}/\Delta AV_{DD}$	-85	-85	-85	dB(典型值)	
$AI_{DD}$	3.5	3.5	3.5	mA/通道(最大值)	输出端无负载
$AI_{SS}$	2.75	2.75	2.75	mA/通道(最大值)	输出端无负载
$DI_{CC}$	1.2	1.2	1.2	mA(最大值)	$V_{IH} = DV_{CC}$ 、 $V_{IL} = \text{DGND}$ , 750 $\mu\text{A}$ 典型值
功耗	275	275	275	mW(典型值)	$\pm 12\text{ V}$ 无负载工作输出

<sup>1</sup> 提供设计和特性保证；未经过生产测试。

<sup>2</sup> 输出放大器动态余量要求是 1.4 V(最小值)。

## 交流工作特性

$AV_{DD} = 11.4\text{ V}$ 至16.5 V、 $AV_{SS} = -11.4\text{ V}$ 至-16.5 V、 $AGND_x = \text{DGND} = \text{REFGND} = \text{PGND} = 0\text{ V}$ ； $\text{REFAB} = \text{REFCD} = 5\text{ V}$ ；

$DV_{CC} = 2.7\text{ V}$ 至5.25 V、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $C_L = 200\text{ pF}$ 。除非另有说明，所有规格均为TMIN至TMAX。

表3

参数	A级	B级	C级	单位	测试条件/注释
动态性能 <sup>1</sup>					
输出电压建立时间	8	8	8	$\mu\text{s}$ (典型值)	满量程步进至 $\pm 1\text{ LSB}$
	10	10	10	$\mu\text{s}$ (最大值)	
	2	2	2	$\mu\text{s}$ (典型值)	512 LSB步进建立时间
压摆率	5	5	5	V/ $\mu\text{s}$ (典型值)	
数模转换毛刺能量	8	8	8	nV-sec(典型值)	
毛刺脉冲峰值幅度	25	25	25	mV(最大值)	
通道间隔离度	80	80	80	dB(典型值)	
DAC间串扰	8	8	8	nV-sec(典型值)	
数字串扰	2	2	2	nV-sec(典型值)	
数字馈通	2	2	2	nV-sec(典型值)	输入总线对DAC输出的影响
输出噪声(0.1 Hz至10 Hz)	0.1	0.1	0.1	LSB p-p(典型值)	
输出噪声(0.1 Hz至100 Hz)	45	45	45	$\mu\text{V rms}$ (最大值)	
1/f 转折频率	1	1	1	kHz(典型值)	
输出噪声谱密度	60	60	60	nV/ $\sqrt{\text{Hz}}$ (典型值)	10 kHz时测量
完整的系统输出噪声谱密度 <sup>2</sup>	80	80	80	nV/ $\sqrt{\text{Hz}}$ (典型值)	10 kHz时测量

<sup>1</sup> 提供设计和特性保证；未经过生产测试。

<sup>2</sup> 包括来自集成基准电压缓冲、16位DAC和输出放大器的噪声。

# AD5764

## 时序特性

$AV_{DD} = 11.4\text{ V至}16.5\text{ V}$ 、 $AV_{SS} = -11.4\text{ V至}-16.5\text{ V}$ 、 $AGND_x = DGND = REFGND = PGND = 0\text{ V}$ ； $REFAB = REFCD = 5\text{ V}$ ； $DV_{CC} = 2.7\text{ V至}5.25\text{ V}$ 、 $R_{LOAD} = 10\text{ k}\Omega$ 、 $CL = 200\text{ pF}$ 。除非另有说明，所有规格均为 $T_{MIN}$ 至 $T_{MAX}$ 。

表4

参数 <sup>1,2,3</sup>	在 $T_{MIN}$ 、 $T_{MAX}$ 时的限值	单位	描述
$t_1$	33	ns(最小值)	SCLK周期时间
$t_2$	13	ns(最小值)	SCLK高电平时间
$t_3$	13	ns(最小值)	SCLK低电平时间
$t_4$	13	ns(最小值)	$\overline{SYNC}$ 下降沿到SCLK下降沿建立时间
$t_5^4$	13	ns(最小值)	24 <sup>th</sup> SCLK下降沿到上升沿
$t_6$	90	ns(最小值)	$\overline{SYNC}$ 最小高电平时间
$t_7$	2	ns(最小值)	数据建立时间
$t_8$	5	ns(最小值)	数据保持时间
$t_9$	1.7	$\mu\text{s}$ (最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿(所有DAC更新)
	480	ns(最小值)	$\overline{SYNC}$ 上升沿到 $\overline{LDAC}$ 下降沿(单个DAC更新)
$t_{10}$	10	ns(最小值)	$\overline{LDAC}$ 低电平脉冲宽度
$t_{11}$	500	ns(最大值)	$\overline{LDAC}$ 下降沿到DAC输出响应时间
$t_{12}$	10	$\mu\text{s}$ (最大值)	DAC输出建立时间
$t_{13}$	10	ns(最小值)	$\overline{CLR}$ 低电平脉冲宽度
$t_{14}$	2	$\mu\text{s}$ (最大值)	$\overline{CLR}$ 脉冲启动时间
$t_{15}^{5,6}$	25	ns(最大值)	SCLK上升沿到SDO有效
$t_{16}$	13	ns(最小值)	$\overline{SYNC}$ 上升沿到SCLK下降沿
$t_{17}$	2	$\mu\text{s}$ (最大值)	$\overline{SYNC}$ 上升沿到DAC输出响应时间( $\overline{LDAC} = 0$ )
$t_{18}$	170	ns(最小值)	$\overline{LDAC}$ 下降沿到 $\overline{SYNC}$ 上升沿

<sup>1</sup> 提供设计和特性保证；未经过生产测试。

<sup>2</sup> 所有输入信号均指定 $t_r = t_f = 5\text{ ns}$ (10%到90%的 $DV_{CC}$ )并从1.2 V电平起开始计时。

<sup>3</sup> 参见图2、图3和图4。

<sup>4</sup> 只限独立运行模式。

<sup>5</sup> 用图5中的负载电路测量。

<sup>6</sup> 只限菊花链连接模式。

时序图

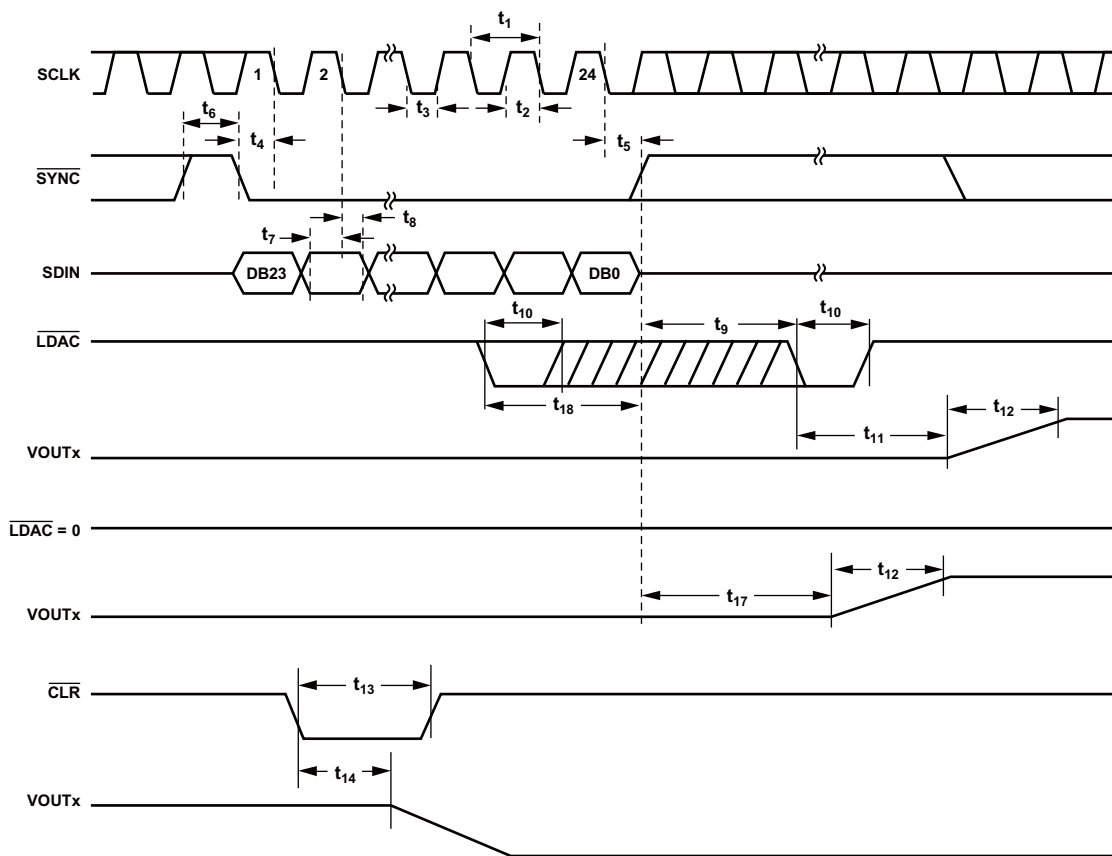


图2. 串行接口时序图

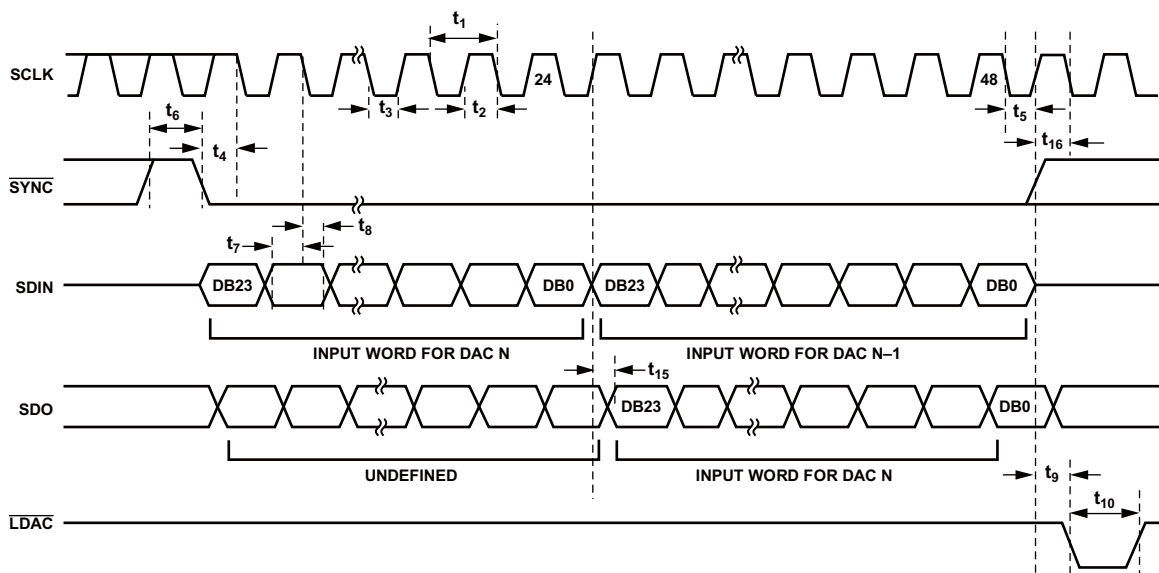


图3. 菊花链时序图

# AD5764

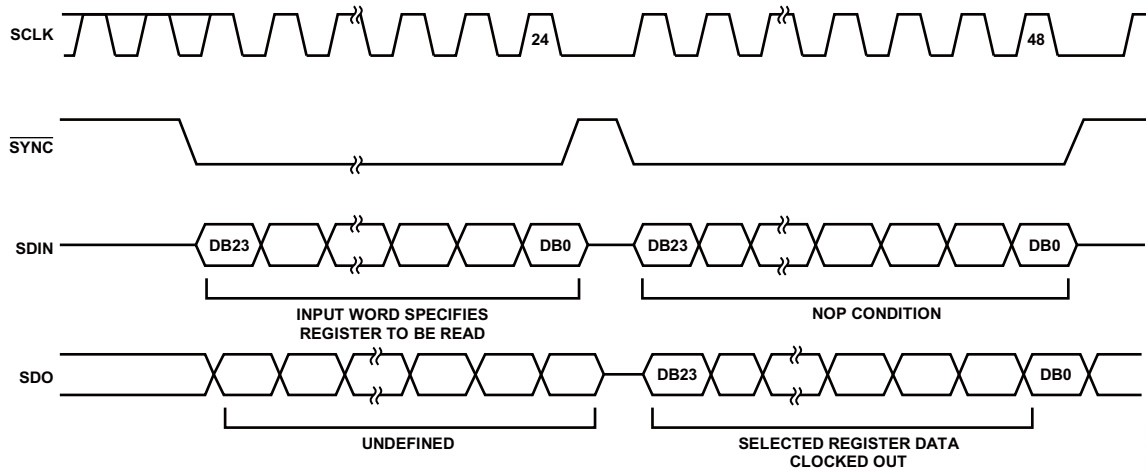


图4. 回读时序图

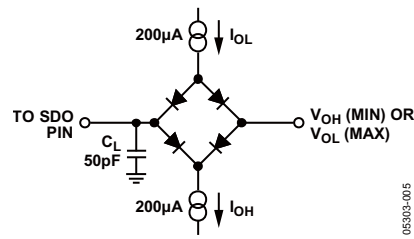


图5. SDO时序图负载电路



## 绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。高达100 mA的瞬态电流不会造成SCR闩锁。

表5

参数	额定值
$AV_{DD}$ 至AGNDx, DGND	-0.3 V至+17 V
$AV_{SS}$ 至AGNDx, DGND	+0.3 V至-17 V
$DV_{CC}$ 至DGND	-0.3 V至+7 V
数字输入至DGND	-0.3 V至 $DV_{CC} + 0.3$ V或7 V (以较小者为准)
数字输出至DGND	-0.3 V至 $DV_{CC} + 0.3$ V
REFAB、REFCD至AGNDx、PGND	-0.3 V至 $AV_{DD} + 0.3$ V
VOUTA、VOUTB、VOUTC、VOUTD 至AGNDx	$AV_{SS}$ 至 $AV_{DD}$
AGND至DGND	-0.3 V至+0.3 V
工作温度范围 工业	-40°C至+85°C
存储温度范围	-65°C至+150°C
结温( $T_{j,max}$ )	150°C
32引脚TQFP	
$\theta_{JA}$ 热阻抗	65°C/W
$\theta_{JC}$ 热阻抗	12°C/W
引脚温度	JEDEC工业标准
焊接	J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定值，不意味着器件在这些或者任何其它超出本技术规格书的功能性操作章节里标明的条件下的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

### ESD警告



#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

## 引脚配置和功能描述

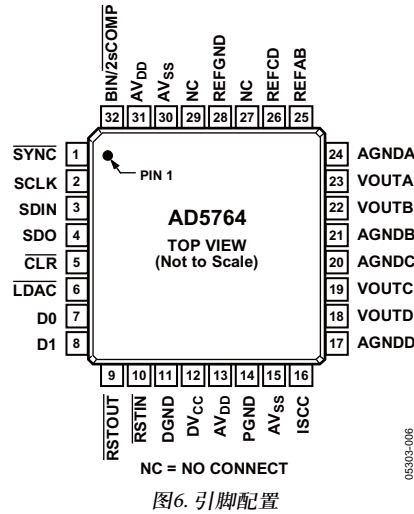


图6. 引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	描述
1	SYNC	低电平输入有效。这是串行接口的帧同步信号，当SYNC处于低电平时，数据在SCLK下降沿输入。
2	SCLK	Serial Clock Input. Data 串行时钟输入。数据在SCLK下降沿进入输入移位寄存器。工作时钟速率最高达30 MHz。
3	SDIN	串行数据输入。数据必须在SCLK的下降沿有效。
4	SDO	串行数据输出。在菊花链或回读模式中用于从串行寄存器中输出数据。
5	CLR	下降沿触发输入。置位此引脚可将数据寄存器设为0x0000。此逻辑输入端有个内部上拉元件。因此，此引脚可以保持浮空或默认为逻辑1状态。
6	LDAC	加载DAC。逻辑输入。用于更新数据寄存器和模拟输出。当永久接为低电平时，在SYNC的上升沿更新所寻址的数据寄存器。如果LDAC在写入周期保持高电平，DAC的输入移位寄存器会更新，但直到LDAC的下降沿才会更新输出。在此模式下，所有模拟输出都可以在LDAC的下降沿同时更新。LDAC引脚不能悬空。
7, 8	D0, D1	数字I/O端口。用户可以将这些引脚设为输入或者输出，通过串行端口配置及读取。当配置为输入时，这些引脚对DV <sub>CC</sub> 提供较弱的内部上拉电阻。当设置为输出时，D0和D1以DV <sub>CC</sub> 和DGND为参考。
9	RSTOUT	复位逻辑输出。这是用于复位电路的片内电压监控器输出。如果需要，它可用于控制其它系统器件。
10	RSTIN	复位逻辑输入。通过此输入，可从外部访问内部复位逻辑。在此输入端施加逻辑0会使DAC输出箝位至0 V。正常工作时，RSTIN应接至逻辑1。寄存器值保持不变。
11	DGND	数字地。
12	DV <sub>CC</sub>	数字电源。电压范围从2.7 V至5.25 V。
13, 31	AV <sub>DD</sub>	正模拟电源。电压范围从11.4 V至16.5 V。
14	PGND	模拟电路的地参考点。
15, 30	AV <sub>SS</sub>	负模拟电源。电压范围从-11.4 V至-16.5 V。
16	ISCC	实现引脚可编程短路电流的电阻连接。此引脚与连接到AGND的外部可选电阻配合使用，可设置输出放大器的短路电流。详情请参见设计特性部分。
17	AGNDD	DAC D输出放大器的地参考引脚。
18	VOUTD	DAC D的模拟输出电压。此引脚提供标称满量程输出范围为±10 V的缓冲输出。输出放大器可以直接驱动10 kΩ、200 pF负载。
19	VOUTC	DAC C的模拟输出电压。此引脚提供标称满量程输出范围为±10 V的缓冲输出。输出放大器可以直接驱动10 kΩ、200 pF负载。
20	AGNDC	DAC C输出放大器的地参考引脚。

引脚编号	引脚名称	描述
21	AGNDB	DAC B输出放大器的地参考引脚。
22	VOUTB	DAC B的模拟输出电压。提供标称满量程输出范围为±10 V的缓冲输出。输出放大器可以直接驱动10 kΩ、200 pF负载。
23	VOUTA	DAC A的模拟输出电压。提供标称满量程输出范围为±10 V的缓冲输出。输出放大器可以直接驱动10 kΩ、200 pF负载。
24	AGNDA	DAC A输出放大器的地参考引脚。
25	REFAB	通道A和通道B的外部基准电压输入。基准电压输入范围是1 V至7 V；可设置满量程输出电压。针对额定性能， $V_{REFIN} = 5 V$ 。
26	REFCD	通道C和通道D的外部基准电压输入。基准电压输入范围是1 V至7 V；可设置满量程输出电压。针对额定性能， $V_{REFIN} = 5 V$ 。
27, 29	NC	不连接。
28	REFGND	基准电压发生器和缓冲器的基准电压接地回路。
32	BIN/ $\overline{2sCOMP}$	决定DAC编码方式。此引脚硬连上应该与 $DV_{CC}$ 或DGND连接。与 $DV_{CC}$ 连接时，输入编码方式为偏移二进制。与DGND连接时，输入编码方式为二进制补码(参见表7和表8)。

## 典型工作特性

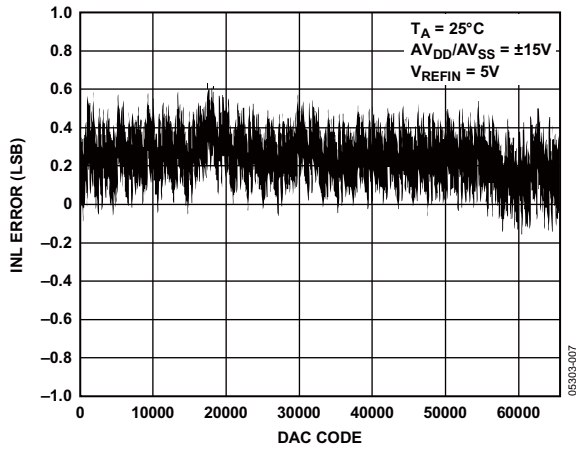


图7. 积分非线性误差与编码的关系,  $AV_{DD}/AV_{SS} = \pm 15 V$

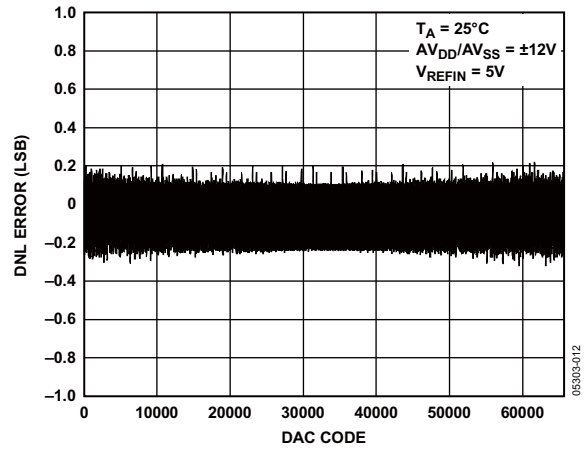


图10. 微分非线性误差与编码的关系,  $AV_{DD}/AV_{SS} = \pm 12 V$

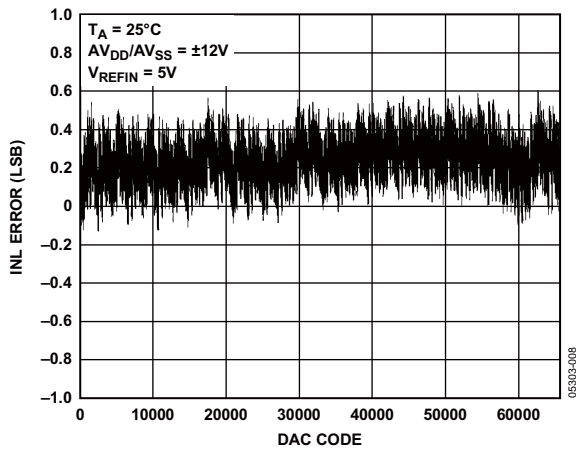


图8. 积分非线性误差与编码的关系,  $AV_{DD}/AV_{SS} = \pm 12 V$

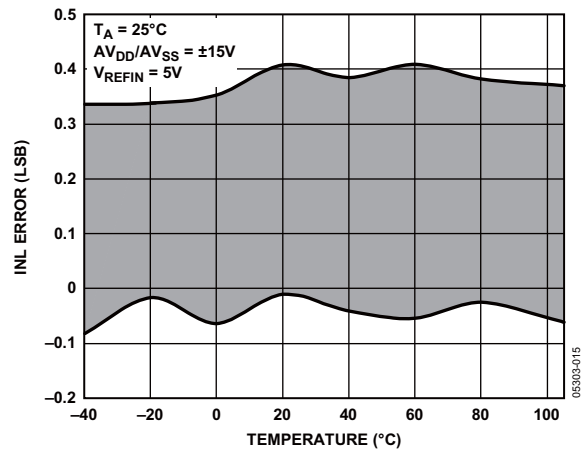


图11. 积分非线性误差与温度的关系,  $AV_{DD}/AV_{SS} = \pm 15 V$

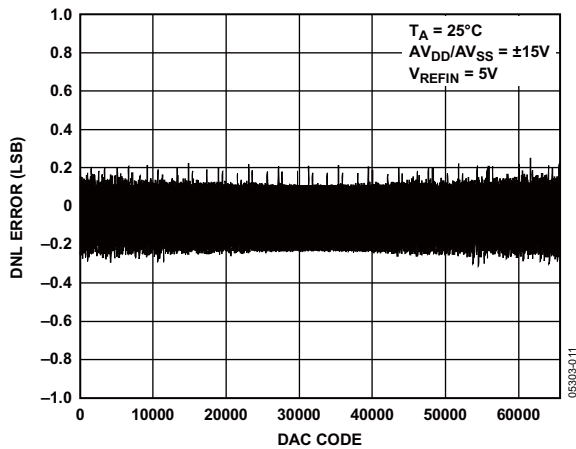


图9. 微分非线性误差与编码的关系,  $AV_{DD}/AV_{SS} = \pm 15 V$

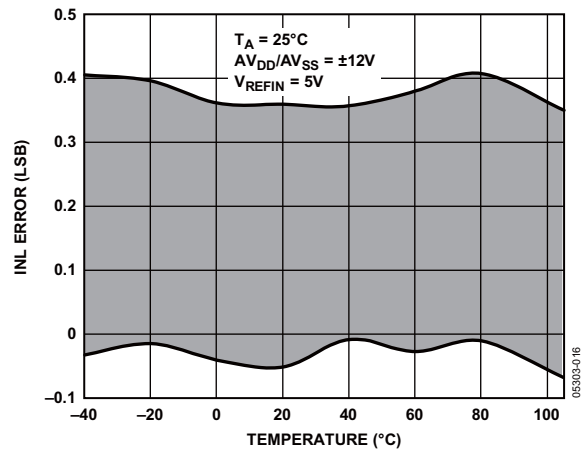


图12. 积分非线性误差与温度的关系,  $AV_{DD}/AV_{SS} = \pm 12 V$

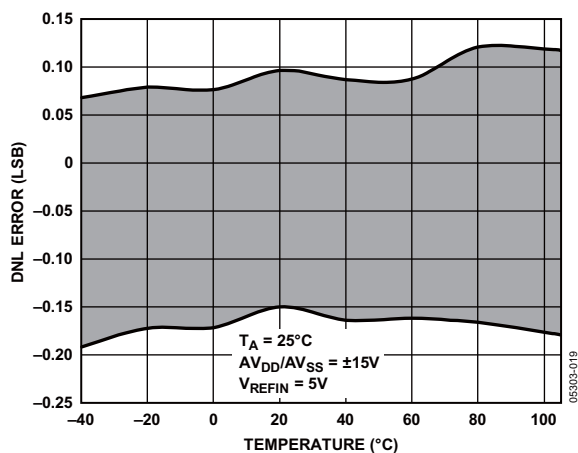


图13. 微分非线性误差与温度的关系,  $A_{V_{DD}}/A_{V_{SS}} = \pm 15\text{V}$

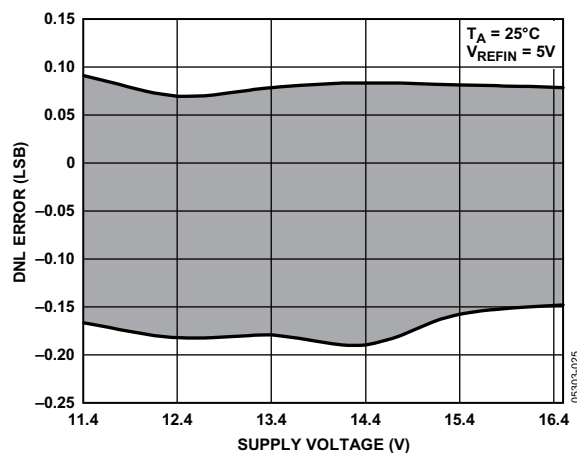


图16: 微分非线性误差与电源电压的关系

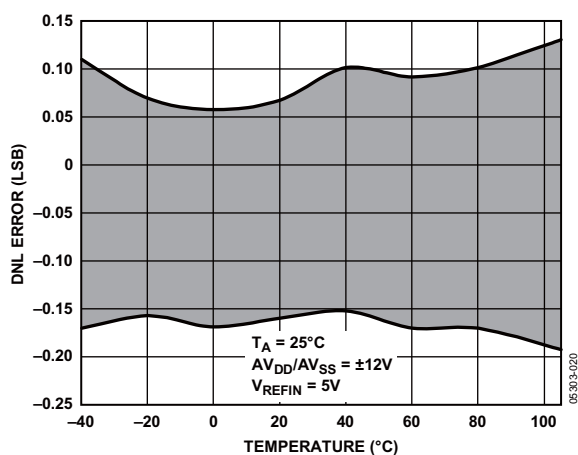


图14. 微分非线性误差与温度的关系,  $A_{V_{DD}}/A_{V_{SS}} = \pm 12\text{V}$

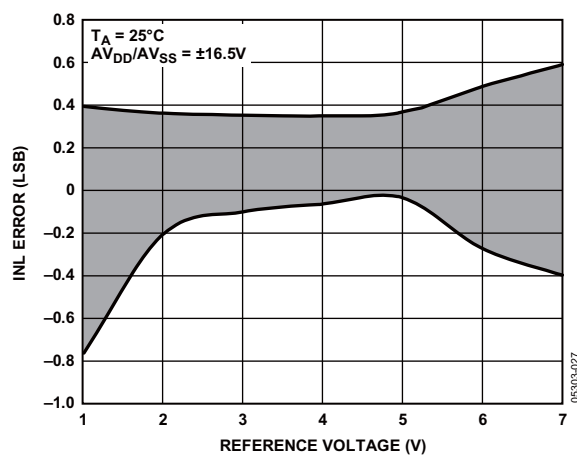


图17. 积分非线性误差与基准电压的关系,  $A_{V_{DD}}/A_{V_{SS}} = \pm 16.5\text{V}$

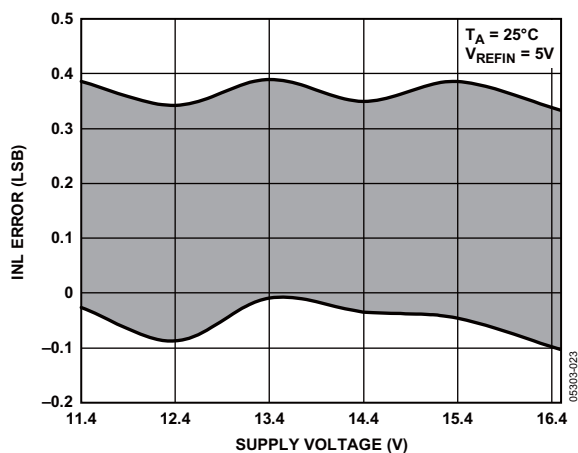


图15: 积分非线性误差与电源电压的关系

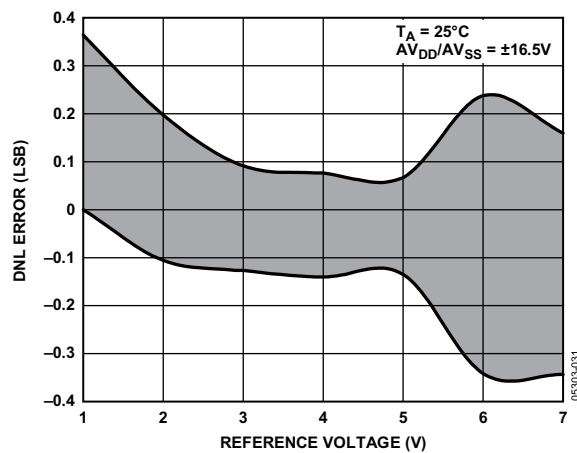


图18. 微分非线性误差与基准电压的关系,  $A_{V_{DD}}/A_{V_{SS}} = \pm 16.5\text{V}$

# AD5764

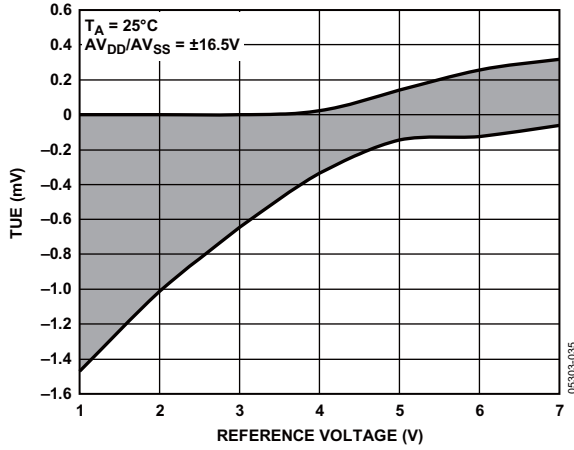


图19. 总非调整误差与基准电压的关系,  $AV_{DD}/AV_{SS} = \pm 16.5 V$

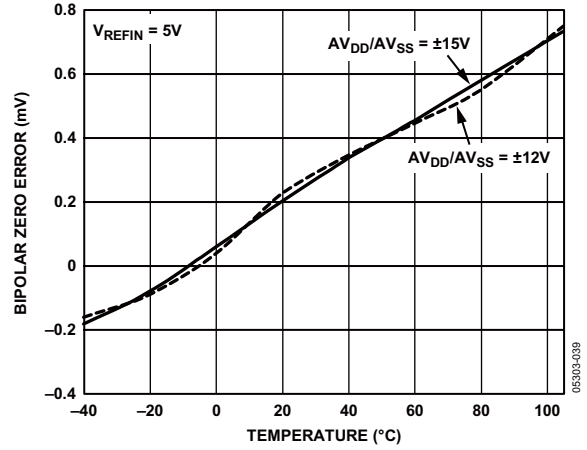


图22. 双极性零电平误差与温度的关系

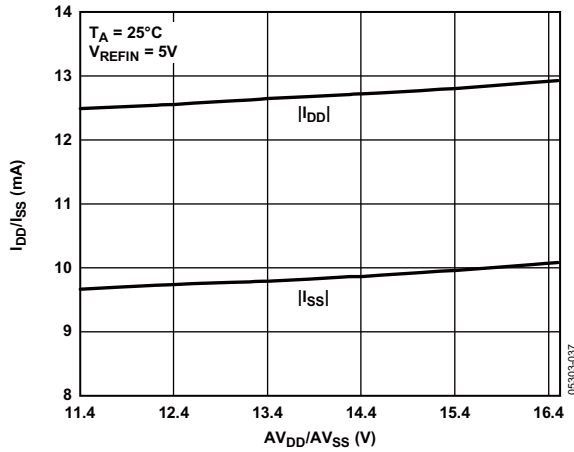


图20.  $I_{DD}/I_{SS}$  与  $AV_{DD}/AV_{SS}$  的关系

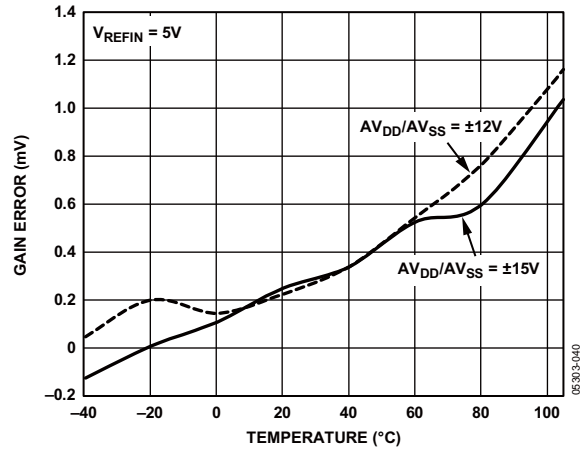


图23. 增益误差与温度的关系

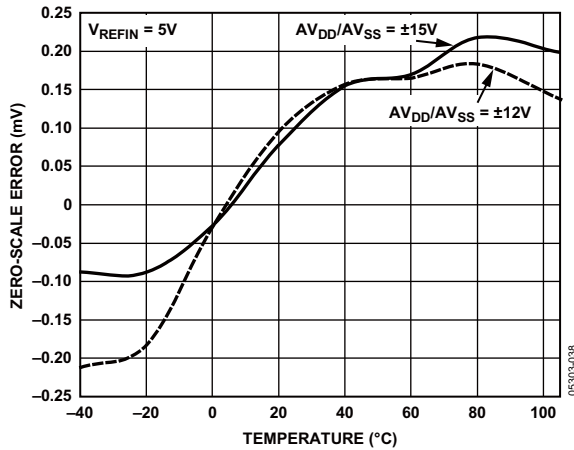


图21. 零电平误差与温度的关系

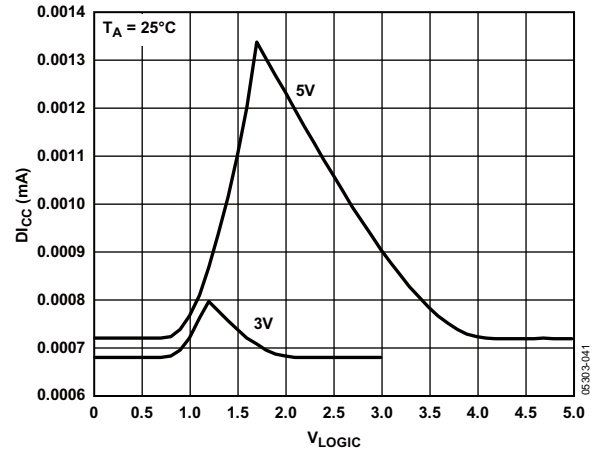


图24.  $DI_{CC}$  与逻辑输入电压的关系

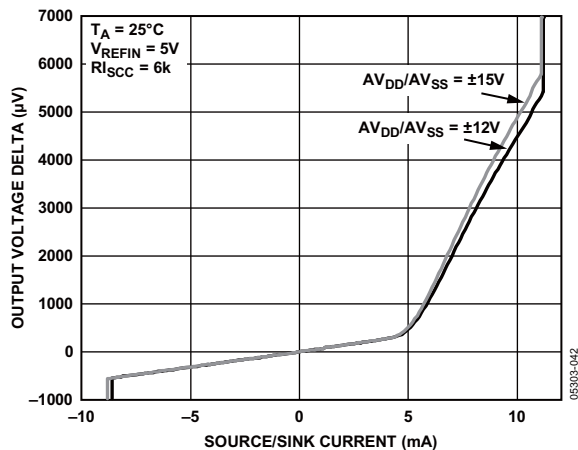


图25. 正满量程加载时输出放大器的吸电流与源电流能力

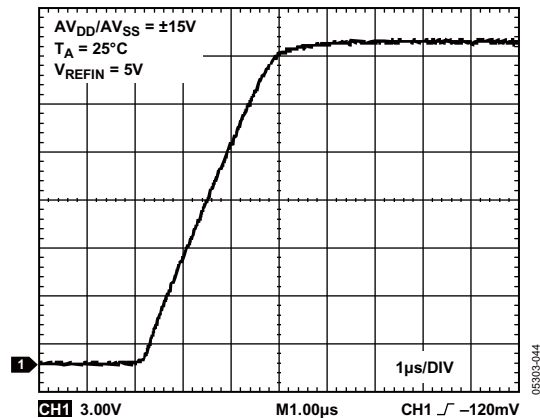


图27. 满量程建立时间

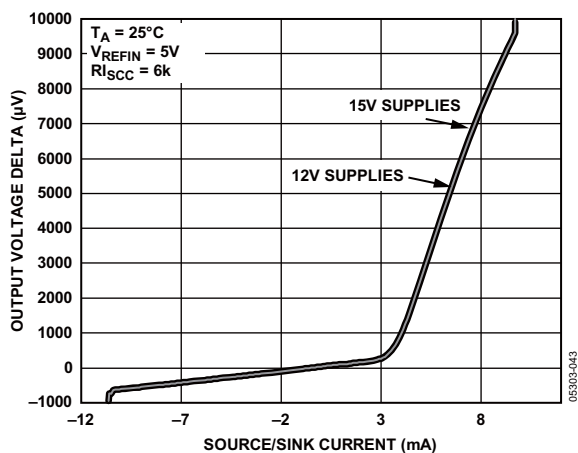


图26. 负满量程加载时输出放大器的吸电流与源电流能力

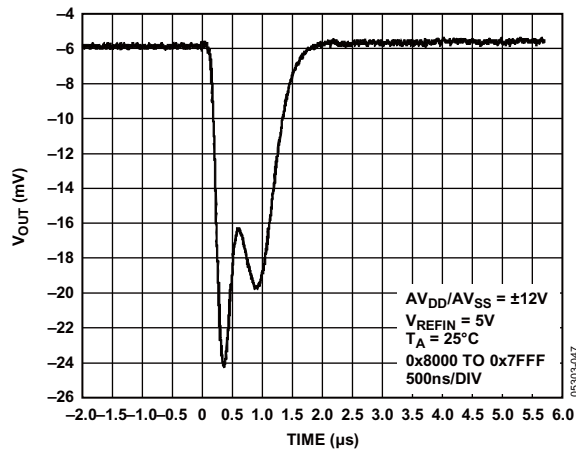


图28. 主编码转换毛刺能量,  $AV_{DD}/AV_{SS} = \pm 12\text{V}$

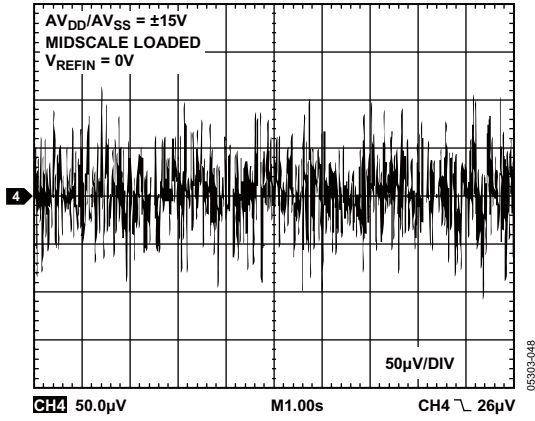


图29. 峰峰值噪声(100 kHz 带宽)

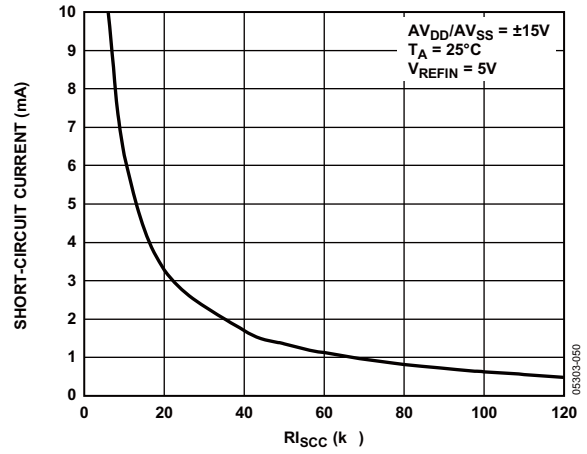


图31. 短路电流与 $R_{LSCC}$ 的关系

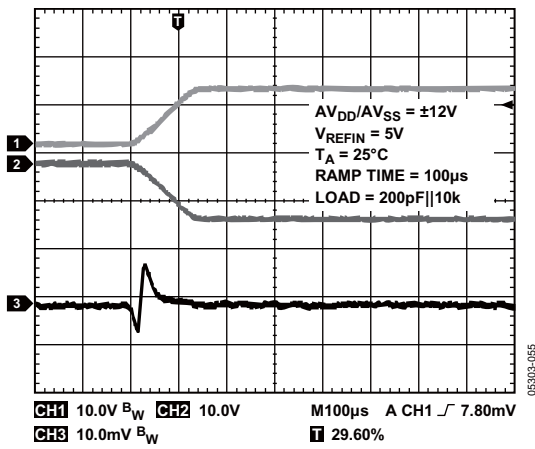


图30. 上电时 $V_{OUT}$ 与 $AV_{DD}/AV_{SS}$ 的关系



## 术语

### 相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性(INL)是指DAC输出与通过DAC传递函数端点的直线之间的最大偏差，单位为LSB。典型的INL与编码的关系如图7所示。

### 微分非线性(DNL)

微分非线性是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 $\pm 1$  LSB的额定微分非线性可确保单调性。此DAC可保证单调性。典型的DNL与编码的关系如图9所示。

### 单调性

对于不断增大的数字输入编码，如果输出增大或者保持不变，那么这个DAC就是单调的。AD5764在其整个工作温度范围内都保持单调。

### 双极性零电平误差

双极性零电平误差是当数据寄存器加载0x8000(偏移二进制编码)或者0x0000(二进制补码编码)时，模拟输出值与0 V理想半量程输出值的偏差。双极性零电平误差与温度的关系如图22所示。

### 双极性零电平温度系数(TC)

双极性零电平温度系数衡量双极性零电平误差随温度变化的情况，用ppm FSR/°C表示。

### 满量程误差

满量程误差衡量将满量程码载入数据寄存器时的输出误差。理想情况下，输出电压应为 $2 \times V_{REF} - 1$  LSB。满量程误差用满量程范围的百分比表示。

### 负满量程误差/零电平误差

负满量程误差是0x0000(偏移二进制编码)或者0x8000(二进制补码)加载到数据寄存器时，DAC输出电压的误差。理想情况下，输出电压应为 $-2 \times V_{REF}$ 。零电平误差与温度的关系如图21所示。

### 输出电压建立时间

输出电压建立时间是针对满量程输入变化，输出达到某一特定电平所需要的时间量。

### 压摆率

器件的压摆率是对输出电压变化速率的限制。电压输出DAC的电压转换速度通常受限于输出端所用放大器的压摆率。压摆率是输出信号10%至90%之间的测量值，用V/ $\mu$ s表示。

### 增益误差

增益误差是衡量DAC量程误差的指标。它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。增益误差与温度的关系如图23所示。

### 总非调整误差

总非调整误差(TUE)衡量包括所有误差在内的总输出误差。总非调整误差与基准电压的关系如图19所示。

### 零电平误差温度系数

零电平误差温度系数衡量零电平误差随温度的变化，用ppm FSR/°C表示。

### 增益误差温度系数(TC)

增益误差温度系数(TC)衡量增益误差随温度的变化，用ppm FSR/°C表示。

### 数模转换毛刺能量

数模转换毛刺脉冲是数据寄存器中的编码输入变化时注入到模拟输出的脉冲。在数字输入编码主进位发生1LSB转换(0x7FFF到0x8000)时测量，它一般定义为以nV-秒为单位的毛刺面积，参见图28。

### 数字馈通

数字馈通衡量从DAC的数字输入注入模拟输出的脉冲，此时DAC输出没有更新。单位为nV-秒，测量数据总线上发生满量程编码变化时的情况，即从全0至全1，反之亦然。

### 电源电压灵敏度

电源电压灵敏度表示DAC的输出受电源电压变化影响的程度。

### 直流串扰

直流串扰是一个DAC输出电平响应另一个DAC输出变化发生的直流变化。它在一个DAC满量程输出变化时监控另一个DAC的输出，用LSB表示。

### DAC间串扰

DAC间串扰是数字编码变化引起一个DAC输出发生变化，进而引起另一个DAC输出的毛刺脉冲，包括数字和模拟串扰。它的测量方法是，向一个DAC加载满量程编码变化(全0至全1，反之亦然)，保持LDAC为低电平，同时监控另一个DAC的输出。毛刺的能量用nV-秒表示。

### 通道间隔离

通道间隔离是一个DAC输出端信号幅度与另外一个DAC的基准电压输入端正弦波信号的比率，单位为dB。

### 数字串扰

数字串扰衡量从一个DAC的数字输入注入另一个DAC模拟输出的脉冲，此时DAC输出没有更新。单位为nV-秒，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

## 工作原理

AD5764是一款四通道、16位、串行输入、双极性电压输出DAC，采用±11.4 V至±16.5 V电源供电，缓冲输出电压最高达±10.5263 V。数据通过三线式串行接口，以24位字格式写入AD5764。该器件还提供SDO引脚，可以用于菊花链配置或回读。

AD5764集成上电复位电路，确保数据寄存器上电加载0x0000。AD5764具有可通过串行接口设置的数字I/O端口、片内基准电压缓冲和每个通道的数字增益和失调寄存器。

### DAC架构

AD5764的架构包括一个16位、分段R-2R电流模式DAC。DAC部分的简要电路图如图32所示。

16位数据字的4个MSB位解码后，可驱动E1到E15的15个开关。每个开关通过15个匹配电阻之一连接到AGNDx或者IOUT。剩余12位数据字驱动12位R-2R梯形网络的开关S0到S11。

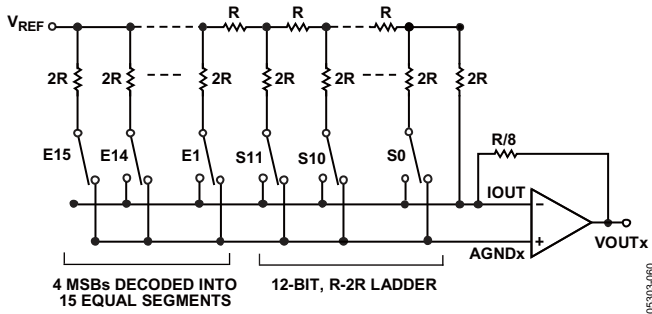


图32 DAC梯形结构

### 基准电压缓冲

AD5764采用外部基准电压源。基准输入(REFAB和REFCD)的输入范围最高达7 V。利用该输入电压，可提供DAC内核的缓冲正、负基准电压。正基准电压由下式得出

$$+V_{REF} = 2 \times V_{REF}$$

负基准电压则为

$$-V_{REF} = -2 \times V_{REF}$$

正基准电压和负基准电压(以及增益寄存器的值)决定DAC的输出范围。

### 串行接口

AD5764由多功能三线式串行接口控制，能够以最高30 MHz的时钟速率工作，并与SPI®、QSPI™、MICROWIRE™、DSP接口标准兼容。

### 输入移位寄存器

输入移位寄存器为24位宽。数据以24位字MSB优先的格式，在串行时钟输入(SCLK)的控制之下，加载到器件中。输入移位寄存器包括一个读/写位、三个寄存器选择位、三个DAC地址位和16位数据位，如表9所示。工作时序图如图2所示。

在上电时，数据寄存器写入零代码(0x0000)，输出端通过低阻抗路径箝位至0V。输出端此时通过置位LDAC或CLR可以更新为零代码，相应的输出电压取决于BIN/2sCOMP引脚的状态。如果BIN/2sCOMP引脚接至DGND，数据编码为二进制补码，则输出更新为0V。如果BIN/2sCOMP引脚接至DV<sub>CC</sub>，数据编码为偏移二进制码，则输出更新为负满量程。上电时将CLP引脚保持为低电平，可以使输出在上电时加载零代码。

### 独立工作

串行接口可以采用连续式和非连续式串行时钟工作。如果SYNC在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。SYNC的第一个下降沿启动写周期。SCLK必须在24个时钟下降沿后，才能将SYNC重新拉高。如果在第24个SCLK下降沿之前SYNC拉高，写入的数据无效。如果SYNC拉高前有超过24个SCLK下降沿，输入数据同样无效。寻址的输入移位寄存器在SYNC的上升沿更新。若需进行其他串行传输，必须将SYNC再次拉低。串行传输结束后，数据自动从输入移位寄存器传送到寻址寄存器。

当数据传送至寻址DAC所选的寄存器后，数据寄存器和输出端可以通过将LDAC置为低电平来更新。

## 菊花链工作模式

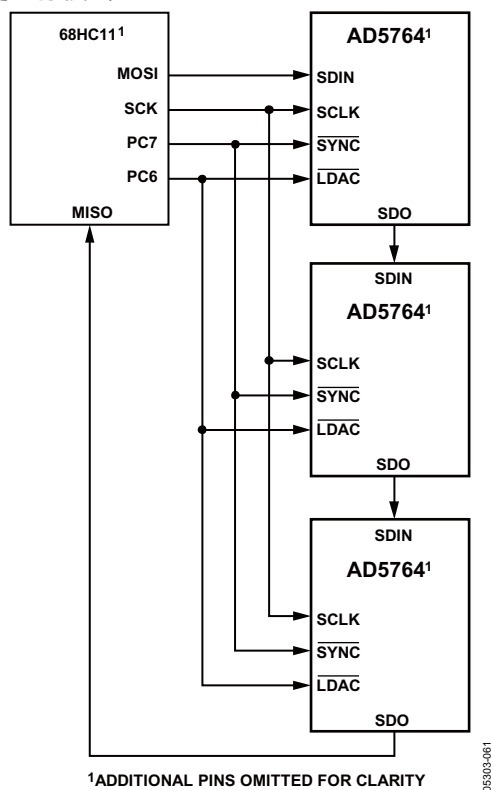


图33.以菊花链方式连接AD5764

对于包含数个器件的系统，可利用SDO引脚通过菊花链方式将多个器件连接起来。菊花链模式对于系统诊断和降低串行接口线路数很有用。SYNC的第一个下降沿启动写周期。当SYNC为低电平时，SCLK不断施加到输入移位寄存器。如果所施加的时钟脉冲超过24个，数据将移出输入移位寄存器并出现在SDO线上。此数据在SCLK上升沿输出，在SCLK的下降沿有效。通过把第一个器件的SDO连接到链中下一个器件的SDIN输入端，就形成了多器件接口。系统中的每个器件需要24个时钟脉冲。因此，时钟周期的总数必须为 $24N$ ，其中 $N$ 为链中AD5764的总数。当所有设备的串行传输完成，SYNC变为高电平。这样可以锁存菊花链中各器件的输入数据，防止额外的数据进入输入移位寄存器。串行时钟可以为连续时钟或者选通时钟。

如果SYNC在正确的时钟周期数内保持为低电平，只能使用连续的SCLK时钟源。在选通时钟模式下，必须采用包含确切时钟周期数的突发时钟，在时钟周期结束后必须将SYNC置为高电平来锁存数据。

## 回读操作

在启动回读操作前，必须向功能寄存器进行写操作，并通过设置SDO禁用位，从而使能SDO引脚。回读模式通过在串行输入移位寄存器写操作时设置 $R/\overline{W}$ 位为1来调用。当

$R/\overline{W}=1$ 时，A2到A0位以及REG2位、REG1位和REG0位，用于选择所要读取的寄存器。写序列中其余的数据位则与之无关。在下次SPI写操作时，SDO输出端的数据包含之前寻址寄存器的数据。当读取单个寄存器时，可以使用NOP命令通过SDO从选定的寄存器输出数据。图4中的回读图显示了回读顺序。例如，回读AD5764通道A的微调增益寄存器时，执行如下操作：

1. 将 $0xA0XXXX$ 写入AD5764输入移位寄存器。这将AD5764配置为回读模式，同时选中通道A的微调增益寄存器。注意，从DB15至DB0的所有数据位都是无关位。
2. 之后进行第二次写操作，用NOP命令，写入 $0x00XXXX$ 。在此写操作中，微调增益寄存器的数据通过SDO线路输出，即输出的数据包含微调增益寄存器DB5位到DB0位的数据。

## 通过LDAC同时更新

根据SYNC和LDAC的状态，在数据送入DAC的输入寄存器之后，可通过两个方法来更新数据寄存器和DAC的输出。

## DAC单独更新

在此模式下，当数据进入输入移位寄存器时LDAC要保持为低电平。寻址的DAC输出在SYNC的上升沿更新。

## 同时更新所有的DAC

在此模式下，当数据进入输入移位寄存器时LDAC要保持为高电平。在LDAC置为高电平后，任何时候都可以通过将SYNC置为低电平来更新所有DAC的输出。此时在LDAC的下降沿进行更新。

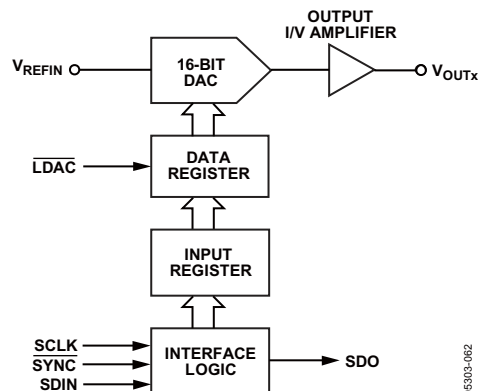


图34.单个DAC通道输入加载电路的简化串行接口

# AD5764

## 传递函数

表7及表8显示针对偏移二进制和二进制补码两种数据编码，AD5764在理想情况下输入编码与输出电压的关系。

**表7.理想情况下输出电压与输入编码之间的关系—偏移二进制数据编码**

数字输入				模拟输出
MSB	LSB			VOUTx
1111	1111	1111	1111	+2 V <sub>REF</sub> × (32,767/32,768)
1000	0000	0000	0001	+2 V <sub>REF</sub> × (1/32,768)
1000	0000	0000	0000	0 V
0111	1111	1111	1111	-2 V <sub>REF</sub> × (1/32,768)
0000	0000	0000	0000	-2 V <sub>REF</sub> × (32,767/32,768)

**表8.理想情况下输出电压与输入编码之间的关系—二进制补码数据编码**

数字输入				模拟输出
MSB	LSB			VOUTx
0111	1111	1111	1111	+2 V <sub>REF</sub> × (32,767/32,768)
0000	0000	0000	0001	+2 V <sub>REF</sub> × (1/32,768)
0000	0000	0000	0000	0 V
1111	1111	1111	1111	-2 V <sub>REF</sub> × (1/32,768)
1000	0000	0000	0000	-2 V <sub>REF</sub> × (32,767/32,768)

**表9.输入移位寄存器位图**

MSB								LSB
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15:DB0
R/W	0	REG2	REG1	REG0	A2	A1	A0	数据

**表10 输入移位寄存器位功能**

位	描述			
R/W	表示对寻址寄存器的读或写操作。			
REG2, REG1, REG0	与地址位配合使用，确定是否对数据寄存器、失调寄存器、粗调增益寄存器、微调增益寄存器和功能寄存器进行读或写操作。			
	REG2	REG1	REG0	功能
	0	0	0	功能寄存器
	0	1	0	数据寄存器
	0	1	1	粗调增益寄存器
	1	0	0	微调增益寄存器
	1	0	1	失调寄存器
A2, A1, A0	这些位用于DAC通道解码			
	A2	A1	A0	通道地址
	0	0	0	DAC A
	0	0	1	DAC B
	0	1	0	DAC C
	0	1	1	DAC D
	1	0	0	所有DAC
数据	数据位			

AD5764输出电压表示为

$$V_{OUT} = -2 \times V_{REFIN} + 4 \times V_{REFIN} \left[ \frac{D}{65,536} \right]$$

其中:

D是DAC所加载编码的十进制等效值。

V<sub>REFIN</sub>是REFAB/REFCD引脚上施加的基准电压。

## 异步清零(CLR)

CLR是负沿触发的清零，允许输出清零为0 V(二进制补码编码)或负满量程(偏移二进制编码)。必须将CLR保持一段时间的低电平(参见图2)才能完成操作。当CLR信号变回高电平后，输出会保持为清零值，直到设置新值。如果在上电时，CLR为0 V，那么DAC的输出会更新为清零值。AD5764同样可以通过软件由写命令0x04XXXX启动清零操作。

## 功能寄存器

功能寄存器通过设置三个REG位为000来寻址。根据写入地址位和数据位的值来决定所寻址的功能寄存器。通过功能寄存器实现的功能如表11和表12所示。

**表11. 功能寄存器选项**

REG2	REG1	REG0	A2	A1	A0	DB15:DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	NOP, 数据=无关						
0	0	0	0	0	1	无关	局部接地失调整	D1方向	D1值	D0方向	D0值	SDO禁用
0	0	0	1	0	0	清零, 数据=无关						
0	0	0	1	0	1	加载, 数据=无关						

**表12. 功能寄存器选项说明**

选项描述	选项描述
NOP	用于回读操作的无操作指令。
局部接地失调整	由用户设置使能局部接地失调整功能。由用户清零禁用局部接地失调整功能(默认)。详情请参见设计特性部分。
D0/D1方向	由用户设置使D0/D1作为输出。由用户清零使D0/D1作为输入(默认)。详情请参见设计特性部分。
D0/D1值	I/O端口状态位。当配置为输出时, 写入这些位置的逻辑值决定D0和D1引脚的逻辑输出。当I/O端口作为输入时, 这些位表示D0和D1引脚的状态。当使能为输入时, 这些位在写操作时无关。
SDO禁用	由用户设置来禁用SDO输出。由用户清零来使能SDO输出(默认)。
清零	在二进制补码模式和二进制负满量程模式下, 寻址此功能会将DAC输出复位到0V。
加载	寻址此功能会更新数据寄存器和相应的模拟输出。

## 数据寄存器

数据寄存器通过设置三个REG位为010来寻址。根据DAC地址位选择要进行数据传输的DAC通道(参见表10)。数据位为DB15位到DB0位, 如表13所示。

**表13. 设置数据寄存器位图**

REG2	REG1	REG0	A2	A1	A0	DB15:DB0
0	1	0	DAC地址			16位DAC数据

## 粗调增益寄存器

粗调增益寄存器通过设置三个REG位为011来寻址。根据DAC地址位选择要进行数据传输的DAC通道(参见表10)。粗调寄存器是一个双位寄存器, 允许用户选择各DAC的输出范围, 如表14和表15所示。

**表14. 设置粗调增益寄存器位图**

REG2	REG1	REG0	A2	A1	A0	DB15:DB2	DB1	DB0
0	1	1	DAC地址			无关	CG1	CG0

**表15. 输出范围选择**

输出范围	CG1	CG0
±10 V (默认值)	0	0
±10.2564 V	0	1
±10.5263 V	1	0

# AD5764

## 微调增益寄存器

微调增益寄存器通过设置三个REG位为100来寻址。根据DAC地址位选择要进行数据传输的DAC通道(参见表10)。微调增益寄存器是6位寄存器,允许用户在-32 LSBs至+31 LSBs范围内,按1LSB增量调整各DAC通道的增益,如表16和表17所示。可以对正满量程点和负满量程点同时进行调整,每个点以 $\frac{1}{2}$ 步长调整。微调增益寄存器编码使用二进制补码。

表16. 设置微调增益寄存器位图

REG2	REG1	REG0	A2	A1	A0	DB15:DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	0	DAC地址			无关	FG5	FG4	FG3	FG2	FG1	FG0

表17. 微调增益寄存器选项

增益调整	FG5	FG4	FG3	FG2	FG1	FG0
+31 LSBs	0	1	1	1	1	1
+30 LSBs	0	1	1	1	1	0
...	...	...	...	...	...	...
+2 LSBs	0	0	0	0	1	0
+1 LSB	0	0	0	0	0	1
无调整(默认)	0	0	0	0	0	0
-1 LSB	1	1	1	1	1	1
-2 LSBs	1	1	1	1	1	0
...	...	...	...	...	...	...
-31 LSBs	1	0	0	0	0	1
-32 LSBs	1	0	0	0	0	0

表18. 设置失调寄存器位图

REG2	REG1	REG0	A2	A1	A0	DB15:DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	0	1	DAC地址			无关	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0

表19. AD5764失调寄存器选项

失调调整	OF7	OF6	OF5	OF4	OF3	OF2	OF1	OF0
+15.875 LSBs	0	1	1	1	1	1	1	1
+15.75 LSBs	0	1	1	1	1	1	1	0
...	...	...	...	...	...	...	...	...
+0.25 LSBs	0	0	0	0	0	0	1	0
+0.125 LSBs	0	0	0	0	0	0	0	1
无调整(默认)	0	0	0	0	0	0	0	0
-0.125 LSBs	1	1	1	1	1	1	1	1
-0.25 LSBs	1	1	1	1	1	1	1	0
...	...	...	...	...	...	...	...	...
-15.875 LSBs	1	0	0	0	0	0	0	1
-16 LSBs	1	0	0	0	0	0	0	0

## 失调和增益调整成功范例

根据微调增益寄存器和失调寄存器部分的内容，下面的成功范例展示了如何使用AD5764的功能来消除失调和增益误差。由于AD5764是经过出厂校准的，失调和增益误差应该可以忽略。然而，AD5764所在的系统可引入误差；例如，电压基准值不等于5 V就会引入增益误差。假设输出范围为 $\pm 10$  V，并且使用二进制补码的数据编码方式。

### 消除失调误差

AD5764能够在 $-4.88$  mV至 $+4.84$  mV范围内，以16位LSB的 $\frac{1}{8}$ 步长消除失调误差。

计算失调调整的步长。

$$\text{失调调整步长} = \frac{20}{2^{16} \times 8} = 38.14 \mu\text{V}$$

通过将数据寄存器设置为0x0000，并测量所产生的输出电压来测量失调误差。对于本例，测量值为 $614 \mu\text{V}$ 。

计算这个值所需的失调调整步数。

$$\text{步数} = \frac{\text{Measured Offset Value}}{\text{Offset Step Size}} =$$

$$\frac{614 \mu\text{V}}{38.14 \mu\text{V}} = 16 \text{步}$$

测得的失调误差为正值，因此，需要进行16步负调整。失调寄存器为八位宽，编码为二进制补码。所需的失调寄存器值可以按如下方式计算：

将调整值转换为二进制：00010000。

通过反转所有位并加1可以将这个值转换为负二进制补码数，得到11110000，失调寄存器应设为这个值。

注意，在正失调调整情况下不必进行此二进制补码转换。要设置的失调寄存器值就是以二进制表示的调整值。

### 消除增益误差

AD5764能够在 $-9.77$  mV至 $+9.46$  mV范围内，以16位LSB的 $\frac{1}{2}$ 步长消除负满量程输出的增益误差。

计算增益调整的步长。

$$\text{增益调整步长} = \frac{20}{2^{16} \times 2} = 152.59 \mu\text{V}$$

通过将数据寄存器设置为0x8000，并测量所产生的输出电压值来测量增益误差。增益误差是该值与 $-10$  V之间的差值。

对于本例，增益误差为 $-1.2$  mV。

计算此值需要进行多少步增益调整。

$$\text{步数} = \frac{\text{Measured Gain Value}}{\text{Gain Step Size}} =$$

$$\frac{1.2 \text{mV}}{152.29 \mu\text{V}} = 8 \text{步}$$

测得的增益误差为负值(幅度)；因此，需要进行8步正调整。增益寄存器为6位宽，编码为二进制补码，所需的增益寄存器值可以按如下方式确定：

将调整值转换为二进制：001000。

要设置的增益寄存器值就是此二进制数。

## 设计特性

### 模拟输出控制

在很多工业过程控制应用中，输出电压在上电和掉电条件下可控至关重要。当电源电压发生变化时，VOUTx引脚通过一个低阻抗路径箝位至0 V。为避免此时输出放大器的输出短路变为0 V，传输门G1也会打开(参见图35)。这种状况会一直持续到电源稳定下来并向数据寄存器写入一个有效字。此时，G2打开，G1闭合。通过复位逻辑( $\overline{\text{RSTIN}}$ )控制输入，也可以从外部对两个传输门进行控制。例如，如果在关断或掉电时， $\overline{\text{RSTIN}}$  RSTIN输入信号为低电平会打开G1闭合G2。相反地，片内电压检测器输出由电池监控芯片驱动，用户也可以利用( $\overline{\text{RSTIN}}$ )来控制系统的其它部分。基本的传输门的功能如图35所示。

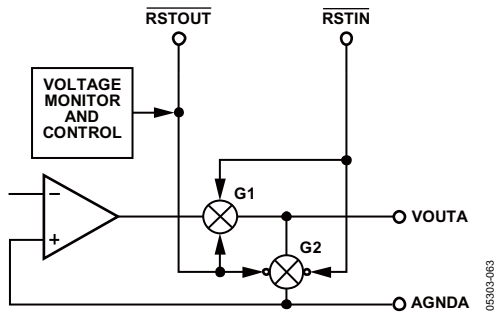


图35. 模拟输出控制电路

### 数字失调和增益控制

AD5764集成了数字失调调整功能，其调整范围为 $\pm 16$  LSB，分辨率为0.125 LSB。用户可以使用粗调增益寄存器调整AD5764的满量程输出范围。可以通过设置实现 $\pm 10$  V、 $\pm 10.2564$  V和 $\pm 10.5263$  V的满量程输出范围。同时也提供增益微调。

### 可编程短路保护

输出放大器的短路电流可以通过在ISCC引脚与PGND之间插入外部电阻来设置。可编程电流范围为500  $\mu$ A至10 mA，相应的电阻范围是120 k $\Omega$ 至6 k $\Omega$ 。电阻值通过下式计算：

$$R = \frac{60}{I_{SC}}$$

如果ISCC引脚悬空，短路电流限值默认为5 mA。注意，当驱动容性负载时，将短路电流限制为很小的值时可能会影响输出的压摆率；因此，所设的短路电流值应考虑所驱动的容性负载大小。

### 数字I/O端口

AD5764包含2位数字I/O端口(D1和D0)。这两位可以独立地配置为输入或输出，可驱动或通过串行接口读回其值。I/O端口信号以DV<sub>CC</sub>和DGND为基准。配置为输出时，可用作多路复用器的控制信号，或用于控制系统中的其它校准电路。配置为输入时，以限制开关为例，其逻辑信号可以接到D0和D1并通过数字接口读回。

### 局部接地失调整

AD5764集成局部接地失调整功能，在功能寄存器中使能此功能时，它会根据DAC接地引脚AGNDx与REFGND引脚之间的电压差值调整DAC输出，确保DAC输出电压始终以本地DAC接地引脚为参考。例如，如果引脚AGNDA以REFGND引脚为基准是+5 mV，VOUTA以AGNDA为基准测量就会有-5 mV的误差，使能局部接地失调整功能可以将VOUTA调整+5 mV，从而消除误差。



## 应用信息

### 典型工作电路

图36显示了AD5764的典型工作电路。该16位精密DAC所需的外部器件只有基准电压源、电源引脚和基准输入上的去耦电容以及可选的短路电流设置电阻，由于该器件集成基准电压缓冲，所以无需外部双极基准电压及相关缓冲器，

这样便节省了整体成本和电路板空间。

在图36中， $AV_{DD}$  连接到+15 V， $AV_{SS}$  连接到-15 V。然而， $AV_{DD}$  可以采用+11.4 V至+16.5 V电源工作， $AV_{SS}$  可以采用-11.4 V至-16.5 V电源工作。

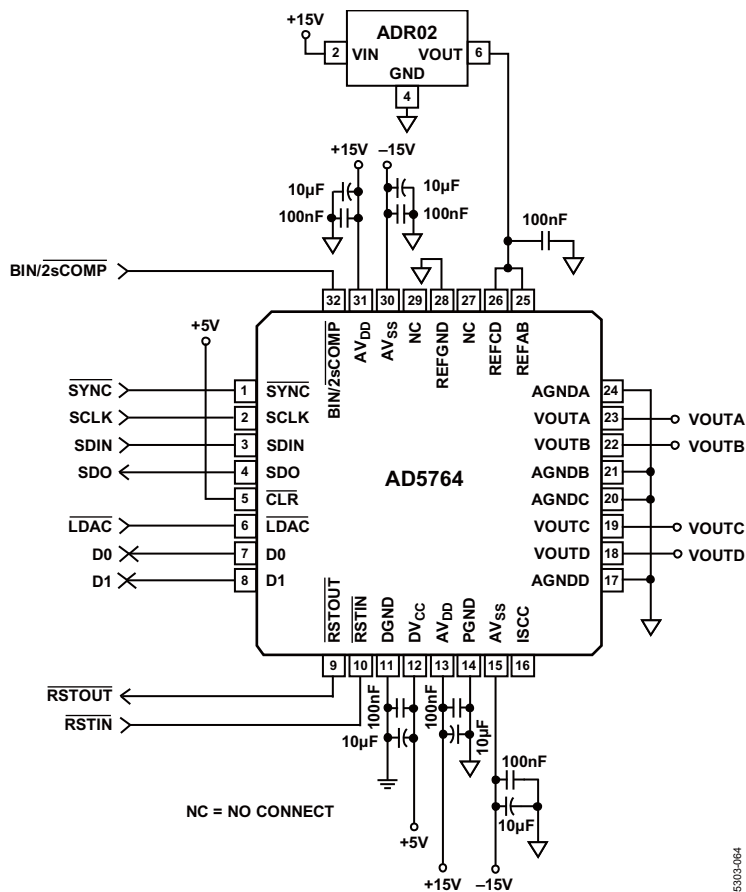


图36. 典型工作电路

05303-064

# AD5764

## 精密基准电压源的选择

要使AD5764在其整个工作温度范围内达到最佳性能，必须使用精密基准电压源。选择精密基准电压源时需要全面考虑。AD5764提供REFAB和REFCD两个基准输入。基准输入端的电压用于为DAC内核提供经缓冲的正、负基准电压。因此，任何基准电压误差都会反应到器件的输出端。

针对高精度应用选择基准电压时，需要考虑4种可能的误差源：输出电压的初始精度、温度系数、长期漂移和输出电压噪声。

外部基准电压源的输出电压初始精度误差会导致DAC的满量程误差。因此，最好选用具有低初始精度误差特性的基准电压源来尽量降低这些误差。具有输出调整功能的基准电压源，如ADR425等，允许系统设计人员将基准电压设置为标称值以外的电压，以便校正系统误差。调整功能也

可以用于温度，可以消除任何误差。

长期漂移衡量基准输出电压随时间的漂移量。具有低长期漂移特性的基准电压源可确保整体解决方案终身保持相对稳定。

基准输出电压的温度系数影响INL、DNL和TUE。选择具有低温度系数特性的基准电压源可以降低DAC输出电压对环境温度的依赖。

在高精度应用中，噪声容限比较低，需要考虑基准输出电压噪声。考虑到系统的分辨率，选择具有尽可能低的输出噪声的基准电压很重要。ADR435(基于XFET®设计)之类精密基准电压源，在0.1 Hz至10 Hz范围提供低输出噪声。然而，随着电路带宽增加，可能需要对基准电压源的输出进行滤波来尽量降低输出噪声。

表20. 推荐用于AD5764的一些精密基准电压源

产品型号	初始精度(mV, 最大值)	长期漂移(ppm, 典型值)	温度漂移(ppm/°C, 最大值)	0.1 Hz至10 Hz 噪声(μV峰峰值, 典型值)
ADR435	±2	40	3	8
ADR425	±2	50	3	3.4
ADR02	±5	50	3	10
ADR395	±5	50	9	8

## 布局指南

在任何注重精度的电路中，精心考虑电源和接地回路布局有助于确保达到额定性能。安装AD5764所用的PCB必须采用模拟与数字部分的分离设计，并限制在电路板的一定区域内。如果AD5764所在系统中有多个器件要求AGND至DGND连接，则只能在一个点进行连接。星形接地点尽可能靠近器件。AD5764的每个电源上必须有足够大的旁路电容 $10\ \mu\text{F}$ ，与 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\ \mu\text{F}$ 电容最好为钽电容。 $0.1\ \mu\text{F}$ 电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

AD5764的电源线路必须采用尽可能宽的走线，以提供低阻抗抗路径，并减小电源线路上毛刺的影响。时钟等快速开关信号必须利用数字地屏蔽起来，以免向电路板上的其它器件辐射噪声，并且绝不应靠近基准输入。SDIN线路与SCLK线路之间布设接地线路有助于降低二者之间的串扰(多层电路板上不需要，因为它有独立的接地层；不过，接地线路有助于分开不同线路)。基准输入上的噪声必须降至最低，因为这种噪声会被耦合至DAC输出。避免数字信号与模拟信号交叠。电路板相对两侧上的走线必须彼此垂直。这样有助于减小电路板上的馈通效应。推荐使用微带线技术，但这种技术对于双面电路板未必始终可行。采用这种技术时，电路板的元件侧专用于接地层，信号走线则布设在焊接侧。

### 电流隔离接口

在许多过程控制应用中，需要在控制器和受控单元之间提供隔离栅，保护控制电路使其与可能产生的有害的共模电压AD5764的串行加载结构使其成为隔离接口的理想选择，因为其接口线数保持最少。图37显示使用ADuM1400时与

AD5764的4通道隔离接口。欲了解更多信息，请访问[www.analog.com](http://www.analog.com)。

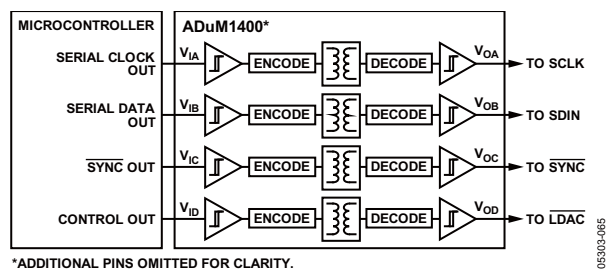


图37. 隔离接口

### 微处理器接口

AD5764的微处理器接口通过使用标准协议与微控制器和DSP处理器兼容的串行总线实现。通信通道是包含一个时钟信号、一个数据信号和一个同步信号的三线(最少的)接口。AD5764需要24位数据字，在SCLK的下降沿时数据有效。

对于所有接口来说，当所有数据输入时DAC的输出可以自动更新，或者可以在LDAC的控制下完成。通过回读功能可以读取数据寄存器的内容。

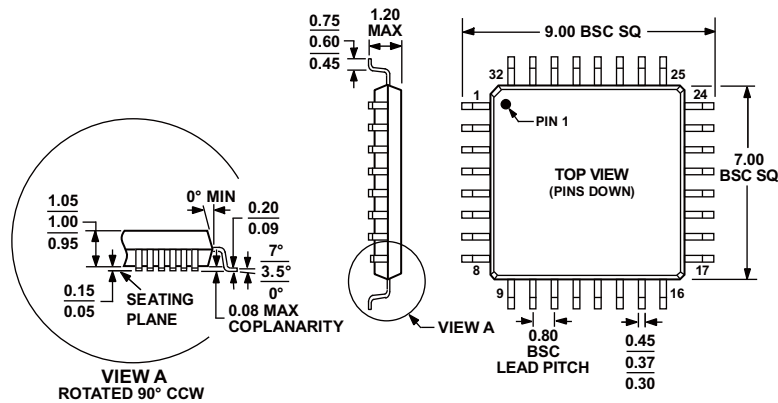
### 评估板

AD5764与评估板一同发布，帮助设计者轻松地对器件性能进行评估。评估板仅需要电源和PC。AD5764评估套件包括已装配和测试的AD5764 PCB。评估板与PC的USB端口连接。软件与评估板一同提供，便于用户设置AD5764。软件需要在已安装Microsoft® Windows® 2000/NT/XP的PC上运行。

EVAL-AD5764EB数据手册已发布，其中提供了评估板工作的全部细节。

# AD5764

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-ABA

图38. 32引脚TQFP封装(SU-32-2)  
尺寸单位: mm

020607-A

### 订购指南

型号	积分非线性(INL)	温度范围	封装描述	封装选项
AD5764ASUZ <sup>1</sup>	±4 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
AD5764ASUZ-REEL7 <sup>1</sup>	±4 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
AD5764BSUZ <sup>1</sup>	±2 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
AD5764BSUZ-REEL7 <sup>1</sup>	±2 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
AD5764CSUZ <sup>1</sup>	±1 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
AD5764CSUZ-REEL7 <sup>1</sup>	±1 LSB(最大值)	-40°C至+85°C	32引脚TQFP	SU-32-2
EVAL-AD5764EBZ <sup>1</sup>			评估板	

<sup>1</sup> Z = 符合RoHS标准的兼容器件。