

产品特性

针对ADC同步而优化

低功耗：22 mW (±12 V电源)

12个二进制增益步进：1/16 V/V至128 V/V

3种调整增益：1 V/V、1.25 V/V和1.375 V/V

±60 V保护输入多路复用器

出色的直流精度

低输入失调电压：±14 μV (最大值)

低输入失调电压漂移：±0.08 μV/°C (最大值)

增益通过ROM校准

低增益漂移：±1 ppm/°C (最大值)

高CMRR：116 dB (最小值, G = 1 V/V)

低输入偏置电流：±1.5 nA (最大值)

高输入阻抗

集成输入EMI滤波

宽输入电源电压范围：±5 V至±28 V

专用输出放大器电源

带特殊功能的7个GPIO端口

顺序片选模式

外部多路复用器控制

激励电流源

支持校验和(CRC)的SPI端口

内部故障检测

断线测试电流

片内测试多路复用器

28引脚5 mm × 5 mm LFCSP、24引脚TSSOP

额定温度范围：-40°C至+105°C

应用

通用过程控制前端

数据采集系统

测试与测量系统

概述

ADA4254是一款零漂移、高电压、低功耗可编程增益仪表放大器(PGIA)，设计用于过程控制和工业应用。ADA4254具有12个二进制加权增益，范围从 1/16 V/V到128 V/V，并具有三个调整增益选项 (1 V/V、1.25 V/V和1.375 V/V)，总计提供36种可能的增益设置。ADA4254的功耗只有22 mW，因此它是对于高精度要求、稳健性和低功耗的工业系统的出色选择。

ADA4254的零漂移放大器拓扑结构可自校准直流误差和低频1/f噪声，从而在整个额定温度范围内实现出色的直流精度。如此高的精度可最大程度地提高动态范围，并大大降低许多应用中的校准要求。

Rev. A

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI 中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI 不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考 ADI 提供的最新英文版数据手册。

简化功能框图

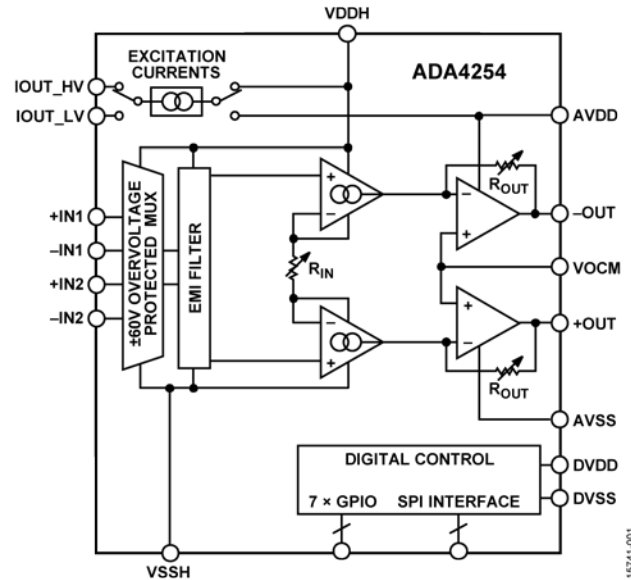


图1.

输入多路复用器为放大器的高阻抗输入提供±60 V保护，同时能够在两个输入源之间切换。此外，集成的电磁干扰(EMI)滤波器可防止严重RF噪声影响放大器的敏感输入端。

ADA4254具有多种安全特性，可检测内部和外部故障。串行端口接口(SPI)支持循环冗余校验(CRC)错误检测，以确保通信稳健。这些安全特性简化了系统安全完整性等级(SIL)认证。

ADA4254包含七个通用输入/输出(GPIO)引脚，可以配置这些引脚来提供各种特殊功能。激励电流源输出可用于偏置传感器，例如电阻温度检测器(RTD)。

ADA4254的额定温度范围为-40°C至+105°C，提供紧凑型5 mm×5 mm、28引脚LFCSP和24引脚TSSOP两种封装。

配套产品

ADC: [AD4007](#)、[AD7768](#)、[AD7175-2](#)

ADC驱动器: [ADA4945-1](#)、[LTC6363](#)

基准电压源: [ADR4550](#)、[ADR3450](#)、[LT6656](#)

目录

产品特性	1	SPI读/写错误检测	35
应用	1	SPI命令长度错误检测	35
概述	1	应用信息	36
简化功能框图	1	输入和输出失调电压及噪声	36
配套产品	1	ADC时钟同步	36
修订历史	3	可编程逻辑控制器(PLC)电压/电流输入	37
技术规格	4	带电流激励的3线RTD	38
时序规格	8	高轨电流检测	39
绝对最大额定值	9	寄存器汇总	40
热阻	9	寄存器详解	42
ESD警告	9	GAIN_MUX寄存器详解	42
引脚配置和功能描述	10	软件复位寄存器(Reset)详解	43
典型性能参数	11	时钟同步配置寄存器(SYNC_CFG)详解	44
工作原理	23	数字错误寄存器(DIGITAL_ERR)详解	45
可编程增益仪表放大器	23	模拟错误寄存器(ANALOG_ERR)详解	46
输入多路复用器	24	GPIO数据寄存器(GPIO_DATA)详解	47
降低EMI和内部EMI滤波器	24	内部复用控制寄存器(INPUT_MUX)详解	48
输入放大器	25	断线检测寄存器(WB_DETECT)详解	49
输出放大器	25	GPIO方向寄存器(GPIO_DIR)详解	50
电源	26	顺序片选寄存器(SCS)详解	50
ESD映射	26	模拟错误屏蔽寄存器(ANALOG_ERR_DIS)详解	51
输出纹波校准配置	27	数字错误屏蔽寄存器(DIGITAL_ERR_DIS)详解	52
通用输入/输出(GPIO)	27	特殊功能配置寄存器(SF_CFG)详解	53
激励电流	28	错误配置寄存器	54
外部时钟同步	28	测试多路复用器寄存器(TEST_MUX)详解	55
顺序片选(SCS)	28	激励电流配置寄存器(EX_CURRENT_CFG)详解	56
增益误差校准	30	增益校准寄存器(GAIN_CALx)详解	57
断线检测	31	触发校准寄存器(TRIG_CAL)详解	58
测试多路复用器	32	主时钟计数寄存器(M_CLK_CNT)详解	58
外部复用控制	32	芯片版本标识寄存器(DIE_REV_ID)详解	58
数字接口	33	器件标识寄存器(PART_ID)详解	58
SPI接口	33	外形尺寸	59
访问ADA4254寄存器映射	33	订购指南	59
校验和保护	33		
CRC计算	35		
存储器映射校验和保护	35		
只读存储器(ROM)校验和保护	35		

修订历史

2019年11月—修订版0至修订版A

更改“产品特性”和“概述”部分1
更改表1的“静态功耗”参数7
更改“带电流激励的3线RTD”部分38

2019年11月—修订版0：初始版

技术规格

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{DDH} = 28\text{ V}$, $V_{SSH} = -28\text{ V}$, $AV_{DD} = 5\text{ V}$, $AV_{SS} = 0\text{ V}$, $DV_{DD} = 3.3\text{ V}$, $DV_{SS} = 0\text{ V}$, $VO_{CM} = AV_{DD}/2$, 无负载。

表1.

参数	测试条件/注释	最小值	典型值	最大值	单位
失调电压	折合到输入端(RTI)的总失调 = $V_{OSI} + \frac{V_{OSO}}{Gain}$				
差分失调电压					
输入失调电压(V_{OSI})			±3	±14	μV
输出失调电压(V_{OSO})			±40	±125	μV
差分失调电压漂移	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}^1$, RTI总失调漂移 = $V_{OSI}/T + \frac{V_{OSO}/T}{Gain}$				
V_{OSI}/T			±0.03	±0.08	μV/°C
V_{OSO}/T			±0.98	±2.5	μV/°C
差分失调电压与 V_{DDH} 和 V_{SSH} (电源电压抑制比(PSRR)), RTI	$V_{DDH} - V_{SSH} = 10\text{ V}$ 至 56 V				
增益(G) = 1/16 V/V		80	90		dB
$G = 1\text{ V/V}$		110	120		dB
$G = 128\text{ V/V}$		140	154		dB
差分失调电压与 AV_{DD} (PSRR), RTI	$AV_{DD} - AV_{SS} = 2.7\text{ V}$ 至 5.5 V				
$G = 1/16\text{ V/V}$		66	76		dB
$G = 1\text{ V/V}$		90	100		dB
$G = 128\text{ V/V}$		118	136		dB
差分失调与外部时钟频率, RTI	时钟频率 = 0.8 MHz至1.2 MHz				
$G = 1/16\text{ V/V}$			±0.2		μV/kHz
$G = 1\text{ V/V}$			±0.1		μV/kHz
$G = 128\text{ V/V}$			±0.002		μV/kHz
共模抑制比(CMRR), RTI 至60Hz的CMRR	$+IN = -IN = -25\text{ V}$ 至 $+25\text{ V}$, 调整增益 = 1 V/V				
$G = 1/16\text{ V/V}$		92	102		dB
$G = 1\text{ V/V}$		116	126		dB
$G = 128\text{ V/V}$		140	150		dB
$G = 1/16$	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}^1$	88			dB
$G = 1$	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}^1$	112			dB
$G = 128$	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}^1$	136			dB

参数	测试条件/注释	最小值	典型值	最大值	单位
GAIN	输出电压(V_{OUT}) = 8.5 V p-p ²				
输入增益范围			1/16 至 128		V/V
输出增益范围			1, 1.25, 1.375		V/V
增益误差					
校准前	全部增益		<±0.06	±0.12	%
使用校准系数	全部增益		<±0.01	±0.025	%
除以下外的全部增益值:	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		<±0.3	±1	ppm/°C
$G = 1/16$ V/V, 全部调整增益	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.8	±1.5	ppm/°C
$G = 32$ V/V、 64 V/V, 全部调整增益	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.4	±1.5	ppm/°C
$G = 128$ V/V, 调整增益	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.6	±2	ppm/°C
1 V/V、 1.25 V/V					
$G = 128$ V/V, 调整增益	$T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.7	±2.5	ppm/°C
1.375 V/V					
非线性度	除 32 V/V、 64 V/V和 128 V/V外的全部增益 ^{2,3}		5	15	ppm
	$G = 32$ V/V		7.5		ppm
	$G = 64$ V/V		12		ppm
	$G = 128$ V/V		15		ppm
噪声	总噪声, $RTI = \sqrt{e_{ni}^2 + \left(\frac{e_{no}}{Gain}\right)^2}$				
电压噪声, 1 kHz, RTI					
输入噪声(e_{ni})			17		nV/√Hz
输出噪声(e_{no})			253		nV/√Hz
0.1 Hz至10 Hz, RTI					
$G = 1/16$ V/V			95		μV p-p
$G = 1$ V/V			5.75		μV p-p
$G = 128$ V/V			330		nV p-p
0.01 Hz至10 Hz, RTI					
$G = 1/16$ V/V			100		μV p-p
$G = 1$ V/V			6.8		μV p-p
$G = 128$ V/V			395		nV p-p
电流噪声					
10 Hz			100		fA/√Hz
0.1 Hz至10 Hz			3.1		pA p-p
0.01 Hz至10 Hz			4		pA p-p
输入特性					
输入偏置电流	$T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ¹ $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.45	±1.5 ±4	nA nA
输入失调电流	$T_A = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$ ¹ $T_A = -40^{\circ}\text{C}$ 至 $+105^{\circ}\text{C}$ ¹		±0.2	±1.3 ±2.5 ±3.5	nA nA nA
输入阻抗	共模 差分		>1 11 >1 4.7		GΩ pF GΩ pF
输入工作电压范围	通过CMRR保证	VSSH + 3		VDDH - 3	V
MUX_OVER_VOLT_ERR			VDDH - 0.9		V
正阈值			VSSH + 0.9		V
负阈值					V

参数	测试条件/注释	最小值	典型值	最大值	单位
INPUT_ERR/GAIN_RST 正阈值 负阈值			VDDH - 1.5 VSSH + 1.5		V V
模拟输出 从各轨起的输出电压摆幅	AVDD = 5 V, 负载电阻(R_L) = 2.49 k Ω 接2.5 V AVDD = 2.7 V, R_L = 1.8 k Ω 接1.35 V	AVSS + 0.06 AVSS + 0.05		AVDD - 0.08 AVDD - 0.06	V V
容性负载驱动 短路电流	至2.5 V, G = 1.375, AVDD = 2.7 V至5 V	3.5	500 11	25	pF mA
OUTPUT_ERR 正阈值 负阈值			AVDD - 0.03 AVSS + 0.03		V V
VOCM动态性能 -3 dB带宽 压摆率 电压噪声 增益	频率 = 1 kHz		2.3 1.9 160 1		MHz V/ μ s nV/ $\sqrt{\text{Hz}}$ V/V
VOCM输入特性 输入电压范围 输入电阻 共模失调电压 共模失调电压漂移 输入偏置电流		AVSS		AVDD - 1	V G Ω μ V μ V/ $^{\circ}$ C pA
动态响应 小信号 ± 3 dB带宽 G = 1/16 V/V G = 1/8 V/V G = 1/4 V/V G = 1/2 V/V G = 1 V/V G = 2 V/V G = 4 V/V G = 8 V/V G = 16 V/V G = 32 V/V G = 64 V/V G = 128 V/V 0.01%建立时间 G = 1 V/V G = 8 V/V G = 128 V/V 0.0015%建立时间 (16位) G = 1 V/V G = 8 V/V G = 128 V/V 压摆率 G = 1/16 V/V G = 1 V/V G = 128 V/V	$V_{OUT} = 8$ V p-p $V_{OUT} = 8$ V p-p $V_{OUT} = 8$ V p-p ²		15 28 67 138 1800 513 341 319 297 275 257 209 10 8 5 18 15 15 0.06 0.8 3.1		kHz kHz kHz kHz kHz kHz kHz kHz kHz kHz kHz kHz kHz μ s μ s μ s μ s μ s μ s V/ μ s V/ μ s V/ μ s

参数	测试条件/注释	最小值	典型值	最大值	单位
THD G = 1 V/V G = 8 V/V G = 128 V/V 输入过载恢复时间 输出过载恢复时间	$V_{OUT} = 8\text{ V p-p}$, 频率 = 1 kHz 输入电压(V_{IN}) = 56 V p-p G = 1 V/V, $V_{IN} = 10\text{ V p-p}$		-104 -96 -80 40 6		dB dB dB μs μs
激励电流源 (IOUT_LV/IOUT_HV) 输出电流范围 初始容差 漂移 电流匹配 温漂匹配	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$ $T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$	100	± 3 ± 200 ± 3 ± 50	1500 ± 10 ± 8	μA % ppm/ $^\circ\text{C}$ % ppm/ $^\circ\text{C}$
断线电流 输出电流范围 阻抗阈值 初始容差 漂移	$T_A = -40^\circ\text{C}$ 至 $+105^\circ\text{C}$	0.25	$(V_{DDH} - 4)/I_{WB}^4$ ± 12 ± 250	16	μA Ω % ppm/ $^\circ\text{C}$
数字输入 低电平(V_{INL}) 高电平(V_{INH}) 数字输入引脚电容		0 $0.6 \times DVDD$		0.8 DVDD	V V pF
数字输出 低电平(V_{OL}) 高电平(V_{OH})	灌电流4 mA 拉电流2 mA			0.7	V V
内部/外部时钟 内部时钟 频率 占空比 内部时钟分频器范围		0.8 1	1 50	1.2	MHz % MHz/MHz
电源 VDDH – VSSH AVDD – AVSS DVDD – DVSS IVDDH IVSSH IDVDD IAVDD 静态功耗	DVDD = 3 V DVDD = 3 V, VSSH = -28 V, VDHH = 28 V DVDD = 3 V, VSSH = -15 V, VDDH = 15 V DVDD = 3 V, VSSH = -12 V, VDDH = 12 V	10 2.7 2.7	600 780 150 980 44 26 22	56 5 5 765 985 205 1305 56 34 28	V V V μA μA μA μA mW mW mW

¹ 通过设计保证。这些技术规格未经生产测试，但受产品初始发布时的特性数据支持。

² 对于小于1/2的增益，使用更小的输出摆幅。

³ 仅G = 1 V/V经过生产测试。

⁴ I_{WB} 表示断线电流。

时序规格

VDDH = 28 V, VSSH = -28 V, AVDD = 5 V, AVSS = 0 V, DVDD = 3.3 V, DVSS = 0 V, VOVM = AVDD/2 V.

表2. 数字值和SPI时序规格

参数	测试条件/注释	最小值	典型值	最大值	单位
最大时钟速率(SCLK)				5	MHz
最小脉冲宽度(SCLK)					
高	t_{PWH}	75			ns
低	t_{PWL}	75			ns
SDI/SDO至SCLK建立时间	t_{DS}	10			ns
SDI/SDO至SCLK保持时间	t_{DH}	10			ns
数据有效, \overline{SDO} 至SCLK	t_{DV}	50			ns
建立时间, \overline{CS} 至SCLK	t_{DCS}	30			ns

时序图

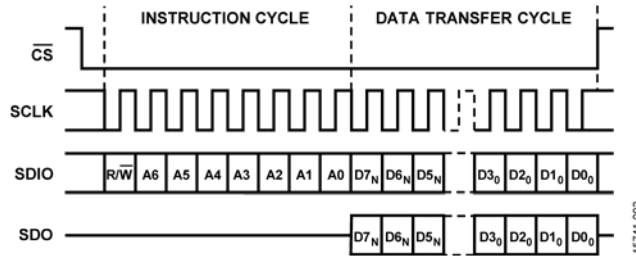


图2. SPI时序图, MSB优先

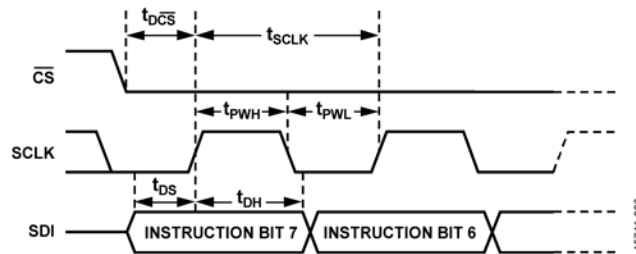


图3. SPI寄存器写操作时序图

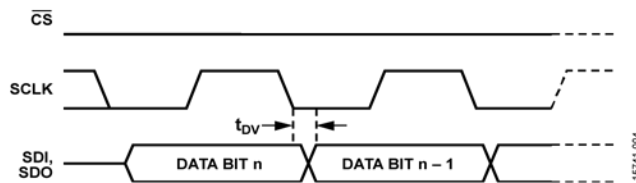


图4. SPI寄存器读操作时序图

绝对最大额定值

表3.

参数	额定值
VDDH	VSSH - 0.3 V至VSSH + 60 V
AVDD	AVSS - 0.3 V至AVSS + 5.5 V
DVDD	DVSS - 0.3 V至DVSS + 5.5 V
AVSS或DVSS	VSSH - 0.3 V至VSSH + 30 V
电压	VDDH - 30 V至VDDH + 0.3 V
电流	±10 mA
输入电压 (+IN1、-IN1、+IN2或- IN2)	VSSH - 60 V至VSSH + 60 V
差分输入电压	60 V
任意两个放大器输入之间 (+IN1、-IN1、+IN2或-IN2)	
-OUT、+OUT短路电流	未定
VOCM	
电压	AVSS - 0.3 V至AVDD + 0.3 V
电流	±10 mA
数字输入/输出 (SPI和GPIO) , 电压	DVSS - 0.3 V至DVDD + 0.3 V
数字输入 (SPI和GPIO) , 电流	±10 mA
IOUT_LV	
电压	AVSS - 0.3 V至AVDD + 0.3 V
电流	±10 mA
IOUT_HV	
电压	VSSH - 0.3 V至VDDH + 0.3 V
电流	±10 mA
工作温度范围	-40°C至+125°C
额定温度范围	-40°C至+105°C
最高结温	+150°C
存储温度范围	-65°C至+150°C

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

热阻

热性能与印刷电路板(PCB)设计和工作环境直接相关。必须慎重对待PCB散热设计。

θ_{JA} 是自然对流下芯片的结至环境的热阻，在1立方英尺的密封外罩中测量。 θ_{JC} 是结至外壳的热阻。

表4. 热阻

封装类型 ¹	θ_{JA}	θ_{JC}	单位
CP-28-10	36.9	1.9	°C/W
RU-24	64.8	14.11	°C/W

¹ 表4给出的热阻值系基于JEDEC规范 (除非另有说明) 仿真而来，使用时必须遵守JESD51-12的规定。

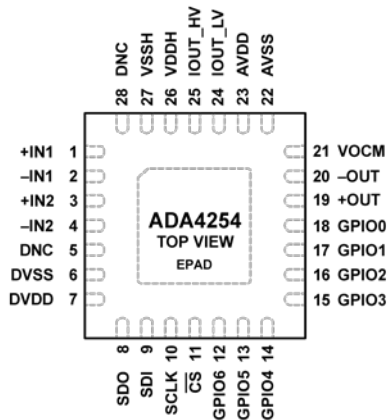
ESD二极管和路径的原理图参见“ESD映射”部分。

ESD警告

**ESD (静电放电) 敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 2. CONNECT THE EXPOSED PAD (EPAD) TO VSSH.

图5. 28引脚LFCSP引脚配置

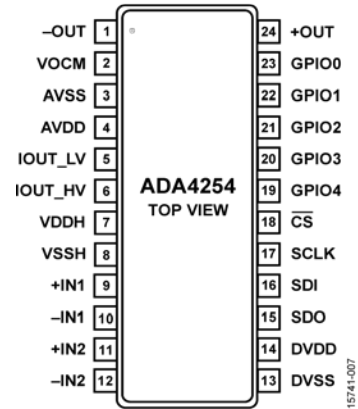


图6. 24引脚TSSOP引脚配置

表5. 引脚功能描述

引脚名称	LFCSP引脚编号	TSSOP引脚编号	描述
+IN1	1	9	通道1正输入。
-IN1	2	10	通道1负输入。
+IN2	3	11	通道2正输入。
-IN2	4	12	通道2负输入。
DNC	5, 28	不适用	不连接。请勿连接该引脚。
DVSS	6	13	负数字电源电压。
DVDD	7	14	正数字电源电压。
SDO	8	15	SPI串行数据输出。
SDI	9	16	SPI串行数据输入。
SCLK	10	17	SPI串行时钟输入。
CS	11	18	SPI片选输入。
GPIO6	12	不适用	GPIO6/SCS6。
GPIO5	13	不适用	GPIO5/SCS5。
GPIO4	14	19	GPIO4/SCS4/时钟输入或输出。
GPIO3	15	20	GPIO3/SCS3/故障中断输出。
GPIO2	16	21	GPIO2/SCS2/校准繁忙输出。
GPIO1	17	22	GPIO1/SCS1/外部多路复用器控制1。
GPIO0	18	23	GPIO0/SCS0/外部多路复用器控制0。
+OUT	19	24	正输出。
-OUT	20	1	负输出。
VOCM	21	2	输出放大器共模电压输入。此引脚为高阻抗，内部未予偏置。
AVSS	22	3	输出放大器负电源电压。
AVDD	23	4	输出放大器正电源电压。
IOUT_LV	24	5	低压激励电流源输出。
IOUT_HV	25	6	高压激励电流源输出。
VDDH	26	7	正高压电源。
VSSH	27	8	负高压电源。
EPAD		不适用	裸露焊盘。应将裸露焊盘(EPAD)连接到VSSH。

典型性能参数

除非另有说明, $T_A = 25^\circ\text{C}$, $V_{DDH} = 28\text{ V}$, $V_{SSH} = -28\text{ V}$, $AV_{DD} = 5\text{ V}$, $AV_{SS} = 0\text{ V}$, $DV_{DD} = 3.3\text{ V}$, $DV_{SS} = 0\text{ V}$, $VO_{CM} = AV_{DD}/2$, 无负载。

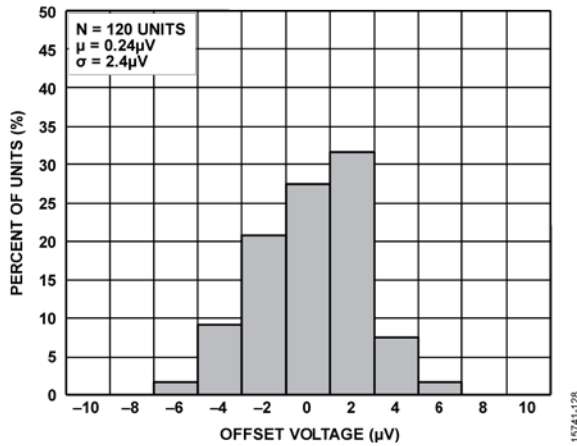


图7. 失调电压分布, RTI (增益 = 128 V/V)

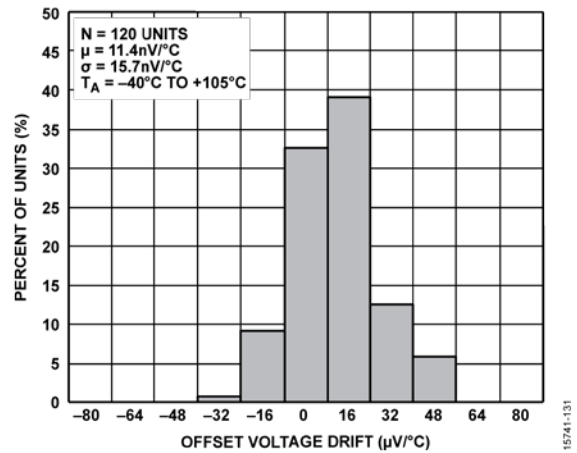


图10. 失调电压漂移分布, RTI (增益 = 128 V/V)

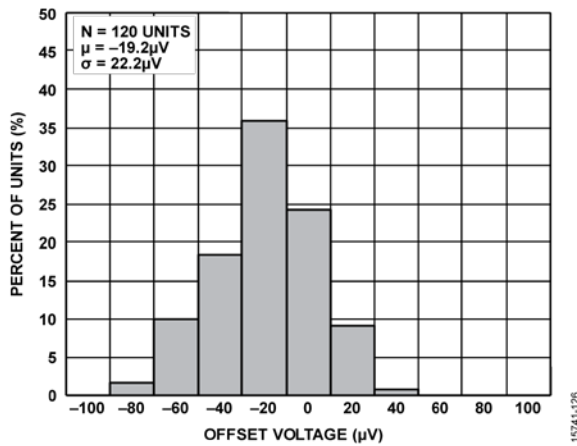


图8. 失调电压分布, RTI (增益 = 1 V/V)

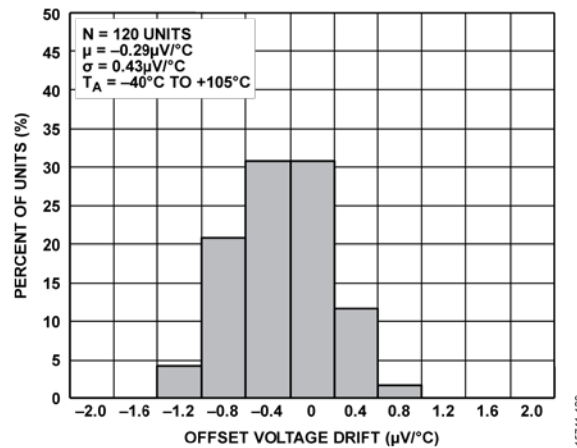


图11. 失调电压漂移分布, RTI (增益 = 1 V/V)

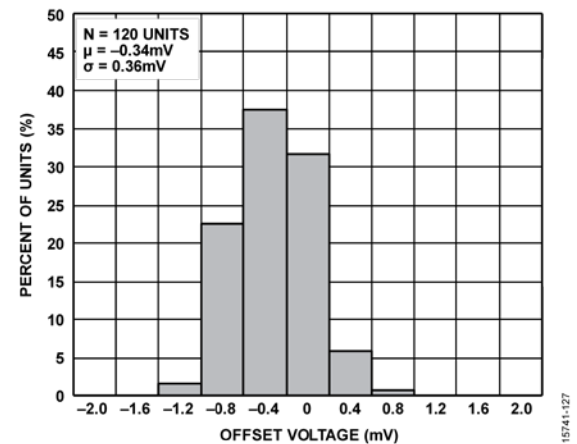


图9. 失调电压分布, RTI (增益 = 1/16 V/V)

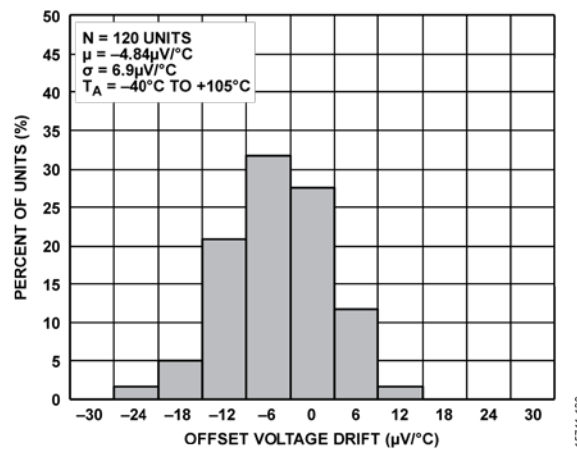


图12. 失调电压漂移分布, RTI (增益 = 1/16 V/V)

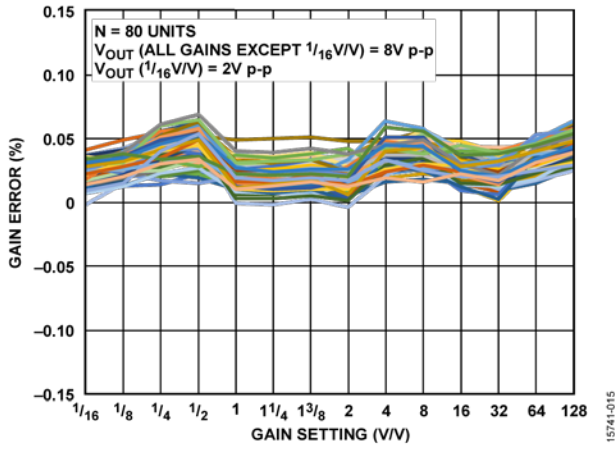


图13. 增益误差与增益设置的关系

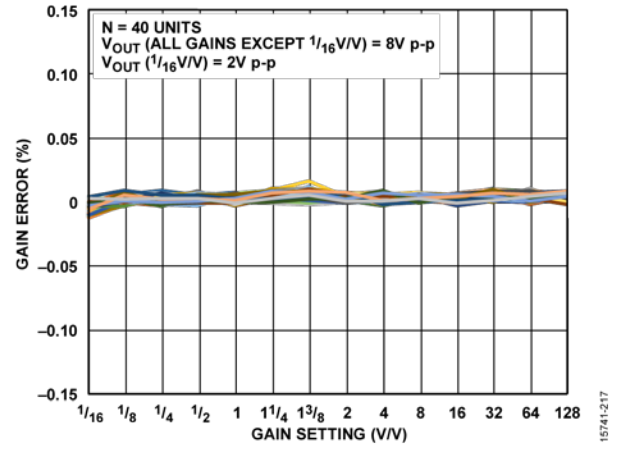


图16. 增益误差与增益设置的关系, 使用校准系数

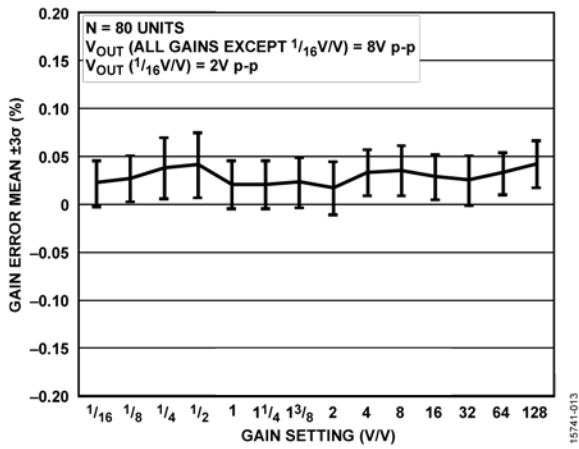


图14. 增益误差分布与增益设置的关系

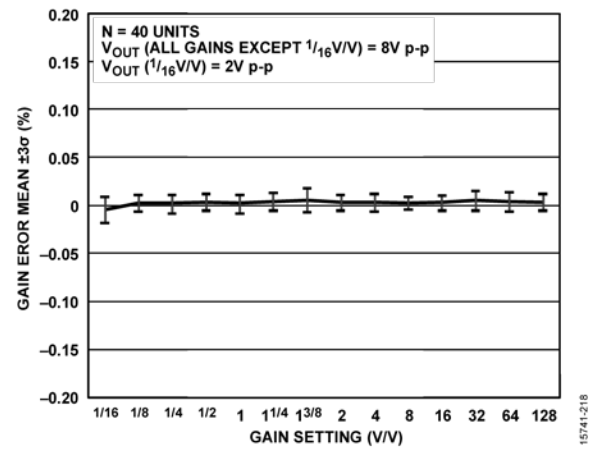


图17. 增益误差分布与增益设置的关系, 使用校准系数

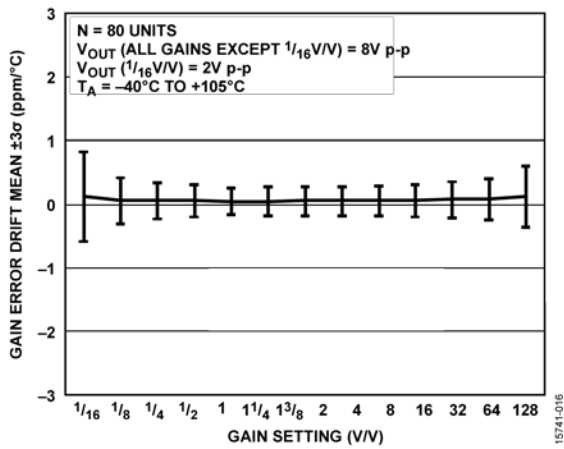


图15. 增益误差漂移与增益设置的关系

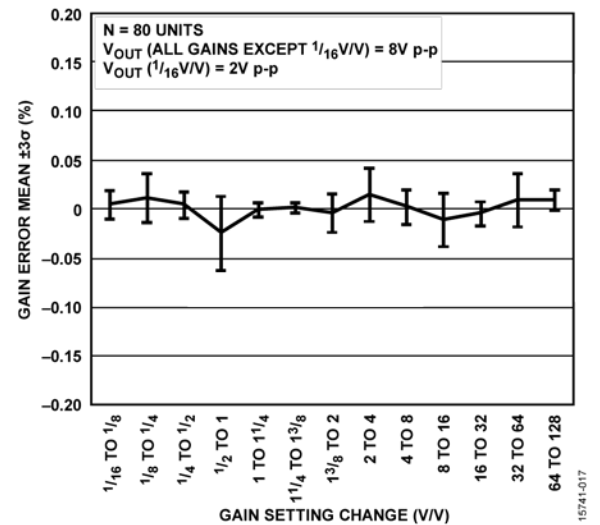


图18. 顺序增益设置之间的增益误差偏差

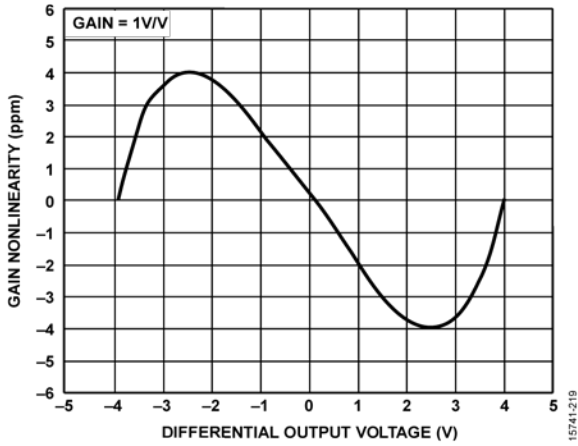


图19. 增益非线性

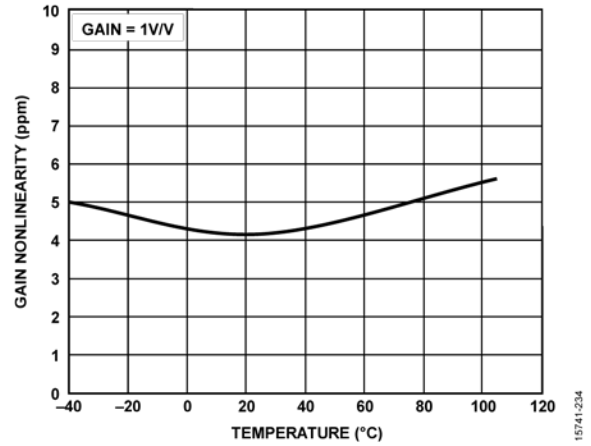


图22. 增益非线性与温度的关系

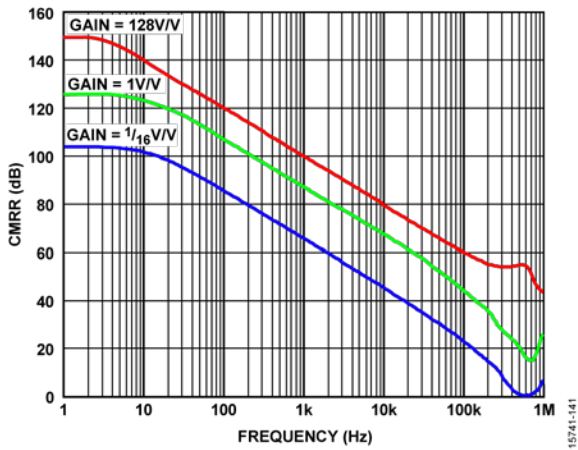


图20. CMRR与频率的关系

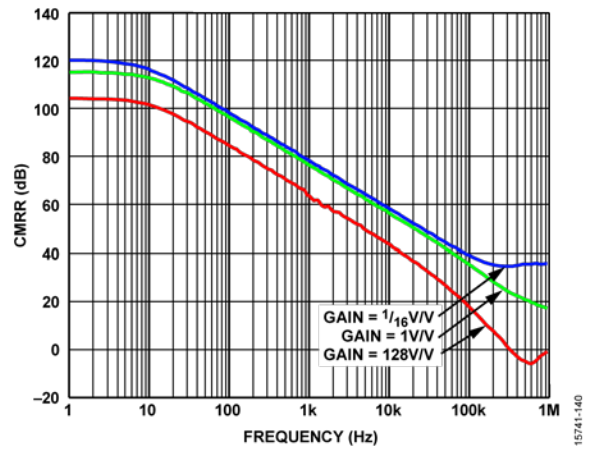


图23. CMRR与频率的关系, 1 kΩ不平衡

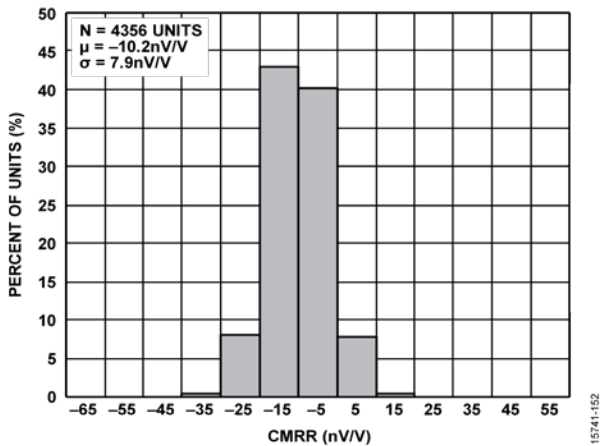


图21. CMRR分布 (增益 = 128 V/V)

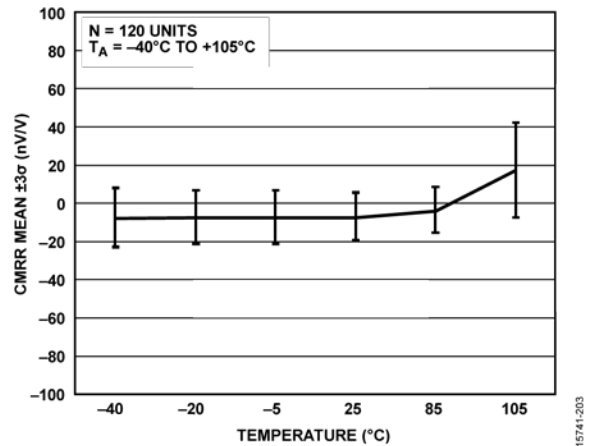


图24. CMRR均值与温度的关系 (增益 = 128 V/V)

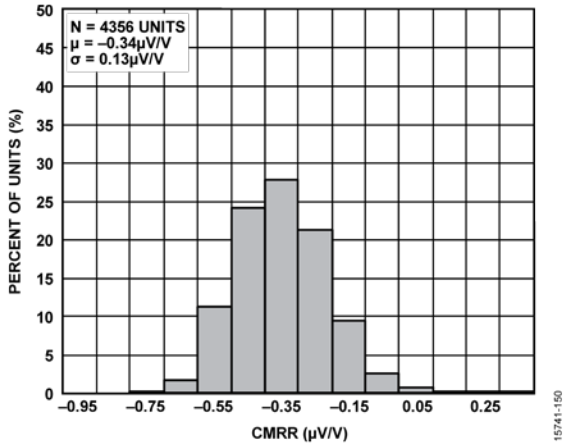


图25. CMRR分布 (增益 = 1 V/V)

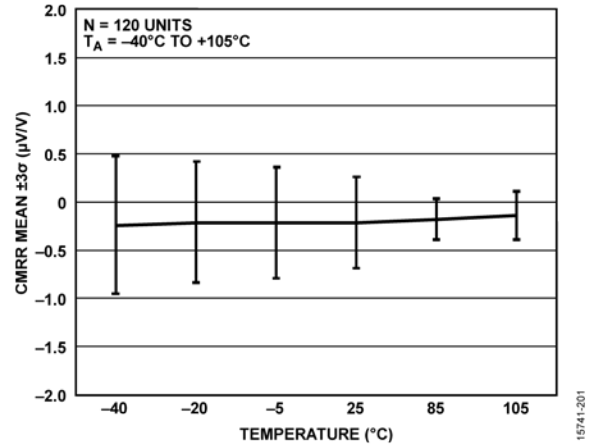


图28. CMRR均值与温度的关系 (增益 = 1 V/V)

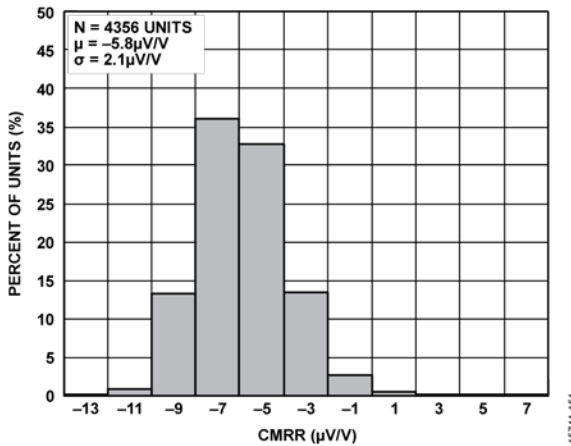


图26. CMRR分布 (增益 = 1/16 V/V)

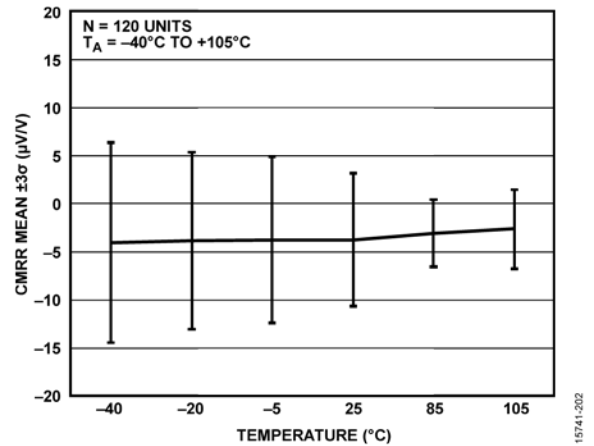


图29. CMRR均值与温度的关系 (增益 = 1/16 V/V)

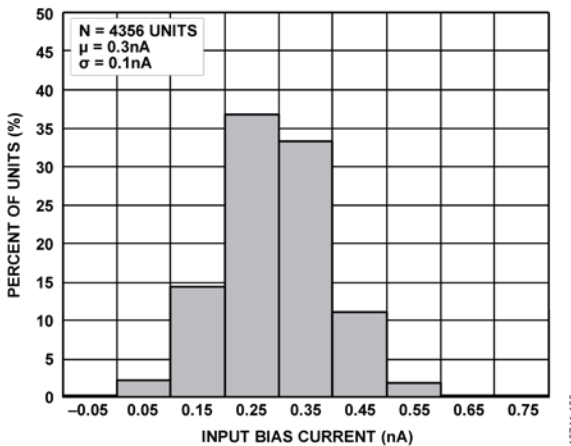


图27. 输入偏置电流分布

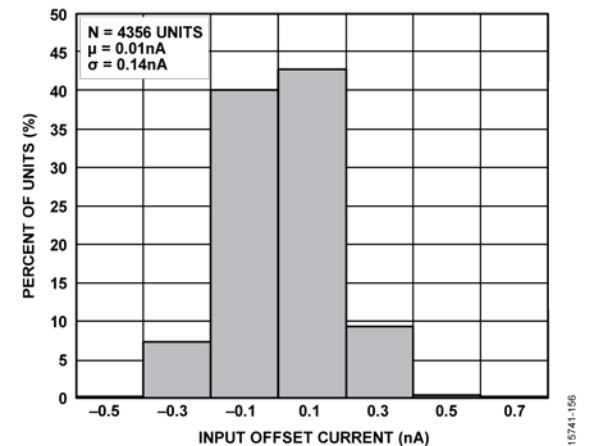


图30. 输入失调电流分布

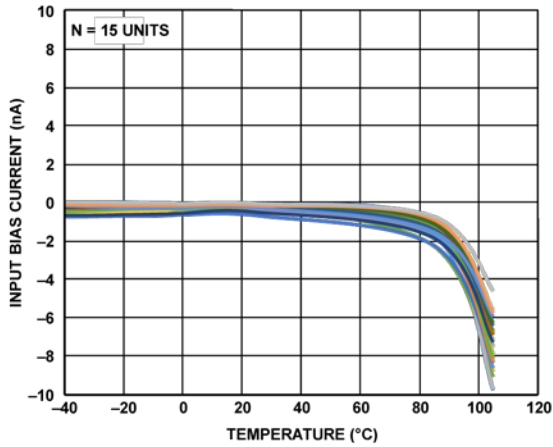


图31. 输入偏置电流与温度的关系

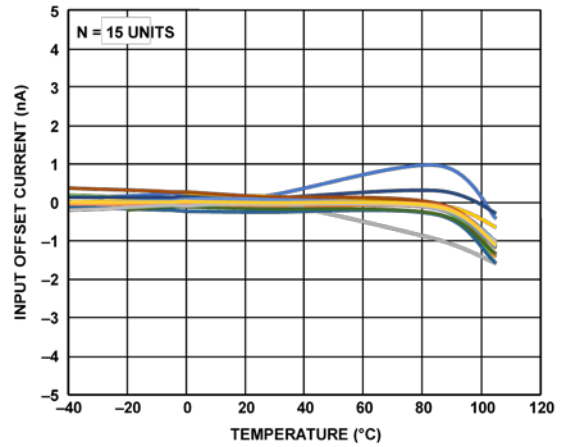


图34. 输入失调电流与温度的关系

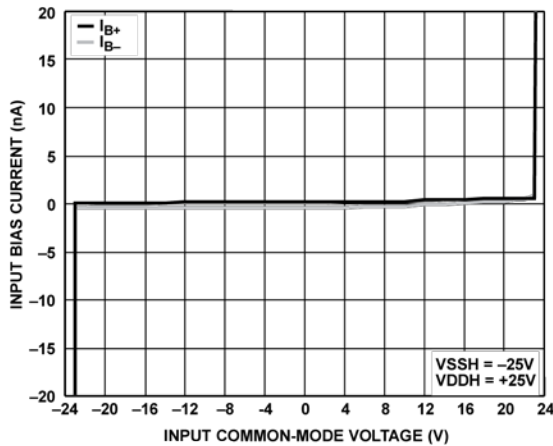


图32. 输入偏置电流与输入共模电压的关系

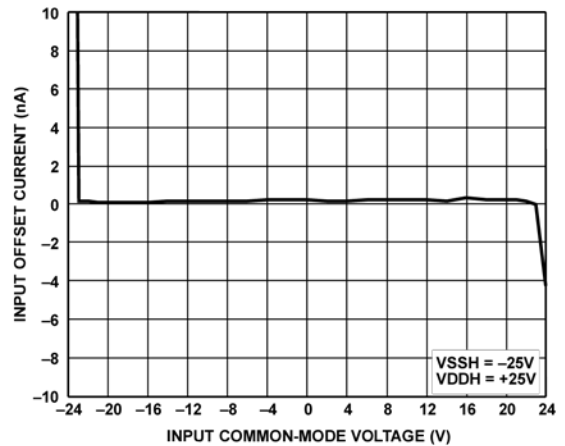


图35. 输入失调电流与输入共模电压的关系

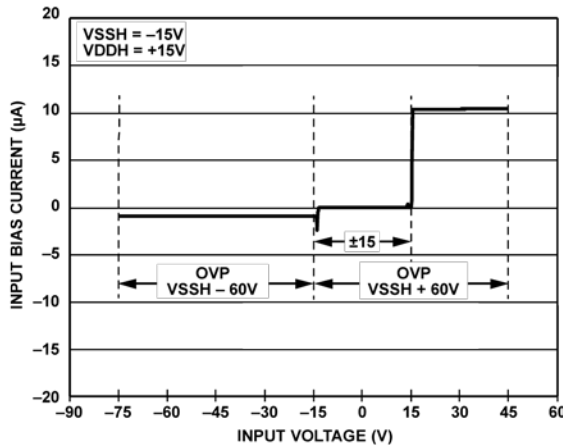


图33. 输入过压性能, $VDDH/VSSH = \pm 15 V$

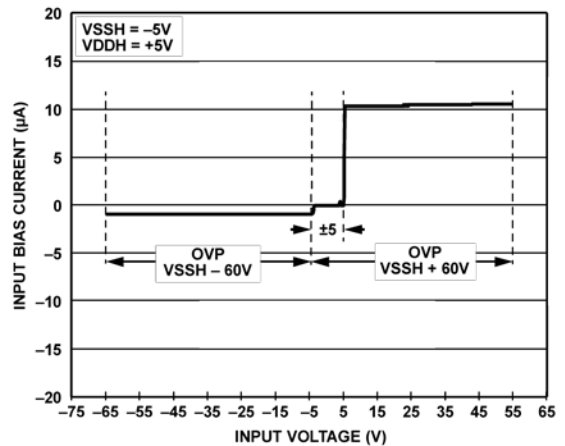


图36. 输入过压性能, $VDDH/VSSH = \pm 5 V$

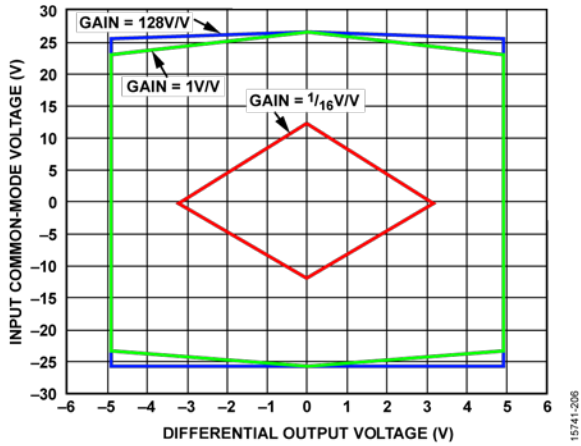


图37. 钻石图

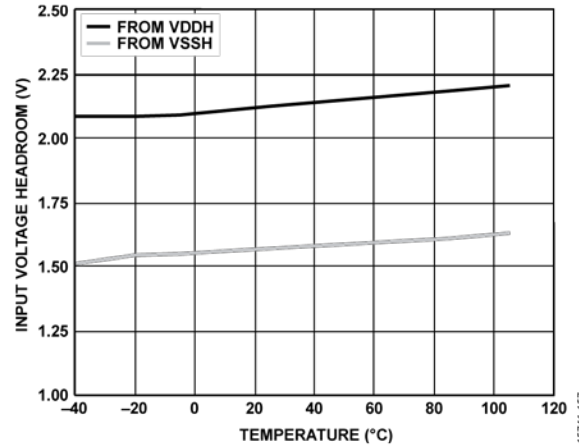


图40. 输入电压裕量与温度的关系

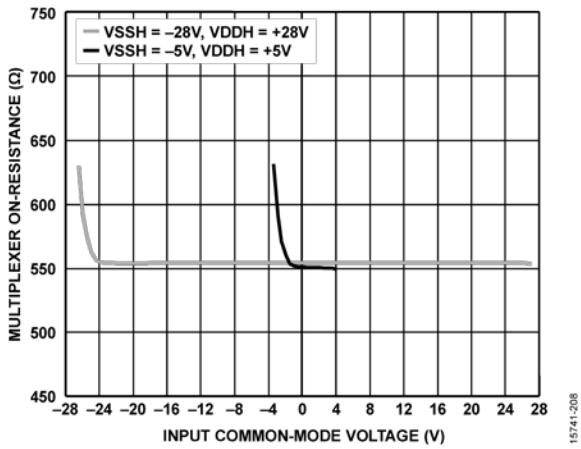


图38. 多路复用器导通电阻与输入共模电压的关系

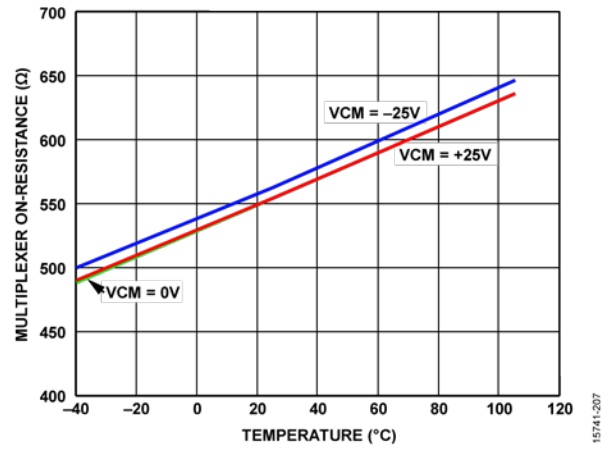


图41. 多路复用器导通电阻与温度的关系

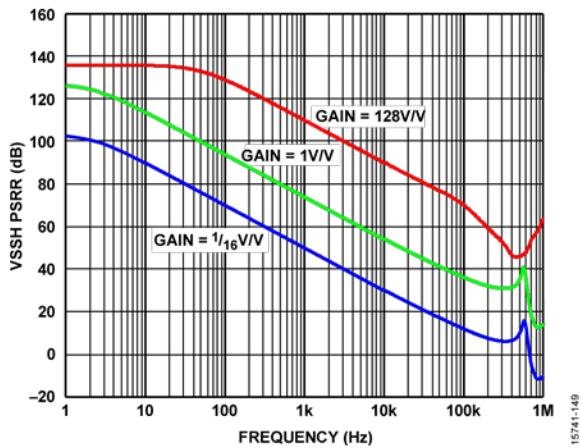


图39. VSSH PSRR与频率的关系

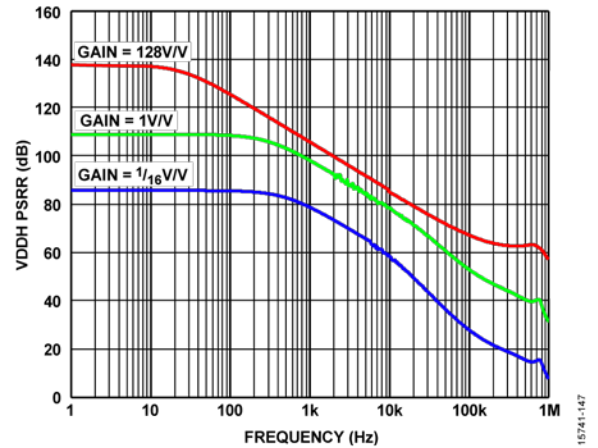


图42. VDDH PSRR与频率的关系

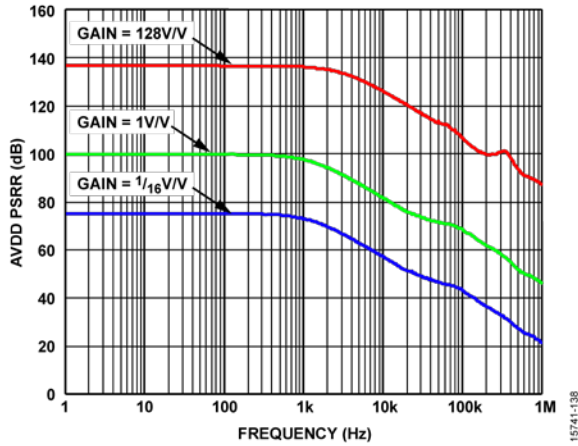


图43. AVDD PSRR与频率的关系

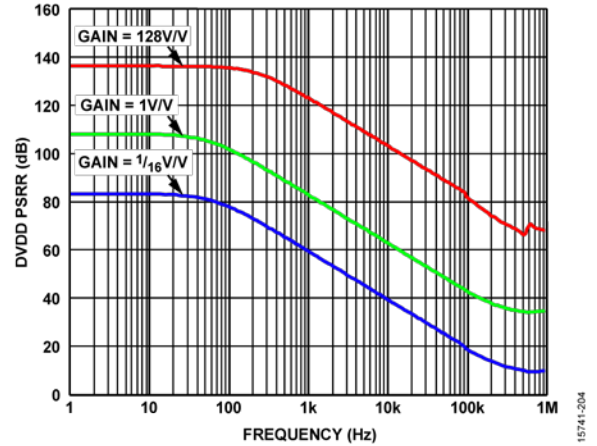


图46. DVDD PSRR与频率的关系

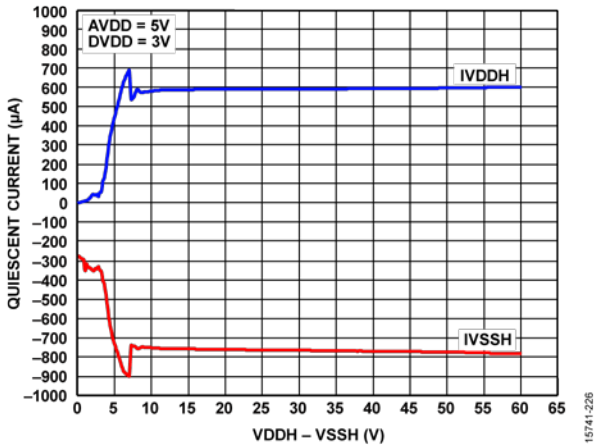


图44. 静态电流与电源电压(VDDH - VSSH)的关系

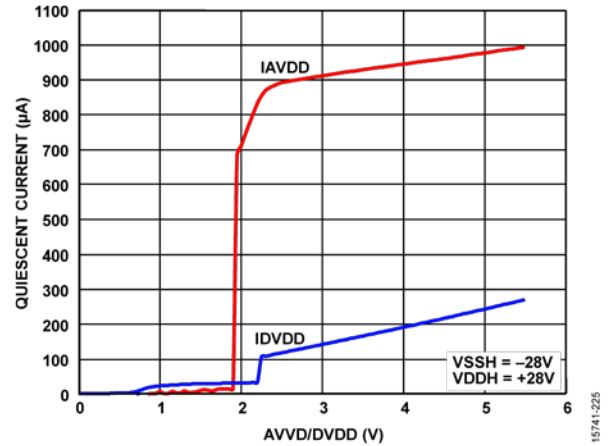


图47. 静态电流与电源电压(AVDD/DVDD)的关系

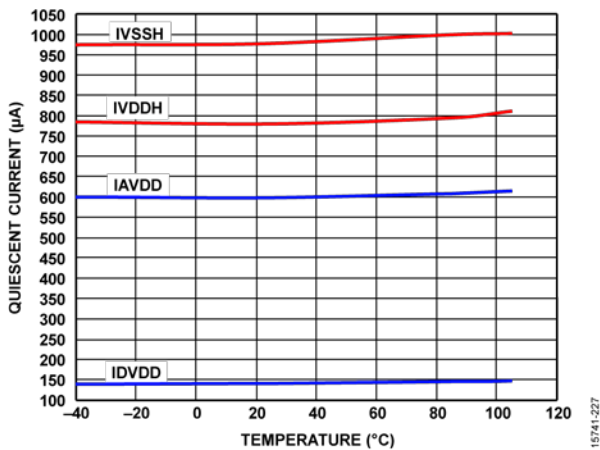


图45. 静态电流与温度的关系

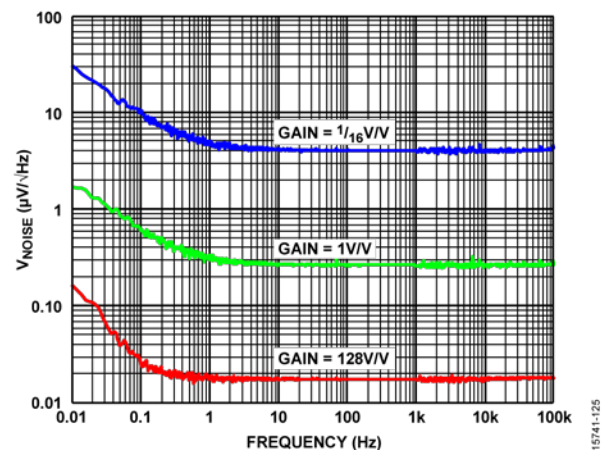


图48. 电压噪声频谱密度, RTI

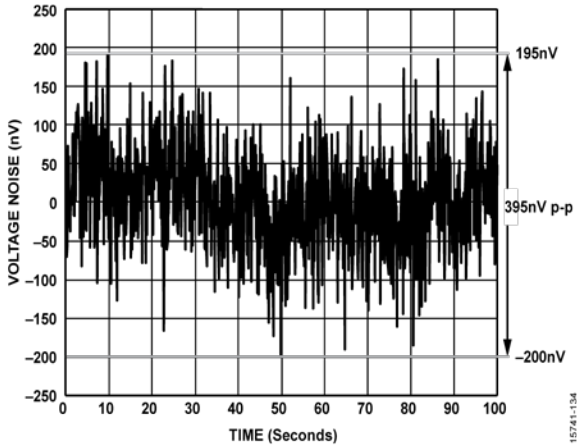


图49. 0.01 Hz至10 Hz电压噪声, RTI (增益 = 128 V/V)

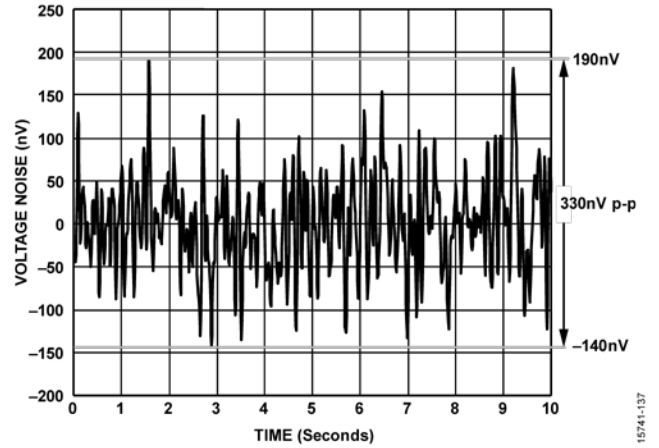


图52. 0.1 Hz至10 Hz电压噪声, RTI (增益 = 128 V/V)

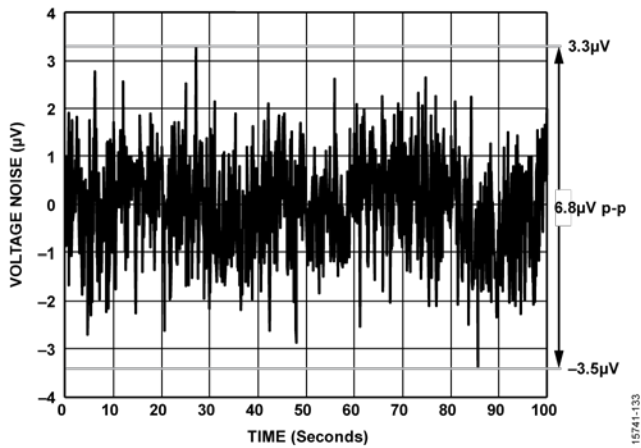


图50. 0.01 Hz至10 Hz电压噪声, RTI (增益 = 1 V/V)

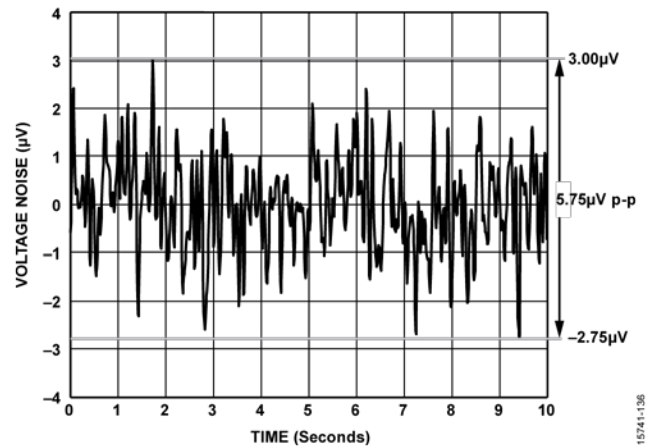


图53. 0.1 Hz至10 Hz电压噪声, RTI (增益 = 1 V/V)

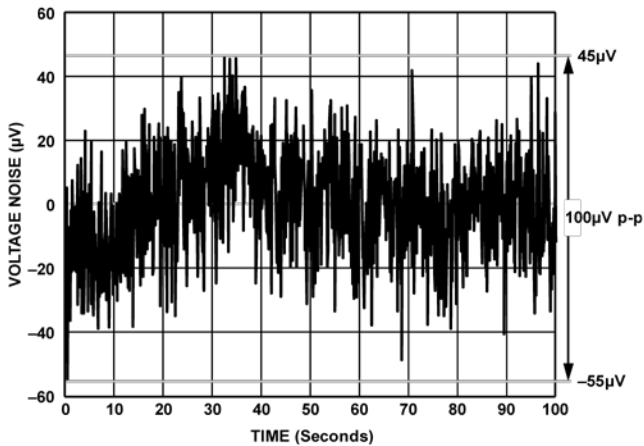


图51. 0.01 Hz至10 Hz电压噪声, RTI (增益 = 1/16 V/V)

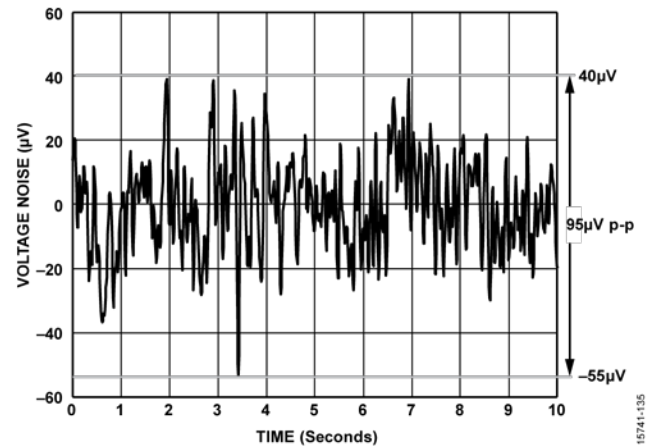


图54. 0.1 Hz至10 Hz电压噪声, RTI (增益 = 1/16 V/V)

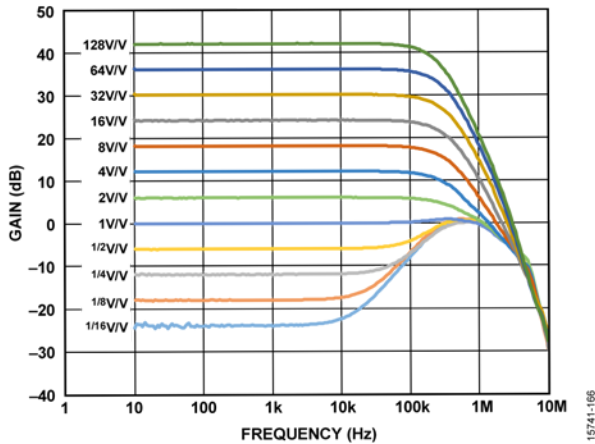


图55. 小信号频率响应

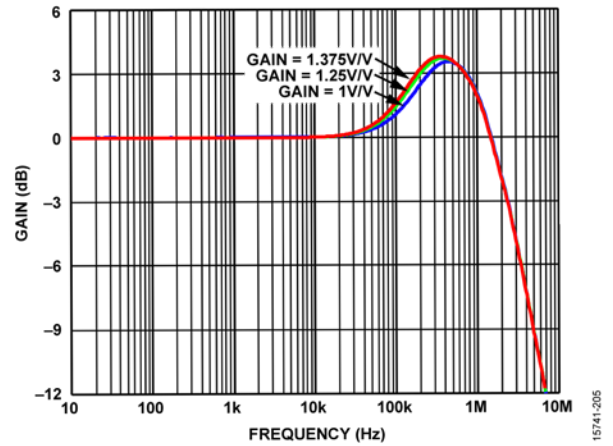


图58. VOCM小信号频率响应

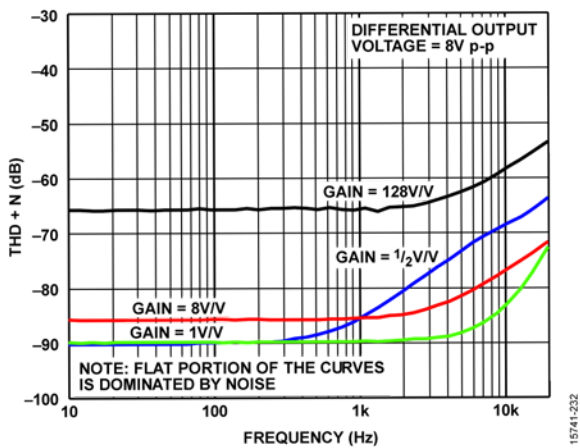


图56. 总谐波失真加噪声(THD + N)与频率的关系, 100 kHz滤波器, 差分负载电阻($R_{L, DIFF}$) = 5 k Ω

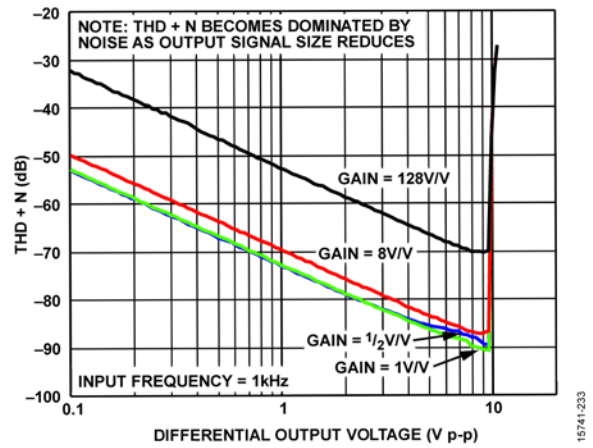


图59. THD + N与差分输出电压的关系, 100 kHz滤波器, $R_{L, DIFF}$ = 5 k Ω

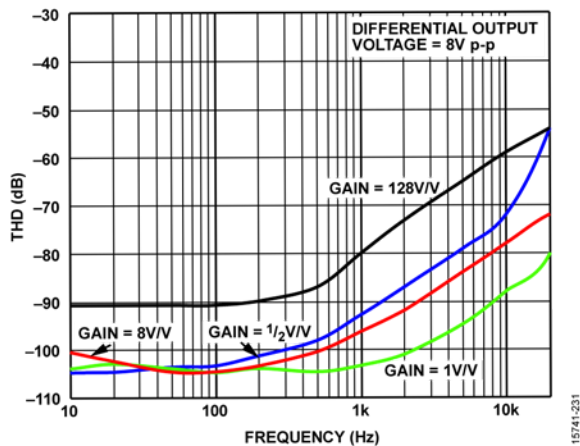


图57. THD与频率的关系, $R_{L, DIFF}$ = 5 k Ω

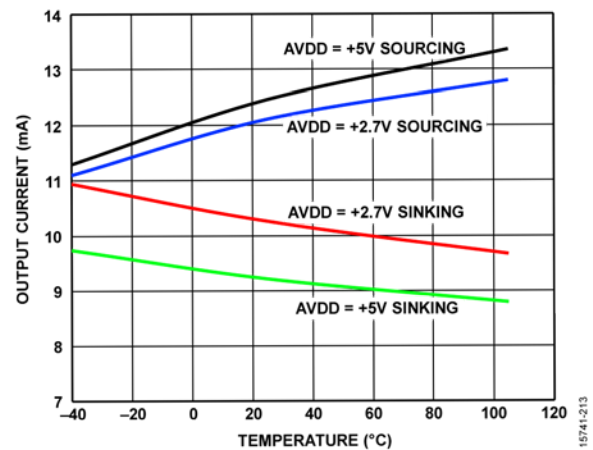


图60. 短路输出灌电流/拉电流与温度的关系

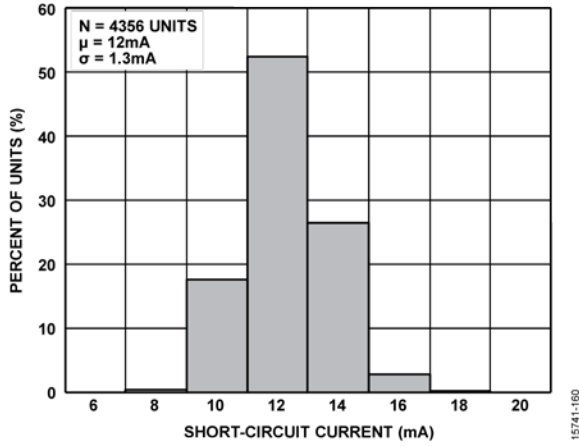


图61. 短路拉电流分布

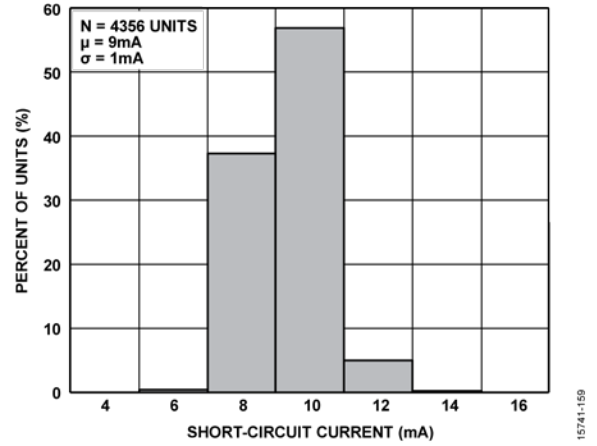


图64. 短路灌电流分布

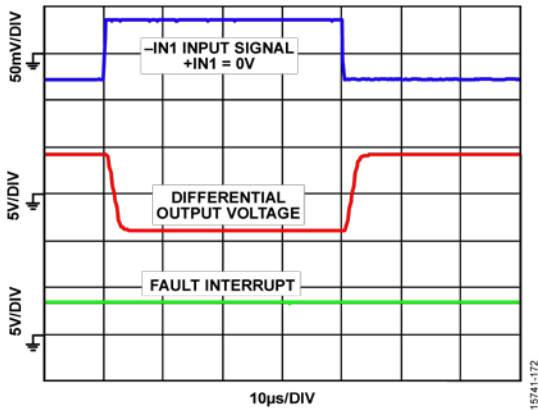


图62. 大信号阶跃响应 (增益 = 128 V/V)

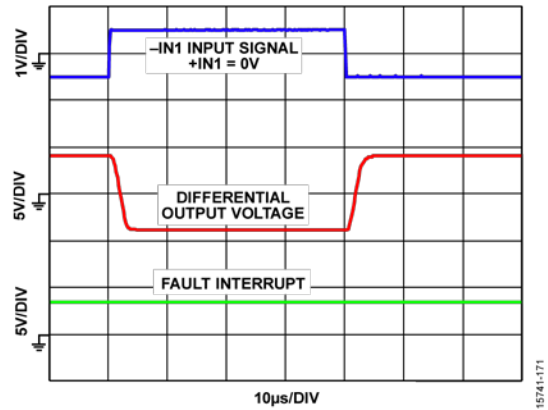


图65. 大信号阶跃响应 (增益 = 8 V/V)

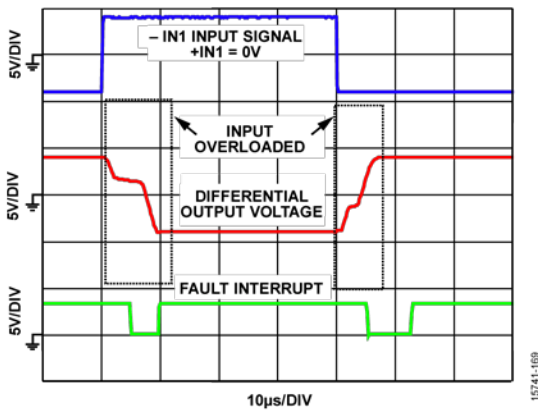


图63. 输入过载恢复阶跃响应 (增益 = 1 V/V)

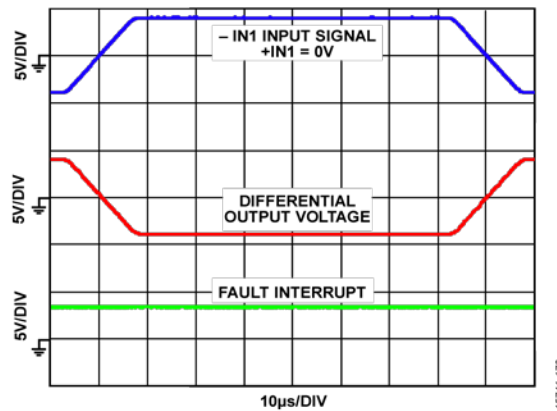


图66. 大信号阶跃响应 (增益 = 1 V/V)

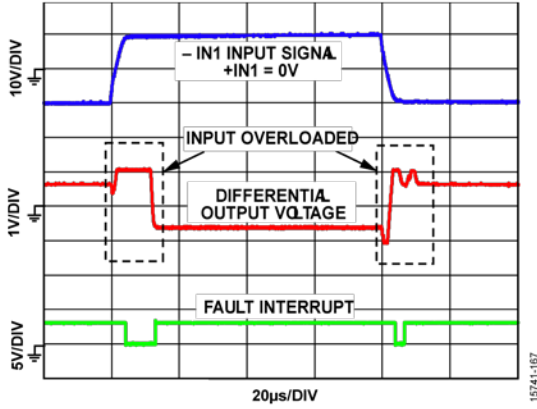


图67. 输入过载恢复阶跃响应 (增益 = 1/16 V/V)

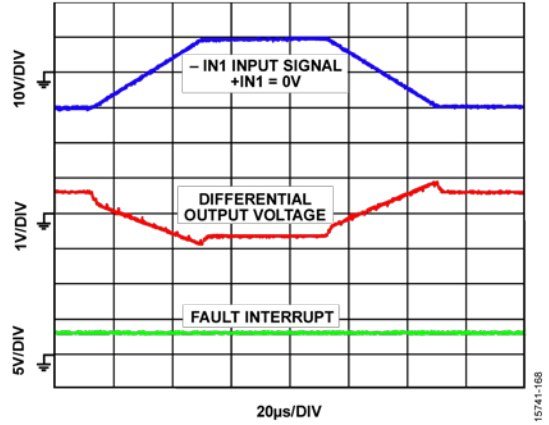


图70. 大信号阶跃响应 (增益 = 1/16 V/V)

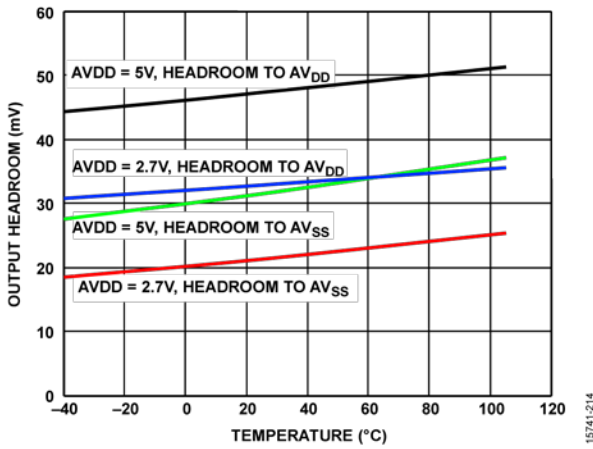


图68. 输出裕量与温度的关系

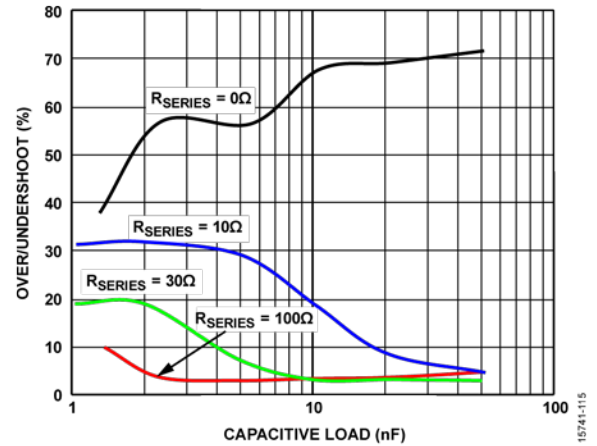


图71. 过冲/欠冲与容性负载的关系

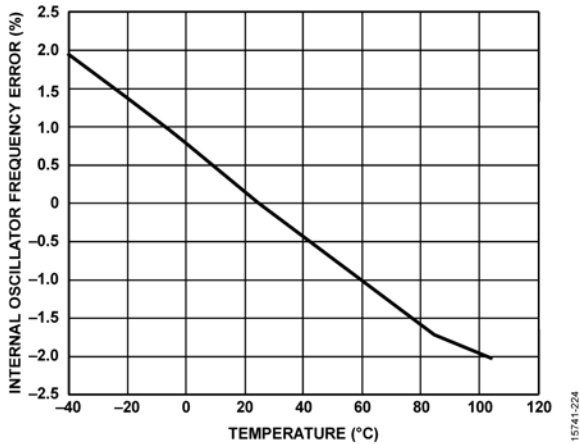


图69. 内部振荡器频率误差与温度的关系

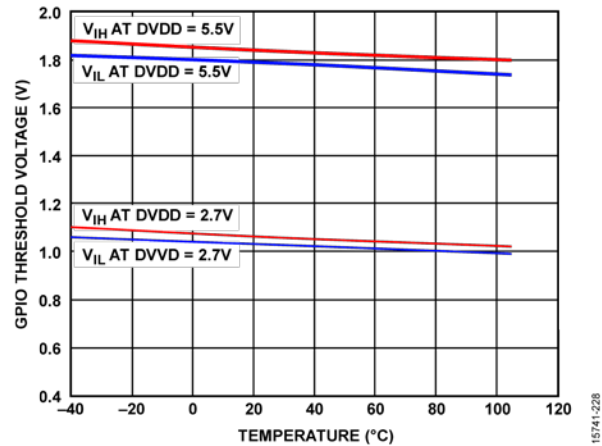


图72. GPIO 阈值电压与温度的关系

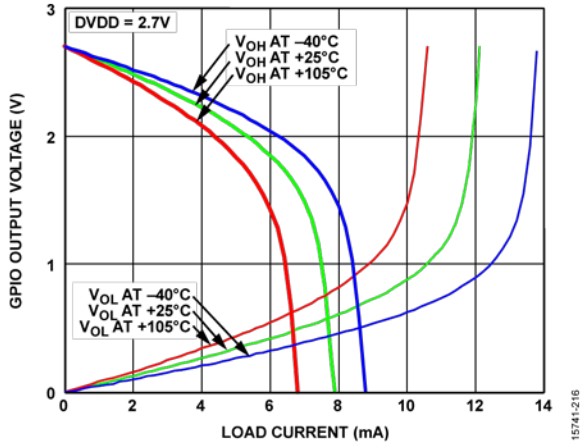


图73. 不同温度下GPIO输出电压(V_{OH}/V_{OL})与负载电流的关系;
DVDD = 2.7 V

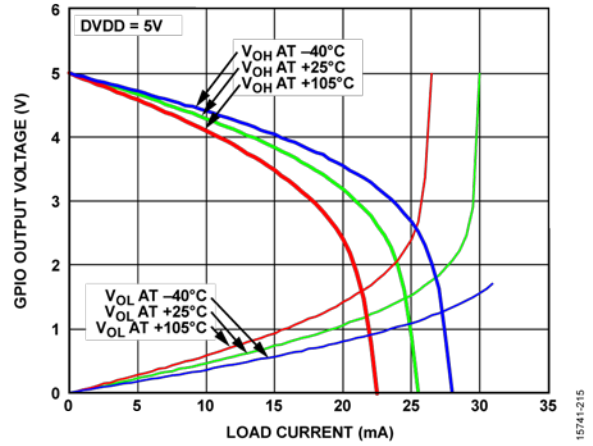


图76. 不同温度下GPIO输出电压(V_{OH}/V_{OL})与负载电流的关系;
DVDD = 5 V

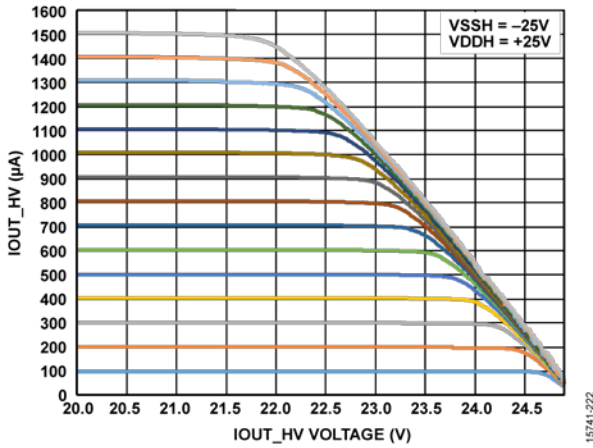


图74. IOUT_HV电流与IOUT_HV输出电压的关系

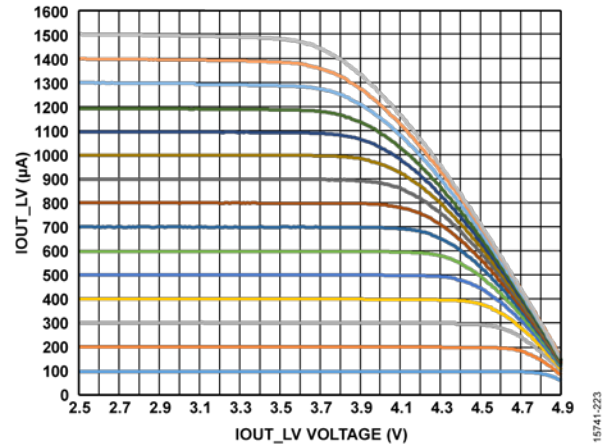


图77. IOUT_LV电流与IOUT_LV输出电压的关系

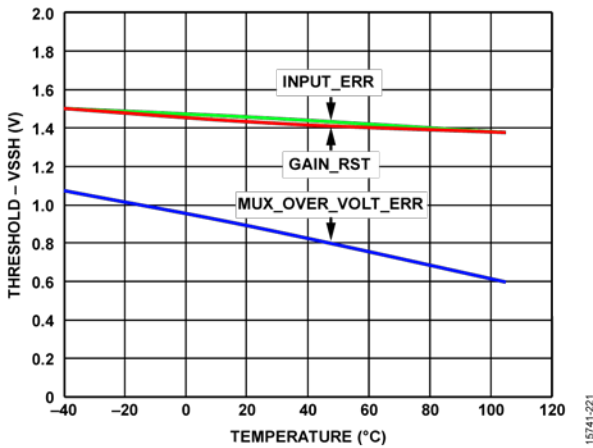


图75. 错误标志负触发电压 (阈值 - VSSH) 与温度的关系

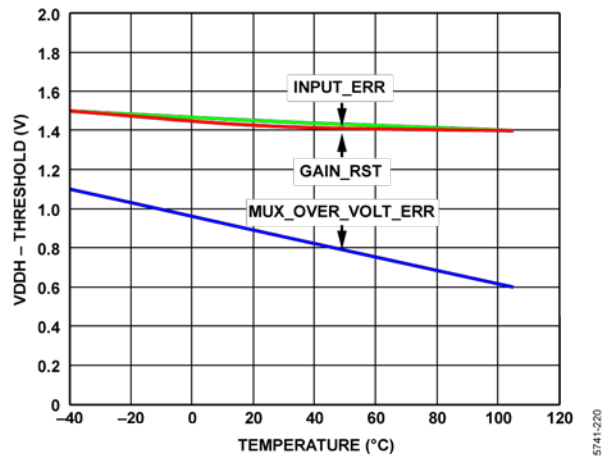


图78. 错误标志正触发电压 (VDDH - 阈值) 与温度的关系

工作原理

可编程增益仪表放大器

ADA4254是一款直流模式仪表放大器，采用零漂移放大器实现。ADA4254拓扑结构可确保在整个温度范围内以高精度工作。为了理解以下电路说明，请参考图79所示的简化架构。

输入多路复用器将输入连接到放大器A3和放大器A7，这两个放大器被配置为在 R_{IN} 输入电阻上复制这些输入电压。A1、A2、A5和A6放大器被配置为在R1、R2、R5和R6上复制内部基准电压 V_{REF} ，从而在M1、M2、M5和M6的漏极中产生四个标称相等的直流偏置电流。放大器A4和放大器A8被配置为分别在M4和M8的漏极中复制R3和R7中的电流，从而形成电流镜像。

当向ADA4254输入端施加正电压时， R_{IN} 传导一个比例电流。M3和M4的漏极电流增加此数量的电流，M7和M8的漏极电流减少此数量的电流。该部分放大器用作差分输出的跨导，每个都有 $1/R_{IN}$ 的增益。输出放大器A9配置为增益为 R_{OUT} 的互阻放大器。A9为输出提供共模电平转换，并产生一个差分输出电压($V_{OUT,DIFF}$)，如下所示：

$$V_{OUT,DIFF} = \frac{(V_{+IN} - V_{-IN}) \times R_{OUT} \times 2}{R_{IN}}$$

其中：

V_{+IN} 为正输入电压。

V_{-IN} 为负输入电压。

ADA4254放大器的总增益为 $2 \times R_{OUT}/R_{IN}$ 。不同的增益设置是通过内部接通不同值的 R_{OUT} 和 R_{IN} 来实现的。

R_{IN} 的值可以通过G3至G0位设置为12个不同的值，从而获得12个二进制加权输入增益。 R_{OUT} 的值也可以通过G4和G5将设置为三个不同的值，从而获得三个输出调整增益。表6显示了36种可能的增益配置，这使得ADA4254能够灵活地与广泛的传感器和ADC接口。

表6. 可能增益设置

输入增益	输出调整增益(V/V)		
	1	1.25	1.375
0.0625	0.0625	0.078125	0.085938
0.125	0.125	0.15625	0.171875
0.25	0.25	0.3125	0.34375
0.5	0.5	0.625	0.6875
1	1	1.25	1.375
2	2	2.5	2.75
4	4	5	5.5
8	8	10	11
16	16	20	22
32	32	40	44
64	64	80	88
128	128	160	176

ADA4254使用的每个放大器均采用专有零漂移架构，确保失调电压、失调电压漂移和1/f噪声均非常低。

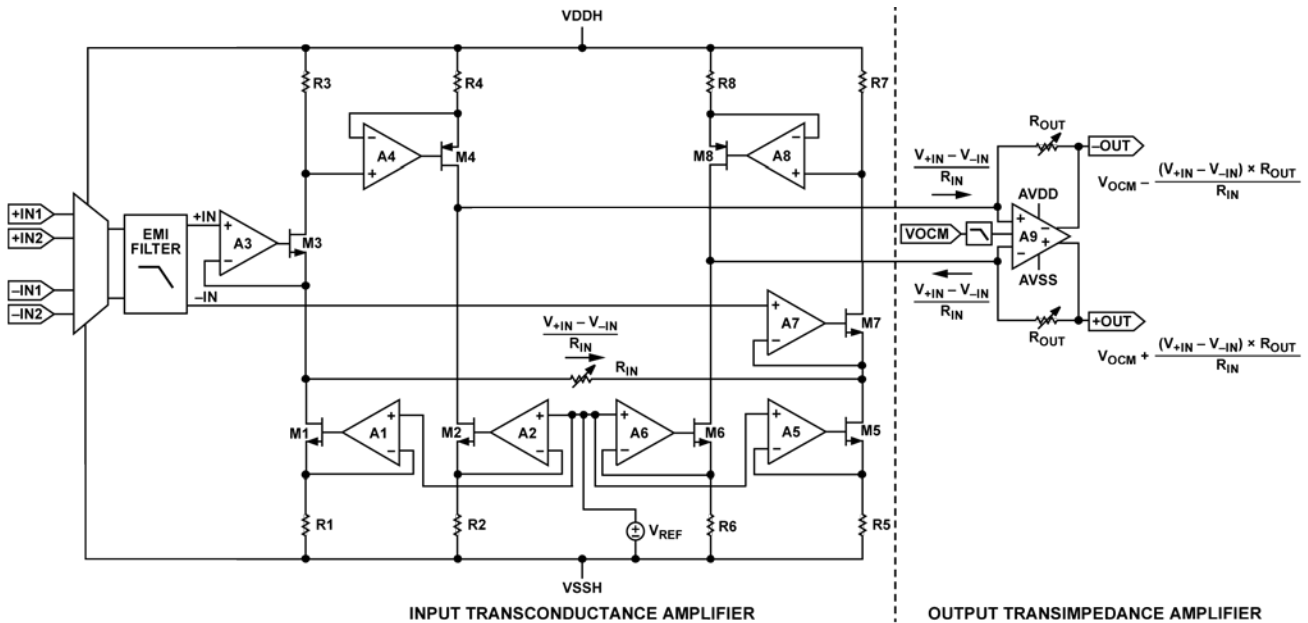


图79. ADA4254可编程增益仪表放大器的简化拓扑结构

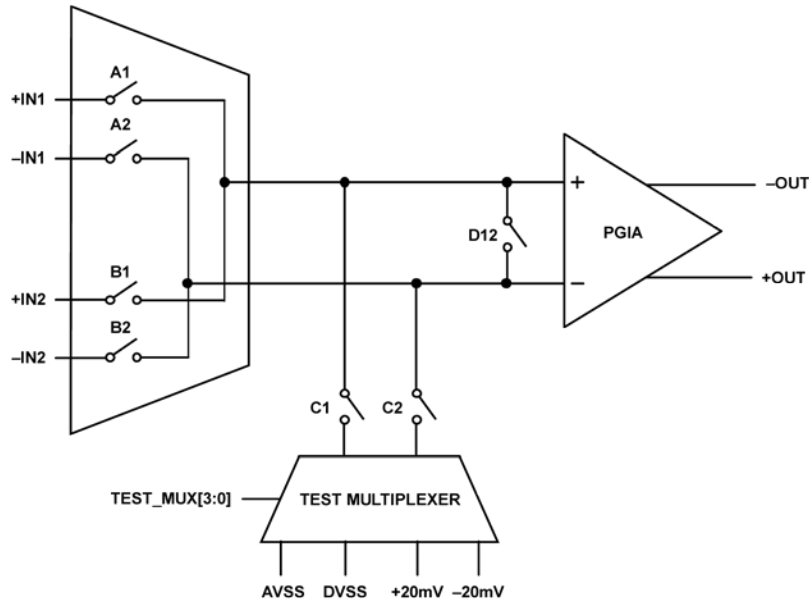


图80. 输入开关配置

输入多路复用器

ADA4254 输入多路复用器可耐受高达±60 V（相对于 VSSH）的输入电压和 60 V 差分输入电压。如图 80 所示，多路复用器在两组输入之间切换，而且多路复用器的输出端具有附加开关功能。输入切换通过 INPUT_MUX 寄存器控制。A1、A2、B1 和 B2 开关将不同输入连接到放大器。C1 和 C2 开关将多路复用器输出连接到测试多路复用器。开关 D12 将两个输入连接在一起。输入多路复用器的串扰小于 140 dB。

如果输入多路复用器检测到过大输入电压，模拟错误寄存器中的 MUX_OVER_VOLT_ERR 就会触发。设置此错误标志后，多路复用器会自动断开 A1、A2、B1 和 B2，以保护输入放大器和输入电阻网络。设置 MUX_OVER_VOLT_ERR_DIS 可禁用此错误标志和保护。默认情况下，两组输入不能同时选择。此保护可通过 MUX_PROT_DIS 覆盖。

降低 EMI 和内部 EMI 滤波器

许多工业和数据采集应用中存在大共模电压或高噪声，ADA4254 在这种情况下可以精确放大小信号。通常，这些非常小的信号（微伏或毫伏量级）的来源是传感器，其与信号调理电路可能相距甚远。虽然可以使用屏蔽或非屏蔽双绞线将这些传感器连接到信号调理电路，但线缆可能充当天线，将非常高频率的干扰直接传送到 ADA4254 的输入端。

这种高频干扰的幅度和频率可能会对仪表放大器的输入级产生不利影响，导致放大器的输入失调电压产生有害的直流偏移。这种众所周知的效应称为 EMI 整流，该效应产生于带外干扰（通过电感、电容或辐射）耦合并由仪表放大器的输入晶体管整流时。这些晶体管充当高频信号检测器，就像在早期无线电设计中将二极管用作 RF 包络检测器一样。无论什么类型的干扰，无论通过何种方法将其耦合到电路中，带外误差信号都会出现在仪表放大器的输入端。

为了最大限度地减小这种影响，ADA4254 具有 35 MHz 片内 EMI 滤波器，它能衰减高频干扰，防止其与输入晶体管发生相互作用。这些片内滤波器采用单片结构，因而匹配良好，可以最大限度地减少交流 CMRR 性能的下降。为了进一步降低这些带外信号对 ADA4254 输入失调电压的影响，可以在输入端增加一个外部低通滤波器。滤波器的位置应非常靠近电路的输入引脚。图 81 显示了一种有效的滤波器配置，其中在 ADA4254 的输入端增加了三个电容。滤波器根据以下关系式对输入信号加以限制：

$$\text{滤波器频率}_{DIFF} = \frac{1}{2\pi R(2C_D + C_C)}$$

$$\text{滤波器频率}_{CM} = \frac{1}{2\pi RC_C}$$

其中：

C_D 是差分电容，并且 $\geq 10 C_C$ 。

C_C 是共模电容。

C_D 影响差模信号。 C_C 影响共模信号。 $R \times C_C$ 的任何不匹配都会降低 ADA4254 CMRR 性能。为避免无意中降低 CMRR 带宽性能，请确保 C_C 至少比 C_D 小一个量级。较大的 C_D : C_C 比值可降低 C_C 值不匹配的影响。

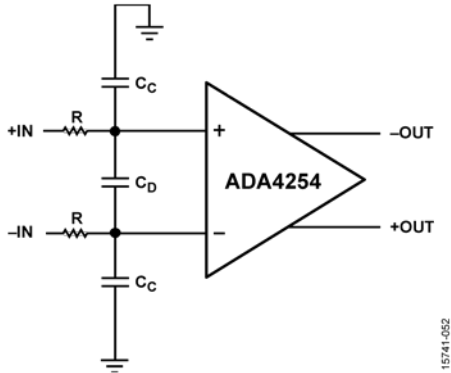


图81. 外部EMI滤波器改善噪声抑制

输入放大器

ADA4254 输入放大器采用高压电源 VDDH 和 VSSH 供电。输入放大器受到监控，检测其是否因信号摆幅过大而出现削波。如果输入放大器 (图 79 中的 A3 和 A7) 检测到输出摆幅过大，就会触发 INPUT_ERR 标志。如果 INPUT_ERR 持续超过 200 μ s，GAIN_MUX 寄存器中的增益设置将复位为默认值，并且 G_RST 标志触发。这种设置可保护输入放大器和输入电阻网络。增益复位功能可以通过 G_RST_DIS 位禁用。

输出放大器

ADA4254 具有一个全差分输出放大器，其由专用低压电源 AVDD 和 AVSS 供电。AVDD 和 AVSS 用在单电源配置中。由于输出放大器采用低压电源供电，连接到 ADA4254 输出端的电路自然就受到保护。共模输出电压由 VOVM 输入电压设置。VOVM 具有高输入阻抗，并且内部未偏置。VOVM 还有一个 29 MHz EMI 滤波器，用以最大程度地减小 EMI 干扰。通常，VOVM 通过 AVDD 和 AVSS 之间的分压器偏置为中间电源电压，以使输出摆幅最大。输出放大器可以通过 G4 或 G5 设置为三种不同的调整增益：1 V/V、1.25 V/V 或 1.375 V/V。上电或软复位时，输出放大器的调整增益默认为 1 V/V。输出放大器受到监控，检测其是否因信号摆幅过大而出现削波。当输出饱和至任一电源时，就会触发 OUTPUT_ERR 错误标志。

ADA4254 的差分输出级允许其直接连接到高精度 ADC，例如 AD7768 和 AD4007。建立这种连接时，建议使用低通滤波器以最大程度地减少噪声和混叠，如图 82 所示。LTC6363 配置为三极点低通滤波器，截止频率为 40 kHz。

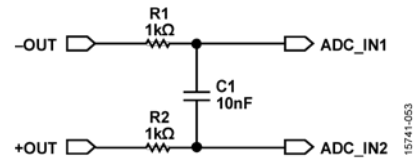


图82. 简单输出滤波器防止混叠和滤波器开关噪声

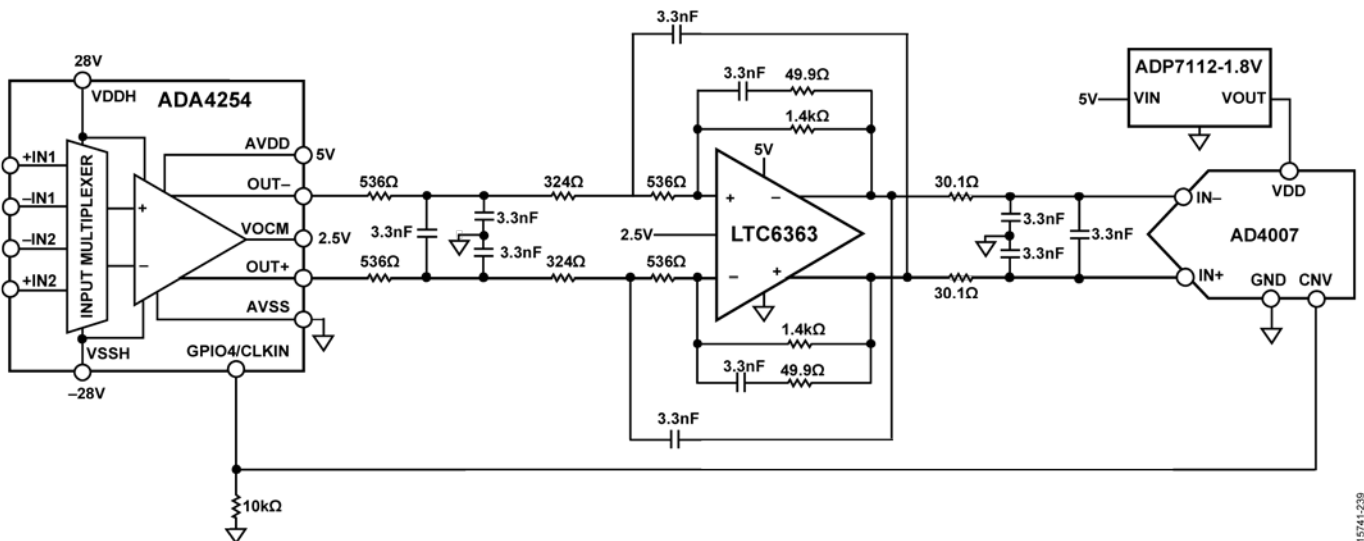


图83. LTC6363 用作低通滤波器/驱动器

电源

ADA4254 具有三个电源电压域：高压模拟输入放大器电源、低压模拟输出放大器电源和低压数字电源。

高压模拟电源 VDDH 和 VSSH 为 ADA4254 的输入部分供电。VSSH 连接到 ADA4254 的衬底。因此，VSSH 必须连接到电路中最低的负电源电压，而且不得超过 AVSS。建议使用肖特基二极管将 VSSH 箝位到 AVSS。肖特基二极管在 1 mA 时的正向偏置电压必须为 0.3 V 或更低，并且能承受 -28 V 的反向电压。ADA4254 监控 VDDH 和 VSSH 电源，以检测 VDDH 或 VSSH 是否降至 8 V 以下，并设置 POR_HV 标志。VDDH 和 VSSH 必须通过 0.1μF 和 1μF 电容去耦至地，电容应尽可能靠近引脚。

低压模拟输出放大器电源 AVDD 和 AVSS 为 ADA4254 的输出放大器供电。AVSS 必须在 VSSH - 0.3 V 至 VSSH + 30 V 和 VDDH - 30 V 至 VDDH + 0.3 V 的范围内。AVDD - AVSS 通常为 5 V 单电源，与大多数高精度 ADC 兼容。在 AVDD 和 AVSS 之间使用 0.1μF 和 10μF 的去耦电容，电容应尽可能靠近 AVDD 和 AVSS 电源引脚。

数字电源 DVDD 和 DVSS 为 ADA4254 内部的数字电路供电。DVSS 必须与 AVSS 电位相同。

在 DVDD 和 DVSS 之间使用 0.1μF 和 1μF 的去耦电容，电容应尽可能靠近 DVDD 和 DVSS 电源引脚。图 84 显示了 ADA4254 的典型电源配置。本部分中给出的建议去耦值是最低建议值。根据放大器负载和系统噪声，使用较高的电容值和/或增加额外的较低值电容可能会提高性能。

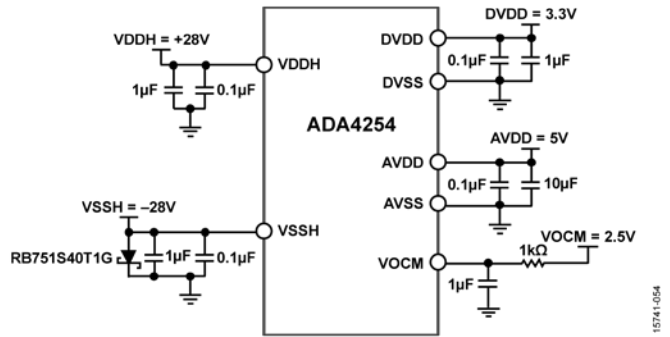


图 84. ADA4254 典型电源配置

ESD 映射

图 85 显示了 ADA4254 内部的各种 ESD 二极管路径。结合“绝对最大额定值”部分，图 85 有助于了解上电和故障情况下的电流通路。

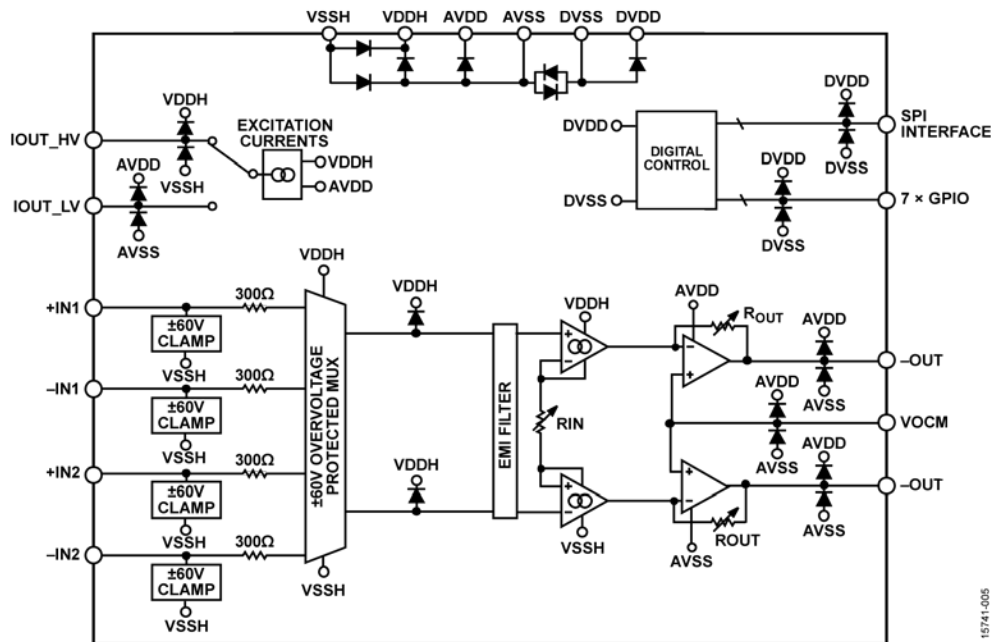


图 85. ESD 映射

输出纹波校准配置

ADA4254内部的放大器利用通常称为斩波的技术来实现零漂移。当运用斩波来使放大器的失调电压为零时，未斩波的失调电压会被调制到执行斩波的频率。所有运用斩波技术的放大器都有这种现象，一般称其为纹波。

ADA4254仪表放大器具备专有校准程序，其通过使所有放大器的内部失调为零来减少ADA4254输出端的残余电压纹波。当ADA4254初始上电、发生POR_HV事件后或发生软复位后，此校准会自动进行。进一步的校准可以在计划或触发的基础上执行。

当ADA4254执行校准时，SW_A1、SW_A2、SW_B1和SW_B2暂时断开，放大器输入通过SW_C1和SW_C2内部连接到AVSS。校准完成后，开关返回到先前状态。通过CAL_SEL可以选择两类校准：完全校准或快速校准。

完全校准会依次校准每个放大器，并全盘计算新的校准代码。此校准大约需要85 ms。完全校准总是在上电之后、POR_HV事件之后或软复位之后发生。

快速校准会同时计算所有放大器的新校准代码。然后，每个放大器的校准代码将按增量进行调整。此类校准大约需要8 ms。默认情况下，校准仅在上电之后、POR_HV事件之后或复位之后进行。其他计划的校准通过CAL_EN配置，或通过TRIG_CAL位触发。

通过CAL_EN配置校准计划之后，选定类型的校准将以CAL_EN配置的频率发生。

校准也可以通过TRIG_CAL手动触发。

当电路或环境条件改变时，由ADA4254校准例程调零的内部失调可能会发生变化。温度、电源电压、共模输入电压、时间等的变化都可能导致输出纹波增加。触发的或按计划进行的重新校准会消除内部失调，减少残余输出纹波。

校准期间，噪声可能限制ADA4254完全消除内部失调电压并充分减少残余输出纹波的能力。适当的去耦和屏蔽技术有助于确保校准精确。避免在校准期间出现较大输入瞬变。校准通常可将输出纹波减小至200 $\mu\text{V rms}$ 以下，但在有噪声或输入瞬变的情况下，可能会观测到高达5 mV rms的结果。如果检测到过大残余纹波，可以执行后续校准以减少输出纹波。

ADC同步和简单滤波（无源或有源）也是减少残余输出纹波的有效方法。这些技术在“外部时钟同步”部分和“输出放大器”部分中进行详细讨论。

通用输入/输出(GPIO)

ADA4254有若干个多功能GPIO。TSSOP封装上有五个GPIO，LFCSP封装上有七个GPIO。这些GPIO可以配置为读取逻辑输入或输出逻辑信号。GPIO引脚通过GPIO_DIR寄存器配置为输入或输出。GPIO_DIR寄存器中的位号对应于GPIO引脚号。例如，位0控制GPIO0的方向。

当将GPIO配置为输出时，GPIO_DATA寄存器设置GPIO输出。当将GPIO配置为输入时，GPIO_DATA寄存器还会读取GPIO引脚上的数据。GPIO_DATA寄存器中的位段号对应于GPIO引脚号。例如，位0对应于GPIO0。

ADA4254 GPIO可配置为执行其他特殊功能。

每个GPIO都可以配置为输出，以将片选信号从SPI主机扩展到其他从机。这种特殊功能称为顺序片选，由SCS寄存器控制。

GPIO0和GPIO1也可以配置为外部多路复用器控制信号。此功能可在特殊功能寄存器SF_CFG中使能。GPIO0和GPIO1配置为输出后，GAIN_MUX寄存器中的EXT_MUX位段控制GPIO0和GPIO1的状态，通过一次写操作便可修改增益和外部复用器设置。

GPIO2可以配置为输出一个校准繁忙信号。此功能通过CAL_BUSY_OUT使能。校准繁忙信号表明ADA4254正在执行校准程序。GPIO2必须配置为输出才能使用此特殊功能。

GPIO3可以配置为输出一个故障中断信号。该信号是ANALOG_ERR和DIGITAL_ERR寄存器中找到的所有模拟和数字错误指示的“或”运算结果。此功能通过FAULT_INT_OUT使能。GPIO3必须配置为输出才能使用此特殊功能。

GPIO4配置为输出时，可以输出1 MHz主时钟或125 kHz斩波时钟。这是通过INT_CLK_OUT和CLK_OUT_SEL进行配置。当配置为输入时，GPIO4也能接受外部时钟。此功能通过EXT_CLK_IN进行配置。

激励电流

ADA4254包含两个软件可配置的励磁电流源：IOUT_LV和IOUT_HV。这些电流源可以用来激励外部电路，例如阻性电桥或RTD传感器。IOUT_LV来自AVDD，IOUT_HV来自VDDH（见图86）。一次只能开启一个电流源。电流源可通过EX_CURRENT_SEL选择。

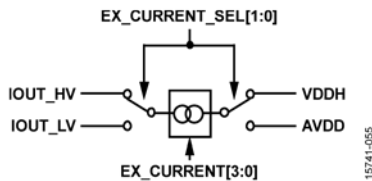


图86. 激励电流配置

激励电流可以设置为100 μ A至1.5 mA的值，增量为100 μ A。电流输出由EX_CURRENT控制。

外部时钟同步

ADA4254使用内部1 MHz主时钟。主时钟用于产生内部放大器使用的125 kHz斩波时钟。任一时钟都可以通过GPIO4引脚输出，以便与外部系统同步。使用以下程序可使能外部时钟同步特性：

1. 将GPIO_DIR寄存器中的bit4设置为1，以将GPIO4配置为输出。
2. 将SF_CFG寄存器中的INT_CLK_OUT位设置为1，以使能内部振荡器输出特殊功能。
3. 要输出125 kHz时钟，请将SYNC_CFG寄存器中的CLK_OUT_SEL位设置为1。要输出1 MHz时钟，请将CLK_OUT_SEL设置为0。

ADA4254也可以配置为接受GPIO4上的外部时钟。ADA4254支持1 MHz至32 MHz范围内的外部时钟。如果外部时钟高于1 MHz，必须使用内部时钟分频器将输入时钟分频至1 MHz。ADA4254同步的边沿也是可以配置的。

使用以下程序可将ADA4254配置为接受GPIO4上的外部时钟：

1. 将GPIO_DIR寄存器中的bit4设置为0，以将GPIO4配置为输入。
2. 根据输入时钟频率，配置内部时钟分频器值，以使最终的时钟为1 MHz。内部时钟分频器值由SYNC_CFG寄存器中的SYNC位控制。
3. 要在上升沿进行同步，请将SYNC_CFG寄存器中的SYNC_POL位设置为1。要在下降沿进行同步，请将SYNC_POL设置为0。

为了保持ADA4254的性能，外部时钟必须在指定范围内。所用时钟的质量可能会影响器件性能。应防止所用时钟出现任何过冲或下冲，并使上升和下降时间相等，以最大程度地减小对失调电压的影响。

顺序片选(SCS)

SCS是ADA4254的特殊功能之一，可以通过GPIO引脚进行配置。此模式允许多个从器件使用一条主机片选(\overline{CS})线通过SPI进行通信，从而简化了隔离要求。该通信还透明地支持CRC校验和。要将一个GPIO配置为SCS，首先应通过GPIO_DIR位将其设置为输出，然后设置SCS寄存器中的相应位。如果已经通过特殊功能寄存器SF_CFG将一个GPIO配置为其他功能，则无法将其配置为SCS模式。

使用SCS时，来自SPI主机控制器的 \overline{CS} 信号将提供给ADA4254 \overline{CS} 引脚。串行数据输入(SDI)、串行数据输出(SDO)和串行时钟(SCLK)是与其他SPI器件共享的连接。ADA4254 SDO引脚支持三态操作。如果从机引脚支持三态操作，则从机SDO引脚可以直接连接到SDO。如果从器件的SDO引脚不支持三态操作，可以使用“或”门来合并SDO信号。如果使用外部逻辑来合并SDO线，建议使用下拉电阻或上拉电阻以避免逻辑门输入悬空。图87和图88显示了典型实现方案。将ADA4254配置为SCS模式时，建议在配置为SCS模式的GPIO上放置上拉电阻，以防止与从器件进行意外通信。

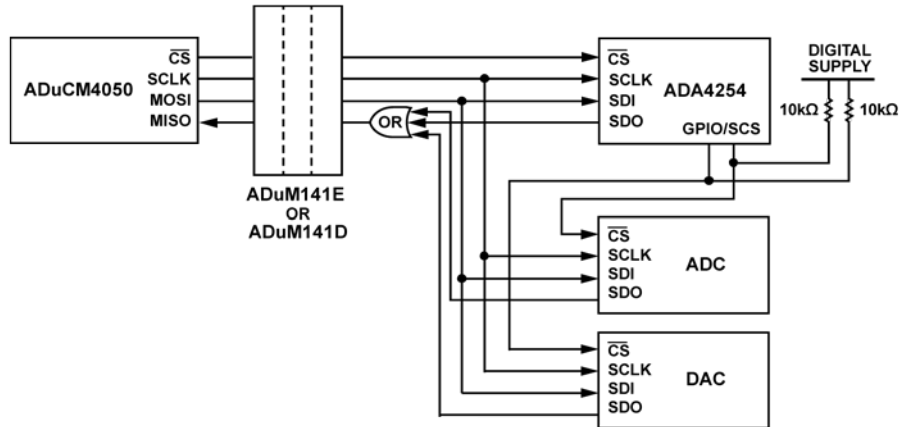


图 87. 不支持 SDO 三态的器件的典型 SCS 实现

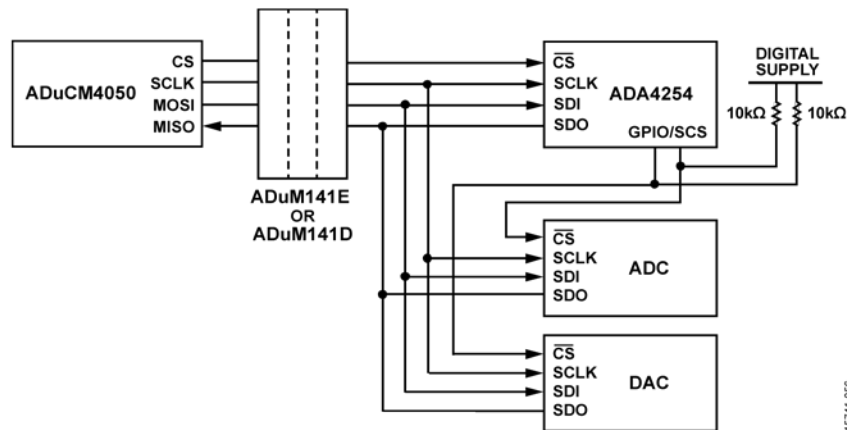


图 88. 所有器件都支持 SDO 三态的典型 SCS 实现

当配置为SCS时，与ADA4254和所有从器件的通信遵循预定义模式。第一个 $\overline{\text{CS}}$ 脉冲传递到设置为SCS的第一个GPIO，与第一个从器件有效通信。随后的 $\overline{\text{CS}}$ 脉冲以升序传递到所有配置为SCS的GPIO。最后一个 $\overline{\text{CS}}$ 脉冲寻址ADA4254本身。重复此模式，直到禁用SCS为止。

图87和图88显示了ADA4254在SCS模式下的操作，GPIO0和GPIO1与两个从器件通信。GPIO0连接到ADC的 $\overline{\text{CS}}$ 线。GPIO1连接到DAC的 $\overline{\text{CS}}$ 线。

在图89中可以看到五个不同的 $\overline{\text{CS}}$ 脉冲。第一个 $\overline{\text{CS}}$ 脉冲将0x03写入GPIO_DIR寄存器，以将GPIO0和GPIO1配置为输出。第二个 $\overline{\text{CS}}$ 脉冲将0x03写入SCS，以将GPIO0和GPIO1配置为SCS。第三个 $\overline{\text{CS}}$ 脉冲复制到GPIO0上，与第一个从器件（本例中为ADC）通信。第四个 $\overline{\text{CS}}$ 脉冲复制到GPIO1上，与第二个从器件（本例中为DAC）通信。第五个 $\overline{\text{CS}}$ 脉冲与ADA4254本身通信。这种通信模式将按照ADC、DAC和ADA4254的顺序继续进行，直到更改SCS为止。

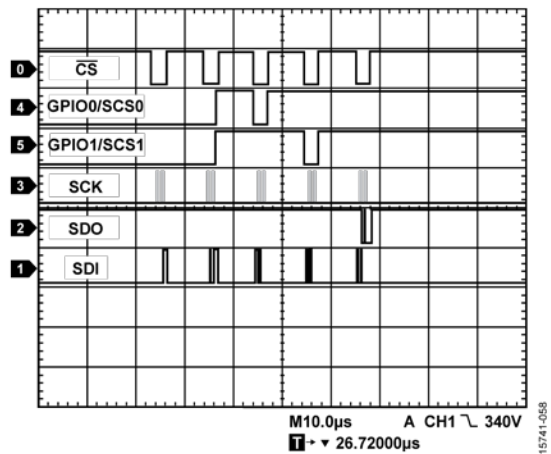


图 89. 两个从器件的 SCS 配置和操作

增益误差校准

ADA4254包含所有32种增益组合的实测增益误差，此数据可从片内ROM读取。这些误差是在25°C时测量，并在生产时存储于寄存器0x10至寄存器0x27中。使用这项技术可以将增益精度提高5倍，从而改善系统精度并减少其他校准要求。

每个寄存器包含5位。最高有效位(MSB)表示误差的极性，设置1表示负极性，设置0表示正极性。其余4位包含幅度信息，其

基于最低有效位(LSB)，GAIN_CAL1至GAIN_CAL12的一个LSB代表100 ppm，GAIN_CAL13至GAIN_CAL24的一个LSB代表50 ppm。

GAIN_CAL1至GAIN_CAL12直接提供调整增益设置为1 V/V时的所有12个增益值的实测增益误差。使用其他标量增益时，GAIN_CAL13至GAIN_CAL24提供了由此引起的额外增益误差。详见表7。

表7. 增益校准寄存器内容¹

寄存器	名称	G[3:0]	G4	G5	目录
0x10	GAIN_CAL1	0b0000	0	0	G = 1/16 V/V × 1 V/V的增益误差
0x11	GAIN_CAL2	0b0001	0	0	G = 1/8 V/V × 1 V/V的增益误差
0x12	GAIN_CAL3	0b0010	0	0	G = 1/4 V/V × 1 V/V的增益误差
0x13	GAIN_CAL4	0b0011	0	0	G = 1/2 V/V × 1 V/V的增益误差
0x14	GAIN_CAL5	0b0100	0	0	G = 1 V/V × 1 V/V的增益误差
0x15	GAIN_CAL6	0b0101	0	0	G = 2 V/V × 1 V/V的增益误差
0x16	GAIN_CAL7	0b0110	0	0	G = 4 V/V × 1 V/V的增益误差
0x17	GAIN_CAL8	0b0111	0	0	G = 8 V/V × 1 V/V的增益误差
0x18	GAIN_CAL9	0b1000	0	0	G = 16 V/V × 1 V/V的增益误差
0x19	GAIN_CAL10	0b1001	0	0	G = 32 V/V × 1 V/V的增益误差
0x1A	GAIN_CAL11	0b1010	0	0	G = 64 V/V × 1 V/V的增益误差
0x1B	GAIN_CAL12	0b1011	0	0	G = 128 V/V × 1 V/V的增益误差
0x1C	GAIN_CAL13	0b000x	1	X	G = 1/16 V/V × 1.375 V/V或G = 1/8 V/V × 1.375 V/V的附加增益误差
0x1D	GAIN_CAL14	0b001x	1	X	G = 1/4 V/V × 1.375 V/V或G = 1/2 V/V × 1.375 V/V的附加增益误差
0x1E	GAIN_CAL15	0b010x	1	X	G = 1 V/V × 1.375 V/V或G = 2 V/V × 1.375 V/V的附加增益误差
0x1F	GAIN_CAL16	0b011x	1	X	G = 4 V/V × 1.375 V/V或G = 8 V/V × 1.375 V/V的附加增益误差
0x20	GAIN_CAL17	0b100x	1	X	G = 16 V/V × 1.375 V/V或G = 32 V/V × 1.375 V/V的附加增益误差
0x21	GAIN_CAL18	0b101x	1	X	G = 64 V/V × 1.375 V/V或G = 128 V/V × 1.375 V/V的附加增益误差
0x22	GAIN_CAL19	0b000x	0	1	G = 1/16 V/V × 1.25 V/V或G = 1/8 V/V × 1.25 V/V的附加增益误差
0x23	GAIN_CAL20	0b001x	0	1	G = 1/4 V/V × 1.25 V/V或G = 1/2 V/V × 1.25 V/V的附加增益误差
0x24	GAIN_CAL21	0b010x	0	1	G = 1 V/V × 1.25 V/V或G = 2 V/V × 1.25 V/V的附加增益误差
0x25	GAIN_CAL22	0b011x	0	1	G = 4 V/V × 1.25 V/V或G = 8 V/V × 1.25 V/V的附加增益误差
0x26	GAIN_CAL23	0b100x	0	1	G = 16 V/V × 1.25 V/V或G = 32 V/V × 1.25 V/V的附加增益误差
0x27	GAIN_CAL24	0b101x	0	1	G = 64 V/V × 1.25 V/V或G = 128 V/V × 1.25 V/V的附加增益误差

¹ X表示无关。

对于使用1 V/V标量的所有增益，请使用下式计算增益误差：

$$\text{增益误差} = ((-1) \times \text{GAIN_CALx, Bit4} + (100) \times \text{GAIN_CALx, Bits[3:0]}) \text{ (ppm)}$$

对于使用1.375 V/V或1.25 V/V标量的所有增益值，必须使用下式计算，即要加上额外的增益误差(GE')：

$$\text{GE}' = \text{增益误差} + ((-1) \times \text{GAIN_CALx, Bit4} + (50) \times \text{GAIN_CALx, Bits[3:0]}) \text{ (ppm)}$$

例如，假设ADA4254设置为32 V/V的增益和1.375 V/V的调整增益。要计算所存储的增益误差，需读取GAIN_CAL10寄存器中存储的增益误差，并以ppm为单位计算误差。在此示例中，假设回读值为10101，其对应于-500 ppm的增益误差。

然后读取GAIN_CAL17中存储的额外增益误差，并以ppm为单位计算误差。在此示例中，假定回读值为00010，对应于100 ppm的额外增益误差。将这两个误差相加，得出总增益误差为-400 ppm。

断线检测

ADA4254包含两个可编程电流源，它们可通过WB_CURRENT配置为0.25 μA、2 μA、4 μA或16 μA。两个电流均从VDDH传导。这些电流与片内比较器一起，支持对ADA4254输入进行连续性测试。

使用F1和F2将这些电流切换到放大器输入，如图90所示。这些电流偏置放大器输入的电压由ADA4254内部监控。当该电压在VDDH的2 V以内时，就会触发WB_ERR标志。

当F1或F2闭合时，GAIN_MUX寄存器中的放大器增益设置会被暂时覆盖为默认值，以避免放大器输出在输入开路的情况下饱和。在此时间内读取GAIN_MUX寄存器不会反映这一点。当F1和F2断开时，GAIN_MUX值自动变回先前的值。此覆盖特性可以通过WB_G_RST_DIS禁用。

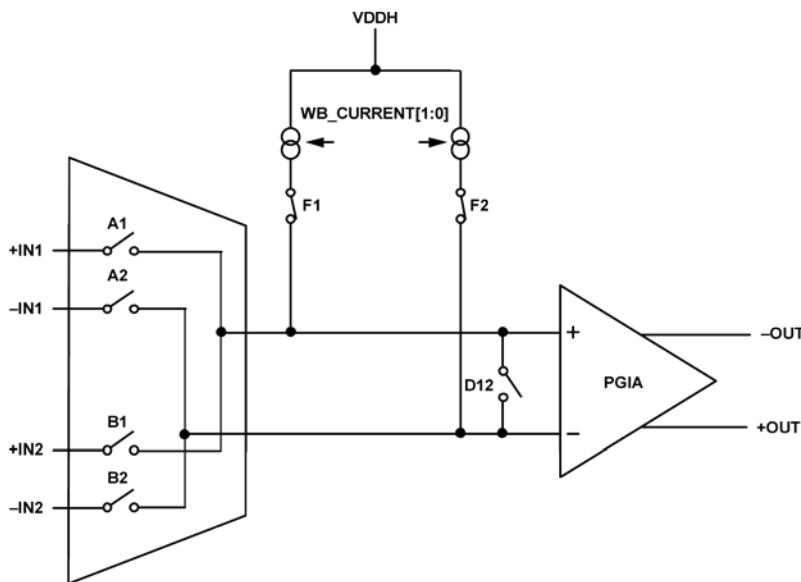


图90. 断线电流连接

测试多路复用器

ADA4254内置一个测试多路复用器，如图91所示，它将ADA4254的输入连接到有用电压。要使用测试多路复用器，必须闭合C1和C2开关。这些开关通过INPUT_MUX寄存器控制。建议通过断开A1、A2、B1和B2开关来断开输入多路复用器与任何外部输入的连接。

TEST_MUX寄存器中的TEST_MUX位控制测试多路复用器。测试多路复用器可以配置为三种不同状态，如下所示：

- 在默认状态下，测试多路复用器将 ADA4254 输入连接到 AVSS。此配置可以用在全系统校准期间以消除误差，例如失调电压。

- 测试多路复用器可以将同相输入连接到 DVSS，将反相输入连接到 AVSS，反之亦可。此配置可用来检测 AVSS 和 DVSS 之间的电压差，如有则表明连接不良。
- 测试多路复用器还可以向 ADA4254 的输入端提供 20 mV 或 -20 mV 的差分信号。此配置可用来验证 ADA4254 的增益设置和 PGIA 功能，而无需施加外部信号。

外部复用控制

ADA4254能够配置GPIO0和GPIO1来控制外部多路复用器。写入GAIN_MUX寄存器中的EXT_MUX位可设置GPIO0和GPIO1的状态，进而控制外部多路复用器。此设置允许通过单次SPI写操作来配置放大器增益和外部多路复用器设置，从而避免出现过载情况。外部复用特殊功能可以通过EXT_MUX_EN配置，并将GPIO0和GPIO1设置为输出，如图92所示。

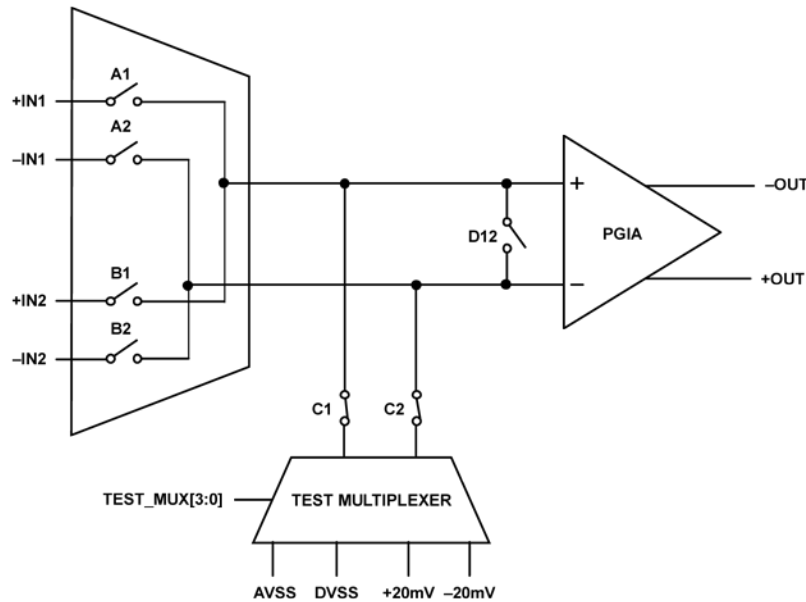


图91. 测试多路复用器连接

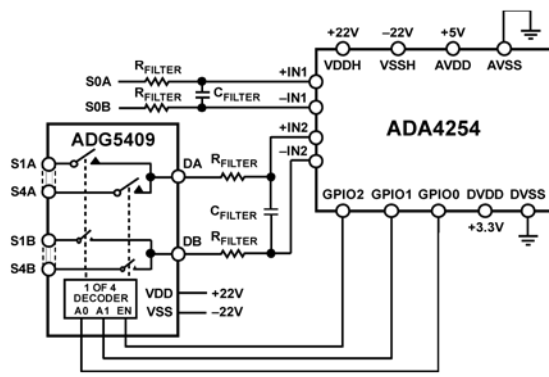


图92. 外部多路复用器控制示例

数字接口

SPI接口

ADA4254具有一个4线SPI接口。该接口以SPI模式0工作，在 \overline{CS} 接低电平时可以使用。在SPI模式0下，SCLK空闲时为低电平，SCLK的下降沿为驱动沿，SCLK的上升沿为采样沿。此设置意味着数据在下降（驱动）沿输出，在上升（采样）沿输入。



图 93. SPI 模式 0 SCLK 沿

访问ADA4254寄存器映射

ADA4254 SPI 接口使用 16 位指令，以及一个可选的 8 位 CRC 校验和。如果配置了 SPI_CRC_ERR 位，则每个指令包含一个读/写位、一个 7 位地址、8 位数据和 8 位 CRC 校验和。

表 8. ADA4254 指令格式

RW	ADDR[6:0]	DATA[7:0]	CRC[7:0]
----	-----------	-----------	----------

RW 决定执行的是读操作还是写操作（1 表示读操作，0 表示写操作）。ADDR[6:0]为要读取或写入的寄存器地址。RW 和 ADDR[6:0]一起称为 8 位命令。对于写操作，DATA[7:0]为要写入的数据，CRC[7:0]是用户为该数据提供的校验和。

每次读/写操作之后，ADA4254内部地址计数器会自动递增，从而支持连续读/写模式。初始读操作之后，如果 \overline{CS} 保持低电平，则接下来的8个SCLK脉冲回读下一个寄存器地址的内容。初始写操作之后，如果 \overline{CS} 保持低电平，则接下来的8个SCLK脉冲会将SDI上的数据加载到下一个寄存器地址。

校验和保护

ADA4254 具有校验和模式，可利用这种模式来提高接口的鲁棒性。使用校验和可确保仅将有效数据写入寄存器，并且可以对从寄存器读取的数据进行验证。如果在寄存器写操作期间发生错误，就会触发 SPI_CRC_ERR，不会写入任何数据。为确保成功写入寄存器，可以读取寄存器内容，然后验证校验和。

CRC 校验和计算始终使用如下多项式：

$$x^8 + x^2 + x + 1$$

SPI_CRC_ERR_DIS 用于使能和禁用此校验和。8 位校验和附加到每次读写处理的末尾。写处理的校验和利用 8 位命令字和 8 位数据计算。读处理的校验和利用命令字和 8 位数据输出计算。图 94 和图 95 分别显示了 SPI 读和写处理。

在连续写入模式下，第一个写命令 CRC 按照本部分先前所述方法进行计算。后续 CRC 在每个寄存器数据之后输入。连续写入模式下的 CRC 根据与之关联的寄存器值计算。在连续读取模式下，第一个读命令 CRC 按照先前所述方法进行计算。后续CRC在每个寄存器数据之后输出。连续读取模式下的CRC仅根据与之关联的寄存器值计算。图 96 和图 97 分别显示了 SPI 连续读和写处理。

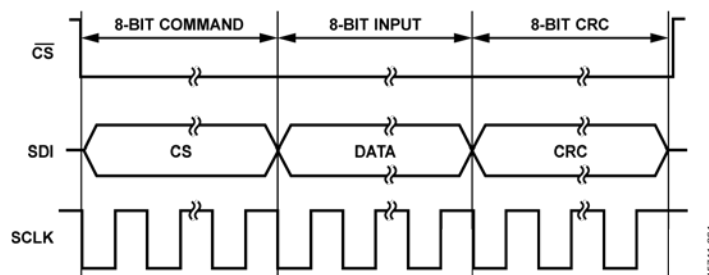


图 94. 带 CRC 的寄存器写入

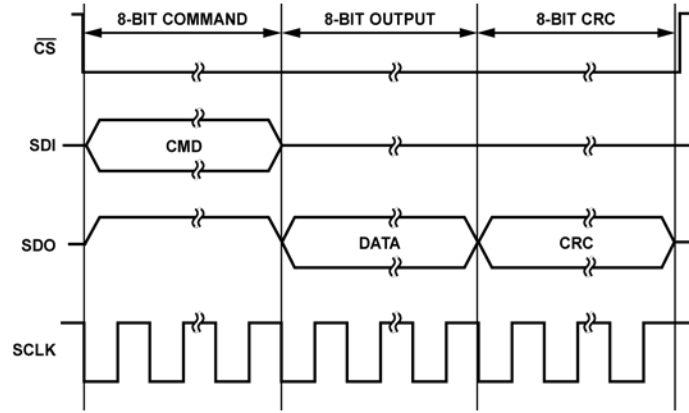


图 95. 带 CRC 的寄存器读取

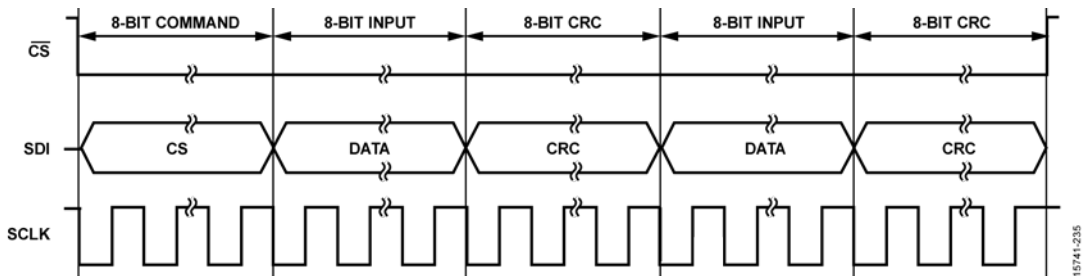


图 96. 带 CRC 的连续写入模式

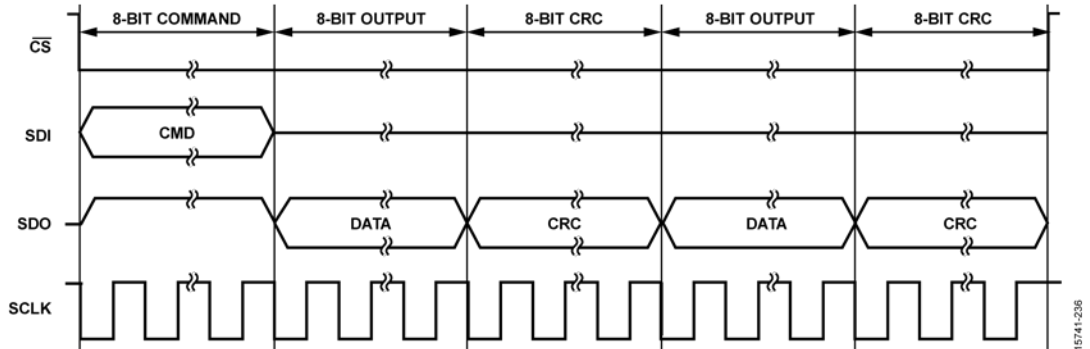


图 97. 带 CRC 的连续读取模式

CRC计算

使用以下多项式（种子为0x00）生成8位宽的校验和：

$$x^8 + x^2 + x + 1 (0b100000111)$$

为了生成校验和，需将数据左移8位，产生一个后8位为逻辑0的数值。对齐多项式，使其MSB与该数据最左侧的逻辑1对齐。对该数据应用一个异或(XOR)函数以产生一个新的、更短的数字。再次对齐多项式，使其MSB与新结果最左侧的逻辑1对齐，重复上述步骤。最后，原始数据将减少至小于多项式的值。此值即是8位校验和。

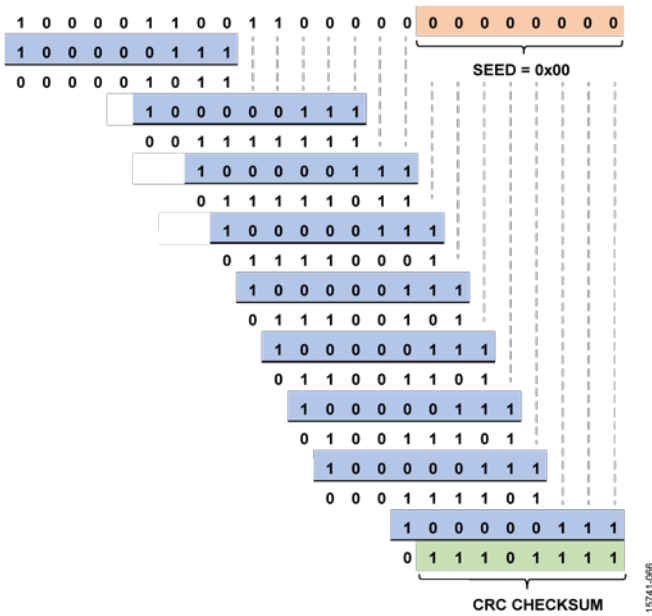


图98. 计算CRC校验和

存储器映射校验和保护

为了增强鲁棒性，还会对片内寄存器执行CRC计算。寄存器0x03、寄存器0x04和寄存器0x05不包括在此检查中，因为这些寄存器的内容变化独立于SPI写操作。CRC以15.26 Hz的速率执行。每次使用SPI写操作更改寄存器映射时，都会重新计算CRC。存储器映射CRC功能默认使能，可以通过MM_CRC_ERR_DIS予以禁用。如果发生错误，就会触发MM_CRC_ERR。

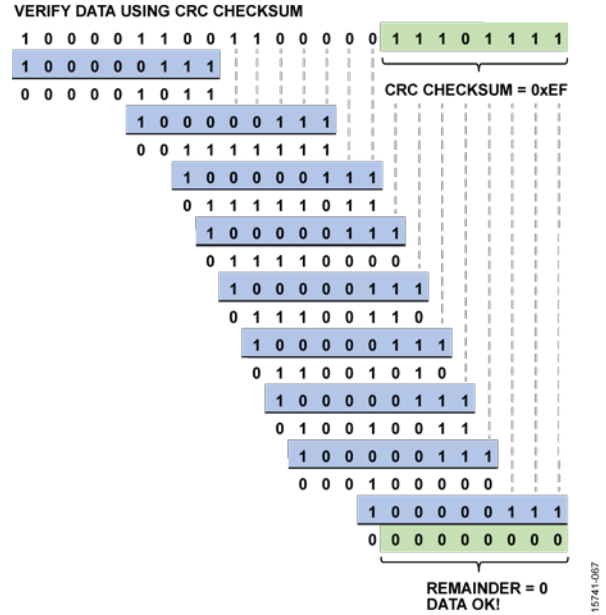


图99. 利用CRC校验和验证数据

只读存储器(ROM)校验和保护

上电时，所有Fuse寄存器均设置为默认值。这些默认值保存在ROM中。为了增强鲁棒性，还会对ROM内容执行CRC计算。该CRC校验在上电时执行。ROM CRC功能默认使能，可以通过ROM_CRC_ERR_DIS予以禁用。如果发生错误，就会触发ROM_CRC_ERR。

SPI读/写错误检测

ADA4254可以检测寻址的寄存器是否无效。读取或写入无效地址会触发SPI_RW_ERR。SPI_RW_ERR默认使能，可以通过SPI_RW_ERR_DIS予以禁用。

SPI命令长度错误检测

与ADA4254通信时，SCLK上的时钟沿数量会受到监视，以确保当CS变回高电平时，接收到的时钟沿总数可整除8。如果SCLK边沿的数量不足或过多，就会触发SPI_SCLK_CNT_ERR。SPI_SCLK_CNT_ERR默认使能，可以通过SPI_SCLK_CNT_ERR_DIS予以禁用。

应用信息

输入和输出失调电压及噪声

ADA4254 的失调电压主要有两部分:输入放大器导致的输入失调电压和输出放大器导致的输出失调电压。将输出失调除以编程的增益,并将结果加到输入失调电压上,便可获得折合到输入端(RTI)的总失调电压。在高增益时,输入失调电压占主导,而在低增益时,输出失调电压占主导。总失调电压为

$$\text{总输入失调电压(RTI)} = V_{OSI} + (V_{OSO} / \text{增益})$$

$$\text{总输出失调电压(折合到输出端(RTO))} = V_{OSI} \times \text{增益} + V_{OSO}$$

上述公式也可用来以类似方式计算失调漂移。

ADA4254 的输入失调电压长期漂移极低,如图 100 所示。如此高的稳定性要归因于 ADA4254 放大器的零漂移架构。该测试是在 ADA4254 器件浸入油浴的情况下于 25°C 进行。

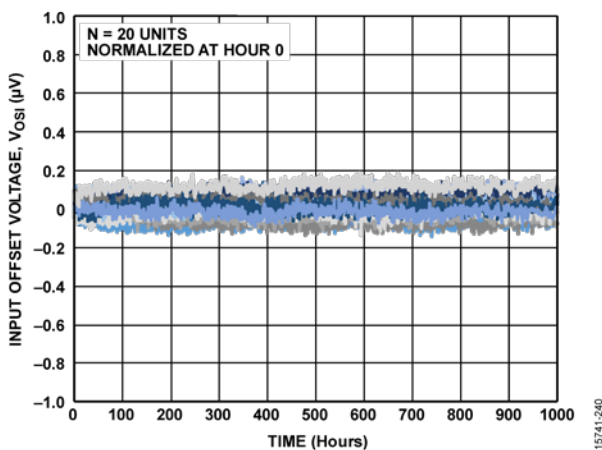


图100. 输入失调电压长期漂移

ADA4254 的噪声特性与电压失调相似。它有两个部分:输入放大器引入的输入电压噪声和输出放大器导致的输出电压噪声。将输出电压噪声除以所设置的增益,并与输入电压噪声一起求和方根,便可获得总噪声 RTI。在高增益时,输入电压噪声占主导,而在低增益时,输出电压噪声占主导。总电压噪声为

$$\text{总输入电压噪声(RTI)} = \sqrt{e_{ni}^2 + \left(\frac{e_{no}}{\text{Gain}}\right)^2}$$

$$\text{总输出电压噪声(RTO)} = \sqrt{(e_{ni} \times \text{Gain})^2 + (e_{no})^2}$$

ADC 时钟同步

ADA4254 具有多种时钟同步特性,可将内部时钟与 ADC 等其他电路同步。系统同步会滤除 ADA4254 内部斩波所引起的残余纹波。使用这些同步特性时,GPIO4 被配置为接受外部时钟信号或输出内部时钟信号之一。

当向 ADA4254 提供外部时钟时,应通过 SYNC 配置片内时钟分频器以实现标称 1 MHz 时钟。该 1 MHz 时钟进一步分频(8 分频)成 125 kHz,并控制器件斩波。斩波时钟沿可以通过 SYNC_POL 配置为与所提供时钟的上升沿或下降沿一致。建议将此配置用于 ADC 同步。

或者,内部时钟可以输出到 GPIO4,以便其他电路可以使用。通过 CLK_OUT_SEL 可以选择 1 MHz 或 125 kHz。

如图 101 所示,当 ADA4254 驱动 1 MSPS 逐次逼近寄存器 (SAR) ADC AD4007 时,推荐配置是将转换信号作为时钟输入提供给 ADA4254。在这种情况下,由于 CNV 周期为 1μs,因此 SYNC 设置为 0b000。将 SYNC_POL 设置为 1 可使斩波时钟与 CNV 信号的上升沿同步。采用这种方式配置时,ADA4254 的输出在斩波边沿之后有最长建立时间,并且在 ADC 转换阶段不会出现斩波边沿。建议使能 AD4007 的高阻模式以最大程度地提高系统性能。

如图 102 所示,当 ADA4254 驱动 AD7768 Σ-ΔADC 时,推荐配置是将 AD7768 的内部 32 MHz 时钟作为时钟输入提供给 ADA4254。在这种情况下,SYNC 设置为 0b101,以将 32 MHz 分频为 ADA4254 所用的 1 MHz。对于 Σ-Δ 转换器,由于转换器的内部工作方式,SYNC 设置对性能没有影响。当直接用 ADA4254 驱动 AD7768 时,应使能 AD7768 的内部缓冲器。或者可以在 ADA4254 和 AD7768 之间配置一个专用 ADC 驱动器/放大器。

对于这两种配置,建议执行两次读取 M_CLK_CNT 寄存器的操作,以确保主时钟计数器递增,这表明 ADA4254 正在接收外部时钟。

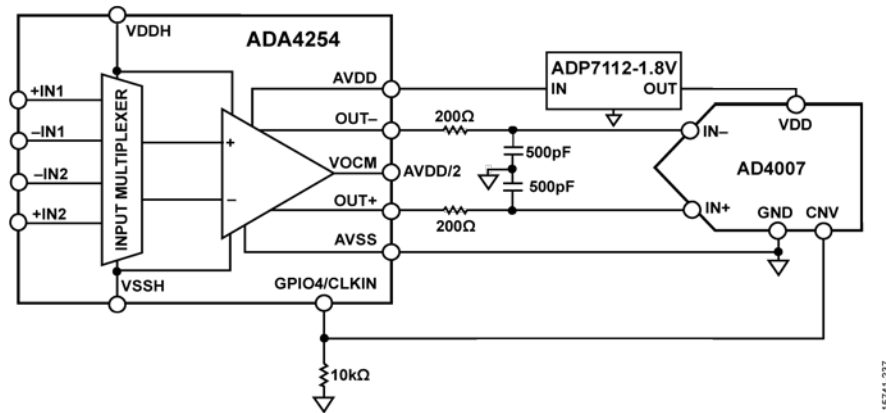


图101. 与AD4007时钟同步

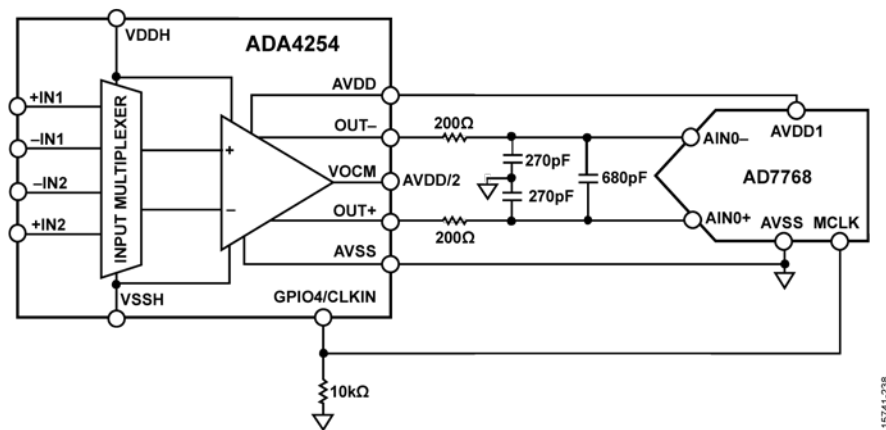


图102. 与AD7768时钟同步

可编程逻辑控制器(PLC)电压/电流输入

图103中的电路显示ADA4254用来将典型的PLC输入信号范围 ($\pm 10\text{ V}$ 、 $\pm 5\text{ V}$ 或 20 mA) 转换为 0 V 至 5 V 的输出电压, 以与AD7768等高精度ADC兼容。为了执行电压测量, 将 $0x60$ 写入INPUT_MUX寄存器, 从而将ADA4254输入多路复用器配置为通道1(+IN1和-IN1)。MOSFET开关必须断开, 方法是将GPIO0设置为逻辑低电平。GPIO0必须配置为输出, 方法是将GPIO_DIR寄存器中的相应位段设置为1。GPIO0的状态由GPIO_DATA寄存器中的相应位段控制。ADA4254增益可以通过GAIN_MUX寄存器配置, 具体取决于输入电压电平。

为了执行电流测量, 图103所示电路提供了两个不同分流电阻: 250Ω 和 100Ω 。要选择 250Ω 电阻, 必须利用GPIO_DATA寄存器将GPIO0设置为逻辑高电平, 从而接通MOSFET开关。测量利用ADA4254的通道1执行。要选择 100Ω 电阻, 必须将GPIO0设置为逻辑低电平以断开MOSFET。在这种模式下, 必须将 $0x18$ 写入INPUT_MUX寄存器来选择通道2。

ADA4254内部斩波电路可与配套ADC同步。这样可以将残余斩波噪声保持在正确的频率, 防止其折回到目标频带。要使用同步功能, 须设置GPIO_DIR寄存器中的相应位段以将GPIO4配置为输入。设置SF_CFG寄存器中的EXT_CLK_IN位段, 以将ADA4254设置为接受外部时钟。调整时钟分频器, 使得最终的时钟等于 1 MHz 。分频器可以在SYNC_CFG寄存器中调整。SYNC_CFG寄存器还控制同步边沿极性。建议执行两次读取M_CLK_CNT寄存器的操作, 以确保主时钟计数器递增, 这表明ADA4254正在接收外部时钟。

通过ADA4254片内诊断, 用户可以检查电路连接。在PLC应用中, 电路连接是利用ADA4254的断线检测功能进行验证。如果缺少某个输入连接, 就会设置WB_DETECT标志。最后, CRC校验、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作, 使接口更加鲁棒。在处理器与ADA4254之间传输数据时, CRC校验可以指示是否有数据位损坏。

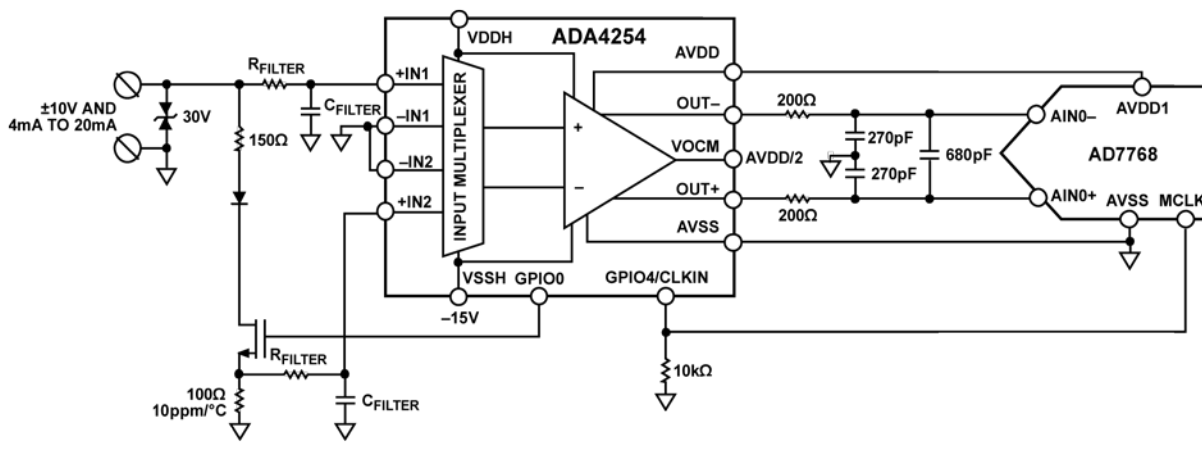


图103. 电压/电流输入应用

带电流激励的 3 线 RTD

对于三线RTD配置，如图104所示，需要一个电流源来执行测量。此示例电路使用IOUT_LV。激励电流流经RL1、RTD和RL3基准电阻(R_{REF})。假设RL1、RL2和RL3相等，那么所有引线引起的误差电压均相等。+IN1和-IN1之间的电压衡量RL1和RTD引起的压降。+IN1和-IN2之间的电压可用于计算引线电阻。第二通道+IN2和-IN2有一个精密基准电阻，用于测量IOUT_LV电流的绝对值。读取RTD电流的典型程序如下：

1. 将仪表放大器的输入短接到地，运行校准以消除系统中的任何失调电压误差。
2. 将0x60写入INPUT_MUX寄存器，以将ADA4254输入多路复用器设置为通道1 (+IN1和-IN1)。
3. 将0x40写入EX_CURRENT_CFG寄存器以接通IOUT_LV。另外，写入EX_CURRENT[3:0]位以设置电流。
4. 通过GAIN_MUX寄存器将ADA4254的增益设置为适当的增益。
5. 读取ADC。此读数表示RTD元件RL1两端的电压降。
6. 将0x18写入INPUT_MUX寄存器，以将ADA4254输入多路复用器切换至通道2 (+IN2和-IN2)。
7. 读取ADC。此读数是 R_{REF} 两端的电压降。IOUT_LV可以从该读数计算得出。
8. 在-IN1和+IN2之间进行测量。首先，通过设置MUX_PROT_DIS位来禁用输入多路复用器保护，以实现-IN1和+IN2配置。

9. 将INPUT_MUX寄存器设置为0x30。
10. 重复步骤4。
11. 读取ADC。此读数是RL3和 R_{REF} 两端的电压降。

使用步骤11的测量结果、IOUT_LV的绝对值和 R_{REF} 值来计算引线电阻。从步骤5的测量结果中减去引线电阻，计算RTD元件两端的电压降。得出RTD电压之后，便可计算RTD电阻。

ADA4254内部斩波电路可与配套ADC同步。这样有助于将残余斩波噪声保持在其频率，防止它折回到目标频带中。要使用同步功能，须设置GPIO_DIR寄存器中的相应位段以将GPIO4配置为输入。设置SF_CFG寄存器中的EXT_CLK_IN位段，以将ADA4254设置为接受外部时钟。调整时钟分频器，使得最终的时钟等于1 MHz。分频器可以在SYNC_CFG寄存器中调整。SYNC_CFG寄存器还控制同步边沿极性。建议执行两次读取M_CLK_CNT寄存器的操作，以确保主时钟计数器递增，这表明ADA4254正在获取外部时钟。

通过ADA4254片内诊断，用户可以检查电路连接。在RTD应用中，电路连接是利用ADA4254的断线检测功能进行验证。如果缺少某条RTD线，就会设置WB_DETECT标志。最后，CRC校验、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作，使接口更加鲁棒。在处理器与ADA4254之间传输数据时，CRC校验可以指示是否有数据位损坏。

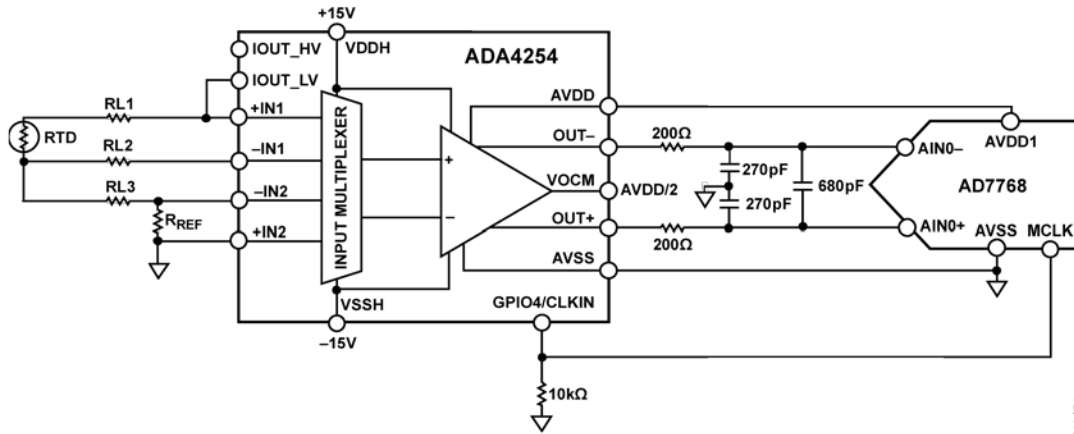


图104. 3线RTD应用

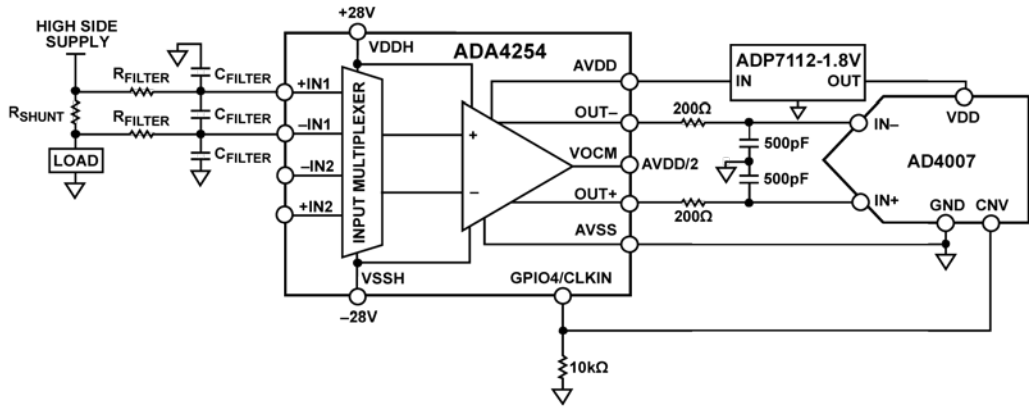


图105. 电流检测应用

高边电流检测

在高边配置（电流检测配置）中，分流电阻以高边电源端为基准。ADA4254的输入端存在高压。凭借高共模电压范围，采用 $\pm 28\text{ V}$ 电源供电时，ADA4254多路复用器可承受高达 $\pm 25\text{ V}$ 的电压。ADA4254提供的增益值范围从低至 $1/16\text{ V/V}$ 的衰减增益到高达 176 V/V 的高增益，并有出色的增益线性度和低失调电压温漂，因此它是测量宽动态范围电流的理想选择。

低通滤波器使测量中的噪声耦合最小化。ADA4254具有非常低的输入偏置电流和输入失调电流，可将流经电阻滤波器的输入偏置电流引入的误差降至最小。为使误差贡献最小，滤波电阻必须匹配。滤波电容的匹配也很重要。电容值的任何不匹配都会导致ADA4254的CMMR性能下降。

ADA4254内部斩波电路可与配套ADC同步。这样可以将残余斩波噪声保持在正确的频率，防止其折回到目标频带。要使用同

步功能，须设置GPIO_DIR寄存器中的相应位段以将GPIO4配置为输入。设置SF_CFG寄存器中的EXT_CLK_IN位段，以将ADA4254设置为接受外部时钟。调整时钟分频器，使得最终的时钟等于 1 MHz 。分频器可以在SYNC_CFG寄存器中调整。SYNC_CFG寄存器还控制同步边沿极性。建议执行两次读取M_CLK_CNT寄存器的操作，以确保主时钟计数器递增，这表明ADA4254正在接收外部时钟。

通过ADA4254片内诊断，用户可以检查电路连接。在电流检测应用中，电路连接是利用ADA4254的断线检测功能进行验证。如果分流电阻的某个连接丢失，就会设置WB_DETECT标志。最后，CRC校验、SCLK计数器和SPI读/写检查可检测到任何无效的读/写操作，使接口更加鲁棒。在处理器与ADA4254之间传输数据时，CRC校验可以指示是否有数据位损坏。

寄存器汇总

表9. 寄存器汇总

寄存器	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	GAIN_MUX	G4	G[3:0]			保留		EXT_MUX[1:0]	
0x01	复位	保留							RST
0x02	SYNC_CFG	保留	CLK_OUT_SEL	保留	SYNC_POL	保留	SYNC[2:0]		
0x03	DIGITAL_ERR	保留	CAL_BUSY	SPI_CRC_ERR	SPI_RW_ERR	SPI_SCLK_CNT_ERR	保留	MM_CRC_ERR	ROM_CRC_ERR
0x04	ANALOG_ERR	G_RST	POR_HV	保留	WB_ERR	FAULT_INT	OUTPUT_ERR	INPUT_ERR	MUX_OVER_VOLT_ERR
0x05	GPIO_DATA	GPIO_DATA[6:0]							
0x06	INPUT_MUX	保留	SW_A1	SW_A2	SW_B1	SW_B2	SW_C1	SW_C2	SW_D12
0x07	WB_DETECT	WB_G_RST_DIS	保留			SW_F1	SW_F2	WB_CURRENT[1:0]	
0x08	GPIO_DIR	GPIO_DIR[6:0]							
0x09	SCS	SCS[6:0]							
0x0A	ANALOG_ERR_DIS	G_RST_DIS	POR_HV_DIS	Reserved	WB_ERR_DIS	MUX_PROT_DIS	OUTPUT_ERR_DIS	INPUT_ERR_DIS	MUX_OVER_VOLT_ERR_DIS
0x0B	DIGITAL_ERR_DIS	Reserved	CAL_BUSY_DIS	SPI_CRC_ERR_DIS	SPI_RW_ERR_DIS	SPI_SCLK_CNT_ERR_DIS	M_CLK_CNT_ERR_DIS	MM_CRC_ERR_DIS	ROM_CRC_ERR_DIS
0x0C	SF_CFG	保留		INT_CLK_OUT	EXT_CLK_IN	FAULT_INT_OUT	CAL_BUSY_OUT	EXT_MUX_EN[1:0]	
0x0D	ERR_CFG	ERR_LATCH_DIS	保留			ERR_DELAY[3:0]			
0x0E	TEST_MUX	G5	CAL_SEL	CAL_EN[1:0]		TEST_MUX[3:0]			
0x0F	EX_CURRENT_CFG	EX_CURRENT_SEL[1:0]		保留		EX_CURRENT[3:0]			
0x10	GAIN_CALx	保留			GAIN_CAL1[4:0]				
0x11		保留			GAIN_CAL2[4:0]				
0x12		保留			GAIN_CAL3[4:0]				
0x13		保留			GAIN_CAL4[4:0]				
0x14		保留			GAIN_CAL5[4:0]				
0x15		保留			GAIN_CAL6[4:0]				
0x16		保留			GAIN_CAL7[4:0]				
0x17		保留			GAIN_CAL8[4:0]				
0x18		保留			GAIN_CAL9[4:0]				
0x19		保留			GAIN_CAL10[4:0]				
0x1A		保留			GAIN_CAL11[4:0]				
0x1B		保留			GAIN_CAL12[4:0]				
0x1C		保留			GAIN_CAL13[4:0]				
0x1D		保留			GAIN_CAL14[4:0]				
0x1E		保留			GAIN_CAL15[4:0]				
0x1F		保留			GAIN_CAL16[4:0]				
0x20		保留			GAIN_CAL17[4:0]				
0x21	保留			GAIN_CAL18[4:0]					
0x22	保留			GAIN_CAL19[4:0]					
0x23	保留			GAIN_CAL20[4:0]					
0x24	保留			GAIN_CAL21[4:0]					
0x25	保留			GAIN_CAL22[4:0]					
0x26	保留			GAIN_CAL23[4:0]					

寄存器	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x27			保留			GAIN_CAL24[4:0]			
0x2A	TRIG_CAL		保留						TRIG_CAL
0x2E	M_CLK_CNT		M_CLK_CNT[7:0]						
0x2F	DIE_REV_ID		DIE_REV_ID[7:0]						
0x64	PART_ID		PART_ID[39:32]						
0x65			PART_ID[31:24]						
0x66			PART_ID[23:16]						
0x67			PART_ID[15:8]						
0x68			PART_ID[7:0]						

寄存器详解

GAIN_MUX寄存器详解

表10. GAIN_MUX寄存器详解 (寄存器0x00)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	G4	G[3:0]			保留		EXT_MUX[1:0]	
访问类型	RW	RW			保留		RW	
复位	0	0	0	0	0	保留	0	0

Bit7, G4—输出放大器调整增益(1.375 V/V)

G4位设置为1可将输出放大器配置为1.375 V/V的调整增益。此配置将输入放大器增益G[3:0] (位[6:3]) 放大1.375 V/V。G4位优先于TEST_MUX寄存器中的G5位。将G4位设置为0时, 输出放大器配置为1 V/V或1.25 V/V的增益, 具体取决于写入G5位的值。这些增益设置总结在表11中。

表11. 输出放大器调整增益设置

G5位	G4位	输出放大器调整增益(V/V)
0	0	1
X	1	1.375
1	0	1.25

Bits[6:3], G[3:0]—输入放大器增益设置

G[3:0]位设置输入放大器的增益, 如表12所示。总增益由输出放大器调整增益调整, 调整增益通过G4位和G5位配置。输入放大器的默认增益为1/16 V/V。

表12. 输入放大器增益的寄存器值

输入放大器增益(V/V)	G[3:0]位段中的各个位			
	G3	G2	G1	G0
1/16	0	0	0	0
1/8	0	0	0	1
1/4	0	0	1	0
1/2	0	0	1	1
1	0	1	0	0
2	0	1	0	1
4	0	1	1	0
8	0	1	1	1
16	1	0	0	0
32	1	0	0	1
64	1	0	1	0
128	1	0	1	1
保留	1	1	0	0
保留	1	1	0	1
保留	1	1	1	0
保留	1	1	1	1

Bits[1:0], EXT_MUX[1:0]—外部多路复用器控制

当利用寄存器0x0C中的EXT_MUX_EN位使能外部多路复用器控制, 并且利用寄存器0x08中的GPIO_DIR位将GPIO1和/或GPIO0配置为输出时, EXT_MUX[1:0]设置GPIO1和/或GPIO0的输出。这种设置简化了外部多路复用应用中的通信, 因为对GAIN_MUX寄存器执行一次SPI写操作即可同时配置增益和外部多路复用器。使用额外的GPIO引脚和额外的SPI写操作, 可以支持大于4:1的多路复用器。

软件复位寄存器(RESET)详解

表13. 复位寄存器详解 (寄存器0x01)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称				保留				RST
访问类型				保留				W
复位				保留				0

Bit0, RST—软复位

将RST位设置为1可启动软复位。软复位会清除所有内部寄存器，

并将它们设置为默认值。RST位会自动清0。该位执行与上电复位相同的操作，随后会发生启动校准。

时钟同步配置寄存器(SYNC_CFG)详解

表14. SYNC_CFG寄存器详解 (寄存器0x02)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	CLK_OUT_SEL	保留	SYNC_POL	保留	SYNC[2:0]		
访问类型	保留	RW	保留	RW	保留	RW		
复位	保留	0	保留	0	保留	1	0	0

Bit6, CLK_OUT_SEL—时钟输出选择

ADA4254 1 MHz主时钟在内部被分频至125 kHz，并由零漂移放大器使用。当寄存器0x0C中的INT_CLK_OUT位设置为1时，将CLK_OUT_SEL设置为1会在GPIO4上输出分频后的125 kHz时钟。将CLK_OUT_SEL清0会在GPIO4上输出1 MHz主时钟。

Bit4, SYNC_POL—时钟同步极性

将外部时钟源提供给ADA4254时，该位用于配置同步使用上升沿还是下降沿。同步边沿是指ADA4254执行斩波的边沿。向该位写入1会将ADA4254与所提供时钟的正边沿同步。写入0会将ADA4254与所提供时钟的负边沿同步。

Bits[2:0], SYNC[2:0]—内部时钟分频器值

将外部时钟提供给ADA4254时，SYNC[2:0]位设置内部时钟分频器值。如果将外部时钟提供给ADA4254，时钟值必须为1 MHz，或者必须由ADA4254利用时钟分频器将其分频至1 MHz。表13列出了可用的分频器值。

表15. 时钟分频器值

分频器值	SYNC[2:0]位段中的各个位		
	SYNC2	SYNC1	SYNC0
÷1	0	0	0
÷2	0	0	1
÷4	0	1	0
÷8	0	1	1
÷16	1	0	0
÷32	1	0	1
保留	1	1	0
保留	1	1	1

数字错误寄存器(DIGITAL_ERR)详解

表16. DIGITAL_ERR寄存器详解 (寄存器0x03)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	CAL_BUSY	SPI_CRC_ERR	SPI_RW_ERR	SPI_SCLK_CNT_ERR	保留	MM_CRC_ERR	ROM_CRC_ERR
访问类型	保留	R	RW	RW	RW	保留	RW	RW
复位	保留	0	0	0	0	保留	0	0

Bit6, CAL_BUSY—校准繁忙 (只读)

CAL_BUSY表示PGIA正在进行校准和自调整操作。在该标志清零之前，ADA4254的输出是不准确的。向CAL_BUSY写入1或0无作用。当使用相应的GPIO_DIR位将GPIO2配置为输出并且CAL_BUSY_OUT位设置为1时，CAL_BUSY可以在GPIO2上输出。

Bit5, SPI_CRC_ERR—SPI CRC错误

SPI_CRC_ERR错误标志表示在与ADA4254进行SPI通信期间发生了错误。当用户提供的CRC与ADA4254 CRC计算结果不匹配时，会发生此错误。向SPI_CRC_ERR位写入1可清除此错误标志。

Bit4, SPI_RW_ERR—SPI读/写错误

SPI_RW_ERR错误标志表示试图对无效地址进行SPI读/写操作。向该位写入1可清除此错误标志。

Bit3, SPI_SCLK_CNT_ERR—SPI SCLK计数错误

SPI_SCLK_CNT_ERR错误标志表示在SPI通信期间且 \overline{CS} 为低电平时，SCLK边沿的数量不足或过多。向该位写入1可清除此错误标志。

Bit1, MM_CRC_ERR—存储器映射CRC错误

MM_CRC_ERR错误标志表示当前内部存储器映射与前一次SPI写操作的结果不匹配。如果发生此错误，建议对ADA4254寄存器重新编程。向该位写入1可清除此错误标志。

Bit0, ROM_CRC_ERR—ROM CRC错误

ROM_CRC_ERR错误标志表示内部ROM没有通过CRC检查。如果发生此错误，强烈建议复位器件或断电再重启。如果断电再重启或软复位之后此错误未消失，则器件可能已永久损坏。

模拟错误寄存器(ANALOG_ERR)详解

表17. ANALOG_ERR寄存器详解 (寄存器0x04)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	G_RST	POR_HV	保留	WB_ERR	FAULT_INT	OUTPUT_ERR	INPUT_ERR	MUX_OVER_VOLT_ERR
访问类型	RW	RW	保留	RW	RW	RW	RW	RW
复位	0	0	保留	0	0	0	0	0

Bit7, G_RST—增益复位标志

G_RST标志指示由于一个或多个输入放大器发生过压事件并持续超过200 μs, GAIN_MUX寄存器中的增益设置已复位为默认值。TEST_MUX寄存器中的G5位不会被该事件复位。这种安全措施可保护输入电阻网络免受过压影响。向该位写入1可清除此标志。清除此标志不会将增益设置恢复到先前的值。

Bit6, POR_HV—上电复位高压电源

POR_HV标志指示VDDH或VSSH上发生了一个事件,导致上电复位电路断路。当电源电压回到有效状态时,ADA4254会运行校准。向该位写入1可清除此错误标志。

Bit4, WB_ERR—断线检测错误

使用WB_DETECT寄存器执行断线测试时, WB_ERR标志指示放大器的输入端发生故障。向该位写入1可清除此错误。

Bit3, FAULT_INT—故障中断

对ANALOG_ERR寄存器和DIGITAL_ERR寄存器中所有未屏蔽的错误标志执行“或”运算,以生成FAULT_INT故障中断。使用相应的GPIO_DIR位将GPIO3配置为输出并将FAULT_INT_OUT设置为1时,此信号输出到GPIO3。向该位写入1可清除此错误。在此模式下,GPIO3为低电平有效。

Bit2, OUTPUT_ERR—输出放大器错误

OUTPUT_ERR标志表示输出放大器过载。造成过载情况的原因是输出电压饱和或放大器输出端传导了过多电流。向该位写入1可清除此错误。

Bit1, INPUT_ERR—输入放大器错误

该标志表示输入放大器之一过载。造成过载情况的原因是放大器输出之一饱和或输入电压超出范围。当该错误标志的持续时间超过200 μs时, GAIN_MUX寄存器中的增益设置会复位为默认值,并且G_RST标志设置为1。G5位不复位。向该位写入1可清除此错误。

Bit0, MUX_OVER_VOLT_ERR—输入多路复用器过压错误

MUX_OVER_VOLT_ERR标志指示输入多路复用器检测到过大电压。多路复用器会关闭所有通道以保护输入放大器。在此时间内读取INPUT_MUX寄存器不会反映这一点。该检测的阈值通常为VSSH + 0.9 V和VDDH - 0.9V。当输入电压在20 μs之后回到有效范围时,多路复用器将恢复先前的设置。如果使用了锁存模式,则错误标志将保留到复位为止。如果使用非锁存模式,则当多路复用器恢复先前的设置时,错误标志清零。

GPIO数据寄存器(GPIO_DATA)详解

表18. GPIO_DATA寄存器详解 (寄存器0x05)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	GPIO_DATA[6:0]						
访问类型	保留	RW						
复位	保留	0	0	0	0	0	0	0

Bits[6:0], GPIO_DATA[6:0]—GPIO数据值

当GPIO引脚配置为输出时，将1写入相应的GPIO_DATA位会使该GPIO引脚输出逻辑高电平。相反，将0写入相应的GPIO_DATA位会使该GPIO引脚输出逻辑低电平。

当GPIO引脚配置为输入时，每个GPIO_DATA位指示相应GPIO引脚上的电压是逻辑高电平还是逻辑低电平。读取1表示逻辑高电平。读取0表示逻辑低电平。写入配置为输入的GPIO_DATA位无作用。

内部复用控制寄存器(INPUT_MUX)详解

表19.INPUT_MUX寄存器详解 (寄存器0x06)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	SW_A1	SW_A2	SW_B1	SW_B2	SW_C1	SW_C2	SW_D12
访问类型	保留	RW	RW	RW	RW	RW	RW	RW
复位	保留	1	1	0	0	0	0	0

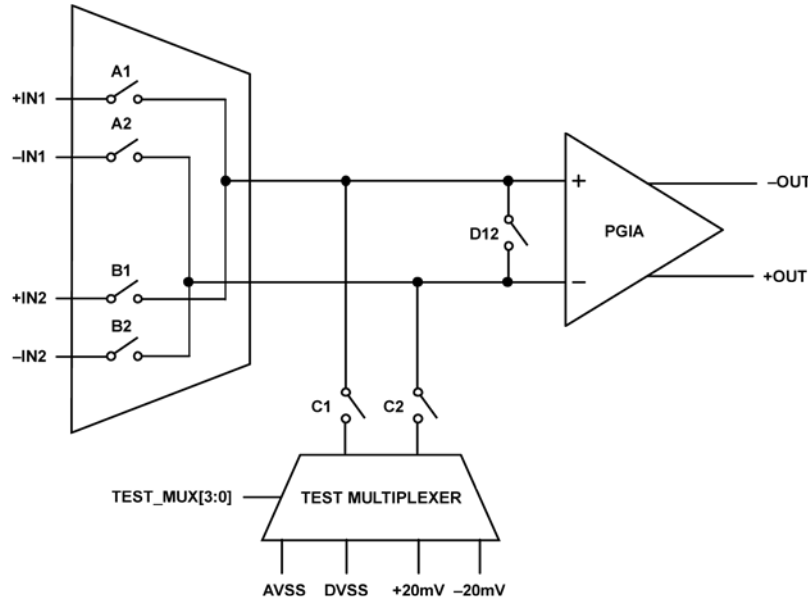


图106. 输入多路复用器开关配置

Bit6、SW_A1和位5、SW_A2—通道1输入开关

SW_A1位和SW_A2位分别控制通道1输入开关A1和A2（见图106）。将这些位设置为1会使相应的开关闭合。除非MUX_PROT_DIS位设置为1，否则SW_A1和SW_A2不能与SW_B1和SW_B2同时连接。

Bit4、SW_B1和位3、SW_B2—通道2输入开关

SW_B1位和SW_B2位分别控制通道2的输入开关B1和B2（见图106）。将这些位设置为1会使相应的开关闭合。除非MUX_PROT_DIS位设置为1，否则SW_B1和SW_B2不能与SW_A1和SW_A2同时连接。

Bit2、SW_C1和位1、SW_C2—PGIA输入测试多路复用器开关

SW_C1位和SW_C2位可以设置为1，以通过C1和C2开关将任一PGIA输入连接到输入测试多路复用器的输出（默认为AVSS，见图106）。

Bit0、SW_D12—PGIA输入短路开关

SW_D12位可以设置为1，以通过D12开关将两个PGIA输入连接在一起。

断线检测寄存器(WB_DETECT)详解

表20. WB_DETECT寄存器详解 (寄存器0x07)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	WB_G_RST_DIS		保留		SW_F1	SW_F2	WB_CURRENT[1:0]	
访问类型	RW		保留		RW	RW	RW	
复位	0		保留		0	0	1	0

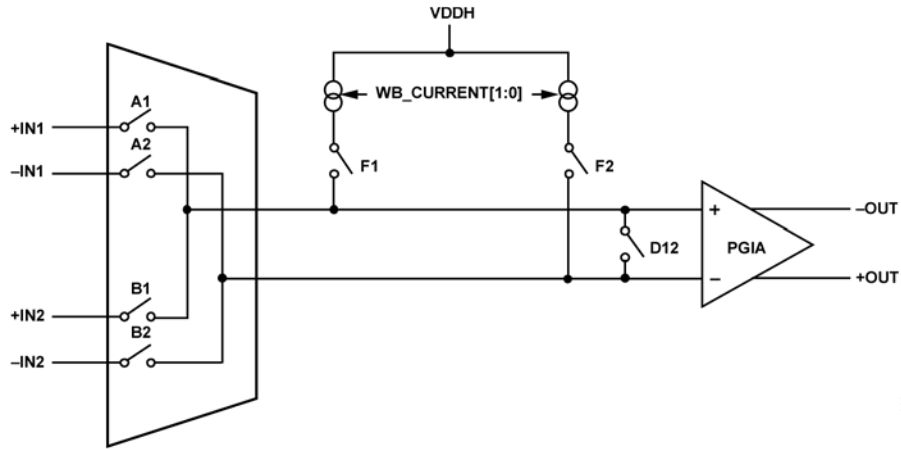


图107. 断线电流连接

Bit7, WB_G_RST_DIS—断线增益复位禁用

WB_G_RST_DIS位可以设置为1，以防止当SW_F1位或SW_F2位设置为1时，GAIN_MUX寄存器中的增益设置被覆盖为1/16 V/V。

Bit3, SW_F1和位2, SW_F2—故障开关选择

SW_F1位和SW_F2位用于将断路电流源连接到输入，如图107所示。SW_F1或SW_F2设置为1会使对应的开关闭合。两个开关可以同时闭合。当SW_F1或SW_F2设置为1且WB_G_RST_DIS清0时，GAIN_MUX寄存器中的增益设置将临时覆盖为默认值。在SW_F1或SW_F2设置为1时读取GAIN_MUX不会反映这种临时覆盖情况。当SW_F1或SW_F2清0时，增益也恢复为之前的值。

Bits[1:0], WB_CURRENT—检测电流选择

表21列出了可用于断线检测的四个不同电流值。两个电流源均设置为编程设定的值。用于检测断线事件的比较器的阈值大约与VDDH相差4V。

表21. 断线检测电流值

WB_CURRENT[1:0] Bits		电流源值	阈值 VDDH = 15 V
Bit1	Bit0		
0	0	250 nA	44 MΩ
0	1	2 μA	5.5 MΩ
1	0	4 μA (默认)	2.75 MΩ
1	1	16 μA	786.5 kΩ

GPIO方向寄存器(GPIO_DIR)详解

表22. GPIO_DIR寄存器详解 (寄存器0x08)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	GPIO_DIR[6:0]						
访问类型	保留	RW						
复位	保留	0	0	0	0	0	0	0

Bits[6:0], GPIO_DIR—GPIO方向配置

GPIO_DIR位段用于将各GPIO配置为输入或输出。将该位段中的某位设置为1时，相应的GPIO即配置为输出。将该位段中的某位清0时，相应的GPIO即配置为输入。

顺序片选寄存器(SCS)详解

表23. SCS寄存器详解 (寄存器0x09)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	SCS[6:0]						
访问类型	保留	RW						
复位	保留	0	0	0	0	0	0	0

Bits[6:0], SCS—顺序片选配置

[6:0]位将GPIO引脚配置为顺序片选(SCS)引脚。将SCS[6:0]中的任何位设置为1并通过GPIO_DIR寄存器将相应的GPIO配置为输出，可使该GPIO用作从器件的片选引脚。使用SCS时，第一个CS脉冲寻址第一个配置为SCS的GPIO。后续CS脉冲寻址其余配置为SCS的GPIO，最后一个CS脉冲寻址ADA4254。该序列以轮询方式重复，直到ADA4254被配置为其他模式。这一过程如图108所示。

从器件SCS线可能需要上拉电阻，以避免在SCS配置期间与从器件意外通信。

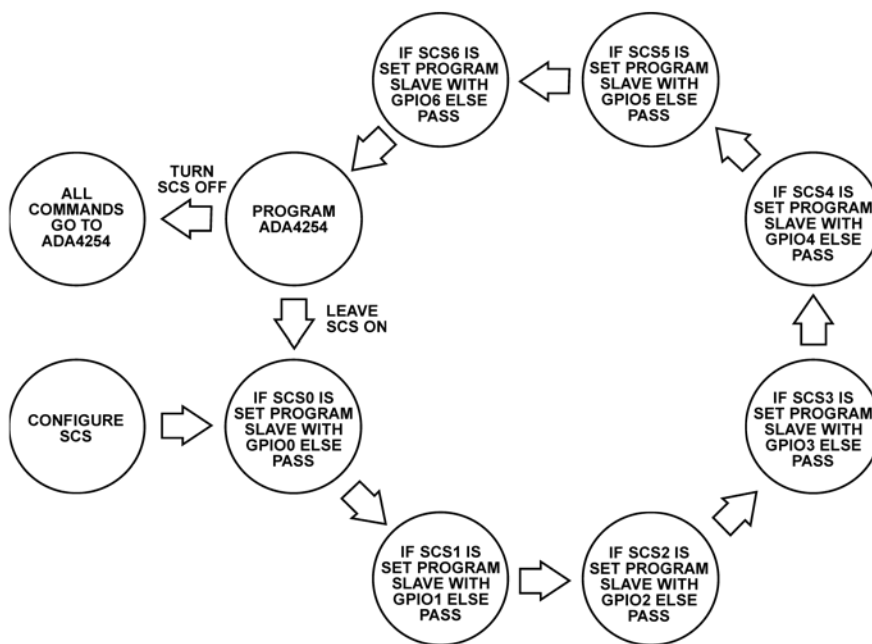


图108. 顺序片选流程图

15741-070

模拟错误屏蔽寄存器(ANALOG_ERR_DIS)详解

ANALOG_ERR_DIS寄存器可用于屏蔽ANALOG_ERR寄存器中的各错误标志。将ANALOG_ERR_DIS中的位设置为1会禁用相应的错误标志。

Bit7, G_RST_DIS—禁用增益复位错误标志

该位禁用G_RST错误标志

Bit6, POR_HV_DIS—禁用高压电源复位标志

该位禁用POR_HV错误标志。

Bit4, WB_ERR_DIS—禁用断线检测标志

该位禁用WB_ERR错误标志。

Bit3, MUX_PROT_DIS—禁用输入多路复用器保护

默认情况下，输入多路复用器不允许两组输入同时连接（这是一项安全特性）。将MUX_PROT_DIS设置为1可禁用此保护。

Bit2, OUTPUT_ERR_DIS—禁用输出放大器错误标志

该位禁用OUTPUT_ERR错误标志。

Bit1, INPUT_ERR_DIS—禁用输入放大器错误标志

该位禁用INPUT_ERR错误标志。

Bit0, UX_OVER_VOLT_ERR_DIS—禁用多路复用器过压标志

该位禁用MUX_OVER_VOLT错误标志。

表24. ANALOG_ERR_DIS寄存器详解（寄存器0x0A）

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	G_RST_DIS	POR_HV_DIS	保留	WB_ERR_DIS	MUX_PROT_DIS	OUTPUT_ERR_DIS	INPUT_ERR_DIS	MUX_OVER_VOLT_ERR_DIS
访问类型	RW	RW	保留	RW	RW	RW	RW	RW
复位	0	0	保留	0	0	0	0	0

数字错误屏蔽寄存器(DIGITAL_ERR_DIS)详解

DIGITAL_ERR_DIS寄存器可用于屏蔽DIGITAL_ERR寄存器中的各错误标志。将DIGITAL_ERR_DIS寄存器中的位设置为1会禁用相应的错误标志。

表25. DIGITAL_ERR_DIS寄存器详解（寄存器0x0B）

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	CAL_ BUSY_DIS	SPI_CRC_ERR_DIS	SPI_RW_ERR_DIS	SPI_SCLK_CNT_ERR_DIS	M_CLK_CNT_ERR_DIS	MM_CRC_ERR_DIS	ROM_CRC_ERR_DIS
访问类型	保留	RW	RW	RW	RW	RW	RW	RW
复位	保留	0	1	0	0	0	0	0

Bit6, CAL_BUSY_DIS—禁用校准繁忙错误标志

该位禁用CAL_BUSY错误标志。

Bit5, SPI_CRC_ERR_DIS—禁用SPI CRC错误标志

当SPI_CRC_ERR_DIS清0时，ADA4254对写命令会期待一个额外的校验和字节，对读命令会发送一个额外的校验和字节。默认情况下，SPI_CRC_ERR_DIS设置为1，禁用此功能。使能CRC后，可以执行手动检查以确保正确传输了CRC配置命令。如果使用CRC，建议在配置其他寄存器之前配置CRC，以便所有后续通信都接收到CRC。

Bit4, SPI_RW_ERR_DIS—禁用SPI读/写错误标志

该位禁用SPI_RW_ERR错误标志。

Bit3, SPI_SCLK_CNT_ERR_DIS—禁用SPI SCLK计数错误标志

该位禁用SPI_SCLK_CNT_ERR错误标志。

Bit2, M_CLK_CNT_ERR_DIS—禁用主时钟计数输出

当该位清0时，主时钟在M_CLK_CNT寄存器中更新。此位设置为1会阻止M_CLK_CNT递增。

Bit1, MM_CRC_ERR_DIS—禁用存储器映射CRC错误标志

该位禁用MEM_MAP_ERR错误标志。

Bit0, ROM_CRC_ERR_DIS—禁用ROM CRC错误标志

该位禁用ROM_CRC_ERR错误标志。

特殊功能配置寄存器(SF_CFG)详解

表26. SF_CFG寄存器详解 (寄存器0x0C)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留	保留	INT_CLK_OUT	EXT_CLK_IN	FAULT_INT_OUT	CAL_BUSY_OUT	EXT_MUX[1:0]	
访问类型	保留	保留	RW	RW	RW	RW	RW	
复位	保留	保留	0	0	0	0	0	0

Bit5, INT_CLK_OUT—内部振荡器输出

当通过GPIO_DIR将GPIO4配置为输出并且INT_CLK_OUT设置为1时，内部时钟之一输出到GPIO4。SYNC_CFG寄存器中的CLK_OUT_SEL决定哪个内部时钟出现在GPIO4上。

Bit4, EXT_CLK_IN—外部振荡器输入

当通过GPIO_DIR将GPIO4配置为输入并将EXT_CLK_IN设置为1时，外部时钟可以通过GPIO4提供。如果该时钟频率不是1 MHz，则必须使用片内时钟分频器，通过SYNC[2:0]位对时钟进行分频。内部时钟分频器的默认设置为16。

Bit3, FAULT_INT_OUT—故障中断输出

当通过GPIO_DIR将GPIO3配置为输出并将FAULT_INT_OUT设置为1时，FAULT_INT中的值将出现在GPIO3上。

Bit2, CAL_BUSY_OUT—校准繁忙输出

当通过GPIO_DIR将GPIO2配置为输出并将CAL_BUSY_OUT设置为1时，CAL_BUSY中的值将出现在GPIO2上。

Bits[1:0], EXT_MUX_EN[1:0]位—使能外部多路复用器控制

EXT_MUX_EN[1:0]位段中的每一位用于让GPIO1和/或GPIO0可以由GAIN_MUX寄存器中的EXT_MUX控制。

错误配置寄存器

表27. CFG_C寄存器详解（寄存器0x0D）

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	ERR_LATCH_DIS		保留			ERR_DELAY[3:0]		
访问类型	RW		保留		RW	RW	RW	RW
复位	0		保留		0	1	0	0

Bit7, ERR_LATCH_DIS—禁用错误锁存

默认情况下，ERR_LATCH_DIS清0，错误标志会被锁存并需要复位。将ERR_LATCH_DIS设置为1可使错误在相应的输出上透明地出现（非锁存）。当ERR_LATCH_DIS设置为1时，可以在ERR_DELAY配置的时间内抑制错误。

Bits[3:0], ERR_DELAY[3:0]—错误抑制时间

当ERR_LATCH_DIS设置为1时，ERR_DELAY决定错误必须存在多少时钟周期之后才会触发错误标志，这样可消除噪声和瞬变引起的误触发。

表28. 错误标志抑制时间

ERR_DELAY[3:0]	时钟周期(μS)
0x0	0
0x1	1
0x2	2
0x3	3
0x4	4
0x5	5
0x6	6
0x7	7
0x8	8
0x9	12
0xA	16
0xB	24
0xC	32
0xD	48
0xE	64
0xF	127

测试多路复用器寄存器(TEST_MUX)详解

表29. TEST_MUX寄存器详解 (寄存器0x0E)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	G5	CAL_SEL	CAL_EN[1:0]		TEST_MUX[3:0]			
访问类型	RW	RW	RW		RW			
复位	0	0	0	0	0	0	0	0

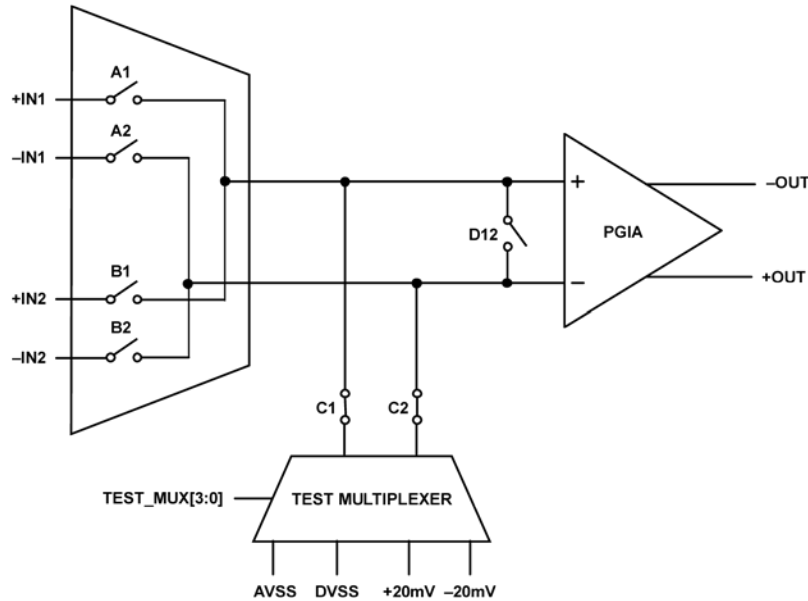


图109. 测试多路复用器连接

Bit7, G5—输出放大器调整增益 = 1.25 V/V

将G4位清0并将G5位设置为1, 可将输出放大器的调整增益值配置为1.25 V/V。此设置将GAIN_MUX寄存器中配置的输入放大器增益放大1.25 V/V。

表30. 输出放大器调整增益设置

G5	G4	输出放大器调整增益(V/V)
0	0	1
X	1	1.375
1	0	1.25

Bit6, CAL_SEL—校准类型配置

将CAL_SEL位清0时, 可将ADA4254配置为执行快速校准。将CAL_SEL设置为1时, 可将ADA4254配置为执行完整校准。

Bits[5:4], CAL_EN[1:0]—计划校准使能和间隔

CAL_EN用于使能计划的校准并配置执行这些校准的间隔时间。当执行校准时, PGIA的输入不连接到输入引脚。CAL_BUSY信号指示校准是否正在进行。通过GPIO_DIR将GPIO2配置为输出并将CAL_BUSY_OUT设置为1, 可以让CAL_BUSY输出到GPIO2。在校准期间应最小化并避免噪声和输入瞬变。

表31. 计划校准配置

CAL_EN, Bit1	CAL_EN, Bit0	计划校准配置
0	0	禁用
0	1	使能, 间隔33秒
1	0	使能, 间隔132秒
1	1	使能, 间隔495秒

Bits[3:0], TEST_MUX[3:0]—输入测试多路复用器配置

TEST_MUX[3:0]位用于配置输入测试多路复用器, 它可以将四个不同信号切换到任一输入进行诊断和校准。这四个电位是AVSS、DVSS、+20 mV和-20 mV。为将这些多路复用器的输出连接到放大器输入, 还必须将SW_C1和SW_C2设置为1。

表32. 测试多路复用器配置

TEST_MUX[3:0]	同相输入	反相输入
0000	AVSS	AVSS
0001	DVSS	AVSS
0100	AVSS	DVSS
0101	DVSS	DVSS
1010		+20 mV
1111		-20 mV

激励电流配置寄存器(EX_CURRENT_CFG)详解

表33. EX_CURRENT_CFG寄存器详解 (寄存器0x0F)

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	EX_CURRENT_SEL[1:0]			保留	EX_CURRENT[3:0]			
访问类型	RW			保留	RW			
复位	0	0		保留	0	0	0	0

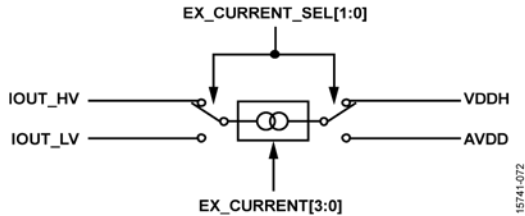


图110. 激励电流连接

Bits[7:6], EX_CURRENT_SEL[1:0]—激励电流连接配置

EX_CURRENT_SEL[1:0] 将内部电流源配置为 IOUT_LV 或 IOUT_HV。表34列出了所有可用配置。当使用 IOUT_LV 时，该电流的来源为 AVDD。当使用 IOUT_HV 时，该电流的来源为 VDDH。

表34. 激励电流源连接

EX_CURRENT_SEL[1:0]	电流源
0b00	无
0b01	IOUT_LV
0b10	IOUT_HV
0b11	IOUT_LV

Bits[3:0], EX_CURRENT[3:0]—激励电流值

EX_CURRENT[3:0] 位配置通过 EX_CURRENT_SEL 连接的电流源值。表35列出了所有可能的电流值。

表35. 激励电流值

EX_CURRENT[3:0]	激励电流值
0x0	0 μ A
0x1	100 μ A
0x2	200 μ A
0x3	300 μ A
0x4	400 μ A
0x5	500 μ A
0x6	600 μ A
0x7	700 μ A
0x8	800 μ A
0x9	900 μ A
0xA	1 mA
0xB	1.1 mA
0xC	1.2 mA
0xD	1.3 mA
0xE	1.4 mA
0xF	1.5 mA

增益校准寄存器(GAIN_CALx)详解

增益校准寄存器包含每个ADA4254的实测增益误差。有关如何使用这些值的详细信息，请参阅“增益误差校准”部分。GAIN_CAL1至GAIN_CAL12存储调整增益为1 V/V的各输入增益设置的增益误差结果。当使用1 V/V的调整增益时，器件直接使用这些增益误差值。GAIN_CAL13至GAIN_CAL24存储使

用1.375 V/V或1.25 V/V调整增益时导致的任何额外增益误差。当使用非1 V/V的调整增益时，必须将从相应的GAIN_CAL1到GAIN_CAL12寄存器读取的增益误差与从相应的GAIN_CAL13到GAIN_CAL24读取的额外增益误差相加。例如，如果输入增益为2 V/V，并且使用1.25 V/V的调整增益，则总增益误差为GAIN_CAL6 + GAIN_CAL21。

表36. GAIN_CAL寄存器详解（寄存器0x10至寄存器0x27）

寄存器	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x10	GAIN_CALx		保留				GAIN_CAL1[4:0]		
0x11			保留				GAIN_CAL2[4:0]		
0x12			保留					GAIN_CAL3[4:0]	
0x13			保留					GAIN_CAL4[4:0]	
0x14			保留					GAIN_CAL5[4:0]	
0x15			保留					GAIN_CAL6[4:0]	
0x16			保留					GAIN_CAL7[4:0]	
0x17			保留					GAIN_CAL8[4:0]	
0x18			保留					GAIN_CAL9[4:0]	
0x19			保留					GAIN_CAL10[4:0]	
0x1A			保留					GAIN_CAL11[4:0]	
0x1B			保留					GAIN_CAL12[4:0]	
0x1C			保留					GAIN_CAL13[4:0]	
0x1D			保留					GAIN_CAL14[4:0]	
0x1E			保留					GAIN_CAL15[4:0]	
0x1F			保留					GAIN_CAL16[4:0]	
0x20			保留					GAIN_CAL17[4:0]	
0x21			保留					GAIN_CAL18[4:0]	
0x22			保留					GAIN_CAL19[4:0]	
0x23			保留					GAIN_CAL20[4:0]	
0x24		保留					GAIN_CAL21[4:0]		
0x25		保留					GAIN_CAL22[4:0]		
0x26		保留					GAIN_CAL23[4:0]		
0x27		保留					GAIN_CAL24[4:0]		
访问类型			保留						R

触发校准寄存器(TRIG_CAL)详解**表37. TRIG_CAL寄存器详解 (寄存器0x2A)**

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	保留							TRIG_CAL
访问类型	保留							W
复位	保留							0

Bit0, TRIG_CAL—触发校准输入

通过CAL_EN禁用计划的校准后，将TRIG_CAL设置为1会启动一个校准序列。触发的校准类型可以通过CAL_SEL配置。TRIG_CAL位会自动清0。

主时钟计数寄存器(M_CLK_CNT)详解**表38. M_CLK_CNT寄存器详解 (寄存器0x2E)**

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	M_CLK_CNT[7:0]							
访问类型	R							

Bits[7:0], M_CLK_CNT[7:0]—主时钟计数

M_CLK_CNT包含一个主时钟计数器，当M_CLK_CNT_ERR清0时，该计数器递增。计数器每512 μs更新一次。将M_CLK_CNT_ERR设置为1会阻止此寄存器更新。

芯片版本标识寄存器(DIE_REV_ID)详解**表39. DIE_REV_ID寄存器详解 (寄存器0x2F)**

	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位名称	DIE_REV_ID[7:0]							
访问类型	R							
复位	0	0	1	1	0	0	0	0

Bits[7:0], DIE_REV_ID[7:0]—芯片版本标识号

DIE_REV_ID包含一个固定值0x20，可用于验证与ADA4254的SPI通信。

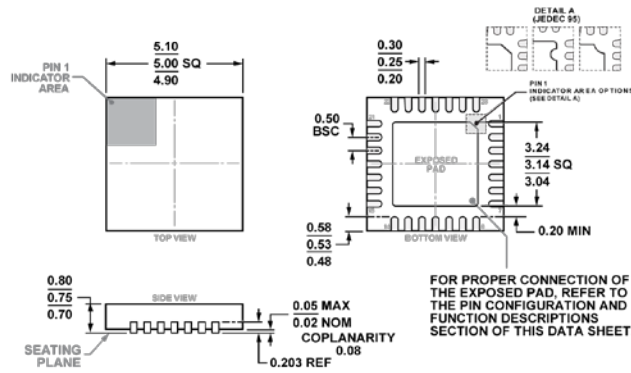
器件标识寄存器(PART_ID)详解**表40. PART_ID寄存器详解 (寄存器0x2A) ¹**

寄存器	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x64	PART_ID[39:32]							
0x65	PART_ID[31:24]							
0x66	PART_ID[23:16]							
0x67	PART_ID[15:8]							
0x68	PART_ID[7:0]							
访问类型	R							

PART_ID[39:0]—器件ID号

PART_ID寄存器包含一个在工厂编程的唯一器件标识号。

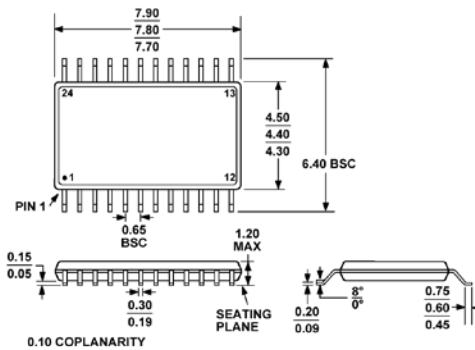
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-1

图11. 28引脚引线框芯片级封装[LFCSP]
5 mm × 5 mm本体, 0.75 mm封装高度
(CP-28-10)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-153-AD

图12. 24引脚超薄紧缩小型封装[TSSOP]
(RU-24)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADA4254ACPZ	-40°C至+105°C	28引脚引线框芯片级封装[LFCSP]	CP-28-10
ADA4254ACPZ-R7	-40°C至+105°C	28引脚引线框芯片级封装[LFCSP]	CP-28-10
ADA4254ACPZ-RL	-40°C至+105°C	28引脚引线框芯片级封装[LFCSP]	CP-28-10
ADA4254ARUZ	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
ADA4254ARUZ-R7	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
ADA4254ARUZ-RL	-40°C至+105°C	24引脚超薄紧缩小型封装[TSSOP]	RU-24
ADA4254RU-EBZ		评估板	

¹ Z = 符合RoHS标准的器件。

