

特性

DOCSIS 3.0性能：4个QAM载波

整个频段范围（47 MHz至1 GHz）内的ACLR：

- 75 dBc ($f_{OUT} = 200$ MHz)
- 72 dBc ($f_{OUT} = 800$ MHz, 噪声)
- 67 dBc ($f_{OUT} = 800$ MHz, 谐波)

非均衡MER = 42 dB

片内及旁路特性

内置SRRC滤波器的4个QAM编码器、16倍至512倍插值、速率转换器和调制器

灵活的数据接口：4位、8位、16位或32位宽，具有奇偶校验功能

功耗：1.6 W ($I_{FS} = 20$ mA, $f_{DAC} = 2.4$ GHz, LVDS接口)

支持直接至RF合成，并提供 f_s 混频模式

支持内置自测(BIST)功能

输入连接性检测

内部随机数据发生器

应用

宽带通信系统

CMTS/DVB

蜂窝通信基础设施

点对点无线通信

概述

AD9789是一款灵活的高性能、2400 MSPS、14位RF数模转换器(DAC)，其中整合了QAM编码器、插值器和上变频器。

灵活的数字接口可以接受多达四个通道的复数数据。QAM编码器支持的星座维数为16、32、64、128和256，SRRC滤波器系数适合所有标准。

片内速率转换器通过固定DAC时钟支持各种波特率。数字上变频器可以在 0 至 $0.5 \times f_{DAC}$ 范围内设置信道，从而在DC至 $f_{DAC}/2$ 范围内的任何位置合成四个相邻信道。

AD9789内置一个串行外设接口(SPI)，用于器件配置和状态寄存器回读。灵活的数字接口可以配置为4位、8位、16位和32位的数据总线宽度，并且可以接受实数或复数数据。

AD9789采用1.5 V、1.8 V和3.3 V电源供电，总功耗为1.6 W。它提供164引脚芯片级球栅阵列封装，热阻抗和封装寄生效应均很低。没有特别的上电时序要求。时钟接收器采用静音上电，以免产生启动噪声。

产品聚焦

1. 单个模块中包含高度集成的可配置QAM映射器、插值器和上变频器,可直接合成1至4个DOCSIS或DVB兼容信道。
2. 利用低噪声和交调失真(IMD)性能,高达1 GHz信号可实现高质量合成。
3. 灵活的数据接口支持LVDS或CMOS输入数据,前者可改善SFDR,后者则适用于要求较宽松的应用。
4. 接口可在4位半字节至32位字范围内进行配置,并且可在最高达150 MHz CMOS或150 MHz LVDS双倍数据速率(DDR)下运行。
5. AD9789采用CMOS工艺制造,并利用专有开关技术来增强动态性能。

功能框图

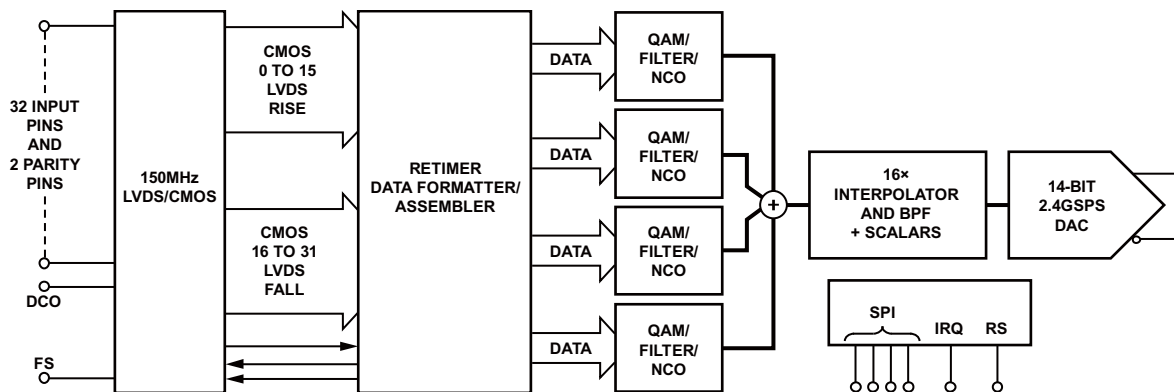


图1

Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2009 Analog Devices, Inc. All rights reserved.

目录

特性	1	SPI寄存器描述	29
应用	1	工作原理	39
概述	1	数据路径信号处理	39
产品聚焦	1	数字模块上变频器	43
功能框图	1	数字接口模式	45
修订历史	2	模拟工作模式	54
详细功能框图	3	模拟控制寄存器	55
技术规格	4	基准电压源	56
直流规格	4	DAC输出级	56
数字规格	5	AD9789时钟提供	57
交流规格	6	Mu延迟控制器	58
绝对最大额定值	8	中断请求	61
热阻	8	建议启动时序	62
ESD警告	8	定制BIST模式	63
引脚配置和功能描述	9	利用内部PRN发生器测试	63
典型工作特性	12	QAM输出交流性能	
术语	22	利用内置自测(BIST)功能	63
串行控制端口	23	测试数字数据输入连接	
串行控制端口引脚功能描述	23	QAM星座图	65
串行控制端口通用操作	23	用于CMOS和LVDS的频道器模式引脚映射	68
指令字(16位)	24	外形尺寸	74
MSB/LSB优先传输	24	订购指南	74
SPI寄存器图	27		

修订历史

2009年4月—修订版0：初始版

详细功能框图

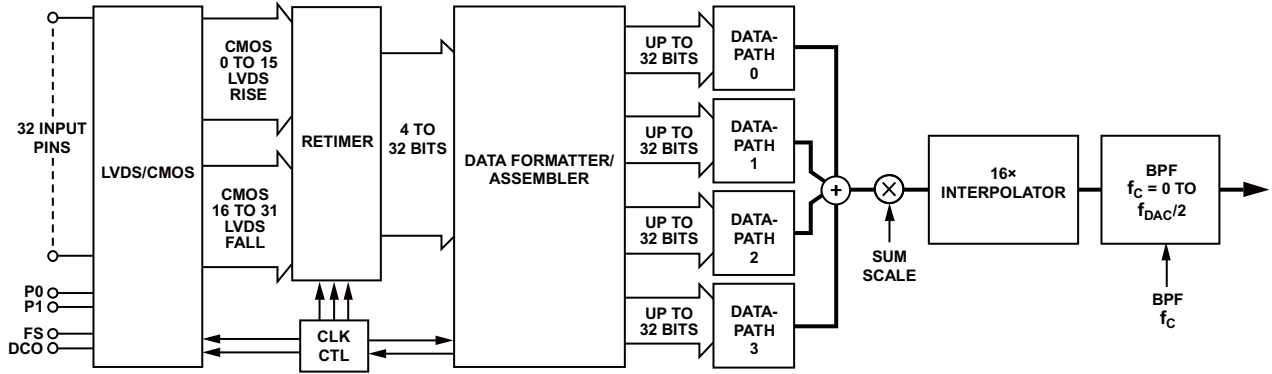


图2. 数字信号处理功能框图

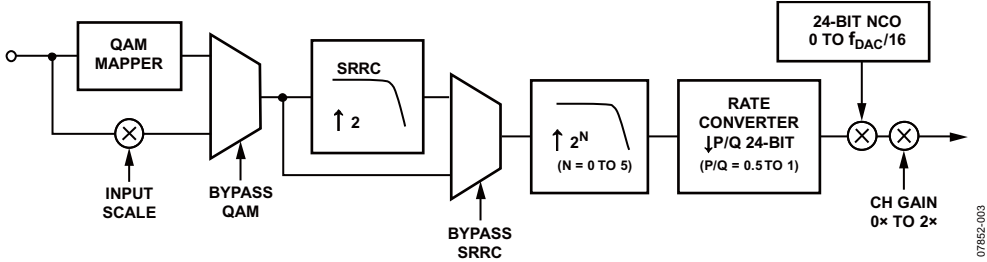


图3. 通道0至通道3数据路径模块详情(1路径与Q路径完全相同, 故仅显示一个)

AD9789

技术规格

直流规格

除非另有说明，AVDD33 = DVDD33 = 3.3 V，CVDD18 = DVDD18 = 1.8 V，DVDD15 = 1.5 V， $f_{DAC} = 2.4$ GHz， $I_{FS} = 20$ mA。

表1

参数	最小值	典型值	最大值	单位
DAC分辨率		14		位
模拟输出				
失调误差		6.5		% FSR
增益误差(使用内部基准电压源)		3.5		% FSR
满量程输出电流(保证单调性)	8.66	20.2	31.66	mA
输出电压范围	-1.0		+1.0	V
输出电阻		70		Ω
输出电容		1		pF
温度漂移				
增益		135		ppm/ $^{\circ}$ C
基准电压		25		ppm/ $^{\circ}$ C
基准电压				
内部基准电压 ¹		1.2		V
输出电阻 ¹		5		k Ω
模拟电源电压				
AVDD33	3.14	3.3	3.47	V
CVDD18	1.71	1.8	1.89	V
数字电源电压				
DVDD33	3.14	3.3	3.47	V
DVDD18	1.71	1.8	1.89	V
DVDD15	1.43	1.5	1.58	V
电源电流和功耗				
$f_{DAC} = 2.4$ GSPS, $f_{OUT} = 930$ MHz, $I_{FS} = 25$ mA, 四个通道使能				
I_{AVDD33}		45		mA
I_{DVDD18}		72		mA
I_{CVDD18}		180		mA
I_{DVDD33}				
CMOS接口		42		mA
LVDS接口		16		mA
I_{DVDD15}		640		mA
$f_{DAC} = 2.0$ GSPS, $f_{OUT} = 70$ MHz, $I_{FS} = 20$ mA, CMOS接口				
I_{AVDD33}		37.4	38.5	mA
I_{DVDD18}		67.3	70.5	mA
I_{CVDD18}		155.4	180	mA
I_{DVDD33}		40.3	50.7	mA
I_{DVDD15} (四个通道使能, 所有信号处理使能)		517	556	mA
I_{DVDD15} (一个通道使能, 仅16倍插值)		365	391	mA
功耗				
$f_{DAC} = 2.4$ GSPS, $f_{OUT} = 930$ MHz, $I_{FS} = 25$ mA, 四个通道使能				
CMOS接口		1.7		W
LVDS接口		1.63		W

¹ 使用外部放大器驱动外部负载。

数字规格

除非另有说明，AVDD33 = DVDD33 = 3.3 V，CVDD18 = DVDD18 = 1.8 V，DVDD15 = 1.5 V， $f_{DAC} = 2.4$ GHz， $I_{FS} = 20$ mA，LVDS驱动器和接收机兼容IEEE标准1596.3-1996缩小范围链路。

表2

参数	最小值	典型值	最大值	单位
CMOS数据输入(D[31:0], P0, P1)				
输入高电压 V_{IH}	2.0	3.3		V
输入低电压 V_{IL}		0	0.8	V
输入高电流 I_{IN}	-10		+10	μ A
输入低电流 I_{IL}	-10		+10	μ A
输入电容		2		pF
CMOS数据输入至CMOS_DCO ¹ 的建立时间	5.3			ns
CMOS数据输入至CMOS_DCO ¹ 的保持时间	-1.4			ns
CMOS输出(CMOS_FS, CMOS_DCO)				
输出高电压 V_{OH}	2.4		3.3	V
输出低电压 V_{OL}	0		0.4	V
输出高电流 I_{OH}		12		mA
输出低电流 I_{OL}		12		mA
最大时钟速率(CMOS_DCO)	150			MHz
CMOS_DCO至CMOS_FS延迟	0.28		0.85	ns
LVDS数据输入(D[15:0]P, D[15:0]N, PARN, PARN)				
输入电压范围 V_{IA} 或 V_{IB}	825		1575	mV
输入差分阈值 V_{IDTH}	-100		+100	mV
输入差分迟滞 V_{IDTHH} 、 V_{IDTHL}		25		mV
差分输入阻抗 R_{IN}	80		120	Ω
最大LVDS输入速率	150			MSPS
LVDS差分输入数据至差分DCOx ² 的建立时间	1.41			ns
LVDS差分输入数据至差分DCOx ² 的保持时间	0.24			ns
LVDS输出(DCOP, DCON, FSP, FSN)				
DCOP、FSP = V_{OA} ；DCON、FSN = V_{OB} ；100 Ω 端接电阻				
输出高电压 V_{OA} 或 V_{OB}			1375	mV
输出低电压 V_{OA} 或 V_{OB}	1025			mV
输出差分电压 $ V_{OD} $	150	200	250	mV
输出失调电压 V_{OS}	1150		1250	mV
输出阻抗(单端) R_O	40		140	Ω
A与B间RO失配 ΔR_O			10	%
0与1间 $ V_{OD} $ 变化 $ \Delta V_{OD} $			25	mV
0与1间 V_{OS} 变化 ΔV_{OS}			25	mV
输出电流(驱动器对地短路) I_{SA} 、 I_{SB}			20	mA
输出电流(驱动器短路相连) I_{SAB}			4	mA
断电输出漏电流 $ I_{XA} $ 、 $ I_{XB} $			10	mA
最大时钟速率(DCOP, DCON)	150			MHz
DCOx至FSx延迟	0.12		0.37	ns
DAC时钟输入(CLKP、CLKN) ³				
差分峰值电压	1.4	1.8		V
共模电压		900		mV
最大时钟速率	2400			MHz
串行外设接口				
最大时钟速率(f_{SCLK} 、 $1/t_{SCLK}$)			25	MHz
最小脉冲宽度(高电平) t_{PWH}	20			ns
最小脉冲宽度(低电平) t_{PWL}	20			ns
SDIO和 \overline{CS} 至SCLK的最短建立时间 t_{DS}		10		ns

AD9789

参数	最小值	典型值	最大值	单位
SCLK至SDIO的最短保持时间 t_{DH}		5		ns
SCLK至有效SDIO和SDO最长保持时间 t_{DV}		20		ns
SCLK至无效SDIO和SDO最短保持时间 t_{DNV}		5		ns
输入(SDIO、SCLK、 \overline{CS})				
输入高电压 V_{IH}	2.0	3.3		V
输入低电压 V_{IL}		0	0.8	V
输入高电流 I_{IN}	-10		+10	μ A
输入低电流 I_{IL}	-10		+10	μ A
输出(SDO、SDIO)				
输出高电压 V_{OH}	2.4		3.6	V
输出低电压 V_{OL}	0		0.4	V
输出高电流 I_{OH}		4		mA
输出低电流 I_{OL}		4		mA

¹ 更多信息见CMOS接口时序部分。

² 更多信息见LVDS接口时序部分。

³ 更多信息见时钟相位噪声对交流性能的影响部分。

交流规格

除非另有说明，AVDD33 = DVDD33 = 3.3 V，CVDD18 = DVDD18 = 1.8 V，DVDD15 = 1.5 V， $f_{DAC} = 2.4$ GHz， $I_{FS} = 20$ mA，数字量程 = 0 dBFS。

表3

参数	测试条件/注释	最小值	典型值	最大值	单位
动态性能					
最大更新速率		2400			MSPS
输出建立时间(t_{ST})	To 0.025%		13		ns
无杂散动态范围(SFDR)					
$f_{DAC} = 2000$ MSPS					
$f_{OUT} = 100$ MHz			70		dBc
$f_{OUT} = 316$ MHz			63		dBc
$f_{OUT} = 550$ MHz			58		dBc
$f_{DAC} = 2400$ MSPS					
$f_{OUT} = 100$ MHz			70		dBc
$f_{OUT} = 316$ MHz			70		dBc
$f_{OUT} = 550$ MHz			60		dBc
$f_{OUT} = 850$ MHz			60		dBc
双音交调失真(IMD)	$f_{OUT2} = f_{OUT1} + 1.25$ MHz				
$f_{DAC} = 2000$ MSPS					
$f_{OUT} = 100$ MHz			86		dBc
$f_{OUT} = 316$ MHz			73		dBc
$f_{OUT} = 550$ MHz			62		dBc
$f_{DAC} = 2400$ MSPS					
$f_{OUT} = 100$ MHz			86		dBc
$f_{OUT} = 316$ MHz			74		dBc
$f_{OUT} = 550$ MHz			66		dBc
$f_{OUT} = 850$ MHz			66		dBc
噪声谱密度(NSD)					
单通道QAM	$f_{DAC} = 2400$ MSPS				
$f_{OUT} = 100$ MHz	$P_{OUT} = -14.5$ dBm		-167		dBm/Hz
$f_{OUT} = 316$ MHz	$P_{OUT} = -15.5$ dBm		-166.5		dBm/Hz
$f_{OUT} = 550$ MHz	$P_{OUT} = -18$ dBm		-166.5		dBm/Hz
$f_{OUT} = 850$ MHz	$P_{OUT} = -18.5$ dBm		-166.5		dBm/Hz

参数		最小值	典型值	最大值	单位
邻道泄漏比(ACLR)	$f_{DAC} = 2293.76$ MSPS, 在6 MHz 信道中测量				
单通道QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-76		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-82		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-74.5		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-78		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-69		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-78		dBc
双通道QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-77.5		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-81		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-68		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-76		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-66		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-76		dBc
4通道QAM					
$f_{OUT} = 200$ MHz (Harmonics)			-75		dBc
$f_{OUT} = 200$ MHz (Noise Floor)			-76		dBc
$f_{OUT} = 500$ MHz (Harmonics)			-69		dBc
$f_{OUT} = 500$ MHz (Noise Floor)			-72		dBc
$f_{OUT} = 800$ MHz (Harmonics)			-67		dBc
$f_{OUT} = 800$ MHz (Noise Floor)			-72		dBc
WCDMA ACLR	$f_{DAC} = 2304$ MSPS, 混频模式第二 奈奎斯特频率区 $f_{OUT} = 1850$ MHz				
单载波					
第一邻道			-70		dBc
第二相间信道			-72.5		dBc
第三相间信道			-74		dBc
单载波	$f_{OUT} = 2100$ MHz				
第一邻道			-68		dBc
第二相间信道			-70.4		dBc
第三相间信道			-72.7		dBc
四载波	$f_{OUT} = 2100$ MHz				
第一邻道			-63.5		dBc
第二相间信道			-65.1		dBc
第三相间信道			-66.9		dBc

绝对最大额定值

表4

参数	额定值
AVDD33至AVSS	-0.3 V 至 +3.6 V
DVDD18至DVSS	-0.3 V 至 +1.98 V
DVDD33至DVSS	-0.3 V 至 +3.6 V
DVDD15至DVSS	-0.3 V 至 +1.98 V
CVDD18至AVSS	-0.3 V 至 +1.98 V
AVSS至DVSS	-0.3 V 至 +0.3 V
CLKP、CLKN至AVSS	-0.3 V 至 CVDD18 + 0.3 V
FS、DCO至DVSS	-0.3 V 至 DVDD33 + 0.3 V
CMOS和LVDS数据输入至DVSS	-0.3 V 至 DVDD33 + 0.3 V
IOUTN、IOUTP至AVSS	-1.0 V 至 AVDD33 + 0.3 V
I120、VREF、IPTAT至AVSS	-0.3 V 至 AVDD33 + 0.3 V
IRQ、CS、SCLK、SDO、SDIO、RESET至DVSS	-0.3 V 至 DVDD33 + 0.3 V
结温	150°C
存储温度范围	-65°C 至 +150°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值，不涉及器件在这些或任何其它条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表5. 热阻

封装类型	θ_{JA}	θ_{JB}	θ_{JC}	单位	注释
164引脚	25.5	14.4	6.8	°C/W	4层板，无过孔
CSP_BGA	24.4			°C/W	4层板，4个PCB过孔
	19.0			°C/W	8层板，4个PCB过孔
	17.2			°C/W	8层板，16个PCB过孔

ESD警告

**ESD（静电放电）敏感器件。**

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

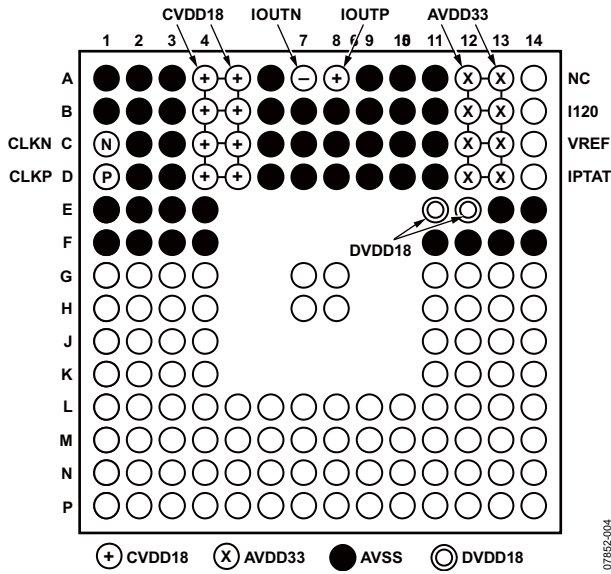


图4. 时钟和模拟引脚(顶视图)

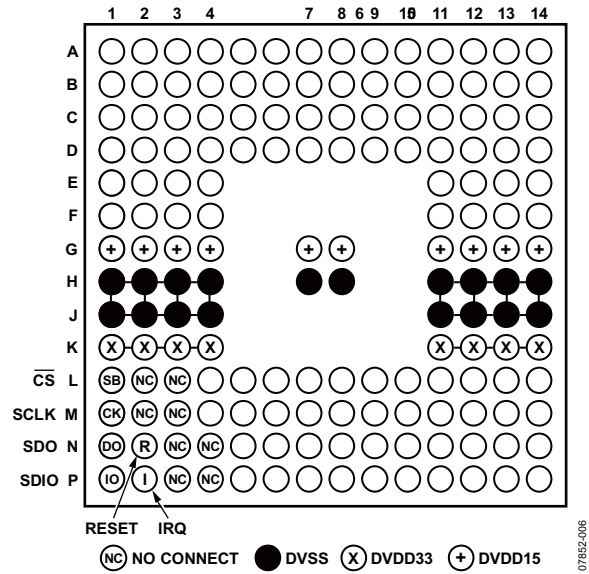


图6. 数字电源和SPI引脚(顶视图)

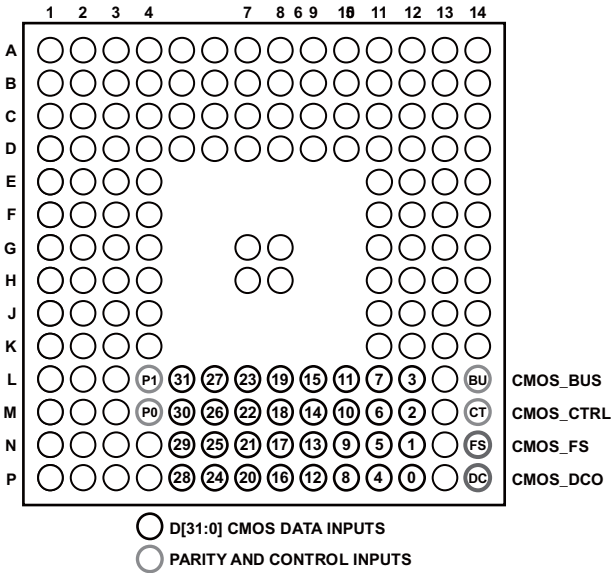


图5. CMOS模式数据输入引脚(顶视图)

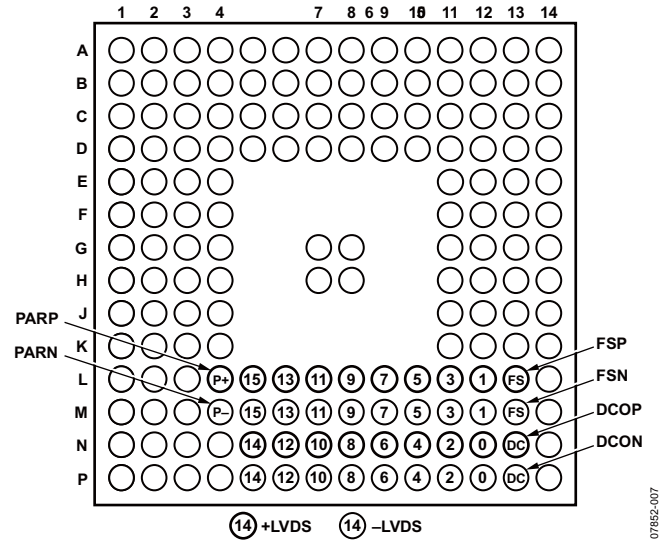


图7. LVDS模式数据输入引脚(顶视图)

AD9789

表6. 引脚功能描述

引脚编号	引脚名称	描述
A1, A2, A3, A6, A9, A10, A11, B1, B2, B3, B6, B7, B8, B9, B10, B11, C2, C3, C6, C7, C8, C9, C10, C11, D2, D3, D6, D7, D8, D9, D10, D11, E1, E2, E3, E4, E13, E14, F1, F2, F3, F4, F11, F12, F13, F14	AVSS	模拟电源地。
A4, A5, B4, B5, C4, C5, D4, D5	CVDD18	1.8 V时钟电源。
A7	IOUTN	DAC负输出电流。
A8	IOUTP	DAC正输出电流。
A12, A13, B12, B13, C12, C13, D12, D13	AVDD33	3.3 V模拟电源。
A14	NC	不连接。保持浮空。
B14	I120	将此引脚通过一个10 kΩ电阻接模拟地，以产生120 μA参考电流。
C1	CLKN	负DAC时钟输入(DACCLK)。
C14	VREF	带隙基准电压源I/O。通过一个1 nF电容去耦至模拟地。输出阻抗约为5 kΩ。
D1	CLKP	正DAC时钟输入(DACCLK)。
D14	IPTAT	工厂测试引脚。输出电流与绝对温度成比例，25°C时约为10 μA，斜率约为20 nA/°C。
E11, E12	DVDD18	1.8 V数字电源。
G1, G2, G3, G4, G7, G8, G11, G12, G13, G14	DVDD15	1.5 V数字电源。
H1, H2, H3, H4, H7, H8, H11, H12, H13, H14, J1, J2, J3, J4, J11, J12, J13, J14	DVSS	数字电源地。
K1, K2, K3, K4, K11, K12, K13, K14	DVDD33	3.3 V数字电源。
L1	\overline{CS}	SPI的低电平有效片选。
L2, L3, M2, M3, N3, N4, P3, P4	NC	未使用。保持不连接。
L4	P1/PARP	CMOS/LVDS奇偶校验位。
L5	D31/D15P	CMOS/LVDS数据输入。
L6	D27/D13P	CMOS/LVDS数据输入。
L7	D23/D11P	CMOS/LVDS数据输入。
L8	D19/D9P	CMOS/LVDS数据输入。
L9	D15/D7P	CMOS/LVDS数据输入。
L10	D11/D5P	CMOS/LVDS数据输入。
L11	D7/D3P	CMOS/LVDS数据输入。
L12	D3/D1P	CMOS/LVDS数据输入。
L13	FSP	数据总线的正LVDS帧同步(FSP)。
L14	CMOS_BUS	高电平有效输入。配置CMOS输入的数据总线。 低电平输入将数据总线配置为接受LVDS输入。
M1	SCLK	SPI的限定时钟。
M4	P0/PARN	CMOS/LVDS奇偶校验位。
M5	D30/D15N	CMOS/LVDS数据输入。
M6	D26/D13N	CMOS/LVDS数据输入。
M7	D22/D11N	CMOS/LVDS数据输入。
M8	D18/D9N	CMOS/LVDS数据输入。
M9	D14/D7N	CMOS/LVDS数据输入。
M10	D10/D5N	CMOS/LVDS数据输入。
M11	D6/D3N	CMOS/LVDS数据输入。
M12	D2/D1N	CMOS/LVDS数据输入。
M13	FSN	数据总线的负LVDS帧同步(FSN)。

引脚编号	引脚名称	描述
M14	CMOS_CTRL	高电平有效输入。使能CMOS_DCO和CMOS_FS信号，并禁用DCOP/DCON和FSP/FSN信号。低电平输入禁用CMOS_DCO和CMOS_FS信号，并使能DCOP/DCON和FSP/FSN信号。
N1	SDO	SPI串行数据输出。
N2	RESET	高电平有效输入。复位AD9789。
N5	D29/D14P	CMOS/LVDS数据输入。
N6	D25/D12P	CMOS/LVDS数据输入。
N7	D21/D10P	CMOS/LVDS数据输入。
N8	D17/D8P	CMOS/LVDS数据输入。
N9	D13/D6P	CMOS/LVDS数据输入。
N10	D9/D4P	CMOS/LVDS数据输入。
N11	D5/D2P	CMOS/LVDS数据输入。
N12	D1/D0P	CMOS/LVDS数据输入。
N13	DCOP	数据总线的正LVDS数据时钟输出(DCOP)。
N14	CMOS_FS	数据总线的CMOS帧同步。
P1	SDIO	SPI串行数据输入/输出。
P2	IRQ	低电平有效、开漏中断请求输出。 通过一个10 kΩ电阻上拉至DVDD33。
P5	D28/D14N	CMOS/LVDS数据输入。
P6	D24/D12N	CMOS/LVDS数据输入。
P7	D20/D10N	CMOS/LVDS数据输入。
P8	D16/D8N	CMOS/LVDS数据输入。
P9	D12/D6N	CMOS/LVDS数据输入。
P10	D8/D4N	CMOS/LVDS数据输入。
P11	D4/D2N	CMOS/LVDS数据输入。
P12	D0/D0N	CMOS/LVDS数据输入。
P13	DCON	数据总线的负LVDS数据时钟输出(DCON)。
P14	CMOS_DCO	数据总线的CMOS数据时钟输出。

典型工作特性

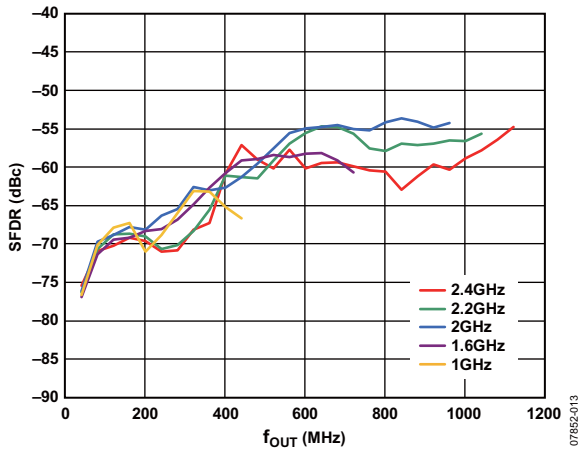


图8. 不同 f_{DAC} 下SFDR与 f_{OUT} 的关系, 满量程电流 = 20 mA, 数字量程 = 0 dBFS, 温度 = 25°C

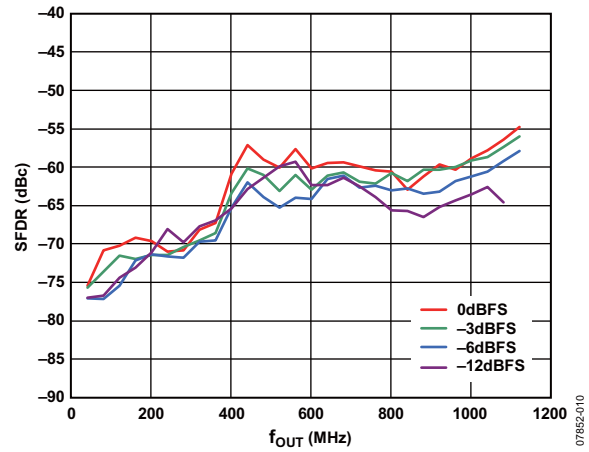


图11. 不同数字量程下SFDR与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 温度 = 25°C

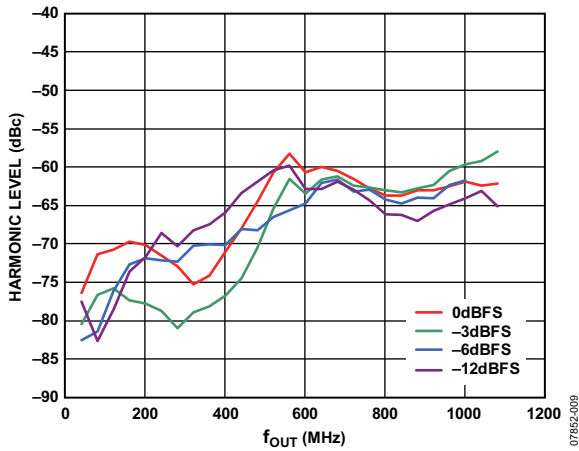


图9. 不同数字量程下二次谐波与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 温度 = 25°C

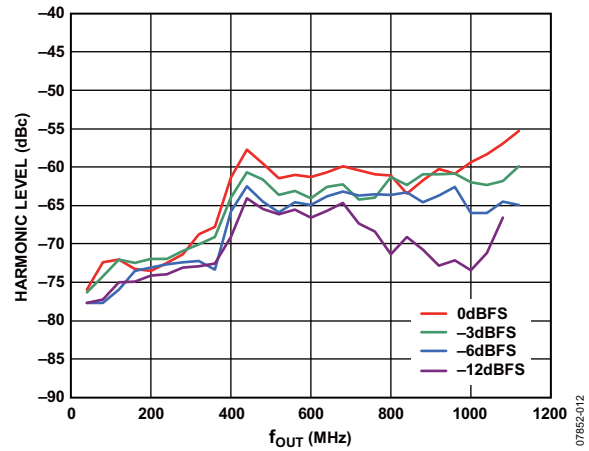


图12. 不同数字量程下三次谐波与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 温度 = 25°C

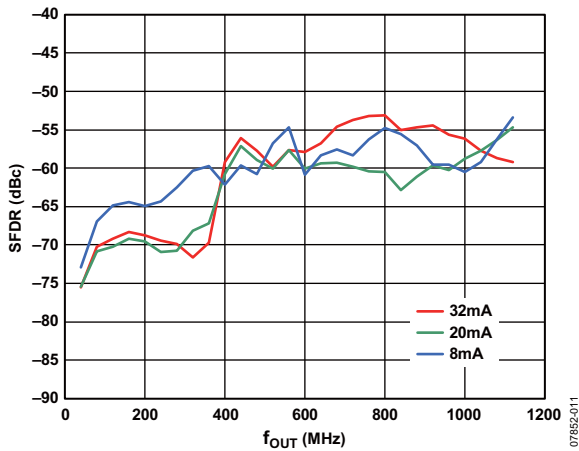


图10. 不同满量程电流下SFDR与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 数字量程 = 0 dBFS, 温度 = 25°C

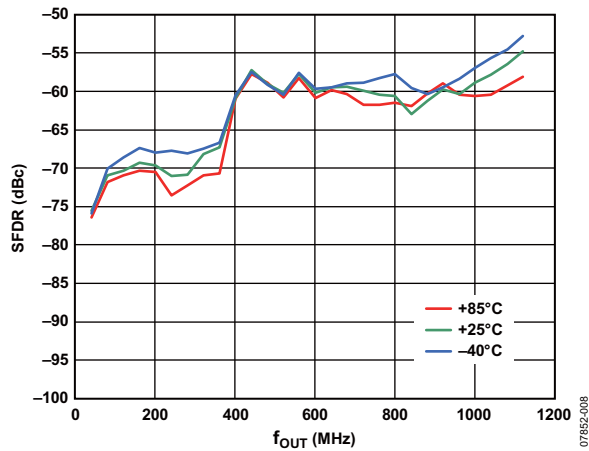


图13. 不同温度下SFDR与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 数字量程 = 0 dBFS

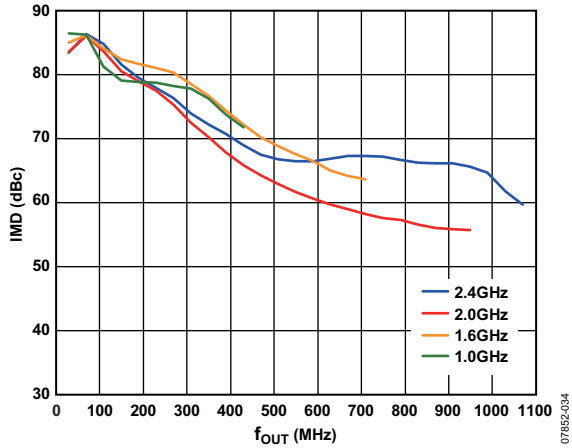


图14. 不同 f_{DAC} 下三阶IMD与 f_{OUT} 的关系, 满量程电流 = 20 mA, 数字量程 = 0 dBFS, 温度 = 25°C

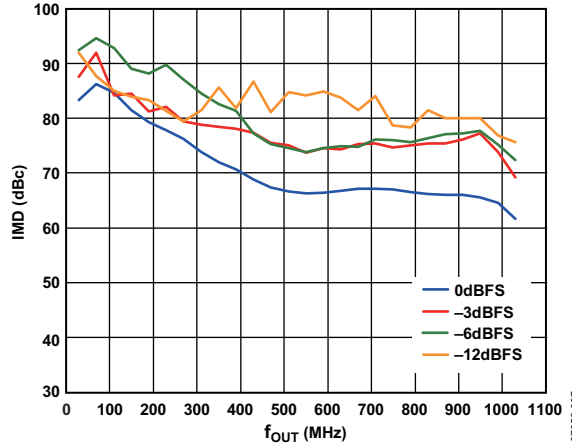


图17. 不同数字满量程下三阶IMD与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 温度 = 25°C

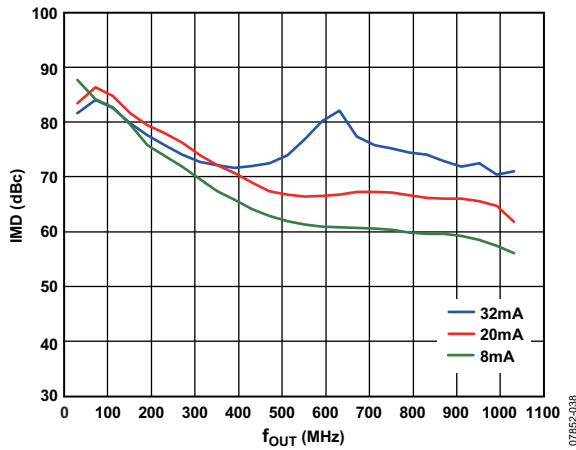


图15. 不同满量程电流下三阶IMD与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 数字量程 = 0 dBFS, 温度 = 25°C

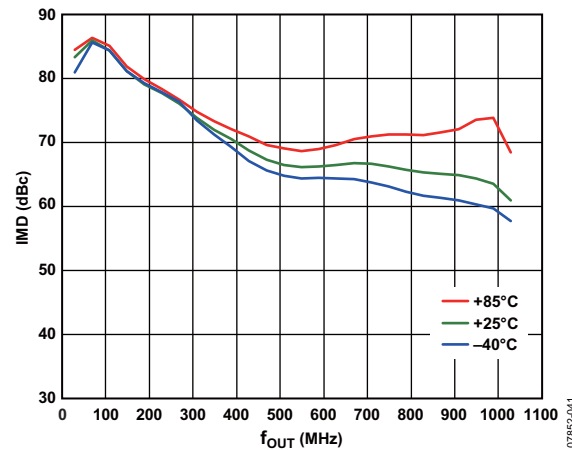


图18. 不同温度下三阶IMD与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 数字量程 = 0 dBFS

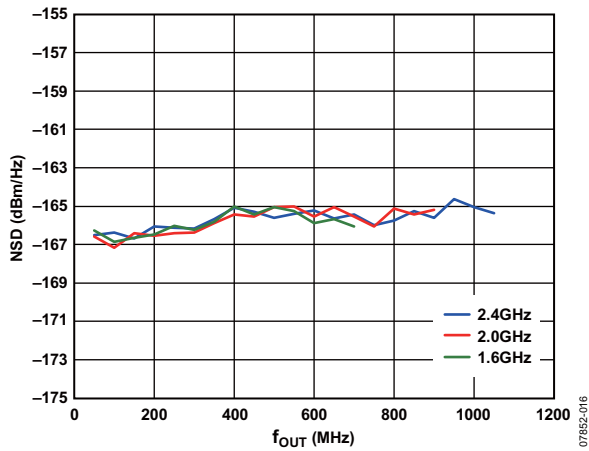


图16. 不同 f_{DAC} 下NSD与 f_{OUT} 的关系, 单通道QAM, 满量程电流 = 20 mA

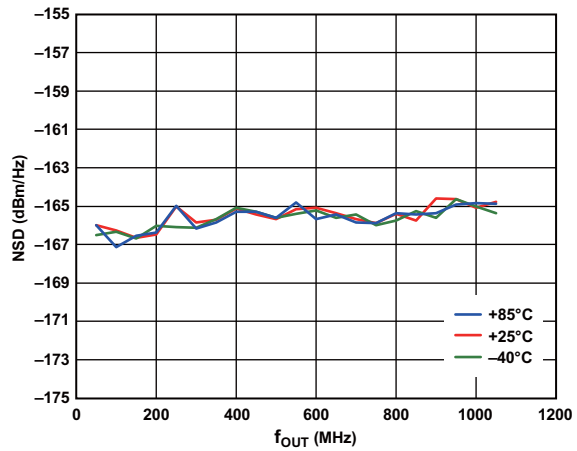


图19. 不同温度下NSD与 f_{OUT} 的关系, 单通道QAM, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA

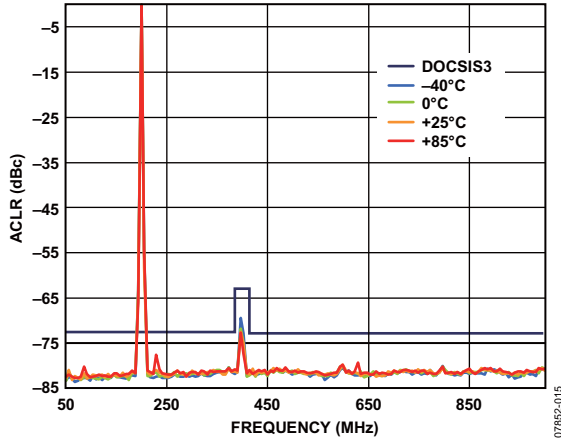


图20. 不同温度下的ACLR性能, 单通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 20 mA, $f_{OUT} = 200$ MHz, 总量程 = 48 (DOCSIS SPEC为-73 dBc; 谐波异常为-63 dBc)

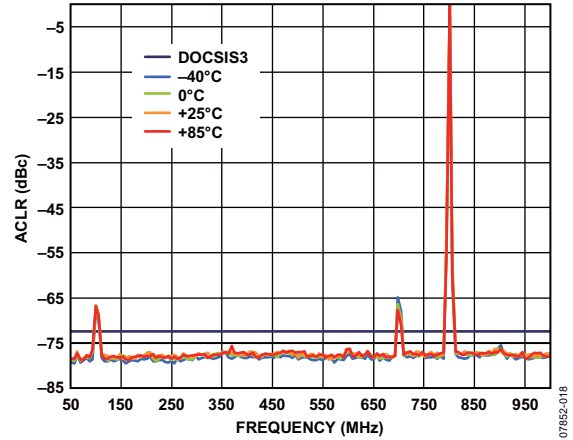


图23. 不同温度下的ACLR性能, 单通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 20 mA, $f_{OUT} = 800$ MHz, 总量程 = 48 (DOCSIS SPEC为-73 dBc)

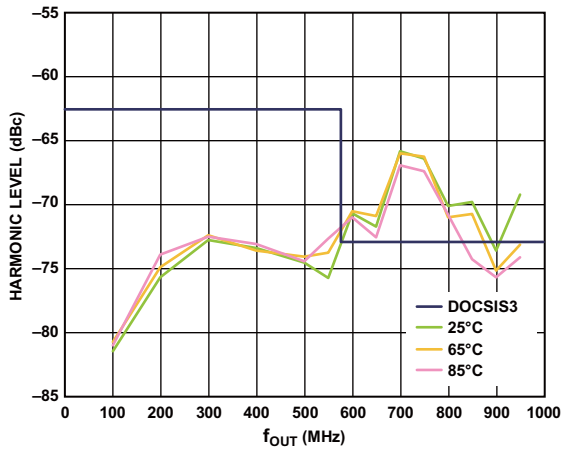


图21. 不同温度下二次谐波性能与 f_{OUT} 的关系, 单通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 20 mA, 总量程 = 48 (DOCSIS SPEC为-73 dBc; 谐波异常为-63 dBc)

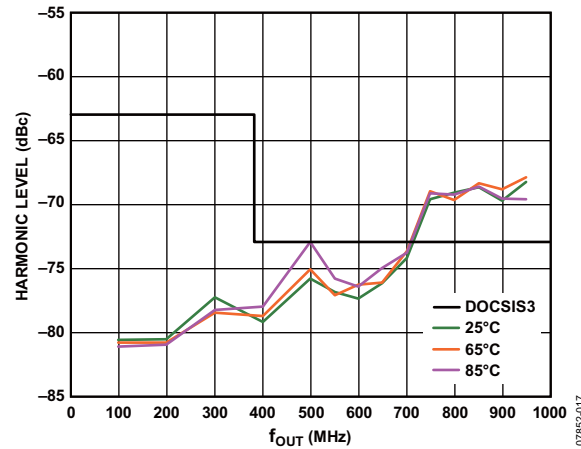


图24. 不同温度下三次谐波性能与 f_{OUT} 的关系, 单通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 20 mA, 总量程 = 48 (DOCSIS SPEC为-73 dBc; 谐波异常为-63 dBc)

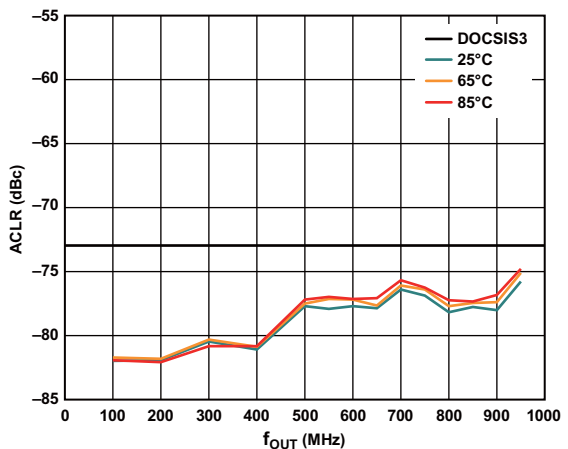


图22. 不同温度下噪底与 f_{OUT} 的关系 (在30 MHz以上频率测量ACLR), 单通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 20 mA, 总量程 = 48 (DOCSIS SPEC为-73 dBc)

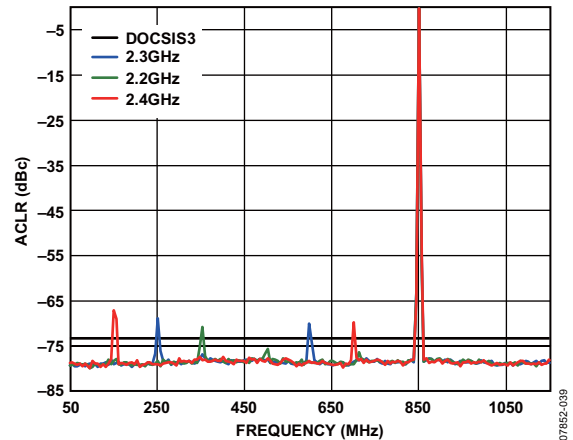


图25. 不同 f_{DAC} 下的ACLR性能, 单通道QAM, $f_{OUT} = 850$ MHz, 满量程电流 = 20 mA, 温度 = 25°C, 总量程 = 48 (DOCSIS SPEC为-73 dBc)

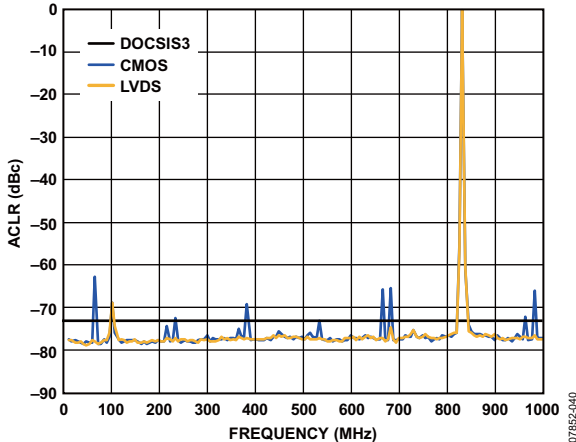


图26. CMOS和LVDS接口的ACLR性能, 单通道QAM, $f_{OUT} = 840$ MHz, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA, 总量程 = 48(DOCSIS SPEC为-73 dBc)

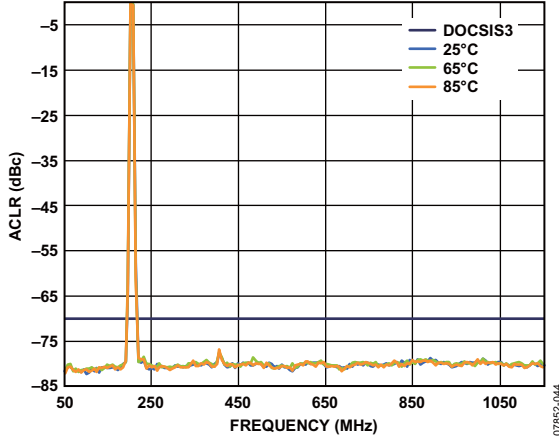


图29. 不同温度下的ACLR性能, 双通道QAM, $f_{OUT} = 200$ MHz, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 32 (DOCSIS SPEC为-70 dBc; 谐波异常为-63 dBc)

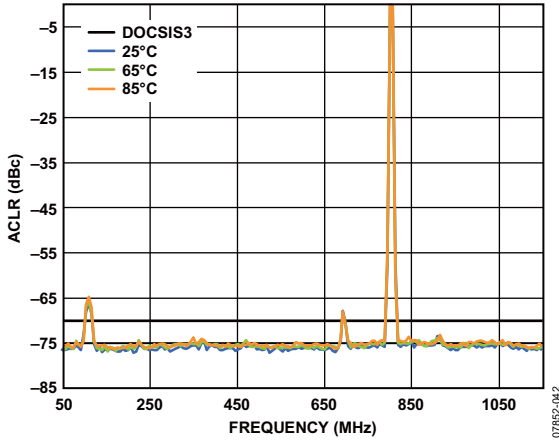


图27. 不同温度下的ACLR性能, 双通道QAM, $f_{OUT} = 800$ MHz, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 32 (DOCSIS SPEC为-70 dBc)

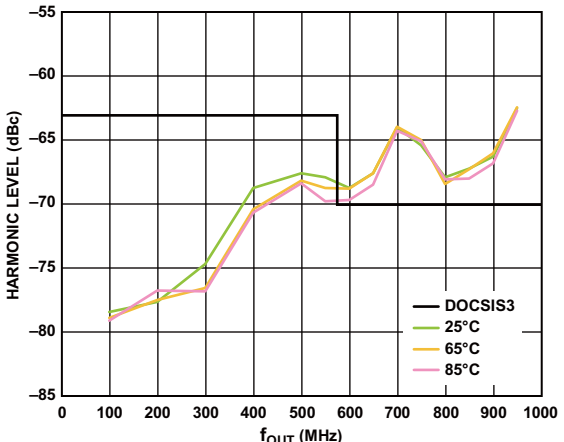


图30. 不同温度下二次谐波性能与 f_{OUT} 的关系, 双通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 32 (DOCSIS SPEC为-70 dBc; 谐波异常为-63 dBc)

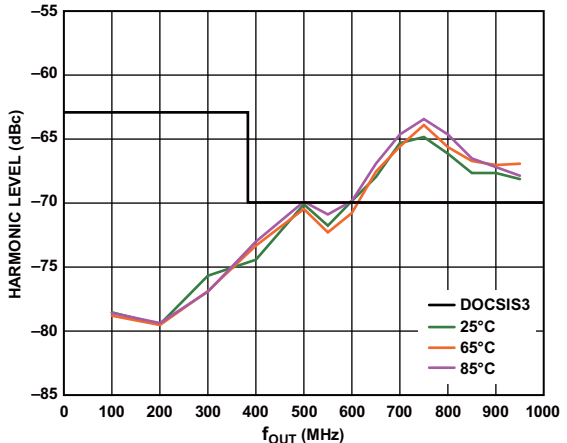


图28. 不同温度下三次谐波性能与 f_{OUT} 的关系, 双通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 32 (DOCSIS SPEC为-70 dBc; 谐波异常为-63 dBc)

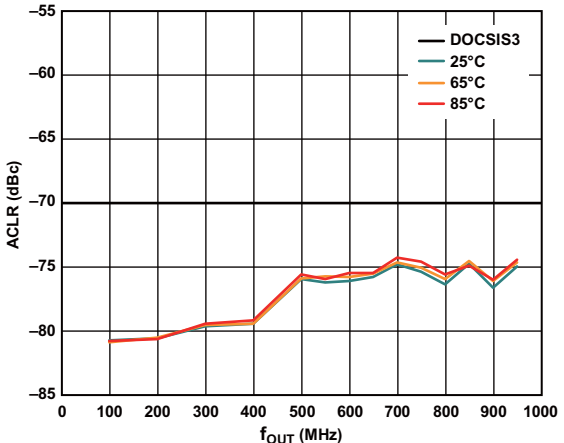


图31. 不同温度下噪声底与 f_{OUT} 的关系(在30 MHz以上频率测量ACLR), 双通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 32(DOCSIS SPEC为-70 dBc)

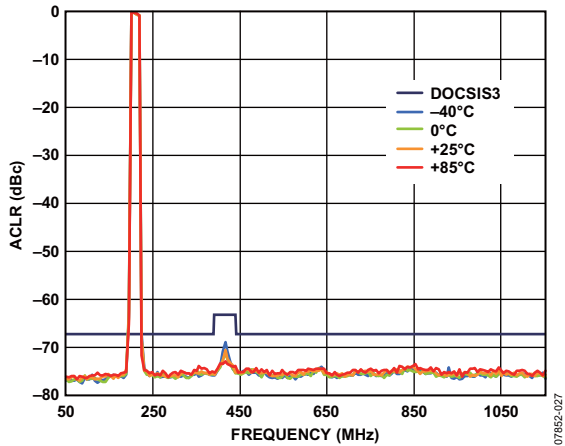


图32. 不同温度下的ACLR性能, 4通道QAM, $f_{OUT} = 200$ MHz, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (DOCSIS SPEC为-67 dBc; 谐波异常为-63 dBc)

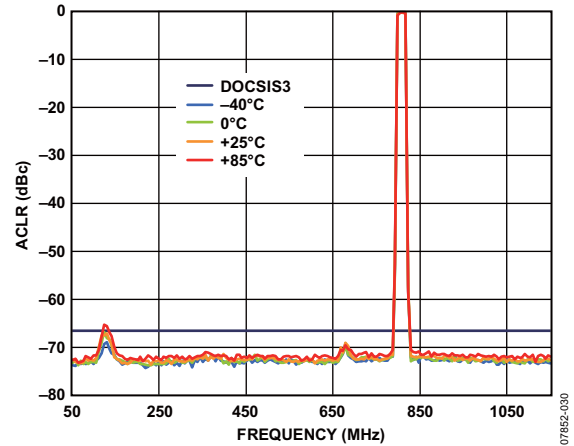


图35. 不同温度下的ACLR性能, 4通道QAM, $f_{OUT} = 800$ MHz, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (DOCSIS SPEC为-67 dBc)

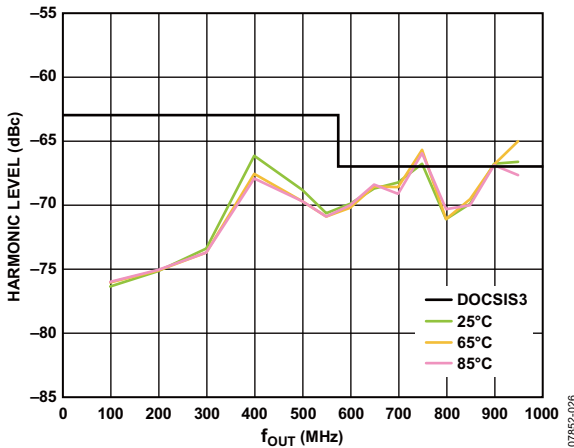


图33. 不同温度下二次谐波性能与 f_{OUT} 的关系, 4通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (DOCSIS SPEC为-67 dBc; 谐波异常为-63 dBc)

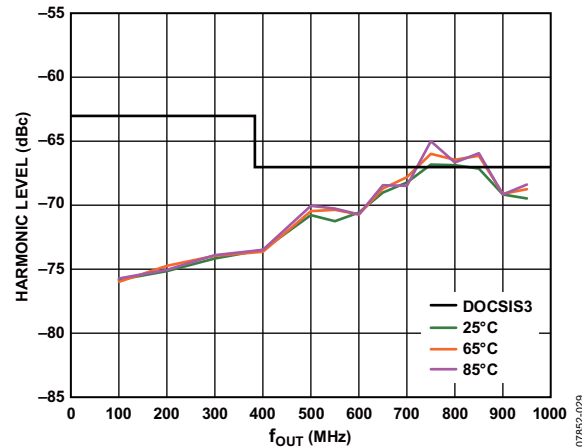


图36. 不同温度下三次谐波性能与 f_{OUT} 的关系, 4通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (DOCSIS SPEC为-67 dBc; 谐波异常为-63 dBc)

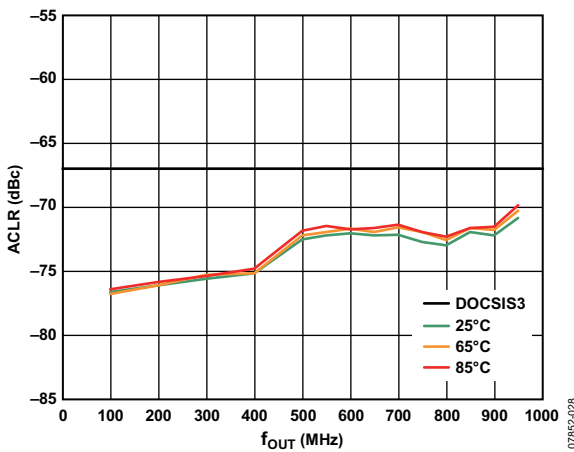


图34. 不同温度下噪底与 f_{OUT} 的关系(在30 MHz以上频率测量ACLR), 4通道QAM, $f_{DAC} = 2.3$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (DOCSIS SPEC为-67 dBc)

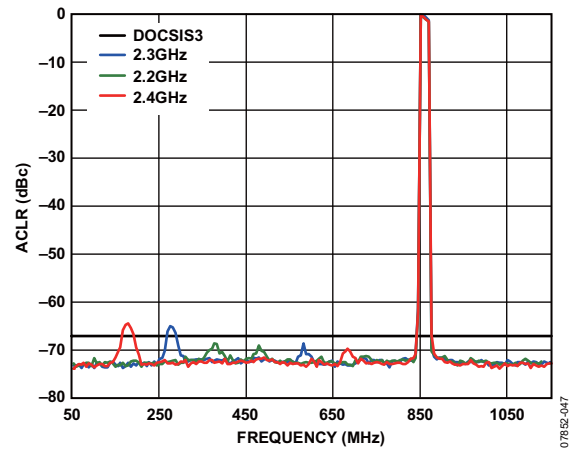
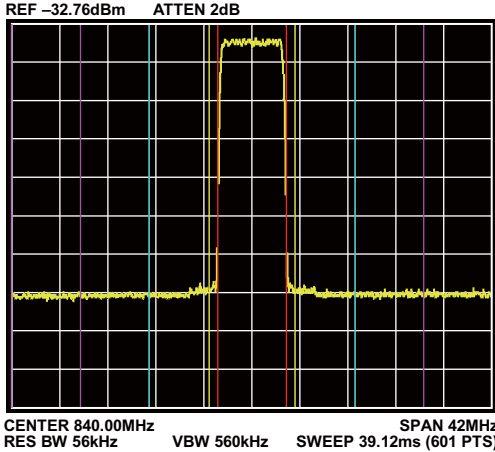
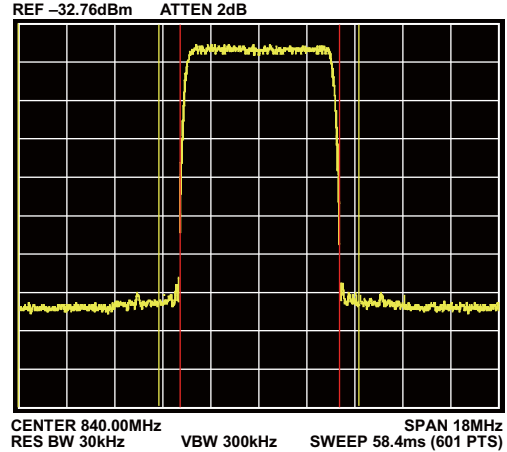


图37. 不同 f_{DAC} 下的ACLR性能, 4通道QAM, $f_{OUT} = 850$ MHz, 满量程电流 = 25 mA, 温度 = 25°C, 总量程 = 20 (DOCSIS SPEC为-67 dBc)



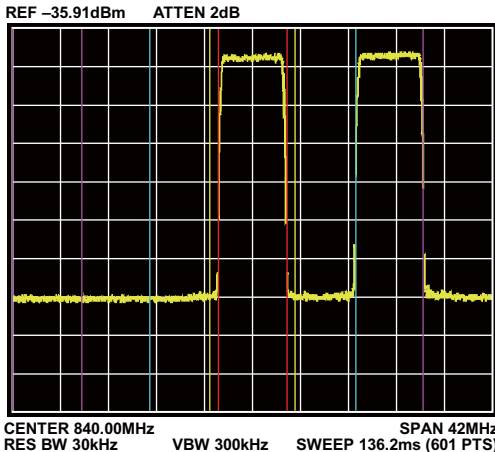
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc		UPPER dBc	
CARRIER POWER	3.375MHz	750.0kHz	-65.57	-83.66	-68.98	-87.07
-18.10dBm/	6.375MHz	5.250MHz	-75.01	-93.11	-74.62	-92.71
6.00000MHz	12.00MHz	6.000MHz	-76.83	-94.92	-76.46	-94.55
	18.00MHz	6.000MHz	-77.17	-95.26	-76.56	-94.66

图38. 单通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 48, 满量程电流 = 20 mA, 间距 = 42 MHz



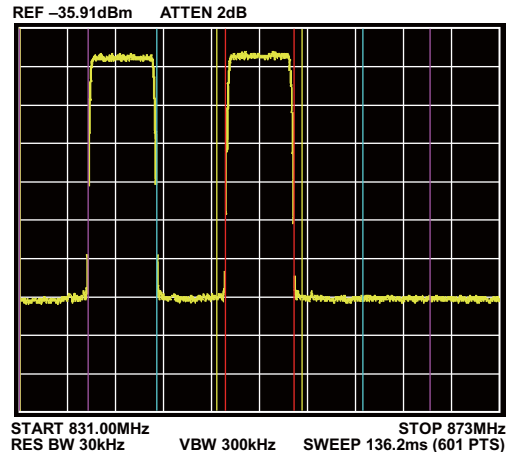
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc		UPPER dBc	
CARRIER POWER	3.375MHz	750.0kHz	-73.99	-91.97	-74.93	-92.91
-17.98dBm/	6.375MHz	5.250MHz	-74.94	-92.92	-75.35	-93.33
6.00000MHz						

图40. 单通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 48, 满量程电流 = 20 mA, 间距 = 18 MHz



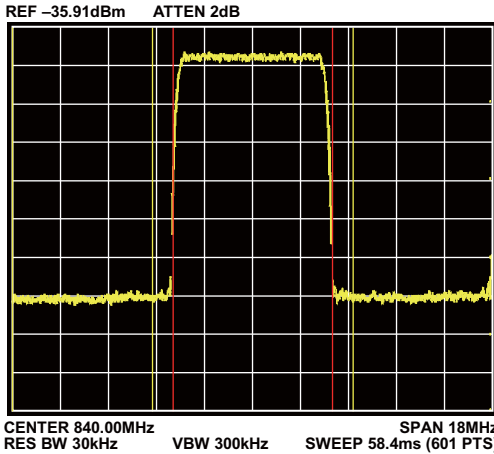
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc		UPPER dBc	
CARRIER POWER	3.375MHz	750.0kHz	-71.64	-93.39	-72.50	-94.25
-21.75dBm/	6.375MHz	5.250MHz	-73.71	-95.47	-66.72	-88.47
6.00000MHz	12.00MHz	6.000MHz	-73.58	-95.33	0.50	-21.10
	18.00MHz	6.000MHz	-73.70	-95.45	-66.72	-88.48

图39. 双通道QAM ACLR, $f_{OUT} = 840$ MHz, 总量程 = 32, 满量程电流 = 25 mA, 间距 = 42 MHz, 通道1



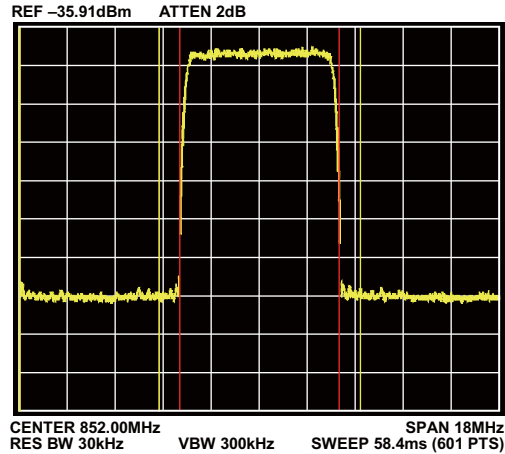
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc		UPPER dBc	
CARRIER POWER	3.375MHz	750.0kHz	-70.07	-92.16	-73.20	-94.49
-21.29dBm/	6.375MHz	5.250MHz	-69.05	-90.34	-73.87	-95.16
6.00000MHz	12.00MHz	6.000MHz	-0.49	-21.78	-73.29	-94.58
	18.00MHz	6.000MHz	-66.61	-87.90	-73.98	-95.27

图41. 双通道QAM ACLR, $f_{OUT} = 840$ MHz, 总量程 = 32, 满量程电流 = 25 mA, 间距 = 42 MHz, 通道2



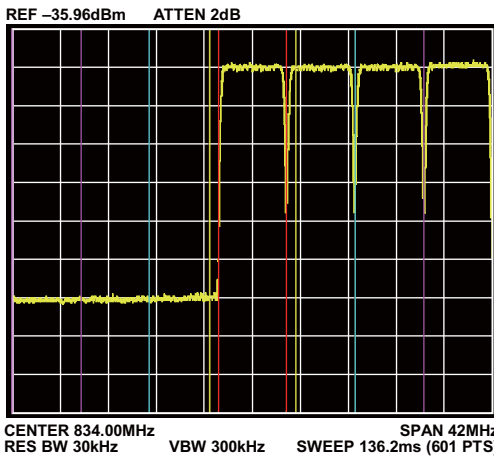
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-75.37	-96.93	-75.56	-97.11
-21.56dBm/ 6.00000MHz	6.375MHz	5.250MHz	-73.85	-95.41	-72.54	-94.10

图42. 双通道QAM ACLR, $f_{OUT} = 840$ MHz, 总量程 = 32, 满量程电流 = 25 mA, 间距 = 18 MHz, 通道1



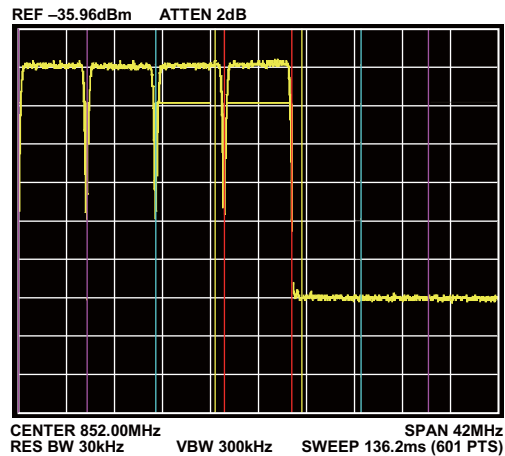
RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-75.51	-96.54	-75.17	-96.20
-21.03dBm/ 6.00000MHz	6.375MHz	5.250MHz	-72.55	-93.58	-73.90	-94.93

图44. 双通道QAM ACLR, $f_{OUT} = 840$ MHz, 总量程 = 32, 满量程电流 = 25 mA, 间距 = 18 MHz, 通道2



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-70.33	-93.96	-11.07	-34.70
-23.63dBm/ 6.00000MHz	6.375MHz	5.250MHz	-69.04	-92.67	-0.49	-24.12
	12.00MHz	6.000MHz	-70.38	-94.01	0.00	-23.63
	18.00MHz	6.000MHz	-71.02	-94.65	0.43	-23.20

图43. 4通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 20, 满量程电流 = 25 mA, 间距 = 42 MHz, 通道1



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER		UPPER	
			dBc	dBm	dBc	dBm
CARRIER POWER	3.375MHz	750.0kHz	-11.10	-34.32	-72.19	-95.42
-23.23dBm/ 6.00000MHz	6.375MHz	5.250MHz	-0.75	-23.98	-68.97	-92.20
	12.00MHz	6.000MHz	-0.59	-23.81	-70.32	-93.55
	18.00MHz	6.000MHz	-0.35	-23.58	-70.70	-93.93

图45. 4通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 20, 满量程电流 = 25 mA, 间距 = 42 MHz, 通道4

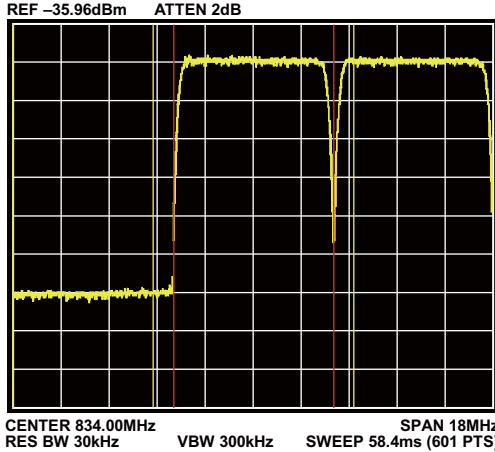


图46. 4通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 20, 满量程电流 = 25 mA, 间距 = 18 MHz, 通道1

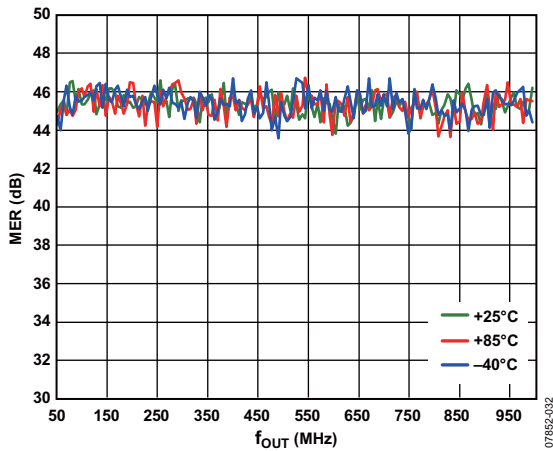


图47. 调制误差比, 均衡, 单通道256-QAM, $f_{DAC} = 2.29376$ GHz, 满量程电流 = 20 mA, 总量程 = 48 (使用频谱分析仪上调制工具箱中的均衡滤波器)

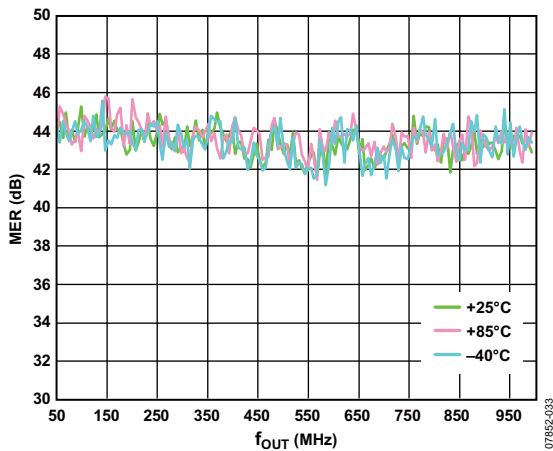


图48. 调制误差比, 非均衡, 单通道256-QAM, $f_{DAC} = 2.29376$ GHz, 满量程电流 = 20 mA, 总量程 = 48

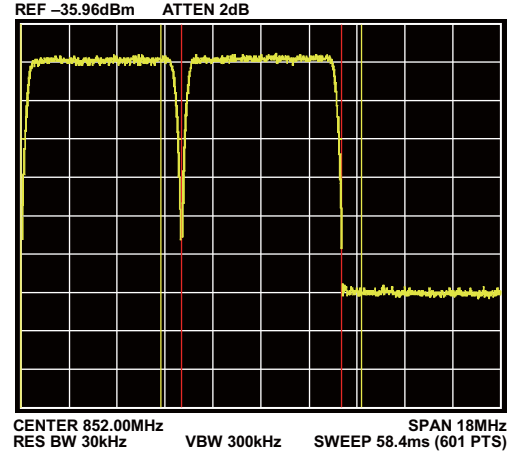


图49. 4通道QAM ACLR, $f_{OUT} = 840$ MHz, 温度 = 25°C, 总量程 = 20, 满量程电流 = 25 mA, 间距 = 18 MHz, 通道4

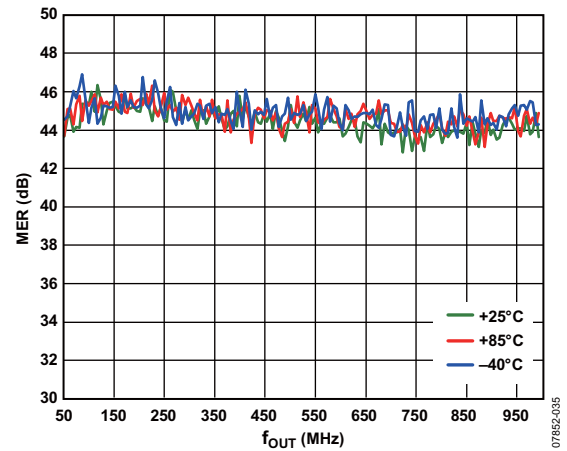


图50. 调制误差比, 均衡, 4通道256-QAM, $f_{DAC} = 2.29376$ GHz, 满量程电流 = 25 mA, 总量程 = 20 (使用频谱分析仪上调制工具箱中的均衡滤波器)

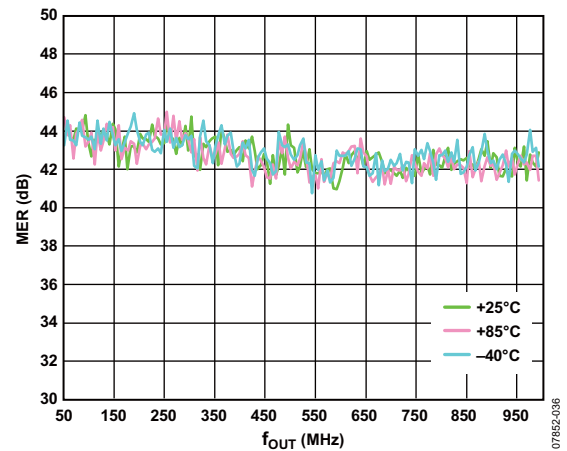


图51. 调制误差比, 非均衡, 4通道256-QAM, $f_{DAC} = 2.29376$ GHz, 满量程电流 = 25 mA, 总量程 = 20

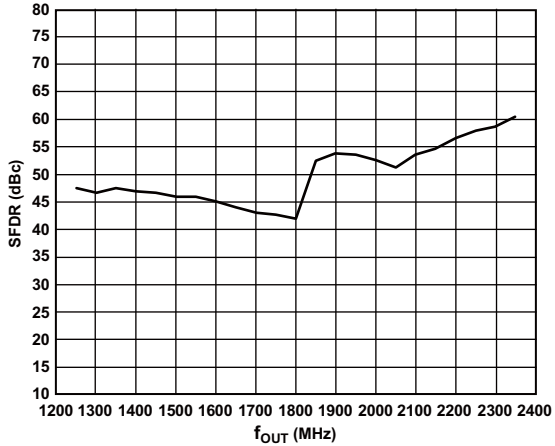


图52. 混频模式下SFDR与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA (第二奈奎斯特频率区域性能)

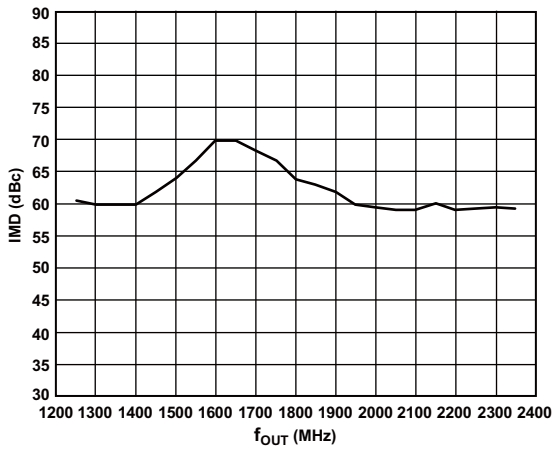


图53. 混频模式下IMD与 f_{OUT} 的关系, $f_{DAC} = 2.4$ GHz, 满量程电流 = 20 mA (第二奈奎斯特频率区域性能)

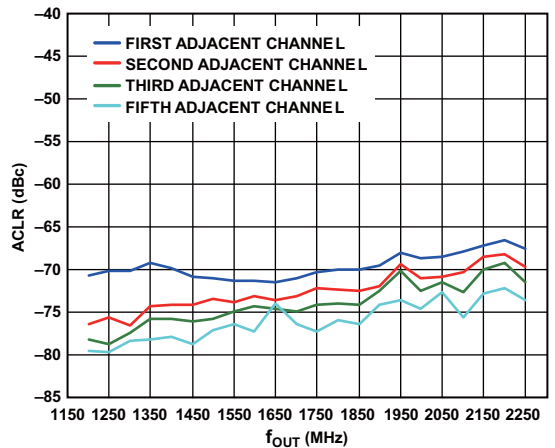
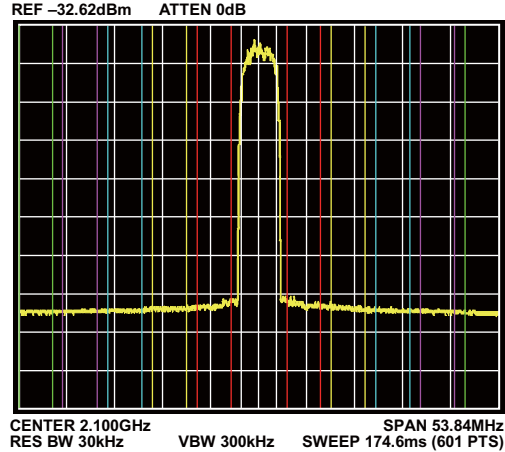
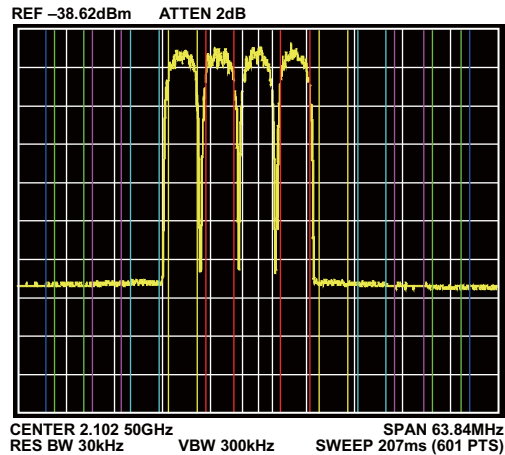


图54. 混频模式下ACLR与 f_{OUT} 的关系, 单载波WCDMA, $f_{DAC} = 2304$ MHz, 满量程电流 = 20 mA (第二奈奎斯特频率区域性能)



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc	UPPER dBc
CARRIER POWER	5.000MHz	3.840MHz	-68.93	-88.88
	10.00MHz	3.840MHz	-71.31	-91.26
3.84000MHz	15.00MHz	3.840MHz	-73.43	-93.37
	20.00MHz	3.840MHz	-75.12	-95.07
	25.00MHz	3.840MHz	-75.60	-95.55

图55. 混频模式下的单载波WCDMA ACLR, $f_{OUT} = 2.1$ GHz, $f_{DAC} = 2304$ MHz, 满量程电流 = 20 mA



RMS RESULTS	FREQ. OFFSET	REF BW	LOWER dBc	UPPER dBc
CARRIER POWER	5.000MHz	3.840MHz	-0.25	-26.31
	10.00MHz	3.840MHz	-0.42	-26.48
3.84000MHz	15.00MHz	3.840MHz	-64.07	-90.13
	20.00MHz	3.840MHz	-65.36	-91.42
	25.00MHz	3.840MHz	-66.86	-92.92
	30.00MHz	3.840MHz	-67.83	-93.89

图56. 混频模式下的四载波WCDMA ACLR, $f_{OUT} = 2.1$ GHz, $f_{DAC} = 2304$ MHz, 满量程电流 = 20 mA

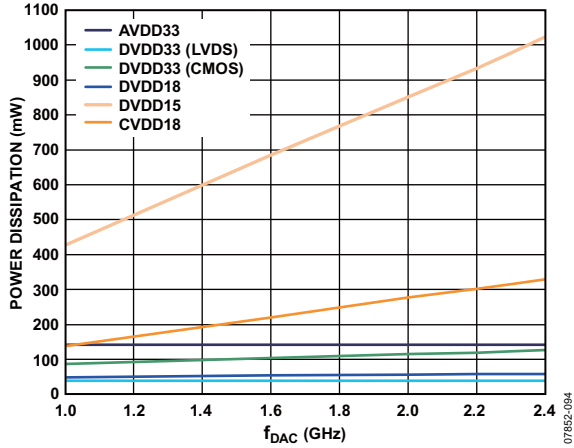


图57. 不同电源的功耗与 f_{DAC} 的关系, 4通道DOCSIS, $f_{OUT} = 915$ MHz, 满量程电流 = 25 mA (数据路径配置: QAM编码器启用, SRRC滤波器启用, 四个2倍插值滤波器启用)

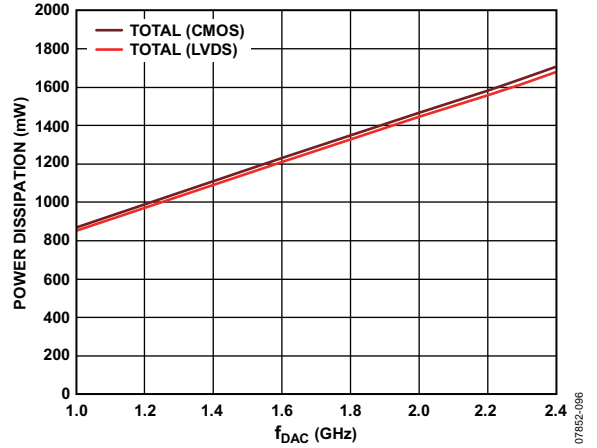


图60. 总功耗与 f_{DAC} 的关系, 4通道DOCSIS, $f_{OUT} = 915$ MHz, 满量程电流 = 25 mA (数据路径配置: QAM编码器启用, SRRC滤波器启用, 四个2倍插值滤波器启用)

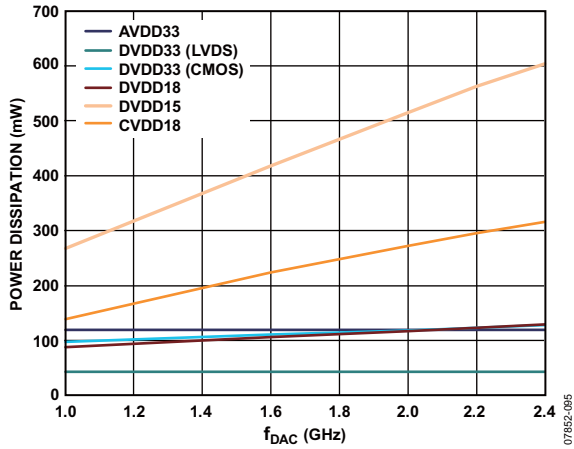


图58. 不同电源的功耗与 f_{DAC} 的关系, 16倍插值, 单通道使能, $f_{OUT} = 70$ MHz, 满量程电流 = 20 mA

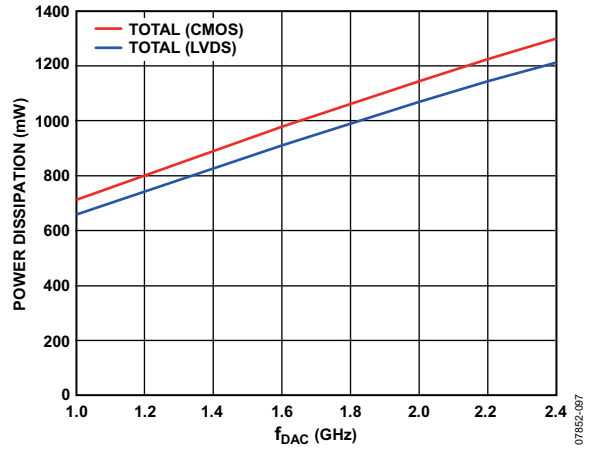


图61. 总功耗与 f_{DAC} 的关系, 16倍插值, 单通道使能, $f_{OUT} = 70$ MHz, 满量程电流 = 20 mA

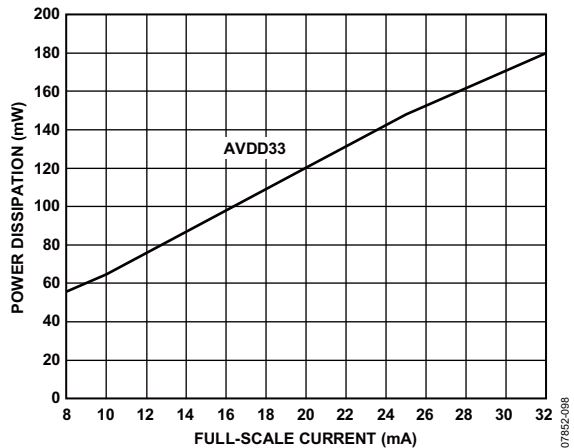


图59. AVDD33功耗与满量程电流的关系

术语

单调性

如果一个DAC的模拟输出随着数字输入的增加而增加，或者保持不变，则该DAC是单调的。

失调误差

失调误差指输出电流与理想0值的偏差。对于IOUTP，当所有输入均设为0时，预期输出为0 mA。对于IOUTN，当所有输入均设为1时，预期输出为0 mA。

增益误差

增益误差指实际输出范围与理想输出范围的差异，所有输入均设为1时的输出减去所有输入均设为0时的输出便得到实际范围。

温度漂移

温度漂移衡量环境温度(25°C)值与 T_{MIN} 或 T_{MAX} 值之间的最大变化范围。失调、增益和基准电压漂移用每摄氏度ppm表示(ppm/°C)。

电源抑制(PSR)

PSR衡量电源从最小额定电压变为最大额定电压时，满量程输出的最大变化。

输出顺从范围

输出电压范围指电流输出DAC输出端的容许电压范围。超出最大顺从限值工作可能会引起输出级饱和或击穿，导致非线性性能。

无杂散动态范围(SFDR)

SFDR指额定带宽范围内输出信号与杂散信号的峰值振幅之差，用dB表示。

噪声谱密度(NSD)

NSD指转换器单位带宽的噪声功率。NSD通常用dBm/Hz表示，满量程信号规定为0 dBm。

邻道泄漏比(ACLR)

邻道泄漏(功率)比指一个通道相对于其相邻通道的测量功率之比，用dBc表示。

调制误差比(MER)

调制信号会产生离散的输出值集，称为星座。每个符号产生一个与星座中的一点相对应的输出信号。MER衡量输出符号平均幅度与个别符号的均方根误差幅度之间的差异。

交调失真(IMD)

IMD是频率不同的两个或更多信号频率混合的结果。混频会产生许多产物，用公式 $af_1 \pm bf_2$ 表示，其中a和b均为整数。

串行控制端口

AD9789串行控制端口是一种灵活的同步串行通信端口，可以很方便地与多种工业标准微控制器和微处理器接口。该端口兼容大多数同步传输格式，包括Motorola SPI®和Intel® SSR协议。可以通过此串行控制端口，可以对所有配置AD9789的寄存器进行读/写操作。它支持单字节和多字节传输，以及MSB优先和LSB优先传输格式。AD9789串行控制端口可以针对一个双向I/O引脚(仅SDIO)或两个单向I/O引脚(SDIO/SDO)配置。默认情况下，AD9789处于单向长指令模式(长指令模式是唯一支持的指令模式)。

串行控制端口引脚功能描述

SCLK(串行时钟)引脚为串行移位时钟输入引脚。SCLK用来使串行控制端口的读写操作同步。写入数据位记录在该时钟的上升沿，读出数据位记录在下降沿。此引脚由一个30 kΩ电阻内部下拉至地。

SDIO(串行数据输入/输出)是一个两用引脚，既可以仅用作输入(单向模式)，也可以同时用作输入和输出(双向模式)。AD9789默认采用单向I/O模式(寄存器0x00[7] = 0)。

SDO(串行数据输出)引脚仅用于单向I/O模式，作为回读数据的独立输出引脚。

CS(片选引脚信号)是低电平有效控制，用来选通读写周期。当 \overline{CS} 为高电平时，SDO和SDIO处于高阻态。此引脚由一个30 kΩ电阻内部上拉至DVDD33。

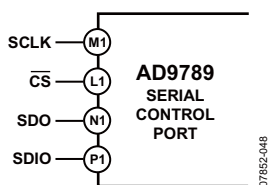


图62. 串行控制端口

串行控制端口通用操作

要启动对AD9789的写或读操作，须将 \overline{CS} 拉低。在传输三个或更少字节的数据(加上指令数据)的模式中(见表7)，支持 \overline{CS} 空闲为高。在这些模式中， \overline{CS} 可以在任何字节边界上暂时返回高电平，使系统控制器有时间处理下一个字节。 \overline{CS} 可以仅在字节边界上进入高电平，并且可以在任一部分(指令或数据)的传输过程中进入高电平。

在 \overline{CS} 空闲为高的模式中，串行控制端口状态机进入等待状态，直到所有数据发送完毕。如果数据尚未发送完毕，而系统控制器决定中止传输，必须完成剩余传输，或者使 \overline{CS} 返回低电平并至少保持一个完整的SCLK周期(但少于8个SCLK周期)，使状态机复位。在非字节边界上拉高 \overline{CS} 将终止串行传输并刷新缓冲器。

在流模式中(见表7)，可以连续流形式传输任意数量的数据字节，寄存器地址自动递增或递减(见MSB/LSB优先传输部分)。在传输最后一个字节结束时，必须拉高 \overline{CS} ，从而结束流模式。

通信周期—指令加数据

AD9789的通信周期可分为两个部分。在第一部分中，一个16位指令字在前16个SCLK上升沿写入AD9789。该指令字向AD9789串行控制端口提供有关数据传输(即通信周期的第二部分)的信息，明确即将发生的数据传输是读操作还是写操作，数据传输的字节数，以及数据传输中第一个字节的起始寄存器地址。

写入

如果指令字定义了一个写操作，则通信周期的第二部分便是将数据传输至AD9789的串行控制端口缓冲器。数据位记录在SCLK的上升沿。

传输长度(1/2/3字节或流模式)由指令字节中的两位(N1和N0)表示。在传输1、2或3字节(但不是流模式)时，在每个8位序列之后可以拉高 \overline{CS} ，使总线空闲，但最后一个字节之后除外，此时会结束通信周期。当总线空闲时，如果 \overline{CS} 变为低电平，就会恢复串行传输。在非字节边界上拉高 \overline{CS} 将复位串行控制端口。在写操作期间，流模式不会跳过保留或空白寄存器；因此，用户必须知道向保留寄存器写入何种位模式，以确保器件正常工作。对于空白寄存器，无论写入何种数据都无关紧要。

对控制寄存器的大部分写操作都会立即实现重新配置。但是，寄存器0x16至寄存器0x1D并不直接控制器件工作。而是向内部逻辑提供数据，必须对这些数据执行额外操作才能进行下载，并改变器件配置。为使寄存器0x16至寄存器0x1D的更新生效，FREQNEW位(寄存器0x1E[7])必须设为1(此位为自清零位)。更新寄存器之前，可以改变任意字节的数据。FREQNEW位设为1将同时更新寄存器0x16至寄存器0x1D。

同样，PARMNEW(寄存器0x24[7])必须从低电平状态变为高电平状态，对寄存器0x22和0x23更改的新值才能生效。与FREQNEW位不同，PARMNEW不是自清零位。

读取

如果指令字定义了一个读操作，在接下来的 $N \times 8$ 个SCLK周期，数据从指令字所规定的地址输出，其中 N 为1至3，由位[N1:N0]确定。如果 $N = 4$ ，读操作将为流模式，持续至 \overline{CS} 变为高电平。流模式不会跳过保留或空白寄存器。回读数据在SCLK的下降沿有效。

AD9789串行控制端口的默认模式是单向模式。在单向模式中，回读数据出现在SDIO引脚上。也可以通过SDIO_DIR位(寄存器0x00[7])，将AD9789设为双向模式。在双向模式中，发送数据和回读数据均出现在SDIO引脚上。

回读请求读取串行控制端口缓冲区或有效寄存器中的数据(见图63)。

AD9789仅支持长指令模式，因此寄存器0x00[4:3]值为11(此寄存器使用镜像位)。长指令模式是上电或复位时的默认状态，写入这些位不起作用。

AD9789使用寄存器地址0x00至0x55。

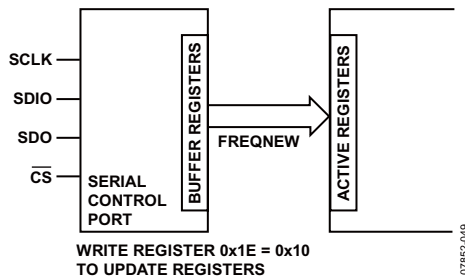


图63. AD9789串行控制端口缓冲寄存器与有效寄存器之间的关系

指令字 (16位)

指令字的MSB为 R/\overline{W} ，表示该指令是读操作还是写操作。接下来的两位N1和N0表示传输长度，单位为字节。最后13位(位[A12:A0])是读或写操作的起始地址。

对于写操作，指令字之后是位[N1:N0]所代表的数据字节数(见表7)。

表7. 字节传输计数

N1	N0	传输字节数
0	0	1
0	1	2
1	0	3
1	1	流模式

位[A12:A0]选择通信周期数据传输阶段写入或读取的寄存器地址(寄存器图范围内)。只需使用位[A6:A0]就能涵盖AD9789所用的全部0x55寄存器。位[A12:A7]必须始终为0。对于多字节传输，此地址是起始字节地址。在MSB优先模式中，后续字节会递增该地址。

MSB/LSB优先传输

AD9789指令字和字节数据可以是MSB优先或LSB优先。写入寄存器0x00的任何数据都必须进行镜像，高四位(位[7:4])与低四位(位[3:0])构成镜像关系。这使得LSB优先或MSB优先事实上是一样的。这种镜像的一个例子是寄存器0x00[7:0]的默认设置0x18，它镜像第4位和第3位。这些位设置长指令模式(默认且唯一支持的模式)。AD9789的默认设置为MSB优先。

当寄存器0x00[1]和0x00[6]设置LSB优先时，它会立即生效。在多字节传输中，后续字节会反映对串行端口配置所做的任何更改。

当MSB优先模式有效时，指令和数据字节必须按照从MSB到LSB的顺序写入。采用MSB优先格式的多字节数据传输由一个包括高数据字节寄存器地址的指令字节开始。后续数据字节必须按照从高地址到低地址的顺序传输。在MSB优先模式下，多字节传输周期每传输一个数据字节，串行控制端口的内部地址产生器便递减1。

当LSB优先模式有效时，指令和数据字节必须按照从LSB到MSB的顺序写入。采用LSB优先格式的多字节数据传输由一个包括低数据字节寄存器地址的指令字节开始，其后是多个数据字节。多字节传输周期每传输一个字节，串行控制端口的内部字节地址产生器便递增1。

如果MSB优先模式有效(默认)，AD9789串行控制端口的寄存器地址将从刚才向控制寄存器0x00写入多字节I/O操作的寄存器地址开始递减。如果LSB优先模式有效，串行控制端口的寄存器地址将从刚才向控制寄存器0x55写入多字节I/O操作的寄存器地址开始递增。

在流模式中，只要达到地址0x2F，传输就会终止。请注意，在多字节I/O操作期间，不会跳过不用的地址。

表8. 流模式(不跳过任何地址)

写入模式	地址方向	停止序列
LSB优先	递增	0x02D, 0x02E, 0x02F, 停止
MSB优先	递减	0x001, 0x000, 0x02F, 停止

表9. 串行控制端口, 16位指令字, MSB优先

MSB														LSB	
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R/ \bar{W}	N1	N0	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

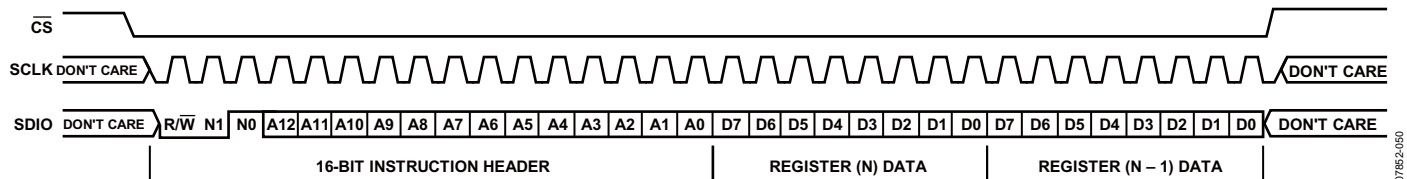


表64. 串行控制端口写入: MSB优先, 16位指令, 双字节数据

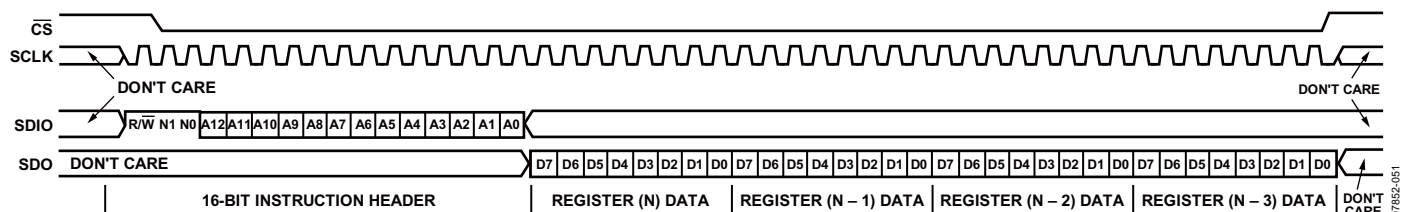


表65. 串行控制端口读取: MSB优先, 16位指令, 4字节数据

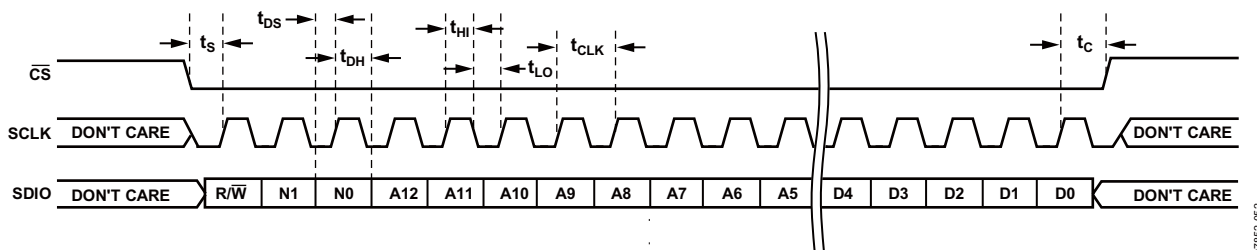


表66. 串行控制端口写入: MSB优先, 16位指令, 时序测量

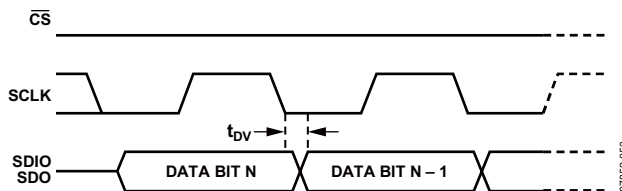


图67. 串行控制端口寄存器读取时序图

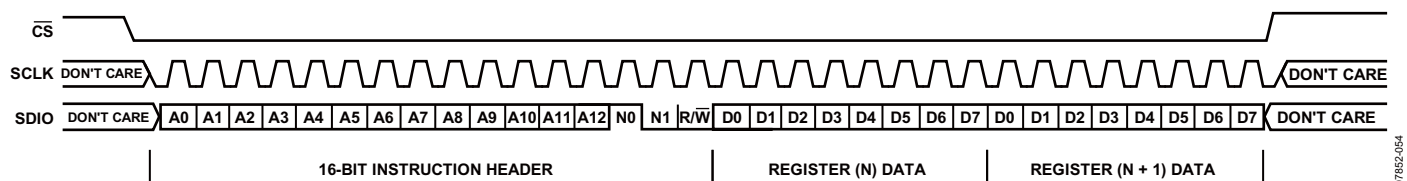


表68. 串行控制端口写入: LSB优先, 16位指令, 双字节数据

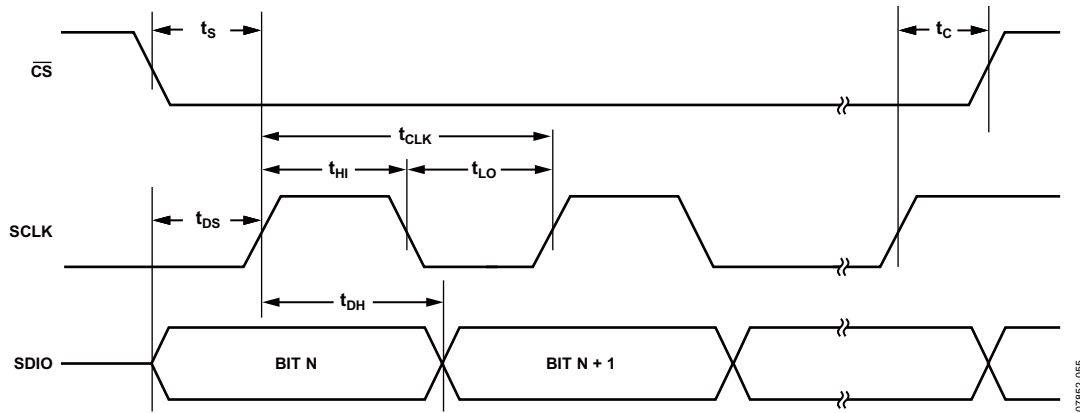


图69. 串行控制端口写操作时序

表10. 串行控制端口时序

参数	描述
t_{DS}	数据与SCLK上升沿之间的设置时间
t_{DH}	数据与SCLK上升沿之间的保持时间
t_{CLK}	时钟周期
t_s	\overline{CS} 下降沿与SCLK上升沿之间的设置时间（通信周期开始）
t_c	SCLK上升沿与 \overline{CS} 上升沿之间的设置时间（通信周期结束）
t_{HI}	SCLK应处于逻辑高状态的最短时间
t_{LO}	SCLK应处于逻辑低状态的最短时间
t_{DV}	SCLK至有效SDIO和SDO（见图67）

SPI寄存器图

除非另有说明，否则请勿写入以下寄存器：寄存器0x34、寄存器0x35、寄存器0x37、寄存器0x3B、寄存器0x3F、寄存器0x40至寄存器0x55。

表 11. 寄存器图

地址	寄存器名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	
0x00	SPI控制	SDIO_DIR	LSBFIRST	RESET	LNG_INST					0x18	
0x01	饱和计数器	SATCNT[7:0]								0x00	
0x02	奇偶校验计数器	PARCNT[7:0]								0x00	
0x03	中断使能	PARERR	BISTDONE	PARMSET	PARMCLR	LOCKACQ	LOCKLOST	SATERR	保留	0x00	
	中断状态/清除	PARERR	BISTDONE	PARMSET	PARMCLR	LOCKACQ	LOCKLOST	SATERR	保留	0x00	
0x05	通道使能	保留				CHANEN[3:0]				0x00	
0x06	旁路	QAM	SRRC	保留	INT[4:0]				0x00		
0x07	QAM/SRRC配置	保留		ALPHA[1:0]		保留	MAPPING[2:0]			0x01	
0x08	求和节点标量	SUMSCALE[7:0]								0x0D	
0x09	输入标量	INSCALE[7:0]								0x20	
0x0A	NCO 0频率 调谐字	FTW0[7:0]								0x00	
0x0B		FTW0[15:8]								0x00	
0x0C		FTW0[23:16]								0x00	
0x0D	NCO 1频率 调谐字	FTW1[7:0]								0x00	
0x0E		FTW1[15:8]								0x00	
0x0F		FTW1[23:16]								0x00	
0x10	NCO 2频率 调谐字	FTW2[7:0]								0x00	
0x11		FTW2[15:8]								0x00	
0x12		FTW2[23:16]								0x00	
0x13	NCO 3频率 调谐字	FTW3[7:0]								0x00	
0x14		FTW3[15:8]								0x00	
0x15		FTW3[23:16]								0x00	
0x16	速率转换器 分母(Q)	Q[7:0]								0x00	
0x17		Q[15:8]								0x00	
0x18		Q[23:16]								0x80	
0x19	速率转换器 分子(P)	P[7:0]								0x00	
0x1A		P[15:8]								0x00	
0x1B		P[23:16]								0x80	
0x1C	插值BPF	FC[7:0]								0x00	
0x1D	中心频率	FC[15:8]								0x00	
0x1E	频率更新	FREQNEW	保留							0x00	
0x1F	硬件版本	保留					VER[3:0]				0x03
0x20	接口配置	CMOS_BUS	CMOS_CTRL	保留	DCO_INV	IF_MODE	CHANPRI	PAR[1:0]		0xC8	
0x21	数据控制	BIN	BUSWIDTH[1:0]		DATWIDTH	CMPLX	LTNCY[2:0]			0x61	
0x22	DCO频率	保留	DCODIV[2:0]			ONES[3:0]			0x1F		
0x23	内部时钟相位 调整	DSCPHZ[3:0]				SNCPHZ[3:0]				0x85	
0x24	参数更新	PARMNEW	保留							0x00	
0x25	通道0增益	CHAN0GAIN[7:0]								0x80	
0x26	通道1增益	CHAN1GAIN[7:0]								0x80	
0x27	通道2增益	CHAN2GAIN[7:0]								0x80	
0x28	通道3增益	CHAN3GAIN[7:0]								0x80	
0x29	频谱整形	保留							SPEC_INV	0x00	

AD9789

地址	寄存器名称	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	
0x2F	Mu延迟控制1	SEARCH_TOL	SEARCH_ERR	TRACK_ERR	GUARDBAND[4:0]					0x0B	
0x30	Mu控制占空比	占空比校正使能	INC_DEC (工厂)	MANUAL_ADJ[5:0] (仅用于工厂测试)						0x40	
0x31	时钟接收器1	CLKN_CML[3:0]				保留					0xF0
0x32	时钟接收器2	CLK_DIS	保留	PSIGN	CLKP_CML[3:0]				NSIGN	0x3F	
0x33	Mu延迟控制2	MU_CLKDIS	SLOPE	MODE[1:0]		MUSAMP	GAIN[1:0]		MU_EN	0x42	
0x34	保留	保留								0x00	
0x35	保留	保留								0xCA	
0x36	DAC偏置	PDBIAS	保留					MSEL[1:0]		0x03	
0x37	保留	保留								0x00	
0x38	DAC解码器	保留							DAC解码器模式		0x00
0x39	Mu延迟控制3	MUDLY[0]	SEARCH_DIR[1:0]		MUPHZ[4:0]					0x40	
0x3A	Mu延迟控制4	MUDLY[8:1]								0x00	
0x3B	保留	保留								0x00	
0x3C	满量程电流1	FSC[7:0]								0x00	
0x3D	满量程电流2	保留						FSC[9:8]		0x02	
0x3E	鉴相器控制	PHZ_PD	Reserved	CMP_BST	AUTO_CAL	PHZ_DET_BIAS[3:0]				0x18	
0x3F	保留	保留								0x00	
0x40	BIST控制	CLKSHDN	INPUTSEL	Reserved	BENABLE	BMODE[3:0]				0x00	
0x41	BIST状态	BDONE	BSTATUS[6:0]								0x00
0x42	BIST零填充长度	PADLEN[7:0]								0x00	
0x43		PADLEN[15:8]								0x00	
0x44	BIST矢量长度	VECTLEN[7:0]								0x00	
0x45		VECTLEN[15:8]								0x00	
0x46		VECTLEN[23:16]								0x00	
0x47	BIST时钟调整	BCLKDIV[3:0]				BCLKPHZ[3:0]				0x00	
0x48	符号0控制	S0ENABL	S0RDEN	S0PRNG	S0ZERO	S0NEG	S0FNLCH	S0SEL[1:0]		0x00	
0x49	符号0时钟调整	S0CLKDIV[3:0]				S0CLKPHZ[3:0]				0x00	
0x4A	符号1控制	S1ENABL	S1RDEN	S1PRNG	S1ZERO	S1NEG	S1FNLCH	S1SEL[1:0]		0x00	
0x4B	符号1时钟调整	S1CLKDIV[3:0]				S1CLKPHZ[3:0]				0x00	
0x4C	RegFnI0Freq	最终速率/偏移控制0 [7:0]								0x00	
0x4D	RegFnI1Freq	最终速率/偏移控制1 [7:0]								0x00	
0x50	BIST签名0	SGN0[7:0]								0x00	
0x51		SGN0[15:8]								0x00	
0x52		SGN0[23:16]								0x00	
0x53	BIST签名1	SGN1[7:0]								0x00	
0x54		SGN1[15:8]								0x00	
0x55		SGN1[23:16]								0x00	

SPI寄存器描述

表12. SPI控制寄存器(地址0x00)

位	位名	描述
7	SDIO_DIR	此位将SDIO引脚配置为仅输入引脚或输入/输出双向引脚。两种选择均符合SPI标准。 0 = 仅输入。 1 = 双向(输入/输出)。
6	LSBFIRST	此位将SPI接口配置为MSB优先或LSB优先模式。两种选择均符合SPI标准。 0 = MSB优先。 1 = LSB优先。
5	RESET	设为1, 此位将使器件复位。器件复位后, 在下一个周期将0写入此位。 0 = 不复位。 1 = 软件复位。
4	LNG_INST	此位将SPI设为长指令模式; 1是唯一有效的值。
[3:0]		这些位应当是位[7:4]的镜像。位3镜像位4, 位2镜像位5, 位1镜像位6, 位0镜像位7。

表13. 饱和计数器寄存器(地址0x01)

位	位名	描述
[7:0]	SATCNT[7:0]	此只读寄存器含有饱和计数器。此寄存器反映SUMSCALE增益模块输出端超出数据路径量程而被数字削波的样本数。将1写入寄存器0x04的位1, 计数器清0。

表14. 奇偶校验计数器寄存器(地址0x02)

位	位名	描述
[7:0]	PARCNT[7:0]	此只读寄存器含有输入数据奇偶校验错误计数器。将1写入寄存器0x04的位7, 计数器清0。

表15. 中断使能寄存器(地址0x03)

位	位名	描述
7	PARERR	此位设为1将使能PARERR标志, 产生一个中断请求, 导致寄存器0x04中的中断位7设为1, 并且IRQ引脚变为低电平。
6	BISTDONE	此位设为1将使能BISTDONE标志, 产生一个中断请求, 导致寄存器0x04中的中断位6设为1, 并且IRQ引脚变为低电平。
5	PARMSET	此位设为1将使能PARMS_SET标志, 产生一个中断请求, 导致寄存器0x04中的中断位5设为1, 并且IRQ引脚变为低电平。
4	PARMCLR	此位设为1将使能PARMS_CLR标志, 产生一个中断请求, 导致寄存器0x04中的中断位4设为1, 并且IRQ引脚变为低电平。
3	LOCKACQ	此位设为1将使能LOCKACQ标志, 产生一个中断请求, 导致寄存器0x04中的中断位3设为1, 并且IRQ引脚变为低电平。
2	LOCKLOST	此位设为1将使能LOCKLOST标志, 产生一个中断请求, 导致寄存器0x04中的中断位2设为1, 并且IRQ引脚变为低电平。
1	SATERR	此位设为1将使能SATERR (溢出到16倍插值器) 标志, 产生一个中断请求, 导致寄存器0x04中的中断位1设为1, 并且IRQ引脚变为低电平。
0	保留	保留。

AD9789

表16. 中断状态/清除寄存器(地址0x04)

位	位名	描述
7	PARERR	如果此位设为1, 说明已发生一个或多个奇偶校验错误。写入1, 清除中断。
6	BISTDONE	如果此位设为1, 说明BIST已达到终点状态。写入1, 清除中断。
5	PARMSET	如果此位设为1, 说明参数更新寄存器(地址0x24)已经更新。写入1, 清除中断。
4	PARMCLR	如果此位设为1, 说明参数更新寄存器(地址0x24)已清0。写入1, 清除中断。
3	LOCKACQ	如果此位设为1, 说明数字引擎与DAC内核之间正在进行正常的切换。
2	LOCKLOST	如果此位设为1, 说明数字引擎与DAC内核之间已丧失正常的切换。写入1, 清除中断。
1	SATERR	如果此位设为1, 说明已发生一个或多个饱和错误(溢出到16倍插值器)。写入1, 清除中断。
0	保留	保留。

表17. 通道使能寄存器(地址0x05)

位	位名	描述																
[7:4]	保留	保留。																
[3:0]	CHANEN[3:0]	任何位为逻辑1都会使能相应的通道; 0000表示所有通道都禁用。																
		<table border="1"> <thead> <tr> <th>设置</th> <th>通道</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>所有通道禁用。</td> </tr> <tr> <td>0001</td> <td>通道0使能。</td> </tr> <tr> <td>0010</td> <td>通道1使能。</td> </tr> <tr> <td>0011</td> <td>通道0和通道1使能。</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>1110</td> <td>通道1、通道2和通道3使能。</td> </tr> <tr> <td>1111</td> <td>所有通道使能。</td> </tr> </tbody> </table>	设置	通道	0000	所有通道禁用。	0001	通道0使能。	0010	通道1使能。	0011	通道0和通道1使能。	1110	通道1、通道2和通道3使能。	1111	所有通道使能。
设置	通道																	
0000	所有通道禁用。																	
0001	通道0使能。																	
0010	通道1使能。																	
0011	通道0和通道1使能。																	
...	...																	
1110	通道1、通道2和通道3使能。																	
1111	所有通道使能。																	

表18. 旁路寄存器(地址0x06)

位	位名	描述																		
7	QAM	此位设为1, 旁路QAM映射器。																		
6	SRRC	此位设为1, 旁路平方根升余弦(SRRC)滤波器。																		
5	保留	保留。																		
[4:0]	INT[4:0]	任何位为逻辑1都会旁路相应的插值滤波器。旁路插值滤波器的较佳顺序是先旁路滤波器0, 再旁路滤波器1, 依此类推。																		
		<table border="1"> <thead> <tr> <th>设置</th> <th>旁路插值滤波器</th> </tr> </thead> <tbody> <tr> <td>00000</td> <td>所有插值滤波器使能。</td> </tr> <tr> <td>00001</td> <td>旁路插值滤波器0。</td> </tr> <tr> <td>00010</td> <td>旁路插值滤波器1。</td> </tr> <tr> <td>00011</td> <td>旁路插值滤波器0和插值滤波器1。</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>01111</td> <td>旁路插值滤波器0、插值滤波器1、插值滤波器2和插值滤波器3。</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>11111</td> <td>旁路所有插值滤波器。</td> </tr> </tbody> </table>	设置	旁路插值滤波器	00000	所有插值滤波器使能。	00001	旁路插值滤波器0。	00010	旁路插值滤波器1。	00011	旁路插值滤波器0和插值滤波器1。	01111	旁路插值滤波器0、插值滤波器1、插值滤波器2和插值滤波器3。	11111	旁路所有插值滤波器。
设置	旁路插值滤波器																			
00000	所有插值滤波器使能。																			
00001	旁路插值滤波器0。																			
00010	旁路插值滤波器1。																			
00011	旁路插值滤波器0和插值滤波器1。																			
...	...																			
01111	旁路插值滤波器0、插值滤波器1、插值滤波器2和插值滤波器3。																			
...	...																			
11111	旁路所有插值滤波器。																			

表19. QAM/SRRC配置寄存器(地址0x07)

位	位名	描述	
[7:6]	保留	保留。	
[5:4]	ALPHA[1:0]	这些位设置SRRC滤波器 α 值。	
		设置	α滤波器
		00	0.12
		01	0.18
		10	0.15
11	0.13		
3	保留	保留。	
[2:0]	MAPPING[2:0]	这些位设置QAM编码。	
		设置	QAM编码
		000	DOCSIS 64-QAM
		001	DOCSIS 256-QAM
		010	DVB 16-QAM
		011	DVB 32-QAM
		100	DVB 64-QAM
		101	DVB 128-QAM
		110	DVB 256-QAM
		111	不用

表20. 求和节点标量寄存器(地址0x08)

位	位名	描述	
[7:0]	SUMSCALE[7:0]	此寄存器设置应用于通道求和节点输出的2.6乘法器值。	
		设置	2.6乘法器
		00000000	0
		00000001	0.015625
		00000010	0.03125
	
		00001101	0.203125(默认)
	
		11111110	3.96875
		11111111	3.984375

表21. 输入标量寄存器(地址0x09)

位	位名	描述	
[7:0]	INSCALE[7:0]	此寄存器设置应用于输入数据的3.5乘法器值。此定标器模块与QAM编码器模块并联，在QAM编码器模块被旁路时使用。	
		设置	3.5乘法器
		00000000	0
		00000001	0.03125
		00000010	0.0625
	
		00100000	1(默认)
	
		11111110	7.9375
		11111111	7.96875

AD9789

三个NCO 0频率调谐字寄存器一起构成NCO 0的24位频率调谐字。有关这些寄存器编程的更多信息，请参阅基带数字上变频器部分。

表22. NCO 0频率调谐字寄存器(地址0x0A至地址0x0C)

地址	位名	描述
0x0A	FTW0[7:0]	NCO 0的频率调谐字，位[7:0]
0x0B	FTW0[15:8]	NCO 0的频率调谐字，位[15:8]
0x0C	FTW0[23:16]	NCO 0的频率调谐字，位[23:16]

三个NCO 1频率调谐字寄存器一起构成NCO 1的24位频率调谐字。有关这些寄存器编程的更多信息，请参阅基带数字上变频器部分。

表23. NCO 1频率调谐字寄存器(地址0x0D至地址0x0F)

地址	位名	描述
0x0D	FTW1[7:0]	NCO 1的频率调谐字，位[7:0]
0x0E	FTW1[15:8]	NCO 1的频率调谐字，位[15:8]
0x0F	FTW1[23:16]	NCO 1的频率调谐字，位[23:16]

三个NCO 2频率调谐字寄存器一起构成NCO 2的24位频率调谐字。有关这些寄存器编程的更多信息，请参阅基带数字上变频器部分。

表24. NCO 2频率调谐字寄存器(地址0x10至地址0x12)

地址	位名	描述
0x10	FTW2[7:0]	NCO 2的频率调谐字，位[7:0]
0x11	FTW2[15:8]	NCO 2的频率调谐字，位[15:8]
0x12	FTW2[23:16]	NCO 2的频率调谐字，位[23:16]

三个NCO 3频率调谐字寄存器一起构成NCO 3的24位频率调谐字。有关这些寄存器编程的更多信息，请参阅基带数字上变频器部分。

表25. NCO 3频率调谐字寄存器(地址0x13至地址0x15)

地址	位名	描述
0x13	FTW3[7:0]	NCO 3的频率调谐字，位[7:0]
0x14	FTW3[15:8]	NCO 3的频率调谐字，位[15:8]
0x15	FTW3[23:16]	NCO 3的频率调谐字，位[23:16]

三个速率转换器分母(Q)寄存器一起构成速率转换器抽取比的24位分母。有关这些寄存器编程的更多信息，请参阅采样速率转换器部分。

表26. 速率转换器分母(Q)寄存器(地址0x16至地址0x18)

地址	位名	描述
0x16	Q[7:0]	速率转换器分母，位[7:0]
0x17	Q[15:8]	速率转换器分母，位[15:8]
0x18	Q[23:16]	速率转换器分母，位[23:16]

三个速率转换器分子(P)寄存器一起构成速率转换器抽取比的24位分子。有关这些寄存器编程的更多信息，请参阅采样速率转换器部分。

表27. 速率转换器分子(P)寄存器(地址0x19至地址0x1B)

地址	位名	描述
0x19	P[7:0]	速率转换器分子，位[7:0]
0x1A	P[15:8]	速率转换器分子，位[15:8]
0x1B	P[23:16]	速率转换器分子，位[23:16]

两个插值BPF中心频率寄存器一起构成16倍带通插值滤波器的16位中心频率。有关这些寄存器编程的更多信息，请参阅16倍数字可调带通滤波器部分。

表28. 插值BPF中心频率寄存器(地址0x1C和地址0x1D)

地址	位名	描述
0x1C	FC[7:0]	中心频率，位[7:0]
0x1D	FC[15:8]	中心频率，位[15:8]

表29. 频率更新寄存器(地址0x1E)

位	名称	描述
7	FREQNEW	此位设为1将更新AD9789中的衍生寄存器。必须设置此位，对寄存器0x16至寄存器0x1D所做的更改才能生效。衍生寄存器更新后，此自清零位复位至0。
[6:0]	保留	保留。

表30. 硬件版本寄存器(地址0x1F)

位	名称	描述
[7:4]	保留	保留。
[3:0]	VER[3:0]	此只读寄存器指示芯片的版本(0011)。

表31. 接口配置寄存器(地址0x20)

位	名称	描述										
7	CMOS_BUS	此位反映CMOS_BUS引脚(L14)的状态。										
6	CMOS_CTRL	此位反映CMOS_CTRL引脚(M14)的状态。										
5	保留	保留。										
4	DCO_INV	设为1时，DCO引脚反相。										
3	IF_MODE	此位设置数据接口模式。 0 = 通道选择器模式。支持所有可用接口宽度及8位和16位字宽。支持的最大 f_{BAUD} 为 $f_{\text{DAC}}/48$ 。 1 = 正交数字上变频器(QDUC)模式。仅支持32位接口、16位字模式。支持的最大 f_{BAUD} 为 $f_{\text{DAC}}/16$ 。										
2	CHANPRI	此位选择通道优先级值(仅用于通道选择器模式)。 0 = 器件期望仅为使能的通道提供输入样本。 1 = 器件期望为所有四个通道提供数据。器件期望提供禁用通道的数据，并且必须发送该数据，但AD9789会弃之不用。										
[1:0]	PAR[1:0]	这些位设置奇偶校验。更多信息见奇偶校验部分。										
		<table border="1"> <thead> <tr> <th>设置</th> <th>奇偶校验</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>奇偶校验无效</td> </tr> <tr> <td>01</td> <td>IQ奇偶性 (I通道期望值0, Q通道期望值1)</td> </tr> <tr> <td>10</td> <td>偶校验</td> </tr> <tr> <td>11</td> <td>奇校验</td> </tr> </tbody> </table>	设置	奇偶校验	00	奇偶校验无效	01	IQ奇偶性 (I通道期望值0, Q通道期望值1)	10	偶校验	11	奇校验
设置	奇偶校验											
00	奇偶校验无效											
01	IQ奇偶性 (I通道期望值0, Q通道期望值1)											
10	偶校验											
11	奇校验											

AD9789

表32. 数据控制寄存器 (地址0x21)

位	名称	描述	
7	BIN	此位选择器件的编码格式。 0 = 二进制补码编码。 1 = 标准二进制编码。	
[6:5]	BUSWIDTH[1:0]	这些位设置器件的输入数据总线宽度。	
		设置	输入总线宽度
		00	4位
		01	8位
		10	16位
		11	32位
4	DATWIDTH	此位设置发送至数据路径的数据字宽度。 0 = 8位数据字。 1 = 16位数据字。	
3	CMPLX	此位配置实数或复数数据的数据路径。 0 = 实数数据。 1 = 复数数据。	
[2:0]	LTNCY[2:0]	这些位设置从FS脉冲到内部数据采样时间的周转延迟。更多信息见延迟寄存器部分。	
		设置	延迟
		000	FS变为低电平后, 大约在DCO的第一个上升沿开始对输入数据进行采样。
		001	FS变为低电平后, 大约在DCO的第二个上升沿开始对输入数据进行采样。
	
		111	FS变为低电平后, 大约在DCO的第八个上升沿开始对输入数据进行采样。

表33. DCO频率寄存器 (地址0x22)

位	名称	描述	
7	保留	保留。	
[6:4]	DCODIV[2:0]	这些位设置从FS脉冲到内部数据采样时间的周转延迟。更多信息见延迟寄存器部分。	
		设置	DCO时钟频率
		000	DCO时钟禁用
		001	fDACCLK/16
		010	fDACCLK/32
		011	无效
		100	fDACCLK/64
		101	无效
		11x	无效
[3:0]	ONES[3:0]	这些位始终回读为1111。	

表34. 内部时钟相位调整寄存器 (地址0x23)

位	名称	描述	
[7:4]	DSCPHZ[3:0]	数据采样时钟(DSC)是用于采样输入数据的内部时钟。此时钟可发生在16个相位中的一个相位，以调整优化数据接口的设置和保持时序。	
		设置	所选相位
		0000	最早时钟相位
		0001	次早时钟相位，发生在1/16 DSC周期之后
...	
1111	最后可用的时钟相位		
[3:0]	SNCPHZ[3:0]	同步时钟(SNC)是用来同步数字数据路径时钟与DAC时钟的内部时钟。此时钟可发生在16个相位中的一个相位，以调整优化DAC至数据路径时序。	
		设置	所选相位
		0000	最早时钟相位
		0001	次早时钟相位，发生在1/16 DSC周期之后
...	
1111	最后可用的时钟相位		

表35. 参数更新寄存器(地址0x24)

位	名称	描述
7	PARMNEW	此位必须从0变为1，对寄存器0x22和寄存器0x23所做的更改才能生效。假设此位之前设为0，写入1时，此位的回读值将反映芯片状态。 (芯片状态更新非常快；因此，用户如果采用较慢的SPI方案，可能永远不会在更新之后回读到0值。) 0 = 值未更新。 1 = 值已更新。
[6:0]	保留	保留。

表36. 通道增益寄存器(地址0x25至地址0x28)

地址	寄存器名称	位名	描述
0x25	通道0增益 通道1增益 通道2增益 通道3增益	CHAN0GAIN[7:0]	这些寄存器配置应用于SUMSCALE模块之前各通道的1.7乘法器值。通道增益范围为0至1.9921875，步进大小为0.0078125。要停用单个通道，比例系数须设为0。
0x26		CHAN1GAIN[7:0]	
0x27		CHAN2GAIN[7:0]	
0x28		CHAN3GAIN[7:0]	
		设置	通道增益
		00000000	0
		00000001	0.0078125
	
		11111111	1.9921875

表37. 频谱整形寄存器(地址0x29)

位	名称	描述
[7:1]	保留	保留。
0	SPEC_INV	此位设为1时，信号频谱反相，Q数据实际上乘以-1。

AD9789

表38. Mu延迟控制1寄存器(地址0x2F)

位	名称	描述												
7	SEARCH_TOL	此位指定相位搜索的精确性。最佳值为1。 0 = 不精确：搜索可以找到所需相位的两个值内的一个相位。 1 = 精确：搜索找到指定的精确相位。												
6	SEARCH_ERR	此位配置遇到错误时的搜索行为。 0 = 出错时停止。 1 = 出错时重试。												
5	TRACK_ERR	此位配置控制器未找到所需相位时的跟踪行为。最佳值为0。 0 = 出错时继续。 1 = 出错时复位。												
[4:0]	GUARDBAND[4:0]	<p>这些位设置防护频带值。防护频带定义如下： GUARDBAND[4:0] x 8 = 从终点开始的防护频带mu延迟码数 如果搜索模式为交替式，搜索将在两个方向进行，直到在一个方向到达防护频带。到达防护频带后，搜索仅在相反方向继续进行。在第二个方向到达防护频带之前，如果没有找到所需相位，搜索将变回交替模式，继续在防护频带内寻找。如果mu延迟到达终点，搜索失败。 更多信息见Mu延迟控制器部分。</p> <table border="1"> <thead> <tr> <th>Setting</th> <th>Guard Band</th> </tr> </thead> <tbody> <tr> <td>00000</td> <td>0</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>01011</td> <td>11 (默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>11111</td> <td>31</td> </tr> </tbody> </table>	Setting	Guard Band	00000	0	01011	11 (默认)	11111	31
Setting	Guard Band													
00000	0													
...	...													
01011	11 (默认)													
...	...													
11111	31													

表39. Mu控制占空比寄存器(地址0x30)

位	名称	描述
7	占空比校正使能	此位设为1时，将开启mu控制占空比校正电路。此功能须在使能mu控制器之前开启。此功能与相位比较器升压(通过寄存器0x3E[5]使能)一起，可使mu控制器在器件整个工作速度范围内工作更稳定。
6	INC_DEC	保留(仅在工厂使用)。
[5:0]	MANUAL_ADJ[5:0]	保留(仅在工厂使用)。

表40. 时钟接收器1寄存器(地址0x31)

位	名称	描述
[7:4]	CLKN_CML[3:0]	这些位调整CLKN引脚的共模电平。这些位及CLKP_CML[3:0]位的建议值为0xF。更多信息见优化时钟共模电压部分。
[3:0]	保留	保留。

表41. 时钟接收器2寄存器(地址0x32)

位	名称	描述
7	CLK_DIS	此位禁用或使能时钟接收器。AD9789上电时，此位设为0，防止无时钟上电时出现高输出噪声。待DAC时钟稳定之后，将此位设为1。 0 = 禁用。 1 = 使能。
6	保留	保留(仅在工厂使用；请保留默认值)。
5	PSIGN	此位指定CLKP_CML位的符号。 0 = 负 (推荐)。 1 = 正。
[4:1]	CLKP_CML[3:0]	这些位调整CLKP引脚的共模电平。这些位及CLKN_CML[3:0]位的建议值为0xF。更多信息见优化时钟共模电压部分。
0	NSIGN	此位指定CLKN_CML位的符号。 0 = 负 (推荐)。 1 = 正。

表42. Mu延迟控制2寄存器(地址0x33)

位	名称	描述
7	MU_CLKDIS	此位禁用或使能mu延迟控制器的时钟。 0 = 使能。 1 = 禁用。
6	SLOPE	此位配置mu延迟相位测量的所需斜率。测出所需相位后，计算相位测量的斜率并将其与此位的值相比较。为实现最佳交流性能，搜索的最佳设置是斜率为正，并且相位值为14。 0 = 负。 1 = 正。
[5:4]	MODE[1:0]	这些位配置mu控制器的工作模式。 00 = 搜索并跟踪（推荐）。 01 = 仅跟踪。 10 = 仅搜索。 11 = 无效。
3	MUSAMP	此位从0变为1时，用户可以回读控制器所锁定的mu延迟值(寄存器0x39和寄存器0x3A中的MUDLY位)，以及它所锁定的相位(寄存器0x39中的MUPHZ位)。 0 = 无动作。 1 = 从0变为1时，捕捉mu控制器相位和延迟的回读值。
[2:1]	GAIN[1:0]	这些位设置mu控制器的跟踪速率。 00 = 最慢跟踪。 01 = 标称跟踪(推荐)。 10 = 最快跟踪。 11 = 无效(不要使用)。
0	MU_EN	此位使能或禁用mu控制器。使能mu控制器之前，须先开启相位比较器升压(寄存器0x3E[5])和mu控制占空比较正电路(寄存器0x30[7])。这两个功能可使mu控制器在器件的整个工作速度范围内工作更稳定。 0 = mu控制器关闭（手动模式）。 1 = mu控制器开启（自动模式）。

表43. DAC偏置寄存器(地址0x36)

位	名称	描述
7	PDBIAS	此位设为1时，关断DAC电路。
[6:2]	保留	保留。
[1:0]	MSEL[1:0]	这些位设置电流镜滚降频率控制，它可用于调整内部电流镜的噪声贡献，以优化1/f噪声。 00 = 旁路电流镜滚降频率控制。 01 = 最窄带宽。 10 = 中等带宽。 11 = 最宽带宽。

表44. DAC解码器寄存器(地址0x38)

位	名称	描述
[7:2]	保留	保留。
[1:0]	DAC解码器模式	这些位设置DAC的解码器模式。建议使用普通模式(默认)。 00 = 普通模式。 01 = 归零模式。 10 = 混合模式。 11 = 无效。

AD9789

表45. Mu延迟控制3寄存器(地址0x39)

位	名称	描述
7	MUDLY[0]	此位是mu延迟值的LSB。此位与寄存器0x3A中的位[7:0]一同配置可编程mu延迟；搜索算法从该特定mu延迟值开始。手动模式下，可以写入MUDLY位。跟踪模式下，可以回读采样MUDLY值。虽然此延迟线值有9位的分辨率，但最大容许mu延迟为431 (0x1AF)。开始搜索的最佳点在延迟线的中间，约为216 (0xD8)。
[6:5]	SEARCH_DIR[1:0]	这些位配置搜索方向，从选定的mu延迟值开始。 00 = 向下搜索。 01 = 向上搜索。 10 = 上下搜索（最佳）。 11 = 无效。
[4:0]	MUPHZ[4:0]	这些位指定需测量的相位，最大容许相位为16 (10000)。如果载入大于16的值，控制器不会锁定。测出所需相位后，计算相位测量的斜率并将其与所配置的斜率（由寄存器0x33[6]中的SLOPE位指定）相比较。为实现最佳交流性能，搜索的最佳设置是斜率为正，并且相位值为14 (01110)。

表46. Mu延迟控制4寄存器(地址0x3A)

位	名称	描述
[7:0]	MUDLY[8:1]	这些位与寄存器0x39中的位7一同配置可编程mu延迟；搜索算法从该特定mu延迟值开始。手动模式下，可以写入MUDLY位。跟踪模式下，可以回读采样MUDLY值。虽然此延迟线值有9位的分辨率，但最大容许mu延迟为431 (0x1AF)。开始搜索的最佳点在延迟线的中间，约为216 (0xD8)。

表47. 满量程电流1寄存器(地址0x3C)

位	名称	描述																
[7:0]	FSC[7:0]	此寄存器与寄存器0x3D中的位[1:0]一同设置DAC的满量程电流。更多信息见基准电压源部分。																
		<table border="1"> <thead> <tr> <th>设置（包括寄存器0x3D[1:0]</th> <th>满量程电流(mA)</th> </tr> </thead> <tbody> <tr> <td>000000000</td> <td>8.6</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>100000000</td> <td>20 (默认)</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>101101000</td> <td>25</td> </tr> <tr> <td>...</td> <td>...</td> </tr> <tr> <td>111111111</td> <td>32.1</td> </tr> </tbody> </table>	设置（包括寄存器0x3D[1:0]	满量程电流(mA)	000000000	8.6	100000000	20 (默认)	101101000	25	111111111	32.1
设置（包括寄存器0x3D[1:0]	满量程电流(mA)																	
000000000	8.6																	
...	...																	
100000000	20 (默认)																	
...	...																	
101101000	25																	
...	...																	
111111111	32.1																	

表48. 满量程电流2寄存器(地址0x3D)

位	名称	描述
[7:2]	保留	保留。
[1:0]	FSC[9:8]	这些位与寄存器0x3C中的FSC[7:0]位一同设置DAC的满量程电流。更多信息见表47和基准电压源部分。

表49. 鉴相器控制寄存器(地址0x3E)

位	名称	描述
7	PHZ_PD	关断鉴相器。此位仅在工厂使用，应设为0。
6	保留	保留。
5	CMP_BST	比较器升压。此位仅在工厂使用，应始终设为1。
4	AUTO_CAL	此位仅在工厂使用，应始终设为1。
[3:0]	PHZ_DET_BIAS[3:0]	这些位显示二进制权重电流。请勿写入这些位（仅在工厂使用）。

工作原理

AD9789是一款整合了高性能、2400 MSPS、14位DAC的灵活数字信号处理(DSP)引擎(图70)。DSP模块包括一个QAM编码器、一个2倍升采样平方根升余弦(SRRC)滤波器、16倍至512倍可选插值滤波器、一个速率转换器和一个复数调制器。数字接口可以接受多达四个通道的复数数据。QAM编码器支持的星座维数为16、32、64、128和256。片内速率转换器通过固定DAC采样时钟支持高分辨率的波特率。数字上变频器可以在DC至 $0.5 \times f_{DAC}$ 范围内设置输入信号。模拟混频模式将输出频谱扩展到第二和第三DAC奈奎斯特频率区域。

AD9789的功能通过一个串行外设接口(SPI)进行控制。

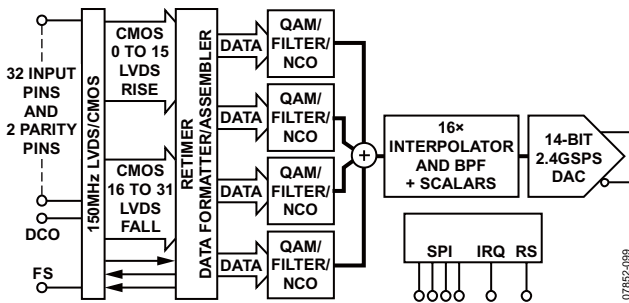


图70. 顶层功能框图

数据路径信号处理

AD9789所包含的DSP模块可以分为两部分。第一部分是数据路径信号处理，可以使用四个完全相同的数据路径或通道。图71所示为一个单通道框图。使能或禁用数据路径内的各DSP模块对所有通道的影响。各通道有独立的缩放和频率设置控制。

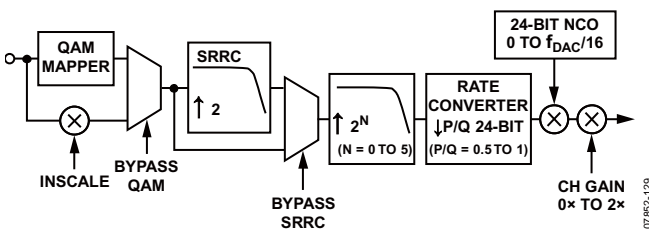


图71. 数据路径框图

下面说明数据路径中包括的各DSP模块。

QAM编码器

QAM编码器支持7种不同的标准兼容型映射。(关于所支持映射的说明，请参阅QAM星座图部分。)QAM编码器接收8位宽的输入数据字，并将其映射到16、32、64、128或256点星座中。它输出5位复数QAM调制样本。QAM编码器的工作模式通过QAM/SRRC配置寄存器(寄存器0x07[2:0])进行选择。

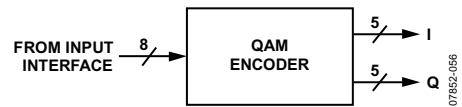


图72. QAM编码器输入/输出

表50列出了可用的QAM映射器模式以及相应的输入位和输出范围。本部分将说明QAM编码器在DOCSIS 64-QAM模式下的工作方式。它在其它模式下的工作原理相同，只不过输入数据位编码和比例系数有所不同。

图73所示为DOCSIS 64-QAM星座图。图中显示QAM编码器输入如何映射到QAM星座。例如，输入数据字111111映射到64-QAM星座右上角的星座点。

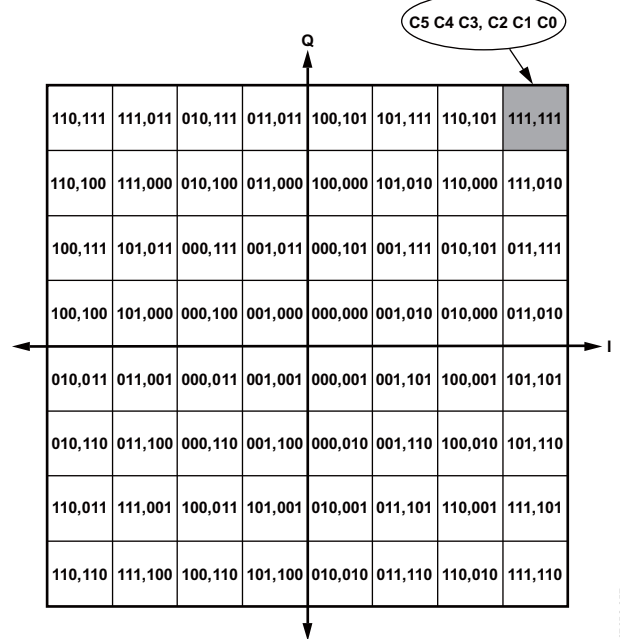


图73. DOCSIS 64-QAM星座

表50. 不同模式中QAM映射器的输入和输出范围

ITU-T J.83 附录	描述	SPI寄存器 0x07 MAPPING[2:0]位	输出位范围	输入位 B7 B6 B5 B4 B3 B2 B1 B01
B	DOCSIS 64-QAM	000	-14 至 +14	X X C5 C4 C3 C2 C1 C0
B	DOCSIS 256-QAM	001	-15 至 +15	C7 C6 C5 C4 C3 C2 C1 C0
A	DVB 16-QAM	010	-15 至 +15	X X X X C3 C2 C1 C0
A	DVB 32-QAM	011	-15 至 +15	X X X C4 C3 C2 C1 C0
A 和 C	DVB 64-QAM	100	-14 至 +14	X X C5 C4 C3 C2 C1 C0
A 和 C	DVB 128-QAM	101	-11 至 +11	X C6 C5 C4 C3 C2 C1 C0
A 和 C	DVB 256-QAM 不用	110 111	-15 至 +15	C7 C6 C5 C4 C3 C2 C1 C0

1 X = 无关

每个星座点对应一个I/Q坐标对，如图74所示。图中突出显示了64-QAM星座中的两个符号：I = 14、Q = 14(第1对)和I = 6、Q = -10(第2对)。

为了表示I/Q坐标点，使用5位二进制补码数。例如，QAM编码器的输入011101映射到QAM-64星座的I = 6、Q = -10位置，因而输出样本为I = 00110、Q = 10110。

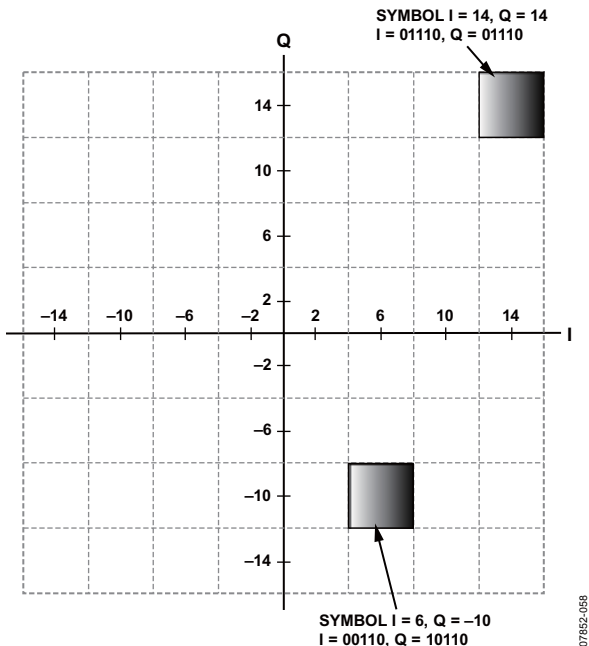


图74. I和Q符号映射

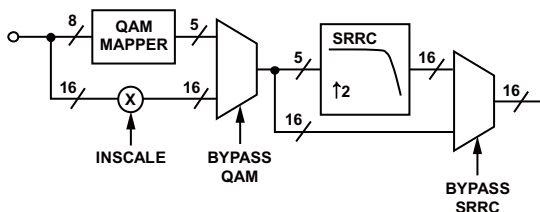


图75. QAM映射器和SRRC滤波器详图 (I路径与Q路径完全相同，故仅显示一个)

输入标量

输入标量模块仅在旁路QAM映射器时有效。INSCALE[7:0]的值在寄存器0x09[7:0]中进行设置。输入数据所用的比例系数通过下式计算：

$$ScaleFactor = \frac{INSCALE[7:0]}{32}$$

此系数提供0至7.96875的输入数据缩放范围，步进为0.03125。默认值0x20对应的比例系数为1。如图76所示，输入标量模块的输出四舍五入为最接近的16位值。如果输出超出最大值或最小值，将被削波为正或负满量程值(0x7FFF或0x8000)。

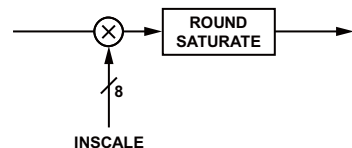


图76. 输入标量框图

SRRC滤波器

平方根升余弦(SRRC)滤波器对输入数据执行2倍插值和滤波操作。根据DOCSIS、Euro-DOCSIS和DVB标准，SRRC滤波器具有通带、过渡带和阻带要求。

为了达到所有标准的要求，α值可以设置为0.12、0.13、0.15或0.18。该值在寄存器0x07[5:4]中进行设置。频率 f_N 由输入数据波特率决定。图77显示了SRRC滤波器的响应特性。

SRRC滤波器仅接受5位输入，可以将其旁路(寄存器0x06[6])。如果SRRC滤波器是数据路径中第一个使能的模块，则该5位将是8位数据字的5个MSB。

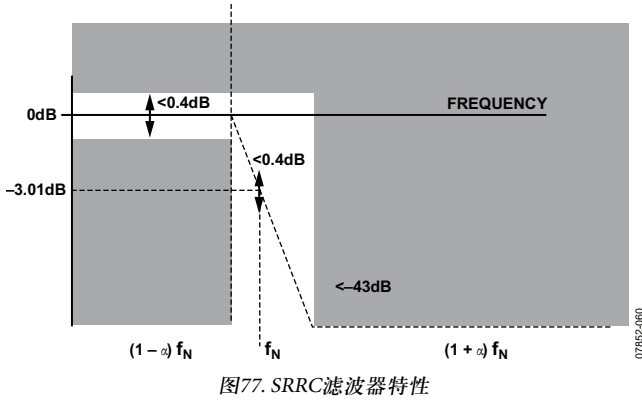


图77. SRRC滤波器特性

如果使用SRRC滤波器，则至少必须使能4个2倍插值滤波器。其原因是，在每个采样 $f_{DAC}/16$ 速率时，SRRC滤波器至少需要12个时钟周期才能正常工作。

半带插值滤波器

AD9789可以利用5个可旁路半带插值滤波器，在数据路径中提供1倍至32倍插值。半带插值滤波器通过寄存器0x06[4:0]进行控制。为了省电，旁路这些滤波器的较佳顺序是先旁路滤波器0，再旁路滤波器1，依此类推。低通滤波器的频率响应如图79至图82所示。所有滤波器都具有 $0.8 \times f_{INPUT}$ 的通带，其中 f_{INPUT} 为各滤波器输入端的数据速率。所有滤波器的通带平坦度均在0.01 dB范围内。滤波器0、滤波器1和滤波器2的阻带衰减超过85 dB，滤波器3和滤波器4超过75 dB。

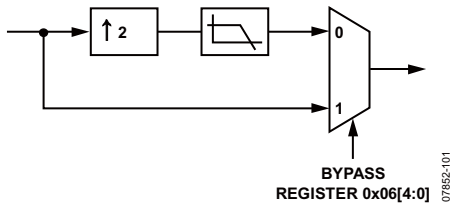


图78. 2倍半带插值滤波器的原理框图

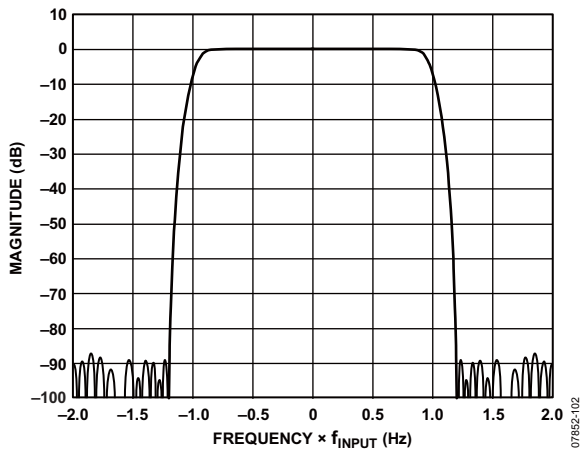


图79. 2倍半带插值滤波器0的响应特性

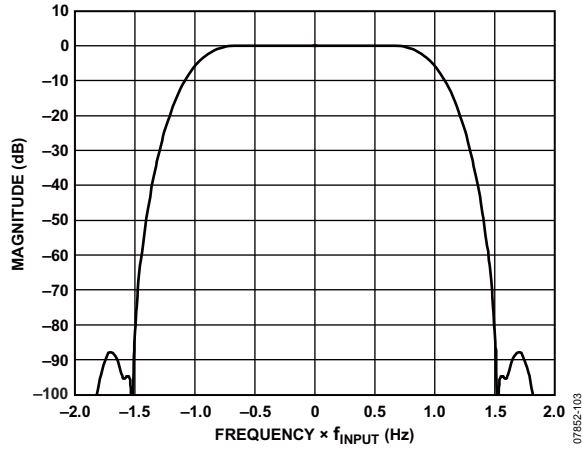


图80. 2倍半带插值滤波器1的响应特性

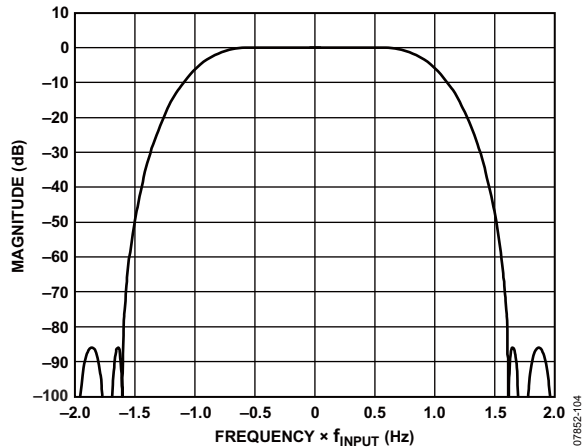


图81. 2倍半带插值滤波器2的响应特性

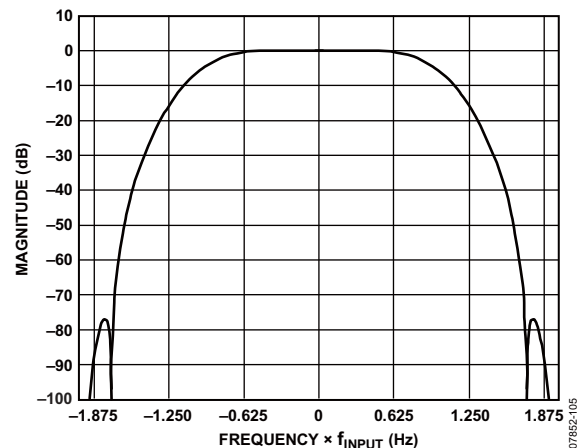


图82. 2倍半带插值滤波器3和4的响应特性

采样速率转换器

采样速率转换器(SRC)的作用是使输入波特率与DAC更新速率的比值更具灵活性。四个通道化数据路径各含一个采样速率转换器(SRC)，可提供0.5至1.0范围内的数据速率转换。速率转换系数由两个24位值(P和Q)的比值进行设置。图83为SRC的原理框图，可以看作是一个插值模块，后接滤波和抽取模块。

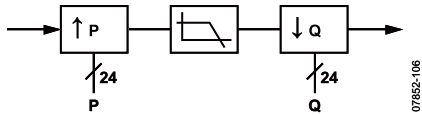


图83. 采样速率转换器的原理框图

P和Q的值由位于地址0x16至地址0x1B的P[23:0]和Q[23:0]寄存器编程设置。

表51. 采样速率转换器的寄存器位置

位	分子(P)	分母(Q)
[23:16](字节2)	寄存器0x1B	寄存器0x18
[15:8](字节1)	寄存器0x1A	寄存器0x17
[7:0](字节0)	寄存器0x19	寄存器0x16

针对所需的波特率(f_{BAUD})和DAC时钟频率(f_{DAC})，所选的P和Q值应使下式成立。

$$f_{DAC} = I \times \frac{P}{Q} \times 16 \times f_{BAUD} \quad (1)$$

其中I为SRRC滤波器和5个半带插值滤波器的总插值比。

如果方程式1成立，长期波特率 f_{BAUD} 将完全保持不变。速率转换过程不会引入残余频率偏移误差。

P和Q值的选择必须符合以下两个约束条件：

$$0.5 \leq \frac{P}{Q} \leq 1.0 \quad (2)$$

$$Q[23] = 1 \quad (3)$$

方程式3表示Q的值必须进行移位，使其MSB置1。

在多数系统中，波特率为给定值，DAC采样速率必须足够高，以支持信号带宽和输出频率要求。许多情况下，需要将DAC时钟速率设置为系统时钟速率的倍数。下例说明如何在这种系统中选择P和Q的值。

示例

DOCSIS应用有一个主系统时钟，其工作频率为 f_{MASTER} 。它支持多种通道波特率，所有这些波特率都是主时钟的分频，可以用下式表示：

$$f_{BAUD} = \frac{M}{N} \times f_{MASTER} \quad (4)$$

为完全保持 f_{BAUD} 不变，必须满足方程式1。为此，将DAC采样频率选择为能满足信号带宽和输出频率要求的 f_{MASTER} 倍频。假设 $f_{MASTER} = 10.24$ MHz，信号带宽要求为32 MHz或更高，支持的输出频带最高达1 GHz，则可选择以下DAC采样频率：

$$f_{DAC} = 224 \times f_{MASTER} = 2293.76 \text{ MHz} \quad (5)$$

将方程式4和方程式5代入方程式1，得到方程式6。

$$224 \times f_{MASTER} = I \times \frac{P}{Q} \times 16 \times \frac{M}{N} \times f_{MASTER} \quad (6)$$

使能SRRC滤波器和4个半带插值滤波器将导致总插值因子I等于32。用32代替I并化简方程式6，得到方程式7。

$$\frac{P}{Q} = \frac{N}{M} \times \frac{7}{16} \quad (7)$$

如前所述，N和M由所需的波特率给出。例如，假设波特率为5.0569 MHz，则可得出 $M = 401$ 且 $N = 812$ 。

$$f_{BAUD} = \frac{401}{812} \times 10.24 \text{ MHz} = 5.0569 \text{ MHz} \quad (8)$$

这样便能从方程式9的分子和分母得出P和Q的值。

$$\frac{P}{Q} = \frac{812}{401} \times \frac{7}{16} = \frac{5684}{6416} = \frac{0x1634}{0x1910} \quad (9)$$

由于Q的值必须为MSB对齐，因此两个数均可以移动11位，导致最终的P和Q值分别为0xB1A000和0xC80000。

基带数字上变频器

利用数字上变频器，各基带通道可以在DC至 $f_{DAC}/16$ 范围内的任何位置。四个通道各自的中心频率可以通过寄存器编程，由24位频率调谐字(FTW 0至FTW 3)进行设置。针对各通道的理想中心频率，可以通过下式计算FTW：

$$FTW = \frac{f_{CENTER}}{\left(\frac{f_{DAC}}{16}\right)} \times (2^{24} - 1)$$

计算得出的各通道FTW应输入表52所列的寄存器位置。

表52. 各通道FTW的寄存器位置

FTW	Channel 0	Channel 1	Channel 2	Channel 3
[23:16]	Reg. 0x0C	Reg. 0x0F	Reg. 0x12	Reg. 0x15
[15:8]	Reg. 0x0B	Reg. 0x0E	Reg. 0x11	Reg. 0x14
[7:0]	Reg 0x0A	Reg 0x0D	Reg 0x10	Reg 0x13

FTW设置数字控制振荡器(NCO)所产生的正弦和余弦信号的频率。NCO的复数输出乘以输入数据路径信号，将该信号调制到所需的输出频率。图84所示为基带数字上变频器的原理框图。

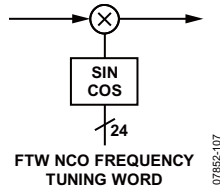


图84. 基带数字上变频器的原理框图

单个通道标量

数据路径中的最后一个模块是8位标量(寄存器0x25至寄存器0x28)，用于补偿可能遇到的采样和硬件滚降。各通道所用的比例系数通过下式计算：

$$ScaleFactor = \frac{CHANxGAIN[7:0]}{128}$$

通道增益范围为0至1.9921875，步进大小为0.0078125。如果需要，可将比例系数设为0，从而轻松快捷地停用单个通道。

表53. 通道增益标量的寄存器位置

CHANxGAIN	通道0	通道1	通道2	通道3
[7:0]	寄存器0x25	寄存器0x26	寄存器0x27	寄存器0x28

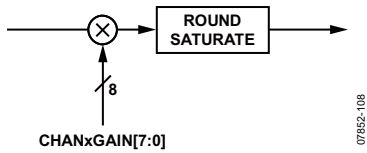


图85. 单个通道增益控制

数字模块上变频器

AD9789 DSP引擎的第二部分提供如下功能：将四个数据路径的输出合并到一个模块中，调整通道模块，对DAC全速率进行16倍插值，以及执行带通滤波操作，使通道模块能够放在DAC奈奎斯特带宽中的任何位置。

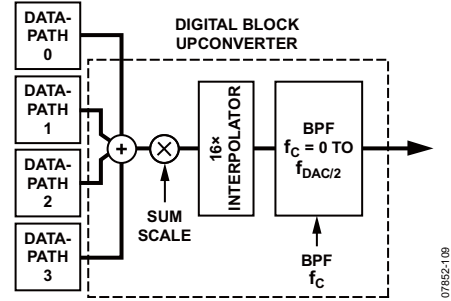


图86. 数字模块上变频器的功能框图

下面将详细说明数字模块上变频器的各个模块。

求和点标量

求和点标量模块对四个通道求和。SUMSCALE[7:0]的值在寄存器0x08中进行设置。数据所用的比例系数通过下式计算：

$$ScaleFactor = \frac{SUMSCALE[7:0]}{64}$$

此系数提供0至3.984375的输入数据缩放范围，步进大小为0.015625。默认值0x0D对应的比例系数为0.203125。请注意，对通道求和时，如果和值超出最大或最小满量程值（0x7FFF或0x8000），将在求和点标量模块的输出端对其进行削波处理。如果使用各通道的16位完整范围，则应将和标量设为0x10 (0.25)，以免发生削波。

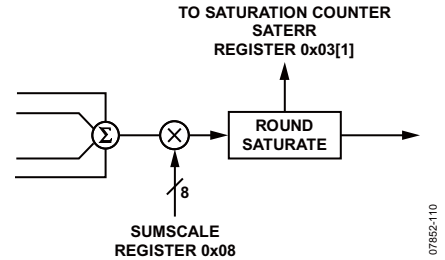


图87. 求和点标量框图

实际操作中，通过提高和比例系数并允许少量的削波，可以改善通道的信噪比(SNR)。如果削波时间很短且很少发生，则较大的信号幅度可以改善信噪比。

表54列出了各QAM映射器模式的建议和比例值。确定建议和比例值的条件是MER/EVM测量结果和频谱纯度。削波会导致脉冲噪声，表现为输出噪底瞬间增加，这可以从输出频谱中观察到。选择这些和比例值的目的是使噪底的瞬间增加降至最小。这些测试针对1路、2路、3路和4路载波输出在约850 MHz时完成。由于削波可能发生在DAC之后的RF链中，因此应在和比例选择条件中增加BER测试，进一步在系统层次验证这些值。

表54. 所有QAM映射器模式和通道数的建议和比例值

QAM模式	和比例值（十进制）			
	1通道	双通道	3通道	4通道
DVB 16-QAM	48	28	22	16
DVB 32-QAM	54	34	26	20
DVB 64-QAM	54	34	26	20
DVB 128-QAM	80	50	38	30
DVB 256-QAM	54	34	26	20
DOCSIS 64-QAM	54	34	26	20
DOCSIS 256-QAM	54	34	26	20

16倍数字可调带通滤波器

数字带通滤波器与一个固定16倍插值器(见图88)配合使用。16倍插值滤波器在DAC的奈奎斯特频带产生基带信号的16个镜像。然后必须调谐数字带通滤波器，以便抑制15个无用镜像。带通滤波器的中心频率可以设置在DC至 $f_{DAC}/2$ 范围内的任何位置。带通滤波器中心频率的调谐字可以通过下式计算：

$$BPF_Center_Freq = \frac{f_{CENTER}}{\left(\frac{f_{DAC}}{2}\right)} \times (2^{16} - 1)$$

由此得到调谐字为一个16位值，其中高字节写入寄存器0x1D[7:0]，低字节写入寄存器0x1C[7:0]。

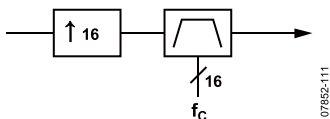


图88. 16倍可调带通滤波器的原理框图

滤波器阻带的带宽固定在约 $f_{DAC}/64$ ，因此有效带宽为 $f_{DAC}/64$ 。从图89至图91可以推测，失调可能导致出现镜像，对目标信号没有影响或影响很小。

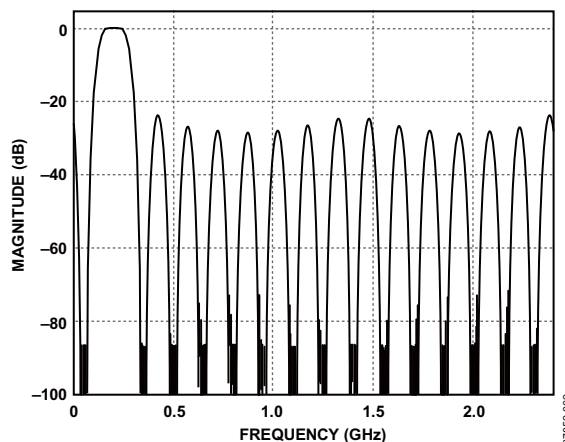


图89. 带通滤波器响应 (200MHz, $f_{DAC} = 2.4$ GHz)

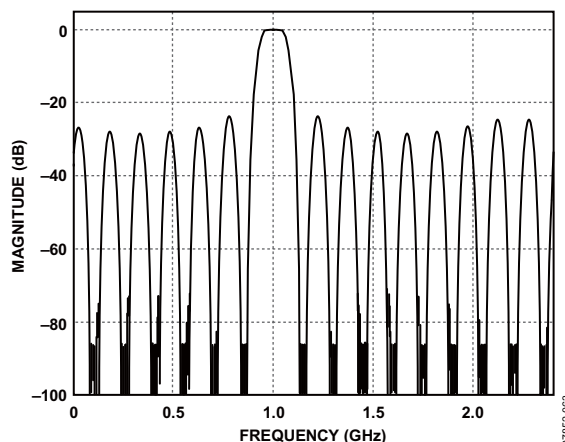


图90. 带通滤波器响应 (1 GHz, $f_{DAC} = 2.4$ GHz)

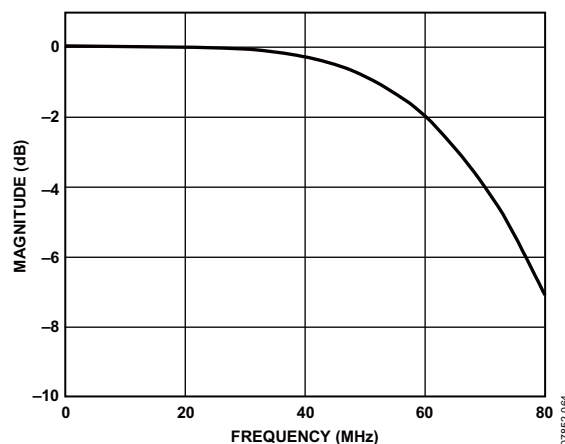


图91. 带通滤波器通带详情($f_{DAC} = 2.4$ GHz)

数字接口模式

AD9789可配置为两种主要数字接口工作模式：

- 通道选择器模式
- 正交数字上变频器(QDUC)模式

在通道选择器模式中(寄存器0x20[3] = 0)，接口可以配置为4至32位总线宽度，并且可以接受最多4个通道的复数数据。数字数据路径中的任何信号处理模块都可以使用。通道选择器模式支持的最大波特率为 $f_{DAC}/48$ 。

在QDUC模式中(寄存器0x20[3] = 1)，接口固定在32位总线宽度，只能接受1个通道的复数数据。可用的信号处理方法是插值(16倍至512倍)、速率转换(0.5至1.0)和复数调制。QDUC模式支持的最大波特率为 $f_{DAC}/16$ 。

在通道选择器和QDUC两种模式下，输入数据总线均可以通过CMOS_BUS引脚(L14)配置为接受LVDS或CMOS数据。如果CMOS_BUS拉至3.3 V，则数据总线可以配置为接受CMOS输入(D[31:0]、P0和P1)。如果CMOS_BUS拉至0 V，则数据总线可以配置为接受LVDS输入(D[15:0]P、D[15:0]N、PARP和PARN)。

AD9789中的数据通过两个输出信号提供。第一个是数据时钟输出信号(DCO)，用于从数字数据源输出时钟数据。DCO是DACCLK的分频。第二个是帧同步信号(FS)，用于请求一个新数据字。FS信号的平均频率等于数据的符号速率或波特率。同输入数据总线一样，DCO和FS信号也可以通过CMOS_CTRL引脚(M14)配置为LVDS或CMOS输出。如果CMOS_CTRL拉至3.3 V，DCO和FS将作为CMOS信号分别在P14和N14引脚(CMOS_DCO和CMOS_FS)输出。如果CMOS_CTRL拉至0 V，DCO和FS将作为LVDS信号分别在N13、P13、L13和M13引脚(DCOP、DCON、FSP和FSN)输出。

通道选择器模式

在通道选择器模式中，数字接口具有可编程总线宽度、数据宽度和数据格式。总线宽度指AD9789输入端数字数据总线的物理宽度，可以设置到4、8、16或32位宽接口。数据宽度指数字数据路径输入端数据的内部宽度，可以设置为8位或16位宽。数据格式可以设置为实数数据或复数数据。支持的接口模式列表见表55。

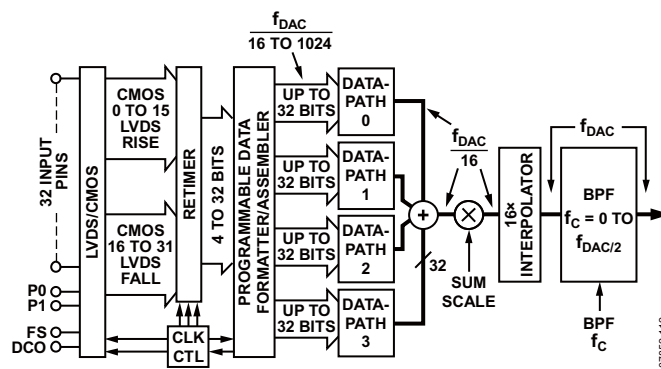


图92. 通道选择器模式

表55. 通道选择器模式支持的接口配置

第一个使能的输入模块	总线宽度寄存器0x21[6:5]	数据宽度寄存器0x21[4]	数据格式寄存器0x21[3]
QAM编码器	32位	8位	实数
	16位	8位	实数
	8位	8位	实数
	4位	8位	实数
SRRC滤波器	32位	8位	复数
	16位	8位	复数
	8位	8位	复数
	4位	8位	复数
插值滤波器	32位	16位	复数
	16位	16位	复数
	8位	16位	复数

如果QAM编码器是数据路径中第一个使能的模块，则数据宽度应设为8位字和实数数据格式。如果SRRC滤波器是数据路径中第一个使能的模块，则数据宽度应设为8位字和复数数据格式。如果QAM编码器和SRRC滤波器均被旁路，则数据宽度应设为16位字和复数数据格式。

通道选择器模式中的引脚映射

在CMOS模式中(CMOS_BUS和CMOS_CTRL引脚为3.3 V)，各种接口宽度选项与AD9789输入引脚的映射关系如表56所示。

表56. 各种接口宽度的CMOS引脚分配

接口宽度	引脚分配	BUSWIDTH[1:0]
4位	D[3:0]	00
8位	D[7:0]	01
16位	D[15:0]	10
32位	D[31:0]	11

AD9789

在LVDS模式中，各种接口宽度选项与AD9789输入引脚的映射关系如表57所示。如果接口宽度设为32位，接口将变成双倍数据速率(DDR)。在DDR模式下，前16位在数据采样时钟(DSC，它与DCO同步)的上升沿采样，后16位在DSC的下降沿采样。所有其它接口宽度均为单倍数据速率(SDR)，输入数据在DSC的下降沿采样。

表57. 各种接口宽度的LVDS引脚分配

接口宽度	引脚分配	BUSWIDTH[1:0]
4位	D[3:0]P, D[3:0]N	00
8位	D[7:0]P, D[7:0]N	01
16位	D[15:0]P, D[15:0]N	10
32位	D[15:0]P、D[15:0]N 上升沿和下降沿	11

以半字节或字节方式加载时，首先应加载高半字节或字节，即先加载通道0的数据，然后依次加载通道1、通道2和通道3的数据。如果是复数数据格式，则应先加载数据字的同相部分，再加载正交部分。当每个通道的数据在内部进行组合时，数据总线为LSB对齐。下面几个示例说明针对不同的配置接口如何映射。有关特定配置如何映射的更多信息，参见通道选择器模式的CMOS和LVDS引脚映射部分。

示例1

针对采用32位总线宽度、8位数据宽度、实数数据格式并使能四个通道的CMOS接口，请求数据后，预期输入端口的数据如表58所示。

表58. CMOS引脚映射：总线宽度 = 32位，数据宽度 = 8位，数据格式 = 实数，四个通道¹

DCO	D[31:24]	D[23:16]	D[15:8]	D[7:0]
1	R3	R2	R1	R0

¹R表示载入给定通道的实数数据；R之后的数字为通道号。

示例2

针对采用32位总线宽度、8位数据宽度、复数数据格式并使能四个通道的CMOS接口，请求数据后，预期输入端口的数据如表59所示。

表59. CMOS引脚映射：总线宽度 = 32位，数据宽度 = 8位，数据格式 = 复数，四个通道¹

DCO	D[31:24]	D[23:16]	D[15:8]	D[7:0]
1	Q1	I1	Q0	I0
2	Q3	I3	Q2	I2

¹I表示载入给定通道的复数数据同相项，Q表示其正交项；或Q之后的数字为通道号。

示例3

针对采用16位总线宽度、8位数据宽度、复数数据格式并使能四个通道的LVDS接口，请求数据后，预期输入端口的数据如表60所示。

表60. LVDS引脚映射：总线宽度 = 16位，数据宽度 = 8位，数据格式 = 复数，四个通道¹

DCO	D[15:8]P, D[15:8]N	D[7:0]P, D[7:0]N
1	Q0	I0
2	Q1	I1
3	Q2	I2
4	Q3	I3

¹I表示载入给定通道的复数数据同相项，Q表示其正交项；或Q之后的数字为通道号。

示例4

针对采用32位总线宽度、8位数据宽度、复数数据格式并使能四个通道的LVDS接口，请求数据后，预期输入端口的数据如表61所示。

表61. LVDS引脚映射：总线宽度 = 32位，数据宽度 = 8位，数据格式 = 复数，四个通道¹

DCO ²	D[15:8]P, D[15:8]N	D[7:0]P, D[7:0]N
1上升	Q0	I0
1下降	Q1	I1
2上升	Q2	I2
2下降	Q3	I3

¹I表示载入给定通道的复数数据同相项，Q表示其正交项；或Q之后的数字为通道号。

²“上升”表示在DCOx的上升沿获得数据；“下降”表示在DCOx的下降沿获得数据。

通道选择器模式中的DCO和FS速率

DCO信号是一个数据时钟输出，用于从数字数据源输出数据。DCO是DAC时钟的分频。FS信号输出用于请求新数据字。FS信号(f_{FS})的平均频率等于数据的符号速率或波特率(f_{BAUD})。FS用作请求线路，时序应从DCO获得。DCO信号的频率(f_{DCO})、波特率(f_{BAUD})和DAC时钟频率(f_{DAC})的关系如下：

$$f_{DAC} = I \times \frac{P}{Q} \times 16 \times f_{BAUD} \quad (1)$$

$$f_{DCO} = f_{DAC} / (16 \times N) \quad (2)$$

其中：

I为插值因子，其范围为1至64。

P/Q为速率转换系数(0.5至1.0)。

N为可编程DCO分频系数，通过寄存器0x22[6:4]中的DCODIV[2:0]位设置。

DCODIV[2:0]可设为1、2或4；设为0时，DCO禁用；设为3时无效。DSC信号的频率始终等于DCO。

选择接口配置前，将DCO频率除以系统将使用的最高频率波特率，并将所得值取整。结果即为FS脉冲之间可用的DCO周期数($cycles_{AVAIL}$)。

$$cycles_{AVAIL} = \text{floor}\left(\frac{f_{DCO}}{\max f_{BAUD}}\right)$$

为了将数据成功载入所有通道，每种接口配置都要求FS脉冲之间存在特定数量的DCO周期。该周期数可通过下式计算：

$$cycles_{INTERFACE} = N \times F \times \frac{DW}{BW}$$

其中：

N 为使能的通道数(1至4)。如果通道优先级设为1，则 N 始终等于4(见通道优先级部分)。

F 代表数据格式。如果数据格式为实数，则 $F = 1$ ；如果数据格式为复数，则 $F = 2$ 。

DW 为数据宽度(8位或16位)。

BW 为总线宽度(4、8、16或32位)。

为实现成功的接口设计，FS脉冲之间的DCO周期数必须大于接口所需的DCO周期数。

设计示例

本例中，系统的波特率 $f_{FS} = 6.4$ MHz。针对四个通道、实数数据格式和8位数据宽度，如果希望实现4位宽接口，则所选 f_{DCO} 至少应为 $8 \times f_{FS}$ 。首先利用方程式1和方程式2求出接口速度，其中 $N = 1$ 、 $P/Q = 0.7$ 、 $I = 32$ 。

$$f_{DAC} = 32 \times 0.7 \times 16 \times 6.4 \text{ MHz} = 2293.76 \text{ MHz}$$

$$f_{DCO} = 2293.76 \text{ MHz} / (16 \times 1) = 143.36 \text{ MHz}$$

$f_{DCO}/f_{BAUD} = 22.4$ 。如果选择 $N = 2$ ，则可用DCO周期数减为11；考虑到延迟值，此选项可能不可行。有关延迟的更多信息，参见通道选择器模式的延迟效应部分。

通道优先级

使能和禁用通道时，可能会影响输入接口的映射关系。如果通道优先级(寄存器0x20[2])设为0，该器件只需为已使能的通道提供输入样本。这种配置中，DUT输入的物理通道映射可以根据使能的通道数移动，通道0具有最高优先级(使能后，它绝不会移动位置)。如果通道优先级设为1，则所有四个通道都期望获得数据，但禁用通道的数据将被忽略。建议采用这种方法，因为此时使能和禁用通道不会使输入数据总线发生移位。

如果使能的通道数总是小于4，而且用户不打算动态使能和禁用通道，则将通道优先级设为0是最佳选择，这样传输输入数据所需的时钟数和/或引脚数更少。

表62显示了通道优先级设为0的一个例子。本例中，数据接口配置为CMOS、32位总线宽度、8位数据宽度和实数数据格式。

表62. 输入映射与使能通道的关系，通道优先级 = 0

通道	CMOS位映射			
	[D31:D24]	[D23:D16]	[D15:D8]	[D7:D0]
4个通道使能	通道3	通道2	通道1	通道0
通道0禁用		通道3	通道2	通道1
通道0和通道2禁用			通道3	通道1

当通道优先级设为1时，同样的例子将表现出不同的映射关系，如表63所示。

表63. 输入映射与使能通道的关系，通道优先级 = 1

通道	CMOS位映射			
	[D31:D24]	[D23:D16]	[D15:D8]	[D7:D0]
4个通道使能	通道3	通道2	通道1	通道0
通道0禁用	通道3	通道2	通道1	
通道0和通道2禁用	通道3		通道1	

正交数字上变频器(QDUC)模式

在QDUC模式中(寄存器0x20[3] = 1)，数据接口固定在32位总线宽度、16位数据宽度和复数数据格式。QDUC模式下，只应使能一个通道。如果使能多个通道，发送至各使能通道的I和Q数据将完全相同。在数据路径内，必须旁路QAM映射器和SRRC滤波器(寄存器0x06[7:6] = 11)。

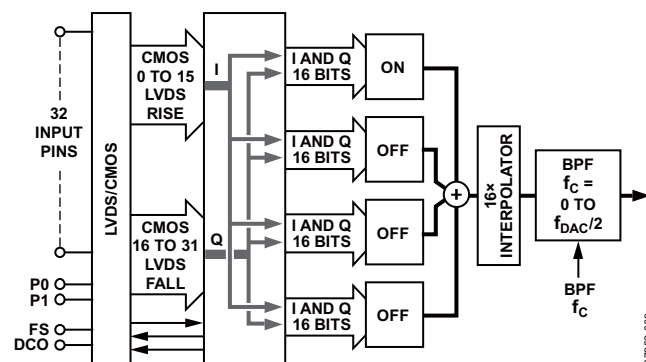


图93. QDUC模式

AD9789

QDUC模式中的引脚映射

在CMOS模式中，AD9789输入引脚的映射关系如表64所示。

表64. QDUC模式中CMOS接口的引脚映射

数据位	描述	引脚编号
D31	I数据的MSB	L5
D16	I数据的LSB	P8
D15	Q数据的MSB	L9
D0	Q数据的LSB	P12
P1	D[31:16]的奇偶校验位	L4
P0	D[15:0]的奇偶校验位	M4

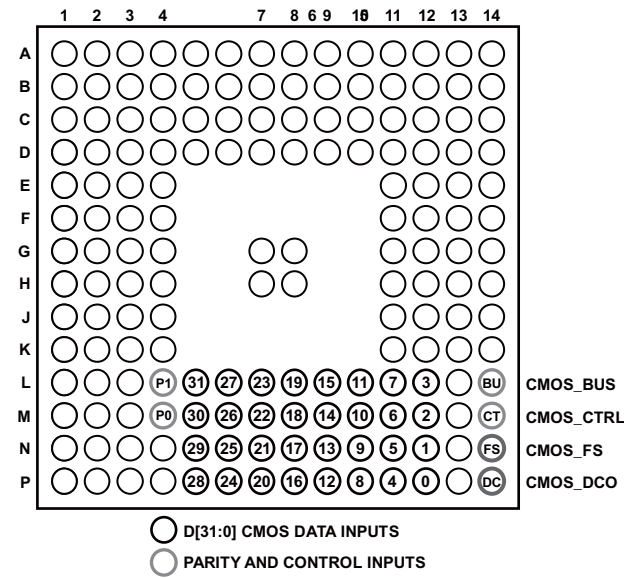


图94. CMOS数据输入引脚映射

在LVDS模式中，AD9789输入引脚的映射关系如表65所示。

表65. QDUC模式中LVDS接口的引脚映射¹

数据位	描述	引脚编号
D15P, D15N上升	I数据的MSB	L5, M5
D0P, D0N上升	I数据的LSB	N12, P12
D15P, D15N下降	Q数据的MSB	L5, M5
D0P, D0N下降	Q数据的LSB	N12, P12
PARP, PARN上升	D[15:0]P、D[15:0]N上升的奇偶校验位	L4, M4
PARP, PARN下降	D[15:0]P、D[15:0]N下降的奇偶校验位	L4, M4

¹“上升”表示在DCOx的上升沿获得数据；
“下降”表示在DCOx的下降沿获得数据。

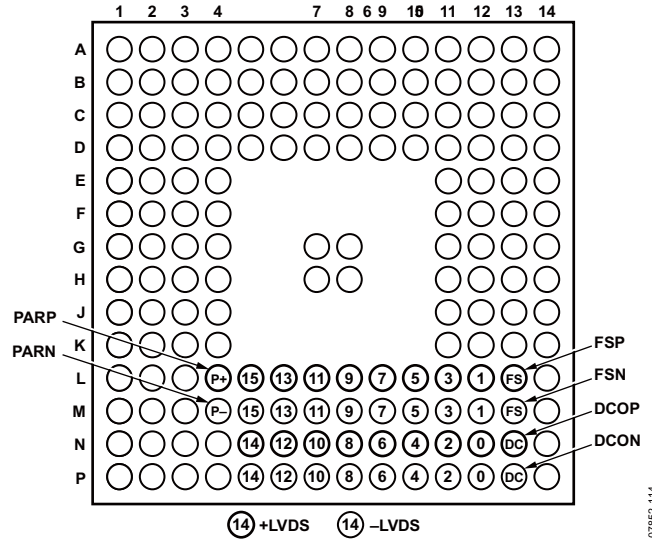


图95. LVDS数据输入引脚映射

QDUC模式中的DCO和FS速率

在QDUC模式中，DCODIV应始终设为1(寄存器0x22[6:4] = 001)。DCO的时钟周期等于16个DAC时钟周期。只需要16倍插值且不使用速率转换器时，接口的数据速率等于 f_{DCO} 。

如果数据路径中使能进一步插值或速率转换，则接口的数据速率等于 f_{BAUD} 。FS的平均速率 f_{FS} 等于波特率 f_{BAUD} 。波特率可通过下式计算：

$$f_{BAUD} = \frac{f_{DCO}}{2^N \times \frac{P}{Q}}$$

其中：

N为使能的2倍插值滤波器数。

P/Q为速率转换比。

FS信号请求数据，有效选通DCO时钟，并确保数据以正确的波特率发送。如果 $P/Q = 1$ 且 $N = 0$ ，则DCO以波特率出现，不需要FS。这种情况下，FS无效(保持高电平)。DCO信号可以用作恒定速率时钟，以请求数据源提供样本。

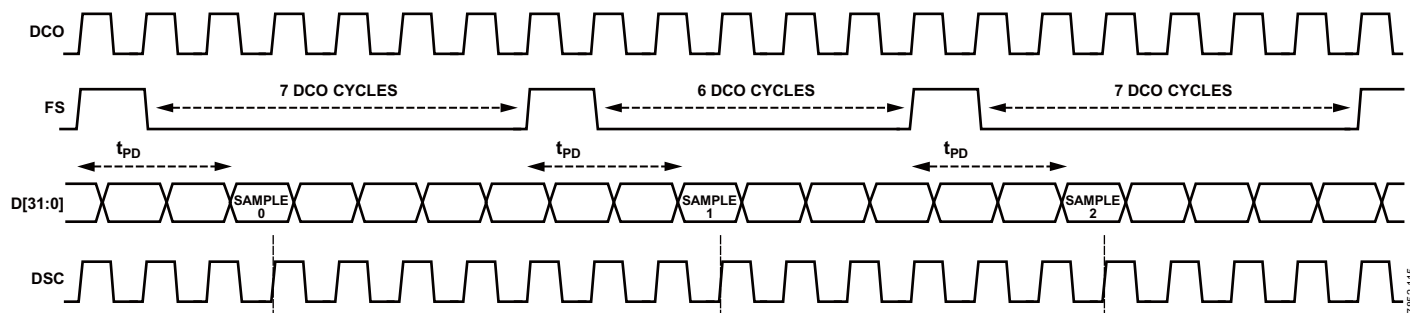


图96. FS有效时, 设计示例的QDUC模式接口时序图

设计示例

本例中, 系统的DAC速率为1600 MHz, 波特率为15 MHz。
 $f_{\text{DCO}} = f_{\text{DAC}}/16 = 100 \text{ MHz}$, 因此 $f_{\text{DCO}}/f_{\text{FS}} = 6.667$ 。为了满足P/Q在0.5至1.0范围内的要求, 必须再提供一个额外的8倍插值因子, 因此 $N = 3$ 。求解P/Q可得5/6。

因此, 每20个DCO时钟沿中, 应有3个导致数据样本载入器件中($f_{\text{FS}}/f_{\text{DCO}} = 3/20$)。图96显示本例中接口的工作时序图。图中, t_{PD} 对应与在FS上升沿与给定传输中的第一个样本进入AD9789时之间的传播延迟。请注意, t_{PD} 的变化幅度可能大于1个DCO周期。

重定时操作

AD9789使用一个三寄存器重定时器。前两个寄存器的时钟可以采用从DAC时钟获得的16个相位中的任一相位。最后一个寄存器的时钟固定于相位15。可编程寄存器时钟为数字采样时钟(DSC)和同步时钟(SNC)。通过选择不同的相位, 可以精调采样时间, 从而调整数据源的延迟。寄存器0x23[7:4]设置DSC相位(DSCPHZ), 寄存器0x23[3:0]设置SNC相位(SNCPHZ), 目标值可以是16个相位中的任一个。数据链中最后一个寄存器的时钟始终采用相位15。

奇偶校验计数器可以帮助确定数据有效窗口的边沿。CMOS模式与LVDS模式的工作方式颇为相似, 如图97和图98所示。

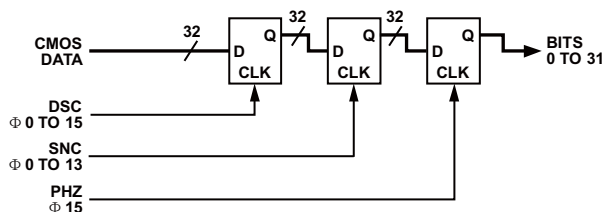


图97. CMOS重定时寄存器

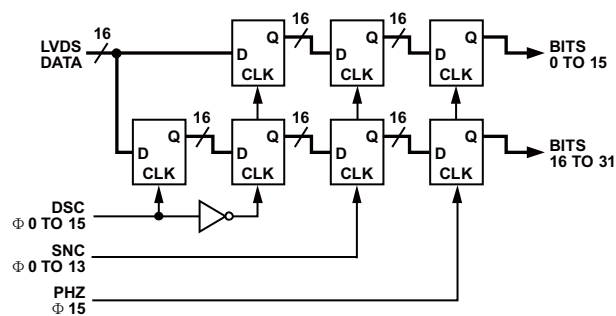


图98. LVDS重新安排DSC寄存器

寄存器0x23和寄存器0x21[2:0]可以提供时序调整, 大大降低抖动; 另一方面, 也可以将其设置为以下建议安全值:

- LVDS模式下, DSCPHZ = 0, SNCPHZ = 3, LTNCY = 0(见延迟寄存器部分)
- CMOS模式下, DSCPHZ = 0, SNCPHZ = 7, LTNCY = 0(见延迟寄存器部分)

然后可以在FPGA或其它数据源中进行时序调整。

请注意, SNCPHZ选择相位14或15会导致时序冲突。在CMOS模式中, 将DSCPHZ设置为落后一步或设置为SNCPHZ, 也会导致时序冲突。

延迟寄存器

延迟寄存器由寄存器0x21[2:0]进行控制, 用在三寄存器重定时器之后, 可以使数据延迟最多7个DCO时钟周期, 延迟步进为1个DCO时钟周期。关键的重定时操作已在前面三个寄存器中完成, 因此即使延迟值不正确, 也不会导致时序冲突。延迟值决定哪一个数据样本是传输中的第一个样本, 并将该样本路由至相应的通道。从FS变为高电平到第一个数据样本从重定时器中输出引起的往返延迟也会有影响。如果器件中设置的延迟值不正确, 输入数据样本将无法正确组合。

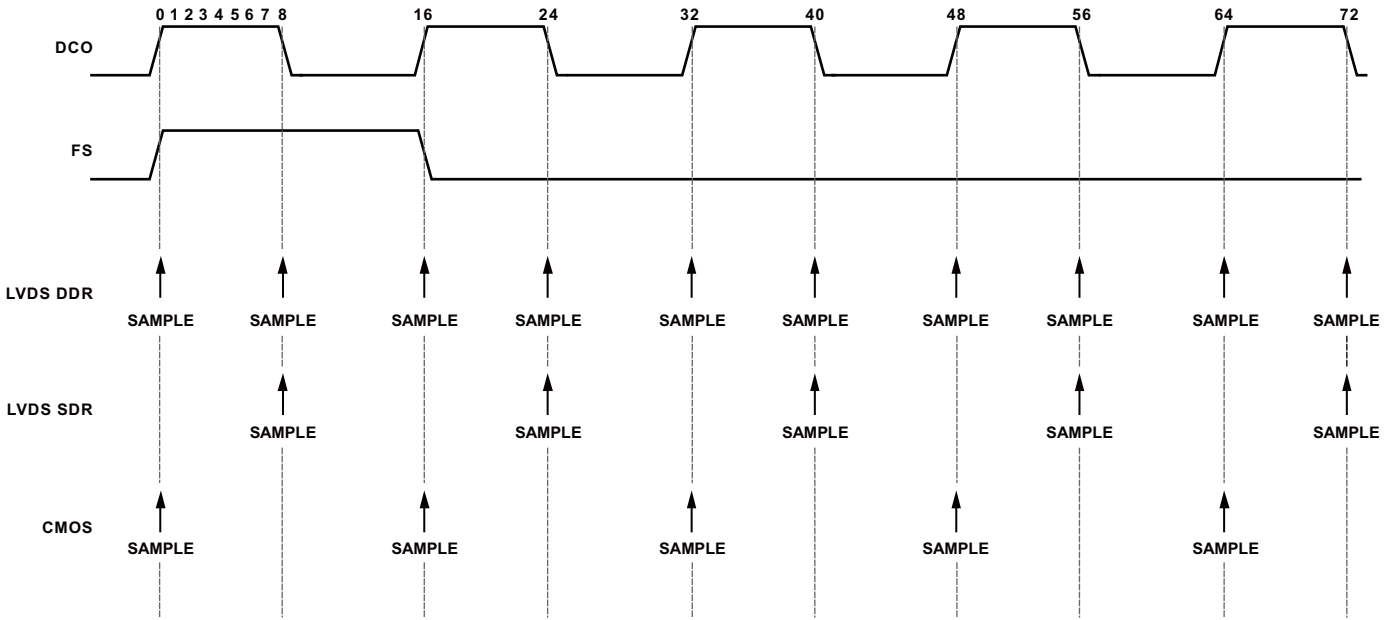


图99. 延迟 = 0时的采样点

重定时器 and 延迟查找表

实际操作中，重定时器 and 延迟参数可以简化为一张经过验证、保证有效的表格，它提供从0到100以上DAC时钟周期范围内的最佳采样点延迟。图99给出了延迟 = 0时LVDS DDR、LVDS SDR和CMOS接口模式的采样点。图99中DCO信号之上的数字刻度对应于表66和表67中DAC时钟周期的延迟值。

应当考虑引脚的延迟。此延迟中，输出延迟为800 ps，输入延迟为800 ps，总计1.6 ns。这意味着，对于2.4 GHz DAC时钟，DCO与数据有效窗口中心之间的真正0延迟发生在表66中的延迟设置4；对于1.2 GHz DAC时钟，真正0延迟发生在延迟设置2。

要使用表66和表67，须用探头探测AD9789的FS、DCO和数据输入信号。在示波器上观察这些信号的同时，测量在FS上升沿与第一个数据样本开始之间的延迟，然后在该值上增加引脚延迟1.6 ns。将此总延迟归一化为一个DAC时钟周期。针对各种接口模式，根据此测量值可以找出用DAC时钟周期数表示的最佳采样点，它对应于表66和表67中的延迟数。

对于LVDS DDR，

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6ns}{t_{DCO} / 16} + 16$$

对于LVDS SDR，

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6ns}{t_{DCO} / 16} + 8$$

对于CMOS，

$$Delay_{OPTIMAL} = \frac{Delay_{MEASURED} + 1.6ns}{t_{DCO} / 16} + 8$$

为获得最大有效采样窗口，须根据数据输入建立和保持时间精密调整采样点。如果建立和保持时间关于DCO边沿对称，则在数据窗口的中心选择采样点时，可实现最大有效采样窗口。有关输入数据建立和保持时间的更多信息，参见CMOS接口时序部分或LVDS接口时序部分。

表66或表67中最佳采样点的LAT、SNC和DSC值，分别应写入寄存器0x21[2:0]中的LTNCY[2:0]位、寄存器0x23[3:0]中的SNCPHZ[3:0]位和寄存器0x23[7:4]中的DSCPHZ[3:0]位。

表66. 所有延迟值的建议重定时器设置 (LVDS模式)

延迟	0	1	2	3	4	5	6	7
LAT	0	0	0	0	0	0	1	1
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	8	9	10	11	12	13	14	15
LAT	1	1	1	1	1	1	1	1
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	16	17	18	19	20	21	22	23
LAT	1	1	1	1	1	1	2	2
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	24	25	26	27	28	29	30	31
LAT	2	2	2	2	2	2	2	2
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	32	33	34	35	36	37	38	39
LAT	2	2	2	2	2	2	3	3
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	40	41	42	43	44	45	46	47
LAT	3	3	3	3	3	3	3	3
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	48	49	50	51	52	53	54	55
LAT	3	3	3	3	3	3	4	4
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	56	57	58	59	60	61	62	63
LAT	4	4	4	4	4	4	4	4
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	64	65	66	67	68	69	70	71
LAT	4	4	4	4	4	4	5	5
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	72	73	74	75	76	77	78	79
LAT	5	5	5	5	5	5	5	5
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	80	81	82	83	84	85	86	87
LAT	5	5	5	5	5	5	6	6
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	88	89	90	91	92	93	94	95
LAT	6	6	6	6	6	6	6	6
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7

延迟	96	97	98	99	100	101	102	103
LAT	6	6	6	6	6	6	7	7
SNC	7	8	9	9	10	10	2	3
DSC	8	9	10	11	12	13	14	15
延迟	104	105	106	107	108	109	110	111
LAT	7	7	7	7	7	7	7	7
SNC	3	4	4	5	5	6	6	7
DSC	0	1	2	3	4	5	6	7
延迟	112	113	114	115	116	117	X	X
LAT	7	7	7	7	7	7	X	X
SNC	7	8	9	9	10	10	X	X
DSC	8	9	10	11	12	13	X	X

表67. 所有延迟值的建议重定时器设置 (CMOS模式)

延迟	0	1	2	3	4	5	6	7
LAT	0	0	0	0	0	0	1	1
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	8	9	10	11	12	13	14	15
LAT	1	1	1	1	1	1	1	1
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	16	17	18	19	20	21	22	23
LAT	1	1	1	1	1	1	2	2
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	24	25	26	27	28	29	30	31
LAT	2	2	2	2	2	2	2	2
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	32	33	34	35	36	37	38	39
LAT	2	2	2	2	2	2	3	3
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	40	41	42	43	44	45	46	47
LAT	3	3	3	3	3	3	3	3
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	48	49	50	51	52	53	54	55
LAT	3	3	3	3	3	3	4	4
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	56	57	58	59	60	61	62	63
LAT	4	4	4	4	4	4	4	4
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	64	65	66	67	68	69	70	71
LAT	4	4	4	4	4	4	5	5
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7

AD9789

延迟	72	73	74	75	76	77	78	79
LAT	5	5	5	5	5	5	5	5
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	80	81	82	83	84	85	86	87
LAT	5	5	5	5	5	5	6	6
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	88	89	90	91	92	93	94	95
LAT	6	6	6	6	6	6	6	6
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	96	97	98	99	100	101	102	103
LAT	6	6	6	6	6	6	7	7
SNC	7	8	8	9	9	2	2	3
DSC	0	1	2	3	4	5	6	7
延迟	104	105	106	107	108	109	110	111
LAT	7	7	7	7	7	7	7	7
SNC	3	4	4	5	5	6	6	7
DSC	8	9	10	11	12	13	14	15
延迟	112	113	114	115	116	117	X	X
LAT	7	7	7	7	7	7	X	X
SNC	7	8	8	9	9	2	X	X
DSC	0	1	2	3	4	5	X	X

延迟对通道选择器模式的影响

在通道选择器模式中选择接口配置时，FS脉冲之间的DCO周期数($\text{cycles}_{\text{AVAIL}}$)必须大于接口配置所需的DCO周期数($\text{cycles}_{\text{INTERFACE}}$)。延迟会占用FS之间的一些可用DCO周期。导致可用DCO周期减少的原因有两方面：一是从AD9789的FS输出到AD9789输入端相应数据样本的往返传播延迟(LTNCY[2:0])，二是器件的内部延迟。

为实现成功的接口设计，必须满足以下条件：

$$\text{cycles}_{\text{AVAIL}} \geq \text{cycles}_{\text{INTERFACE}} + \text{LTNCY}[2:0] + 2$$

CMOS接口时序

当AD9789采用CMOS接口配置时(CMOS_CTRL = CMOS_BUS = 3.3 V)，它会提供一个CMOS数据时钟输出信号DCO，以驱动来自数据源的数据。当DCODIV = 1时，输出信号以输入数据速率(等于fDAC/16)工作。总线上CMOS数据的采样在内部采样时钟(DSC)的上升沿进行。请注意，DCO频率等于DSC频率，DCO与DSC的相位关系由DSCPHZ(寄存器0x23[7:4])决定。

对于DSC的给定相位，输入数据的时序以DCO为参考。当DCO_INV = 0(寄存器0x20[4])、DSCPHZ = 0(寄存器0x23[7:4])、DCODIV = 1(寄存器0x22[6:4])时，不同温度下CMOS数据输入时序如表68所示。表68还显示了数据有效窗口(DVW)，它是接口的建立和保持时间之和。DVW是为了确保正确采样，有效数据必须呈现给器件的最短时间。

表68. 相对于DCO的CMOS数据输入时序

温度	t_s 最小值(ns)	t_h 最小值(ns)	DVW最小值(ns)
-40°C	4.9	-1.4	3.5
+25°C	5.1	-1.6	3.5
+85°C	5.3	-1.7	3.6
-40°C至+85°C	5.3	-1.4	3.9

如果DSCPHZ大于0，则建立和保持时间按 $t_{\text{DCO}}/16$ 的增量偏移，其中 t_{DCO} 为数据时钟周期。

$$t_s = 5.3 \text{ ns} - ((t_{\text{DCO}}/16) \times \text{DSCPHZ})$$

$$t_h = 0.24 \text{ ns} + ((t_{\text{DCO}}/16) \times \text{DSCPHZ})$$

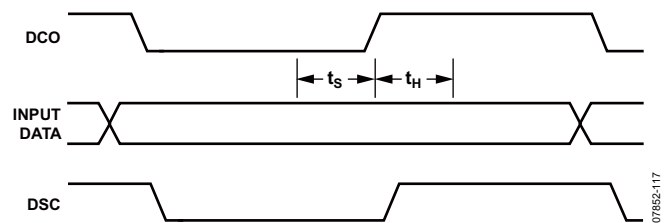


图100. CMOS输入时序

在一些接口模式中，需要知道从DCO上升沿到FS上升沿的延迟。表69为不同温度下此延迟的汇总表。

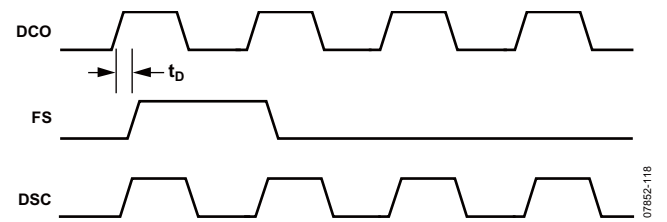


图101. CMOS_DCO至CMOS_FS延迟

表69. CMOS_DCO与CMOS_FS之间的时序延迟

温度	DCO至FS最大延迟 $t_{\text{D,MAX}}$ (ns)	DCO至FS最小延迟 $t_{\text{D,MIN}}$ (ns)
-40°C	0.64	0.28
+25°C	0.71	0.4
+85°C	0.85	0.49
-40°C至+85°C	0.85	0.28

LVDS接口时序

当AD9789采用LVDS接口配置时(CMOS_CTRL = CMOS_BUS = 0 V)，它会提供一个LVDS数据时钟输出信号DCO，以驱动来自数据源的数据。LVDS接口可以是单倍数据速率(SDR)或双倍数据速率(DDR)，具体取决于总线宽度配置。在SDR中，数据采样仅在内部采样时钟(DSC)的下降沿进行。请注意，DCO频率等于DSC频率，因此有效数据速率等于DCO频率。DCO与DSC的相位关系由DSCPHZ(寄存器0x23[7:4])决定。在DDR中，数据采样在DSC的上升沿和下降沿进行，因此有效数据速率等于DCO频率的两倍。当总线宽度为32位时，接口只能是DDR。当DCODIV = 1时，DCO频率等于 $f_{DAC}/16$ 。

对于DSC的给定相位，输入数据的时序以DCO为参考。当DCO_INV = 0(寄存器0x20[4])、DSCPHZ = 0(寄存器0x23[7:4])、DCODIV = 1(寄存器0x22[6:4])时，不同温度下LVDS输入数据时序如表70所示。

表70. 相对于DCO的LVDS数据输入时序

温度	t_s 最小值(ns)	t_H 最小值(ns)	DVW最小值(ns)
-40°C	1.04	0.24	1.28
+25°C	1.23	0.16	1.39
+85°C	1.41	0.03	1.44
-40°C至+85°C	1.41	0.24	1.65

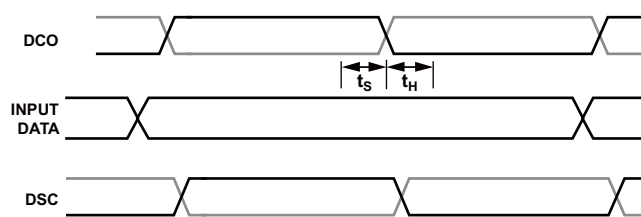
在DDR模式中，必须将这些建立和保持时间应用于DCO的上升沿和下降沿。在SDR模式中，必须将这些建立和保持时间应用于DCO的下降沿。

如果DSCPHZ大于0，则建立和保持时间按 $t_{DCO}/16$ 的增量偏移，其中 t_{DCO} 为数据时钟周期。

$$t_s = 1.41 \text{ ns} - ((t_{DCO}/16) \times DSCPHZ)$$

$$t_H = 0.24 \text{ ns} + ((t_{DCO}^{DSC}/16) \times DSCPHZ)$$

SINGLE DATA RATE (SDR)



DOUBLE DATA RATE (DDR)

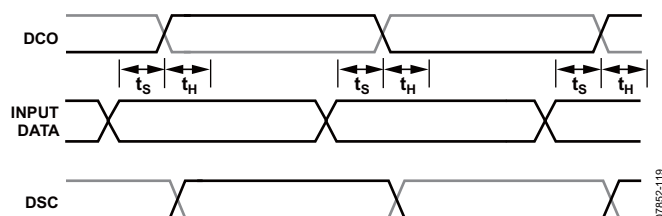


图102. LVDS输入时序(SDR和DDR)

在一些接口模式中，需要知道从DCO上升沿到FS上升沿的延迟。表71为不同温度下此延迟的汇总表。

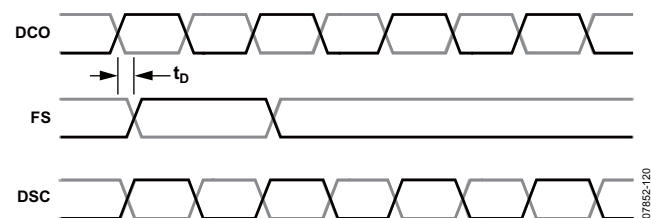


图103. LVDS DCO至FS延迟

表71. LVDS DCO与FS之间的时序延迟

温度	DCO至FS最大延迟 $t_{D,MAX}$ (ns)	DCO至FS最小延迟 $t_{D,MIN}$ (ns)
-40°C	0.37	0.21
+25°C	0.35	0.16
+85°C	0.32	0.12
-40°C至+85°C	0.37	0.12

奇偶校验

AD9789支持在输入数据总线上进行奇偶校验。有三种奇偶校验模式：偶校验、奇校验和IQ奇偶校验。在IQ奇偶校验模式中，始终期望I通道上的值为0，Q通道上的值为1。请注意，IQ奇偶校验模式一般仅用于LVDS接口。这些模式通过寄存器0x20[1:0]进行控制。

表72. 奇偶校验模式SPI设置

奇偶校验模式	寄存器0x20[1:0]
取消奇偶校验	00
IQ奇偶校验	01
偶校验	10
奇校验	11

如果使用奇偶校验，则无论FS如何，传输至AD9789的每个数据字都应伴随一个奇偶校验位。换言之，针对每个DCO边沿，奇偶校验必须有效。奇偶校验位设置于引脚L4和M4。当接口以CMOS模式工作时，输入奇偶校验位分别称为P1和P0。当接口以LVDS模式工作时，输入奇偶校验位分别称为PARP和PARN。

如前所述，LVDS接口可以是单倍数据速率(SDR)或双倍数据速率(DDR)，具体取决于总线宽度配置。当总线宽度为32位时，接口只能是DDR。

在QDUC模式中，接口固定在32位总线宽度，奇偶校验行为非常直观(见表73)。

表73. QDUC模式中的奇偶校验行为

接口	总线宽度	奇/偶校验	IQ奇偶校验
CMOS	32位	P1校验D[31:16] P0校验D[15:0]	P1 = 0 P0 = 1
LVDS ¹ (DDR)	32位	[PARP, PARN]上升校验 D[15:0]P, D[15:0]N上升 [PARP, PARN]下降校验 D[15:0]P, D[15:0]N下降	PARP上升 = 0 PARN上升 = 1 PARP下降 = 1 PARN下降 = 0

¹“上升”对应应在DSC上升沿采样的数据；
“下降”对应应在DSC下降沿采样的数据。

在通道选择器模式中，接口可配置为不同的总线宽度、数据宽度和数据格式，奇偶位校验总线上的数据字。

例如，考虑通道选择器模式下的这样一种配置：总线宽度为4，数据宽度为8，数据格式为实数。此时，为了传输代表四个通道的所有波特率数据，需要8个时钟周期。在偶校验或奇校验模式中，每个时钟周期上发送1个奇偶位和4个数据位；奇偶位校验4个数据位，验证所有数据均已通过接口发送。

表74总结了两个奇偶校验引脚的行为及其在所有接口模式中如何与数据互动。

表74. 通道选择器模式中的奇偶校验行为

接口	总线宽度	奇/偶校验	IQ奇偶校验
CMOS	4位	P1忽略 P0校验D[3:0]	P1 = 0 P0 = 1
CMOS	8位	P1忽略 P0校验D[7:0]	P1 = 0 P0 = 1
CMOS	16位	P1忽略 P0校验D[15:0]	P1 = 0 P0 = 1
CMOS	32位	P1校验D[31:16] P0校验D[15:0]	P1 = 0 P0 = 1
LVDS (SDR) ¹	4位	[PARP, PARN]下降校验 D[3:0]P, D[3:0]N下降	不支持
LVDS (SDR) ¹	8位	[PARP, PARN]下降校验 D[7:0]P, D[7:0]N下降	不支持
LVDS (SDR) ¹	16位	[PARP, PARN]下降校验 D[15:0]P, D[15:0]N下降	不支持
LVDS (DDR) ¹	32位	[PARP, PARN]上升校验 D[15:0]P, D[15:0]N上升 [PARP, PARN]下降校验 D[15:0]P, D[15:0]N下降	PARP上升 = 0 PARN上升 = 1 PARP下降 = 1 PARN下降 = 0

¹“上升”对应应在DSC上升沿采样的数据；
“下降”对应应在DSC下降沿采样的数据。

如果发生奇偶校验错误，奇偶校验计数器(寄存器0x02[7:0])就会递增。奇偶校验计数器不断累积，直到被清0或达到最大值255。将1写入寄存器0x04[7]可以使计数器清0。

将1写入寄存器0x03[7]，可以使能一个IRQ，以便发生奇偶校验错误时触发。IRQ的状态可以通过寄存器0x04[7]或IRQ引脚(引脚P2)测得。如果使用IRQ引脚，并且使能多个IRQ，则发生IRQ事件时，用户必须检查寄存器0x04，确定IRQ是否由奇偶校验错误引起。将1写入寄存器0x04[7]也可以使IRQ清0。

模拟工作模式

AD9789采用四开关架构，可以通过串行外设接口配置为三种工作模式：普通模式、RZ模式和混频模式。

四开关架构可屏蔽传统双开关DAC中出现的码相关毛刺。图104显示传统DAC和四开关DAC的波形。在双开关架构中，当D1和D2处于不同状态时，开关转换会产生毛刺。然而，如果D1和D2处于相同状态，则开关不会引起毛刺。这种码相关毛刺会增加DAC的失真量。在四开关架构中，无论是什么码，两个开关始终在半时钟周期处转换，因此不会产生码相关毛刺，而是产生 $2 \times f_{DAC}$ 的恒定毛刺。

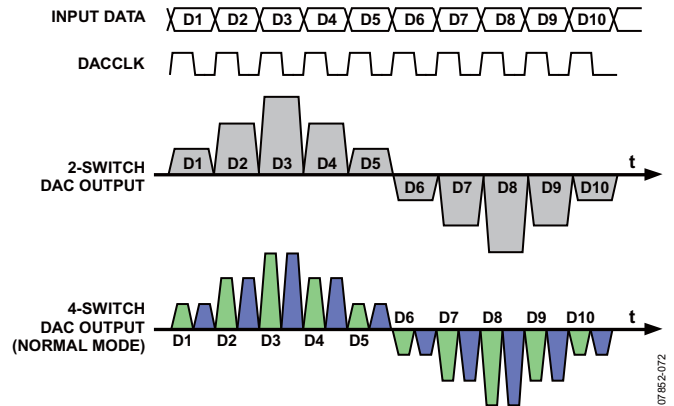


图104. 双开关和四开关DAC波形

四开关架构经过简单配置，还能执行模拟混频或归零(RZ)功能。在混频模式中，器件以DAC采样速率对输出进行有效削波。

RZ模式与混频模式相似，不同之处在于前者的中间数据样本由中量程值取代，而不是由反相值取代。图105显示混频和RZ两种模式的DAC波形。

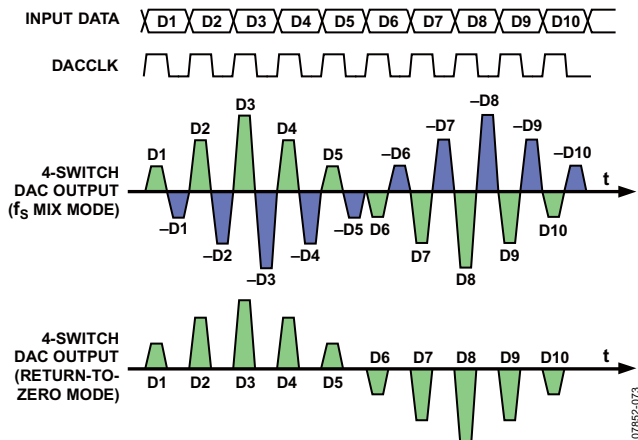


图105. 混频模式和RZ模式的DAC波形

在模拟模式之间进行切换会重整DAC输出端固有的sinc滚降。所有三个奈奎斯特区域的性能和最大幅度都会受该sinc滚降的影响，具体取决于载波的位置，如图106所示。

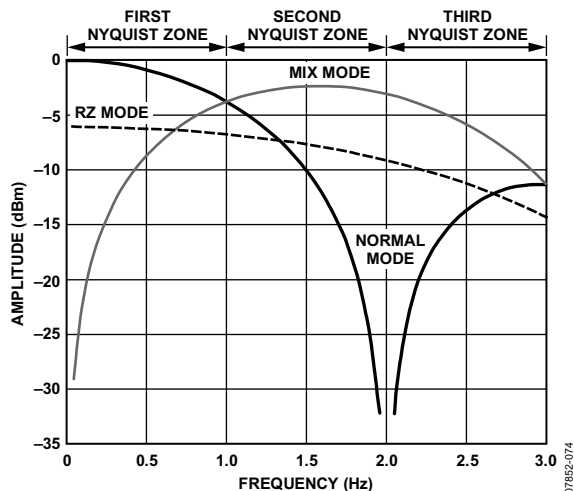


图106. 各模拟工作模式的Sinc滚降($f_s = 2 \times DACCLK$)

RZ模式具有较低、平坦的响应，对于快速检查系统频率响应相当有用。

模拟控制寄存器

AD9789内置用于优化模拟性能的寄存器，包括用来降低输出电流镜噪声和调整输出电流镜裕量的寄存器。

电流镜滚降频率控制

通过MSEL[1:0]位(寄存器0x36[1:0])，用户可以调整内部电流镜的噪声贡献，优化 $1/f$ 噪声。图107显示将20 mA满量程电流驱动至50 Ω 电阻时MSEL与 $1/f$ 噪声的关系。

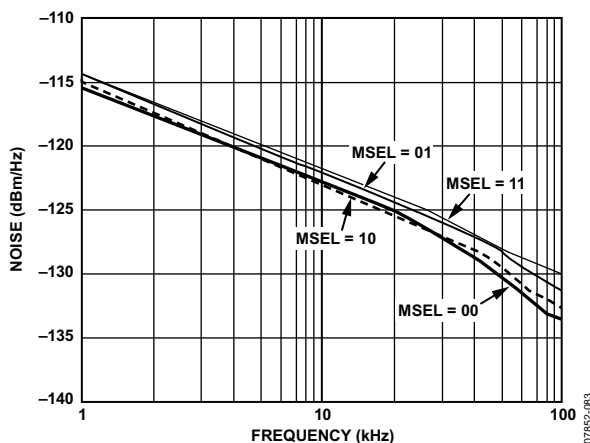


图107. 不同MSEL位时的 $1/f$ 噪声

AD9789

基准电压源

AD9789输出电流由数字控制位和I120基准电流共同设置，如图108所示。

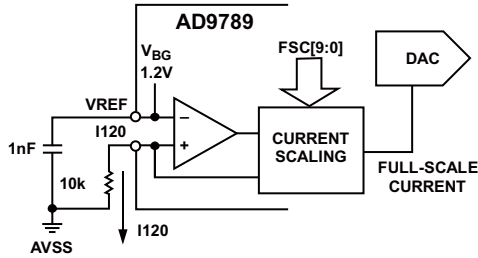


图108. 基准电压源电路

将带隙电压施加于I120(引脚B14)与地之间的10 kΩ电阻便获得基准电流。1.2 V标称带隙电压VREF(引脚C14)在10 kΩ电阻中产生120 μA基准电流。此电流由FSC[7:0](寄存器0x3C[7:0])和FSC[9:8](寄存器0x3D[1:0])进行数字调整，以便设置输出满量程电流 I_{FS} (单位mA)。

$$I_{FS} = 0.023 \times FSC[9:0] + 8.58$$

寄存器值的范围为0x000至0x3FF，因而满量程输出电流范围约为8.6 mA至32.1 mA。默认值0x200产生20 mA满量程电流。典型范围如图109所示。

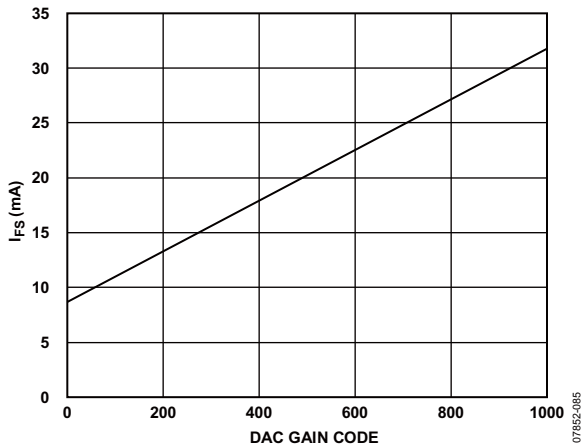


图109. 满量程电流与DAC增益码的关系

务必在I120引脚与地之间连接一个10 kΩ电阻，并利用数字控制功能调整满量程电流。AD9789不是一个乘法DAC，不支持对I120施加模拟信号。

必须用一个1 nF电容将VREF(引脚C14)旁路至地。此引脚上存在带隙电压，可以缓冲该电压用于外部电路。典型输出阻抗约为5 kΩ。如果需要，可以将一个外部基准源连接到VREF引脚，以过载内部基准源。

IPTAT(引脚D14)用于工厂测试，可以保持浮空。IPTAT是一个与绝对温度成比例的输出电流。25°C时，该输出电流约为10 μA，斜率约为20 nA/°C。

为实现最佳DOCSIS 3.0 ACLR性能，建议使用表75所示的满量程输出电流设置。

表75. 不同QAM通道数时建议的满量程电流设置

QAM通道数	建议 I_{FS} (mA)	FSC[9:0]
1	20	512
2	25	720
3	25	720
4	25	720

DAC输出级

为了在实验室正确评估AD9789，使用了三种不同的输出耦合电路。

图110显示利用正弦波测量SFDR和IMD等传统DAC性能规格时的最佳输出网络。

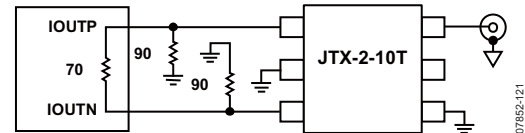


图110. 针对单音/多音测量的建议变压器输出级

图111显示在混频模式中测量信号(第二或第三奈奎斯特频率区域)时的最佳输出网络。中心抽头变压器的带宽不足以支持混频模式输出，因而最佳方案是用一个宽带巴伦。

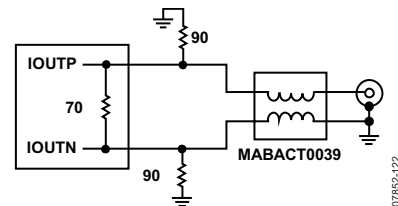


图111. 针对混频模式的建议变压器输出级

最后，当测量CMTS和其它数字电视应用的性能时，较有利的做法是在DAC与变压器之间插入一个1 dB、1.2 GHz切比雪夫低通滤波器，以便更好地控制DAC内核的阻抗。对于较高频率输出，这有助于降低折回谐波。CMTS测量的最佳变压器是JTX-2-10T，它采用单封装，由巴伦和中心抽头变压器组成。图112显示了此输出级。

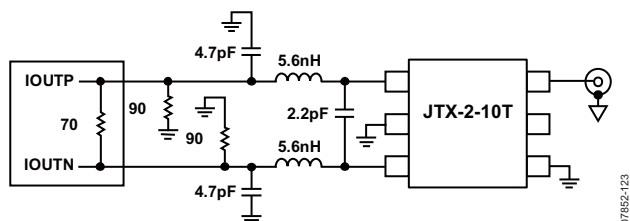


图112. 针对CMTS测量的建议变压器输出级

为了避免不必要的寄生效应，从DAC到变压器各走线的对地阻抗应为50 Ω (图110和图112)和25 Ω (图111)。

AD9789时钟接口

为使AD9789的内部时钟接收器具备所需的信号摆幅，有必要利用外部时钟缓冲器芯片驱动CLKP和CLKN输入。这些高电平、高压摆率信号不应在PCB上进行路由。适合此应用的建议时钟缓冲器是ADCLK914。这款超快时钟缓冲器能够从各端提供1.9 V电压，驱动端接于 V_{CC} (3.3 V)的50 Ω 负载，从而获得3.8 V的总差分摆幅。

另一方面，采用较低电平信号，如PCB上可能会遇到的CML或衰减PECL等，也很容易驱动该缓冲器。此缓冲器还提供极低的100 fs附加随机抖动，这对于AD9789实现最佳交流性能非常重要。图113所示为ADCLK914的功能框图。图114显示ADCLK914/AD9789接口的建议连接图。更多信息参见ADCLK914数据手册。只要DAC的噪底不能达到数据手册中的性能规格，就应检查该时钟。

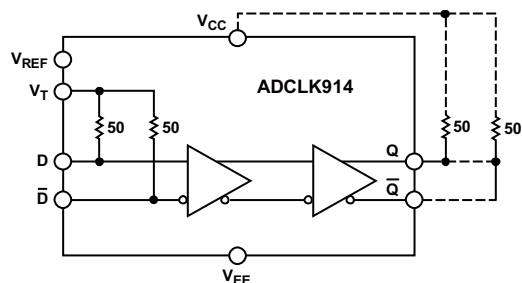


图113. ADCLK914功能框图

如图所示，ADCLK914输入端的内部50 Ω 电阻能够承载来自PECL或CML驱动器的电流。 V_T 引脚可以连接到 V_{CC} (PECL电流吸收端)、内部 V_{REF} 或者保持浮空，具体取决于信号源。ADCLK914的共模输入范围不包括LVDS电平，因此这种情况下需要交流耦合。

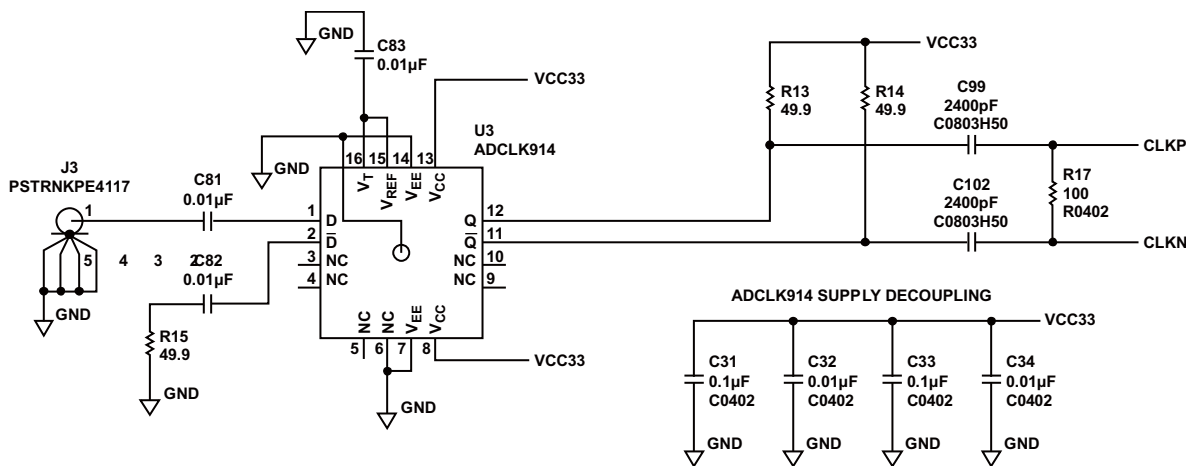


图114. 配合实验室发生器使用的ADCLK914/AD9789接口电路

优化时钟共模电压

除了优化切换时序的系统之外，还有一个系统可以设置时钟的共模电压。此系统可以使CLKP与CLKN信号的交叉点正确对准，确保时钟的占空比设置正确。图115显示如何设置CLKP和CLKN的共模电压。CLKP_CML位(寄存器0x32[4:1])和CLKN_CML位(寄存器0x31[7:4])控制用于CLKP和CLKN信号的八个开关。调整方向由PSIGN和NSIGN位(寄存器0x32的位5和位0)决定。如果PSIGN和NSIGN为低电平，则共模电压随着CLKP_CML/CLKN_CML值而减小。如果PSIGN和NSIGN为高电平，则共模电压随着CLKP_CML/CLKN_CML值而增大，如图116所示。当CLKP_CML和CLKN_CML均设为0时，反馈路径迫使共模电压设置为约0.9 V。当CLKP和CLKN偏移位均设为-15时，交流性能最佳。

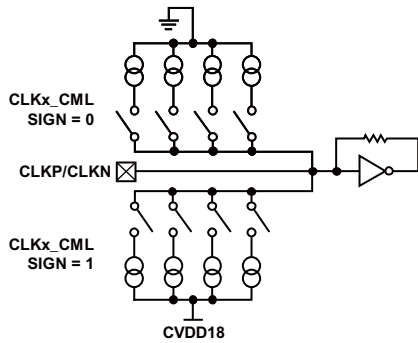


图115. 时钟共模控制

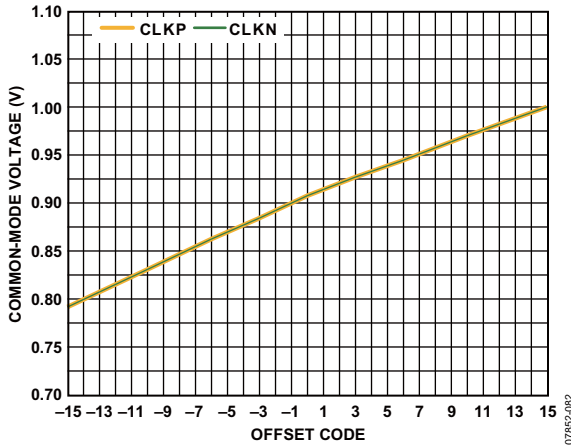


图116. 共模电压与CLKP_CML/CLKN_CML和PSIGN/NSIGN的关系

时钟相位噪声对交流性能的影响

驱动ADCLK914的时钟源质量决定AD9789所能实现的ACLR性能。表76列出了900 MHz时各种相位噪声曲线下四载波DOCSIS信号的带内ACLR。(所有ACLR值都用dBc表示。)

表76. 900 MHz时各种相位噪声曲线下四载波DOCSIS的带内ACLR性能

频段	相位噪声(dBc)				规格
	曲线1	曲线2	曲线3	曲线4	
750 kHz至6 MHz	-71	-67.2	-62.4	-59.1	-60
6 MHz至12 MHz	-70.9	-70.3	-67	-63.8	-63
12 MHz至18 MHz	-71	-70.8	-70.8	-70.8	-65

表77显示了不同偏移时各种曲线的相位噪声。(所有相位噪声值都用dBc/Hz表示。)

表77. 各种曲线的相位噪声汇总

偏移 ¹	相位噪声(dBc/Hz)			
	曲线1	曲线2	曲线3	曲线4
2 kHz	-114.8	-112.8	-111.7	-111.2
20 kHz	-117.8	-115.5	-114.6	-113.8
200 kHz	-128.3	-118.9	-118.3	-116.8
2 MHz	-148.5	-127.9	-122.2	-117.9
20 MHz	-152.5	-149.9	-148	-145.7

¹ 偏移小于500 kHz时，相位噪声性能主要取决于测量仪器。

为了达到四载波DOCSIS的带内ACLR要求，曲线3下的相位噪声是最低要求。

MU延迟控制器

mu延迟调整数字模块与模拟模块之间的时序。mu延迟控制器接收数字模块域与模拟模块域之间的相位关系信息。控制系统连续调整mu延迟，使数字部分与模拟部分保持所需的相位关系。图117显示了DAC内mu延迟的顶层框图。

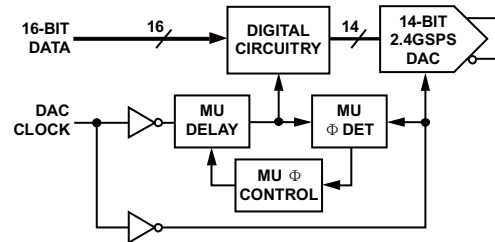


图117. Mu延迟控制器框图

mu控制器有两种工作模式：初始相位搜索和相位跟踪。在相位搜索模式中，控制器搜寻要使用初始mu延迟值，以便进入跟踪模式。在跟踪模式中，控制器对初始mu延迟值进行调整，使相位保持在所需值。因为可能有多个mu延迟设置会产生所需的相位，但并不是所有mu延迟值都能使器件正常工作，所以需进行初始相位搜索。

在自动模式下使用Mu控制器

mu控制器通过寄存器0x33[0]使能。一旦使能mu控制器，就会启动相位搜索模式。使能mu控制器之前，必须先开启相位比较器升压(寄存器0x3E[5])和mu控制占空比校正电路(寄存器0x30[7])。这两个功能可使mu控制器在器件的整个工作速度范围内工作更稳定。mu控制器的三种工作模式由寄存器0x33[5:4]的MODE[1:0]位设置，如下所示：

- 搜索并跟踪(00)(最佳设置)
- 仅跟踪(01)
- 仅搜索(10)

搜索算法从MUDLY[8:0]位设置的特定mu延迟值开始执行，其中LSB位于寄存器0x39[7]，MSB位于寄存器0x3A[7:0]。虽然此延迟线值有9位分辨率，但最大容许mu延迟为431(十进制)。开始搜索的最佳点是延迟线的中间，约为216。初始搜索算法会逐个扫描不同的mu延迟值，直到测得所需的相位；该相位由寄存器0x39[4:0]中的MUPHZ[4:0]位决定，最大容许相位为16。如果载入大于16的值，控制器不会锁定。测出所需相位后，计算相位测量的斜率并将其与所需斜率(由寄存器0x33[6]中的SLOPE指定)相比较。为实现最佳交流性能，搜索的最佳设置是斜率为正，并且相位值为14。如果相位和斜率与配置值相符，则搜索算法结束。SEARCH_TOL位(寄存器0x2F[7])可以用来指定搜索的精确性，如下所示：

- 不精确(0)：可以找到所需相位的两个值内的一个相位
- 精确(1)：找到指定的精确相位(最佳设置)

图118显示2.4 GSPS时mu相位与mu延迟线值的典型关系。搜索从选定的mu延迟值开始，搜索方向可以通过寄存器0x39[6:5]中的SEARCH_DIR[1:0]位指定。搜索方向有如下三个选择：

- 仅向下(00)
- 仅向上(01)
- 上下交替(10)(最佳设置)

如果搜索方向为交替式，搜索将在两个方向进行，直到在一个方向到达可编程的防护频带(由寄存器0x2F[4:0]中的GUARDBAND[4:0]位指定)。到达防护频带后，搜索仅在相反方向继续进行。在第二个方向到达防护频带之前，如果没有找到所需相位，搜索将变回交替模式，继续在防护频带内寻找。

如果mu延迟到达终点，搜索失败。如果控制器在搜索过程中没有找到所需相位，TRACK_ERR位(寄存器0x2F[5])将决定采取何种操作：

- 继续(0)：继续搜索(最佳设置)
- 复位(1)

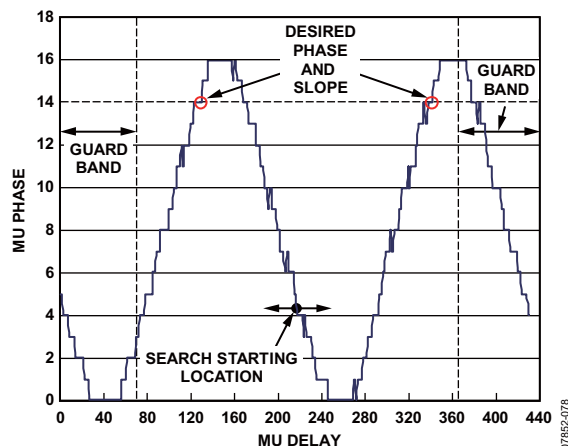


图118. 2.4 GSPS时的典型Mu相位特性

为了确定是否在正确的斜率上搜索，控制器首先递增mu延迟值并测量斜率，然后递减mu延迟值并测量斜率，直到发生下列任一事件：

- 相位变化幅度为2。
- 相位等于16(最大值)。
- 相位等于0(最小值)。
- mu延迟等于431(最大值)。
- mu延迟等于0(最小值)。

先递增再递减mu延迟值后，将测得的相位值进行比较，确定斜率是否与所需斜率相符。判断斜率有效的标准是正向相位和负向相位必须位于所需相位的相反两侧。图119和图120分别显示有效和无效相位选择的示例。

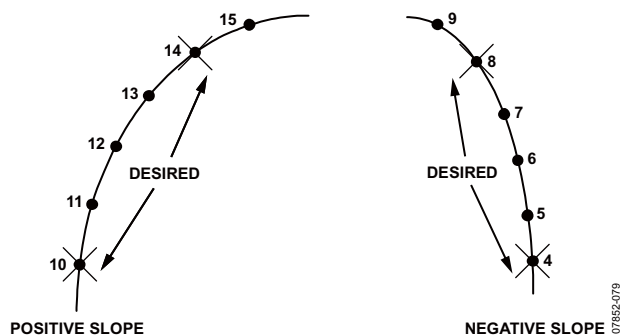


图119. 有效正负斜率相位示例

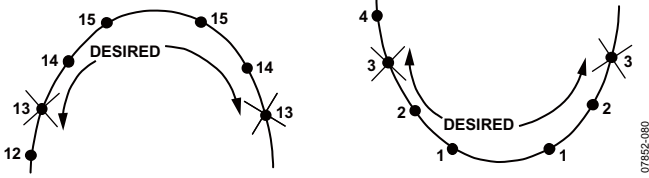


图120. 无效斜率相位示例

当搜索算法找到初始mu延迟值时，就会使能跟踪模式。在跟踪模式中，利用简单的控制环路可递增(幅度为1)、递减(幅度为1)或不改变mu延迟值，具体取决于相位测量结果。控制环路利用所需斜率确定是否应递增或递减mu延迟，但不会去确定实际斜率是否已改变或仍然有效。

两个状态位LOCKACQ(寄存器0x04[3])和LOCKLOST(寄存器0x04[2])用来指示控制环路是否正常工作。如果当前相位距离所需相位5步以上，并且LOCKACQ位先前已置1，则LOCKACQ位清0，LOCKLOST中断位置1。此外，如果失锁，控制器可以继续处于跟踪环路中，也可以复位以再次启动搜索。

将MUSAMP位(寄存器0x33[3])从低电平设为高电平时，用户可以读取MUDLY位(寄存器0x39[7]和寄存器0x3A[7:0])，以回读控制器所锁定的mu延迟值，并且读取MUPHZ[4:0]位(寄存器0x39[4:0])，以回读它所锁定的相位。这些位不再反映搜索开始时的值或所需相位，而是反映控制器所锁定的mu延迟值值和相位。

表78列出了锁定控制器需执行的寄存器读写操作。该程序假设时钟接收器已经使能，并且提供了一个干净的时钟。mu控制器的典型锁定时间约为180,000 DAC周期(2 GSPS时约为75 μs)。

表78. AD9789 Mu延迟控制器工作程序

地址	数据	读/写	描述
0x30	0x80	写入	使能占空比较正电路。
0x31	0xF0	写入	设置CLKN的共模电平： CLKN_CML = 0xF。
0x32	0x9E	写入	设置CLKP的共模电平： CLKP_CML = 0xF。 设置CLKP_CML和CLKN_CML 的方向：PSIGN = 0；NSIGN = 0。 使能时钟接收器：CLK_DIS = 1。
0x3E	0x38	写入	设置相位比较器升压 (AUTO_CAL必须设为默认值1)。
0x24	0x00	写入	使能数字时钟。
0x24	0x80	写入	
0x2F	0xCE	写入	从终点开始利用98码的 防护频带搜索精确相位。
0x33	0x42	写入	将搜索斜率设为正值。
0x39	0x4E	写入	将搜索相位设为14， 上下搜索。
0x3A	0x6C	写入	将搜索起点设为mu延迟线 的中点(码216)。
0x03	0x00	写入	禁用锁定和失锁指示器。
0x04	0xFE	写入	清除锁定和失锁指示器。
0x03	0x0C	写入	使能锁定和失锁指示器。
0x33	0x43	写入	使能mu延迟控制器并 启动搜索/跟踪程序。
0x33	0x4B	写入	将mu相位读取位设为高电平。
0x33	0x43	写入	将mu相位读取位设为低电平。
0x04		读取	检查锁定和失锁位： LOCKACQ应开启。 LOCKLOST应关闭。
0x39		读取	检查相位回读值 (应等于14)。

在手动模式下使用Mu控制器

在手动模式中，用户必须逐个扫描所有mu延迟值，并如图118所示记录每个MUDLY值对应的相位值。每次跨过MUDLY值时，必须将MUSAMP位从低电平翻转至高电平，以便读取特定mu延迟值所对应的相位。保持高电平并连续回读相位值是不可能的。与自动模式一样，最佳交流性能出现在斜率为正且相位为14时。因此，在获得完整曲线后，应选取与此条件相对应的MUDLY值，并将该值写入MUDLY[8:0]位(寄存器0x39[7]和寄存器0x3A)。

计算Mu Delay延迟线步进大小

逐个扫描所有mu延迟值并绘制mu相位与mu延迟关系图，不仅能让用户找出最佳mu延迟值，而且还能让用户确定mu延迟线步进大小。为计算步进大小，须取mu相位曲线的一个完整周期，并将DAC时钟周期除此变化量。从图118可知，两个转换点约为56和270，变化量约为214步。因此，mu延迟线步进大小约为2 ps/步，计算公式如下：

$$\left(\frac{1}{2.4 \text{ GHz}} \right) \frac{1}{214} = 1.95 \text{ ps}$$

如果mu控制器已使能，则可以利用此值计算不同温度下用户系统相对于DAC时钟周期的漂移量(单位ps)。

中断请求

可以利用下列中断(IRQ)请求获得更多信息，并验证各种功能模块的状态：

- PARERR—当数据总线上发生一个或多个奇偶校验错误时触发
- PARMSET—当PARMNEW置1并在内部记录时触发
- PARMCLR—当PARMNEW清0并在内部记录时触发
- LOCKACQ—当mu控制器锁定至用户定义的相位时触发
- LOCKLOST—当mu控制器失锁时触发(如果LOCKACQ位先前已置1)
- SATERR—当发生一个或多个饱和错误时触发

各IRQ通过中断使能寄存器0x03中的使能位使能。IRQ的状态可以通过以下方法测量：中断状态/清零寄存器(寄存器0x04)中的SPI位，或者利用IRQ引脚(引脚P2)。

如果通过该引脚确定已发生中断，则有必要检查寄存器0x04，以便确定哪一位引起了该中断(该引脚仅指示已发生一个中断)。若要清除一个IRQ，必须将1写入寄存器0x04中与该中断对应的位。

AD9789

建议启动时序

表79列出了优化器件性能并产生输出波形所需的步骤。

表79. 建议系统启动时序

步骤	描述	寄存器	数据
0	AD9789上电。		
0	施加时钟。		
1	使能时钟接收器并设置时钟CML。	0x32	0x9E
1	使能占空比校正电路。	0x30	0x80
2	使能数字时钟。	0x24	0x00
3		0x24	0x80
4	设置mu控制器。	0x2F	0xCE
4		0x33	0x42
4		0x39	0x4E
4		0x3A	0x6C
5	设置mu控制器。	0x03	0x00
6	清除所有中断。	0x04	0xFE
7	使能mu控制中断。	0x03	0x0C
8	使能mu延迟控制器。	0x33	0x43
9	设置数字数据路径。	0x06 to 0x15	
9	设置速率转换器。	0x16 to 0x1B	
9	设置BPF中心频率。	0x1C to 0x1D	
9	设置接口。	0x20 to 0x23	
9	设置通道增益。	0x25 to 0x28	
9	设置频谱反相。	0x29	
9	设置满量程电流	0x3C to 0x3D	
10	等到mu延迟控制器锁定为止(SPI读取) ¹	0x04	0x08
11	更新速率转换器和IBPF。	0x1E	0x80
12	更新接口时钟。	0x24	0x00
13		0x24	0x80
14	使能通道。	0x05	
15	使能所需的其它中断。	0x03	

¹ mu控制器的典型锁定时间约为180,000 DAC周期(2 GSPS时约为75 μ s)。

定制BIST模式

利用内部PRN发生器测试QAM输出交流性能

AD9789经过配置可以使能片内伪随机数(PRN)发生器。PRN输出连接到数据路径的前端，并将数据路径与输入引脚断开。这样，PRN发生器就可以与片内QAM编码器配合使用，产生QAM输出。借助PRN发生器，用户无需外部数据源就能测量DAC输出端QAM信号的交流性能。要通过串行端口使能内部PRN发生器，须执行以下步骤：

1. 将表80中的寄存器设置为表中所示的值，确保使能时钟并将时钟共模电平设为最佳值。

表80. 配置时钟的寄存器设置

寄存器	数据	描述
0x30	0x80	使能占空比校正电路。
0x31	0xF0	设置CLKN的共模电平： CLKN_CML = 0xF。
0x32	0x9E	设置CLKP的共模电平：CLKP_CML = 0xF。 设置PSIGN = 0、NSIGN = 0。 使能时钟接收器(CLK_DIS = 1)。

2. 将表81中的寄存器设置为表中所示的值，可配置BIST模式，以支持PRN发生功能，并断开输入。

表81. 配置PRN发生功能的寄存器设置

寄存器	设置
0x42	0x10
0x43	0x00
0x44	0x10
0x45	0x00
0x46	0x00
0x47	0x10
0x49	0x16
0x4B	0x17
0x4C	0x4E
0x4D	0x1F
0x05	0x0F

3. 先将寄存器0x24设为0x00，再将其设为0x80，循环改变PARMNEW位以确保数字时钟活动。
4. 将表82中的寄存器设置为表中所示的值，启动PRN发生器。

表82. 启动PRN发生器的寄存器设置

寄存器	设置
0x48	0xAB
0x4A	0xAB
0x40	0x56

启动PRN发生器后，只要寄存器0x40至寄存器0x55不变，用户就可以自由地将数据路径配置为所需的测试配置。

若要禁用PRN发生器，请将0x00写入寄存器0x40。

利用内置自测(BIST)功能测试数字数据输入连接

AD9789包括一个内置自测(BIST)引擎，可处理输入数据并产生一个签名，通过串行端口可以读取该签名。此BIST功能经过配置，可以观察数字数据输入引脚(L4至L12、M4至M12、N5至N12和P5至P12)的静态状态，并通过签名寄存器(寄存器0x50至寄存器0x55)反映这些引脚的状态。这样，用户就能验证数字数据输入连接状况。

LVDS接口模式的连接测试

要在LVDS接口模式下测试数字数据输入引脚的连接，须执行以下步骤。

1. 将表83中的寄存器设置为表中所示的值，确保使能时钟并将时钟共模电平设为最佳值。

表83. 配置时钟的寄存器设置

寄存器	数据	描述
0x30	0x80	使能占空比校正电路。
0x31	0xF0	设置CLKN的共模电平： CLKN_CML = 0xF。
0x32	0x9E	设置CLKP的共模电平：CLKP_CML = 0xF。 设置PSIGN = 0、NSIGN = 0。 使能时钟接收器(CLK_DIS = 1)。

2. 先将寄存器0x24设为0x00，再将其设为0x80，循环改变PARMNEW位以确保数字时钟活动。
3. 将表84中的寄存器设置为表中所示的值，可将LVDS接口配置为高速、16位总线宽度、16位数据宽度工作方式。

表84. LVDS接口的寄存器设置

寄存器	设置
0x20	0x08
0x21	0x41
0x22	0x1F
0x23	0x87

- 将表85中的寄存器设置为表中所示的值，配置引脚模式。

表85. 配置引脚模式的寄存器设置

寄存器	设置
0x42	0x00
0x43	0x08
0x44	0x00
0x45	0x08
0x46	0x00
0x47	0x10
0x49	0x1C
0x4B	0x1C
0x4C	0x00
0x4D	0x00

- 先将寄存器0x24设为0x00，再将其设为0x80，循环改变PARMNEW位以确保已更新接口配置。
- 将静态LVDS数据施加到输入端口。
- 将表86中的寄存器设置为表中所示的值，使能BIST引脚。

表86. BIST引脚测试的寄存器设置

寄存器	设置
0x48	0x80
0x4A	0x80
0x40	0x55

- 回读签名寄存器(寄存器0x50至寄存器0x55)，确定引脚状态(见表87)。

表87. 签名寄存器设置

寄存器	相关LVDS对
0x50	数据位D[7:0]
0x51	数据位D[15:8]
0x52	奇偶校验PAR
0x53	数据位D[7:0](重复)
0x54	数据位D[15:8](重复)
0x55	奇偶校验PAR(重复)

CMOS接口模式的连接测试

要在CMOS接口模式下测试数字数据输入引脚的连接，须执行以下步骤。

- 将表88中的寄存器设置为表中所示的值，确保使能时钟并将时钟共模电平设为最佳值。

表88. 配置时钟的寄存器设置

寄存器	数据	描述
0x30	0x80	使能占空比校正电路。
0x31	0xF0	设置CLKN的共模电平： CLKN_CML = 0xF。
0x32	0x9E	设置CLKP的共模电平：CLKP_CML = 0xF。 设置PSIGN = 0、NSIGN = 0。 使能时钟接收器(CLK_DIS = 1)。

- 先将寄存器0x24设为0x00，再将其设为0x80，循环改变PARMNEW位以确保数字时钟活动。
- 将表89中的寄存器设置为表中所示的值，可将CMOS接口配置为高速、32位总线宽度、16位数据宽度工作方式。

表89. CMOS接口的寄存器设置

寄存器	设置
0x20	0x08
0x21	0x61
0x22	0x1F
0x23	0x87

- 将表90中的寄存器设置为表中所示的值，配置引脚模式。

表90. 配置引脚模式的寄存器设置

寄存器	设置
0x42	0x00
0x43	0x08
0x44	0x00
0x45	0x08
0x46	0x00
0x47	0x10
0x49	0x1C
0x4B	0x1C
0x4C	0x00
0x4D	0x00

- 先将寄存器0x24设为0x00，再将其设为0x80，循环改变PARMNEW位以确保已更新接口配置。
- 将静态CMOS数据施加到输入端口。
- 将表91中的寄存器设置为表中所示的值，使能BIST引脚。

表91. BIST引脚测试的寄存器设置

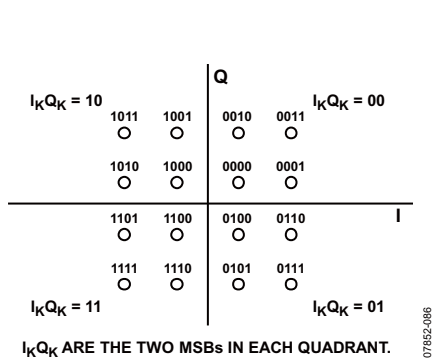
寄存器	设置
0x48	0x80
0x4A	0x80
0x40	0x55

- 回读签名寄存器(寄存器0x50至寄存器0x55)，确定引脚状态(见表92)。

表92. 签名寄存器设置

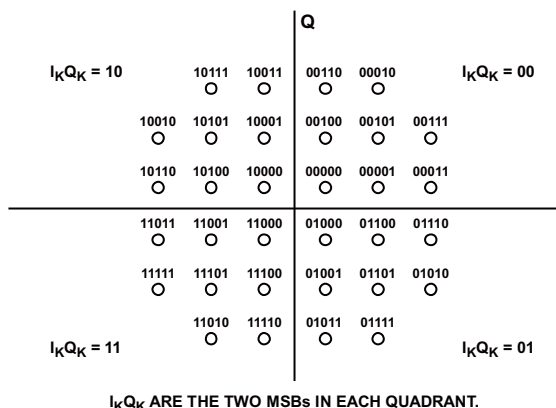
寄存器	相关CMOS对
0x50	数据位D[23:16]
0x51	数据位D[31:24]
0x52	奇偶校验P1
0x53	数据位D[7:0]
0x54	数据位D[15:8]
0x55	奇偶校验P0

QAM星座图



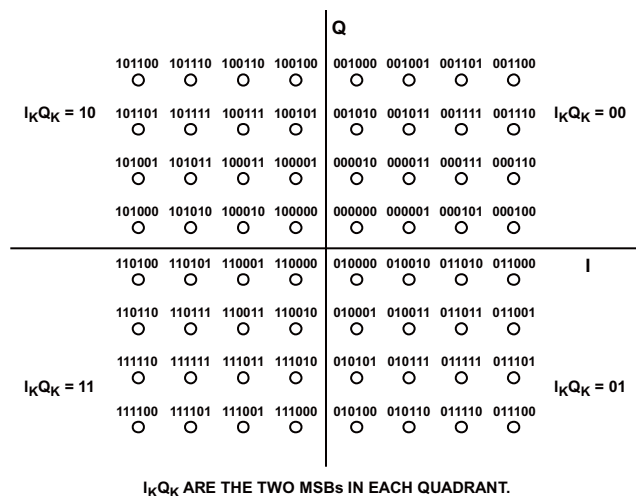
07852-086

图121. DVB 16-QAM星座



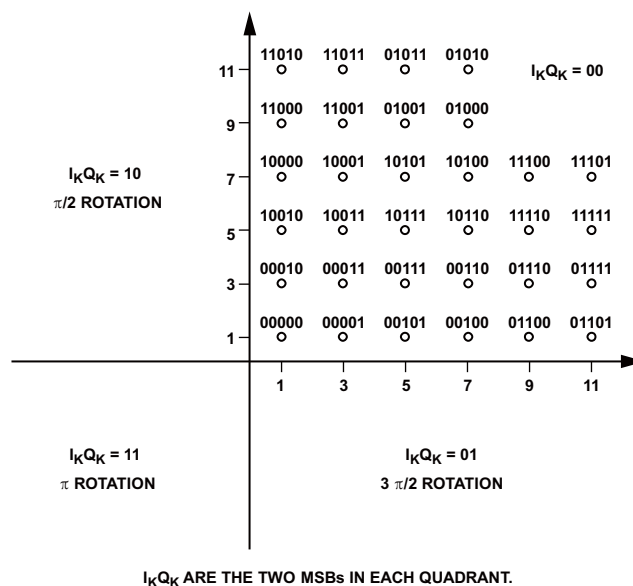
07852-087

图123. DVB 32-QAM星座



07852-088

图122. DVB 64-QAM星座



07852-089

图124. DVB 128-QAM星座

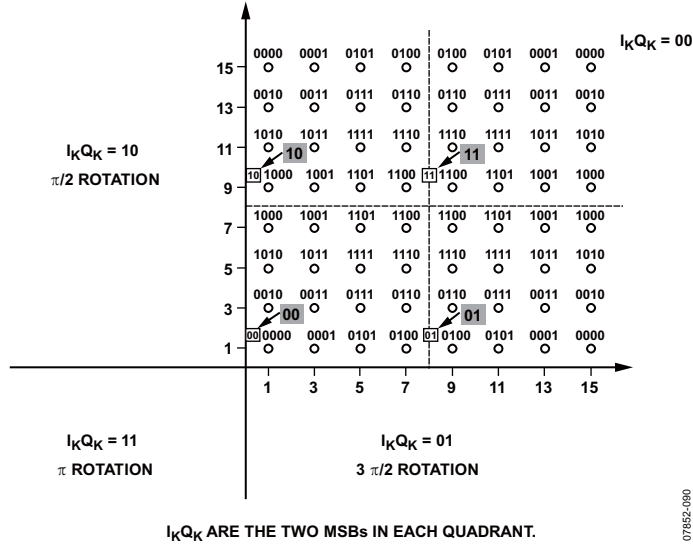


图125. DVB 256-QAM星座

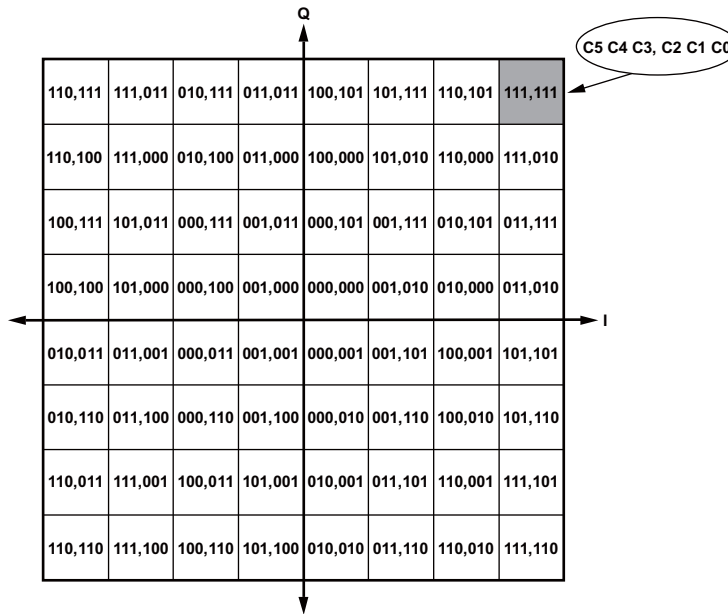


图126. DOCSIS 64-QAM星座

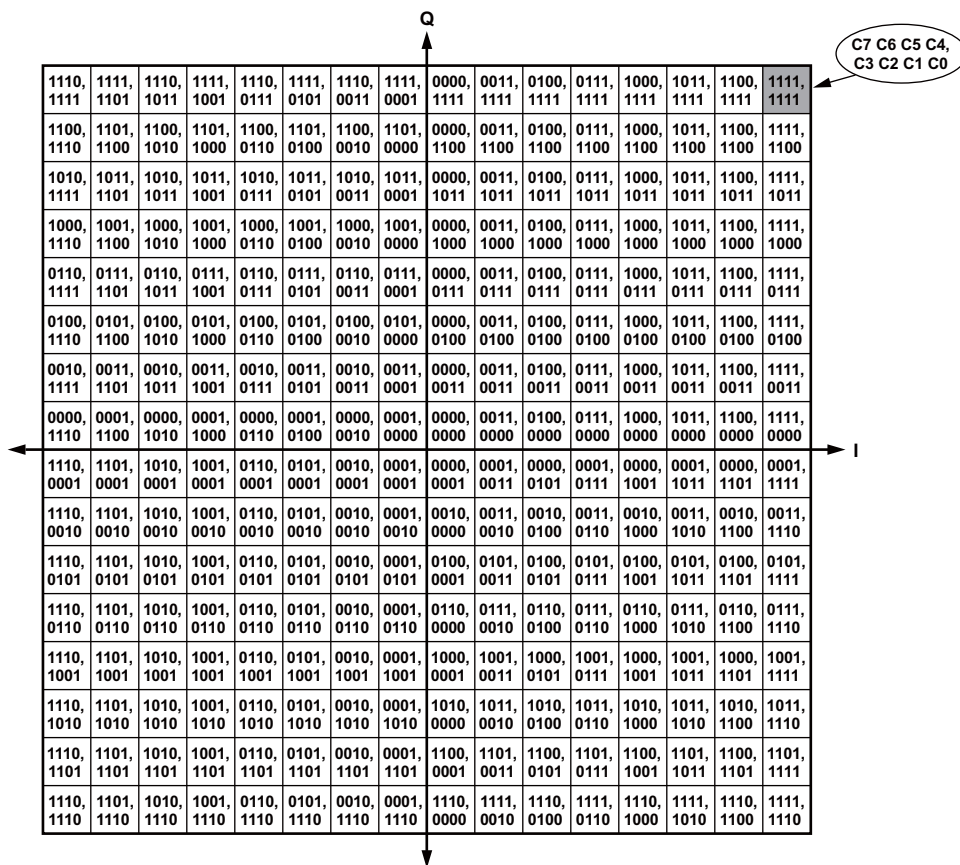


图127. DOCSIS 256-QAM星座

07862-126

用于CMOS和LVDS的通道选择器模式引脚映射

表93列出了AD9789在通道选择器模式下数据输入配置参数的可用组合。其中的许多配置需要多个时钟才能加载所有通道。表96和表97详细说明了所有这些配置。

表94、表95与图128、图129共同说明CMOS和LVDS数据输入引脚映射。CMOS模式始终为单倍数据速率，并在DSC上升沿采样。LVDS模式在总线宽度为4位至16位时为单倍数据速率(SDR)，在总线宽度为32位时为双倍数据速率(DDR)。

表93. 通道选择器模式的数据输入配置

总线宽度	数据宽度	数据格式
4	8	实数
4	8	复数
8	8	实数
8	8	复数
8	16	复数
16	8	实数
16	8	复数
16	16	复数
32	8	实数
32	8	复数
32	16	复数

表94. 各种接口宽度的CMOS引脚分配

接口宽度	引脚分配	BUSWIDTH[1:0]
4位	D[3:0]	00
8位	D[7:0]	01
16位	D[15:0]	10
32位	D[31:0]	11

表95. 各种接口宽度的LVDS引脚分配

接口宽度	引脚分配	BUSWIDTH[1:0]
4位	D[3:0]P, D[3:0]N	00
8位	D[7:0]P, D[7:0]N	01
16位	D[15:0]P, D[15:0]N	10
32位	D[15:0]P、D[15:0]N 上升沿和下降沿	11

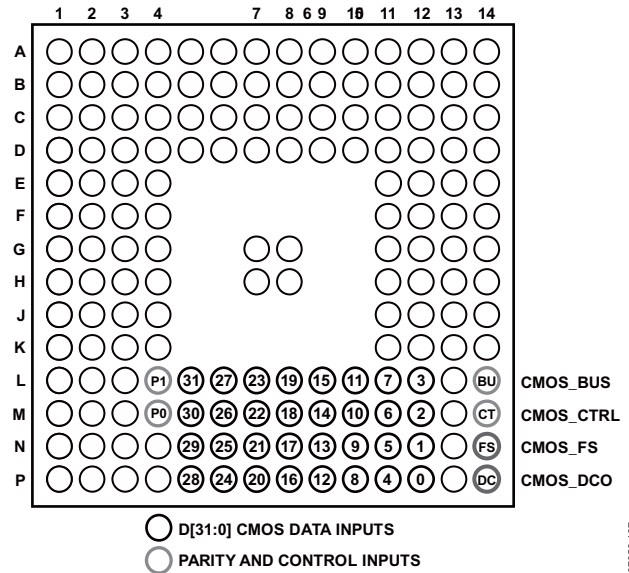


图128. CMOS数据输入引脚映射

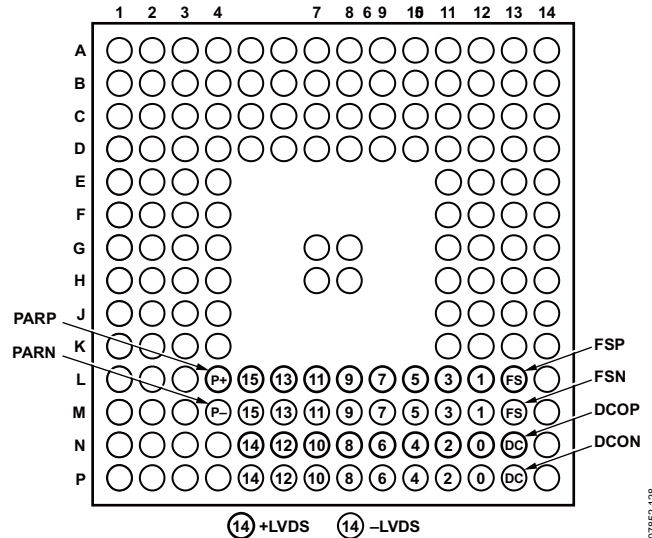


图129. LVDS数据输入引脚映射

在表96中，“R”代表载入给定通道的实数数据，“I”代表复数数据的同相项，“Q”代表复数数据的正交项。R、I或Q之后的数字表示通道号。

表96. 通道选择器模式配置和通道结构：CMOS接口，通道优先级 = 1

数据路径配置			CMOS引脚映射									
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]	
4	8	实数	1								R0	
			2								R0	
			3								R1	
			4								R1	
			5								R2	
			6								R2	
			7								R3	
			8								R3	
数据路径配置			CMOS引脚映射									
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]	
4	8	复数	1									I0
			2									I0
			3									Q0
			4									Q0
			5									I1
			6									I1
			7									Q1
			8									Q1
			9									I2
			10									I2
			11									Q2
			12									Q2
			13									I3
			14									I3
			15									Q3
			16									Q3
数据路径配置			CMOS引脚映射									
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]	
8	8	实数	1								R0	
			2								R1	
			3								R2	
			4								R3	
数据路径配置			CMOS引脚映射									
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]	
8	8	复数	1									I0
			2									Q0
			3									I1
			4									Q1
			5									I2
			6									Q2
			7									I3
			8									Q3

AD9789

数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
8	16	复数	1								I0		
			2								I0		
			3									Q0	
			4									Q0	
			5									I1	
			6									I1	
			7									Q1	
			8									Q1	
			9										I2
			10										I2
			11										Q2
			12										Q2
			13										I3
			14										I3
			15										Q3
			16										Q3
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	8	实数	1						R1		R0		
			2						R3		R2		
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	8	复数	1						Q0		I0		
			2						Q1		I1		
			3							Q2		I2	
			4							Q3		I3	
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
16	16	复数	1									I0	
			2									Q0	
			3									I1	
			4									Q1	
			5									I2	
			6									Q2	
			7									I3	
			8									Q3	
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	8	实数	1		R3		R2		R1		R0		
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	8	复数	1		Q1		I1		Q0		I0		
			2		Q3		I3		Q2		I2		
数据路径配置			CMOS引脚映射										
总线宽度	数据宽度	格式	DCO	[D31:D28]	[D27:D24]	[D23:D20]	[D19:D16]	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]		
32	16	复数	1				Q0				I0		
			2				Q1				I1		
			3				Q2				I2		
			4				Q3				I3		

在DDR模式中，“上升”对应应在DSC上升沿采样的数据；“下降”对应应在DSC下降沿采样的数据。

表97. 通道选择器模式配置和通道结构：LVDS接口，通道优先级 = 1

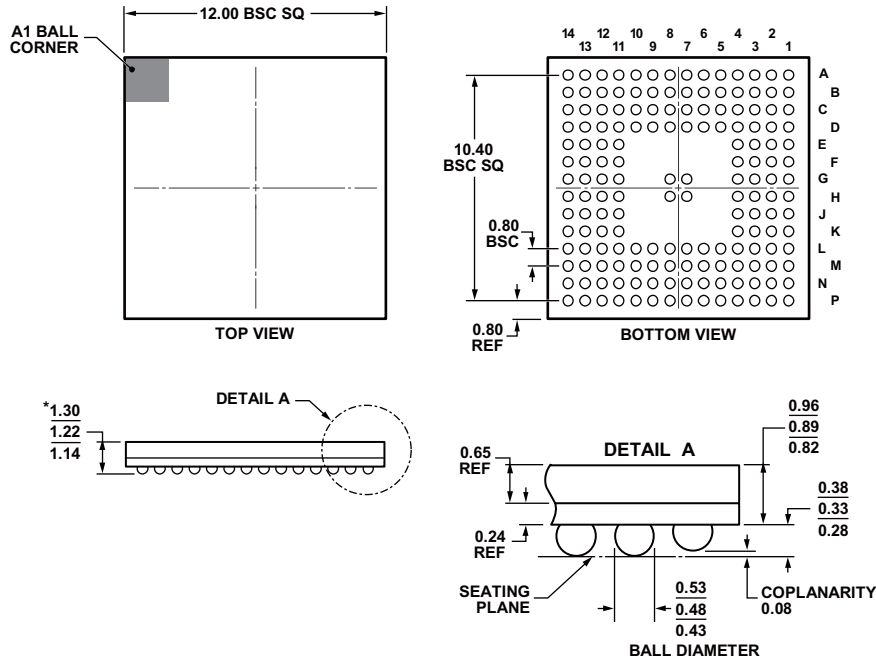
数据路径配置			LVDS引 脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
4	8	实数	1				R0
			2				R0
			3				R1
			4				R1
			5				R2
			6				R2
			7				R3
			8				R3
数据路径配置			LVDS引 脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
4	8	复数	1				I0
			2				I0
			3				Q0
			4				Q0
			5				I1
			6				I1
			7				Q1
			8				Q1
			9				I2
			10				I2
			11				Q2
			12				Q2
			13				I3
			14				I3
			15				Q3
			16				Q3
数据路径配置			LVDS引 脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	8	实数	1				R0
			2				R1
			3				R2
			4				R3
数据路径配置			LVDS引 脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	8	复数	1				I0
			2				Q0
			3				I1
			4				Q1
			5				I2
			6				Q2
			7				I3
			8				Q3

AD9789

数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
8	16	复数	1				I0
			2				I0
			3				Q0
			4				Q0
			5				I1
			6				I1
			7				Q1
			8				Q1
			9				I2
			10				I2
			11				Q2
			12				Q2
			13				I3
			14				I3
			15				Q3
			16				Q3
数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	8	实数	1		R1		R0
			2		R3		R2
数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	8	复数	1		Q0		I0
			2		Q1		I1
			3		Q2		I2
			4		Q3		I3
数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
16	16	复数	1				I0
			2				Q0
			3				I1
			4				Q1
			5				I2
			6				Q2
			7				I3
			8				Q3
数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	8	实数	1上升		R1		R0
			1下降		R3		R2
数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	8	复数	1上升		Q0		I0
			1下降		Q1		I1
			2上升		Q2		I2
			2下降		Q3		I3

数据路径配置			LVDS引脚映射				
总线宽度	数据宽度	格式	DCO	[D15:D12]	[D11:D8]	[D7:D4]	[D3:D0]
32	16	复数	1上升				I0
			1下降				Q0
			2上升				I1
			2下降				Q1
			3上升				I2
			3下降				Q2
			4上升				I3
			4下降				Q3

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-219 WITH THE EXCEPTION TO PACKAGE HEIGHT.

图 130. 164引脚CSP_BGA封装(BC-164-1)
尺寸单位: mm

11608-A

订购指南

型号	温度范围	封装描述	封装选项
AD9789BBCZ ¹	-40°C至+85°C	164引脚芯片级球栅阵列(CSP_BGA)封装	BC-164-1
AD9789BBCZRL ¹	-40°C至+85°C	164引脚芯片级球栅阵列(CSP_BGA)封装	BC-164-1
AD9789BBC	-40°C至+85°C	164引脚芯片级球栅阵列(CSP_BGA)封装	BC-164-1
AD9789BBCRL	-40°C至+85°C	164引脚芯片级球栅阵列(CSP_BGA)封装	BC-164-1
AD9789-EBZ ¹		CMTS和普通模式评估用评估板	
AD9789-MIX-EBZ ¹		混频模式评估用评估板	

¹ Z = 符合RoHS标准的兼容器件

注释

注释