

产品特性

易于使用：16位、1 MSPS的完整数据采集系统
 高阻抗、8通道输入：>500 MΩ
 差分输入电压范围：±24.576 V(最大值)
 高输入共模抑制：>100 dB
 用户可编程输入范围
 具有单独通道增益的通道序列器
 片内4.096 V基准电压源和缓冲器
 辅助输入：与PulSAR ADC输入直接接口
 无延迟或流水线延迟(SAR架构)
 串行4线式1.8至5 V SPI/SPORT兼容接口
 LFCSP封装(6 mm × 6 mm)
 温度范围：-40°C至+85°C工业温度

应用

多通道数据采集和系统监控
 过程控制
 电力线路监控
 自动测试设备
 仪器仪表

概述

ADAS3022是一款完整的16位、1 MSPS、逐次逼近型模数数据采集系统，采用ADI公司专有的iCMOS®高压工业过程技术制造。该器件集成8通道、低泄漏多路复用器；具有高共模抑制的高阻抗可编程增益仪器仪表放大器(PGIA)级；精密、低漂移4.096 V基准电压源和缓冲器；以及采用逐次逼

近型寄存器(SAR)架构的16位电荷再分配模数转换器(ADC)。使用±15 V电源时，ADAS3022可解析最高为±24.576 V的八路单端输入或四路全差分输入。此外，该器件可以接受常用的双极性差分、双极性单端、伪双极性或伪单极性输入信号，如表1所示，因此几乎可以使用任何直接传感器接口。

ADAS3022通过消除信号缓冲、电平转换、放大/衰减、共模抑制、建立时间简化了设计挑战，也避免了其他模拟信号调理挑战，同时实现更小的尺寸、更短的上市时间和更低的成本。

表1. 典型输入范围选择

信号	输入范围, V_{IN} (V)
差分	
±1 V	±1.28 V
±2.5 V	±2.56 V
±5 V	±5.12 V
±10 V	±10.24 V
单端 ¹	
0 V至1 V	±1.28 V
0 V至2.5 V	±2.56 V
0 V至5 V	±5.12 V
0 V至10 V	±10.24 V

¹ 详细信息请参见“模拟输入”部分中的图59和图60。

功能框图

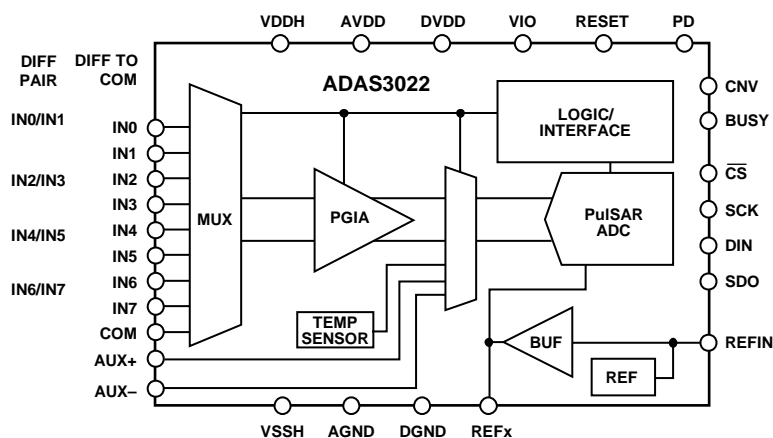


图1.

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
 Tel: 781.329.4700 ©2012–2014 Analog Devices, Inc. All rights reserved.
 Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

ADAS3022的重要链接*

最后更新时间: 02/10/2014 01:30 pm

文档

CN0201: 完整的5 V单电源8通道多路复用数据采集系统, 集成用于工业级信号的PGIA

UG-484: 用于16位、8通道、1 MSPS数据采集系统ADAS3022的评估板

完整传感器数字解决方案简化工业数据采集系统设计

让我们比较多路复用DAS的SAR型转换器与 Δ - Σ 型转换器

- [第一部分](#)
- [第二部分](#)
- [第三部分](#)
- [第四部分](#)
- [第五部分](#)

Komplette Sensor-to-Bits-Lösung: Vereinfachte Entwicklung industrieller Datenerfassungssysteme

传感器至数字: 简化DAQ设计

ADI公司的数据采集IC简化工业和仪器设备设计

设计工具、模型、驱动以及软件

[ADAS3022 FPGA参考设计](#)

[ADAS3022/ADAS3023 IBIS模型](#)

设计支持

在此提交您的支持需求:

[线性以及数据转换器](#)

[嵌入式处理和DSP](#)

致电客户支持的免费电话:

美国: 1-800-262-5643

欧洲: 00800-266-822-82

中国: 4006-100-006

印度: 1800-419-0108

俄罗斯: 8-800-555-45-90

[质量和可靠性](#)

[无铅数据](#)

[封装信息](#)

样片和购买

ADAS3022

查看价格和封装, 评估板以及样片

[查看库存及购买](#)

类似产品和参数选型表

依据工作参数查找类似产品

视频: [ADAS3022 16位、1 MSPS DAQ](#)

高分辨率、同步采样14/16/18位PuISAR ADC

高分辨率、多路复用14/16位PuISAR ADC

评估套件、原理图符号与PCB封装

[查看评估板和开发套件](#)

[原理图符号和PCB封装](#)

建议配套产品

推荐ADAS3022使用的驱动放大器

- 针对低频率、精密、低偏置电流应用, 推荐使用[AD8476](#)、[AD8605](#)或[AD8615](#)。
- 针对精密、低功耗、低失真应用, 推荐使用[ADA4841-1](#)、[ADA4940-1](#)或[ADA4941-1](#)。
- 针对高频、低噪声、低失真应用, 推荐使用[ADA4899](#)、[ADA4897-1](#)或[AD8021](#)。
- 关于其它[驱动放大器](#)选择, 我们建议
- 选择产品目录并使用我们的参数搜索表格进行筛选。

推荐ADAS3022使用的外部基准电压源

- 如需低漂移、低噪声和高精度, 推荐使用[ADR434](#)、[ADR444](#)或[ADR4540](#) (4.096V)基准电压源。
- 如需驱动基准电压输入, 推荐使用[AD8031](#)或[AD8605](#)缓冲放大器。
- 关于其它[基准电压源选择](#), 建议使用我们的参数搜索表格进行筛选。

推荐ADAS3022使用的数字隔离器

- 针对SPI接口、最低功耗、2.5 kVrms隔离, 推荐使用[ADuM1401](#)。
- 针对SPI接口、增强的系统级ESD性能、2.5 kVrms隔离, 推荐使用[ADuM3401](#)。
- 针对SPI接口、低功耗、5.0 kVrms隔离, 推荐使用[ADuM4401](#)。
- 针对SPI接口、最小封装、低压I/O (1.8 V至5.5 V), 推荐使用[ADuM3481](#)。
- 关于其它[数字隔离器选择](#), 建议使用我们的参数搜索表格进行筛选。

推荐使用的低压差稳压器和开关

- 针对AVDD、DVDD和VIO, 推荐使用[ADP3334](#)、[ADP1715](#)、[ADP7102](#)或[ADP7104](#)。
- 针对VDDH和VSSH, 推荐使用[ADP1613](#)或[ADP1614](#)。
- 关于其它[稳压器和开关选择](#), 我们建议选择产品目录并使用我们的参数搜索表格进行筛选。

*此页由ADI公司动态产生并插入本数据手册。

注意: 此页(标记为“重要链接”)内容的动态变更不构成产品数据手册版本的变更。
此内容可能会经常改变。



目录

特性.....	1	模拟输入.....	25
应用.....	1	基准电压输出/输入.....	28
概述.....	1	电源.....	29
功能框图.....	1	转换模式.....	30
修订历史.....	2	数字接口.....	31
技术规格.....	3	转换控制.....	31
时序规格.....	7	复位和关断(PD)输入.....	31
绝对最大额定值.....	9	串行数据接口.....	32
ESD警告.....	9	一般考虑因素.....	33
引脚配置和功能描述.....	10	通用时序.....	34
典型性能参数.....	12	配置寄存器.....	36
术语.....	20	按需转换模式.....	37
工作原理.....	22	通道序列器详情.....	37
概述.....	22	外形尺寸.....	40
ADAS3022工作原理.....	22	订购指南.....	40
传递函数.....	23		
典型应用连接图.....	24		

修订历史

2014年2月—修订版B至修订版C

更改图49.....	19
更改图54.....	24
更改表7.....	25
更改“省电模式”部分.....	30
增加“按需转换模式”部分和表12； 重新排序.....	37
更改表13.....	37
更改图75中的JEDEC注释.....	40

2013年4月—修订版A至修订版B

更改表1.....	1
表2中增加500 M Ω 最小输入阻抗.....	3

2013年1月—修订版0至修订版A

删除表2的尾注3并在增益误差测试条件/ 注释中增加T _A = 25°C.....	3
更改REF1和REF2描述.....	11
增加图25至图28；重新排序编号.....	15
更改图29.....	15
增加图30.....	16
更改图33、图34和图35.....	16
更改图36和图37.....	17
更改图50.....	19
更改图54.....	24
更改图56.....	25
更改图57、图58、图59和图60.....	26
更改“基准电压输出/输入”部分、图62和图63.....	28
更改“内核电源”部分.....	29

2012年11月—修订版0：初始版

技术规格

VDDH = 15 V ± 5%, VSSH = -15 V ± 5%, AVDD = DVDD = 5 V ± 5%, VIO = 1.8 V至AVDD(内部基准电压源), V_{REF} = 4.096 V, f_s = 1 MSPS。除非另有说明, 所有规格均相对于T_{MIN}至T_{MAX}而言。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
分辨率		16			位
模拟输入—IN[7:0], COM 工作输入电压范围 差分输入电压范围, V _{IN}	V _{IN} V _{IN+} 至V _{IN-} PGA增益 = 0.16, V _{IN} = 49.15 V p-p PGA增益 = 0.2, V _{IN} = 40.96 V p-p PGA增益 = 0.4, V _{IN} = 20.48 V p-p PGA增益 = 0.8, V _{IN} = 10.24 V p-p PGA增益 = 1.6, V _{IN} = 5.12 V p-p PGA增益 = 3.2, V _{IN} = 2.56 V p-p PGA增益 = 6.4, V _{IN} = 1.28 V p-p	-VSSH + 2.5 -6V _{REF} -5V _{REF} -2.5V _{REF} -1.25V _{REF} -0.625V _{REF} -0.3125V _{REF} -0.1563V _{REF}		VDDH - 2.5 +6V _{REF} +5V _{REF} +2.5V _{REF} +1.25V _{REF} +0.625V _{REF} +0.3125V _{REF} +0.1563V _{REF}	V V V V V V V V
输入阻抗	Z _{IN}	500			MΩ
通道关断泄漏			±0.6		nA
通道导通泄漏			±0.02		nA
共模电压范围 ²	V _{IN+} , V _{IN-} ; 满量程差分输入 PGA增益 = 0.4 PGA增益 = 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	-5.12 -7.68 -8.96 -9.60 -9.92		+5.12 +7.68 +8.96 +9.60 +9.92	V V V V V
模拟输入—AUX+, AUX- 差分输入电压范围		-V _{REF}		+V _{REF}	V
吞吐速率 转换速率	一个通道/一对通道 两个通道/两对通道 四个通道/四对通道 八个通道	0 0 0 0		1000 500 250 125	kSPS kSPS kSPS kSPS
瞬态响应:	满量程阶跃			520	ns
直流精度		16			位
无失码					
积分线性误差	PGA增益 = 0.16, 0.2, 0.4, 0.8, 1.6 PGA增益 = 3.2 PGA增益 = 6.4	-2 -3 -5	±0.6 ±1.0 ±1.5	+2 +3 +5	LSB LSB LSB
差分线性误差	PGA增益 = 0.16, 0.2, 0.4, 0.8, 1.6 PGA增益 = 3.2 PGA增益 = 6.4	-0.9 -0.9 -0.9	±0.6 ±0.75 ±0.75	+1.0 +1.25 +1.25	LSB LSB LSB
跃迁噪声	外部基准电压源 PGA增益 = 0.16, 0.2, 0.4, 0.8, 1.6 PGA增益 = 3.2 PGA增益 = 6.4		5 7 11		LSB LSB LSB
增益误差	外部基准电压源, 所有PGA增益, T _A = 25°C	-9		+9	LSB
增益误差温漂	外部基准电压源, 所有PGA增益			0.1	ppm/°C
失调误差	外部基准电压源, T _A = 25°C PGA增益 = 0.16, 0.2, 0.4, 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	-3.0 -4.0 -7.5 -12.5	+0.2 +0.2 +0.2 +0.2	+3.0 +4.0 +7.5 +12.5	LSB LSB LSB LSB

ADAS3022

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
失调误差温漂	外部基准电压源 PGA增益 = 0.16, 0.2, 0.4, 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4		0.1 0.2 0.4 0.8	0.5 1.0 2.0 4.0	ppm/°C ppm/°C ppm/°C ppm/°C
总不可调整误差	外部基准电压源, T _A = 25°C PGA增益 = 0.16, 0.2, 0.4, 0.8, 1.6, 3.2 PGA增益 = 6.4	-9 -15		+9 +15	LSB LSB
交流精度 ³					
信噪比(SNR)	f _{IN} = 10 kHz PGA增益 = 0.16 PGA增益 = 0.2 PGA增益 = 0.4 PGA增益 = 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	90.0 90.0 89.5 89.0 88.0 86.0 83.0	91.5 91.5 91.5 91.0 89.7 86.8 84.5		dB dB dB dB dB dB dB
信纳比(SINAD)	f _{IN} = 10 kHz PGA增益 = 0.16 PGA增益 = 0.2 PGA增益 = 0.4 PGA增益 = 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	88.0 88.0 88.5 88.5 87.5 85.5 82.5	90.0 90.0 91.0 90.5 89.5 86.5 84.0		dB dB dB dB dB dB dB
动态范围	f _{IN} = 10 kHz, -60 dB输入 PGA增益 = 0.16 PGA增益 = 0.2 PGA增益 = 0.4 PGA增益 = 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	91.0 91.0 90.5 90.0 89.0 86.0 83.5	92.0 92.0 91.5 91.0 90.0 87.0 85.0		dB dB dB dB dB dB dB
总谐波失真	f _{IN} = 10 kHz, 所有PGA增益		-100		dB
无杂散动态范围	f _{IN} = 10 kHz, 所有PGA增益		101		dB
通道间串扰	f _{IN} = 10 kHz, 所有通道无效		-120		dB
共模抑制比(CMRR)	f _{IN} = 2 kHz PGA增益 = 0.16, 0.2, 0.4, 0.8 PGA增益 = 1.6 PGA增益 = 3.2 PGA增益 = 6.4	90.0 90.0 90.0 90.0	110.0 105.0 98.0 98.0		dB dB dB dB
-3 dB输入带宽	-40 dBFS		8		MHz
辅助ADC输入通道					
直流精度	外部基准电压源				
积分非线性误差		-1.5	±0.5	+1.5	LSB
差分非线性误差		-0.8	±0.6	+1.0	LSB
增益误差		-2.5	±0.2	+2.5	LSB
失调误差		-5	±0.2	+5	LSB

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
交流性能	内部基准电压源				
信噪比(SNR)		90.0	93.0		dB
信纳比(SINAD)		89.5	92.5		dB
总谐波失真			-105		dB
无杂散动态范围(SFDR)			110		dB
内部基准电压源					
REFx输出电压	T _A = 25°C	4.088	4.096	4.104	V
REFx输出电流	T _A = 25°C		250		μA
REFx温度漂移	REFEN = 1		±5		ppm/°C
	REFEN = 0		±1		ppm/°C
REFx线性调整率	AVDD = 5 V ± 5%				
内部基准电压源			20		μV/V
仅缓冲器			4		μV/V
REFIN输出电压 ⁴	T _A = 25°C	2.495	2.500	2.505	V
开启建立时间	C _{REFIN} , C _{REF} ¹ , C _{REF} ² = 10 μF和0.1 μF		100		ms
外部基准电压源					
电压范围	REFx输入	4.000	4.096	4.104	V
	REFIN输入(缓冲)		2.5	2.505	V
耗用电流	V _{REF} = 4.096 V		100		μA
温度传感器					
输出电压	T _A = 25 °C		275		mV
温度灵敏度			800		μV/°C
数字输入					
逻辑电平					
V _{IL}	V _{IO} > 3 V	-0.3		+0.3 × V _{IO}	V
V _{IH}	V _{IO} > 3 V	0.7 × V _{IO}		V _{IO} + 0.3	V
V _{IL}	V _{IO} ≤ 3 V	-0.3		+0.1 × V _{IO}	V
V _{IH}	V _{IO} ≤ 3 V	0.9 × V _{IO}		V _{IO} + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
数字输出 ⁵					
数据格式			二进制补码		
V _{OL}	I _{SINK} = +500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	V _{IO} - 0.3			V
电源	PD = 0				
V _{IO}		1.8		AVDD + 0.3	V
AVDD		4.75	5	5.25	V
DVDD		4.75	5	5.25	V
VDDH ⁶	VDDH > 输入电压 + 2.5 V	14.25	15	15.75	V
VSSH ⁶	VSSH < 输入电压 - 2.5 V	-15.75	-15	-14.25	V
I _{VDDH}	PGIA增益 = 0.16		3.0	3.5	mA
	PGIA增益 = 0.2		3.0	3.5	mA
	PGIA增益 = 0.4		3.5	4.0	mA
	PGIA增益 = 0.8		5.0	5.5	mA
	PGIA增益 = 1.6		8.5	9.5	mA
	PGIA增益 = 3.2		15.5	17.5	mA
	PGIA增益 = 6.4		15.5	17.5	mA
	所有PGIA增益, PD = 1		100		μA

ADAS3022

参数	测试条件/注释	最小值	典型值	最大值	单位 ¹
I _{VSSH}	PGIA增益 = 0.16	-3.0	-2.5		mA
	PGIA增益 = 0.2	-3.0	-2.5		mA
	PGIA增益 = 0.4	-3.5	-3.0		mA
	PGIA增益 = 0.8	-5.5	-4.5		mA
	PGIA增益 = 1.6	-9.5	-8.0		mA
	PGIA增益 = 3.2	-17.5	-15		mA
	PGIA增益 = 6.4	-17.5	-15		mA
	所有PGIA增益, PD = 1		10		μA
I _{AVDD}	PGIA增益 = 6.4, 基准电压缓冲器使能		18	21.0	mA
	所有其它PGIA增益, 基准电压缓冲器使能		16	19.0	mA
	PGIA增益 = 6.4, 基准电压缓冲器禁用		14	17.5	mA
	所有其它PGIA增益, 基准电压缓冲器禁用		12	16.0	mA
I _{DVDD}	所有PGIA增益, PD = 1		100		μA
	所有PGIA增益, PD = 0		2.5	3.5	mA
I _{VIO}	所有PGIA增益, PD = 1		10		μA
	VIO = 3.3 V, PD = 0		0.30	1.2	mA
电源灵敏度 T _A = 25°C	外部基准电压源				
	PGIA增益 = 0.16, 0.2, 0.4, 0.8; VDDH/VSSH ± 5%		±0.5		LSB
	PGIA增益 = 3.2, VDDH/VSSH ± 5%		±1.0		LSB
	PGIA增益 = 6.4, VDDH/VSSH ± 5%		±2.0		LSB
	PGIA增益 = 0.16, AVDD/DVDD ± 5%		±0.6		LSB
	PGIA增益 = 0.2, AVDD/DVDD ± 5%		±0.8		LSB
	PGIA增益 = 0.4, AVDD/DVDD ± 5%		±1.0		LSB
	PGIA增益 = 0.8, AVDD/DVDD ± 5%		±1.5		LSB
	PGIA增益 = 1.6, AVDD/DVDD ± 5%		±2.0		LSB
	PGIA增益 = 3.2, AVDD/DVDD ± 5%		±3.5		LSB
	PGIA增益 = 6.4, AVDD/DVDD ± 5%		±7.0		LSB
温度范围					
额定性能	T _{MIN} 至T _{MAX}	-40		+85	°C

¹ LSB表示最低有效位, 根据电压范围而变化。LSB大小见“可编程增益”部分。

² PGIA增益为0.16或0.2的共模电压(V_{CM})范围为0 V。

³ 除非另有说明, 所有用分贝(dB)表示的交流精度规格均参考满量程输入FSR, 并用低于满量程0.5 dB的输入信号进行测试。

⁴ 内部带隙基准电压源的输出。

⁵ 无流水线延迟。转换完成后立即提供转换结果。

⁶ 差分输入共模电压(V_{CM})范围根据所选最大输入范围和高电压电源的变化而改变(VDDH和VSSH)。注意, 任何输入引脚的额定工作输入电压相对于VDDH和VSSH电源都需要具有2.5 V的裕量; 因此, (VSSH + 2.5 V) ≤ I_{Nx/COM} ≤ (VDDH - 2.5 V)。

时序规格

VDDH = 15 V ± 5%, VSSH = -15 V ± 5%, AVDD = DVDD = 5 V ± 5%, VIO = 1.8 V至AVDD(内部基准电压源), V_{REF} = 4.096 V, f_s = 1 MSPS。除非另有说明, 所有规格均相对于T_{MIN}至T_{MAX}而言。

表3.

参数	符号	最小值	典型值	最大值	单位
转换间隔时间	t _{CYC}	1		1000	μs
Warp模式 ¹ , CMS = 0		1.1			μs
正常模式(默认), CMS = 1					
转换时间: CNV上升沿至数据可用	t _{CONV}		825		ns
Warp模式, CMS = 0			925		ns
正常模式(默认), CMS = 1				1000	ns
辅助ADC输入通道采集时间	t _{ACQ}	600			ns
CNV脉冲宽度	t _{CH}	10			ns
CNV高电平至保持时间(孔径延迟)	t _{AD}		2		ns
CNV高电平至Busy延迟	t _{CBT}			520	ns
转换期间的安全数据访问时间	t _{DDC}			500	ns
静默转换时间(BUSY高电平)	t _{QUIET}			400	ns
Warp模式, CMS = 0				500	ns
正常模式(默认), CMS = 1					
静默转换期间的数据访问时间	t _{DDCA}			200	ns
Warp模式, CMS = 0				300	ns
正常模式(默认), CMS = 1					
SCK周期	t _{SCK}	15			ns
SCK低电平时间	t _{SCKL}	5			ns
SCK高电平时间	t _{SCKH}	5			ns
SCK下降沿至数据有效	t _{SDOH}	4			ns
SCK下降沿至数据有效延迟时间	t _{SDOD}				
VIO > 4.5 V				12	ns
VIO > 3.0 V				18	ns
VIO > 2.7 V				24	ns
VIO > 2.3 V				25	ns
VIO > 1.8 V				37	ns
\overline{CS} /RESET/PD低电平至SDO	t _{EN}				
VIO > 4.5 V				15	ns
VIO > 3.0 V				16	ns
VIO > 2.7 V				18	ns
VIO > 2.3 V				23	ns
VIO > 1.8 V				28	ns
\overline{CS} /RESET/PD高电平至SDO高阻抗	t _{DIS}			25	ns
SCK上升沿至DIN有效设置时间	t _{DINS}	4			ns
SCK上升沿至DIN有效保持时间	t _{DINH}	4			ns
CNV上升沿至 \overline{CS}	t _{CCS}	5			ns
RESET/PD高电平脉冲	t _{RH}	5			ns

¹ 超过最长时间会对转换精度产生影响(见“转换模式”部分)。

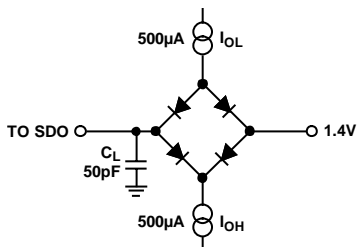
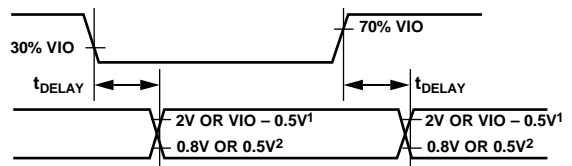


图2. 数字接口时序的负载电路

10516-002

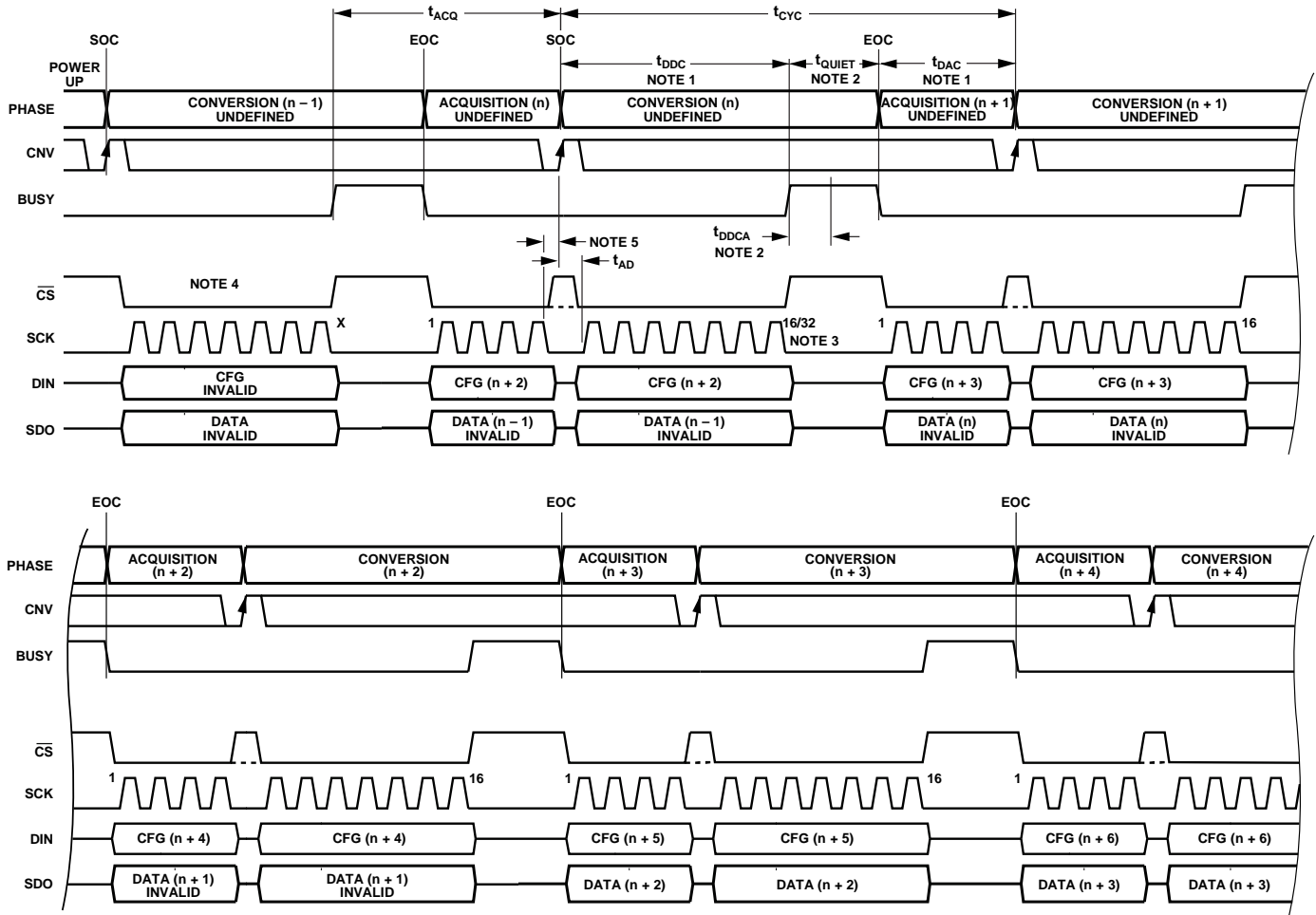


12V IF VIO > 2.5V; VIO - 0.5V IF VIO < 2.5V.
20.8V IF VIO > 2.5V; 0.5V IF VIO < 2.5V.

图3. 时序的电平

10516-003

ADAS3022



NOTES

1. DATA ACCESS CAN OCCUR DURING A CONVERSION (t_{DDC}), AFTER A CONVERSION (t_{DAC}), OR BOTH DURING AND AFTER A CONVERSION. THE CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF A CONVERSION (EOC).
2. DATA ACCESS CAN ALSO OCCUR UP TO t_{DDCA} WHILE BUSY IS ACTIVE (SEE THE DIGITAL INTERFACE SECTION FOR DETAILS). ALL OF THE BUSY TIME CAN BE USED TO ACQUIRE DATA.
3. A TOTAL OF 16 SCK FALLING EDGES IS REQUIRED FOR A CONVERSION RESULT. AN ADDITIONAL 16 EDGES ARE REQUIRED TO READ BACK THE CFG RESULT ASSOCIATED WITH THE CURRENT CONVERSION.
4. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} WITH FULL INDEPENDENT CONTROL IS SHOWN IN THIS FIGURE.
5. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING EDGE. A MINIMUM TIME OF THE APERTURE DELAY (t_{AD}) SHOULD ELAPSE PRIOR TO DATA ACCESS.

图4. 一般时序图

10616-028

绝对最大额定值

表4.

参数	额定值
模拟输入/输出	
Inx, COM至AGND	VSSH - 0.3 V至VDDH + 0.3 V
AUX+, AUX-至AGND	-0.3 V至AVDD + 0.3 V
REFx至AGND	AGND - 0.3 V至AVDD + 0.3 V
REFIN至AGND	AGND - 0.3 V至+2.7 V
REFN至AGND	±0.3 V
地电压差	
AGND, RGND, DGND	±0.3 V
电源电压	
VDDH至AGND	-0.3 V至+16.5 V
VSSH至AGND	+0.3 V至-16.5 V
AVDD, DVDD, VIO至AGND	-0.3 V至+7 V
ACAP, DCAP, RCAP至GND	-0.3 V至+2.7 V
数字输入/输出	
CNV, DIN, SCK, RESET, PD, \overline{CS} 至DGND	-0.3 V至VIO + 0.3 V
SDO, BUSY至DGND	-0.3 V至VIO + 0.3 V
内部功耗	2 W
结温	125°C
存储温度范围	-65°C至+125°C
θ_{JA} 热阻	44.1°C/W
θ_{JC} 热阻	0.28°C/W

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

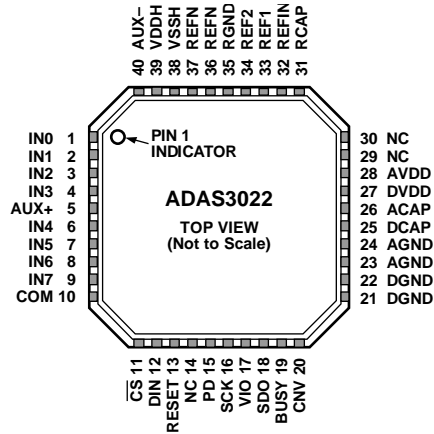
ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述



- NOTES
1. NC = NO CONNECT. THIS PIN IS NOT INTERNALLY CONNECTED.
 2. THE EXPOSED PADDLE SHOULD BE CONNECTED TO VSSH.

图5. 引脚配置

表5. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1至4	IN0至IN3	AI	输入通道0至输入通道3。
5	AUX+	AI	辅助输入通道的正输入端。
6至9	IN4至IN7	AI	输入通道4至输入通道7。
10	COM	AI	IN[7:0]公共通道输入。IN[7:0]输入通道可以参考一个公共点。对于所有PGA增益，此引脚的最大电压为±10.24 V；但PGA增益为0.16时除外，此时该引脚最大电压为±12.228 V。AUX+和AUX-不参考COM。
11	\overline{CS}	DI	片选。低电平有效信号。使能写入和读取数据的数字接口。共用串行总线时使用此引脚。对于ADAS3022专用串行接口而言， \overline{CS} 可连接至DGND或CNV，以简化接口。
12	DIN	DI	数据输入。串行数据输入，用于写入锁存在SCK上升沿的16位配置字(CFG)。CFG是内部寄存器，在转换结束时的上升沿更新，即BUSY的下降沿。可以在转换期间和转换后写入配置寄存器。
13	复位	DI	异步复位。低电平至高电平转换可复位ADAS3022。中断电流转换(若已激活)并复位CFG至默认状态。
14, 29, 30	NC	NC	不连接。此引脚不在内部连接。
15	PD	DI	关断。低电平至高电平转换可关断ADAS3022，使偏置电流最小。注意此引脚必须保持在高电平，直到用户准备对器件上电；器件上电后，用户必须等待100 ms，直到基准电压源使能，然后等待器件完成两次伪转换，才可开始转换。详情参见“关断模式”部分。
16	SCK	DI	串行时钟输入。发送至ADAS3022和来自该器件的DIN和SDO数据与SCK同步。
17	VIO	P	数字接口电源。此电源的标称值应与主机接口的电源电压相等：1.8 V、2.5 V、3.3 V或5 V。
18	SDO	DO	串行数据输出。转换结果通过此引脚输出，与SCK下降沿同步。转换结果以二进制补码格式输出。
19	BUSY	DO	输出繁忙。此引脚上的高电平有效信号表示正在进行转换。在静默转换期间(t_{QUIET})读取或写入数据可能造成错误的位判断。
20	CNV	DI	转换输入。转换在此引脚的上升沿启动。
21, 22	DGND	P	数字地。这些引脚连接到系统数字接地层。
23, 24	AGND	P	模拟地。这些引脚连接到系统模拟接地层。
25	DCAP	P	内部2.5 V数字调节器输出引脚。使用一个10 μ F电容和一个0.1 μ F本地电容对此内部调节输出进行去耦。
26	ACAP	P	内部2.5 V模拟调节器输出引脚。该调节器为内部ADC内核以及所有支持的模拟电路提供电源，但内部基准电压源除外。使用一个10 μ F电容和一个0.1 μ F本地电容对此内部调节输出进行去耦。

引脚编号	引脚名称	类型 ¹	描述
27	DVDD	P	5 V数字电源。使用一个10 μF电容和一个0.1 μF本地电容对此电源进行去耦。
28	AVDD	P	5 V模拟电源。使用一个10 μF电容和一个0.1 μF本地电容对此电源进行去耦。
31	RCAP	P	内部2.5 V模拟调节器输出引脚。该调节器为内部基准电压源提供电源。使用一个与RCAP相连的1 μF电容和一个0.1 μF本地电容对此引脚进行去耦。
32	REFIN	AI/O	内部2.5 V带隙基准电压源输出、基准电压缓冲器输入或基准电压源关断输入。详情参见“基准电压源输入/输出”部分。
33, 34	REF1, REF2	AI/O	基准电压输入/输出。无论何种基准源，这些引脚都需要通过外部10 μF陶瓷电容进行单独去耦，并且陶瓷电容应尽可能靠近REF1、REF2和REFN。详情参见“基准电压源输入/输出”部分。REF1和REF2必须在外部连在一起。
35	RGND	P	基准电压源地。此引脚连接到系统模拟接地层。
36, 37	REFN	P	基准电压输入/输出地。将REF1和REF2上的10 μF电容与这些引脚相连，并将这些引脚与系统模拟接地层相连。
38	VSSH	P	高电压模拟负电源。此引脚的电源标称值为-15 V。使用一个10 μF电容和一个0.1 μF本地电容对此引脚进行去耦。
39	VDDH	P	高电压模拟正电源。此引脚的电源标称值为+15 V。使用一个10 μF电容和一个0.1 μF本地电容对此引脚进行去耦。
40	AUX-EPAD	AI	辅助输入通道的负输入端。 裸露焊盘。裸露焊盘应接到VSSH。

¹ AI = 模拟输入，AI/O = 模拟输入/输出，DI = 数字输入，DO = 数字输出，P = 电源。

典型性能参数

除非另有说明, VDDH = 15 V, VSSH = -15 V, AVDD = DVDD = 5 V, VIO = 1.8 V至AVDD。

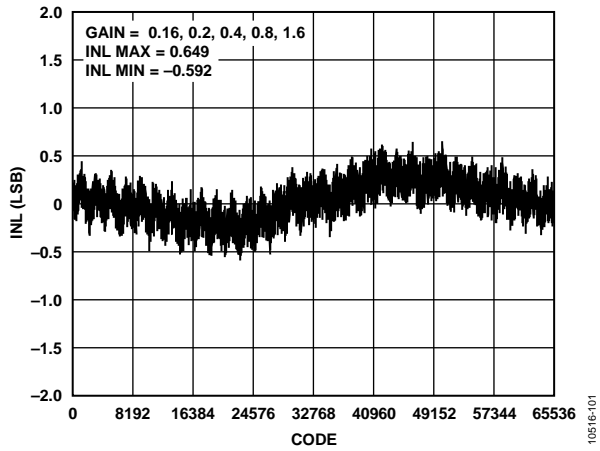


图6. 积分非线性与码的关系, PGIA增益 = 0.16、0.2、0.4、0.8和1.6

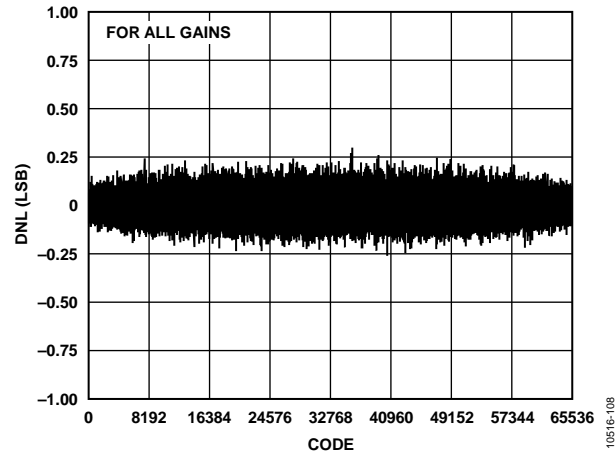


图9. 差分非线性与码的关系, 所有PGIA增益

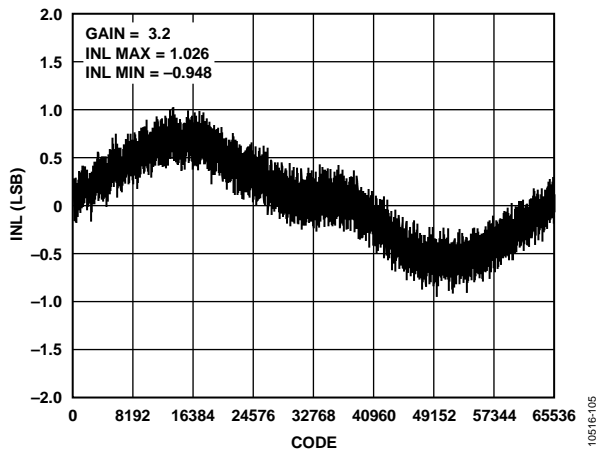


图7. 积分非线性与码的关系, PGIA增益 = 3.2

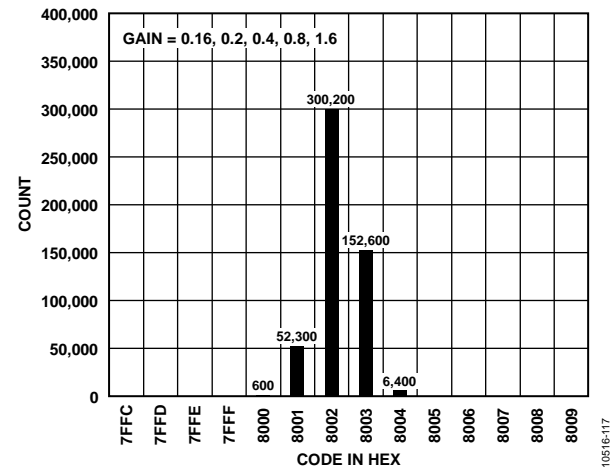


图10. 一个直流输入的直方图(码中心), PGIA增益 = 0.16、0.2、0.4、0.8和1.6

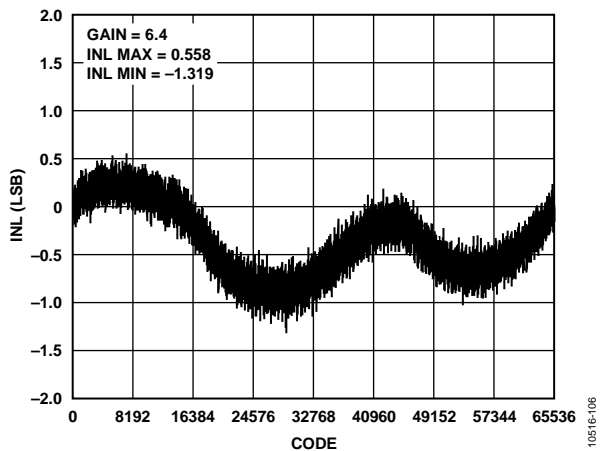


图8. 积分非线性与码的关系, PGIA增益 = 6.4

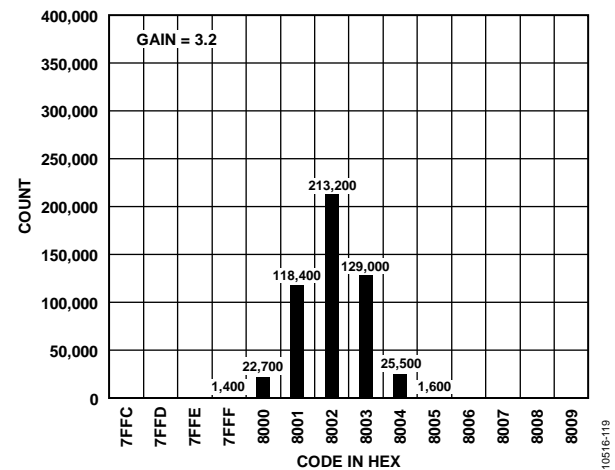


图11. 一个直流输入的直方图(码中心), PGIA增益 = 3.2

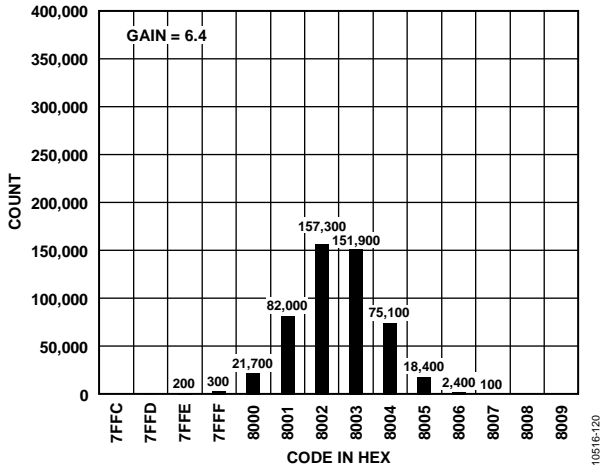


图12. 一个直流输入的直方图(码中心), PGIA增益 = 6.4

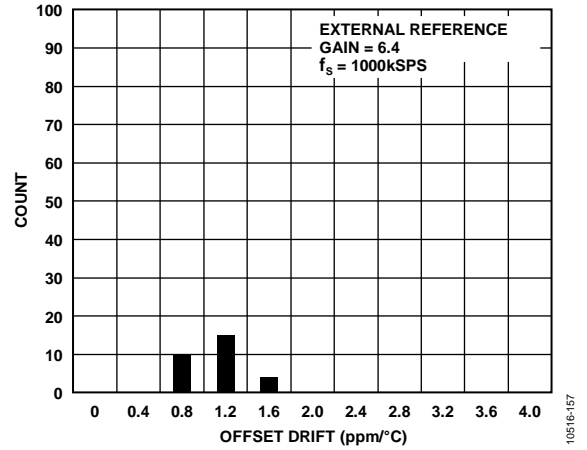


图15. 失调漂移, PGIA增益 = 6.4

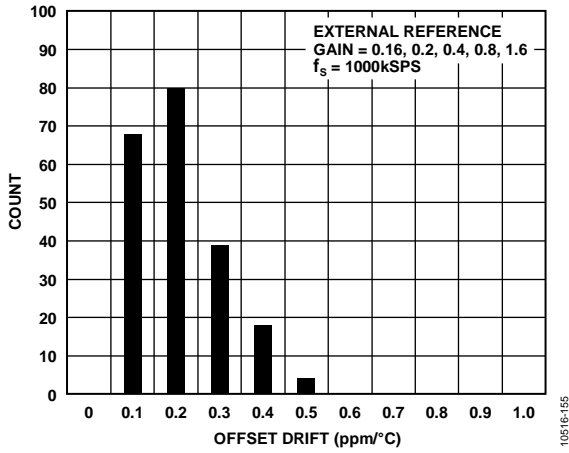


图13. 失调漂移, PGIA增益 = 0.16、0.2、0.4、0.8和1.6

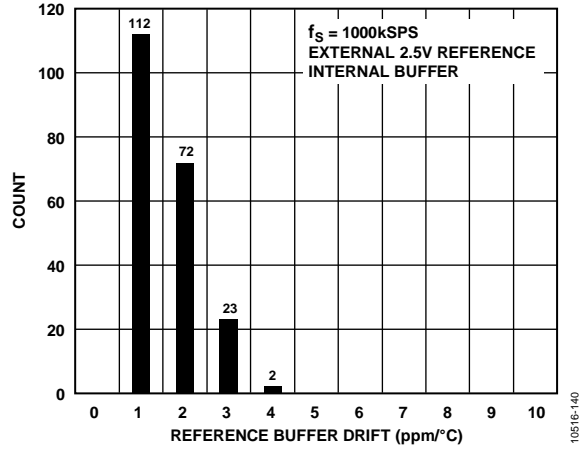


图16. 基准电压缓冲器漂移, 外部基准电压源

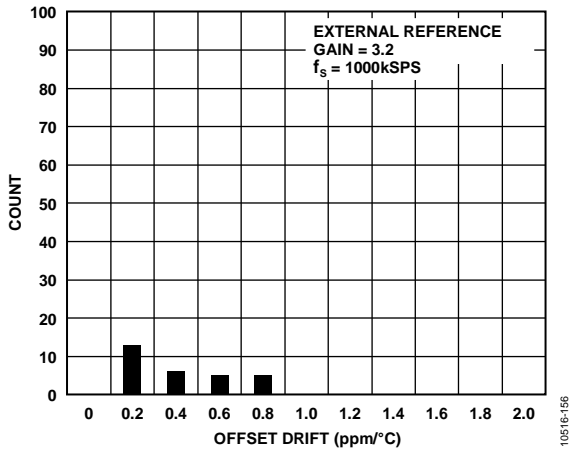


图14. 失调漂移, PGIA增益 = 3.2

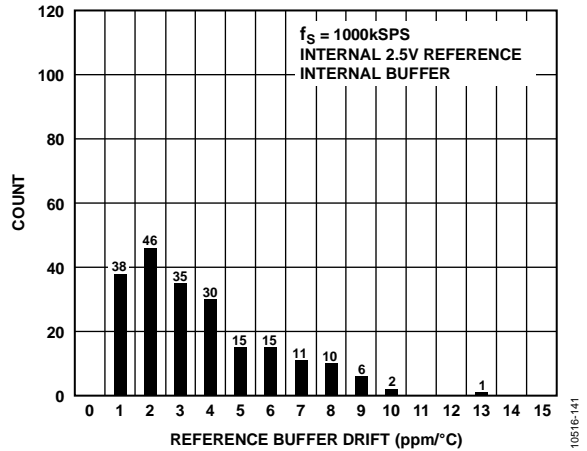


图17. 基准电压缓冲器漂移, 内部基准电压源

ADAS3022

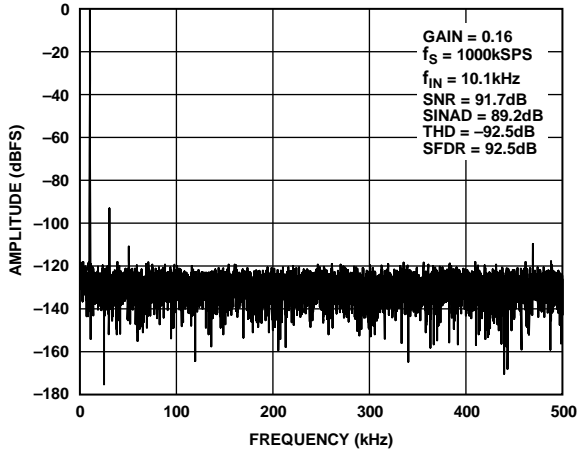


图18. 10 kHz FFT, PGIA增益 = 0.16

10516-121

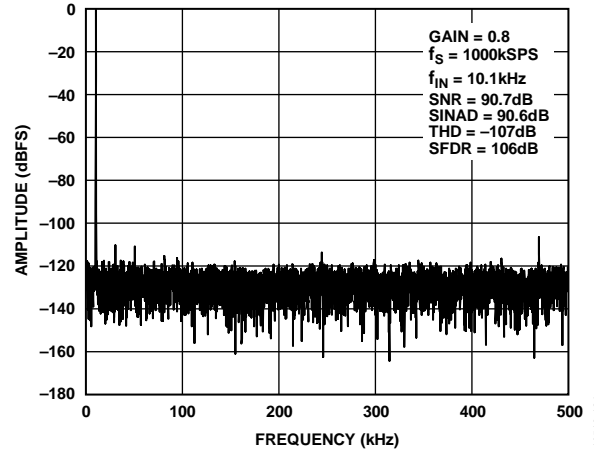


图21. 10 kHz FFT, PGIA增益 = 0.8

10516-124

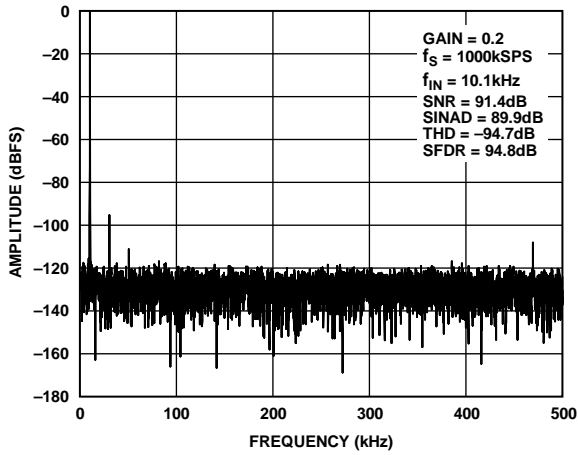


图19. 10 kHz FFT, PGIA增益 = 0.2

10516-122

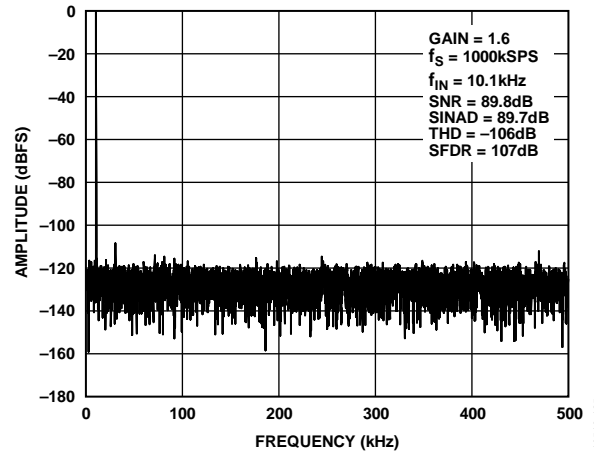


图22. 10 kHz FFT, PGIA增益 = 1.6

10516-125

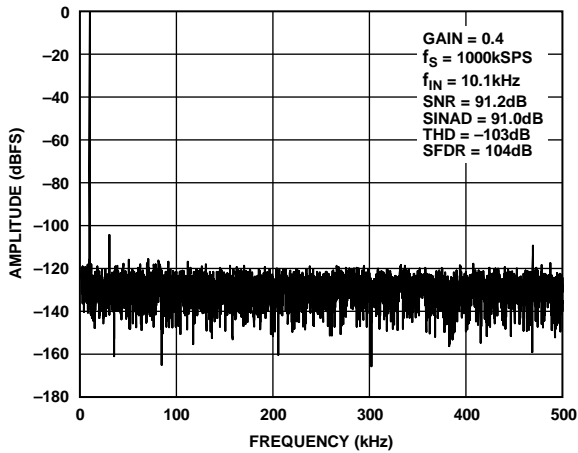


图20. 10 kHz FFT, PGIA增益 = 0.4

10516-123

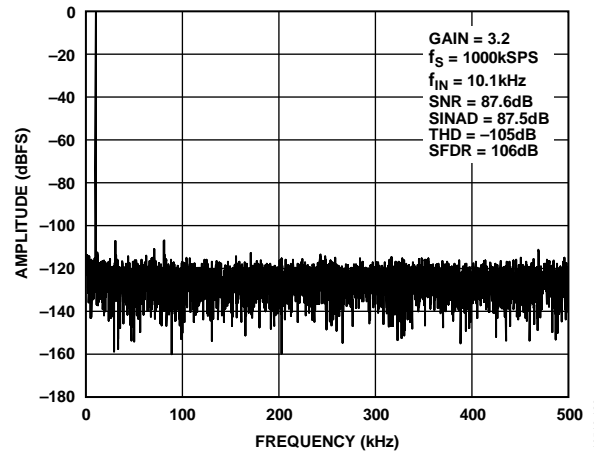


图23. 10 kHz FFT, PGIA增益 = 3.2

10516-126

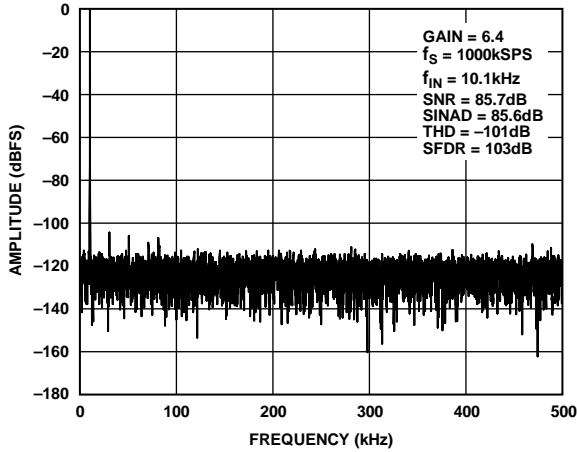


图24. 10 kHz FFT, PGA增益 = 6.4

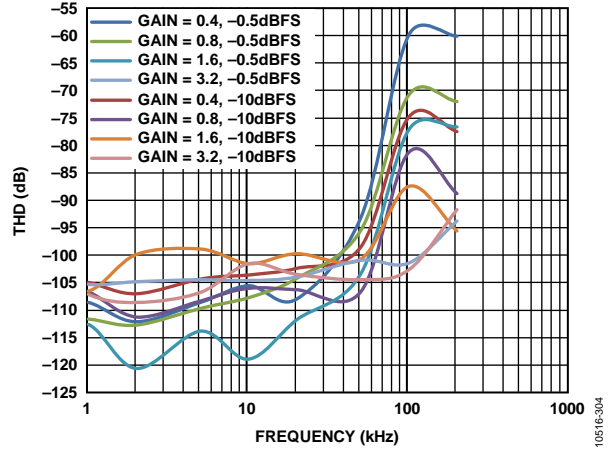


图27. THD与频率的关系

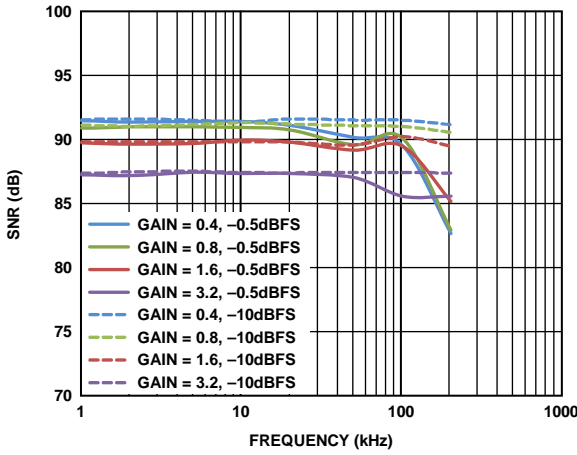


图25. SNR与频率的关系

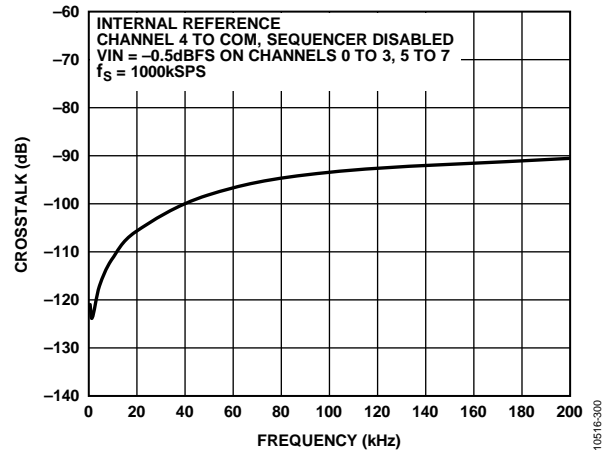


图28. 串扰与频率的关系

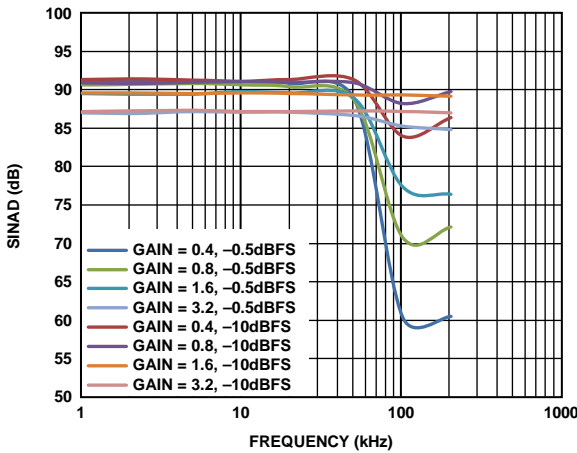


图26. SINAD与频率的关系

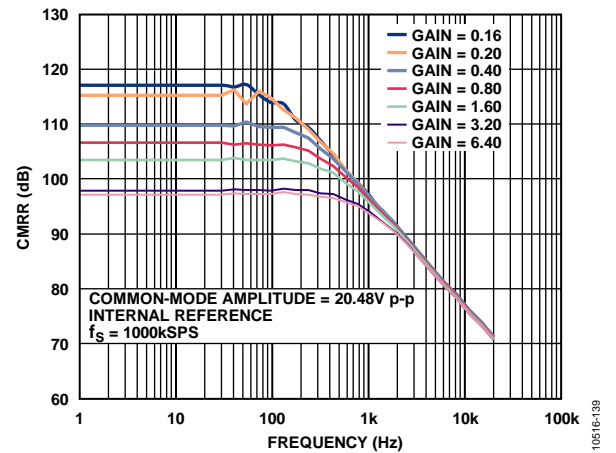


图29. CMRR与频率的关系

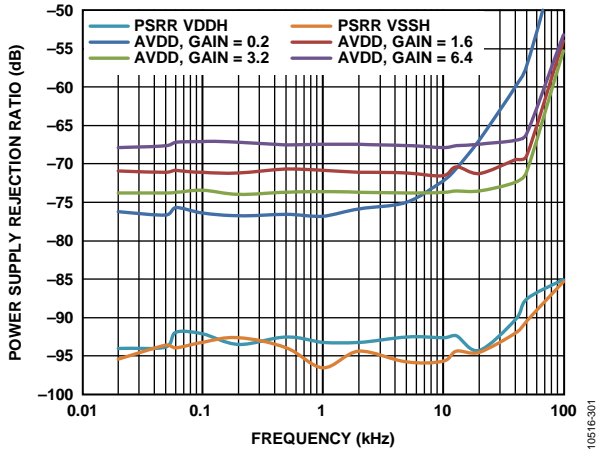


图30. PSRR与频率的关系

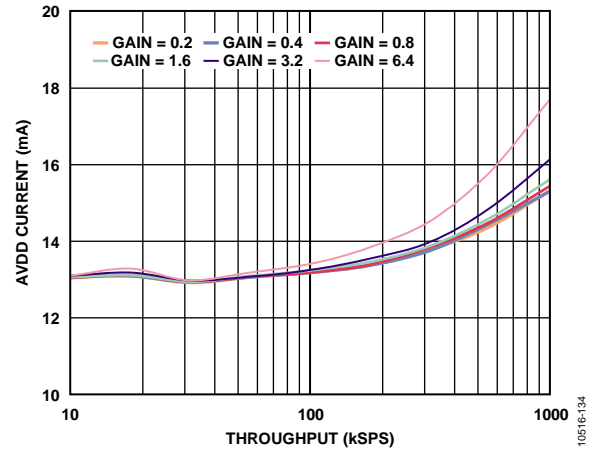


图33. AVDD电流与吞吐速率的关系，内部基准电压源

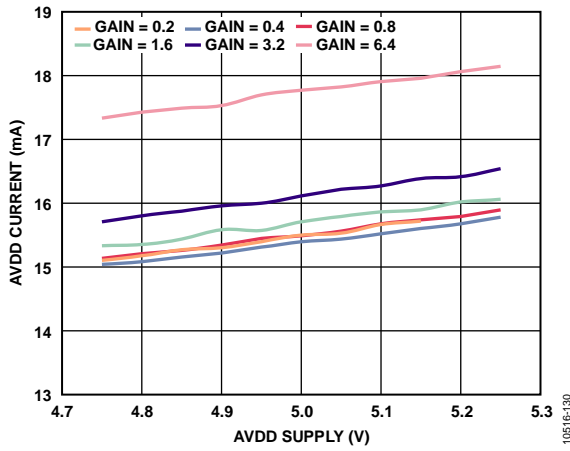


图31. AVDD电流与电源的关系，内部基准电压源

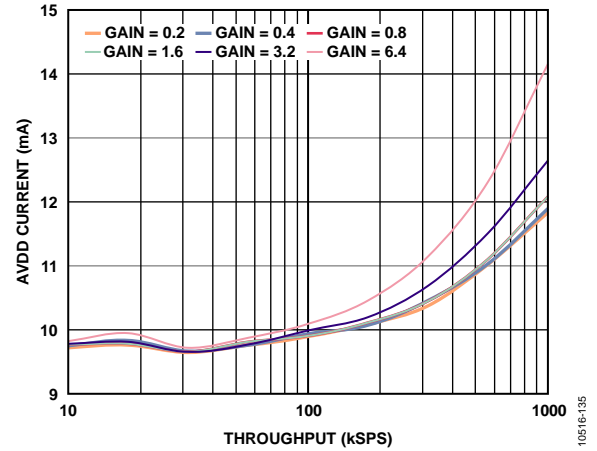


图34. AVDD电流与吞吐速率的关系，外部基准电压源

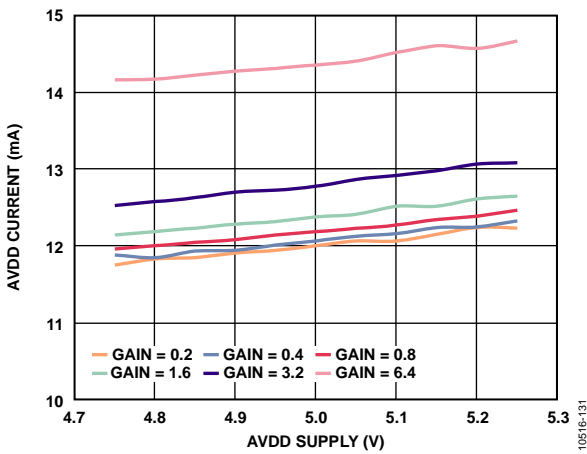


图32. AVDD电流与电源的关系，外部基准电压源

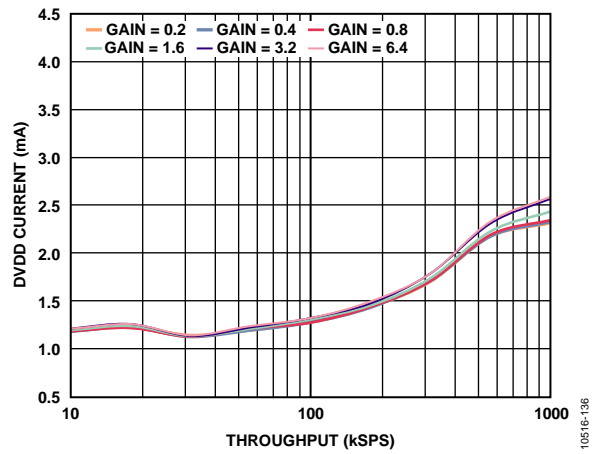


图35. DVDD电流与吞吐速率的关系

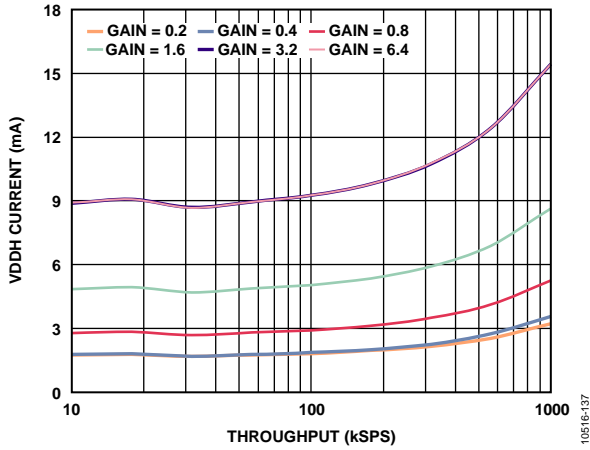


图36. VDDH电流与吞吐速率的关系

10516-137

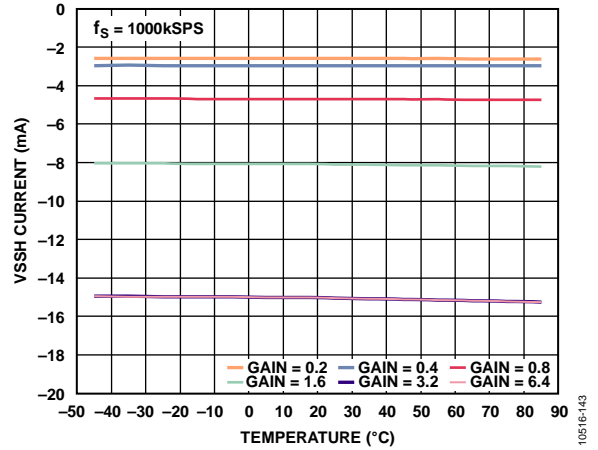


图39. VSSH电流与温度的关系

10516-143

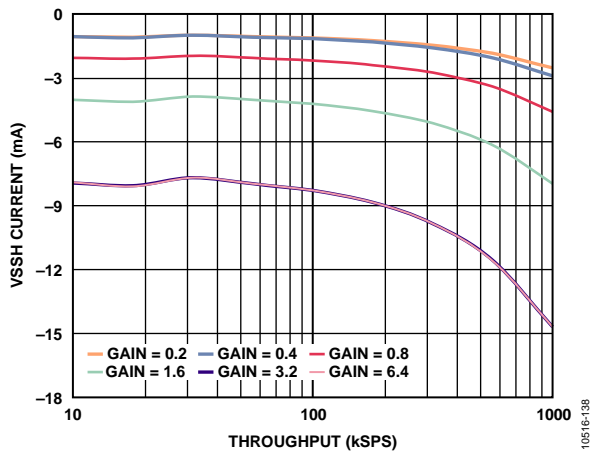


图37. VSSH电流与吞吐速率的关系

10516-138

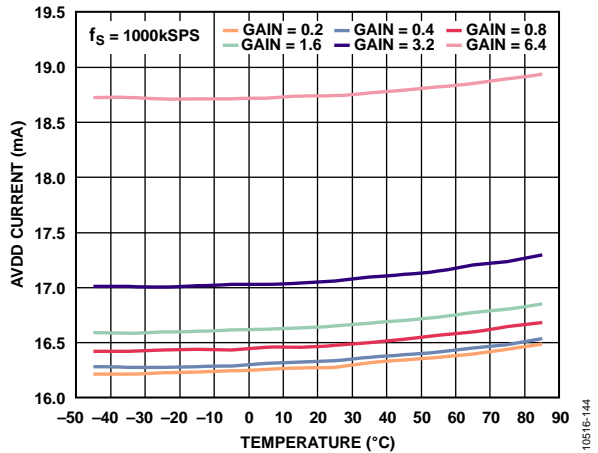


图40. AVDD电流与温度的关系

10516-144

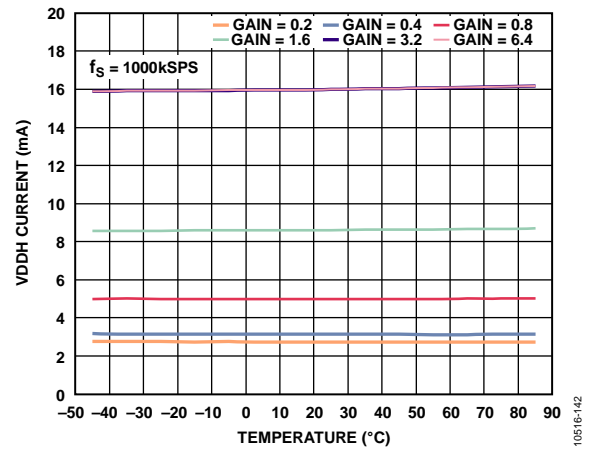


图38. VDDH电流与温度的关系

10516-142

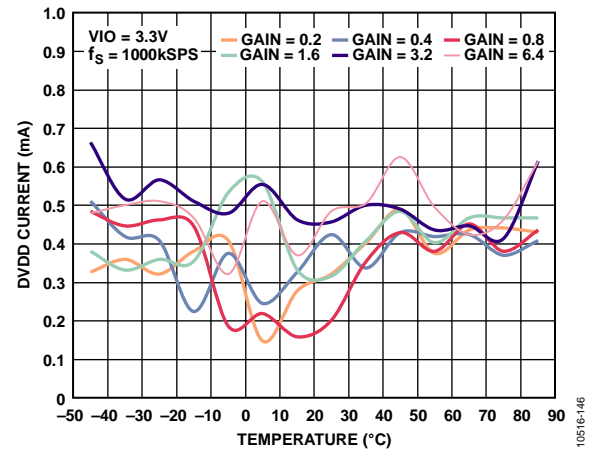


图41. DVDD电流与温度的关系

10516-146

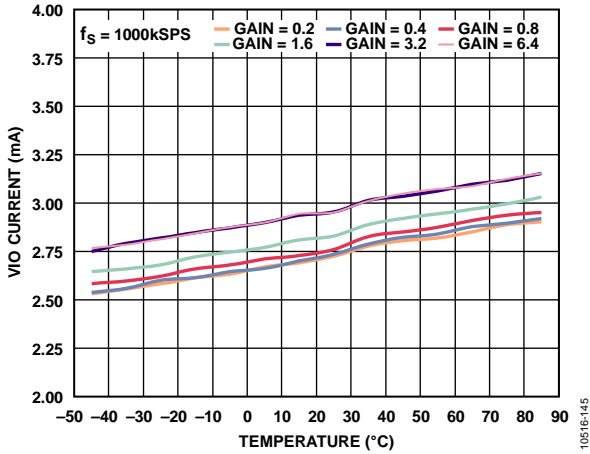


图42. VIO电流与温度的关系

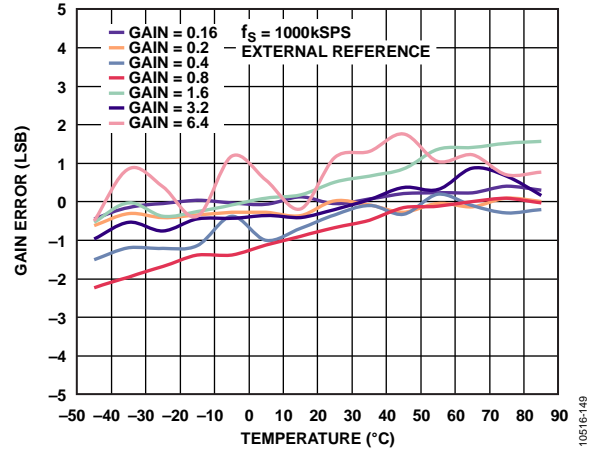


图45. 增益误差与温度的关系

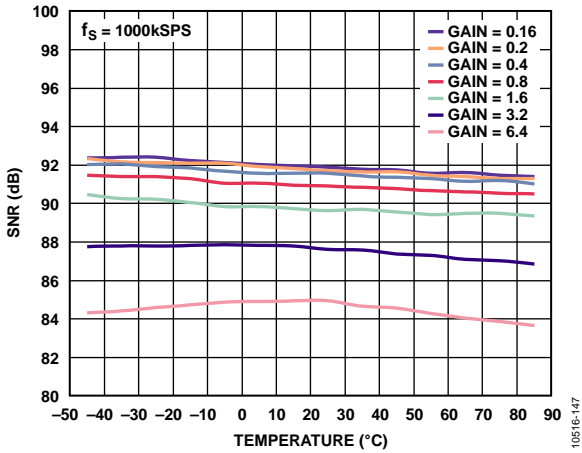


图43. SNR与温度的关系

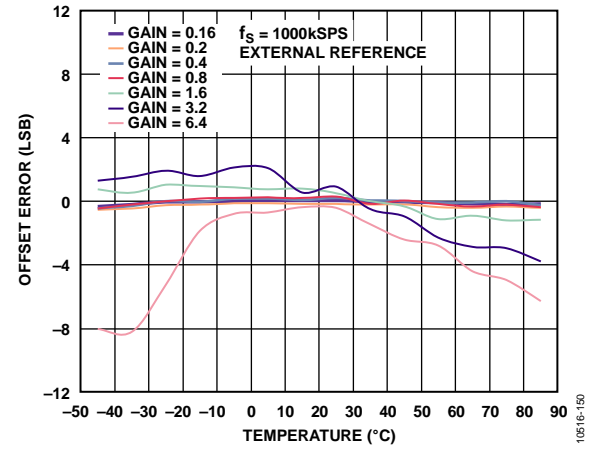


图46. 失调误差与温度的关系

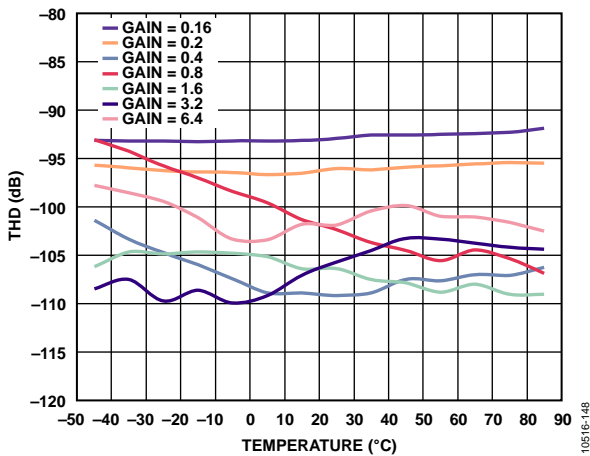


图44. THD与温度的关系

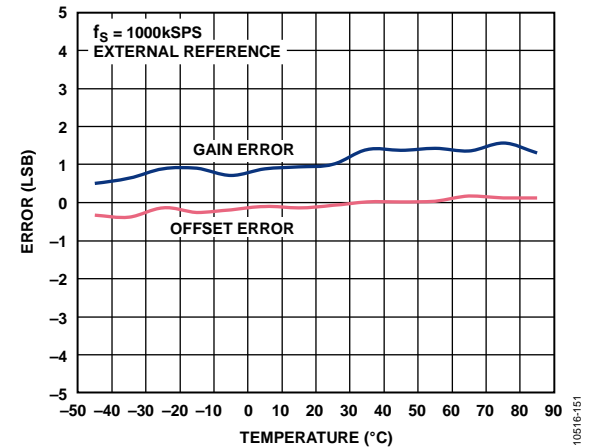


图47. AUX ADC通道对的失调和增益误差与温度的关系

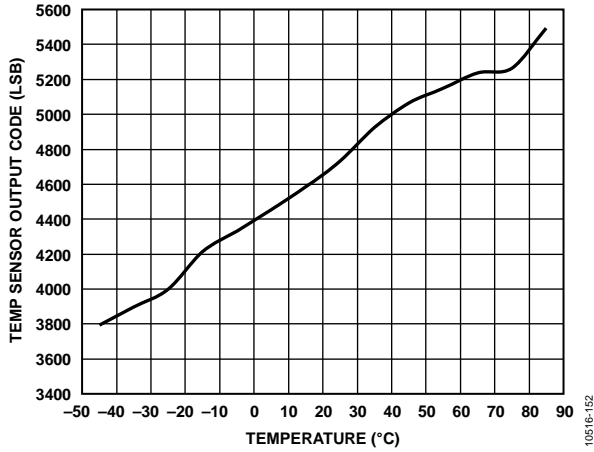


图48. 温度传感器输出码与温度的关系

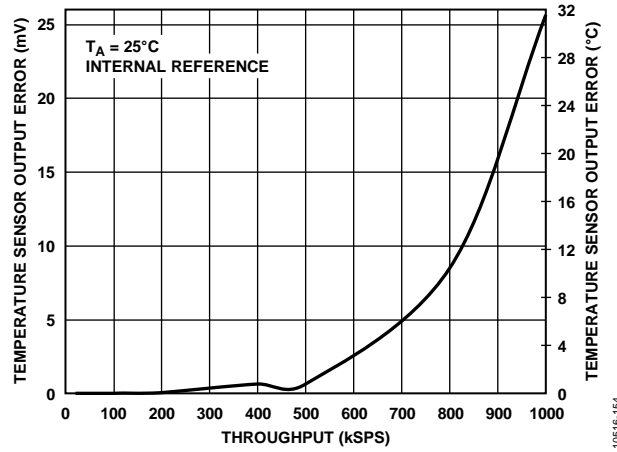


图50. 温度传感器输出误差与吞吐速率的关系

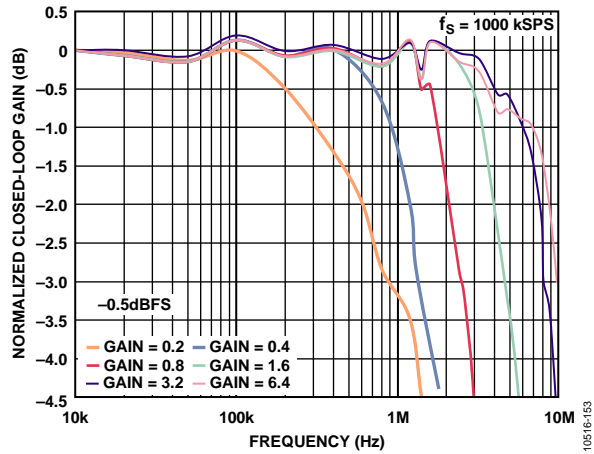


图49. 大信号频率响应与增益的关系

10516-152

10516-154

10516-153

术语

工作输入电压范围

输入通道IN[7:0]和COM上允许的工作输入电压范围为最大输入电压范围，包括共模电压。

差分输入电压范围

差分输入电压范围为最大差分满量程输入范围。数值随可编程增益设置而改变。

通道关断泄漏

通道关断泄漏是通道关断时的泄漏电流。

通道导通泄漏

通道导通泄漏是通道导通时的泄漏电流。

电荷注入

电荷注入衡量获取样本和/或开关多路复用器时，通过模拟输入引脚向源传输的突波脉冲。

共模抑制比(CMRR)

CMRR是转换结果中折合到输入端的信号幅度与一对输入经共模调制后的幅度之比，以分贝(dB)表示。CMRR衡量ADAS3022抑制噪声信号的能力，比如输入端常见的电源线噪声。本规格针对20.48 V p-p的2 kHz正弦波施加于一对输入的全部两个通道的情况而言。

瞬态响应：

瞬态响应衡量系统在施加满量程阶跃信号后，ADAS3022对输入进行准确采集所需的时间。

最低有效位(LSB)

LSB是转换器可以表示的最小增量。对于N位分辨率的全差分输入ADC，LSB(单位：伏特)的计算公式如下：

$$LSB(V) = \frac{2V_{REF}}{2^N}$$

积分非线性(INL)误差

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图53)。

差分非线性(DNL)误差

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

失调误差

失调误差指实际MSB与理想MSB转换点的偏差。理想MSB转换发生在比模拟地高 $\frac{1}{2}$ LSB的输入电平处。

增益误差

当一个模拟电压低于标称满量程 $1\frac{1}{2}$ LSB时，发生最后一个码转换(从111 ... 10到111 ... 11)。增益误差是指在消除失调误差之后，最后一个码转换的实际电平与理想电平的偏差，用LSB(或满量程范围的百分比)表示。与之非常相似的一个参数是满量程误差(也用LSB或满量程范围的百分比表示)，后者包括失调误差的影响。

总不可调整误差(TUE)

TUE是每个码与理想传递函数的偏差，是所有误差源的组合，包括非线性、失调误差和增益误差。ADAS3022的TUE是以LSB(或满量程范围的百分比)表示的最大偏差。

孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号可进行转换的时间。

动态范围

动态范围指满量程信号的均方根值与输入短接在一起时测得的总均方根噪声之比，用分贝(dB)表示。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用分贝(dB)表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流以外的所有其它频谱成分的均方根和之比，用分贝(dB)表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用分贝(dB)表示。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

通道间串扰

通道间串扰衡量任意通道之间，以及与其它所有通道之间的串扰水平，其测量方法是将一个直流输入信号施加于待测通道，并将一个满量程10 kHz正弦波信号施加于其它所有通道。泄漏进入测试通道的信号量即为串扰，用分贝(dB)表示。

基准电压温度系数

基准电压温度系数是利用一批样品器件，分别在 T_{MIN} 、 $T(25^{\circ}\text{C})$ 和 T_{MAX} 测量最大和最小基准输出电压(V_{REF})，然后根据此得出输出电压在 25°C 时的典型偏移。该值以 $\text{ppm}/^{\circ}\text{C}$ 表示，计算公式为：

$$TCV_{REF}(\text{ppm}/^{\circ}\text{C}) = \frac{V_{REF}(\text{Max}) - V_{REF}(\text{Min})}{V_{REF}(25^{\circ}\text{C}) \times (T_{MAX} - T_{MIN})} \times 10^6$$

其中：

$V_{REF}(\text{Max})$ 为 T_{MIN} 、 $T(25^{\circ}\text{C})$ 或 T_{MAX} 时的最大基准输出电压。

$V_{REF}(\text{Min})$ 为 T_{MIN} 、 $T(25^{\circ}\text{C})$ 或 T_{MAX} 时的最小基准输出电压。

$V_{REF}(25^{\circ}\text{C})$ 为 25°C 时的基准输出电压。

$T_{MAX} = +85^{\circ}\text{C}$ 。

$T_{MIN} = -40^{\circ}\text{C}$ 。

工作原理

概述

ADAS3022是首款在单芯片上集成典型元器件的数据采集系统，是一款易于使用、可供编程的器件。这款单芯片解决方案的总吞吐速率为每秒最多能转换1,000,000个样本(1 MSPS)。ADAS3022特性

- 高阻抗输入
- 高共模抑制
- 8通道、低串扰多路复用器(mux)
- 可编程增益仪表放大器(PGIA)具有±0.64 V至±24.576 V的7个可选差分输入范围
- 16位无失码的PulSAR® ADC
- 内部、精密、低漂移、4.096 V基准电压源和缓冲器
- 温度传感器
- 通道序列器

ADAS3022采用ADI专利的高压iCMOS®工艺，电源电压为±15 V时允许高达±24.576 V的差分输入电压范围，适合工业应用。

该器件采用小型、6 mm × 6 mm、40引脚LFCSP封装，工作温度为-40°C至+85°C工业温度范围。具有类似电路的典型分立式多通道数据采集系统所需的电路板空间至少是本解决方案的三倍。因此，ADAS3022解决方案的优势包括更小的尺寸和更简单的设计要求，以便加快产品上市时间，降低成本。

ADAS3022工作原理

如图51所示，ADAS3022内部模拟电路由一个高阻抗、低泄漏多路复用器和一个可编程增益仪表放大器组成，放大器支持±0.64 V、±1.28 V、±2.56 V、±5.12 V、±10.24 V、±20.48 V和±24.576 V满量程差分电压输入。ADAS3022可配置为使用最多8个单端输入通道或4对通道，即使用8通道时每通道为125 kSPS，而使用4个通道对时每通道为高效的250 kSPS。使用内部温度传感器，该器件还可提供相对温度测量。此外，差分辅助通道对(AUX+和AUX-)的额定输入电压范围为±V_{REF}。该选项可旁路多路复用器和PGIA级，允许直接访问SAR ADC内核。

减少通道或通道对的数目可增加吞吐速率，增加量与采样通道乘以总吞吐速率的倒数成一定比例：

$$1/(\text{通道或通道对的数目}) \times 1000 \text{ kSPS}$$

对于单个通道或通道对而言，最大吞吐速率为1 MSPS。对于全部8个通道、AUX通道对和温度传感器而言，给定通道的吞吐速率降为100 kSPS。

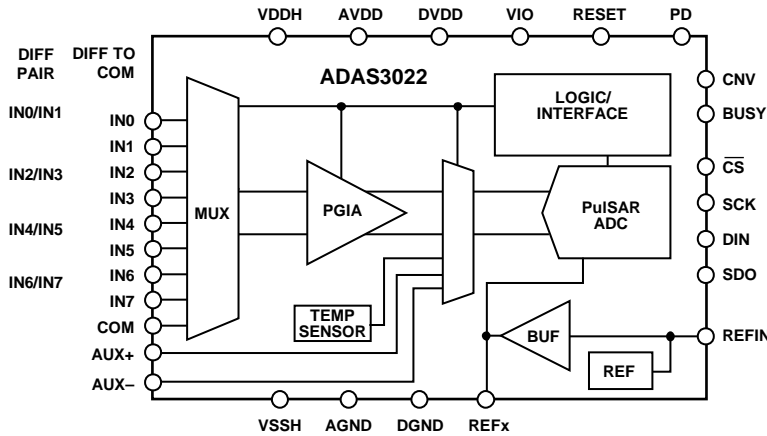


图51. ADAS3022简化功能框图

ADAS3022采用差分结构提供真正的高阻抗输入，并可抑制输入端的共模信号。ADAS3022架构无需任何额外输入缓冲器(运算放大器)，而使用开关电容逐次逼近型寄存器(SAR)模数转换器(ADC)时，通常需要用这些输入缓冲器来进行输入信号调理，并驱动ADC输入。

输入经高压多路复用器处理，输出到PGIA；此多路复用器具有低电荷注入和极低的泄漏电流特性。该输入可针对单端至公共点(COM)测量进行配置，或以独立的增益设置，与最多4个全差分输入实现配对。这需要使用高级序列器或编程序列配置字，并为每个差分对配置所需的增益。数字受控型可编程增益用于选择7个电压输入范围之一(见表7)。

使用序列器选项时，片内序列器依序对通道进行扫描，为每个通道提供独立的输入电压范围(见“按需转换模式”部分)。此模式中，单个配置字触发序列器的重复扫描操作，无需再次向寄存器写入内容。完成最后的通道扫描以后，ADAS3022自动从IN0处开始重复序列，直到写入字以停止序列器，或置位异步RESET。此外，若某些配置位发生改变，则序列器复位至IN0。

PuSAR ADC内核能够从转换开始输入(CNV)的单个上升沿处开始，执行1 MSPS的转换。转换结果以二进制补码格式，输出至串行数据输出端(SDO)。数字接口采用专用的芯片选择引脚(\overline{CS})，将数据传入/传出ADAS3022，并提供BUSY指示器、异步RESET以及关断(PD)输入。

ADAS3022片内基准电压源使用经过内部温度补偿的2.5 V输出带隙基准电压和精密缓冲器放大器，提供4.096 V高精度系统基准电压。

表11中的所有位均通过串行(兼容SPI)16位配置寄存器(CFG)进行配置。配置和转换结果可在转换完成后，或转换的过程中读取；也可禁用回读选项。

ADAS3022至少需要用到3个电源：+5 V、+15 V和-15 V。片内低压差调节器提供所需的2.5 V系统电压，并且必须通过专用引脚进行外部去耦(ACAP、DCAP和RCAP)。使用专用的VIO逻辑电平电压源，ADAS3022能够与1.8 V至5 V的任意数字逻辑系列器件实现接口(见表9)。

CNV的上升沿发起转换，并将ADAS3022的状态从跟踪改变为保持。ADAS3022在这一阶段执行模拟信号调理。完成信号调理后，ADAS3022回到跟踪状态，同时对样本进行量化处理。这两部分操作可满足所需的建立时间要求，同时以16位精度获得高达1 MSPS的快速吞吐速率。

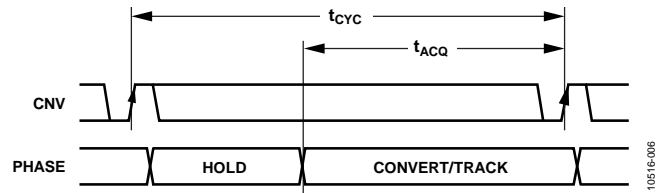


图52. ADAS3022系统时序

无论信号的类型如何(差分或单端、反相或同相、对称或非对称)，ADAS3022都能够像工业标准差分放大器或仪表放大器那样，以差分方式转换所有使能输入上的信号。

完成转换后，转换结果可供下一次转换完成前的任意时刻回读。在BUSY为高电平有效的静止期内应避免回读数据。ADAS3022具有一个片上转换时钟，因此转换过程不需要串行时钟(SCK)。仅在向用户提供转换结果时，才需要使用。

传递函数

ADAS3022的理想传递特性如图53所示。输入配置为差分输入范围时，数据输出为二进制补码形式，如表6所示。

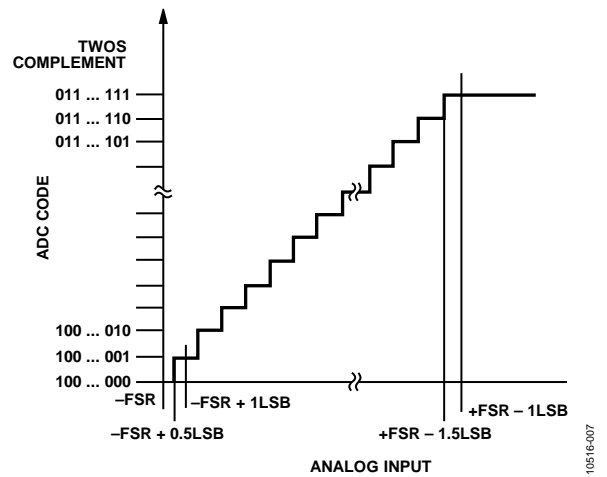


图53. ADC理想传递函数

ADAS3022

表6. 输出码和理想输入电压

描述	差分模拟输入, $V_{REF} = 4.096\text{ V}$	数字输出码(二进制补码, 十六进制数)
FSR - 1 LSB	$(32,767 \times V_{REF}) /$ $(32,768 \times \text{PGIA增益})$	0x7FFF
中间电平 + 1 LSB	$V_{REF} / (32,768 \times \text{PGIA}$ 增益)	0x0001
中间电平	0	0x0000
中间电平 - 1 LSB	$-(V_{REF} / (32,768 \times \text{PGIA}$ 增益))	0xFFFF
-FSR + 1 LSB	$-(32,767 \times V_{REF}) /$ $(32,768 \times \text{PGIA增益})$	0x8001
-FSR	$-V_{REF} \times \text{PGIA增益}$	0x8000

典型应用连接图

如图54所示，ADP1613用于低成本SEPIC-Ćuk拓扑，是ADAS3022在外部5 V电源供电情况下，为其提供20 mA时所需±15 V稳定电源以及最大值为3 mV的低输出纹波的理想选择。ADP1613尽可能地减少了外部元器件数目，并且具有超过86%的效率，因此它能满足ADAS3022的规格要求。有关此测试设置的完整信息，请参见电路笔记CN-0201。

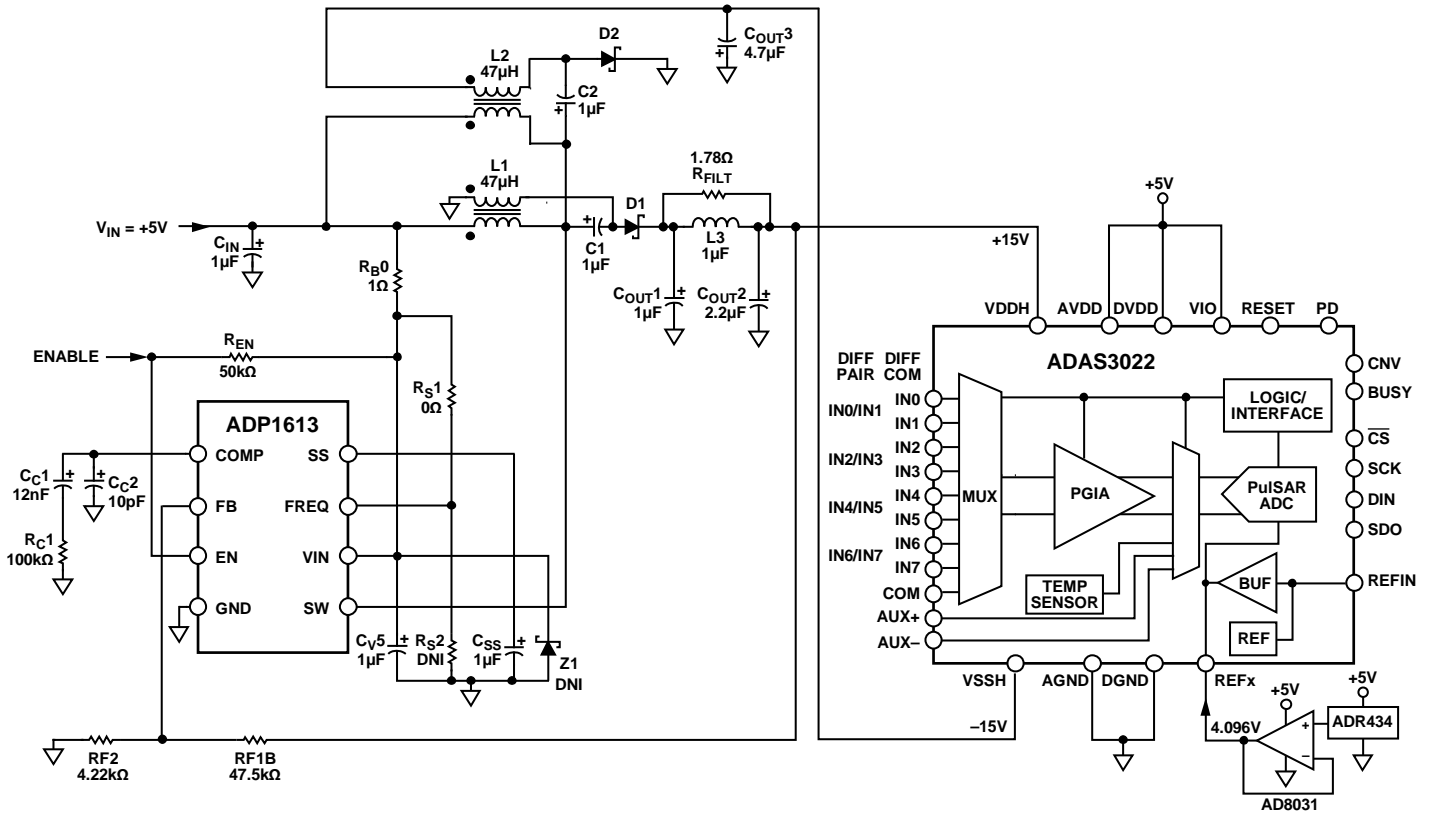


图54. 完整的5 V、单电源、8通道多路复用数据采集系统，集成PGIA

模拟输入 输入结构

ADAS3022在IN[7:0]和COM之间，以及通道对的IN[7:0]+和IN[7:0]-之间采用差分输入结构。各通道针对COM输入的采样均相同，以便IN[7:0]输入端具有相同的电压。因此，可使得选定的匹配通道或全部通道均参考相同的公共点。由于所有输入都以差分方式采样，因此ADAS3022可提供真正的高共模抑制，而通常分立式系统需要使用额外的仪表放大器或差分放大器才能实现这一特性。

图55显示了模拟输入的等效电路。内部二极管为模拟输入提供针对高压电源(VDDH和VSSH)的ESD保护(IN[7:0]和COM)。切记，模拟输入信号决不能超过供电轨0.3 V以上，否则会造成二极管正偏，并开始传导电流。注意，如果使用了辅助输入对(AUX±)，则二极管仅针对电压较低的电源AVDD(5 V)和系统模拟地提供ESD保护，因为这些输入直接与内部SAR ADC电路相连。

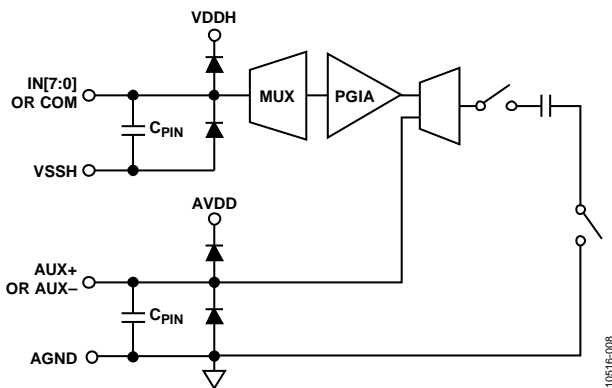


图55. 等效模拟输入电路

超出绝对最大额定值的电压可能导致ADAS3022永久性损坏(见表4)。

可编程增益

ADAS3022集成可编程增益仪表放大器，具有7种可选电压范围(±0.64 V、±1.28 V、±2.56 V、±5.12 V、±10.24 V、±20.48 V和±24.576 V)，支持几乎所有的直接传感器接口。PGA设置由一对输入上的最大绝对差分输入电压确定(例如，INx+至INx-，或INx+至COM)。上电与默认条件预设为±20.48 V (PGA = 111)输入范围。

注意，由于ADAS3022能够采用任何输入类型，比如双极性差分(反相或同相)、双极性单端或伪双极性等，因此重要的是，需设置PGA以充分利用器件允许的输入范围。

表7描述了每个差分输入范围和对应的LSB大小、PGA位设置以及PGA增益。

表7. 差分输入范围、LSB大小和PGA设置

差分输入范围, INx+ - INx- (V)	LSB (μV)	PGA位	PGA增益 (V/V)
±24.576	750	000	0.16
±20.48	625	111	0.2
±10.24	312.5	001	0.4
±5.12	156.3	010	0.8
±2.56	78.13	011	1.6
±1.28	39.06	100	3.2
±0.64	19.53	101	6.4

共模工作范围

差分输入共模电压(V_{CM})范围根据所选最大输入范围和高压电源的变化而改变(VDDH和VSSH)。注意，任何输入引脚(见“技术规格”部分)的额定工作输入电压相对于VDDH和VSSH电源都需要具有2.5 V的裕量；因此，

$$(VSSH + 2.5 V) \leq INx/COM \leq (VDDH - 2.5 V)$$

本部分内容提供针对各种输入信号进行PGA设置的一些示例。注意，ADAS3022将始终计算IN+和IN-信号的差值。

零共模、全差分、反相信号

对于一对零共模20.48 V p-p差分反相信号而言，其输入端的最大差分电压为±20.48 V，并且PGA增益配置应当设置为111。

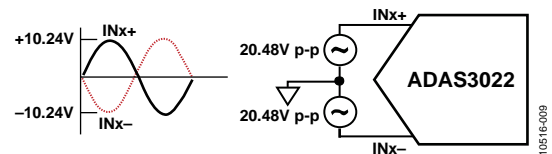


图56. 零共模差分反相输入

ADAS3022

非零共模全差分反相信号

对于一对非零共模(本例中, 直流共模电压为7 V)5.12 V p-p 差分反相信号而言, 其输入端的最大差分电压为 ± 5.12 V(抑制直流共模电压), 并且PGA增益配置应当设置为010。

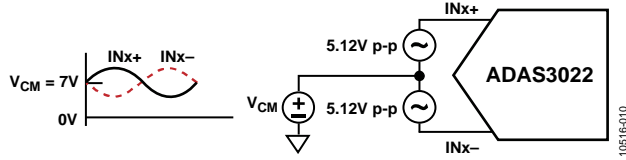


图57. 非零共模差分反相输入

零共模差分同相信号

对于一对零共模10.24 V p-p差分同相信号而言, 其输入端的最大差分电压为 ± 10.24 V, 并且PGA增益配置应当设置为001。

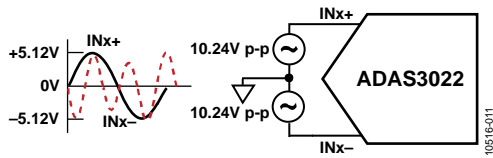


图58. 非零共模差分同相输入

非零直流失调单端信号(非对称)

由于输入端的最大差分电压为12 V p-p, 并且传递函数仅用了一半的代码, 则当具有6 V直流电平转换特性的12 V p-p信号连接其中一个输入(INx+), 同时信号的直流地检测与INx-或COM相连时, ± 24.576 V范围下的PGA增益配置为000。

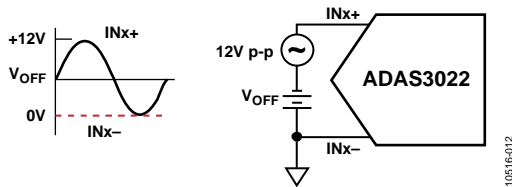


图59. 典型单端单极性输入—仅使用一半代码

0V直流失调单端信号(对称)

与非零直流失调单端信号(非对称)中的示例相比, 则如果可行的话, 对于单端信号而言, 更好的解决方案是尽可能

消除INx+和INx-之间的直流失调, 以产生在地检测周围对称的单极性输入电压。本例中, 输入端上的差分电压从未超过 ± 0.64 V, 并且针对1.28 V p-p范围的PGA增益配置为101。这种情况使用可供传递函数使用的所有代码, 充分利用了器件允许的差分输入范围。

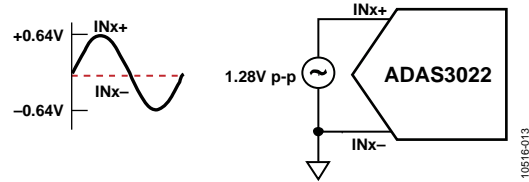


图60. 更好的单端配置—使用全部代码

注意, 由于4.096 V的基准电压以及PGA的缩放比例, 本例中的电压并非整数。

多路复用器

ADAS3022集成高电压、高性能、低电荷注入的多路复用器以及总共9路输入(IN[7:0]和COM)。ADAS3022可使用配置寄存器中的Inx和COM位, 实现8个输入通道(IN[7:0])和COM中任意通道之间的差分输入, 或实现最多4个输入对的配置方式。图61显示针对单端或差分, 配置模拟输入的各种方法。详情请参见“配置寄存器”部分。

模拟输入可配置为:

- 图61 A: IN[7:0]参考系统地。
- 图61 B: IN[7:0]具有公共参考点。
- 图61 C: IN[7:0]为差分对。对于差分对而言, COM = 0。正通道采用Inx进行配置。如果Inx为偶数, 则使用IN0、IN2、IN4和IN6。如果Inx为奇数, 则使用IN1、IN3、IN5和IN7, 如图61C括号中的通道所示。例如, 对于正通道为IN0的IN0/IN1对, INx = 0002。对于正通道为IN5的IN4/IN5对, INx = 1012。请注意, 当使用通道序列器(详见“按需转换模式”部分), 正通道始终为IN0、IN2、IN4和IN6。
- 图61 D: 输入配置为以上配置中的任意组合(表明ADAS3022可以动态配置)。

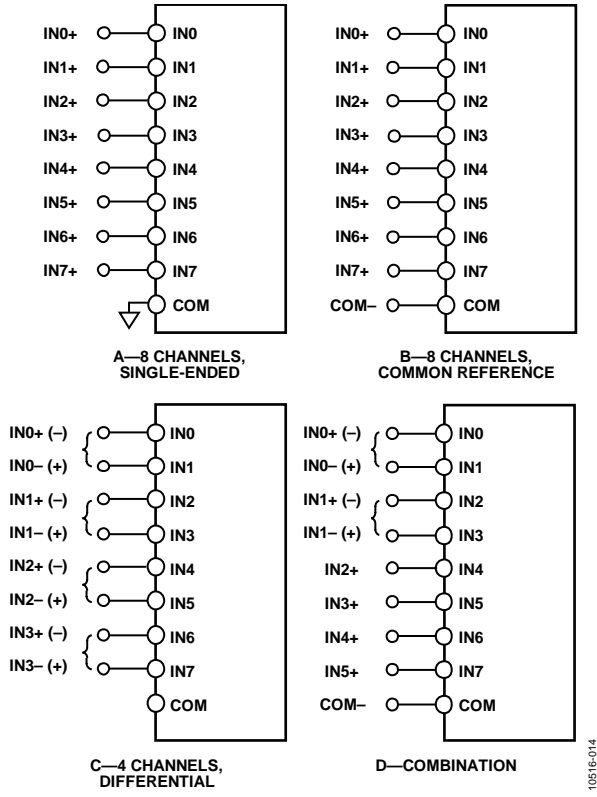


图61. 多路复用模拟输入配置

通道序列器

ADAS3022包括一个通道序列器，可用于重复扫描通道。更多信息参见“按需转换模式”部分。

辅助输入通道

ADAS3022集成辅助输入通道对(AUX+和AUX-)，可旁路多路复用器和PGA级，允许需要使用专用通道对的应用直接访问SAR ADC内核。如前所述，由于多路复用器和PGA级(而非低压ADC内核)使用了高压电源，因此输入仅具有AVDD和AGND保护功能。

当驱动电路的源阻抗较低时，可以直接驱动AUX±输入。高源阻抗会显著影响交流特性，特别是THD。直流性能参数对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

对于无法直接驱动AUX±的系统，则需使用适当的运算放大器缓冲器，以保证ADAS3022的性能。驱动器放大器必须满足以下要求：

- 驱动器放大器所产生的噪声必须足够低，以保证ADAS3022的SNR和转换噪声性能。来自放大器的噪声由ADAS3022模拟输入电路或者外部滤波器(如有)进行滤波。ADAS3022的SAR ADC内核典型噪声为35 μV rms (V_{REF} = 4.096 V)，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{35}{\sqrt{35^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB} 为ADAS3022 SAR ADC内核的输入带宽(8 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。
 N 为放大器的噪声增益(例如，缓冲器配置时为1)。
 e_N 为运算放大器的等效输入噪声电压，单位为nV/√Hz。

- 对于交流应用，驱动器的THD性能应与ADAS3022相当。
- 模拟输入电路必须使电容阵列以16位水平(0.0015%)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择之前应进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4841-1, ADA4841-2	极低噪声、小尺寸、低功耗
ADA4897-1, ADA4897-2	极低噪声、低频和高频
AD8655	5 V单电源、低噪声
AD8021, AD8022	极低噪声、高频
OP184	低功耗、低噪声、低频
AD8605, AD8615	5 V单电源、低功耗

ADAS3022

基准电压输出/输入

ADAS3022允许通过片内缓冲器/放大器选择内部基准电压源或外部基准电压源，或使用外部电压源。

ADAS3022的内部基准电压源提供出色的性能，可以用于几乎所有应用。可通过内部基准电压源使能位(REFEN)和REFIN引脚，设置基准电压源选择模式，如本部分内容所述。REF1和REF2必须在外部连在一起。

内部基准电压源

精确的内部基准电压源经过工厂调整，适合大部分应用。

将CFG寄存器中的REFEN位置1(默认值)则使能内部基准电压源，并可在REF1和REF2引脚上产生4.096 V电压；该输出电压用作主要的系统基准电压。未经缓冲的2.5 V(典型值)带隙电压输出至REFIN引脚，需采用10 μ F和0.1 μ F的电容对其进行外部并联去耦，以降低输出端噪声。REFIN的电流输出有限，如果后接一个适当的缓冲器，如AD8031等，则它可以用作一个源。注意，由于内部放大器使用固定增益，REFIN输出过高会导致4.096 V系统基准电压的下降。

内部基准电压输出经过调整后达到预期的4.096 V，初始精度为 ± 8 mV。基准电压还经过温度补偿，典型温漂为 ± 5 ppm/ $^{\circ}$ C。

使用内部基准电压源时，ADAS3022应按照图62所示进行去耦。注意，需要进行REF1和REF2连接，以及适当的REFIN输出去耦和RCAP内部调节电源。

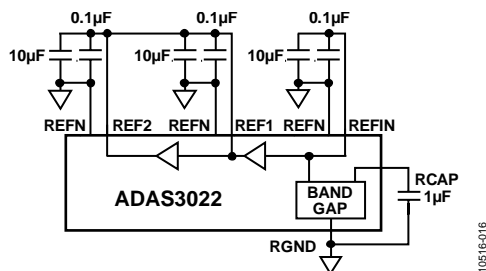


图62. 4.096 V内部基准电压源连接

外部基准电压源和内部缓冲器

当采用通用系统基准电压源，或者要求具有更佳的漂移性能时，则需使用外部基准电压源和内部缓冲器。

将REFEN置位为0便可禁用内部带隙基准电压源，允许用户向REFIN引脚提供外部基准电压(典型值为2.5 V)。内部缓冲器保持使能状态，因此无需使用外部缓冲器放大器，即

可产生主要的系统基准电压。由于REFIN = 2.5 V，因此主要的系统基准电压为REF1和REF2的4.096 V输出电压。

就本配置而言，如图63所示连接外部基准电压源。由于内部缓冲器以动态方式处理ADAS3022的基准电压源，因此任何2.5 V的基准电压，包括那些具有低功耗、低漂移和小尺寸封装等特性的器件，均可用于此配置。

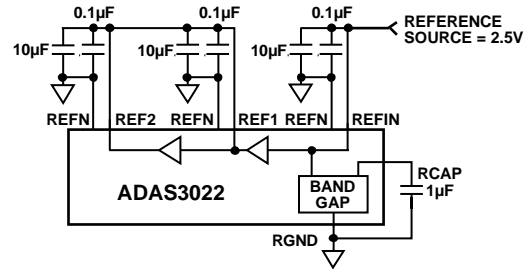


图63. 使用内部缓冲器的外部基准电压源

外部基准电压源

对于需要精确、低漂移、4.096 V基准电压的应用，则需使用外部基准电压源。

该选项要求禁用内部缓冲器(将REFEN置位为0，并将REFIN驱动或连接至AGND)，因此需要硬件和软件两种控制。若驱动REF1和REF2引脚但却没有禁用内部缓冲器，则会导致驱动放大器中的源电流/吸电流冲突。

可通过一个低阻抗缓冲器(例如AD8031或AD8605)，将用作主要系统基准电压的4.096 V精密电压源与REF1和REF2相连，如图64所示。推荐使用的基准电压源包括ADR434、ADR444和ADR4540。

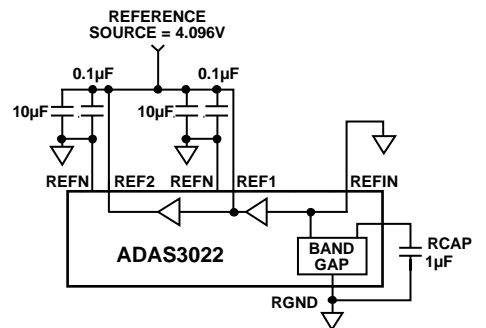


图64. 外部基准电压源

若使用运算放大器作为外部基准电压源，则在驱动容性负载方面需多加留意。运算放大器的容性负载通常指放大器在交流应用中勉强保持稳定的能力，但也适用于运行在直流应用中的放大器，如基准电压源。记住，针对基准电压引脚的位判断过程对基准电压源动态可见，因此可能需要超出本数据手册范围的进一步分析。

基准电压源去耦

对于“基准电压输入/输出”部分所描述的任何基准电压源拓扑，**ADAS3022**的REF1和REF2基准电压引脚具有动态阻抗，因此无论引脚用于输入或输出，都需要进行充分去耦。这种去耦通常是这样完成的：将低ESR电容分别连接REF1和REF2，并与伴随的REFN回流路径相连。建议“基准电压输入/输出”部分描述的全部基准电压源拓扑都使用1206尺寸的X5R陶瓷芯片电容进行去耦。

基准电压源去耦电容的位置对系统性能有很大的影响。去耦电容与**ADAS3022**应位于同一侧，并利用粗PCB走线将去耦电容安装在REF1和REF2引脚附近。将返回路径路由至REFN输入端，该输入连接至系统的模拟接地层。当需要连接内部PCB层的时候，应利用尽可能多的通孔和过孔，以减小回流路径到地的电阻。

REFN和RGND输入应以能达到的最短距离，与系统模拟接地层相连；最好能利用几个过孔，与焊盘相邻。常见的错误是把这些走线路由至与系统地相连的独立走线。这可能会产生噪声，进而影响LSB灵敏度。为了不产生这类噪声，强烈建议使用带有接地层的多层PCB，而非单面或双面电路板。有关**EVAL-ADAS3022EDZ**的PCB布局的更多信息，请参见**UG-484**。

对于使用多个**ADAS3022**器件或其它PulSAR ADC的应用，使用内部基准电压缓冲器缓冲外部基准电压会更有效，这样能降低SAR转换串扰。

基准电压源温度系数(TC)会直接影响系统的满量程精度，因此，在满量程精度非常重要的应用中，必须特别注意温度系数。例如，基准电压源 ± 15 ppm/°C的温度系数将使满量程精度以 ± 1 LSB/°C的幅度改变。

电源

ADAS3022使用5种电源：AVDD、DVDD、VIO、VDDH和VSSH(见表9)。注意，由于ACAP、DCAP和RCAP电源是片内电源调节器的输出，因此表9中有关这些电源的信息仅供参考。有关**EVAL-ADAS3022EDZ**如何产生这些电源的更多信息，请参考**UG-484**。

表9. 电源

名称	功能	是否需要
AVDD	5 V模拟内核	需要
DVDD	5 V数字内核	需要，可连接AVDD
VIO	数字输入/输出	需要，可连接DVDD以获得5 V电压电平
VDDH	正高电压	需要，+15 V典型值
VSSH	负高电压	需要，-15 V典型值
ACAP	2.5 V模拟内核	不需要，片内集成
DCAP	2.5 V数字内核	不需要，片内集成
RCAP	2.5 V模拟内核	不需要，片内集成

内核电源

AVDD和DVDD分别为**ADAS3022**的模拟和数字内核供电。这些电源需要足够的去耦，每个电源上至少包括一个10 μ F电容和100 nF电容。100 nF电容应尽可能靠近**ADAS3022**。为了减少所需电源的数量，DVDD可以通过一个简单的RC滤波器(连接在AVDD与DVDD之间)从模拟电源供电，如图65所示。

VIO是可变数字输入/输出电源，能够与范围为1.8 V和5 V (DVDD电源最大值)的逻辑电平直接接口。为了减少所需电源数目，当DVDD通过RC滤波器从模拟电源供电时，作为替代方案，VIO还可与DVDD相连。建议使用的低压差调节器有：**ADP3334**、**ADP1715**和**ADP7102/ADP7104**，可针对AVDD、DVDD和VIO电源使用。

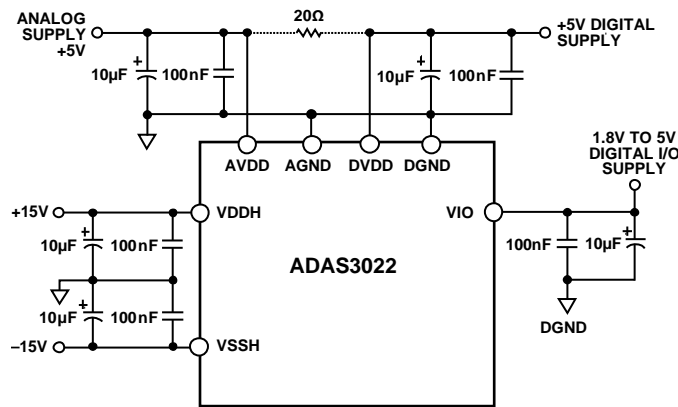


图65. ADAS3022电源连接

ADAS3022

高压电源

器件需要高压双极性电源VDDH和VSSH，这些电源至少应比最大输入大2.5 V。例如，差分输入范围为 ± 24.576 V时，电源应当具有 ± 15 V的裕量。这些电源还需要足够的去耦，每个电源上至少包括一个10 μ F电容和100 nF电容。

功耗模式

ADAS3022提供两种功耗模式：完全工作模式和关断模式。

完全工作模式

在完全工作模式下，一旦建立了所有内部偏置电流，ADAS3022便会执行转换。

省电模式

为了尽量减少器件空闲时的工作电流，可通过拉高PD输入，将器件置于完全关断模式下。这样，ADAS3022便进入了深度休眠模式，此时器件忽略CNV事件，数字接口无效。有关时序的详细信息，请参考“复位和关断(PD)输入”部分。深度休眠模式中，内部调节器(ACAP、RCAP和DCAP)和基准电压源也处于关断状态。若要再次进入工作模式，则需拉低PD。注意，器件在能够以额定性能工作前，基准电压源必须对外部储能电容充电，并为其分配一定的建立时

间。将PD和RESET从高电平拉回低电平还可使ADAS3022的数字内核(包括CFG寄存器)复位到默认状态。因此，在置位PD前，必须向器件重新写入需要使用的CFG内容，并且器件恢复编程配置的工作状态之前必须完成两次伪转换。

转换模式

ADAS3022提供两种转换模式，以满足不同的应用。可通过转换模式选择位(CMS，CFG寄存器的位1)设置器件的模式。

Warp模式(CMS = 0)

当需要1 MSPS的总吞吐速率时，可将CMS置位为0。然而，在这种模式下，两次转换之间的最大时间间隔有所限制。如果超过了这一最大时间间隔，则可能导致转换结果损坏。因此，此模式比较适合连续采样的应用。

正常模式(CMS = 1，默认值)

对于总吞吐速率最大值为900 kSPS的所有应用而言，可将CMS置位为1。这种模式下，针对两次转换之间的最大时间间隔不存在任何限制。对异步RESET进行置位后，默认条件下器件采用此模式工作。正常模式和Warp模式的主要区别在于BUSY时间的不同；相比Warp模式，正常模式下的 t_{QUIET} 数值略大。

数字接口

ADAS3022数字接口由异步输入、BUSY指示器以及用于回读转换结果和编程配置寄存器的4线式串行接口组成。

该接口使用3个异步信号(CNV、RESET和PD)，以及一个由CS、SDO、SCK和DIN组成的4线式串行接口。在某些应用中，还可将CS连接至CNV。

转换结果通过串行数据输出引脚SDO提供，并且16位配置字CFG可通过串行输入引脚DIN进行编程。该寄存器控制的设置包括：需要进行转换的通道、可编程增益设置以及基准电压源的选择(更多信息参见“配置寄存器”部分)。

转换控制

在CNV输入时启动转换。ADAS3022是一款完全异步的器件，根据转换模式不同，它可在直流到1 MHz范围内的任意频率下进行转换。

CNV上升沿—转换开始(SOC)

CNV的上升沿将ADAS3022的状态从跟踪模式改变为保持模式，这便是启动转换所需的全部条件了。所有转换定时时钟都由内部产生。启动转换后，ADAS3022忽略CNV线路上的其它事件(由吞吐速率控制)直至完成转换；只有关断(PD)或RESET引脚才能中断转换。

ADAS3022执行转换并且BUSY输出为高电平时，该器件使用的是独特的二相转换过程，允许安全的数据访问和静默时间。

CNV信号在CS引脚上去耦，允许同一个处理器控制多个ADAS3022器件。针对SNR性能至关重要的应用，CNV信号源的抖动应非常低。可以使用专用振荡器来产生，或者用高频、低抖动时钟为CNV提供时钟。对于抖动容差较大或需要使用单个器件的应用，CNV可连接CS。有关采样时钟抖动和孔径延迟的更多信息，请参见指南MT-007“孔径时间、孔径抖动、孔径延迟时间——正本清源”。

虽然CNV是一个数字信号，但设计时应特别注意，应当采用快速、干净的边沿以及过冲、欠冲、振铃尽可能小的电平。CNV走线应该用地屏蔽，并在驱动此线路的器件输出端附近增加一个低阻值(例如50 Ω)的串行电阻。此外，必须小心避免采样时刻附近出现数字活动，因为这类活动会降低SNR性能。

BUSY下降沿—转换结束(EOC)

EOC事件以BUSY返回低电平的方式表示，可用于执行主机中断。此外，EOC选通进出ADAS3022的数据。若当前转换结果没有在下一个EOC事件开始之前读取，则数据丢失。另外，如果没有在EOC之前完成CFG更新，则CFG字被丢弃，当前配置对将来的转换仍然有效。这种流水线的处理方式可确保ADAS3022具有足够的时间以标称的16位精度获取下一个样本。

转换时序

有关转换过程的详细时序图见图66。

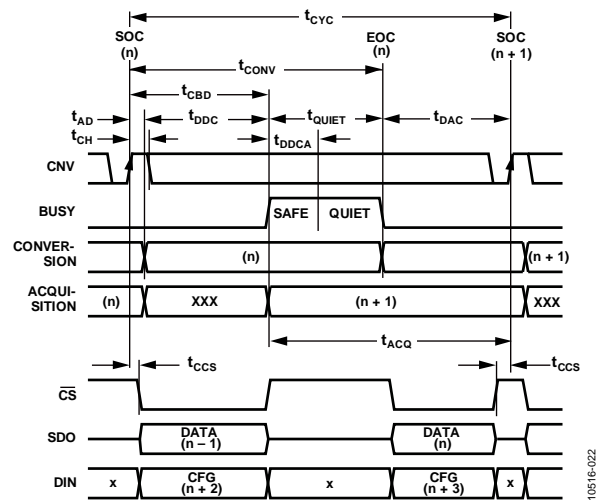


图66. 基本转换时序

寄存器流水线

为了保证所有的CFG都是在已知的安全时刻针对各种电路器件完成更新，异步数据将通过EOC事件被同步到ADAS3022时序引擎。这种同步过程会在更新CFG寄存器设置以及将配置应用到转换的这段时间内产生一个固有延迟。该流水线在当前转换(n)结束时开始，其在CFG设置生效前，由二级深延迟组成(图66中表示为(n+2)。这表示，两次SOC和EOC事件必须在设置(即新通道、新增益等新的设置)生效前完成。注意，下文的数字部分亦采用(n)、(n+1)等这种命名法，以简化叙述。

转换结束后即不再有流水线过程，但在回读数据之前流水线依然存在。

复位和关断(PD)输入

异步RESET和PD输入可分别用于ADAS3022器件的复位和关断。详细时序见图67。

ADAS3022

RESET或PD的上升沿可中断转换过程，并将SDO变为高阻抗，无论CS电平如何。注意RESET有一个最小脉宽(高电平有效)时间，用于将ADAS3022设为复位状态。有关ADAS3022从复位状态回到正常状态的默认CFG设置，请参见“配置寄存器”部分。如果RESET解除置位(逻辑0)后采用默认设置，则为了使转换结果有效，必须经过数值等于采集时间(t_{ACQ})的间隔后，CNV才可解除置位。若启动转换，则转换结果将损坏。此外，上一次转换的输出数据在复位时清零。在启动新的转换之前试图访问数据结果则会导致结果无效。

若器件从关断模式或复位模式返回正常模式时未使用默认CFG，则对 t_{ACQ} 没有要求；由于必须满足二级深延迟的流水线要求，以便将器件重新配置为所需设置，因此上电后的头两次转换为未定义/无效转换。

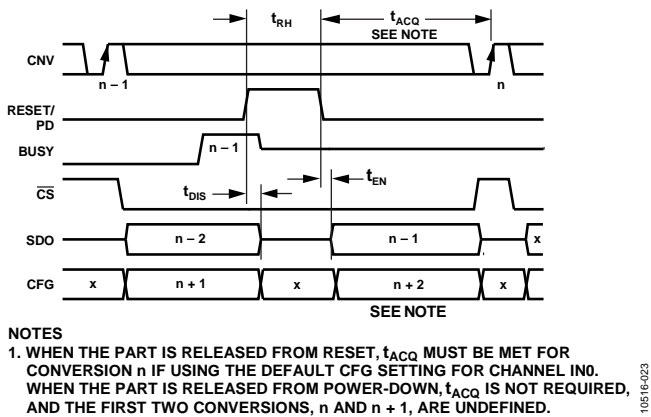


图67. RESET和PD时序

串行数据接口

ADAS3022采用简单的四线式接口，兼容FPGA、DSP和通用串行接口，例如SPI、QSPI和MICROWIRE™。接口使用CS、SCK、SDO和DIN信号。串行接口的详细时序见图68。CS置位时SDO激活。转换结果输出至SDO，并且在SCK下降沿更新。如果需要，可在串行数据输入(DIN)上同步更新16位CFG字。时钟相位选择位(CPHA，位0)的状态决定MSB是否在第一个时钟再次输出，或MSB - 1是否在SDO于EOC之后激活时输出。

注意，图67和图68中的SCK为空闲高电平。SCK空闲时可以是高电平或低电平，要求系统开发人员设计一个接口，满足SDO以及DIN的建立与保持时间要求。

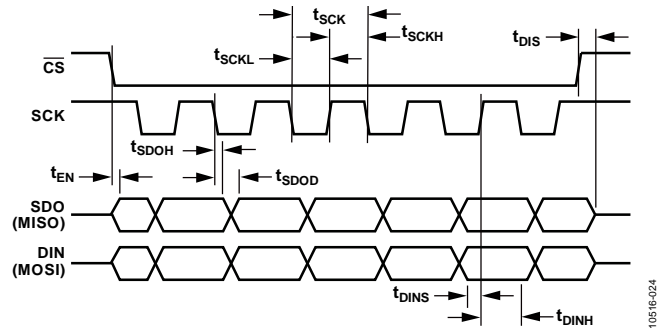


图68. 串行时序

CPHA

时钟相位选择位(CPHA，位0)可在转换结束后，设置SDO转换结果的第一位(见图69)。

将CPHA设置为0可在CS置位时输出MSB。随后的SCK下降沿以MSB - 1、MSB - 2(以此类推)的方式输出位。这种模式可用于受限于16个时钟边沿的主机，因为第一个下降(或上升)沿可用来锁存数据。

将CPHA置位为1，则不仅在CS置位时，亦可在第一个SCK下降沿之后输出MSB。随后的SCK下降沿以MSB - 1、MSB - 2(以此类推)的方式输出位。可在符号扩展应用中使用此模式。

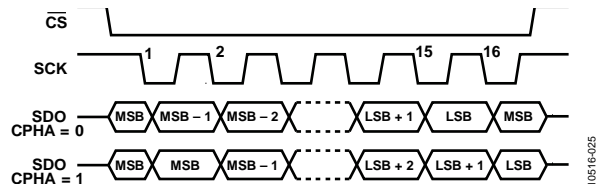


图69. CPHA详解

SCK下降沿采样

为了达到最高的数据传输速率，只要有足够的保持时间(不超过 t_{SDOH})，主机都应当在SCK下降沿进行采样(见图68)。使用该方法时，应在安全转换时间内进行数据传送(t_{DDC})。由于此时间值是固定的，因此将数据读取或写入的时间延长至静默转换阶段(t_{QUIET})可能导致数据损坏。但是，对于需要时间略长的系统，则可使用 t_{DDCA} (转换期间的额外数据)。

SCK上升沿采样(替代边沿)

由于主机较慢，这些主机的总数据传输时间可能大于 t_{DDC} ，因此SPI或其它替代边沿传输通常需要更多时间访问数据。这种情况下，从 t_{QUIET} 到下一个CNV上升沿的时间(通常称为转换后的数据访问时间 t_{DAC} ，由用户指定)必须通过降低吞吐速率(CNV频率)调节，以提供足够的时间。若无法由此提供足够时间，则可分开进行数据访问，以便使某些数据的访问在此时间内进行，而其余数据的访问可在下一个 t_{DDC} 和 t_{DDCA} 时间内进行。

CFG回读

可在转换结果后附加一个16 SCK脉冲回读当前转换的相关CFG结果(见图69)。转换结果的LSB输出后，随后便输出那次转换相关CFG的MSB。后续SCK下降沿重复转换结果和CFG字。例如，当CPHA为0时，转换结果的MSB将于第32个下降沿输出。

一般考虑因素

由于访问数据的时间在一定程度上有所限制，因此下文给出一些有助于确定ADAS3022吞吐速率或CNV频率，以及串行接口详细参数的准则。注意，图70至72中的 t_{AD} 仅供参考，表示没有数字活动情况下的时间，因为在采样之前以及刚结束采样时不应发生这类活动。

转换期间的数据访问—最大吞吐速率

每通道的最大吞吐速率主要由主机的最大SCK周期决定。ADAS3022以1 MSPS的最大吞吐速率运行时，具有几乎对称的安全数据和静默时间周期(均为大约500 ns，见表70)。因此， t_{DDC} 基本上是固定的，并且提供主机访问数据的时间仅为大约500 ns。注意，图70中的 t_{AD} 仅供参考，表示没有数字活动情况下的时间，因为在采样边沿期间不应发生这类活动。对于17 SCK边沿的最差情况而言，要达到1 MSPS总吞吐速率所需的最小SCK频率(CNV上升沿间隔1 μ s)为：

$$f_{SCK} \geq \frac{17}{t_{AD} + t_{DDC}} \geq 34 \text{ MHz}$$

虽然在 t_{DDCA} 期间传输数据可获得更多的数据访问时间，但不建议这么做，因为ADAS3022在这段时间内具有敏感的位判断性能。如果使用了 t_{DDCA} ，则SCK频率为：

$$f_{SCK} \geq \frac{17}{t_{AD} + t_{DDC} + t_{DDCA}} \geq 25 \text{ MHz}$$

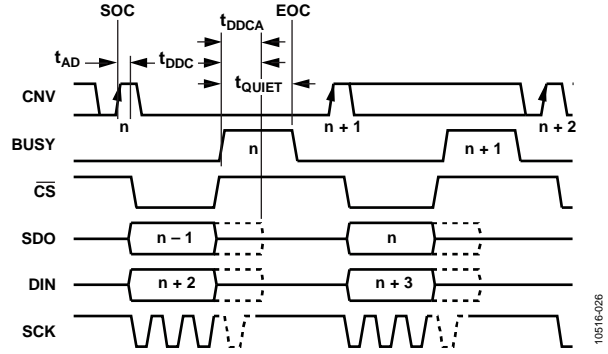


图70. 转换期间的数据访问

转换之后/全程的数据访问—由主机决定的吞吐速率

对于不提供34 MHz或25 MHz SCK速率的主机，由于必须提高转换后的数据访问时间 t_{DAC} 以便有更多时间进行数据访问，因此这类主机达不到最大吞吐速率。本例中，访问数据有三种方法：

- 第一种方法是针对17个SCK边沿的最差情况以及额外的CS至CNV建立和保持时间，调节 t_{DAC} 。这种情况下，所有数据的访问均在 t_{DAC} 期间执行。使用无法将数据拆分成字节或其它局部数据脉冲的慢速主机时，这是唯一可行的方法。
- 第二种方法是将数据拆分成脉冲，一部分在当前转换的 t_{DAC} 期间进行传输，其余部分在下次转换的 t_{DDC} 期间进行传输。注意CS可在整个CNV上升阶段保持低电平；但进行输入采样时应暂停串行时钟活动。
- 第三种方法是使用第二种方法并添加额外的 t_{DDCA} 时间；同样，在此之后不可有任何数字活动，以防破坏当前转换。

无论哪种方法，如果潜在吞吐速率模式(CMS = 0)的最高速度超过了两次转换之间的时间间隔 t_{CYC} ，则会降低转换结果的精度。这种情况下，必须选择完全异步模式(CMS = 1，详见“转换模式”部分)。

图71显示所有三种方法的基本时序图。对于(n)次转换而言，数据将于完成第(n)次转换后回读，其余数据将在(n+1)次转换时进行回读。

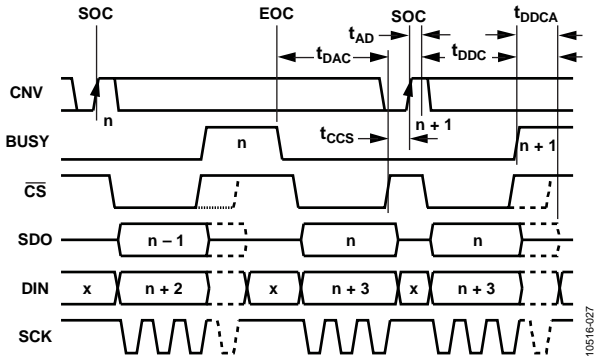
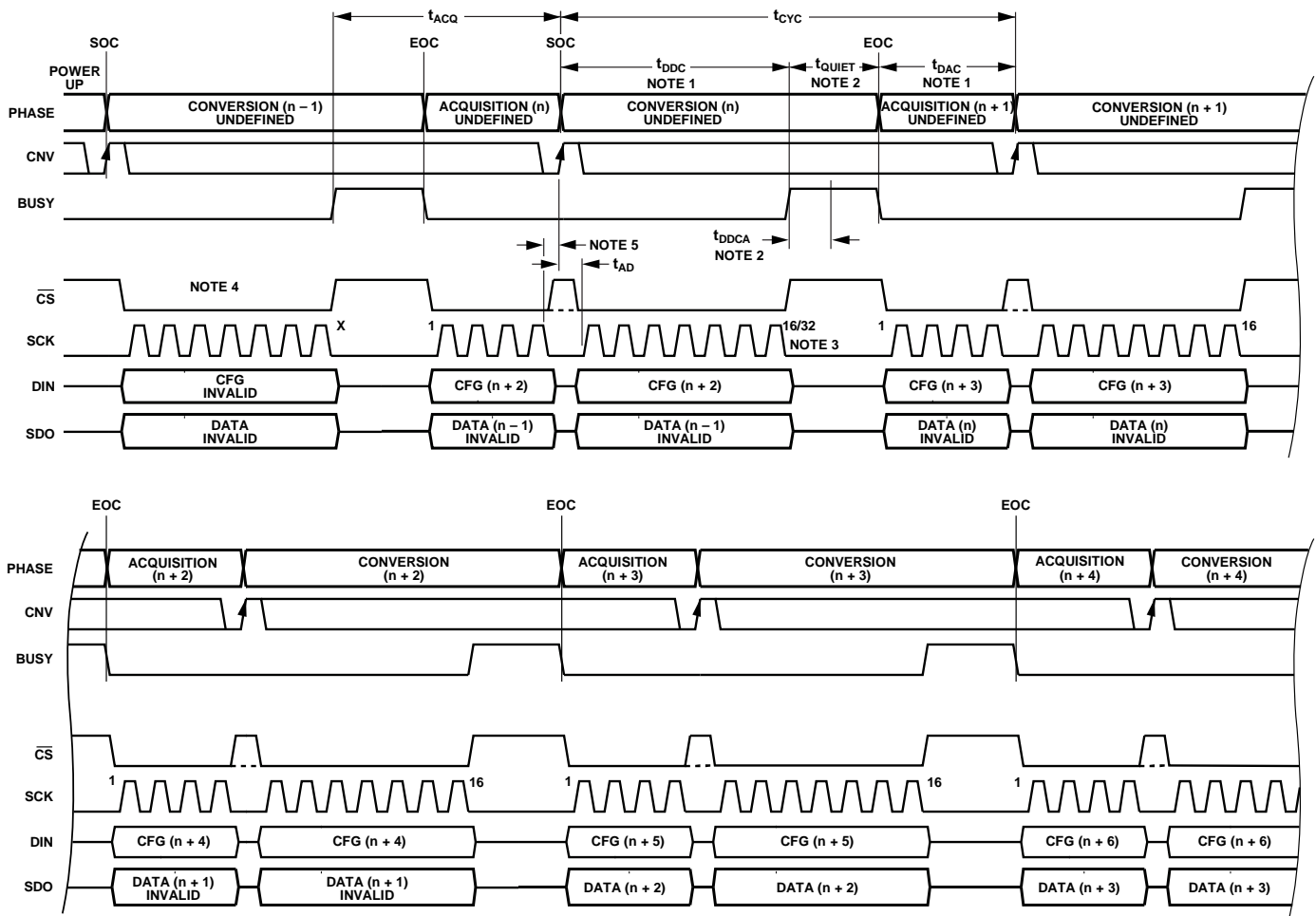


图71. 全程转换期间的数据访问

通用时序

图72为通用时序图，显示完整的转换和回读流水线延迟寄存器。图中显示了上电后，或者从完全关断状态恢复(通过PD输入)后的详细时序图。图73和图74分别显示了“转换时读取(RDC)”模式和“转换后读取(RAC)”模式的数据读取通用时序图(仅使能辅助ADC输入通道对)。



NOTES

1. DATA ACCESS CAN OCCUR DURING A CONVERSION (t_{DDC}), AFTER A CONVERSION (t_{DAC}), OR BOTH DURING AND AFTER A CONVERSION. THE CONVERSION RESULT AND THE CFG REGISTER ARE UPDATED AT THE END OF A CONVERSION (EOC).
2. DATA ACCESS CAN ALSO OCCUR UP TO t_{DDCA} WHILE BUSY IS ACTIVE (SEE THE DIGITAL INTERFACE SECTION FOR DETAILS). ALL OF THE BUSY TIME CAN BE USED TO ACQUIRE DATA.
3. A TOTAL OF 16 SCK FALLING EDGES IS REQUIRED FOR A CONVERSION RESULT. AN ADDITIONAL 16 EDGES ARE REQUIRED TO READ BACK THE CFG RESULT ASSOCIATED WITH THE CURRENT CONVERSION.
4. \overline{CS} CAN BE HELD LOW OR CONNECTED TO CNV. \overline{CS} WITH FULL INDEPENDENT CONTROL IS SHOWN IN THIS FIGURE.
5. FOR OPTIMAL PERFORMANCE, DATA ACCESS SHOULD NOT OCCUR DURING THE SAMPLING EDGE. A MINIMUM TIME OF THE APERTURE DELAY (t_{AD}) SHOULD ELAPSE PRIOR TO DATA ACCESS.

图72. 一般时序图

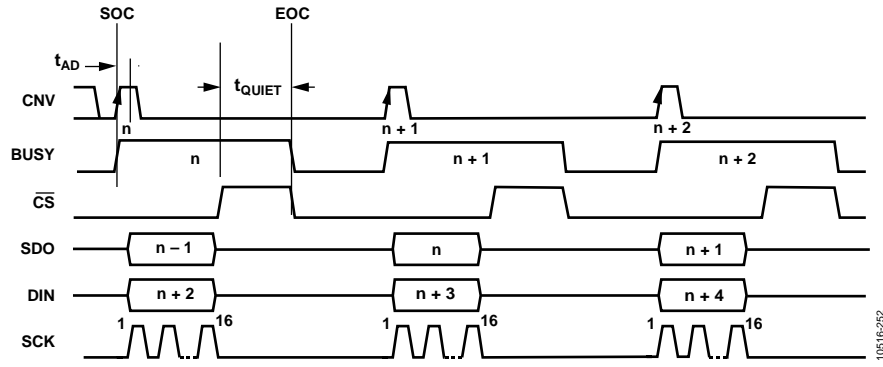


图73. AUX输入通道对的通用时序图(RDC)

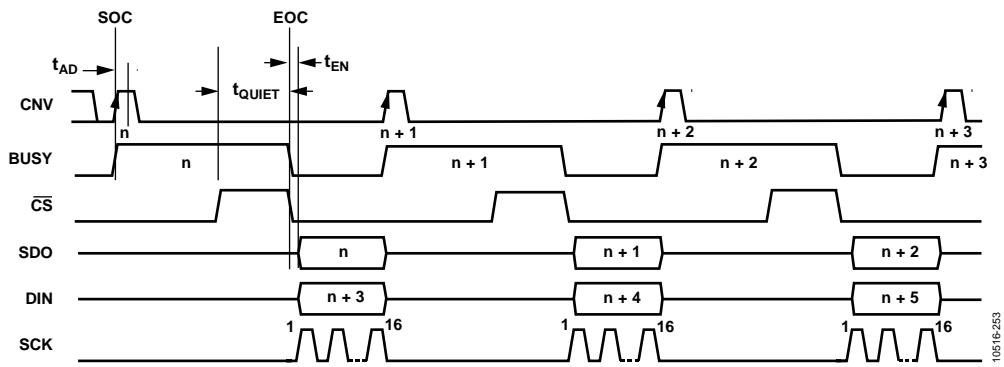


图74. AUX输入通道对的通用时序图(RAC)

ADAS3022

配置寄存器

配置寄存器CFG是一个16位可编程寄存器，用于选择ADAS3022的所有用户可编程选项(见表11)。当数据在第一个16 SCK上升沿回读时，寄存器加载内容，并在下一个EOC期间更新。注意，当写入CFG和回读CFG中与当前转换有关的设置时，总是存在二级深延迟(n + 2)。

当ADAS3022从复位状态(RESET = 高电平)返回工作状态(RESET = 低电平)，器件采用默认的CFG设置。然而，当ADAS3022从全关断状态(PD = 高电平)返回使能状态(PD = 低电平)，器件不采用默认CFG设置，并且至少需要进行两

次伪转换，以使用户指定的CFG设置生效。因此，默认值为：CFG[15:0] = 0x8FCF。它将ADAS3022设置为：

- 覆盖CFG寄存器内容
- 选择参考COM的IN0输入通道
- 配置PGIA增益为0.20 (± 20.48 V)
- 选择多路复用器输入
- 禁用内部通道序列器
- 禁用温度传感器
- 使能内部基准电压源
- 选择正常转换模式
- 选择SPI接口模式

表10. 配置寄存器CFG，默认值 = 0x8FCF (1000 1111 1100 1111)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFG	INx	INx	INx	COM	RSV	PGIA	PGIA	PGIA	MUX	SEQ	SEQ	TEMPB	REFEN	CMS	CPHA

表11. 配置寄存器位描述

位	位的名称	描述																																				
15	CFG	配置更新。 0 = 保持当前的配置设置。 1 = 覆盖寄存器的内容(默认值)。																																				
[14:12]	INx	以二进制方式选择输入通道。参见“多路复用器”部分。																																				
		<table border="1"> <thead> <tr> <th>位14</th><th>位13</th><th>位12</th><th>通道</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>IN0(默认值)</td></tr> <tr> <td>...</td><td>...</td><td>...</td><td></td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>IN7</td></tr> </tbody> </table>	位14	位13	位12	通道	0	0	0	IN0(默认值)		1	1	1	IN7																				
位14	位13	位12	通道																																			
0	0	0	IN0(默认值)																																			
...																																				
1	1	1	IN7																																			
11	COM	IN[7:0]公共通道输入。AUX+和AUX-不参考COM。 0 = 通道参考差分对：IN0/IN1、IN2/IN3、IN4/IN5和IN6/IN7(见“按需转换模式”部分)。 1 = 各通道均参考COM(默认值)。																																				
10	RSV	保留。此位置位或清零都无影响。																																				
[9:7]	PGIA	可编程增益选择(见“输入结构”部分)。基本序列器模式中，此寄存器配置所有通道的范围。高级序列器模式中，此寄存器设置IN0(COM = 1)或IN0/IN1对(COM = 0)的范围。有关独立通道或通道对的PGIA配置，见“高级模式”部分。																																				
		<table border="1"> <thead> <tr> <th>位9</th><th>位8</th><th>位7</th><th>绝对输入电压范围</th></tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>± 24.576 V</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>± 10.24 V</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>± 5.12 V</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>± 2.56 V</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>± 1.28 V</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>± 0.64 V</td></tr> <tr> <td>1</td><td>1</td><td>0</td><td>未使用</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>± 20.48 V(默认值)</td></tr> </tbody> </table>	位9	位8	位7	绝对输入电压范围	0	0	0	± 24.576 V	0	0	1	± 10.24 V	0	1	0	± 5.12 V	0	1	1	± 2.56 V	1	0	0	± 1.28 V	1	0	1	± 0.64 V	1	1	0	未使用	1	1	1	± 20.48 V(默认值)
位9	位8	位7	绝对输入电压范围																																			
0	0	0	± 24.576 V																																			
0	0	1	± 10.24 V																																			
0	1	0	± 5.12 V																																			
0	1	1	± 2.56 V																																			
1	0	0	± 1.28 V																																			
1	0	1	± 0.64 V																																			
1	1	0	未使用																																			
1	1	1	± 20.48 V(默认值)																																			
6	MUX	多路复用器/辅助通道输入(见“辅助输入通道”部分)。 0 = 选择AUX \pm 输入为有效辅助通道。 1 = 使用所选模拟前端(AFE)通道/通道对(默认值)																																				

位	位的名称	描述		
[5:4]	SEQ	通道序列器。允许以IN0至INx的顺序扫描通道。INx是将序列重新设置回IN0之前最后转换的通道，由INx[2:0]配置位中的通道设置指定(见“按需转换模式”部分)。		
		位5	位4	功能
		0	0	禁用序列器(默认值)
		0	1	基本序列扫描期间更新配置
		1	0	启动高级序列器
1	1	启动基本序列器		
3	TEMPB	温度传感器使能控制(见“按需转换模式”部分)。 0 = 内部温度传感器使能。 1 = 内部温度传感器禁用(默认值)。		
2	REFEN	内部基准电压源选择(更多信息请参见“引脚配置和功能描述”、“基准电压输入/输出”部分)。 0 = 禁用内部基准电压源。通过将REFIN拉至地电平，可禁用内部基准电压源缓冲器。 1 = 使能内部基准电压源(默认值)。		
1	CMS	转换模式选择(见“转换模式”部分)。 0 = 使用转换间隔时间受限的Warp转换模式。 1 = 使用正常转换模式(默认值)。		
0	CPHA	MSB选择(见“CPHA”部分)。 0 = 转换结束后置位 \overline{CS} ，使SDO上具有MSB，并且第一个SCK下降沿使SDO上具有(MSB - 1)。 1 = 转换结束后置位 \overline{CS} ，使SDO上具有MSB，并且第一个SCK下降沿使SDO上重复MSB(默认值)。		

按需转换模式

通道序列器禁用时，根据MUX和TEMPB位的设置，如表12所示，可选择输入通道用于按需转换模式。例如，此模式下唯一的内部TEMP传感器通道转换可通过设置MUX = TEMPB = 0而实现。

表12. 输入通道选择

MUX	TEMPB	输出
1	1	INx[14:12]通道
1	0	无效
0	1	AUX±输入通道
0	0	内部温度传感器通道

通道序列器详情

ADAS3022包括一个通道序列器，能够依序扫描通道。通道参考COM进行独立扫描，也可成对扫描，还可包括辅助通道对和/或内部温度传感器测量。ADAS3022完成对最后一个编程样本的采样后，序列器便复位至第一个通道(IN0)或通道对(IN0/IN1)，并重复该序列，直到序列器被禁用，或者出现异步RESET或PD信号。

当通道序列器使能时，对于所有差分对而言，正端是偶数通道(IN0、IN2、IN4和IN6)，负端是奇数通道(IN1、IN3、IN5和IN7)。当通道序列器禁用时，针对所有差分对，用户可将正端或负端分配至偶数或奇数通道，具体取决于INx[14:12]设置。例如，假设使用IN0/IN1对时INx[14:12] = 001，IN1是正输入，IN0是负输入。

每个序列环路总是始于IN0或IN0/IN1，并根据配置字，在下列任一条件下结束：INx位中设定的最后通道/通道对、温度传感器，或辅助输入通道。表13提供器件如何响应可编程配置的快速参考信息。第一种情况下，通道序列器以重复方式扫描通道IN0至通道IN3。注意，退出序列器时，最后一次转换遭破坏。

图13. 典型通道序列器示例

INx[14:12]	COM	MUX	TEMPB	结束序列
011	1	1	1	IN3(至COM)
111	1	1	1	IN7(至COM)
11x	0	1	1	IN6至IN7
111	1	1	0	TEMPB
111	1	0	1	AUX±
111	1	0	0	AUX±

INx和COM输入(MUX = 1, TEMPB = 1)

若要使用序列中参考COM或INx通道对的独立INx通道，并且不转换AUX或温度传感器通道，则MUX和TEMPB位必须置1。序列中需转换的最后一个通道由INx位指定。最后那个通道完成扫描后，下一次转换重新始于IN0或IN0/IN1。对于成对通道，通道配对取决于INx中设置的最后一个通道。请注意，成对通道的正输入始终在偶数通道(IN0、IN2、IN4、IN6)上，负输入始终在奇数通道(IN1、IN3、IN5、IN7)上。因此，将INx置位为110或111，则扫描所有成对通道时，正输入提供给IN0、IN2、IN4和IN6。例如，若要扫描4个单通道，则将INx置位为011，COM置位为1，以及MUX置位为1；如此设置的顺序即为IN0、IN1、IN2、IN3、IN0、IN1、IN2和IN3。

具有AUX输入的INx和COM输入(MUX = 0, TEMPB = 1)

若要使用独立的INx通道并参考COM或INx通道对，并且序列中包括AUX输入，则MUX位必须置0，以便将AUX通道附加到序列末尾(在INx设置的通道完成扫描后)。注意，AUX是一对输入，而INx通道能够参考COM或INx通道对。例如，若要扫描4个单通道和AUX输入，则将INx置位为011，COM置位为1，以及MUX置位为0；如此设置的顺序即为IN0、IN1、IN2、IN3、AUX、IN0、IN1、IN2、IN3、AUX，以此类推。

具有温度传感器的INx和COM输入(MUX = 1, TEMPB = 0)

若要将温度传感器转换附加到输入通道序列的尾部，则在配置字中，TEMPB位必须置位为低电平。注意，温度传感器需要至少5 μs的转换间隔。数据以标准二进制格式输出。

具有AUX输入和温度传感器的INx和COM输入(MUX = 0, TEMPB = 0)

温度传感器转换和辅助通道转换都可附加到输入序列的末尾，只需设置CFG寄存器中的MUX和TEMPB位即可。例如，若要一次扫描所有相对于COM、温度传感器和辅助输入的通道，则用户必须将INx置位为111、COM置位为1、MUX置位为0，以及TEMPB置位为0。其结果便是获得IN0、IN1、IN2、IN3、IN4、IN5、IN6、IN7、温度传感器和AUX序列。

序列器模式

ADAS3022有两种序列器模式，可通过SEQ位设置：基本模式和高级模式。当所有通道都配置为同样的PGIA范围时，可使用基本模式。高级模式允许使用两个额外的高级序列寄存器ASR0和ASR1，对独立通道范围进行编程。SEQ位用于使能序列器。将SEQ置位为01、10或11可指定使用哪种序列器模式。根据模式不同，基本时序或高级时序可决定输入DIN的下一个数据。

注意，对于任意序列器的更新而言，当写入寄存器以使设置生效时，存在二级深延迟。

基本序列器模式(SEQ = 11)

基本模式可用于所有通道都采用同样PGIA范围的系统。基本序列器模式中，只需单个CFG字，即可将ADAS3022设为自动扫描模式。EOC之后用于序列器CFG的第二个转换将开启序列器。

基本序列CFG更新后，DIN必须在数据回读期间保持低电平，时间至少为MSB的设定值，否则将更新CFG字，禁用序列器。

执行序列期间更新(SEQ = 01)

某些CFG设置(比如PGIA和CMS)可在序列执行期间更新。写入新的CFG字并根据第(n + 2)次转换改变相应位内容，便可从该时刻开始更新序列器；随后，所有通道均采用新数值，例如新的PGIA值。注意，针对最后的通道改变INx的位，或者改变COM，将于(n + 2)次转换时重新初始化序列器。更实际的方法是使用高级序列器模式，如“高级序列器模式(SEQ = 10)”部分所述。

高级序列器模式(SEQ = 10)

高级模式可用于针对不同的独立INx输入或成对INx输入，需要使用不同增益的系统。在此模式中，使用两个额外的寄存器，对不同增益设置进行编程。使能高级序列器模式的首个CFG字写入后，ADAS3022的第一个高级序列器寄存器ASR0或全部两个高级序列器寄存器将收到至少一个额外的传输数据，具体取决于序列中的通道数目。每个ASR都需要一次转换和相应的EOC，以便将数据载入器件。用户无法一次写入所有48位数据，因为传输完整CFG字时，EOC仅锁存前16位数据并更新。

注意，IN0或IN0/IN1的PGIA设置写入初始CFG寄存器，并且如果使用INx通道对，则只需使用ASR0。CFG和相关高级序列器寄存器更新后，DIN必须在后续数据传输期间保持低电平，时间至少为MSB的设定值，否则将中止高级序列器模式。

表14. 高级序列器寄存器0

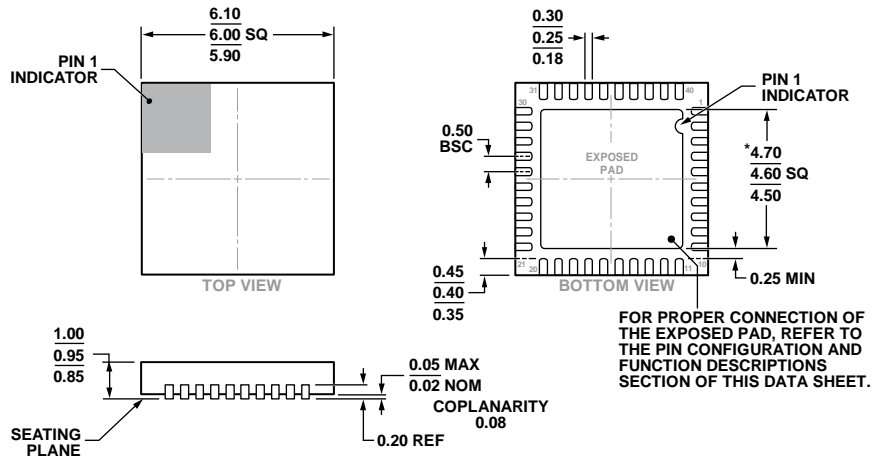
位	功能
15	ASR0写入使能 0 = CFG之后更新ASR0, 用于高级序列器 1 = 进入正常CFG更新
[14:11]	保留
[10:8]	IN1或IN2/IN3 PGIA
7	保留
[6:4]	IN2或IN4/IN5 PGIA
3	保留
[2:0]	IN3或IN6/IN7 PGIA

表15. 高级序列器寄存器1

位	功能
15	ASR1写入使能 0 = ASR0之后更新ASR1 1 = 进入正常CFG更新
[14:12]	IN4 PGIA
11	保留
[10:8]	IN5 PGIA
7	保留
[6:4]	IN6 PGIA
3	保留
[2:0]	IN7 PGIA

ADAS3022

外形尺寸



* COMPLIANT TO JEDEC STANDARDS MO-220-VJJD-5
WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

图75. 40引脚LFCSP_VQ封装,
6 mm x 6 mm超薄体
(CP-40-15),
尺寸单位: mm

11-22-2013-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADAS3022BCPZ	-40°C至+85°C	40引脚引脚架构芯片级封装(LFCSP_VQ)	CP-40-15
ADAS3022BCPZ-RL7	-40°C至+85°C	40引脚引脚架构芯片级封装(LFCSP_VQ)	CP-40-15
EVAL-ADAS3022EDZ		评估板	

¹ Z = 符合RoHS标准的器件。