

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

系统特性

两个增强型SHARC+高性能浮点内核

每个SHARC+内核最高达450 MHz

每个内核最多有5 Mb (640 kB) L1SRAM存储器，支持奇偶校验，可配置为缓存(可选功能)

支持32位、40位和64位浮点

32位定点

字节、短字、字、长字寻址

ARM Cortex-A5内核

450 MHz/720 DMIPS，支持Neon/VFPv4-D16/Jazelle

32 kB L1指令缓存/32 kB L1数据缓存

256 kB L2缓存，支持奇偶校验

强大的DMA系统，存储器DMA最高达1.8 GB/s

片内存储器保护

集成安全特性

19 mm × 19 mm 349/529 BGA(间距0.8)，兼容RoHS标准
系统功耗低，汽车应用温度范围

存储器

最多256 kB的大容量片内L2 SRAM，具有ECC保护功能
片内L2 ROM (512 kB)

两个针对低系统功耗而优化的L3接口，提供与DDR3、DDR2或LPDDR1 SDRAM器件相连的16位接口

其他特性

安全和保护

加密硬件加速器

快速安全引导，支持IP保护

支持TrustZone®

加速器

高性能流水线FFT/IFFT引擎

FIR、IIR、HAE、SINC减负引擎

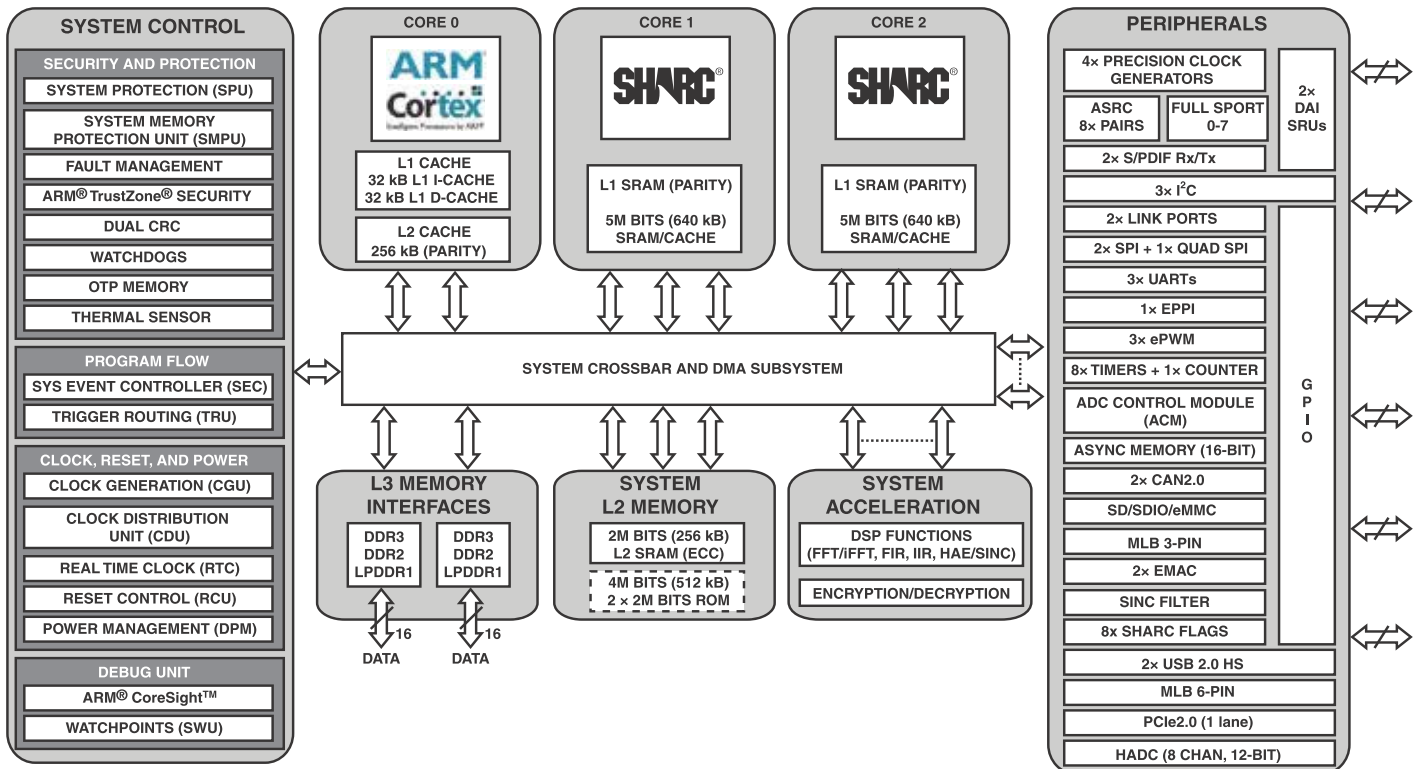


图1. 处理器功能框图

SHARC和SHARC标志均为ADI公司的注册商标；SHARC+为ADI公司的商标。

Rev. PrC

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106 U.S.A.

Tel: 781.329.4700

©2015 Analog Devices, Inc. All rights reserved.

Technical Support

www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

目录

概述.....	3	349引脚CSP_BGA封装的GP I/O复用	39
ARM Cortex-A5处理器	5	529引脚CSP_BGA封装信号描述	42
SHARC处理器	6	529引脚CSP_BGA封装的GP I/O复用	54
SHARC+内核架构	8	ADSP-SC58x/ADSP-2158x设计人员快速参考	58
系统基础架构	10	技术规格	78
系统存储器映射	11	工作条件	78
安保特性	14	电气特性	81
安全特性	14	绝对最大额定值	82
处理器外设	15	ESD灵敏度	82
系统加速	19	封装信息	82
系统设计	20	时序规格	83
系统调试	23	349引脚CSP_BGA封装引脚分配(按引脚编号顺序)	145
开发工具	23	529引脚CSP_BGA封装引脚分配(按引脚编号顺序).....	150
其它信息	24	外形尺寸	157
相关信号链	24	表贴设计	158
安保特性免责声明	24	预发布产品	159
ADSP-SC58x/ADSP-2158x详细信号描述	25		
349引脚CSP_BGA封装信号描述	30		

修订历史

2015年6月—修订版PrB至修订版PrC

更新系统特性	1
更新概述	3
更新技术规格	78

概述

ADSP-SC58x/ADSP-2158x处理器属于SHARC®系列产品。ADSP-SC58x处理器基于SHARC+双核和ARM® Cortex-A5™内核。ADSP-SC58x/ADSP-2158x SHARC处理器属于SIMD SHARC系列DSP，采用ADI公司的Super Harvard架构。这些32位/40位/64位浮点处理器针对高性能音频/浮点应用进行了优化，具有大容量片内SRAM，多条内部总线可消除I/O瓶颈，并且提供创新的数字音频接口(DAI)。SHARC+内核的最新改进加入了缓存增强、分支预测以及其他指令集改进，同时保持指令集兼容之前的SHARC产品。

该ARM/SHARC处理器集成了许多业界先进的系统外设和存储器(参见表1、表2和表3)，在一个集成封装中提供RISC式编程能力、多媒体支持和先进的信号处理，堪称新一代应用的首选平台。这些应用涵盖众多市场领域，从汽车和专业音频到需要高性能浮点处理的工业应用。

表1. 产品共同特性

	ADSP-SC58x / ADSP-2158x
DAI(包括SRU)	2
全功能SPORT	2×4
S/PDIF Rx/Tx	2×1
ASRC	2×4
精密时钟发生器	2×2
I ² C (TWI)	3
四数据位SPI	1
双数据位SPI	2
CAN2.0	2
UART	3
链路端口	2
增强型PPI	1
通用定时器 ¹	8
通用计数器	1
增强型PWM ²	3
看门狗定时器	2
ADC控制模块	是
静态存储控制器	是
硬件加速器	
高性能FFT/IFFT	是
FIR/IIR	是
谐波分析引擎	是
SINC滤波器	是
安全加密引擎	是
多通道12位ADC	8通道

¹ 仅529-BGA封装提供8个定时器。349-BGA封装无定时器6和7。

² 仅529-BGA封装提供3个ePWM。349-BGA封装无PWM 2。

表2提供了各种标准处理器的特性差异比较信息。

表3提供了各种汽车应用处理器的特性差异比较信息。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表2. 处理器对比

处理器特性	ADSP-SC582	ADSP-SC583	ADSP-SC584	ADSP-SC587	ADSP-SC589	ADSP-21583	ADSP-21584	ADSP-21587
ARM Cortex-A5(最高MHz)	450	450	450	450	450	-	-	-
ARM内核一级缓存(I, D kB)	32, 32	32, 32	32, 32	32, 32	32, 32	-	-	-
ARM内核二级缓存(kB)	256	256	256	256	256	-	-	-
SHARC+内核1(最高MHz)	450	450	450	450	450	450	450	450
SHARC+内核2(最高MHz)	-	450	450	450	450	450	450	450
SHARC L1 SRAM/内核(kB)	640	384	640	640	640	384	640	640
系统存储器	L2 SRAM(共享)(KB)	256	256	256	256	256	256	256
	L2 ROM(共享)(KB)	512	512	512	512	512	512	512
	DDR3/DDR2/LPDDR1 控制器(16位)	1	1	1	2	2	1	2
USB 2.0 HS + PHY(主机/器件/OTG)	1	1	1	1	1	-	-	-
USB 2.0 HS + PHY(主机/器件)	-	-	-	1	1	-	-	-
10/100 Std EMAC	-	-	-	1	1	-	-	-
10/100/1000 Std/AVB EMAC + 定时器IEEE-1588	1	1	1	1	1	-	-	-
SDIO/eMMC	-	-	-	1	1	-	-	-
PCIe	-	-	-	-	1通道	-	-	-
GPIO	80	80	80	102	102	80	80	102
封装选项: 19 mm x 19 mm	349-BGA	349-BGA	349-BGA	529-BGA	529-BGA	349-BGA	349-BGA	529-BGA

表3. 汽车应用处理器对比

处理器特性	ADSP-SC583W	ADSP-SC584W	ADSP-SC587W	ADSP-21583W	ADSP-21584W
ARM Cortex-A5(最高MHz)	450	450	450	-	-
ARM内核一级缓存(I, D kB)	32, 32	32, 32	32, 32	-	-
ARM内核二级缓存(kB)	256	256	256	-	-
SHARC+内核1(最高MHz)	450	450	450	450	450
SHARC+内核2(最高MHz)	450	450	450	450	450
SHARC L1 SRAM/内核(kB)	384	640	640	384	640
系统存储器	L2 SRAM(共享)(KB)	256	256	256	256
	L2 ROM(共享)(KB)	512	512	512	512
	DDR3/DDR2/LPDDR1 控制器(16位)	1	1	2	1
USB 2.0 HS + PHY(主机/器件/OTG)	1	1	1	-	-
USB 2.0 HS + PHY(主机/器件)	-	-	1	-	-
10/100 Std EMAC	-	-	1	-	-
10/100/1000 Std/AVB EMAC + 定时器IEEE-1588	1	1	1	-	-
SDIO/eMMC	-	-	1	-	-
MLB 3引脚/6引脚	1	1	1	1	1
GPIO	80	80	102	80	80
封装选项: 19 mm x 19 mm	349-BGA	349-BGA	529-BGA	349-BGA	349-BGA

ARM CORTEX-A5处理器

ARM Cortex-A5处理器(图2)是一款高性能处理器，具有如下特性：

- 指令和数据一级缓存单元(32/32KB)
- 支持动态分支预测的有序流水线
- 支持ARM、Thumb和ThumbEE指令集
- TrustZone安全扩展
- 带存储器管理单元(MMU)的Harvard一级存储器系统

- ARM v7调试架构
- 通过嵌入式跟踪宏单元(ETM)接口支持跟踪
- 扩展：支持无陷阱执行的矢量浮点单元(IEEE754)
- 扩展：采用NEON™技术的媒体处理引擎(MPE)
- 扩展：Jazelle硬件加速

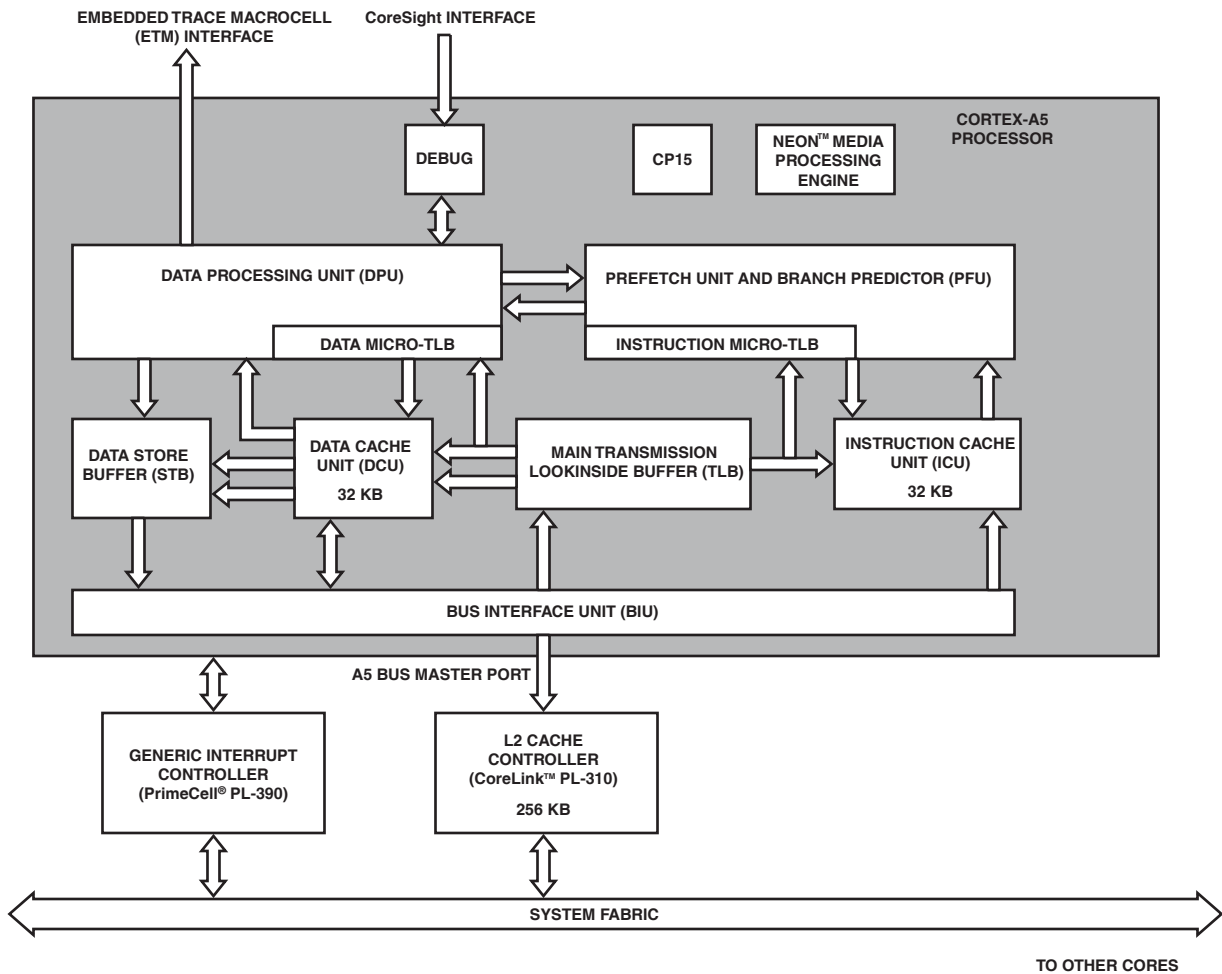


图2. ARM Cortex A-5处理器功能框图

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

通用中断控制器PL390(仅限ADSP-SC58x)

通用中断控制器(GIC)是一种集中支持和管理中断的资源。ADSP-SC58x处理器具有GIC的单处理器实现。GIC在逻辑上分为GICPORT0(分配模块)和GICPORT1(CPU接口模块)。

通用中断控制器端口0 (GICPORT0)

GICPORT0(分配器)确定中断优先次序,并将中断分配至与系统处理器相连的GICPORT1(CPU接口)模块。它将所有中断源集中起来,确定各中断的优先级,并将优先级最高的中断转发至接口,从而进行优先级屏蔽和抢先处理。

通用中断控制器端口1 (GICPORT1)

GICPORT1(CPU接口)模块为相连的系统处理器执行优先级屏蔽和抢先处理。GICPORT1支持8个SGI(软件产生中断)和254个SPI(共享外设中断)。

SHARC处理器

如图3所示,SHARC处理器集成了SHARC+ SIMD内核、L1存储器纵横式交换矩阵、I/D缓存控制器、L1存储器模块和主机/从机端口。SHARC+ SIMD内核如图4所示。

SHARC处理器支持一种改进型Harvard架构和分层存储器结构。第一级(L1)存储器通常以处理器最高速度工作,延迟非常短或无延迟。

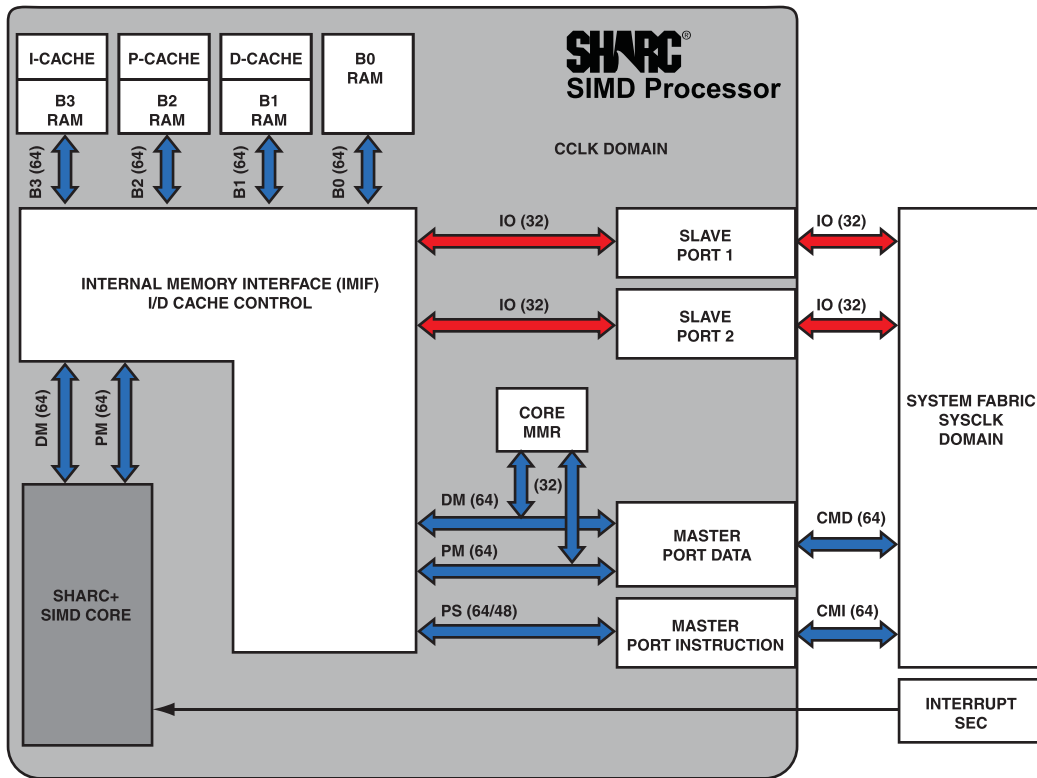


图3. SHARC处理器功能框图

L1存储器

ADSP-SC58x/ADSP-2158x存储器结构如第8页上的图5所示。每个SHARC+内核最多有5 Mb的紧密耦合一级(L1) SRAM。每个SHARC+内核可以在单周期中访问此存储器空间中的代码和数据。ARM Cortex-A5内核也可以通过多周期访问这些存储器空间。

在SHARC+内核私有地址空间中,两个内核均有各自的L1存储器。

SHARC+内核MMR地址空间为0x 0000 0000-0x 0003 FFFF(32位普通字)。每个模块可以针对不同的代码和数据存储组合配置。在5 Mb的SRAM中,最多可将1024Kb配置为DM、PM和指令缓存。每个存储器模块均支持内核处理器和I/O处理器的单周期独立访问。存储器架构与其单独的片内总线配合使用,允许在单一周期内从内核传输两个数据,还允许在单一周期内从I/O处理器传输一个数据。处理器的SRAM可以配置为最多160K字的32位数据、320K字的16位

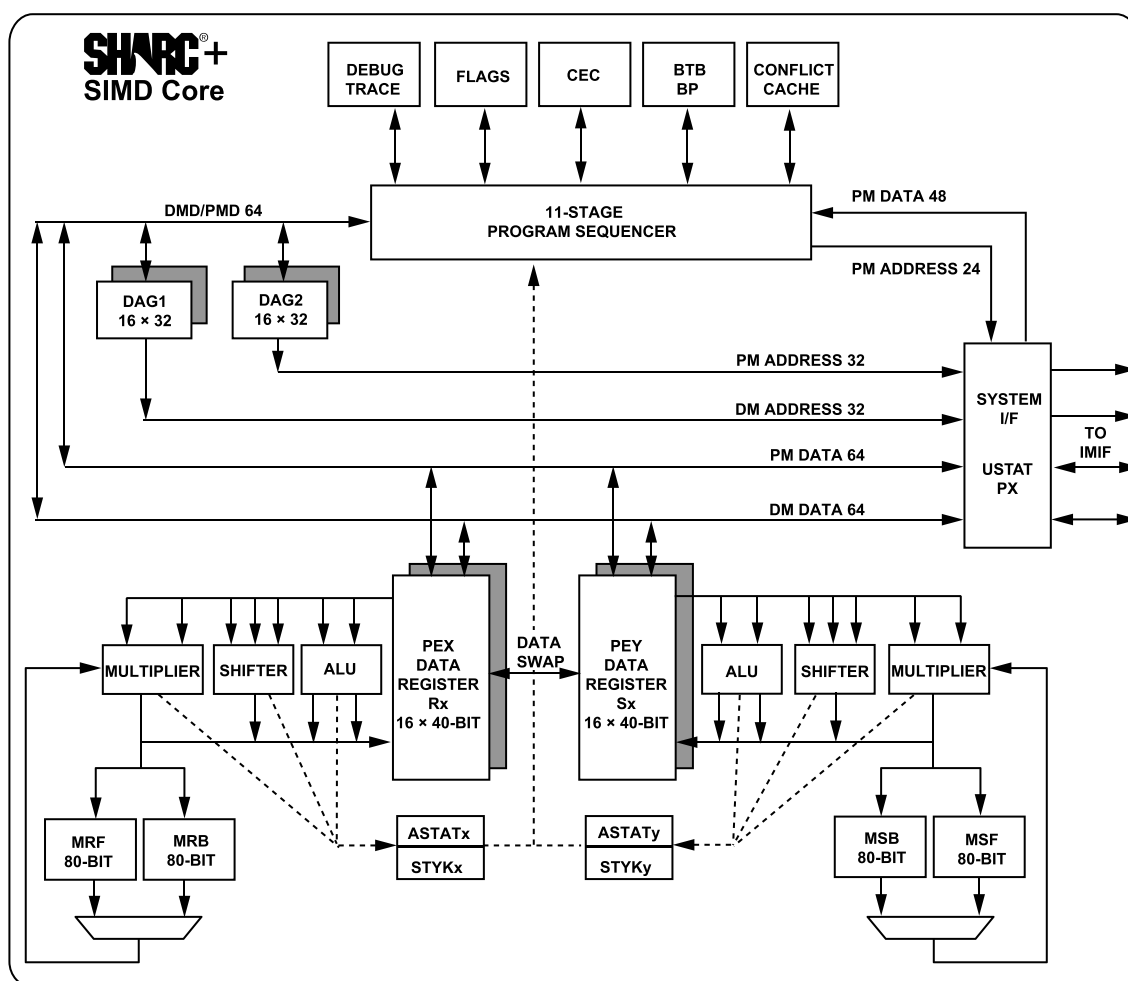


图4. SHARC+ SIMD内核框图

数据、106.7K字的48位指令(或40位数据)或不同大小字的组合，只要不超过5Mb。所有存储器都可以通过8位、16位、32位、48位或64位字进行访问。支持16位浮点存储格式，片内可存储的数据量得以加倍。

32位浮点与16位浮点之间的转换通过单指令执行。虽然每个存储器模块都可以存储代码和数据的组合，但如果让一个模块存储数据，利用DM总线进行传输，让另一个模块存储指令和数据，利用PM总线进行传输，则存取效率最高。

使用DM总线和PM总线，一条总线专用于一个存储器模块，就可以保证单周期执行两个数据传输。这种情况下，指令必须通过缓存提供。系统配置很灵活，但典型配置是512Kb DM、128Kb PM和128Kb缓存，其余L1存储器配置为SRAM。L1存储器之外的各可寻址存储器空间都可以直接访问或通过缓存访问。

第11页上的表4(存储器映射)给出了L1存储器地址空间。

此外还有多个L1存储器模块，构成一个可配置的SRAM与高速缓存组合。

L1主机和从机端口

每个SHARC+内核都有两个主机端口和两个从机端口与系统结构相连。一个主机端口获取指令，另一个主机端口将数据驱动到系统中。两个从机端口均允许无冲突的内核/DMA流传输至各存储器模块。从机端口地址参见L1存储器地址映射。

L1片内存储器带宽

内部存储器架构允许程序对四个模块中的任意模块同时进行4次访问(假定不存在模块冲突)。总带宽利用DMD和PMD总线(2×64位、CCLK速度和2×32位、SYSCLK速度)实现。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

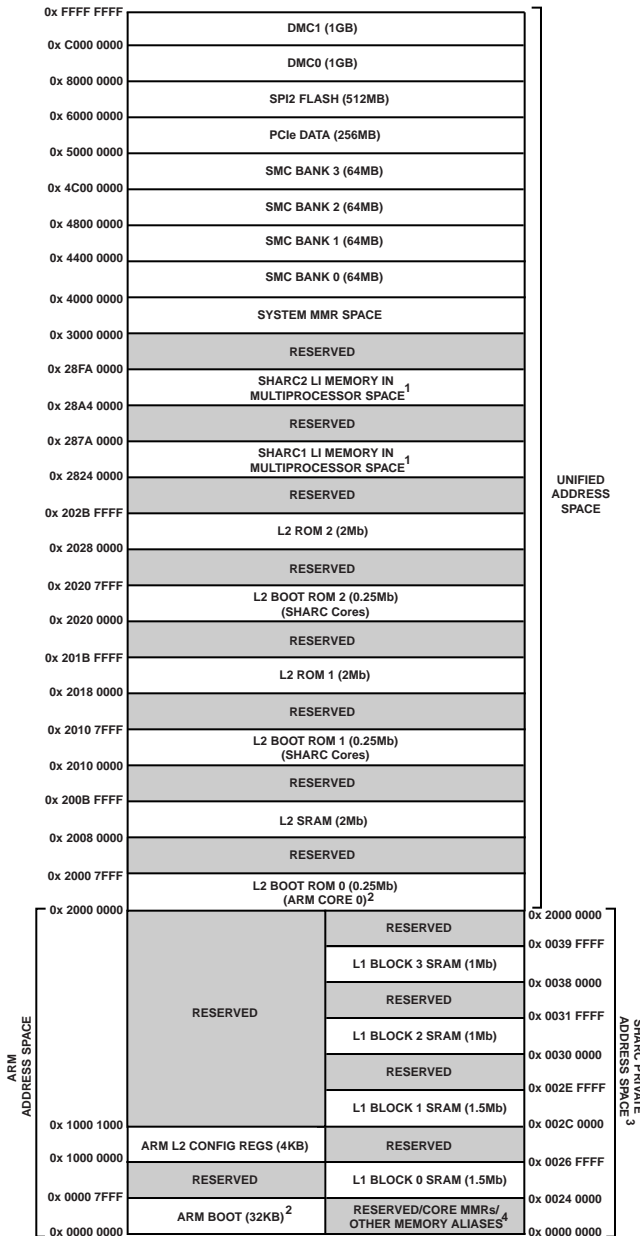


图5. ADSP-SC58x/ADSP-2158x存储器映射

指令和数据缓存

ADSP-SC58x/ADSP-2158x处理器还有一个传统指令缓存(I缓存)和两个数据缓存(PM/DM缓存)。这些缓存一起支持每个周期进行一次指令访问和两次数据访问(通过DM和PM总线)。缓存控制器自动管理L1存储器的已配置部分。系统可将L1存储器的一部分配置为由缓存控制器自动管理。这些缓存的大小可独立配置,范围是从0到128 kB。不受缓存控制器管理的存储器可由处理器直接寻址。控制器

确保两个数据缓冲具有数据一致性。缓存提供用户可控的功能,如锁定(全部和部分)、区间失效和刷新等。

系统事件控制器输入

SEC控制器的输出被转发至内核事件控制器(CEC),以便直接响应所有未屏蔽的系统中断。它还支持嵌套,包括各种SEC中断通道仲裁选项。对于所有SEC通道,处理器通过中断处理将算术状态(ASTATx和STATy)寄存器和模式(MODE1)寄存器自动并行堆叠起来。

内核存储器映射寄存器(CMMR)

内核存储器映射寄存器控制L1 I/D缓存、BTB、L2系统、奇偶校验错误、系统控制、调试和监控功能。

SHARC+内核架构

ADSP-SC58x/ADSP-2158x处理器与ADSP-2148x、ADSP-2147x、ADSP-2146x、ADSP-2137x、ADSP-2136x、ADSP-2126x、ADSP-21160、ADSP-21161及第一代ADSP-2106x SHARC处理器在汇编水平上代码兼容。ADSP-SC58x/ADSP-2158x处理器与ADSP-2126x、ADSP-2136x、ADSP-2137x、ADSP-214xx、ADSP-2116x SIMD SHARC处理器具有相同的架构特性,如图4所示,详见以下部分的说明。

SIMD计算引擎

SHARC+内核包含两个用作单指令、多数据(SIMD)引擎的计算处理器元件,分别称为PEx和PEy,各元件均由ALU、乘法器、移位器和寄存器文件组成。PEx始终有效,PEy通过将MODE1寄存器的PEYEN模式位设为1来使能。SIMD模式允许处理器在两个处理元件中执行同一指令,但各处理元件处理不同的数据。这种架构对于执行计算密集型DSP算法非常有效。除了具有其前代产品的所有特性之外,SHARC+内核还提供了一种更简单的新方式来仅在PEy上执行指令。

SIMD模式也会影响数据在存储器与处理元件之间的传输方式,因为为了支持处理元件的计算操作,需要两倍的数据带宽。所以,进入SIMD模式时,存储器与处理元件之间的带宽也会加倍。在SIMD模式下使用DAG传输数据时,每次存储器或寄存器文件访问传输两个数据值。

独立并行计算单元

各处理元件内部有一组流水线式计算单元。计算单元由算术/逻辑单元(ALU)、乘法器和移位器组成。这些单元并行

排列，从而使计算吞吐速率达到最大。这些计算单元支持IEEE 32位单精度浮点、40位扩展精度浮点、IEEE 64位双精度浮点和32位定点数据格式。

多功能指令集支持ALU和乘法器操作并行执行。在SIMD模式下，并行ALU和乘法器操作同时每个内核的两个处理元件中进行。

所有处理操作都需要一个周期来完成。对于所有浮点操作，如果存在数据关联性，则处理器需要两个周期才能完成。双精度浮点数据需要2到6个周期来完成。处理器停留适当数量的周期(联锁流水线加数据关联性检查)。

内核定时器

每个SHARC+处理器内核还有自己的专用定时器。这个额外的定时器由处理器内部时钟提供时钟信号，通常用作系统周期时钟来产生操作系统周期性中断。

数据寄存器文件

每个处理元件均包含一个通用数据寄存器文件。该寄存器文件用于在计算单元与数据总线之间传输数据，以及存储即时结果。这些10端口、32寄存器(16个主要寄存器、16个辅助寄存器)寄存器文件加上处理器的增强Harvard架构，实现了计算单元与内部存储器之间不受限制的数据流动。PE_x中的寄存器称为R0至R15，PE_y中称为S0至S15。

上下文切换

处理器的许多寄存器都有辅助寄存器，在中断处理期间可以将其激活以实现快速上下文切换。寄存器文件中的数据寄存器、DAG寄存器以及乘法器结果寄存器均有辅助寄存器。主要寄存器在复位时有效，辅助寄存器则是通过模式控制寄存器中的控制位激活。

通用寄存器

通用任务使用这些寄存器。USTAT (4)寄存器可以对所有外设寄存器(控制/状态)轻松进行位操作(置1、清0、反转、测试、XOR)。

数据总线交换寄存器(PX)允许数据在64位PM数据总线与64位DM数据总线之间传送，或者在40位寄存器文件与PM/DM数据总线之间传送。这些寄存器包含用来处理数据宽度差异的硬件。

带零开销硬件环形缓冲器支持的数据地址发生器

处理器的两个数据地址发生器(DAG)用于间接寻址以及环形数据缓冲器的硬件实现。环形缓冲器支持对数字信号处理所需的延迟线和其它数据结构进行高效编程，常用于数字滤波器和傅里叶变换。处理器的两个DAG包含足够的寄

存器，最多可以创建32个环形缓冲器(16个主要寄存器集、16个辅助寄存器集)。DAG自动处理地址指针回绕，可降低开销、提高性能并简化实现。环形缓冲器可以在任何寄存器位置开始和结束。

灵活的ISA指令集

48位指令字支持各种并行操作，可实现简练编程。例如，处理器可以有条件地在两个处理元件中执行乘法、加法和减法，同时进行分支并从存储器获取最多4个32位数据值，所有这些只需一个指令。此外，SHARC+内核增加了双精度浮点指令集。

可变指令集架构(VISA)

除了支持源自上一代SHARC处理器的标准48位(ISA)指令以外，SHARC+内核处理器还支持ADSP-214xx产品的16位和32位新指令。此特性称为可变指令集架构(VISA)，48位指令中的冗余/无用位被删除，从而使代码更有效、更紧凑。程序序列器支持从内部和外部存储器获取这些16位和32位指令。VISA不是一种工作模式，它仅与地址相关(参见存储器映射ISA/VISA地址空间)。此外，它允许在ISA和VISA取指令操作之间跳转。

单周期获取1个指令和4个操作数

ADSP-SC58x/ADSP-2158x处理器采用增强Harvard架构，数据存储器(DM)总线传输数据，程序存储器(PM)总线传输指令和数据。

利用独立的程序和数据存储器总线以及片内指令冲突缓存，处理器可以在一个周期内同时获取4个操作数(每条数据总线2个)和1个指令(从冲突缓存)。

内核事件控制器(CEC)

SHARC+内核IVT产生各种内核中断(算术和环形缓冲器指令流异常)以及SEC事件(调试/监控、软件)。内核仅响应未屏蔽的中断(IMASK寄存器)。

指令冲突缓存

处理器含有一个32条目指令缓存，支持三总线操作以获取一个指令和四个数据值。该缓存是选择性的，只有这样的指令才会被缓存：指令获取与PM总线数据存取冲突。此缓存支持全速执行内核环路操作，如数字滤波器乘加和FFT蝴蝶处理等。冲突缓存仅用于片内总线冲突。

分支目标缓冲器/分支预测器

基于硬件的分支预测器(BP)和分支目标缓冲器(BTB)的实现可缩短分支延迟。对于条件指令和无条件指令，程序序列器利用此目标缓冲器(BTB)支持高效分支处理。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

寻址空间

对于数据和指令存取，除了传统上支持的长字、普通字、扩展精度字和短字寻址别名以外，处理器还支持字节寻址。为了从字节空间存取所有大小的数据，以及将字地址/字节转换为字节/字地址，增强ISA/VISA提供了新的指令。

其他特性

ADSP-SC58x/ADSP-2158x处理器的增强ISA/VISA还提供用于数据同步的存储器屏障指令(sync)，用于多核数据共享的专门数据存取支持，以及用于使能多处理器编程的专门数据存取。为了增强应用的可靠性，L1数据RAM支持对每个字节使用奇偶校验错误检测逻辑。此外，处理器可检测非法操作码。这两个错误均可产生内核中断。内核的主机端口还能检测到失败的外部访问。

系统基础架构

下面说明ADSP-SC58x/ADSP-2158x处理器的系统基础架构。

系统L2存储器

两个SHARC+内核、ARM Cortex-A5内核和DMA通道还可以使用2 Mb (256 kB)的系统级L2存储器(参见表5)。ARM和SHARC+内核对此存储器空间的存储器访问均为多周期访问。该存储器空间用于以下各种情况：

- ARM至SHARC+内核数据共享和内核间通信
- 加速器和外设的来源与目标存储器，避免访问外部存储器中的数据
- 存放DMA描述符的位置
- 存储用于ARM或SHARC+内核的额外数据，避免外部存储器延迟并降低外部存储器带宽
- 存储传入的以太网流量以改善性能
- 存储SHARC+内核缓存的数据系数表

关于限制特定内核和DMA主机访问的选项，参见[系统保护单元\(SPU\)](#)。

ARM Cortex-A5内核具有L1指令和数据缓存，各自的大小均为32 kB。还有一个256 kB的L2缓存控制器。当使能这些缓存时，访问所有其他存储器空间(内核和外部)都要经过缓存。

多处理器空间中的SHARC+内核L1存储器

ARM Cortex-A5内核可以访问SHARC+内核的L1存储器。多处理器空间中的L1存储器地址参见表6。SHARC+内核可以访问多处理器空间中其他SHARC+内核的L1存储器。

一次性可编程存储器(OTP)

这些处理器具有7Kb的一次性可编程(OTP)存储器，可通过存储器映射进行访问。此存储器存储芯片唯一标识，并支持安全引导和安全操作。

I/O存储器空间

静态存储器控制器(SMC)用来控制最多2组外部存储器或存储器映射设备，其时序参数很灵活。每一组占用8KB区段，与所用器件的大小无关。映射I/O还包括PCIe数据和SPI2存储器地址空间。参见表7。

系统存储器映射

表4. L1模块0、1、2、3 SHARC寻址存储器映射(私有地址空间)

存储器	长字(64位)	扩展精度/ ISA码 (48位)	普通字 (32位)	短字/VISA码 (16位)	字节访问(8位)
L1模块0 SRAM (1.5 Mb)	0x00048000– 0x0004DFFF	0x00090000– 0x00097FFF	0x00090000– 0x0009BFFF	0x00120000– 0x00137FFF	0x00240000– 0x0026FFFF
L1模块1 SRAM (1.5 Mb)	0x00058000– 0x0005DFFF	0x000B0000– 0x000B7FFF	0x000B0000– 0x000BBFFF	0x00160000– 0x00177FFF	0x002C0000– 0x002EFFFF
L1模块2 SRAM (1 Mb)	0x00060000– 0x00063FFF	0x000C0000– 0x000C5554	0x000C0000– 0x000C7FFF	0x00180000– 0x0018FFFF	0x00300000– 0x0031FFFF
L1模块3 SRAM (1 Mb)	0x00070000– 0x00073FFF	0x000E0000– 0x000E5554	0x000E0000– 0x000E7FFF	0x001C0000– 0x001CFFFF	0x00380000– 0x0039FFFF

表5. L2存储器寻址映射

存储器	字节地址空间 ARM – 数据访问和 指令获取 SHARC – 数据访问	用于数据访问的 普通字地址空间 SHARC	指令获取 VISA地址 空间SHARC	指令获取 ISA地址 空间SHARC
L2引导-ROM0 ¹	ARM: 0x00000000–0x00007FFF SHARC/DMA: 0x20000000–0x20007FFF	0x08000000–0x08001FFF	0x00B80000–0x00B83FFF	0x00580000–0x00581555
L2 RAM (2 Mb)	0x20080000–0x200BFFFF	0x08020000–0x0802FFFF	0x00BA0000–0x00BBFFFF	0x005A0000–0x005AAAAF
引导ROM1	0x20100000–0x20107FFF	0x08040000–0x08041FFF	0x00B00000–0x00B03FFF	0x00500000–0x00501555
L2 ROM1	0x20180000–0x201BFFFF	0x08060000–0x0806FFFF	0x00B20000–0x00B3FFFF	0x00520000–0x0052AAAF
引导ROM2	0x20200000–0x20207FFF	0x08080000–0x08081FFF	0x00B40000–0x00B43FFF	0x00540000–0x00541555
L2 ROM2	0x20280000–0x202BFFFF	0x080A0000–0x080AFFFF	0x00B60000–0x00B7FFFF	0x00560000–0x0056AAAF

¹就ARM而言，L2引导-ROM0字节地址空间为0x 0000 0000–0x 0000 7FFF。

表6. 多处理器空间中的SHARC L1存储器

		存储器 模块	用于ARM和SHARC 的字节地址空间	用于SHARC的普通字 地址空间
多处理器空间中SHARC1 的L1存储器	通过从机1端口寻址	模块0	0x28240000–0x28270000	0x0A090000–0x0A09C000
		模块1	0x282C0000–0x282F0000	0x0A0B0000–0x0A0BC000
		模块2	0x28300000–0x28320000	0x0A0C0000–0x0A0C8000
		模块3	0x28380000–0x283A0000	0x0A0E0000–0x0A0E8000
	通过从机2端口寻址	模块0	0x28640000–0x28670000	0x0A190000–0x0A19C000
		模块1	0x286C0000–0x286F0000	0x0A1B0000–0x0A1BC000
		模块2	0x28700000–0x28720000	0x0A1C0000–0x0A1C8000
		模块3	0x28780000–0x287A0000	0x0A1E0000–0x0A1E8000
多处理器空间中SHARC2 的L1存储器	通过从机1端口寻址	模块0	0x28A40000–0x28A70000	0x0A290000–0x0A29C000
		模块1	0x28AC0000–0x28AF0000	0x0A2B0000–0x0A2BC000
		模块2	0x28B00000–0x28B20000	0x0A2C0000–0x0A2C8000
		模块3	0x28B80000–0x28BA0000	0x0A2E0000–0x0A2E8000
	通过从机2端口寻址	模块0	0x28E40000–0x28E70000	0x0A390000–0x0A39C000
		模块1	0x28EC0000–0x28EF0000	0x0A3B0000–0x0A3BC000
		模块2	0x28F00000–0x28F20000	0x0A3C0000–0x0A3C8000
		模块3	0x28F80000–0x28FA0000	0x0A3E0000–0x0A3E8000

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表7. 映射I/O的存储器映射

	字节地址空间 ARM - 数据访问 和指令获取 SHARC - 数据访问	用于数据访问的 普通字地址空间 SHARC	SHARC内核指令获取	
			VISA空间	ISA空间
SMC模块0 (64 MB)	0x40000000-0x43FFFFFF	0x01000000-0x01FFFFFF	0x00F00000-0x00F3FFFF	0x00700000-0x0073FFFF
SMC模块1 (64 MB)	0x44000000-0x47FFFFFF	不可用	不可用	不可用
SMC模块2 (64 MB)	0x48000000-0x4BFFFFFF	不可用	不可用	不可用
SMC模块3 (64 MB)	0x4C000000-0x4FFFFFFF	不可用	不可用	不可用
PCIe数据(256 MB)	0x50000000-0x5FFFFFFF	0x02000000-0x03FFFFFF	0x00F40000-0x00F7FFFF	0x00740000-0x0077FFFF
SPI2存储器(512 MB)	0x60000000-0x7FFFFFFF	0x04000000-0x07FFFFFF	0x00F80000-0x00FFFFFF	0x00780000-0x007FFFFFFF

表8. DMC存储器映射

	字节地址空间 ARM - 数据访问 和指令获取 SHARC - 数据访问	用于数据访问的 普通字地址空间 SHARC	SHARC内核指令获取	
			VISA空间	ISA空间
DMC0 - 1 GB	0x80000000-0xBFFFFFFF	0x10000000-0x17FFFFFF	0x00800000-0x00AFFFFFFF	0x00400000-0x004FFFFFFF
DMC1 - 1 GB	0xC0000000-0xFFFFFFFF	0x18000000-0x1FFFFFFF	0x00C00000-0x00EFFFFFFF	0x00600000-0x006FFFFFFF

动态存储控制器(DMC)

DMC控制器支持JESD79-2E和JESD79-3E兼容型双倍数据速率(DDR2和DDR3)SDRAM和JESD209A低功耗DDR1 (LPDDR1) SDRAM设备。DMC PHY在读操作期间使用的所有数据和数据选通引脚都采用片上端接。DMC存储器映射参见表8。支持的DMC频率参见第79页上的表28。

纵横式系统交换矩阵(SCB)

纵横式系统交换矩阵(SCB)是开关结构样式的基本构建模块，用于(片上)系统总线互连。SCB将系统总线主机连接至系统总线从机，以在多个总线主机与多个总线从机之间提供并行数据传输。由多个SCB构成的分层模型提供一种低功耗、小面积的系统互连，满足特定系统的性能和灵活性要求。

SCB具有如下特性：

- 高效率、流水线式总线传输协议支持持续吞吐
- 全双工总线操作提供灵活性并降低延迟
- 支持并行总线传输，多个总线主机可以同时访问多个总线从机
- 支持保护模型(特权/安全)，可实现选择性总线互连保护
- 每当缓冲器部分充满(如1/2满、1/4满等)便中断的类似缓冲器。

直接存储器访问(DMA)

处理器利用直接存储器访问(DMA)在存储空间之间或存储空间与外设之间传输数据。处理器可以指定数据传输操作，然后返回正常处理状态，同时全集成式DMA控制器独立于处理器执行数据传输。

DMA传输可以发生在存储器与外设之间或一个存储器与另一个存储器之间。每个存储器到存储器DMA流使用两个通道，一个是来源通道，另一个是目标通道。

所有DMA都可以将数据传入和传出所有片内和片外存储器。程序可以使用两类DMA传输：基于描述符或基于寄存器。基于寄存器的DMA允许处理器直接设置DMA控制寄存器以启动DMA传输。完成后，控制寄存器自动更新为原始设置值以进行连续传输。基于描述符的DMA传输要求将一组参数存储在存储器内以启动一个DMA序列。基于描述符的DMA传输允许将多个DMA序列链接起来。设置DMA通道在当前序列完成后自动设置和启动下一DMA传输。

DMA引擎支持下列DMA操作：

- 完成时停止的单通道线性缓冲器。
- 跨步长度为负、正或零的线性缓冲器。
- 每当缓冲器全满时便中断的循环、自动刷新式缓冲器。
- 1D DMA - 使用一组相同的乒乓式缓冲器，这些缓冲器由双字描述符集的链接环定义，各描述符包含一个链接指针和一个地址。

- 1D DMA – 使用4字描述符集的连接列表，各描述符包含一个链接指针、一个地址、长度和配置。
- 2D DMA – 使用单字描述符集的阵列，仅指定DMA基地址。
- 2D DMA – 使用多字描述符集的连接列表，指定所有项。

存储器DMA (MDMA)

处理器支持多种存储器到存储器DMA操作，包括：

- 带CRC保护的标准带宽MDMA通道(32位总线宽度，时钟采用SCLK0)
- 增强带宽MDMA通道(32位总线宽度，时钟采用SYSCLK)
- 最大带宽MDMA通道(64位总线宽度，时钟采用SYCLK，可将一个通道分配给FFT加速器)

扩展存储器DMA

扩展存储器DMA支持多种工作模式，例如延迟线DMA(处理器读取和写入外部延迟线缓冲器，从而存取外部存储器，只需与内核发生非常有限的交互)和分散/聚集DMA(写入/读取非连续存储块)。

CRC保护

CRC保护模块允许系统软件定期计算存储器中的代码和/或数据、存储器映射寄存器的内容或通信消息对象的签名。专用硬件电路比较该签名与预计算值，从而触发适当的故障事件。

例如，系统软件每隔100 ms便启动对存储器所有内容的签名计算，然后比较签名与预期的预计算值。如果不一致，则产生故障条件(通过处理器内核或触发例程单元)。

CRC是基于CRC32引擎的硬件模块，计算向其提供的32位数据字的CRC值。存储器到存储器DMA的来源通道(存储器扫描模式下)提供数据，可以将其转送到目标通道(存储器传输模式)。CRC外设的主要特性如下：

- 存储器扫描模式
- 存储器传输模式
- 数据验证模式
- 数据填充模式
- 用户可编程的CRC32多项式
- 位/字节镜像选项(字节序)
- 故障/错误中断机制

- 1D和2D填充模块利用常数初始化阵列
- 存储器模块或MMR模块的32位CRC签名

事件处理

处理器提供的事件处理支持嵌套和优先级设置。嵌套允许多个事件服务例程同时有效。优先级设置可确保高优先级事件的处理先于低优先级事件的处理。处理器支持下列五种不同类型的事件：

- 仿真 – 仿真事件会使处理器进入仿真模式，从而通过JTAG接口执行处理器的命令和控制功能。
- 复位 – 该事件会使处理器复位。
- 异常 – 与程序流程同步发生的事件(换言之，异常发生在指令执行完毕之前)。一方面，由SHARC+内核触发的条件，如数据对齐(SIMD/长字)或计算违规(定点或浮点)等，以及非法指令会引起内核异常。另一方面，由SEC触发的条件，如ECC/奇偶校验/看门狗/系统时钟等，会引起系统异常。
- 中断 – 与程序流程异步发生的事件，由输入信号、定时器、其它外设和显式软件指令引发。

系统事件控制器(SEC)

两个SHARC+内核均有系统事件控制器。系统事件控制器具有如下特性：

- 系统事件源的全面管理，包括中断使能、故障使能、优先级、内核映射和源映射
- 分布式编程模型，各系统事件源控制和所有状态字段都是相互独立的
- 确定性，所有系统事件都有相同的传播延迟，并且为特定系统事件源提供唯一的标识
- 从机控制端口，用于访问配置、状态、中断/故障服务模型的所有SEC寄存器
- 全局锁定支持寄存器级保护模型，防止写入“锁定”的寄存器
- 故障管理，包括故障操作配置、超时、外部指示和系统复位

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

触发路由单元(TRU)

TRU提供系统级序列控制，无需内核干预。TRU将触发主机(触发产生者)映射到触发从机(触发接收者)。从机端点可以通过多种方式响应触发。TRU支持的常见应用包括：

- 一个DMA通道的序列完成后，自动触发另一个DMA序列开始
- 软件触发
- 同时发生的活动的同步

安特性

下面说明ADSP-SC58x/ADSP-2158x处理器的安特性。

ARM TrustZone

ADSP-SC58x处理器提供TrustZone®技术，后者已密切集成到Cortex-A5处理器中。利用该技术可实现一种安全状态，通过AMBA® AXI™总线和互连结构，该安装状态还会扩展到整个系统。

加密硬件加速器

ADSP-SC58x/ADSP-2158x处理器支持基于标准的硬件加速加密、解密、认证和真随机数生成。

支持下列硬件加速加密方案：

- ECB、CBC、ICM和CTR模式的AES，128位、192位和256位密钥
- ECB和CBC模式的DES，56位密钥
- ECB和CBC模式的3DES，3x56位密钥
- 有状态、无状态模式的ARC4，最多128位密钥

支持下列硬件加速散列函数：

- SHA-1
- 带224位和256位摘要的SHA-2
- SHA-1和SHA-2的HMAC变形
- MD5

处理器提供了公共密钥加速器，用于减轻计算密集型公共密钥加密操作负荷。

处理器具有基于硬件的非确定性随机数发生器和伪随机数发生器。

处理器还具有安全引导功能，通过224位椭圆曲线数字签名确保引导流的完整性和真实性。另外，还可以通过AES-128加密确保私密性。

安全调试功能仅允许可信用户利用调试工具访问系统。

系统保护单元(SPU)

系统保护单元(SPU)通过提供写保护机制来防止对外设MMR空间的意外或有害访问。用户可以选择并配置受保护的外设，以及配置外设要防备四个系统MMR主机(内核、存储器DMA和CoreSight™调试)中的哪些主机。

SPU同时是安全基础架构的一部分。除写保护功能外，SPU还用于定义哪些资源是安全的或不安全的，并阻止非安全主机访问安全资源。

系统存储器保护单元(SMPU)

顾名思义，系统存储器保护单元(SMPU)提供存储器保护，防止对存储器的特定区域进行读和/或写处理。除SHARC L1和SPI直接存储器从机之外，ADSP-SC58x/ADSP-2158x处理器的每个存储器空间都有对应的SMPU单元。

SMPU也是安全基础架构的一部分。利用这些单元，用户不仅可以防止随意的读和/或写处理，而且能将存储器区域定义为安全区域，防止非安全主机访问这些存储器区域。

安全特性

ADSP-SC58x/ADSP-2158x处理器设计用于支持功能安全应用。虽然安全性主要由系统决定，但器件提供的下列基础特性有助于实现强大的安全性。

多奇偶校验位保护的SHARC+内核L1存储器

在SHARC+内核的L1存储空间中，无论是SRAM还是缓存，每个字都受多奇偶校验位的保护，可检测所有RAM中的单粒子翻转。缓存标签不受奇偶校验保护。

ECC保护的L2存储器

错误纠正码(ECC)用于纠正单粒子翻转。L2存储器受单错误纠正-双错误检测(SEC-DED)码的保护。ECC默认使能，但可以按组禁用。单位错误以透明方式纠正。双位错误可以产生一个系统事件或故障(如果使能)。ECC保护对用户是完全透明的，即使L2存储器由8位或16位实体读取或写入。

CRC保护的存储器

奇偶校验位和ECC保护主要用来防止L1和L2存储单元中的随机软错误，而CRC引擎则用来防止L1、L2甚至L3存储器(DDR2、LPDDR)发生系统性错误(指针错误)并保护静态内容(指令代码)。处理器具有两个CRC引擎，嵌入在存储器到存储器DMA控制器中。CRC校验和的计算或比较可以

在存储器传输期间即时完成，一个或多个存储器区域可以由单个DMA工作单元按照DMA描述符链接指令连续处理。CRC引擎也能保护引导过程中加载的数据。

信号看门狗

8个通用定时器可以通过两种模式来监控片外信号。看门狗周期模式监控外部信号是否以预期范围内的周期切换。看门狗宽度模式监控外部信号的脉冲宽度是否在预期范围内。两种模式均有助于检测系统级信号的干扰性切换(或缺少系统信号)。

系统事件控制器(SEC)

除系统事件外，SEC还支持故障管理，包括超时等故障操作配置，通过系统中断提供内部指示或通过SYS_FAULT引脚提供外部指示，以及系统复位。

处理器外设

下面说明ADSP-SC58x/ADSP-2158x处理器的外设。

数字音频接口(DAI)

处理器支持两个镜像DAI单元。通过各DAI，各种外设可以连接到任意DAI引脚(DAI_PIN20–PIN01)。

程序利用信号路由单元(SRU)实现这些连接，如第1页上的图1所示。

SRU是一个矩阵路由单元(或一组多路复用器)，支持DAI提供的外设在软件控制下互连。因此，与非可配置信号路径支持的算法集相比，它可以使用更大的算法集，使得更广泛的应用可以轻松使用DAI相关外设。

DAI包括下面说明的外设。DAI引脚缓冲器20–19可用来改变输入信号的极性。除少数例外情况，属于不同DAI的外设信号不能互连。

串行端口(SPORT)

这些处理器具有8个同步全功能串行端口，通过这些端口，处理器可以低成本地连接到各种数字和混合信号外设，如ADI公司的AD19xx系列音频编解码器、ADC和DAC。这些串行端口由两条数据线、一条时钟线和一条帧同步线组成。数据线可以编程为发射或接收数据，各数据线有一个专用DMA通道。

各全功能SPORT模块由两个功能相同、可独立配置的半SPORT组成。每个半SPORT有两条双向数据线——主线(0)和副线(1)，可配置为发送器或接收器。因此，各半SPORT可以配置为两个发送器或两个接收器通道，允许两个单向/

双向流进入或流出同一全功能SPORT。这种双向功能为串行通信提供了更大的灵活性。

串行端口有六种工作模式：

- 标准DSP串行模式
- 多通道(TDM)模式
- I²S模式
- 包装I²S模式
- 左对齐模式
- 右对齐模式

异步采样速率转换器(ASRC)

异步采样速率转换器(ASRC)包含8个ASRC模块，具有与192 kHz立体声异步采样速率转换器AD1896相同的内核，SNR高达140 dB。ASRC模块用于在独立的立体声通道上执行同步或异步采样速率转换，不占用内部处理器资源。SRC模块也可以配置为联合工作，实现无相位失配的多通道音频数据转换。最后，ASRC可以用来清除音频数据中S/PDIF接收器等抖动时钟源的影响。

S/PDIF兼容数字音频接收器/发送器

索尼/飞利浦数字接口(S/PDIF)是一种标准音频数据传输格式，用于将数字音频信号从一台设备传输到另一台设备，而无需将其转换为模拟信号。处理器有两个S/PDIF Tx/Rx模块。数字音频接口携带三类信息：音频数据、非音频数据(压缩数据)和时序信息。

S/PDIF接口支持一个立体声通道或多个压缩音频流。S/PDIF发送器和接收器为AES3兼容型。S/PDIF接收器支持专业抖动标准。

S/PDIF接收器/发送器没有独立的DMA通道。它以串行格式接收音频数据，并将其转换为双相编码信号。接收器/发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。S/PDIF接收器/发送器的串行数据、时钟和帧同步输入通过信号路由单元(SRU)路由，其来源包括SPORT、外部引脚、精密时钟发生器(PCG)等，并受SRU控制寄存器的控制。

精密时钟发生器(PCG)

精密时钟发生器(PCG)由4个单元组成，每个单元均能从一个时钟输入信号产生一对信号(时钟和帧同步)。每个单元的功能完全相同，彼此独立工作。各单元产生的两个信号一般用作串行位时钟/帧同步对。

并行外设接口(PPI)

处理器提供一个并行外设接口(PPI)，支持最大24位宽度的数据。PPI可以直接连接TFT LCD面板、并行模数和数模转换器、视频编码器和解码器、图像传感器模块，以及其它通用外设。

PPI模块具有如下特性：

- 可编程数据长度：每时钟8位、10位、12位、14位、16位、18位和24位。
- 各种帧传输、非帧传输和通用工作模式。帧同步可以在内部产生，也可以由外部器件提供。
- 对于ITU-656接收模式和ITU-656前同步码与状态字解码，支持检测和校正ITU-656状态字错误。
- 32位数据与8位、16位、24位数据之间的打包和解包转换。如果使能打包/解包，可以配置字节序以更改字节/字的打包/解包顺序。
- 对于发送模式，RGB888可以转换为RGB666或RGB565。
- 接收/发送4:2:2 YCrCb数据可以使用多种解交错/交错模式。
- 帧同步3提供可配置LCD数据使能(DEN)输出。

UART端口

处理器提供3个全双工通用异步接收器/发送器(UART)端口，它们与PC标准UART完全兼容。每个UART端口提供一个简化的UART接口用于连接其他外设或主机，支持全双工、DMA、异步串行数据传输。UART端口支持5到8个数据位，不支持奇偶校验。在多分支总线(MDB)系统中，可以传输一个额外的地址位，以便仅中断寻址的节点。帧由数量可配置的停止位终止。

UART端口通过允许发送(CTS)输入和请求发送(RTS)输出支持自动硬件流程控制，并提供可编程的置位FIFO级。

为了帮助支持本地互连网络(LIN)协议，可以使用一个特殊命令让发射器将一个位长可编程的中断命令排队输入发射缓冲器。同样，停止位的数量可以由可编程的帧间空间扩展。

串行外设接口(SPI)端口

处理器具有3个工业标准SPI兼容型端口，可以与多个SPI兼容型器件通信。

基线SPI外设为同步四线接口，由两个数据引脚组成，一个是器件选择引脚，一个是门控时钟引脚。两个数据引脚用于对其他SPI兼容型器件进行全双工操作。还有两个(可选)数据引脚，用于支持四通道SPI操作。同时还支持流量控

制、快速模式和双I/O模式(DIOM)等增强工作模式。此外，在直接存储器访问(DMA)模式下，只需与CPU进行极少的交互，便可传输多个字。

通过一系列可配置选项，SPI端口可以在主机模式下、从机模式下和多主机环境下与其他SPI兼容器件实现无胶连硬件连接。SPI外设提供可编程的波特率、时钟相位和时钟极性。通过与多个其他器件接口，外设可以在多主机环境下工作，既可作为主器件，也可作为从器件。在多主机环境下，SPI外设利用开漏输出避免数据总线竞争。流量控制特性通过一个SPI就绪引脚灵活地控制传输，使得慢速从器件可以与快速主器件接口。

SPI端口的波特率和时钟相位/极性是可编程的，而且它集成了DMA通道，支持发射和接收数据流。

链路端口(LP)

两个8位宽链路端口可以与其它DSP或外设的链路端口相连。链路端口是双向端口，具有8条数据线、1条应答线和1条时钟线。

ADC控制模块(ACM)接口

ADC控制模块(ACM)提供了一个接口，用于同步处理器与模数转换器(ADC)之间的控制。模数转换由处理器根据外部或内部事件启动。

ACM可以灵活安排采样时刻，向ADC提供精密采样信号。

ACM同步ADC转换过程，产生ADC控制、ADC转换开始信号和其它信号。ADC的实际数据采集由ACM的内部DAI路由通过SPORT0完成。

处理器可与许多ADC直接接口，无需任何胶连逻辑。

三相脉冲宽度调制器(PWM)单元

脉冲宽度调制器(PWM)模块是一个灵活且可编程的波形发生器。只需极少的CPU干预，PWM外设就能够产生复杂的波形，用于电机控制、脉冲编码调制(PCM)、数模转换(DAC)、功率切换和功率转换。PWM模块含有4个PWM对，能够产生交流感应电机和直流无刷电机的源逆变器所用的三相PWM信号。

3个三相PWM发生单元的特性如下：

- 以中心为基准的16位PWM发生单元
- 可编程PWM脉冲宽度
- 支持不对称占空比选项的单次更新模式
- 可编程死区时间和开关频率

- 每个通道的死区时间可编程
- 二进制补码实现方案支持平滑过渡到全开和全关状态
- 专用异步PWM关断信号

以太网MAC (EMAC)

处理器具有两个EMAC：10/100 Std以太网和10/100/1000 Std/AVB以太网，支持精密时间协议IEEE-1588。

处理器可以通过一个嵌入式快速以太网媒体访问控制器(MAC)直接连接网络，该MAC支持10-BaseT (10Mb/s)、100-BaseT (100Mb/s)和1000-BaseT (1Gb/s)工作模式。处理器上的10/100以太网MAC外设完全符合IEEE 802.3-2002标准，并提供可编程的特性，以便最大程度地减少监管、总线使用或处理器系统其余部分的消息处理。

下面是一些标准特性：

- 支持外部PHY的RMII/RGMII协议
- 全双工和半双工模式
- 媒体访问管理(半双工模式)
- 流程控制
- 站管理：产生MDC/MDIO帧以便读/写PHY寄存器

下面是一些高级特性：

- 自动计算接收帧IP表头和IP有效载荷域的校验和
- 独立的32位描述符驱动接收和发送DMA通道
- 帧状态通过DMA传送到存储器，包括用于在软件中实现高效缓冲队列管理的帧完成令牌
- 发送DMA支持MAC表头和有效载荷使用不同的描述符，以消除缓冲复制操作
- 方便的帧对齐模式
- 47个MAC管理统计计数器提供可选的读取后清除特性和可编程的半最大值中断
- 高级电源管理
- 魔术包检测和唤醒帧滤波
- 支持802.3Q标记VLAN帧
- 可编程的MDC时钟速率和前同步码抑制

音频视频桥接(AVB)支持(仅限10/100/1000 EMAC)

10/100/1000 EMAC支持下列音频视频(AVB)特性：

- 100 Mbps和1000 Mbps模式下AV数据可通过不同通道或队列传输

- 附加发送通道可以使用IEEE 802.1-Qav指定的令牌整形(credit-based shaper, CBS)算法
- 可在发送和接收路径上配置最多2个附加通道(通道1和通道2)用于AV流量。通道0默认可用，携带发送侧的传统尽力服务以太网流量。
- 通过不同的DMA、发送FIFO和接收FIFO来实现不同级别的AVB延迟
- 通过可编程控制将收到的VLAN标记非AV数据包路由至通道或队列

精密时间协议IEEE 1588支持

IEEE 1588标准是一种用于联网测量和控制系统的精密时钟同步协议。处理器通过一个集成的精密时间协议同步引擎(PTP_TSYNC)支持IEEE 1588。该引擎提供硬件辅助时间戳，以提高PTP节点之间的时钟同步精度。该引擎的主要特性如下：

- 支持IEEE 1588-2002和IEEE 1588-2008协议标准
- 硬件辅助时间戳最高可提供12.5 ns的分辨率
- 锁定调整
- 自动检测IPv4和IPv6数据包以及PTP消息
- 多个输入时钟源(SCLK0、RMII时钟和外部时钟)
- 可编程的每秒脉冲(PPS)输出
- 辅助快照功能可对外部事件加盖时间戳

控制器区域网络(CAN)

There are two CAN modules. CAN控制器实现了CAN 2.0B(有源)协议。此协议是异步通信协议，用于工业和汽车控制系统。CAN协议能够可靠地通过网络通信，非常适合控制应用，这是因为该协议具有CRC校验、消息错误跟踪和故障节点限制等机制。

CAN控制器提供如下特性：

- 32个邮箱(8个仅用于接收，8个仅用于发送，16个可配置为接收或发送)。
- 每个邮箱具有专用接受屏蔽。
- 对前两个字节的补充数据滤波。
- 支持标准(11位)和扩展(29位)识别符(ID)消息格式。
- 支持远程帧。
- 支持有源或无源网络。
- 中断，包括：TX完成、RX完成、错误和全局。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

不需要额外晶振来提供CAN时钟，因为CAN时钟是通过可编程分频器从系统时钟获得。

定时器

处理器包括多个定时器，以下部分将说明这些定时器。

通用定时器(TIMER)

处理器包括一个通用定时器单元，它提供8个通用可编程定时器。每个定时器具有外部引脚，可以将其配置为脉宽调制器(PWM)、定时器输出、定时器的时钟输入或用于测量脉宽和外部事件周期的机制。这些定时器可以与TIMER_TMRx引脚上的外部时钟输入、外部TIMER_CLK输入引脚或内部SCLK0同步。

这些定时器单元可以与UART和CAN控制器一起使用，测量数据流的脉冲宽度，为相应的串行通道提供软件自动波特率检测功能。

通用定时器可以产生处理器内核中断，提供用于与系统时钟或外部信号同步的周期性事件。定时器事件也可以通过TRU触发其他外设(例如产生故障信号)。每个定时器也可以由任意TRU主机启动和/或停止，无需内核干预。

看门狗定时器(WDT)

ARM和/或SHARC+内核可以使用两个片内软件看门狗定时器。软件看门狗可以提高系统可用性，如果定时器在软件复位之前超时，它将通过通用中断或故障迫使处理器进入已知状态。编程人员初始化定时器计数值，使能适当中断，然后使能定时器。此后，在计数器从编程值倒数到0之前，软件必须重新加载计数器。这样在软件(正常情况下会复位定时器)由于外部噪声条件或软件错误而停止运行时，可以防止系统一直处于未知状态。

通用计数器(CNT)

处理器提供一个32位计数器，它可以在通用升/降计数模式下工作，检测通常由工业驱动器或手动拇指滚轮发射的2位正交或二进制码。计数方向由电平敏感型输入引脚或两个边沿检测器控制。

第三个计数器可以提供灵活的零标记支持，或者也可以用于输入拇指滚轮设备的按钮信号。所有三个引脚都具有可编程去抖电路。

转送到通用定时器的内部信号可以使能该定时器来测量计数事件之间的时间间隔。边界寄存器支持自动调零操作，或者在超过可编程的计数值时通过中断发出简单的系统警告。

PCI Express (PCIe)

某些型号产品提供PCI Express接口。该单一双向通道可配置为根复合体(RC)或端点(EP)系统。此接口有如下特性：

- 符合PCI Express基本规范3.0
- 支持各方向以2.5 Gbps (Gen 1.1)或5.0 Gbps (Gen 2)的速率传输
- 支持8b/10b编码和解码
- 通道反转和通道极性反向
- 发送和接收方向的数据流量控制
- 支持移除受损数据包以进行错误检测和恢复
- 最大处理有效载荷为256字节

一般管理性模数转换器(HADC)

HADC提供一个通用多通道逐次逼近型模数转换器。它支持如下特性集：

- 12位ADC内核(10位精度)，内置采样保持器
- 8个单端输入通道，通过增加外部通道复用器可将其扩展为15通道
- 吞吐速率最高达1 MSPS
- 单一外部基准，其模拟输入范围为0 V至3.3 V
- 可以选择ADC时钟频率，包括可以设置预分频器
- 自适应转换类型：单次或连续转换，支持自动扫描选项
- 自动序列化功能，单个会话最多支持15次“自动转换”每次转换可以选择任意1-15个输入通道
- 16个数据寄存器(可个别寻址)，用以存储转换值

USB 2.0 OTG两用器件控制器

有两个USB模块和PHY。USB0支持HS/FS/LS USB2.0 OTG；USB1仅支持HS/FS USB2.0，可配置为主机或设备。

不仅手机、数码相机和MP3播放器等消费类移动设备，工业应用也在越来越多地采用USB 2.0 OTG总线标准。对此，各USB 2.0 OTG两用器件控制器提供了一种低成本连接解决方案。USB 2.0控制器允许这些设备利用点到点USB连接传输数据，而无需借助PC主机。该模块既可在传统USB外设模式下工作，也可在USB 2.0规范补充标准OTG提出的主机模式下工作。

USB时钟通过专用外部晶体或晶振提供。

USB OTG两用器件控制器包括一个带可编程乘法器的锁相环，用以产生USB所需的内部时钟频率。

媒体局部总线(MLB)

汽车应用型号具有一个MLB从机接口，通过该接口，处理器可以用作媒体本地总线器件。它支持3引脚和6引脚媒体本地总线协议。速度最高可达 $3072 \times FS$ (49.25Mb/s, $FS = 48.1 \text{ kHz}$)，最多支持63个逻辑通道，每个媒体本地总线帧最多包含124字节的数据。

MLB接口支持MOST25/50/150数据速率，只能以从机模式工作。

2线控制器接口(TWI)

处理器包括3个双线接口(TWI)模块，用于在多个器件之间进行简单的控制数据交换。TWI模块兼容广泛使用的I²C总线标准。TWI模块能够同时以主机和从机工作，支持7位寻址和多媒体数据仲裁。TWI接口利用两个引脚传输时钟(TWI_SCL)和数据(TWI_SDA)，支持最高速度为400 kb/s的协议。TWI接口引脚兼容5 V逻辑电平。

此外，TWI模块完全兼容串行相机控制总线(SCCB)功能，可轻松控制各种CMOS相机传感器。

通用I/O (GPIO)

每个通用端口引脚都可以通过操纵端口控制、状态和中断寄存器进行控制：

- GPIO方向控制寄存器 - 指定各GPIO引脚的方向：输入或输出。
- GPIO控制和状态寄存器 - “写1修改”机制支持通过单一指令来修改GPIO引脚的任意组合，而不会影响其它GPIO引脚的电平。
- GPIO中断屏蔽寄存器 - 允许各GPIO引脚用作处理器的中断。定义为输入的GPIO引脚可以用来产生硬件中断，输出引脚则可以由软件中断触发。
- GPIO中断敏感性寄存器 - 指定各引脚是对电平敏感还是对边沿敏感；如果是对边沿敏感，则还要指定仅信号的上升沿有意义还是上升沿和下降沿均有意义。

引脚中断

处理器的每个端口引脚都可以通过边沿敏感或电平敏感方式请求中断，极性可编程。中断功能与GPIO操作分离。6个系统级中断通道(PINT0-5)专门用于此目的。每个中断通道最多可以管理32个中断引脚。中断的引脚分配不是在

单个引脚基础上进行，而是以8个引脚为一组(半个端口)，灵活地分配给中断通道。

每个引脚中断通道都有一组特殊的32位存储器映射寄存器，用于支持半端口分配和中断管理，包括请求的屏蔽、识别和清除。通过这些寄存器还可以访问相应引脚的状态，并使用中断锁存器，无论中断屏蔽与否。多数控制寄存器具有多个MMR地址条目，以便“写1设置”或“写1清除”。

移动存储器接口(MSI)

移动存储器接口(MSI)控制器用作多媒体卡(MMC)、安全数字存储卡(SD)、安全数字输入/输出卡(SDIO)的主机接口。MSI控制器具有如下特性：

- 支持单个MMC、SD存储器、SDIO卡
- 支持1位和4位SD模式
- 支持1位、4位和8位MMC模式
- 支持eMMC 4.3嵌入式NAND闪存设备
- 带时钟线、命令线、可选中断线和最多8条数据线的11信号外部接口
- 集成DMA控制器
- 从CDU的CLKO9产生卡接口时钟
- SDIO中断和读取等待特性

系统加速

下面说明ADSP-SC58x/ADSP-2158x处理器的系统加速模块。

FFT加速器

有一个高性能FFT/IFFT加速器，它可大大提高ADSP-SC58x/ADSP-2158x处理器的总浮点计算能力。

此外，如下特性可用来改善该加速器的总体性能：

- 支持IEEE-754/854单精度浮点数据格式
- 自动产生转动系数以降低系统带宽
- 支持用于定窗和频域滤波的矢量复数乘法
- 能够以流水线形式传输数据流。在当前数据集正在处理且前一数据集正被送往存储器的时候，加速器可以带入新的数据集。这样可以显著改善系统性能。
- 可输出复杂样本的幅度平方值作为结果
- 采用64位总线的专用高速DMA控制器，可以读写任意存储器空间的数据

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

FFT加速器可以与处理器上的其他加速器并行工作。

FIR加速器

FIR(有限脉冲响应)加速器由一个1024字系数存储器、一个用于数据的1024字深延迟线和四个MAC单元组成。一个控制器管理该加速器。FIR加速器以外设时钟频率工作。它可以访问所有存储器空间，并且可以与其他加速器同时工作。

IIR加速器

IIR(无限脉冲响应)加速器由一个用于存储双二阶系数的1440字系数存储器、一个用于存储中间数据的数据存储器和一个MAC单元组成。一个控制器管理该加速器。IIR加速器以外设时钟频率工作。它可以访问所有存储器空间，并且可以与其他加速器同时工作。

谐波分析引擎(HAE)

谐波分析引擎(HAE)模块从两个源信号接收8 kHz输入样本，这两个源信号的频率在45 Hz和165 Hz之间。然后，HAE将处理输入采样，并生成输出结果。输出结果由对基波进行的电能质量测量值和最多12个额外谐波构成。

SINC滤波器

SINC模块处理4个位流，为每个位流使用一对可配置的SINC滤波器。每对初级SINC滤波器用来产生该对的滤波和抽取输出。输出的抽取速率可以是比输入速率低8至256倍的任意整数速率。抽取越高，就越能消除噪声，因而ENOB也越高。

还可在SINC模块之外选用额外的滤波装置来进一步增加ENOB。主SINC滤波器输出可通过借道DMA传输至处理器存储器或传输至另一外设的方式进行访问。

四个通道中的每一个都有一个低延迟辅助滤波器，其中含有可编程的正、负超量程检测电容。这些限值检测事件可以用于使内核中断，生成触发信号，或者指示系统故障。

数字传输内容保护(DTCP)

ADSP-SC58x/ADSP-2158x处理器支持AES128数据加密引擎。

DTCP规范定义了加密协议，避免音频娱乐内容在穿过IEEE 1394标准等高性能数字总线时被非法复制、截取和篡改。只有通过另一个经认证的复制保护系统(例如DVD内容加扰系统)传递到源设备的合法娱乐内容才会受到这个复制保护系统的保护。

关于DTCP的更多信息请联系ADI公司。

系统设计

以下部分介绍系统设计选项和电源问题。

时钟管理

处理器提供三种工作模式，各种模式具有不同的性能/功耗特征。控制各处理器外设的时钟也可以降低功耗。处理器不支持低功耗工作模式。控制各处理器外设的时钟可以降低功耗。

复位控制单元(RCU)

复位是整个处理器或内核的初始状态，并且是硬件或软件触发事件的结果。在此状态下，所有控制寄存器都设为默认值，功能单元空闲。要退出全系统复位状态，内核必须准备就绪以执行引导。

复位控制单元(RCU)控制所有功能单元如何进入和退出复位状态。功能要求和时钟约束条件的不同决定了复位信号的产生方式。程序必须保证任何复位功能都不会将系统置于不明状态或引起资源停转。当内核复位时，这点尤其重要(程序必须确保无待处理系统活动涉及要复位的内核)。

从系统角度来看，复位由复位目标和复位源定义，如下所示。

目标定义：

- 系统复位 - 除RCU以外的所有功能单元都复位到默认状态。
- 硬件复位 - 所有功能单元都复位到默认状态，无一例外。历史记录丢失。
- 仅内核复位 - 仅影响该内核。系统软件应保证任何总线主机都不会访问处于复位状态的内核。

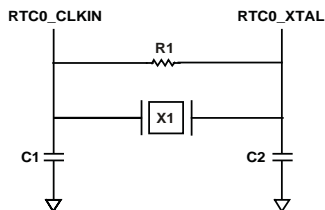
来源定义：

- 系统复位 - 可以由软件(写入RCU_CTL寄存器)或另一功能单元触发，例如动态电源管理(DPM)单元(休眠)、任一系统事件控制器(SEC)、触发例程单元(TRU)或仿真器输入。
- 硬件复位 - SYS_HWRST输入信号置位有效(下拉)。
- 仅内核复位 - 由软件触发。
- 触发请求(外设)。

实时时钟(RTC)

实时时钟(RTC)提供鲁棒的数字计时功能，包括当前时间、跑表和报警。RTC由处理器外部的一个32.768 kHz晶振提供时钟信号。RTC引脚RTC0_CLKIN和RTC0_XTAL与外部器件的连接如图6所示。

RTC外设具有专用电源引脚，当处理器的其余部分进入低功耗状态时，它仍然能保持上电和计时。RTC提供多种可编程的中断选项，包括：每秒、每分钟、每小时或每天中断；可编程跑表倒计时中断；以及在设定的报警时间中断。



NOTE: C1 AND C2 ARE SPECIFIC TO CRYSTAL SPECIFIED FOR X1. CONTACT CRYSTAL MANUFACTURER FOR DETAILS.

图6. RTC的外部器件

32.768 kHz输入时钟频率由一个预分频器分频为1 Hz信号。计时器的计数器功能包括四个计数器：60秒计数器、60分钟计数器、24小时计数器和32768天计数器。报警中断使能后，当计时器的输出与报警控制寄存器中的编程值一致时，报警功能就会产生一个中断。报警有两种：一种是对一天的某个时间，另一种是针对某一天的某个时间。

跑表功能从一个编程值开始倒计时，其分辨率为1秒。跑表中断使能后，当计数器下溢时，就会产生一个中断。

时钟产生单元(CGU)

ADSP-SC58x/ADSP-2158x处理器支持两个独立PLL。各PLL是时钟产生单元(CGU)的一部分。各CGU既可由同一时钟源从外部驱动，也可由不同时钟源驱动。这样便可灵活地确定各时钟域的内部时钟频率。

各CGU产生的频率从同一个倍频器获得，各输出有不同的分频值。

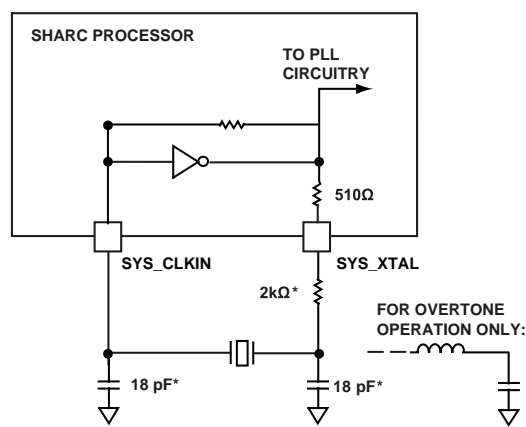
时钟发生单元(CGU)产生所有片内时钟和同步信号。乘法系数用于定义PLLCLK频率。

可编程值将PLLCLK频率分频，产生内核时钟(CCLK)、系统时钟、DDR1/2/3时钟(DCLK)和输出时钟(OCLK)。有关时钟的更多信息，请参阅硬件参考手册的“时钟产生单元(CGU)”一章。

写入CGU控制寄存器不会立即影响PLL的行为。寄存器首先写入新值，然后PLL逻辑执行变更，以便从当前状态平稳过渡到新状态。

系统晶振和USB晶振

处理器的时钟可以来自外部晶振(图7)、正弦波输入或源于外部时钟振荡器的缓冲整形时钟。如果使用外部时钟，它应为TTL兼容信号，而且在正常工作期间不得暂停、改变或以低于额定频率的频率工作。此信号连接到处理器的SYS_CLKIN引脚。使用外部时钟时，SYS_XTAL引脚保持断开。此外，由于处理器含有片内振荡器电路，因此也可以使用外部晶振。



NOTE: VALUES MARKED WITH * MUST BE CUSTOMIZED, DEPENDING ON THE CRYSTAL AND LAYOUT. PLEASE ANALYZE CAREFULLY. FOR FREQUENCIES ABOVE 33 MHz, THE SUGGESTED CAPACITOR VALUE OF 18pF SHOULD BE TREATED AS A MAXIMUM.

图7. 外部晶振连接

欲以基频工作，请使用图7所示电路。一个并行谐振、基频、微处理器级晶振连接在SYS_CLKIN和SYS_XTAL引脚上。SYS_CLKIN引脚与SYS_XTAL引脚之间的片内电阻在500 kΩ范围内。通常情况下，建议不要使用其它并联电阻。

图7所示的两个电容和串联电阻用于精调正弦频率输入的相位和幅度。图7所示的电容和电阻值仅为典型值。电容值取决于晶振制造商的负载电容建议和PCB物理布局。电阻值取决于晶振制造商规定的驱动电平。用户应在所需的整个温度范围内细致考察多个器件，验证所用的元件值是否合适。

针对25 MHz以上的频率，可以使用三次谐波晶体振荡器。此时需要修改图7所示电路，增加一个调谐电感电路，确

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

保晶振仅在第三泛音工作。第三泛音工作的设计程序详见应用笔记(EE-168):“三次谐波晶体振荡器用于ADSP-218x DSP”(请在ADI公司网站www.analog.com上搜索“EE-168”)。同样的建议可能也适用于USB晶振。

时钟分配单元(CDU)

两个CGU均有输出馈入时钟分配单元(CDU)。时钟输出CLKO0-9连接到各目标部分。更多信息请参阅硬件参考手册的“时钟分配单元(CDU)”一章。

上电

V_{DD_EXT} 引脚通电时, XTAL(SYS_CLKIN)开始振荡。 $\overline{SYS_HWRST}$ 的上升沿启动片内PLL锁定(PLL锁定计数器)。只有当所有电压供应和SYS_CLKIN振荡都有效时,才能解除置位(参见第83页上的上电复位时序)。

时钟输出/外部时钟

SYS_CLKOUT输出引脚具有可编程选项,可以输出片内时钟的分频版本。默认情况下,SYS_CLKOUT引脚驱动SYS_CLKIN0输入的缓冲版本。要更改时钟的默认映射,请参阅硬件参考手册的“时钟分配单元(CDU)”一章。

引导

复位后,处理器可以通过多种机制自动加载内部和外部存储器。引导模式由专用SYS_BMODE输入引脚决定。引导模式分为两类。在主机引导模式下,处理器主动从串行存储器加载数据。在从机引导模式下,处理器接收来自外部主机的数据。

引导模式如表9所示。这些模式由复位配置寄存器的SYS_BMODE位实现,在上电复位和软件启动的复位期间采样。

在ADSP-SC58x处理器中,ARM Cortex-A5(内核0)控制引导过程,包括加载所有内部和外部存储器。类似地,在ADSP-2158x处理器中,SHARC+(内核1)控制引导功能。所有产品均提供安全引导选项。

表9. 引导模式

SYS_BMODE设置	引导模式
000	无引导
001	SPI2主机
010	SPI2从机
011	保留
100	保留
101	保留
110	Link0从机
111	UART0从机

热监控单元(TMU)

热监控单元用于测量片内温度,这在功耗较高的应用中非常重要。TMU已集成到处理器芯片和数字基础架构中,利用基于MMR的系统访问来实时测量芯片温度变化。

TMU特性包括:

- 片内温度检测
- 可编程过温和欠温限值
- 可编程转换速率
- 可编程时钟源选择,传感器可采用独立的本地时钟工作
- 均值功能

电源

针对以下部分,处理器具有单独的电源连接:

- 内部(V_{DD_INT})
- 外部(V_{DD_EXT})
- USB (V_{DD_USB})
- HADC (V_{DD_HADC})
- RTC (V_{DD_RTC})
- DMC (V_{DD_DMC})
- PCIe(V_{DD_PCIe} 、 $V_{DD_PCIe_TX}$ 和 $V_{DD_PCIe_RX}$)

所有电源都应满足第78页上“工作条件”给出的要求。所有外部电源引脚必须连接到同一电源。

电源管理

如表10所示,处理器支持4个不同的电源域,以便在符合工业标准和惯例的同时提供最大的灵活性。各种电源域没有时序控制要求,但所有电源域都必须按照处理器“工作条件”中的相应技术规格表来通电,即使不使用某一特性/外设。

表10. 电源域

电源域	V _{DD} Range
所有内部逻辑	VDD_INT
DDR3/DDR2/LPDDR	VDD_DMC
USB	VDD_USB
HADC	VDD_HADC
RTC	VDD_RTC
PCIe_TX	VDD_PCIE_TX
PCIe_RX	VDD_PCIE_RX
PCIe	VDD_PCIE
所有其它I/O(包括SYS、JTAG和端口引脚)	VDD_EXT

处理器的功耗在很大程度上与其时钟频率和工作电压的平方成比例。例如，工作频率降低25%，动态功耗也会降低25%。

目标板JTAG仿真器连接器

仿真期间，ADI公司DSP工具JTAG仿真器产品线采用处理器的IEEE 1149.1 JTAG测试访问端口来监控和控制目标板处理器。ADI公司DSP工具JTAG仿真器产品线以处理器最高速度提供仿真，允许检查和更改存储器、寄存器及处理器堆栈。处理器的JTAG接口确保仿真器不会影响目标系统的加载或时序。

有关ADI公司SHARC DSP工具JTAG仿真器产品线的详细信息，请参阅相应仿真器硬件的用户指南。

系统调试

处理器包括多种用于简化系统调试的特性，下面说明这些特性。

系统观察点单元(SWU)

系统观察点单元(SWU)是单一模块，连接到单条系统总线以监控处理。进入各系统从机的总线都连有一个SWU。SWU为所有系统总线地址通道信号提供端口。每个SWU包含4组匹配的寄存器和相关硬件。这四个SWU匹配组独立工作，但共享事件(中断、触发和其它)输出。

调试访问端口(DAP)

DAP(调试访问端口)通过JTAG调试提供IEEE-1149.1 JTAG接口支持。对于内核和系统，DAP均提供了可选仪表跟踪。其跟踪流符合MIPI系统跟踪协议第二版(STPv2)。

开发工具

ADI公司有一整套软件和硬件开发工具支持其处理器，包括集成开发环境(CrossCore® Embedded Studio)、评估产品、仿真器以及各种软件插件。

集成开发环境(IDE)

针对C/C++软件写入和编辑、代码生成、调试支持，ADI公司提供CrossCore Embedded Studio IDE。

CrossCore Embedded Studio基于Eclipse™框架。它是包括多核器件在内的处理器的首选IDE，支持ADI公司的大部分处理器系列。CrossCore Embedded Studio无缝集成现有软件插件以支持实时操作系统、文件系统、TCP/IP堆栈、USB堆栈、算法软件模块和评估硬件板支持包。欲了解更多信息，请访问www.analog.com/cces。

EZ-KIT Lite评估板

为了便于评估处理器，ADI公司提供多种EZ-KIT Lite®评估板。评估板包括处理器和主要外设，支持片内仿真功能和其它评估与开发特性。此外还提供各种EZ-Extenders®，这些是子卡，提供其他特殊功能，包括音频和视频处理。欲了解更多信息，请访问www.analog.com并搜索“ezkit”或“ezextender”。

EZ-KIT Lite评估套件

为了以低成本高效了解有关ADI处理器开发的更多信息，ADI公司提供多种EZKIT Lite评估套件。各评估套件均包括一片EZ-KIT Lite评估板、关于下载可用IDE评估版的说明、一条USB线缆和一条电源线。EZ-KIT Lite评估板上的USB控制器连接到用户PC的USB端口，使得所选IDE评估套件能够在线仿真板上处理器。用户可以下载、执行、调试EZ-KIT Lite系统的程序。它还支持对板上闪存进行在线编程以存储用户专用的引导代码，并支持独立操作。如果安装完整版本的CrossCore Embedded Studio(另售)，工程师就可以开发软件以用于支持的EZ-KIT或任何采用支持的ADI处理器的定制系统。

CrossCore Embedded Studio的软件插件

ADI公司提供能与CrossCore Embedded Studio无缝集成的软件插件，用以扩展其功能并减少开发时间。插件包括评估硬件的板支持包、各种中间件包和算法模块。插件安装完成后，这些插件中存在的文档、帮助、配置对话框和代码示例可通过CrossCore Embedded Studio IDE查看。

评估硬件的板支持包

EZ-KIT Lite评估板和EZ-Extender子板的软件支持由被称为“板支持包”(BSP)的软件插件提供。BSP包含指定评估硬件所需的驱动、相关的发布说明和精选的代码示例。特定BSP的下载链接位于相关EZ-KIT或EZ-Extender产品的网页上。该链接位于产品网页的产品下载区域。

中间件包

ADI公司还提供中间件插件，如实时操作系统、文件系统、USB堆栈和TCP/IP堆栈等。欲了解更多信息，请访问以下网页：

- www.analog.com/ucos2
- www.analog.com/ucos3
- www.analog.com/ucfs
- www.analog.com/ucusbcd
- www.analog.com/ucusbh
- www.analog.com/lwip

算法模块

为了加快开发工作，ADI公司提供用于执行常用音频和视频处理算法的插件。这些插件可与CrossCore Embedded Studio一起使用。欲了解更多信息，请访问www.analog.com并搜索“Blackfin软件模块”或“SHARC软件模块”。

设计一个兼容仿真器的DSP板(目标)

针对嵌入式系统测试和调试，ADI公司提供一系列仿真器。ADI公司在每个JTAG DSP上都提供了一个IEEE 1149.1 JTAG测试访问端口(TAP)。使用此JTAG接口有助于在线仿真。仿真器通过处理器的TAP访问处理器的内部功能，允许开发人员加载代码、设置断点、观察变量、观察存储器、检查寄存器。发送数据和命令时，处理器必须暂停，但当仿真器完成操作时，DSP系统便能以全速运行，对系统时序无影响。仿真器要求目标板包括一个接头，用以将DSP的JTAG端口连接到仿真器。

有关目标板设计问题的详细信息，包括机械布局、单处理器连接、信号缓冲、信号端接和仿真器Pod逻辑等，请参阅EE-68：“ADI公司JTAG仿真技术参考”(请在ADI公司网站www.analog.com上搜索“EE-68”)。该文件定期更新，以便与仿真器支持的最新改进保持同步。

其它信息

此数据手册对ADSPSC58x/ADSP-2158x的架构和功能进行了一般说明。有关该内核架构和指令集的详细信息，请参阅编程参考手册。

相关信号链

“信号链”指一系列信号调理电子器件，它们相继接收输入(通过采样实时现象获得的数据或存储的数据)，信号链一部分的输出作为下一部分的输入。信号处理应用常常使用信号链来采集和处理数据，或者根据对实时现象的分析应用系统控制。

ADI公司提供能够完美配合工作的信号处理器件来简化信号处理系统的开发。ADI公司网站www.analog.com提供了一款工具，用于显示特定应用与相关器件之间的关系。

参考设计页面提供了一个指向参考电路Circuits from the Lab™网站(<http://www.analog.com/circuits>)的链接，参考电路包括：

- 各种电路类型和应用的信号链电路图
- 各信号链中的器件均有选型指南和应用信息链接
- 采用最佳设计技术的参考设计

安保特性免责声明

据我们所知，当按照数据手册和硬件参考手册的规定使用时，安保特性能够提供安全的代码和数据保护实现方法。然而，ADI公司不保证该技术绝对安全。因此，ADI公司特此声明，ADI公司并未明示或默示保证安保特性无法被破坏、削弱或以其它方式绕过；对于数据、信息、财产、知识产权的损失、毁坏或泄漏，ADI公司概不负责。

ADSP-SC58X/ADSP-2158X详细信号描述

表11提供各引脚的详细说明。

表11. ADSP-SC58x/ADSP-2158x详细信号描述

端口名称	方向	描述
ACM_A[n]	输出	ADC控制信号 功能因模式而异
ACM_CLK	输出	时钟 SCLK产生的时钟，连接至ADC。
ACM_FS	输出	帧同步 通常用作ADC片选信号。
ACM_T[n]	输入	外部触发信号n 外部触发事件的输入。
C1_FLG[n]	输出	SHARC+内核1标志引脚
C2_FLG[n]	输出	SHARC+内核2标志引脚
CAN_RX	输入	接收 通常是外部CAN收发器的RX输出。
CAN_TX	输出	发送 通常是外部CAN收发器的TX输入。
CNT_DG	输入	递减计数和门控取决于工作模式，该输入用作递减计数信号或门控信号。 递减计数 - 该输入导致通用计数器递减。门控 - 使通用计数器停止递增或递减。
CNT_UD	输入	递增计数和方向 取决于工作模式，该输入用作递增计数信号或方向信号。 递增计数 - 该输入导致通用计数器递增。方向 - 选择通用计数器递增或递减计数。
CNT_ZM	输入	零标记 连接零标记的输入将输出旋转器件信号，或检测按钮动作。
DAI_PIN[nn]	输入输出	引脚n 通过数字应用接口(DAI0和DAI1)，各种外设可以连接到任意DAI引脚(DAI0_PINxx和DAI1_PINxx)。程序利用信号路由单元(SRU)实现这些连接。两个DAI单元是对称的。共用引脚DAIx__PIN03和DAIx__PIN04用于在两个DAI单元之间路由。
DMC_A[nn]	输出	地址n 地址总线。
DMC_BA[n]	输出	组地址n 定义了将ACTIVATE、READ、WRITE或PRECHARGE命令应用到动态存储器的哪个内部组。同时定义了LOAD MODE REGISTER命令期间加载哪些模式寄存器(MR、EMR、EMR2和/或EMR3)。
DMC_CAS	输出	列地址选通 定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的CAS输入。
DMC_CK	输出	时钟 DCLK输出到外部动态存储器。
DMC_CKE	输出	时钟使能 高电平有效时钟使能信号。连接到动态存储器的CKE输入。
DMC_CK	输出	时钟(负) DMC_CK的互补信号。
DMC_CS[n]	输出	片选n 此信号置位时，只有存储器能识别命令。
DMC_DQ[nn]	输入输出	数据n 双向数据总线。
DMC_LDM	输出	低位字节的数据屏蔽 驱动到高电平时，屏蔽DMC_DQ07:DMC_DQ00写入数据。动态存储器在数据选通信号的两个边沿上采样。
DMC_LDQS	输入输出	低位字节的数据选通 DMC_DQ07:DMC_DQ00数据选通。用写入数据输出。用读取数据输入。可以是单端或差分，取决于寄存器设置。
DMC_LDQS	输入输出	低位字节的数据选通(负) LDQS的互补信号。单端模式下不使用。
DMC_ODT	输出	片上端接 驱动到高电平时，使能动态存储器端接电阻(假设存储器配置正确)。
DMC_RAS	输出	行地址选通 定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的RAS输入。
DMC_RESET	输出	复位(仅DDR3)
DMC_RZQ	输入输出	外部校准电阻连接
DMC_UDM	输出	高位字节的数据屏蔽 驱动到高电平时，屏蔽DMC_DQ15:DMC_DQ08写入数据。动态存储器在数据选通信号的两个边沿上采样。
DMC_UDQS	输入输出	高位字节的数据选通 DMC_DQ15:DMC_DQ08数据选通。用写入数据输出。用读取数据输入。单端模式下不使用。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表11. ADSP-SC58x/ADSP-2158x详细信号描述(续)

端口名称	方向	描述
DMC_UDQS	输入输出	高位字节的数据选通(负)UDQS的互补信号。单端模式下不使用。
DMC_VREF	输入	基准电压外部驱动到VDD_DMC/2。
DMC_WE	输出	写入使能定义外部动态存储器与其他DMC命令信号一同执行的操作。连接到动态存储器的WEB输入。
ETH_CRS	输入	载波检测/RMII接收数据有效交替时钟周期上的多路复用。CRS - 发送或接收介质为非空闲时, 由PHY置位。当两者均为空闲时, 解除置位。RXDV - RXDn上的数据有效时, 由PHY置位。
ETH_MDC	输出	管理通道时钟为PHY提供MDC输入时钟。
ETH_MDIO	输入输出	管理通道串行数据用于PHY控制的双向数据总线。
ETH_PTPAUXIN[n]	输入	PTP辅助触发输入置位此信号可获取时间的辅助快照, 并将其保存在辅助时间戳FIFO。
ETH_PTPCLKIN[n]	输入	PTP时钟输入可选外部PTP时钟输入。
ETH_PTPPPS[n]	输出	PTP脉冲/秒输出使能高级时间戳功能时, 该信号根据所选PPS模式置位。否则, PTPPPS将在第二个计数器每次递增时置位。
ETH_REFCLK	输入	参考时钟外部提供的以太网时钟
ETH_RXCLK_REFCLK	输入输出	RXCLK (GigE)或REFCLK (10/100)
ETH_RXCTL_CRS	输入输出	RXCTL (GigE)或CRS (10/100)
ETH_RXD[n]	输入	接收数据n接收数据总线
ETH_TXCLK	输入	参考时钟外部提供的以太网时钟
ETH_TXCTL_TXEN	输入输出	TXCTL (GigE)或TXEN (10/100)
ETH_TXD[n]	输出	发送数据n发送数据总线
ETH_TXEN	输入输出	发送使能置位时表示TXDn上的数据有效。
HADC_EOC_DOUT	输出	转换结束/串行数据输出每次转换结束时, 变为高电平并持续HADC内部时钟的一个周期。或者, 通过设置HADC_CTL中的相应位, 可以看到HADC串行数据输出。
HADC_MUX[n]	输出	外部多路复用器控制连接到外部多路复用器时, 可以增加输入通道。
HADC_VIN[n]	输入	通道n的模拟输入用于数字转换的模拟电压输入。
HADC_VREFN	输入	ADC接地基准连接到符合数据手册要求的外部基准电压源。
HADC_VREFP	输入	ADC外部基准电压源连接到符合数据手册要求的外部基准电压源。
JTG_TCK	输入	JTAG时钟JTAG测试访问端口时钟。
JTG_TDI	输入	JTAG串行数据输入JTAG测试访问端口数据输入。
JTG_TDO	输出	JTAG串行数据输出JTAG测试访问端口数据输出。
JTG_TMS	输入	JTAG模式选择JTAG测试访问端口模式选择。
JTG_TRST	输入	JTAG复位JTAG测试访问端口复位。
LP_ACK	输入输出	应答提供握手。链路端口配置为接收器时, ACK为输出。链路端口配置为发送器时, ACK为输入。
LP_CLK	输入输出	时钟链路端口配置为接收器时, CLK为输入。链路端口配置为发送器时, CLK为输出。
LP_D[n]	输入输出	数据n数据总线。接收时为输入, 发送时为输出。
MLB_CLK	输入输出	单端时钟
MLB_CLKN	输入输出	差分时钟(-)
MLB_CLKOUT	输入输出	单端时钟输出
MLB_CLKP	输入输出	差分时钟(+)
MLB_DAT	输入输出	单端数据

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表11. ADSP-SC58x/ADSP-2158x详细信号描述(续)

端口名称	方向	描述
MLB_DATN	输入输出	差分数据(-)
MLB_DATP	输入输出	差分数据(+)
MLB_SIG	输入输出	单端信号
MLB_SIGN	输入输出	差分信号(-)
MLB_SIGP	输入输出	差分信号(+)
MSI_CD	输入	卡检测连接到上拉电阻和SD卡槽的卡检测输出。
MSI_CLK	输出	时钟从MSI施加到相连器件的时钟信号。
MSI_CMD	输入输出	命令用于发送命令到相连器件及从相连器件接收响应。
MSI_D[n]	输入输出	数据n双向数据总线。
MSI_INT	输入	eSDIO中断输入仅用于eSDIO。连接到eSDIO卡的中断输出。即使关闭卡的MSI时钟，也可以对中断进行采样。
PCIE_CLKM	输入输出	CLK -
PCIE_CLKP	输入输出	CLK +
PCIE_REF	输入输出	基准源
PCIE_RXM	输入输出	RX -
PCIE_RXP	输入输出	RX +
PCIE_TXM	输入输出	TX -
PCIE_TXP	输入输出	TX +
PPI_CLK	输入输出	时钟外部时钟模式下为输入，内部时钟模式下为输出。
PPI_D[nn]	输入输出	数据n双向数据总线。
PPI_FS1	输入输出	帧同步1 (HSYNC)其行为取决于EPPI模式。详情参见EPPI HRM章节。
PPI_FS2	输入输出	帧同步2 (VSYNC)其行为取决于EPPI模式。详情参见EPPI HRM章节。
PPI_FS3	输入输出	帧同步3 (FIELD)其行为取决于EPPI模式。详情参见EPPI HRM章节。
PWM_AH	输出	通道A高端 高端驱动信号
PWM_AL	输出	通道A低端 低端驱动信号
PWM_BH	输出	通道B高端 高端驱动信号
PWM_BL	输出	通道B低端 低端驱动信号
PWM_CH	输出	通道C高端 高端驱动信号
PWM_CL	输出	通道C低端 低端驱动信号
PWM_DH	输出	通道D高端 高端驱动信号
PWM_DL	输出	通道D低端 低端驱动信号
PWM_SYNC	输入	PWMTMR分组此输入用于外部产生的同步信号。如果同步信号由内部产生，则无需连接。
PWM_TRIP[n]	输入	关断输入n置位时，所选PWM通道输出立即关断。
P_[nn]	输入输出	位置n通用输入/输出。有关编程信息，参见硬件参考手册中的通用端口章节。
RTC_CLKIN	输入	晶振输入/外部振荡器连接连接外部时钟源或晶振。
RTC_XTAL	输出	晶振输出驱动外部晶振。如果外部时钟驱动RTC_CLKIN，则它必须断开。
SINC_CLK0	输入输出	时钟0
SINC_CLK1	输入输出	时钟1
SINC_D0	输入输出	数据0
SINC_D1	输入输出	数据1
SINC_D2	输入输出	数据2
SINC_D3	输入输出	数据3

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表11. ADSP-SC58x/ADSP-2158x详细信号描述(续)

端口名称	方向	描述
SMC_ABE[n]	输出	字节使能n 指示访问存储器的低位字节或是高位字节。针对16位存储器执行高位字节异步写入时，SMC_ABE1b=0且SMC_ABE0b=1。针对16位存储器执行低位字节异步写入时，SMC_ABE1b=1且SMC_ABE0b=0。
SMC_AMS[n]	输出	存储器选择n 通常连接存储器件的片选信号。
SMC_AOE	输出	输出使能 在读访问的建立周期起始时置位。
SMC_ARDY	输入	异步就绪 存储器件使用的流量控制信号，用来向SMC指示何时进行下一步处理。
SMC_ARE	输出	读取使能 读访问起始时置位。
SMC_AWE	输出	写入使能 写访问周期期间置位。
SMC_A[nn]	输出	地址n 地址总线。
SMC_D[nn]	输入输出	数据n 双向数据总线。
SPI_CLK	输入输出	时钟 从机模式下为输入，主机模式下为输出。
SPI_D2	输入输出	数据2 用于四通道模式下的串行数据传输。ODM模式使能时为开漏。
SPI_D3	输入输出	数据3 用于四通道模式下的串行数据传输。ODM模式使能时为开漏。
SPI_MISO	输入输出	主机输入、从机输出 用于传输串行数据。工作方向与双通道和四通道模式下的SPI_MOSI相同。ODM模式使能时为开漏。
SPI_MOSI	输入输出	主机输出、从机输入 用于传输串行数据。工作方向与双通道和四通道模式下的SPI_MISO相同。ODM模式使能时为开漏。
SPI_RDY	输入输出	就绪 可选流信号。从机模式下为输出，主机模式下为输入。
SPI_SEL[n]	输出	从机选择输出n 用于主机模式，使能所需从机。
SPI_SS	输入	从机选择输入 从机模式 - 用作从机选择输入。主机模式 - 可选，用作多主机时的SPI错误检测输入。
SPT_ACLK	输入输出	通道A时钟 数据和帧同步相对于此时钟驱动/采样。该信号可以由内部或外部产生。
SPT_AD0	输入输出	通道A数据0 主要双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_AD1	输入输出	通道A数据1 辅助双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_AFS	输入输出	通道A帧同步 帧同步脉冲启动串行数据移位。该信号可以由内部或外部产生。
SPT_ATDV	输出	通道A发送数据有效 该信号为可选，且仅当SPORT配置为多通道发送模式时激活。它在已使能的时隙间置位。
SPT_BCLK	输入输出	通道B时钟 数据和帧同步相对于此时钟驱动/采样。该信号可以由内部或外部产生。
SPT_BD0	输入输出	通道B数据0 主要双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_BD1	输入输出	通道B数据1 辅助双向数据I/O。该信号可配置为输出以发送串行数据，或者配置为输入以接收串行数据。
SPT_BFS	输入输出	通道B帧同步 帧同步脉冲启动串行数据移位。该信号可以由内部或外部产生。
SPT_BTDV	输出	通道B发送数据有效 该信号为可选，且仅当SPORT配置为多通道发送模式时激活。它在已使能的时隙间置位。
SYS_BMODE[n]	输入	引导模式控制n 选择处理器的引导模式。
SYS_CLKIN0	输入	时钟/晶振输入
SYS_CLKIN1	输入	时钟/晶振输入
SYS_CLKOUT	输出	处理器时钟输出 输出内部时钟。可对时钟进行分频。详情参见硬件参考手册中的CGU部分。
SYS_FAULT	输入输出	高电平有效故障输出 指示内部故障或检测外部故障，取决于工作模式。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表11. ADSP-SC58x/ADSP-2158x详细信号描述(续)

端口名称	方向	描述
<u>SYS_FAULT</u>	输入输出	低电平有效故障输出 指示内部故障或检测外部故障，取决于工作模式。
<u>SYS_HWRST</u>	输入	处理器硬件复位控制 置位时，复位器件。
<u>SYS_RESOUT</u>	输出	复位输出 表示器件处于复位状态。
SYS_XTALO	输出	晶振输出
SYS_XTAL1	输出	晶振输出
TM_ACI[n]	输入	备选捕捉输入n 在WIDCAP、WATCHDOG和PININT模式下提供额外输入。
TM_ACLK[n]	输入	备选时钟n 提供额外的时基，用于独立定时器。
TM_CLK	输入	时钟 提供额外的全局时基，用于所有通用定时器。
TM_TMR[n]	输入输出	定时器n 各定时器的主输入/输出信号。
TRACE_CLK	输出	跟踪时钟 时钟输出。
TRACE_D[nn]	输出	跟踪数据n 单向数据总线。
TWI_SCL	输入输出	串行时钟 主机时为时钟输出，从机时为时钟输入。
TWI_SDA	输入输出	串行数据 接收或发送数据。
<u>UART_CTS</u>	输入	允许发送 流控制信号。
<u>UART_RTS</u>	输出	请求发送 流控制信号。
<u>UART_RX</u>	输入	接收 接收输入。通常连接至满足通信器件电气要求的收发器。
<u>UART_TX</u>	输出	发送 发送输出。通常连接至满足通信器件电气要求的收发器。
USB_CLKIN	输入	时钟/晶振输入 此时钟输入由PLL倍频以形成USB时钟。频率/容差信息请参阅数据手册技术规格。
USB_DM	输入输出	数据- 双向差分数据线路
USB_DP	输入输出	数据+ 双向差分数据线路
USB_ID	输入	OTG ID 检测控制器为主机或器件。检测到A型插头时，拉低该信号(表示USB控制器为A器件)；但检测到B型插头时，输入为高电平(表示USB控制器为B器件)。
USB_VBC	输出	VBUS控制 主机模式下控制外部电压源，以便为VBUS供电。可配置为开漏。极性同样可配置。
USB_VBUS	输入输出	总线电压 在主机和器件模式下连接至总线电压。
USB_XTAL	输出	晶振驱动 外部晶振。如果外部时钟驱动USB_CLKIN，则它必须断开。

349引脚CSP_BGA封装信号描述

处理器引脚定义如表12所示。表中各列提供如下信息：

- 信号名称 – 表中的信号名称列包含各引脚的信号名称，以及每一个引脚的GP I/O多路复用引脚功能(如适用)。
- 描述和注释 – 表中的描述列提供信号的详细(描述性)名称。
- 类型 – 表中的引脚类型列表示引脚的I/O类型或电源类型。
- 类型 – 表中的引脚类型列表示引脚的I/O类型或电源类型。此列中的缩写为na(无)、I/O(输入/输出)、a(模拟)、s(电源)和g(接地)。
- 端口 – 表中的通用I/O端口列表示信号是否与其他信号多路复用至通用I/O端口引脚。
- 引脚名称 – 表中的引脚名称列表示封装引脚(上电复位时)的名称；信号位于这些引脚上(单功能引脚)或多路复用(通用I/O引脚)。

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述

信号名称	描述	端口	引脚名称
ACM0_A0	ACM0 ADC控制信号	C	PC_13
ACM0_A1	ACM0 ADC控制信号	C	PC_14
ACM0_A2	ACM0 ADC控制信号	C	PC_15
ACM0_A3	ACM0 ADC控制信号	D	PD_00
ACM0_A4	ACM0 ADC控制信号	D	PD_01
ACM0_T0	ACM0外部触发信号n	C	PC_12
C1_FLG0	SHARC内核1标志引脚	E	PE_01
C1_FLG1	SHARC内核1标志引脚	E	PE_03
C1_FLG2	SHARC内核1标志引脚	E	PE_05
C1_FLG3	SHARC内核1标志引脚	E	PE_07
C2_FLG0	SHARC内核2标志引脚	E	PE_02
C2_FLG1	SHARC内核2标志引脚	E	PE_04
C2_FLG2	SHARC内核2标志引脚	E	PE_06
C2_FLG3	SHARC内核2标志引脚	E	PE_08
CAN0_RX	CAN0接收	C	PC_07
CAN0_TX	CAN0发射	C	PC_08
CAN1_RX	CAN1接收	B	PB_10
CAN1_TX	CAN1发射	B	PB_09
CNT0_DG	CNT0递减计数和栅极	B	PB_14
CNT0_UD	CNT0递增计数和方向	B	PB_12
CNT0_ZM	CNT0零标记	B	PB_11
DAIO_PIN01	DAIO引脚1	未多路复用	DAIO_PIN01
DAIO_PIN02	DAIO引脚2	未多路复用	DAIO_PIN02
DAIO_PIN03	DAIO引脚3	未多路复用	DAIO_PIN03
DAIO_PIN04	DAIO引脚4	未多路复用	DAIO_PIN04
DAIO_PIN05	DAIO引脚5	未多路复用	DAIO_PIN05
DAIO_PIN06	DAIO引脚6	未多路复用	DAIO_PIN06
DAIO_PIN07	DAIO引脚7	未多路复用	DAIO_PIN07
DAIO_PIN08	DAIO引脚8	未多路复用	DAIO_PIN08
DAIO_PIN09	DAIO引脚9	未多路复用	DAIO_PIN09
DAIO_PIN10	DAIO引脚10	未多路复用	DAIO_PIN10
DAIO_PIN11	DAIO引脚11	未多路复用	DAIO_PIN11
DAIO_PIN12	DAIO引脚12	未多路复用	DAIO_PIN12
DAIO_PIN19	DAIO引脚19	未多路复用	DAIO_PIN19

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
DAI0_PIN20	DAI0引脚20	未多路复用	DAI0_PIN20
DAI1_PIN01	DAI1引脚1	未多路复用	DAI1_PIN01
DAI1_PIN02	DAI1引脚2	未多路复用	DAI1_PIN02
DAI1_PIN03	DAI1引脚3	未多路复用	DAI1_PIN03
DAI1_PIN04	DAI1引脚4	未多路复用	DAI1_PIN04
DAI1_PIN05	DAI1引脚5	未多路复用	DAI1_PIN05
DAI1_PIN06	DAI1引脚6	未多路复用	DAI1_PIN06
DAI1_PIN07	DAI1引脚7	未多路复用	DAI1_PIN07
DAI1_PIN08	DAI1引脚8	未多路复用	DAI1_PIN08
DAI1_PIN09	DAI1引脚9	未多路复用	DAI1_PIN09
DAI1_PIN10	DAI1引脚10	未多路复用	DAI1_PIN10
DAI1_PIN11	DAI1引脚11	未多路复用	DAI1_PIN11
DAI1_PIN12	DAI1引脚12	未多路复用	DAI1_PIN12
DAI1_PIN19	DAI1引脚19	未多路复用	DAI1_PIN19
DAI1_PIN20	DAI1引脚20	未多路复用	DAI1_PIN20
DMC0_A00	DMC0地址0	未多路复用	DMC0_A00
DMC0_A01	DMC0地址1	未多路复用	DMC0_A01
DMC0_A02	DMC0地址2	未多路复用	DMC0_A02
DMC0_A03	DMC0地址3	未多路复用	DMC0_A03
DMC0_A04	DMC0地址4	未多路复用	DMC0_A04
DMC0_A05	DMC0地址5	未多路复用	DMC0_A05
DMC0_A06	DMC0地址6	未多路复用	DMC0_A06
DMC0_A07	DMC0地址7	未多路复用	DMC0_A07
DMC0_A08	DMC0地址8	未多路复用	DMC0_A08
DMC0_A09	DMC0地址9	未多路复用	DMC0_A09
DMC0_A10	DMC0地址10	未多路复用	DMC0_A10
DMC0_A11	DMC0地址11	未多路复用	DMC0_A11
DMC0_A12	DMC0地址12	未多路复用	DMC0_A12
DMC0_A13	DMC0地址13	未多路复用	DMC0_A13
DMC0_A14	DMC0地址14	未多路复用	DMC0_A14
DMC0_A15	DMC0地址15	未多路复用	DMC0_A15
DMC0_BA0	DMC0组地址0	未多路复用	DMC0_BA0
DMC0_BA1	DMC0组地址1	未多路复用	DMC0_BA1
DMC0_BA2	DMC0组地址2	未多路复用	DMC0_BA2
$\overline{\text{DMC0_CAS}}$	DMC0列地址选通	未多路复用	$\overline{\text{DMC0_CAS}}$
DMC0_CK	DMC0时钟	未多路复用	DMC0_CK
DMC0_CKE	DMC0时钟使能	未多路复用	DMC0_CKE
$\overline{\text{DMC0_CK}}$	DMC0时钟(-)	未多路复用	$\overline{\text{DMC0_CK}}$
$\overline{\text{DMC0_CS0}}$	DMC0片选0	未多路复用	$\overline{\text{DMC0_CS0}}$
DMC0_DQ00	DMC0数据0	未多路复用	DMC0_DQ00
DMC0_DQ01	DMC0数据1	未多路复用	DMC0_DQ01
DMC0_DQ02	DMC0数据2	未多路复用	DMC0_DQ02
DMC0_DQ03	DMC0数据3	未多路复用	DMC0_DQ03
DMC0_DQ04	DMC0数据4	未多路复用	DMC0_DQ04
DMC0_DQ05	DMC0数据5	未多路复用	DMC0_DQ05
DMC0_DQ06	DMC0数据6	未多路复用	DMC0_DQ06
DMC0_DQ07	DMC0数据7	未多路复用	DMC0_DQ07
DMC0_DQ08	DMC0数据8	未多路复用	DMC0_DQ08

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
DMC0_DQ09	DMC0数据9	未多路复用	DMC0_DQ09
DMC0_DQ10	DMC0数据10	未多路复用	DMC0_DQ10
DMC0_DQ11	DMC0数据11	未多路复用	DMC0_DQ11
DMC0_DQ12	DMC0数据12	未多路复用	DMC0_DQ12
DMC0_DQ13	DMC0数据13	未多路复用	DMC0_DQ13
DMC0_DQ14	DMC0数据14	未多路复用	DMC0_DQ14
DMC0_DQ15	DMC0数据15	未多路复用	DMC0_DQ15
DMC0_LDM	DMC0低位字节数据掩码	未多路复用	DMC0_LDM
DMC0_LDQS	DMC0低位字节数据选通	未多路复用	DMC0_LDQS
$\overline{\text{DMC0_LDQS}}$	DMC0低位字节数据选通(-)	未多路复用	$\overline{\text{DMC0_LDQS}}$
DMC0_ODT	DMC0片上端接	未多路复用	DMC0_ODT
$\overline{\text{DMC0_RAS}}$	DMC0行地址选通	未多路复用	$\overline{\text{DMC0_RAS}}$
$\overline{\text{DMC0_RESET}}$	DMC0复位(仅DDR3)	未多路复用	$\overline{\text{DMC0_RESET}}$
DMC0_RZQ	DMC0外部校准电阻连接	未多路复用	DMC0_RZQ
DMC0_UDM	DMC0高位字节数据掩码	未多路复用	DMC0_UDM
DMC0_UDQS	DMC0高位字节数据选通	未多路复用	DMC0_UDQS
$\overline{\text{DMC0_UDQS}}$	DMC0高位字节数据选通(-)	未多路复用	$\overline{\text{DMC0_UDQS}}$
DMC0_VREF	DMC0基准电压	未多路复用	DMC0_VREF
$\overline{\text{DMC0_WE}}$	DMC0写入使能	未多路复用	$\overline{\text{DMC0_WE}}$
ETH0_CRS	ETH0载波检测/RMII接收数据有效	A	PA_07
ETH0_MDC	ETH0管理通道时钟	A	PA_02
ETH0_MDIO	ETH0管理通道串行数据	A	PA_03
ETH0_PTPAUXIN0	ETH0 PTP辅助触发输入0	B	PB_03
ETH0_PTPAUXIN1	ETH0 PTP辅助触发输入1	B	PB_04
ETH0_PTPAUXIN2	ETH0 PTP辅助触发输入2	B	PB_05
ETH0_PTPAUXIN3	ETH0 PTP辅助触发输入3	B	PB_06
ETH0_PTPCLKIN0	ETH0 PTP时钟输入0	B	PB_02
ETH0_PTPPPS0	ETH0 PTP PPS(脉冲/秒)输出0	B	PB_01
ETH0_PTPPPS1	ETH0 PTP PPS(脉冲/秒)输出1	B	PB_00
ETH0_PTPPPS2	ETH0 PTP PPS(脉冲/秒)输出2	A	PA_15
ETH0_PTPPPS3	ETH0 PTP PPS(脉冲/秒)输出3	A	PA_14
ETH0_RXCLK_REFCLK	ETH0 RXCLK (GigE)或REFCLK (10/100)	A	PA_06
ETH0_RXCTL_CRS	ETH0 RXCTL (GigE)或CRS (10/100)	A	PA_07
ETH0_RXD0	ETH0接收数据0	A	PA_04
ETH0_RXD1	ETH0接收数据1	A	PA_05
ETH0_RXD2	ETH0接收数据2	A	PA_08
ETH0_RXD3	ETH0接收数据3	A	PA_09
ETH0_TXCLK	ETH0发送时钟	A	PA_11
ETH0_TXCTL_TXEN	ETH0 TXCTL (GigE)或TXEN (10/100)	A	PA_10
ETH0_TXD0	ETH0发送数据0	A	PA_00
ETH0_TXD1	ETH0发送数据1	A	PA_01
ETH0_TXD2	ETH0发送数据2	A	PA_12
ETH0_TXD3	ETH0发送数据3	A	PA_13
ETH0_TXEN	ETH0发送使能	A	PA_10
HADC0_VIN0	通道0的HADC0模拟输入	未多路复用	HADC0_VIN0
HADC0_VIN1	通道1的HADC0模拟输入	未多路复用	HADC0_VIN1
HADC0_VIN2	通道2的HADC0模拟输入	未多路复用	HADC0_VIN2
HADC0_VIN3	通道3的HADC0模拟输入	未多路复用	HADC0_VIN3

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
HADC0_VIN4	通道4的HADC0模拟输入	未多路复用	HADC0_VIN4
HADC0_VIN5	通道5的HADC0模拟输入	未多路复用	HADC0_VIN5
HADC0_VIN6	通道6的HADC0模拟输入	未多路复用	HADC0_VIN6
HADC0_VIN7	通道7的HADC0模拟输入	未多路复用	HADC0_VIN7
HADC0_VREFN	ADC的HADC0接地基准	未多路复用	HADC0_VREFN
HADC0_VREFP	ADC的HADC0外部基准源	未多路复用	HADC0_VREFP
JTG_TCK	TAPC JTAG时钟	未多路复用	JTG_TCK
JTG_TDI	TAPC JTAG串行数据输入	未多路复用	JTG_TDI
JTG_TDO	TAPC JTAG串行数据输出	未多路复用	JTG_TDO
JTG_TMS	TAPC JTAG模式选择	未多路复用	JTG_TMS
JTG_TRST	TAPC JTAG复位	未多路复用	JTG_TRST
LP0_ACK	LP0应答	D	PD_11
LP0_CLK	LP0时钟	D	PD_10
LP0_D0	LP0数据0	D	PD_02
LP0_D1	LP0数据1	D	PD_03
LP0_D2	LP0数据2	D	PD_04
LP0_D3	LP0数据3	D	PD_05
LP0_D4	LP0数据4	D	PD_06
LP0_D5	LP0数据5	D	PD_07
LP0_D6	LP0数据6	D	PD_08
LP0_D7	LP0数据7	D	PD_09
LP1_ACK	LP1应答	B	PB_15
LP1_CLK	LP1时钟	C	PC_00
LP1_D0	LP1数据0	B	PB_07
LP1_D1	LP1数据1	B	PB_08
LP1_D2	LP1数据2	B	PB_09
LP1_D3	LP1数据3	B	PB_10
LP1_D4	LP1数据4	B	PB_11
LP1_D5	LP1数据5	B	PB_12
LP1_D6	LP1数据6	B	PB_13
LP1_D7	LP1数据7	B	PB_14
MLB0_CLK	MLB0单端时钟	B	PB_04
MLB0_CLKN	MLB0差分时钟(-)	未多路复用	MLB0_CLKN
MLB0_CLKOUT	MLB0单端时钟输出	D	PD_14
MLB0_CLKP	MLB0差分时钟(+)	未多路复用	MLB0_CLKP
MLB0_DAT	MLB0单端数据	B	PB_06
MLB0_DATN	MLB0差分数据(-)	未多路复用	MLB0_DATN
MLB0_DATP	MLB0差分数据(+)	未多路复用	MLB0_DATP
MLB0_SIG	MLB0单端信号	B	PB_05
MLB0_SIGN	MLB0差分信号(-)	未多路复用	MLB0_SIGN
MLB0_SIGP	MLB0差分信号(+)	未多路复用	MLB0_SIGP
PA_00-15	PORTA位置00至位置15	A	PA_00-15
PB_00-15	PORTB位置00至位置15	B	PB_00-15
PC_00-15	PORTC位置00至位置15	C	PC_00-15
PD_00-15	PORTD位置00至位置15	D	PD_00-15
PE_00-15	PORTE位置00至位置15	E	PE_00-15
PPIO_CLK	EPPIO时钟	E	PE_03
PPIO_D00	EPPIO数据0	E	PE_12

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
PPIO_D01	EPPIO数据1	E	PE_11
PPIO_D02	EPPIO数据2	E	PE_10
PPIO_D03	EPPIO数据3	E	PE_09
PPIO_D04	EPPIO数据4	E	PE_08
PPIO_D05	EPPIO数据5	E	PE_07
PPIO_D06	EPPIO数据6	E	PE_06
PPIO_D07	EPPIO数据7	E	PE_05
PPIO_D08	EPPIO数据8	E	PE_04
PPIO_D09	EPPIO数据9	E	PE_00
PPIO_D10	EPPIO数据10	D	PD_15
PPIO_D11	EPPIO数据11	D	PD_14
PPIO_D12	EPPIO数据12	B	PB_04
PPIO_D13	EPPIO数据13	B	PB_05
PPIO_D14	EPPIO数据14	B	PB_00
PPIO_D15	EPPIO数据15	B	PB_01
PPIO_D16	EPPIO数据16	B	PB_02
PPIO_D17	EPPIO数据17	B	PB_03
PPIO_D18	EPPIO数据18	D	PD_13
PPIO_D19	EPPIO数据19	D	PD_12
PPIO_D20	EPPIO数据20	E	PE_13
PPIO_D21	EPPIO数据21	E	PE_14
PPIO_D22	EPPIO数据22	E	PE_15
PPIO_D23	EPPIO数据23	D	PD_00
PPIO_FS1	EPPIO帧同步1 (HSYNC)	E	PE_02
PPIO_FS2	EPPIO帧同步2 (VSYNC)	E	PE_01
PPIO_FS3	EPPIO帧同步3 (FIELD)	C	PC_15
PWM0_AH	PWM0通道A高端	B	PB_07
PWM0_AL	PWM0通道A低端	B	PB_08
PWM0_BH	PWM0通道B高端	B	PB_06
PWM0_BL	PWM0通道B低端	C	PC_00
PWM0_CH	PWM0通道C高端	B	PB_13
PWM0_CL	PWM0通道C低端	B	PB_14
PWM0_DH	PWM0通道D高端	B	PB_11
PWM0_DL	PWM0通道D低端	B	PB_12
PWM0_SYNC	PWM0 PWMTMR分组	E	PE_09
PWM0_TRIP0	PWM0关断输入0	B	PB_15
PWM1_AH	PWM1通道A高端	D	PD_03
PWM1_AL	PWM1通道A低端	D	PD_04
PWM1_BH	PWM1通道B高端	D	PD_05
PWM1_BL	PWM1通道B低端	D	PD_06
PWM1_CH	PWM1通道C高端	D	PD_07
PWM1_CL	PWM1通道C低端	D	PD_08
PWM1_DH	PWM1通道D高端	D	PD_09
PWM1_DL	PWM1通道D低端	D	PD_10
PWM1_SYNC	PWM1 PWMTMR分组	D	PD_11
PWM1_TRIP0	PWM1关断输入0	D	PD_02
PWM2_CH	PWM2通道C高端	D	PD_15
PWM2_CL	PWM2通道C低端	E	PE_00

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
PWM2_DH	PWM2通道D高端	E	PE_04
PWM2_DL	PWM2通道D低端	E	PE_10
PWM2_SYNC	PWM2 PWMTMR分组	E	PE_05
PWM2_TRIP0	PWM2关断输入0	D	PD_14
GND	地	未多路复用	GND
VDD_EXT	外部电压域	未多路复用	VDD_EXT
VDD_INT	内部电压域	未多路复用	VDD_INT
SINCO_CLK0	SINCO时钟0	B	PB_01
SINCO_D0	SINCO数据0	A	PA_14
SINCO_D1	SINCO数据1	A	PA_15
SINCO_D2	SINCO数据2	B	PB_00
SINCO_D3	SINCO数据3	B	PB_04
SMCO_A01	SMCO地址1	B	PB_05
SMCO_A02	SMCO地址2	B	PB_06
SMCO_A03	SMCO地址3	B	PB_03
SMCO_A04	SMCO地址4	B	PB_02
SMCO_A05	SMCO地址5	D	PD_13
SMCO_A06	SMCO地址6	D	PD_12
SMCO_A07	SMCO地址7	B	PB_01
SMCO_A08	SMCO地址8	B	PB_00
SMCO_A09	SMCO地址9	A	PA_15
SMCO_A10	SMCO地址10	A	PA_14
SMCO_A11	SMCO地址11	A	PA_09
SMCO_A12	SMCO地址12	A	PA_08
SMCO_A13	SMCO地址13	A	PA_13
SMCO_A14	SMCO地址14	A	PA_12
SMCO_A15	SMCO地址15	A	PA_11
SMCO_A16	SMCO地址16	A	PA_07
SMCO_A17	SMCO地址17	A	PA_06
SMCO_A18	SMCO地址18	A	PA_05
SMCO_A19	SMCO地址19	A	PA_04
SMCO_A20	SMCO地址20	A	PA_01
SMCO_A21	SMCO地址21	A	PA_00
SMCO_A22	SMCO地址22	A	PA_10
SMCO_A23	SMCO地址23	A	PA_03
SMCO_A24	SMCO地址24	A	PA_02
SMCO_A25	SMCO地址25	C	PC_12
SMCO_ABE0	SMCO字节使能0	E	PE_14
SMCO_ABE1	SMCO字节使能1	E	PE_15
SMCO_AMS0	SMCO存储器选择0	C	PC_15
SMCO_AMS1	SMCO存储器选择1	E	PE_13
SMCO_AMS2	SMCO存储器选择2	C	PC_07
SMCO_AMS3	SMCO存储器选择3	C	PC_08
SMCO_AOE	SMCO输出使能	D	PD_01
SMCO_ARDY	SMCO异步就绪	B	PB_04
SMCO_ARE	SMCO读取使能	C	PC_00
SMCO_AWE	SMCO写入使能	B	PB_15
SMCO_D00	SMCO数据0	E	PE_12

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
SMC0_D01	SMC0数据1	E	PE_11
SMC0_D02	SMC0数据2	E	PE_10
SMC0_D03	SMC0数据3	E	PE_09
SMC0_D04	SMC0数据4	E	PE_00
SMC0_D05	SMC0数据5	D	PD_15
SMC0_D06	SMC0数据6	D	PD_14
SMC0_D07	SMC0数据7	D	PD_00
SMC0_D08	SMC0数据8	B	PB_14
SMC0_D09	SMC0数据9	B	PB_13
SMC0_D10	SMC0数据10	B	PB_12
SMC0_D11	SMC0数据11	B	PB_11
SMC0_D12	SMC0数据12	B	PB_10
SMC0_D13	SMC0数据13	B	PB_09
SMC0_D14	SMC0数据14	B	PB_08
SMC0_D15	SMC0数据15	B	PB_07
SPI0_CLK	SPI0时钟	C	PC_09
SPI0_MISO	SPI0主机输入、从机输出	C	PC_10
SPI0_MOSI	SPI0主机输出、从机输入	C	PC_11
SPI0_RDY	SPI0就绪	C	PC_12
SPI0_SEL1	SPI0从机选择输出1	C	PC_07
SPI0_SEL2	SPI0从机选择输出2	D	PD_01
SPI0_SEL3	SPI0从机选择输出3	C	PC_12
SPI0_SEL4	SPI0从机选择输出4	C	PC_00
SPI0_SEL5	SPI0从机选择输出5	E	PE_01
SPI0_SEL6	SPI0从机选择输出6	E	PE_02
SPI0_SEL7	SPI0从机选择输出7	E	PE_03
SPI0_SS	SPI0从机选择输入	D	PD_01
SPI1_CLK	SPI1时钟	E	PE_13
SPI1_MISO	SPI1主机输入、从机输出	E	PE_14
SPI1_MOSI	SPI1主机输出、从机输入	E	PE_15
SPI1_RDY	SPI1就绪	E	PE_08
SPI1_SEL1	SPI1从机选择输出1	C	PC_13
SPI1_SEL2	SPI1从机选择输出2	E	PE_07
SPI1_SEL3	SPI1从机选择输出3	E	PE_11
SPI1_SEL4	SPI1从机选择输出4	E	PE_12
SPI1_SEL5	SPI1从机选择输出5	E	PE_08
SPI1_SS	SPI1从机选择输入	E	PE_11
SPI2_CLK	SPI2时钟	C	PC_01
SPI2_D2	SPI2数据2	C	PC_04
SPI2_D3	SPI2数据3	C	PC_05
SPI2_MISO	SPI2主机输入、从机输出	C	PC_02
SPI2_MOSI	SPI2主机输出、从机输入	C	PC_03
SPI2_RDY	SPI2就绪	E	PE_12
SPI2_SEL1	SPI2从机选择输出1	C	PC_06
SPI2_SEL2	SPI2从机选择输出2	E	PE_03
SPI2_SEL3	SPI2从机选择输出3	E	PE_04
SPI2_SEL4	SPI2从机选择输出4	E	PE_05
SPI2_SEL5	SPI2从机选择输出5	E	PE_06

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
$\overline{\text{SPI2_SS}}$	SPI2从机选择输入	C	PC_06
SYS_BMODE0	引导模式控制n	未多路复用	SYS_BMODE0
SYS_BMODE1	引导模式控制n	未多路复用	SYS_BMODE1
SYS_BMODE2	引导模式控制n	未多路复用	SYS_BMODE2
SYS_CLKIN0	时钟/晶振输入	未多路复用	SYS_CLKIN0
SYS_CLKIN1	时钟/晶振输入	未多路复用	SYS_CLKIN1
SYS_CLKOUT	处理器时钟输出	未多路复用	SYS_CLKOUT
SYS_FAULT	高电平有效故障输出	未多路复用	SYS_FAULT
$\overline{\text{SYS_FAULT}}$	低电平有效故障输出	未多路复用	$\overline{\text{SYS_FAULT}}$
$\overline{\text{SYS_HWRST}}$	处理器硬件复位控制	未多路复用	$\overline{\text{SYS_HWRST}}$
SYS_RESOUT	复位输出	未多路复用	SYS_RESOUT
SYS_XTAL0	晶振输出	未多路复用	SYS_XTAL0
SYS_XTAL1	晶振输出	未多路复用	SYS_XTAL1
TM0_ACIO	TIMERO备选捕获输入0	C	PC_14
TM0_AC11	TIMERO备选捕获输入1	B	PB_03
TM0_AC12	TIMERO备选捕获输入2	D	PD_13
TM0_AC13	TIMERO备选捕获输入3	C	PC_07
TM0_AC14	TIMERO备选捕获输入4	B	PB_10
TM0_ACLK1	TIMERO备选时钟1	D	PD_08
TM0_ACLK2	TIMERO备选时钟2	D	PD_09
TM0_ACLK3	TIMERO备选时钟3	B	PB_00
TM0_ACLK4	TIMERO备选时钟4	B	PB_01
TM0_CLK	TIMERO时钟	C	PC_11
TM0_TMR0	TIMERO定时器0	E	PE_09
TM0_TMR1	TIMERO定时器1	B	PB_15
TM0_TMR2	TIMERO定时器2	B	PB_10
TM0_TMR3	TIMERO定时器3	B	PB_07
TM0_TMR4	TIMERO定时器4	B	PB_08
TM0_TMR5	TIMERO定时器5	B	PB_14
TRACE0_CLK	TRACE0跟踪时钟	D	PD_10
TRACE0_D00	TRACE0跟踪数据0	D	PD_02
TRACE0_D01	TRACE0跟踪数据1	D	PD_03
TRACE0_D02	TRACE0跟踪数据2	D	PD_04
TRACE0_D03	TRACE0跟踪数据3	D	PD_05
TRACE0_D04	TRACE0跟踪数据4	D	PD_06
TRACE0_D05	TRACE0跟踪数据5	D	PD_07
TRACE0_D06	TRACE0跟踪数据6	D	PD_08
TRACE0_D07	TRACE0跟踪数据7	D	PD_09
TWI0_SCL	TWI0串行时钟	未多路复用	TWI0_SCL
TWI0_SDA	TWI0串行数据	未多路复用	TWI0_SDA
TWI1_SCL	TWI1串行时钟	未多路复用	TWI1_SCL
TWI1_SDA	TWI1串行数据	未多路复用	TWI1_SDA
TWI2_SCL	TWI2串行时钟	未多路复用	TWI2_SCL
TWI2_SDA	TWI2串行数据	未多路复用	TWI2_SDA
$\overline{\text{UART0_CTS}}$	UART0允许发送	D	PD_00
$\overline{\text{UART0_RTS}}$	UART0请求发送	C	PC_15
$\overline{\text{UART0_RX}}$	UART0接收	C	PC_14
$\overline{\text{UART0_TX}}$	UART0发射	C	PC_13

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表12. ADSP-SC58x/ADSP-2158x 349引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
UART1_CTS	UART1允许发送	E	PE_01
UART1_RTS	UART1请求发送	E	PE_02
UART1_RX	UART1接收	B	PB_03
UART1_TX	UART1发射	B	PB_02
UART2_CTS	UART2允许发送	E	PE_11
UART2_RTS	UART2请求发送	E	PE_10
UART2_RX	UART2接收	D	PD_13
UART2_TX	UART2发射	D	PD_12
USB0_CLKIN	USB0时钟/晶振输入	未多路复用	USB_CLKIN
USB0_DM	USB0数据-	未多路复用	USB0_DM
USB0_DP	USB0数据+	未多路复用	USB0_DP
USB0_ID	USB0 OTG ID	未多路复用	USB0_ID
USB0_VBC	USB0 VBUS控制	未多路复用	USB0_VBC
USB0_VBUS	USB0总线电压	未多路复用	USB0_VBUS
USB0_XTAL	USB0晶振	未多路复用	USB_XTAL
VDD_DMC	DMC VDD	未多路复用	VDD_DMC
VDD_HADC	HADC VDD	未多路复用	VDD_HADC
VDD_USB	USB VDD	未多路复用	VDD_USB

349引脚CSP_BGA封装的GP I/O复用

表13至表17列出了多路复用到349引脚CSP_BGA封装上通用I/O引脚的引脚功能。

表13. 端口A信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PA_00	ETH0_TXD0			SMC0_A21	
PA_01	ETH0_TXD1			SMC0_A20	
PA_02	ETH0_MDC			SMC0_A24	
PA_03	ETH0_MDIO			SMC0_A23	
PA_04	ETH0_RXD0			SMC0_A19	
PA_05	ETH0_RXD1			SMC0_A18	
PA_06	ETH0_RXCLK_REFCLK			SMC0_A17	
PA_07	ETH0_CRS			SMC0_A16	
PA_08	ETH0_RXD2			SMC0_A12	
PA_09	ETH0_RXD3			SMC0_A11	
PA_10	ETH0_TXEN			SMC0_A22	
PA_11	ETH0_TXCLK			SMC0_A15	
PA_12	ETH0_TXD2			SMC0_A14	
PA_13	ETH0_TXD3			SMC0_A13	
PA_14	ETH0_PTPPPS3	SINC0_D0		SMC0_A10	
PA_15	ETH0_PTPPPS2	SINC0_D1		SMC0_A09	

表14. 端口B信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PB_00	ETH0_PTTPPS1	SINC0_D2	PPI0_D14	SMC0_A08	TM0_ACLK3
PB_01	ETH0_PTTPPS0	SINC0_CLK0	PPI0_D15	SMC0_A07	TM0_ACLK4
PB_02	ETH0_PTPCLKINO	UART1_TX	PPI0_D16	SMC0_A04	
PB_03	ETH0_PTPAUXINO	UART1_RX	PPI0_D17	SMC0_A03	TM0_AC11
PB_04	MLB0_CLK	SINC0_D3	PPI0_D12	SMC0_ARDY	ETH0_PTPAUXIN1
PB_05	MLB0_SIG		PPI0_D13	SMC0_A01	ETH0_PTPAUXIN2
PB_06	MLB0_DAT		PWM0_BH	SMC0_A02	ETH0_PTPAUXIN3
PB_07	LP1_D0	PWM0_AH	TM0_TMR3	SMC0_D15	
PB_08	LP1_D1	PWM0_AL	TM0_TMR4	SMC0_D14	
PB_09	LP1_D2		CAN1_TX	SMC0_D13	
PB_10	LP1_D3	TM0_TMR2	CAN1_RX	SMC0_D12	TM0_AC14
PB_11	LP1_D4		PWM0_DH	SMC0_D11	CNT0_ZM
PB_12	LP1_D5		PWM0_DL	SMC0_D10	CNT0_UD
PB_13	LP1_D6		PWM0_CH	SMC0_D09	
PB_14	LP1_D7	TM0_TMR5	PWM0_CL	SMC0_D08	CNT0_DG
PB_15	LP1_ACK	PWM0_TRIP0	TM0_TMR1	SMC0_AWE	

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表15. 端口C信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PC_00	LP1_CLK	PWM0_BL	SPIO_SEL4	SMC0_ARE	
PC_01	SPI2_CLK				
PC_02	SPI2_MISO				
PC_03	SPI2_MOSI				
PC_04	SPI2_D2				
PC_05	SPI2_D3				
PC_06	SPI2_SEL1				SPI2_SS
PC_07	CAN0_RX	SPIO_SEL1		SMC0_AMS2	TM0_AC13
PC_08	CAN0_TX			SMC0_AMS3	
PC_09	SPIO_CLK				
PC_10	SPIO_MISO				
PC_11	SPIO_MOSI				TM0_CLK
PC_12	SPIO_SEL3	SPIO_RDY	ACM0_T0	SMC0_A25	
PC_13	UART0_TX	SPI1_SEL1	ACM0_A0		
PC_14	UART0_RX		ACM0_A1		TM0_AC10
PC_15	UART0_RTS	PPIO_FS3	ACM0_A2	SMC0_AMS0	

表16. 端口D信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PD_00	UART0_CTS	PPIO_D23	ACM0_A3	SMC0_D07	
PD_01	SPIO_SEL2		ACM0_A4	SMC0_AOE	SPIO_SS
PD_02	LP0_D0	PWM1_TRIP0	TRACE0_D00		
PD_03	LP0_D1	PWM1_AH	TRACE0_D01		
PD_04	LP0_D2	PWM1_AL	TRACE0_D02		
PD_05	LP0_D3	PWM1_BH	TRACE0_D03		
PD_06	LP0_D4	PWM1_BL	TRACE0_D04		
PD_07	LP0_D5	PWM1_CH	TRACE0_D05		
PD_08	LP0_D6	PWM1_CL	TRACE0_D06		TM0_ACLK1
PD_09	LP0_D7	PWM1_DH	TRACE0_D07		TM0_ACLK2
PD_10	LP0_CLK	PWM1_DL	TRACE0_CLK		
PD_11	LP0_ACK	PWM1_SYNC			
PD_12	UART2_TX		PPIO_D19	SMC0_A06	
PD_13	UART2_RX		PPIO_D18	SMC0_A05	TM0_AC12
PD_14	PPIO_D11	PWM2_TRIP0	MLB0_CLKOUT	SMC0_D06	
PD_15	PPIO_D10	PWM2_CH		SMC0_D05	

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表17. 端口E信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PE_00	PPIO_D09	PWM2_CL		SMC0_D04	
PE_01	PPIO_FS2	$\overline{\text{SPI0_SEL5}}$	$\overline{\text{UART1_CTS}}$	C1_FLG0	
PE_02	PPIO_FS1	$\overline{\text{SPI0_SEL6}}$	$\overline{\text{UART1_RTS}}$	C2_FLG0	
PE_03	PPIO_CLK	$\overline{\text{SPI0_SEL7}}$	$\overline{\text{SPI2_SEL2}}$	C1_FLG1	
PE_04	PPIO_D08	PWM2_DH	$\overline{\text{SPI2_SEL3}}$	C2_FLG1	
PE_05	PPIO_D07	PWM2_SYNC	$\overline{\text{SPI2_SEL4}}$	C1_FLG2	
PE_06	PPIO_D06		$\overline{\text{SPI2_SEL5}}$	C2_FLG2	
PE_07	PPIO_D05		$\overline{\text{SPI1_SEL2}}$	C1_FLG3	
PE_08	PPIO_D04	$\overline{\text{SPI1_SEL5}}$	SPI1_RDY	C2_FLG3	
PE_09	PPIO_D03	PWM0_SYNC	TM0_TMR0	SMC0_D03	
PE_10	PPIO_D02	PWM2_DL	$\overline{\text{UART2_RTS}}$	SMC0_D02	
PE_11	PPIO_D01	$\overline{\text{SPI1_SEL3}}$	$\overline{\text{UART2_CTS}}$	SMC0_D01	$\overline{\text{SPI1_SS}}$
PE_12	PPIO_D00	$\overline{\text{SPI1_SEL4}}$	SPI2_RDY	SMC0_D00	
PE_13	SPI1_CLK		PPIO_D20	$\overline{\text{SMC0_AMS1}}$	
PE_14	SPI1_MISO		PPIO_D21	$\overline{\text{SMC0_ABE0}}$	
PE_15	SPI1_MOSI		PPIO_D22	$\overline{\text{SMC0_ABE1}}$	

529引脚CSP_BGA封装信号描述

处理器引脚定义如表18所示。表中各列提供如下信息：

- 信号名称 - 表中的信号名称列包含各引脚的信号名称，以及每一个引脚的GP I/O多路复用引脚功能(如适用)。
- 描述和注释 - 表中的描述列提供信号的详细(描述性)名称。
- 类型 - 表中的引脚类型列表示引脚的I/O类型或电源类型。
- 类型 - 表中的引脚类型列表示引脚的I/O类型或电源类型。此列中的缩写为na(无)、I/O(输入/输出)、a(模拟)、s(电源)和g(接地)。

- 端口 - 表中的通用I/O端口列表示信号是否与其他信号多路复用至通用I/O端口引脚。
- 引脚名称 - 表中的引脚名称列表示封装引脚(上电复位时)的名称；信号位于这些引脚上(单功能引脚)或多路复用(通用I/O引脚)。

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述

信号名称	描述	端口	引脚名称
ACM0_A0	ACM0 ADC控制信号	C	PC_13
ACM0_A1	ACM0 ADC控制信号	C	PC_14
ACM0_A2	ACM0 ADC控制信号	C	PC_15
ACM0_A3	ACM0 ADC控制信号	D	PD_00
ACM0_A4	ACM0 ADC控制信号	D	PD_01
ACM0_T0	ACM0外部触发信号n	C	PC_12
C1_FLG0	SHARC内核1标志引脚	E	PE_01
C1_FLG1	SHARC内核1标志引脚	E	PE_03
C1_FLG2	SHARC内核1标志引脚	E	PE_05
C1_FLG3	SHARC内核1标志引脚	E	PE_07
C2_FLG0	SHARC内核2标志引脚	E	PE_02
C2_FLG1	SHARC内核2标志引脚	E	PE_04
C2_FLG2	SHARC内核2标志引脚	E	PE_06
C2_FLG3	SHARC内核2标志引脚	E	PE_08
CAN0_RX	CAN0接收	C	PC_07
CAN0_TX	CAN0发射	C	PC_08
CAN1_RX	CAN1接收	B	PB_10
CAN1_TX	CAN1发射	B	PB_09
CNT0_DG	CNT0递减计数和栅极	B	PB_14
CNT0_UD	CNT0递增计数和方向	B	PB_12
CNT0_ZM	CNT0零标记	B	PB_11
DAI0_PIN01	DAI0引脚1	未多路复用	DAI0_PIN01
DAI0_PIN02	DAI0引脚2	未多路复用	DAI0_PIN02
DAI0_PIN03	DAI0引脚3	未多路复用	DAI0_PIN03
DAI0_PIN04	DAI0引脚4	未多路复用	DAI0_PIN04
DAI0_PIN05	DAI0引脚5	未多路复用	DAI0_PIN05
DAI0_PIN06	DAI0引脚6	未多路复用	DAI0_PIN06
DAI0_PIN07	DAI0引脚7	未多路复用	DAI0_PIN07
DAI0_PIN08	DAI0引脚8	未多路复用	DAI0_PIN08
DAI0_PIN09	DAI0引脚9	未多路复用	DAI0_PIN09
DAI0_PIN10	DAI0引脚10	未多路复用	DAI0_PIN10
DAI0_PIN11	DAI0引脚11	未多路复用	DAI0_PIN11
DAI0_PIN12	DAI0引脚12	未多路复用	DAI0_PIN12

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
DAI0_PIN13	DAI0引脚13	未多路复用	DAI0_PIN13
DAI0_PIN14	DAI0引脚14	未多路复用	DAI0_PIN14
DAI0_PIN15	DAI0引脚15	未多路复用	DAI0_PIN15
DAI0_PIN16	DAI0引脚16	未多路复用	DAI0_PIN16
DAI0_PIN17	DAI0引脚17	未多路复用	DAI0_PIN17
DAI0_PIN18	DAI0引脚18	未多路复用	DAI0_PIN18
DAI0_PIN19	DAI0引脚19	未多路复用	DAI0_PIN19
DAI0_PIN20	DAI0引脚20	未多路复用	DAI0_PIN20
DAI1_PIN01	DAI1引脚1	未多路复用	DAI1_PIN01
DAI1_PIN02	DAI1引脚2	未多路复用	DAI1_PIN02
DAI1_PIN03	DAI1引脚3	未多路复用	DAI1_PIN03
DAI1_PIN04	DAI1引脚4	未多路复用	DAI1_PIN04
DAI1_PIN05	DAI1引脚5	未多路复用	DAI1_PIN05
DAI1_PIN06	DAI1引脚6	未多路复用	DAI1_PIN06
DAI1_PIN07	DAI1引脚7	未多路复用	DAI1_PIN07
DAI1_PIN08	DAI1引脚8	未多路复用	DAI1_PIN08
DAI1_PIN09	DAI1引脚9	未多路复用	DAI1_PIN09
DAI1_PIN10	DAI1引脚10	未多路复用	DAI1_PIN10
DAI1_PIN11	DAI1引脚11	未多路复用	DAI1_PIN11
DAI1_PIN12	DAI1引脚12	未多路复用	DAI1_PIN12
DAI1_PIN13	DAI1引脚13	未多路复用	DAI1_PIN13
DAI1_PIN14	DAI1引脚14	未多路复用	DAI1_PIN14
DAI1_PIN15	DAI1引脚15	未多路复用	DAI1_PIN15
DAI1_PIN16	DAI1引脚16	未多路复用	DAI1_PIN16
DAI1_PIN17	DAI1引脚17	未多路复用	DAI1_PIN17
DAI1_PIN18	DAI1引脚18	未多路复用	DAI1_PIN18
DAI1_PIN19	DAI1引脚19	未多路复用	DAI1_PIN19
DAI1_PIN20	DAI1引脚20	未多路复用	DAI1_PIN20
DMC0_A00	DMC0地址0	未多路复用	DMC0_A00
DMC0_A01	DMC0地址1	未多路复用	DMC0_A01
DMC0_A02	DMC0地址2	未多路复用	DMC0_A02
DMC0_A03	DMC0地址3	未多路复用	DMC0_A03
DMC0_A04	DMC0地址4	未多路复用	DMC0_A04
DMC0_A05	DMC0地址5	未多路复用	DMC0_A05
DMC0_A06	DMC0地址6	未多路复用	DMC0_A06
DMC0_A07	DMC0地址7	未多路复用	DMC0_A07
DMC0_A08	DMC0地址8	未多路复用	DMC0_A08
DMC0_A09	DMC0地址9	未多路复用	DMC0_A09
DMC0_A10	DMC0地址10	未多路复用	DMC0_A10
DMC0_A11	DMC0地址11	未多路复用	DMC0_A11
DMC0_A12	DMC0地址12	未多路复用	DMC0_A12
DMC0_A13	DMC0地址13	未多路复用	DMC0_A13
DMC0_A14	DMC0地址14	未多路复用	DMC0_A14
DMC0_A15	DMC0地址15	未多路复用	DMC0_A15
DMC0_BA0	DMC0组地址0	未多路复用	DMC0_BA0
DMC0_BA1	DMC0组地址1	未多路复用	DMC0_BA1
DMC0_BA2	DMC0组地址2	未多路复用	DMC0_BA2
DMC0_CAS	DMC0列地址选通	未多路复用	DMC0_CAS

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
DMC0_CK	DMC0时钟	未多路复用	DMC0_CK
DMC0_CKE	DMC0时钟使能	未多路复用	DMC0_CKE
$\overline{\text{DMC0_CK}}$	DMC0时钟(-)	未多路复用	$\overline{\text{DMC0_CK}}$
$\overline{\text{DMC0_CS0}}$	DMC0片选0	未多路复用	$\overline{\text{DMC0_CS0}}$
DMC0_DQ00	DMC0数据0	未多路复用	DMC0_DQ00
DMC0_DQ01	DMC0数据1	未多路复用	DMC0_DQ01
DMC0_DQ02	DMC0数据2	未多路复用	DMC0_DQ02
DMC0_DQ03	DMC0数据3	未多路复用	DMC0_DQ03
DMC0_DQ04	DMC0数据4	未多路复用	DMC0_DQ04
DMC0_DQ05	DMC0数据5	未多路复用	DMC0_DQ05
DMC0_DQ06	DMC0数据6	未多路复用	DMC0_DQ06
DMC0_DQ07	DMC0数据7	未多路复用	DMC0_DQ07
DMC0_DQ08	DMC0数据8	未多路复用	DMC0_DQ08
DMC0_DQ09	DMC0数据9	未多路复用	DMC0_DQ09
DMC0_DQ10	DMC0数据10	未多路复用	DMC0_DQ10
DMC0_DQ11	DMC0数据11	未多路复用	DMC0_DQ11
DMC0_DQ12	DMC0数据12	未多路复用	DMC0_DQ12
DMC0_DQ13	DMC0数据13	未多路复用	DMC0_DQ13
DMC0_DQ14	DMC0数据14	未多路复用	DMC0_DQ14
DMC0_DQ15	DMC0数据15	未多路复用	DMC0_DQ15
DMC0_LDM	DMC0低位字节数据掩码	未多路复用	DMC0_LDM
DMC0_LDQS	DMC0低位字节数据选通	未多路复用	DMC0_LDQS
$\overline{\text{DMC0_LDQS}}$	DMC0低位字节数据选通(-)	未多路复用	$\overline{\text{DMC0_LDQS}}$
$\overline{\text{DMC0_ODT}}$	DMC0片上端接	未多路复用	$\overline{\text{DMC0_ODT}}$
$\overline{\text{DMC0_RAS}}$	DMC0行地址选通	未多路复用	$\overline{\text{DMC0_RAS}}$
$\overline{\text{DMC0_RESET}}$	DMC0复位(仅DDR3)	未多路复用	$\overline{\text{DMC0_RESET}}$
DMC0_RZQ	DMC0外部校准电阻连接	未多路复用	DMC0_RZQ
DMC0_UDM	DMC0高位字节数据掩码	未多路复用	DMC0_UDM
DMC0_UDQS	DMC0高位字节数据选通	未多路复用	DMC0_UDQS
$\overline{\text{DMC0_UDQS}}$	DMC0高位字节数据选通(-)	未多路复用	$\overline{\text{DMC0_UDQS}}$
DMC0_VREF	DMC0基准电压	未多路复用	DMC0_VREF
$\overline{\text{DMC0_WE}}$	DMC0写入使能	未多路复用	$\overline{\text{DMC0_WE}}$
DMC1_A00	DMC1地址0	未多路复用	DMC1_A00
DMC1_A01	DMC1地址1	未多路复用	DMC1_A01
DMC1_A02	DMC1地址2	未多路复用	DMC1_A02
DMC1_A03	DMC1地址3	未多路复用	DMC1_A03
DMC1_A04	DMC1地址4	未多路复用	DMC1_A04
DMC1_A05	DMC1地址5	未多路复用	DMC1_A05
DMC1_A06	DMC1地址6	未多路复用	DMC1_A06
DMC1_A07	DMC1地址7	未多路复用	DMC1_A07
DMC1_A08	DMC1地址8	未多路复用	DMC1_A08
DMC1_A09	DMC1地址9	未多路复用	DMC1_A09
DMC1_A10	DMC1地址10	未多路复用	DMC1_A10
DMC1_A11	DMC1地址11	未多路复用	DMC1_A11
DMC1_A12	DMC1地址12	未多路复用	DMC1_A12
DMC1_A13	DMC1地址13	未多路复用	DMC1_A13
DMC1_A14	DMC1地址14	未多路复用	DMC1_A14
DMC1_A15	DMC1地址15	未多路复用	DMC1_A15

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
DMC1_BA0	DMC1组地址0	未多路复用	DMC1_BA0
DMC1_BA1	DMC1组地址1	未多路复用	DMC1_BA1
DMC1_BA2	DMC1组地址2	未多路复用	DMC1_BA2
DMC1_CAS	DMC1列地址选通	未多路复用	DMC1_CAS
DMC1_CK	DMC1时钟	未多路复用	DMC1_CK
DMC1_CKE	DMC1时钟使能	未多路复用	DMC1_CKE
DMC1_CK	DMC1时钟(-)	未多路复用	DMC1_CK
DMC1_CS0	DMC1片选0	未多路复用	DMC1_CS0
DMC1_DQ00	DMC1数据0	未多路复用	DMC1_DQ00
DMC1_DQ01	DMC1数据1	未多路复用	DMC1_DQ01
DMC1_DQ02	DMC1数据2	未多路复用	DMC1_DQ02
DMC1_DQ03	DMC1数据3	未多路复用	DMC1_DQ03
DMC1_DQ04	DMC1数据4	未多路复用	DMC1_DQ04
DMC1_DQ05	DMC1数据5	未多路复用	DMC1_DQ05
DMC1_DQ06	DMC1数据6	未多路复用	DMC1_DQ06
DMC1_DQ07	DMC1数据7	未多路复用	DMC1_DQ07
DMC1_DQ08	DMC1数据8	未多路复用	DMC1_DQ08
DMC1_DQ09	DMC1数据9	未多路复用	DMC1_DQ09
DMC1_DQ10	DMC1数据10	未多路复用	DMC1_DQ10
DMC1_DQ11	DMC1数据11	未多路复用	DMC1_DQ11
DMC1_DQ12	DMC1数据12	未多路复用	DMC1_DQ12
DMC1_DQ13	DMC1数据13	未多路复用	DMC1_DQ13
DMC1_DQ14	DMC1数据14	未多路复用	DMC1_DQ14
DMC1_DQ15	DMC1数据15	未多路复用	DMC1_DQ15
DMC1_LDM	DMC1低位字节数据掩码	未多路复用	DMC1_LDM
DMC1_LDQS	DMC1低位字节数据选通	未多路复用	DMC1_LDQS
DMC1_LDQS	DMC1低位字节数据选通(-)	未多路复用	DMC1_LDQS
DMC1_ODT	DMC1片上端接	未多路复用	DMC1_ODT
DMC1_RAS	DMC1行地址选通	未多路复用	DMC1_RAS
DMC1_RESET	DMC1复位(仅DDR3)	未多路复用	DMC1_RESET
DMC1_RZQ	DMC1外部校准电阻连接	未多路复用	DMC1_RZQ
DMC1_UDM	DMC1高位字节数据掩码	未多路复用	DMC1_UDM
DMC1_UDQS	DMC1高位字节数据选通	未多路复用	DMC1_UDQS
DMC1_UDQS	DMC1高位字节数据选通(-)	未多路复用	DMC1_UDQS
DMC1_VREF	DMC1基准电压	未多路复用	DMC1_VREF
DMC1_WE	DMC1写入使能	未多路复用	DMC1_WE
ETH0_CRS	ETH0载波检测/RMII接收数据有效	A	PA_07
ETH0_MDC	ETH0管理通道时钟	A	PA_02
ETH0_MDIO	ETH0管理通道串行数据	A	PA_03
ETH0_PTPAUXIN0	ETH0 PTP辅助触发输入0	B	PB_03
ETH0_PTPAUXIN1	ETH0 PTP辅助触发输入1	B	PB_04
ETH0_PTPAUXIN2	ETH0 PTP辅助触发输入2	B	PB_05
ETH0_PTPAUXIN3	ETH0 PTP辅助触发输入3	B	PB_06
ETH0_PTPCLKIN0	ETH0 PTP时钟输入0	B	PB_02
ETH0_PTPPPS0	ETH0 PTP PPS(脉冲/秒)输出0	B	PB_01
ETH0_PTPPPS1	ETH0 PTP PPS(脉冲/秒)输出1	B	PB_00
ETH0_PTPPPS2	ETH0 PTP PPS(脉冲/秒)输出2	A	PA_15
ETH0_PTPPPS3	ETH0 PTP PPS(脉冲/秒)输出3	A	PA_14

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
ETH0_RXCLK_REFCLK	ETH0 RXCLK (GigE)或REFCLK (10/100)	A	PA_06
ETH0_RXCTL_CRS	ETH0 RXCTL (GigE)或CRS (10/100)	A	PA_07
ETH0_RXD0	ETH0接收数据0	A	PA_04
ETH0_RXD1	ETH0接收数据1	A	PA_05
ETH0_RXD2	ETH0接收数据2	A	PA_08
ETH0_RXD3	ETH0接收数据3	A	PA_09
ETH0_TXCLK	ETH0发送时钟	A	PA_11
ETH0_TXCTL_TXEN	ETH0 TXCTL (GigE)或TXEN (10/100)	A	PA_10
ETH0_TXD0	ETH0发送数据0	A	PA_00
ETH0_TXD1	ETH0发送数据1	A	PA_01
ETH0_TXD2	ETH0发送数据2	A	PA_12
ETH0_TXD3	ETH0发送数据3	A	PA_13
ETH0_TXEN	ETH0发送使能	A	PA_10
ETH1_CRS	ETH1载波检测/RMII接收数据有效	F	PF_13
ETH1_MDC	ETH1管理通道时钟	F	PF_14
ETH1_MDIO	ETH1管理通道串行数据	F	PF_15
ETH1_REFCLK	ETH1参考时钟	G	PG_00
ETH1_RXD0	ETH1接收数据0	G	PG_04
ETH1_RXD1	ETH1接收数据1	G	PG_05
ETH1_TXD0	ETH1发送数据0	G	PG_02
ETH1_TXD1	ETH1发送数据1	G	PG_03
ETH1_TXEN	ETH1发送使能	G	PG_01
HADC0_EOC_DOUT	HADC0转换结束/串行数据输出	F	PF_02
HADC0_MUX0	HADC0外部多路复用器控制	F	PF_05
HADC0_MUX1	HADC0外部多路复用器控制	F	PF_04
HADC0_MUX2	HADC0外部多路复用器控制	F	PF_03
HADC0_VIN0	通道0的HADC0模拟输入	未多路复用	HADC0_VIN0
HADC0_VIN1	通道1的HADC0模拟输入	未多路复用	HADC0_VIN1
HADC0_VIN2	通道2的HADC0模拟输入	未多路复用	HADC0_VIN2
HADC0_VIN3	通道3的HADC0模拟输入	未多路复用	HADC0_VIN3
HADC0_VIN4	通道4的HADC0模拟输入	未多路复用	HADC0_VIN4
HADC0_VIN5	通道5的HADC0模拟输入	未多路复用	HADC0_VIN5
HADC0_VIN6	通道6的HADC0模拟输入	未多路复用	HADC0_VIN6
HADC0_VIN7	通道7的HADC0模拟输入	未多路复用	HADC0_VIN7
HADC0_VREFN	ADC的HADC0接地基准	未多路复用	HADC0_VREFN
HADC0_VREFP	ADC的HADC0外部基准源	未多路复用	HADC0_VREFP
JTG_TCK	TAPC JTAG时钟	未多路复用	JTG_TCK
JTG_TDI	TAPC JTAG串行数据输入	未多路复用	JTG_TDI
JTG_TDO	TAPC JTAG串行数据输出	未多路复用	JTG_TDO
JTG_TMS	TAPC JTAG模式选择	未多路复用	JTG_TMS
$\overline{\text{JTG_TRST}}$	TAPC JTAG复位	未多路复用	$\overline{\text{JTG_TRST}}$
LPO_ACK	LPO应答	D	PD_11
LPO_CLK	LPO时钟	D	PD_10
LPO_D0	LPO数据0	D	PD_02
LPO_D1	LPO数据1	D	PD_03
LPO_D2	LPO数据2	D	PD_04
LPO_D3	LPO数据3	D	PD_05
LPO_D4	LPO数据4	D	PD_06

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
LP0_D5	LP0数据5	D	PD_07
LP0_D6	LP0数据6	D	PD_08
LP0_D7	LP0数据7	D	PD_09
LP1_ACK	LP1应答	B	PB_15
LP1_CLK	LP1时钟	C	PC_00
LP1_D0	LP1数据0	B	PB_07
LP1_D1	LP1数据1	B	PB_08
LP1_D2	LP1数据2	B	PB_09
LP1_D3	LP1数据3	B	PB_10
LP1_D4	LP1数据4	B	PB_11
LP1_D5	LP1数据5	B	PB_12
LP1_D6	LP1数据6	B	PB_13
LP1_D7	LP1数据7	B	PB_14
MLB0_CLK	MLB0单端时钟	B	PB_04
MLB0_CLKN	MLB0差分时钟(-)	未多路复用	MLB0_CLKN
MLB0_CLKOUT	MLB0单端时钟输出	D	PD_14
MLB0_CLKP	MLB0差分时钟(+)	未多路复用	MLB0_CLKP
MLB0_DAT	MLB0单端数据	B	PB_06
MLB0_DATN	MLB0差分数据(-)	未多路复用	MLB0_DATN
MLB0_DATP	MLB0差分数据(+)	未多路复用	MLB0_DATP
MLB0_SIG	MLB0单端信号	B	PB_05
MLB0_SIGN	MLB0差分信号(-)	未多路复用	MLB0_SIGN
MLB0_SIGP	MLB0差分信号(+)	未多路复用	MLB0_SIGP
MSIO_CD	MSIO卡检测	F	PF_12
MSIO_CLK	MSIO时钟	F	PF_11
MSIO_CMD	MSIO命令	F	PF_10
MSIO_D0	MSIO数据0	F	PF_02
MSIO_D1	MSIO数据1	F	PF_03
MSIO_D2	MSIO数据2	F	PF_04
MSIO_D3	MSIO数据3	F	PF_05
MSIO_D4	MSIO数据4	F	PF_06
MSIO_D5	MSIO数据5	F	PF_07
MSIO_D6	MSIO数据6	F	PF_08
MSIO_D7	MSIO数据7	F	PF_09
MSIO_INT	MSIO eSDIO中断输入	F	PF_13
PA_00-15	PORTA位置00至位置15	A	PA_00-15
PB_00-15	PORTB位置00至位置15	B	PB_00-15
PCIE0_CLKM	PCIE0 CLK -	未多路复用	PCIE0_CLKM
PCIE0_CLKP	PCIE0 CLK +	未多路复用	PCIE0_CLKP
PCIE0_REF	PCIE0基准	未多路复用	PCIE0_REF
PCIE0_RXM	PCIE0 RX -	未多路复用	PCIE0_RXM
PCIE0_RXP	PCIE0 RX +	未多路复用	PCIE0_RXP
PCIE0_TXM	PCIE0 TX -	未多路复用	PCIE0_TXM
PCIE0_TXP	PCIE0 TX +	未多路复用	PCIE0_TXP
PC_00-15	PORTC位置00至位置15	C	PC_00-15
PD_00-15	PORTD位置00至位置15	D	PD_00-15
PE_00-15	PORTE位置00至位置15	E	PE_00-15
PF_00-15	PORTF位置00至位置15	F	PF_00-15

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
PG_00-5	PORTG位置00至位置5	G	PG_00-5
PPIO_CLK	EPPIO时钟	E	PE_03
PPIO_D00	EPPIO数据0	E	PE_12
PPIO_D01	EPPIO数据1	E	PE_11
PPIO_D02	EPPIO数据2	E	PE_10
PPIO_D03	EPPIO数据3	E	PE_09
PPIO_D04	EPPIO数据4	E	PE_08
PPIO_D05	EPPIO数据5	E	PE_07
PPIO_D06	EPPIO数据6	E	PE_06
PPIO_D07	EPPIO数据7	E	PE_05
PPIO_D08	EPPIO数据8	E	PE_04
PPIO_D09	EPPIO数据9	E	PE_00
PPIO_D10	EPPIO数据10	D	PD_15
PPIO_D11	EPPIO数据11	D	PD_14
PPIO_D12	EPPIO数据12	B	PB_04
PPIO_D13	EPPIO数据13	B	PB_05
PPIO_D14	EPPIO数据14	B	PB_00
PPIO_D15	EPPIO数据15	B	PB_01
PPIO_D16	EPPIO数据16	B	PB_02
PPIO_D17	EPPIO数据17	B	PB_03
PPIO_D18	EPPIO数据18	D	PD_13
PPIO_D19	EPPIO数据19	D	PD_12
PPIO_D20	EPPIO数据20	E	PE_13
PPIO_D21	EPPIO数据21	E	PE_14
PPIO_D22	EPPIO数据22	E	PE_15
PPIO_D23	EPPIO数据23	D	PD_00
PPIO_FS1	EPPIO帧同步1 (HSYNC)	E	PE_02
PPIO_FS2	EPPIO帧同步2 (VSYNC)	E	PE_01
PPIO_FS3	EPPIO帧同步3 (FIELD)	C	PC_15
PWM0_AH	PWM0通道A高端	B	PB_07
PWM0_AL	PWM0通道A低端	B	PB_08
PWM0_BH	PWM0通道B高端	B	PB_06
PWM0_BL	PWM0通道B低端	C	PC_00
PWM0_CH	PWM0通道C高端	B	PB_13
PWM0_CL	PWM0通道C低端	B	PB_14
PWM0_DH	PWM0通道D高端	B	PB_11
PWM0_DL	PWM0通道D低端	B	PB_12
PWM0_SYNC	PWM0 PWMTMR分组	E	PE_09
PWM0_TRIP0	PWM0关断输入0	B	PB_15
PWM1_AH	PWM1通道A高端	D	PD_03
PWM1_AL	PWM1通道A低端	D	PD_04
PWM1_BH	PWM1通道B高端	D	PD_05
PWM1_BL	PWM1通道B低端	D	PD_06
PWM1_CH	PWM1通道C高端	D	PD_07
PWM1_CL	PWM1通道C低端	D	PD_08
PWM1_DH	PWM1通道D高端	D	PD_09
PWM1_DL	PWM1通道D低端	D	PD_10
PWM1_SYNC	PWM1 PWMTMR分组	D	PD_11

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
PWM1_TRIP0	PWM1关断输入0	D	PD_02
PWM2_AH	PWM2通道A高端	F	PF_07
PWM2_AL	PWM2通道A低端	F	PF_06
PWM2_BH	PWM2通道B高端	F	PF_09
PWM2_BL	PWM2通道B低端	F	PF_08
PWM2_CH	PWM2通道C高端	D	PD_15
PWM2_CL	PWM2通道C低端	E	PE_00
PWM2_DH	PWM2通道D高端	E	PE_04
PWM2_DL	PWM2通道D低端	E	PE_10
PWM2_SYNC	PWM2 PWMTMR分组	E	PE_05
PWM2_TRIP0	PWM2关断输入0	D	PD_14
GND	地	未多路复用	GND
VDD_EXT	外部电压域	未多路复用	VDD_EXT
VDD_INT	内部电压域	未多路复用	VDD_INT
RTC0_CLKIN	RTC0晶振输入/外部振荡器连接	未多路复用	RTC0_CLKIN
RTC0_XTAL	RTC0晶振输出	未多路复用	RTC0_XTAL
SINC0_CLK0	SINC0时钟0	B	PB_01
SINC0_D0	SINC0数据0	A	PA_14
SINC0_D1	SINC0数据1	A	PA_15
SINC0_D2	SINC0数据2	B	PB_00
SINC0_D3	SINC0数据3	B	PB_04
SMC0_A01	SMC0地址1	B	PB_05
SMC0_A02	SMC0地址2	B	PB_06
SMC0_A03	SMC0地址3	B	PB_03
SMC0_A04	SMC0地址4	B	PB_02
SMC0_A05	SMC0地址5	D	PD_13
SMC0_A06	SMC0地址6	D	PD_12
SMC0_A07	SMC0地址7	B	PB_01
SMC0_A08	SMC0地址8	B	PB_00
SMC0_A09	SMC0地址9	A	PA_15
SMC0_A10	SMC0地址10	A	PA_14
SMC0_A11	SMC0地址11	A	PA_09
SMC0_A12	SMC0地址12	A	PA_08
SMC0_A13	SMC0地址13	A	PA_13
SMC0_A14	SMC0地址14	A	PA_12
SMC0_A15	SMC0地址15	A	PA_11
SMC0_A16	SMC0地址16	A	PA_07
SMC0_A17	SMC0地址17	A	PA_06
SMC0_A18	SMC0地址18	A	PA_05
SMC0_A19	SMC0地址19	A	PA_04
SMC0_A20	SMC0地址20	A	PA_01
SMC0_A21	SMC0地址21	A	PA_00
SMC0_A22	SMC0地址22	A	PA_10
SMC0_A23	SMC0地址23	A	PA_03
SMC0_A24	SMC0地址24	A	PA_02
SMC0_A25	SMC0地址25	C	PC_12
SMC0_ABE0	SMC0字节使能0	E	PE_14
SMC0_ABE1	SMC0字节使能1	E	PE_15

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
SMC0_AMS0	SMC0存储器选择0	C	PC_15
SMC0_AMS1	SMC0存储器选择1	E	PE_13
SMC0_AMS2	SMC0存储器选择2	C	PC_07
SMC0_AMS3	SMC0存储器选择3	C	PC_08
SMC0_AOE	SMC0输出使能	D	PD_01
SMC0_ARDY	SMC0异步就绪	B	PB_04
SMC0_ARE	SMC0读取使能	C	PC_00
SMC0_AWE	SMC0写入使能	B	PB_15
SMC0_D00	SMC0数据0	E	PE_12
SMC0_D01	SMC0数据1	E	PE_11
SMC0_D02	SMC0数据2	E	PE_10
SMC0_D03	SMC0数据3	E	PE_09
SMC0_D04	SMC0数据4	E	PE_00
SMC0_D05	SMC0数据5	D	PD_15
SMC0_D06	SMC0数据6	D	PD_14
SMC0_D07	SMC0数据7	D	PD_00
SMC0_D08	SMC0数据8	B	PB_14
SMC0_D09	SMC0数据9	B	PB_13
SMC0_D10	SMC0数据10	B	PB_12
SMC0_D11	SMC0数据11	B	PB_11
SMC0_D12	SMC0数据12	B	PB_10
SMC0_D13	SMC0数据13	B	PB_09
SMC0_D14	SMC0数据14	B	PB_08
SMC0_D15	SMC0数据15	B	PB_07
SPI0_CLK	SPI0时钟	C	PC_09
SPI0_MISO	SPI0主机输入、从机输出	C	PC_10
SPI0_MOSI	SPI0主机输出、从机输入	C	PC_11
SPI0_RDY	SPI0就绪	C	PC_12
SPI0_SEL1	SPI0从机选择输出1	C	PC_07
SPI0_SEL2	SPI0从机选择输出2	D	PD_01
SPI0_SEL3	SPI0从机选择输出3	C	PC_12
SPI0_SEL4	SPI0从机选择输出4	C	PC_00
SPI0_SEL5	SPI0从机选择输出5	E	PE_01
SPI0_SEL6	SPI0从机选择输出6	E	PE_02
SPI0_SEL7	SPI0从机选择输出7	E	PE_03
SPI0_SS	SPI0从机选择输入	D	PD_01
SPI1_CLK	SPI1时钟	E	PE_13
SPI1_MISO	SPI1主机输入、从机输出	E	PE_14
SPI1_MOSI	SPI1主机输出、从机输入	E	PE_15
SPI1_RDY	SPI1就绪	E	PE_08
SPI1_SEL1	SPI1从机选择输出1	C	PC_13
SPI1_SEL2	SPI1从机选择输出2	E	PE_07
SPI1_SEL3	SPI1从机选择输出3	E	PE_11
SPI1_SEL4	SPI1从机选择输出4	E	PE_12
SPI1_SEL5	SPI1从机选择输出5	E	PE_08
SPI1_SEL6	SPI1从机选择输出6	F	PF_00
SPI1_SEL7	SPI1从机选择输出7	F	PF_01
SPI1_SS	SPI1从机选择输入	E	PE_11

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
SPI2_CLK	SPI2时钟	C	PC_01
SPI2_D2	SPI2数据2	C	PC_04
SPI2_D3	SPI2数据3	C	PC_05
SPI2_MISO	SPI2主机输入、从机输出	C	PC_02
SPI2_MOSI	SPI2主机输出、从机输入	C	PC_03
SPI2_RDY	SPI2就绪	E	PE_12
$\overline{\text{SPI2_SEL1}}$	SPI2从机选择输出1	C	PC_06
$\overline{\text{SPI2_SEL2}}$	SPI2从机选择输出2	E	PE_03
$\overline{\text{SPI2_SEL3}}$	SPI2从机选择输出3	E	PE_04
$\overline{\text{SPI2_SEL4}}$	SPI2从机选择输出4	E	PE_05
$\overline{\text{SPI2_SEL5}}$	SPI2从机选择输出5	E	PE_06
$\overline{\text{SPI2_SS}}$	SPI2从机选择输入	C	PC_06
SYS_BMODE0	引导模式控制0	未多路复用	SYS_BMODE0
SYS_BMODE1	引导模式控制1	未多路复用	SYS_BMODE1
SYS_BMODE2	引导模式控制2	未多路复用	SYS_BMODE2
SYS_CLKIN0	时钟/晶振输入	未多路复用	SYS_CLKIN0
SYS_CLKIN1	时钟/晶振输入	未多路复用	SYS_CLKIN1
SYS_CLKOUT	处理器时钟输出	未多路复用	SYS_CLKOUT
SYS_FAULT	高电平有效故障输出	未多路复用	SYS_FAULT
$\overline{\text{SYS_FAULT}}$	低电平有效故障输出	未多路复用	$\overline{\text{SYS_FAULT}}$
$\overline{\text{SYS_HWRST}}$	处理器硬件复位控制	未多路复用	$\overline{\text{SYS_HWRST}}$
$\overline{\text{SYS_RESOUT}}$	复位输出	未多路复用	$\overline{\text{SYS_RESOUT}}$
SYS_XTAL0	晶振输出	未多路复用	SYS_XTAL0
SYS_XTAL1	晶振输出	未多路复用	SYS_XTAL1
TMO_ACIO	TIMER0备选捕获输入0	C	PC_14
TMO_AC11	TIMER0备选捕获输入1	B	PB_03
TMO_AC12	TIMER0备选捕获输入2	D	PD_13
TMO_AC13	TIMER0备选捕获输入3	C	PC_07
TMO_AC14	TIMER0备选捕获输入4	B	PB_10
TMO_ACLK1	TIMER0备选时钟1	D	PD_08
TMO_ACLK2	TIMER0备选时钟2	D	PD_09
TMO_ACLK3	TIMER0备选时钟3	B	PB_00
TMO_ACLK4	TIMER0备选时钟4	B	PB_01
TMO_CLK	TIMER0时钟	C	PC_11
TMO_TMR0	TIMER0定时器0	E	PE_09
TMO_TMR1	TIMER0定时器1	B	PB_15
TMO_TMR2	TIMER0定时器2	B	PB_10
TMO_TMR3	TIMER0定时器3	B	PB_07
TMO_TMR4	TIMER0定时器4	B	PB_08
TMO_TMR5	TIMER0定时器5	B	PB_14
TMO_TMR6	TIMER0定时器6	F	PF_00
TMO_TMR7	TIMER0定时器7	F	PF_01
TRACE0_CLK	TRACE0跟踪时钟	G	PG_00
$\overline{\text{TRACE0_CLK}}$	TRACE0跟踪时钟	D	PD_10
TRACE0_D00	TRACE0跟踪数据	F	PF_13
$\overline{\text{TRACE0_D00}}$	TRACE0跟踪数据0	D	PD_02
TRACE0_D01	TRACE0跟踪数据1	D	PD_03
$\overline{\text{TRACE0_D01}}$	TRACE0跟踪数据	F	PF_14

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
TRACE0_D02	TRACE0跟踪数据	F	PF_15
TRACE0_D02	TRACE0跟踪数据2	D	PD_04
TRACE0_D03	TRACE0跟踪数据	G	PG_01
TRACE0_D03	TRACE0跟踪数据3	D	PD_05
TRACE0_D04	TRACE0跟踪数据	G	PG_02
TRACE0_D04	TRACE0跟踪数据4	D	PD_06
TRACE0_D05	TRACE0跟踪数据5	D	PD_07
TRACE0_D05	TRACE0跟踪数据	G	PG_03
TRACE0_D06	TRACE0跟踪数据	G	PG_04
TRACE0_D06	TRACE0跟踪数据6	D	PD_08
TRACE0_D07	TRACE0跟踪数据	G	PG_05
TRACE0_D07	TRACE0跟踪数据7	D	PD_09
TRACE0_D08	TRACE0跟踪数据8	F	PF_13
TRACE0_D09	TRACE0跟踪数据9	F	PF_14
TRACE0_D10	TRACE0跟踪数据10	F	PF_15
TRACE0_D11	TRACE0跟踪数据11	G	PG_01
TRACE0_D12	TRACE0跟踪数据12	G	PG_02
TRACE0_D13	TRACE0跟踪数据13	G	PG_03
TRACE0_D14	TRACE0跟踪数据14	G	PG_04
TRACE0_D15	TRACE0跟踪数据15	G	PG_05
TWI0_SCL	TWI0串行时钟	未多路复用	TWI0_SCL
TWI0_SDA	TWI0串行数据	未多路复用	TWI0_SDA
TWI1_SCL	TWI1串行时钟	未多路复用	TWI1_SCL
TWI1_SDA	TWI1串行数据	未多路复用	TWI1_SDA
TWI2_SCL	TWI2串行时钟	未多路复用	TWI2_SCL
TWI2_SDA	TWI2串行数据	未多路复用	TWI2_SDA
UART0_CTS	UART0允许发送	D	PD_00
UART0_RTS	UART0请求发送	C	PC_15
UART0_RX	UART0接收	C	PC_14
UART0_TX	UART0发射	C	PC_13
UART1_CTS	UART1允许发送	E	PE_01
UART1_RTS	UART1请求发送	E	PE_02
UART1_RX	UART1接收	B	PB_03
UART1_TX	UART1发射	B	PB_02
UART2_CTS	UART2允许发送	E	PE_11
UART2_RTS	UART2请求发送	E	PE_10
UART2_RX	UART2接收	D	PD_13
UART2_TX	UART2发射	D	PD_12
USB0_CLKIN	USB0时钟/晶振输入	未多路复用	USB_CLKIN
USB0_DM	USB0数据	未多路复用	USB0_DM
USB0_DP	USB0数据+	未多路复用	USB0_DP
USB0_ID	USB0 OTG ID	未多路复用	USB0_ID
USB0_VBC	USB0 VBUS控制	未多路复用	USB0_VBC
USB0_VBUS	USB0总线电压	未多路复用	USB0_VBUS
USB0_XTAL	USB0晶振	未多路复用	USB_XTAL
USB1_DM	USB1数据	未多路复用	USB1_DM
USB1_DP	USB1数据+	未多路复用	USB1_DP
USB1_VBUS	USB1总线电压	未多路复用	USB1_VBUS

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表18. ADSP-SC58x/ADSP-2158x 529引脚CSP_BGA封装信号描述(续)

信号名称	描述	端口	引脚名称
VDD_DMC	DMC VDD	未多路复用	VDD_DMC
VDD_HADC	HADC VDD	未多路复用	VDD_HADC
VDD_PCIE	PCIE电源电压	未多路复用	VDD_PCIE
VDD_PCIE_RX	PCIE RX电源电压	未多路复用	VDD_PCIE_RX
VDD_PCIE_TX	PCIE TX电源电压	未多路复用	VDD_PCIE_TX
VDD_RTC	RTC VDD	未多路复用	VDD_RTC
VDD_USB	USB VDD	未多路复用	VDD_USB

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

529引脚CSP_BGA封装的GP I/O复用

表19至表25列出了多路复用至529引脚CSP_BGA封装上通用I/O引脚的引脚功能。

表19. 端口A信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PA_00	ETH0_TXD0			SMC0_A21	
PA_01	ETH0_TXD1			SMC0_A20	
PA_02	ETH0_MDC			SMC0_A24	
PA_03	ETH0_MDIO			SMC0_A23	
PA_04	ETH0_RXD0			SMC0_A19	
PA_05	ETH0_RXD1			SMC0_A18	
PA_06	ETH0_RXCLK_REFCLK			SMC0_A17	
PA_07	ETH0_CRS			SMC0_A16	
PA_08	ETH0_RXD2			SMC0_A12	
PA_09	ETH0_RXD3			SMC0_A11	
PA_10	ETH0_TXEN			SMC0_A22	
PA_11	ETH0_TXCLK			SMC0_A15	
PA_12	ETH0_TXD2			SMC0_A14	
PA_13	ETH0_TXD3			SMC0_A13	
PA_14	ETH0_PTPPPS3	SINC0_D0		SMC0_A10	
PA_15	ETH0_PTPPPS2	SINC0_D1		SMC0_A09	

表20. 端口B信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PB_00	ETH0_PTPPPS1	SINC0_D2	PPI0_D14	SMC0_A08	TM0_ACLK3
PB_01	ETH0_PTPPPS0	SINC0_CLK0	PPI0_D15	SMC0_A07	TM0_ACLK4
PB_02	ETH0_PTPCLKIN0	UART1_TX	PPI0_D16	SMC0_A04	
PB_03	ETH0_PTPAUXIN0	UART1_RX	PPI0_D17	SMC0_A03	TM0_AC11
PB_04	MLB0_CLK	SINC0_D3	PPI0_D12	SMC0_ARDY	ETH0_PTPAUXIN1
PB_05	MLB0_SIG		PPI0_D13	SMC0_A01	ETH0_PTPAUXIN2
PB_06	MLB0_DAT		PWM0_BH	SMC0_A02	ETH0_PTPAUXIN3
PB_07	LP1_D0	PWM0_AH	TM0_TMR3	SMC0_D15	
PB_08	LP1_D1	PWM0_AL	TM0_TMR4	SMC0_D14	
PB_09	LP1_D2		CAN1_TX	SMC0_D13	
PB_10	LP1_D3	TM0_TMR2	CAN1_RX	SMC0_D12	TM0_AC14
PB_11	LP1_D4		PWM0_DH	SMC0_D11	CNT0_ZM
PB_12	LP1_D5		PWM0_DL	SMC0_D10	CNT0_UD
PB_13	LP1_D6		PWM0_CH	SMC0_D09	
PB_14	LP1_D7	TM0_TMR5	PWM0_CL	SMC0_D08	CNT0_DG
PB_15	LP1_ACK	PWM0_TRIP0	TM0_TMR1	SMC0_AWE	

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表21. 端口C信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PC_00	LP1_CLK	PWM0_BL	SPIO_SEL4	SMC0_ARE	
PC_01	SPI2_CLK				
PC_02	SPI2_MISO				
PC_03	SPI2_MOSI				
PC_04	SPI2_D2				
PC_05	SPI2_D3				
PC_06	SPI2_SEL1				SPI2_SS
PC_07	CAN0_RX	SPIO_SEL1		SMC0_AMS2	TM0_AC13
PC_08	CAN0_TX			SMC0_AMS3	
PC_09	SPIO_CLK				
PC_10	SPIO_MISO				
PC_11	SPIO_MOSI				TM0_CLK
PC_12	SPIO_SEL3	SPIO_RDY	ACM0_T0	SMC0_A25	
PC_13	UART0_TX	SPI1_SEL1	ACM0_A0		
PC_14	UART0_RX		ACM0_A1		TM0_AC10
PC_15	UART0_RTS	PPIO_FS3	ACM0_A2	SMC0_AMS0	

表22. 端口D信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PD_00	UART0_CTS	PPIO_D23	ACM0_A3	SMC0_D07	
PD_01	SPIO_SEL2		ACM0_A4	SMC0_AOE	SPIO_SS
PD_02	LPO_D0	PWM1_TRIP0	TRACE0_D00		
PD_03	LPO_D1	PWM1_AH	TRACE0_D01		
PD_04	LPO_D2	PWM1_AL	TRACE0_D02		
PD_05	LPO_D3	PWM1_BH	TRACE0_D03		
PD_06	LPO_D4	PWM1_BL	TRACE0_D04		
PD_07	LPO_D5	PWM1_CH	TRACE0_D05		
PD_08	LPO_D6	PWM1_CL	TRACE0_D06		TM0_ACLK1
PD_09	LPO_D7	PWM1_DH	TRACE0_D07		TM0_ACLK2
PD_10	LPO_CLK	PWM1_DL	TRACE0_CLK		
PD_11	LPO_ACK	PWM1_SYNC			
PD_12	UART2_TX		PPIO_D19	SMC0_A06	
PD_13	UART2_RX		PPIO_D18	SMC0_A05	TM0_AC12
PD_14	PPIO_D11	PWM2_TRIP0	MLB0_CLKOUT	SMC0_D06	
PD_15	PPIO_D10	PWM2_CH		SMC0_D05	

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表23. 端口E信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PE_00	PPIO_D09	PWM2_CL		SMC0_D04	
PE_01	PPIO_FS2	SPI0_SEL5	UART1_CTS	C1_FLG0	
PE_02	PPIO_FS1	SPI0_SEL6	UART1_RTS	C2_FLG0	
PE_03	PPIO_CLK	SPI0_SEL7	SPI2_SEL2	C1_FLG1	
PE_04	PPIO_D08	PWM2_DH	SPI2_SEL3	C2_FLG1	
PE_05	PPIO_D07	PWM2_SYNC	SPI2_SEL4	C1_FLG2	
PE_06	PPIO_D06		SPI2_SEL5	C2_FLG2	
PE_07	PPIO_D05		SPI1_SEL2	C1_FLG3	
PE_08	PPIO_D04	SPI1_SEL5	SPI1_RDY	C2_FLG3	
PE_09	PPIO_D03	PWM0_SYNC	TM0_TMR0	SMC0_D03	
PE_10	PPIO_D02	PWM2_DL	UART2_RTS	SMC0_D02	
PE_11	PPIO_D01	SPI1_SEL3	UART2_CTS	SMC0_D01	SPI1_SS
PE_12	PPIO_D00	SPI1_SEL4	SPI2_RDY	SMC0_D00	
PE_13	SPI1_CLK		PPIO_D20	SMC0_AMS1	
PE_14	SPI1_MISO		PPIO_D21	SMC0_ABE0	
PE_15	SPI1_MOSI		PPIO_D22	SMC0_ABE1	

表24. 端口F信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PF_00	TM0_TMR6	SPI1_SEL6			
PF_01	TM0_TMR7	SPI1_SEL7			
PF_02	MSIO_D0	HADC0_EOC_DOUT			
PF_03	MSIO_D1	HADC0_MUX2			
PF_04	MSIO_D2	HADC0_MUX1			
PF_05	MSIO_D3	HADC0_MUX0			
PF_06	MSIO_D4	PWM2_AL			
PF_07	MSIO_D5	PWM2_AH			
PF_08	MSIO_D6	PWM2_BL			
PF_09	MSIO_D7	PWM2_BH			
PF_10	MSIO_CMD				
PF_11	MSIO_CLK				
PF_12	MSIO_CD				
PF_13	ETH1_CRS	TRACE0_D08	TRACE0_D00	MSIO_INT	
PF_14	ETH1_MDC	TRACE0_D09	TRACE0_D01		
PF_15	ETH1_MDIO	TRACE0_D10	TRACE0_D02		

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表25. 端口G信号多路复用

信号名称	多路复用功能0	多路复用功能1	多路复用功能2	多路复用功能3	多路复用功能输入抽头
PG_00	ETH1_REFCLK	TRACE0_CLK			
PG_01	ETH1_TXEN	TRACE0_D11	TRACE0_D03		
PG_02	ETH1_TXD0	TRACE0_D12	TRACE0_D04		
PG_03	ETH1_TXD1	TRACE0_D13	TRACE0_D05		
PG_04	ETH1_RXD0	TRACE0_D14	TRACE0_D06		
PG_05	ETH1_RXD1	TRACE0_D15	TRACE0_D07		

ADSP-SC58x/ADSP-2158x设计人员快速参考

表26提供电路板设计中引脚相关的快速参考汇总信息。该表中的列提供下列信息：

- 信号名称 – 表中的信号名称列包含各引脚的信号名称，以及每一个引脚的GP I/O多路复用引脚功能(如适用)。
- 类型 – 表中的引脚类型列表示引脚的I/O类型或电源类型。此列中的缩写为na(无)、I/O(输入/输出)、a(模拟)、s(电源)和g(接地)。
- 驱动器类型 – 表中的驱动器类型列表示此引脚使用的驱动器类型。驱动器类型定义见本数据手册中的“输出驱动电流”部分。
- 内部端接 – 表中的内部端接列表示处理器未处于复位状态时存在的端接。本例中使用的术语为：wk(弱监护，微弱保持引脚上之前的驱动值)、pu(上拉)或pd(下拉)。

- 复位端接 – 表中的复位端接列表示处理器处于复位状态时存在的端接。本例中使用的术语为：wk(弱监护，微弱保持引脚上之前的驱动值)、pu(上拉)或pd(下拉)。
- 复位驱动 – 表中的复位驱动列表示处理器处于复位状态时信号的有效驱动。
- 电源域 – 表中的电源域列表示信号所在的电源域。
- 描述和注释 – 表中的描述和注释列表示信号的任何特殊要求或特性。如果没有列出特殊要求，信号不用时可以不连接。此外，对于多路复用通用I/O引脚，该列还表示此引脚上的可用功能。

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DAIO_PIN01	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚1 注：
DAIO_PIN02	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚2 注：
DAIO_PIN03	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚3 注：
DAIO_PIN04	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚4 注：
DAIO_PIN05	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚5 注：
DAIO_PIN06	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚6 注：
DAIO_PIN07	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚7 注：
DAIO_PIN08	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚8 注：
DAIO_PIN09	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚9 注：
DAIO_PIN10	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚10 注：
DAIO_PIN11	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚11 注：
DAIO_PIN12	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚12 注：
DAIO_PIN13	输入输出	A	无	无	无	VDD_EXT	描述：DAIO引脚13 注：

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DAI0_PIN14	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚14 注:
DAI0_PIN15	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚15 注:
DAI0_PIN16	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚16 注:
DAI0_PIN17	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚17 注:
DAI0_PIN18	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚18 注:
DAI0_PIN19	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚19 注:
DAI0_PIN20	输入输出	A	无	无	无	VDD_EXT	描述: DAI0引脚20 注:
DAI1_PIN01	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚1 注:
DAI1_PIN02	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚2 注:
DAI1_PIN03	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚3 注:
DAI1_PIN04	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚4 注:
DAI1_PIN05	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚5 注:
DAI1_PIN06	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚6 注:
DAI1_PIN07	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚7 注:
DAI1_PIN08	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚8 注:
DAI1_PIN09	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚9 注:
DAI1_PIN10	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚10 注:
DAI1_PIN11	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚11 注:
DAI1_PIN12	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚12 注:
DAI1_PIN13	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚13 注:
DAI1_PIN14	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚14 注:
DAI1_PIN15	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚15 注:
DAI1_PIN16	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚16 注:
DAI1_PIN17	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚17 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DAI1_PIN18	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚18 注:
DAI1_PIN19	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚19 注:
DAI1_PIN20	输入输出	A	无	无	无	VDD_EXT	描述: DAI1引脚20 注:
DMC0_A00	输出	B	无	无	无	VDD_DMC	描述: DMC0地址0 注:
DMC0_A01	输出	B	无	无	无	VDD_DMC	描述: DMC0地址1 注:
DMC0_A02	输出	B	无	无	无	VDD_DMC	描述: DMC0地址2 注:
DMC0_A03	输出	B	无	无	无	VDD_DMC	描述: DMC0地址3 注:
DMC0_A04	输出	B	无	无	无	VDD_DMC	描述: DMC0地址4 注:
DMC0_A05	输出	B	无	无	无	VDD_DMC	描述: DMC0地址5 注:
DMC0_A06	输出	B	无	无	无	VDD_DMC	描述: DMC0地址6 注:
DMC0_A07	输出	B	无	无	无	VDD_DMC	描述: DMC0地址7 注:
DMC0_A08	输出	B	无	无	无	VDD_DMC	描述: DMC0地址8 注:
DMC0_A09	输出	B	无	无	无	VDD_DMC	描述: DMC0地址9 注:
DMC0_A10	输出	B	无	无	无	VDD_DMC	描述: DMC0地址10 注:
DMC0_A11	输出	B	无	无	无	VDD_DMC	描述: DMC0地址11 注:
DMC0_A12	输出	B	无	无	无	VDD_DMC	描述: DMC0地址12 注:
DMC0_A13	输出	B	无	无	无	VDD_DMC	描述: DMC0地址13 注:
DMC0_A14	输出	B	无	无	无	VDD_DMC	描述: DMC0地址14 注:
DMC0_A15	输出	B	无	无	无	VDD_DMC	描述: DMC0地址15 注:
DMC0_BA0	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址0 注:
DMC0_BA1	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址1 注:
DMC0_BA2	输出	B	无	无	无	VDD_DMC	描述: DMC0组地址2 注:
$\overline{\text{DMC0_CAS}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0列地址选通 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC0_CK	输出	C	无	无	L	VDD_DMC	描述: DMC0时钟 注:
DMC0_CKE	输出	B	无	无	L	VDD_DMC	描述: DMC0时钟使能 注:
$\overline{\text{DMC0_CK}}$	输出	C	无	无	L	VDD_DMC	描述: DMC0时钟(-) 注:
$\overline{\text{DMC0_CS0}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0片选0 注:
DMC0_DQ00	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据0 注:
DMC0_DQ01	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据1 注:
DMC0_DQ02	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据2 注:
DMC0_DQ03	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据3 注:
DMC0_DQ04	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据4 注:
DMC0_DQ05	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据5 注:
DMC0_DQ06	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据6 注:
DMC0_DQ07	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据7 注:
DMC0_DQ08	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据8 注:
DMC0_DQ09	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据9 注:
DMC0_DQ10	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据10 注:
DMC0_DQ11	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据11 注:
DMC0_DQ12	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据12 注:
DMC0_DQ13	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据13 注:
DMC0_DQ14	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据14 注:
DMC0_DQ15	输入输出	B	无	无	无	VDD_DMC	描述: DMC0数据15 注:
DMC0_LDM	输出	B	无	无	无	VDD_DMC	描述: DMC0低位字节数据掩码 注:
DMC0_LDQS	输入输出	C	无	无	无	VDD_DMC	描述: DMC0低位字节数据选通 注: LPDDR模式需要外部弱上拉

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
$\overline{\text{DMC0_LDQS}}$	输入输出	C	无	无	无	VDD_DMC	描述: DMC0低位字节数据选通(-) 注:
DMC0_ODT	输出	B	无	无	无	VDD_DMC	描述: DMC0片上端接 注:
$\overline{\text{DMC0_RAS}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0行地址选通 注:
$\overline{\text{DMC0_RESET}}$	输入输出	B	无	无	无	VDD_DMC	描述: DMC0复位(仅DDR3) 注:
DMC0_RZQ	输入输出	B	无	无	无	VDD_DMC	描述: DMC0外部校准电阻连接 注: 使用34 Ω电阻。
DMC0_UDM	输出	B	无	无	无	VDD_DMC	描述: DMC0高位字节数据掩码 注:
DMC0_UDQS	输入输出	C	无	无	无	VDD_DMC	描述: DMC0高位字节数据选通 注: LPDDR模式需要外部弱上拉
$\overline{\text{DMC0_UDQS}}$	输入输出	C	无	无	无	VDD_DMC	描述: DMC0高位字节数据选通(-) 注:
DMC0_VREF	a		无	无	无	VDD_DMC	描述: DMC0基准电压 注:
$\overline{\text{DMC0_WE}}$	输出	B	无	无	无	VDD_DMC	描述: DMC0写入使能 注:
DMC1_A00	输出	B	无	无	无	VDD_DMC	描述: DMC1地址0 注:
DMC1_A01	输出	B	无	无	无	VDD_DMC	描述: DMC1地址1 注:
DMC1_A02	输出	B	无	无	无	VDD_DMC	描述: DMC1地址2 注:
DMC1_A03	输出	B	无	无	无	VDD_DMC	描述: DMC1地址3 注:
DMC1_A04	输出	B	无	无	无	VDD_DMC	描述: DMC1地址4 注:
DMC1_A05	输出	B	无	无	无	VDD_DMC	描述: DMC1地址5 注:
DMC1_A06	输出	B	无	无	无	VDD_DMC	描述: DMC1地址6 注:
DMC1_A07	输出	B	无	无	无	VDD_DMC	描述: DMC1地址7 注:
DMC1_A08	输出	B	无	无	无	VDD_DMC	描述: DMC1地址8 注:
DMC1_A09	输出	B	无	无	无	VDD_DMC	描述: DMC1地址9 注:
DMC1_A10	输出	B	无	无	无	VDD_DMC	描述: DMC1地址10 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC1_A11	输出	B	无	无	无	VDD_DMC	描述: DMC1地址11 注:
DMC1_A12	输出	B	无	无	无	VDD_DMC	描述: DMC1地址12 注:
DMC1_A13	输出	B	无	无	无	VDD_DMC	描述: DMC1地址13 注:
DMC1_A14	输出	B	无	无	无	VDD_DMC	描述: DMC1地址14 注:
DMC1_A15	输出	B	无	无	无	VDD_DMC	描述: DMC1地址15 注:
DMC1_BA0	输出	B	无	无	无	VDD_DMC	描述: DMC1组地址0 注:
DMC1_BA1	输出	B	无	无	无	VDD_DMC	描述: DMC1组地址1 注:
DMC1_BA2	输出	B	无	无	无	VDD_DMC	描述: DMC1组地址2 注:
$\overline{\text{DMC1_CAS}}$	输出	B	无	无	无	VDD_DMC	描述: DMC1列地址 选通 注:
DMC1_CK	输出	C	无	无	L	VDD_DMC	描述: DMC1时钟 注:
DMC1_CKE	输出	B	无	无	L	VDD_DMC	描述: DMC1时钟使能 注:
$\overline{\text{DMC1_CK}}$	输出	C	无	无	L	VDD_DMC	描述: DMC1时钟(-) 注:
$\overline{\text{DMC1_CS0}}$	输出	B	无	无	无	VDD_DMC	描述: DMC1片选0 注:
DMC1_DQ00	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据0 注:
DMC1_DQ01	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据1 注:
DMC1_DQ02	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据2 注:
DMC1_DQ03	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据3 注:
DMC1_DQ04	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据4 注:
DMC1_DQ05	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据5 注:
DMC1_DQ06	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据6 注:
DMC1_DQ07	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据7 注:
DMC1_DQ08	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据8 注:
DMC1_DQ09	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据9 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
DMC1_DQ10	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据10 注:
DMC1_DQ11	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据11 注:
DMC1_DQ12	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据12 注:
DMC1_DQ13	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据13 注:
DMC1_DQ14	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据14 注:
DMC1_DQ15	输入输出	B	无	无	无	VDD_DMC	描述: DMC1数据15 注:
DMC1_LDM	输出	B	无	无	无	VDD_DMC	描述: DMC1低位字节数据掩码 注:
DMC1_LDQS	输入输出	C	无	无	无	VDD_DMC	描述: DMC1低位字节数据选通 注: LPDDR模式需要外部弱上拉
$\overline{\text{DMC1_LDQS}}$	输入输出	C	无	无	无	VDD_DMC	描述: DMC1低位字节数据选通(-) 注:
DMC1_ODT	输出	B	无	无	无	VDD_DMC	描述: DMC1片上端接 注:
$\overline{\text{DMC1_RAS}}$	输出	B	无	无	无	VDD_DMC	描述: DMC1行地址选通 注:
$\overline{\text{DMC1_RESET}}$	输入输出	B	无	无	无	VDD_DMC	描述: DMC1复位(仅DDR3) 注:
DMC1_RZQ	输入输出	B	无	无	无	VDD_DMC	描述: DMC1外部校准电阻连接 注:
DMC1_UDM	输出	B	无	无	无	VDD_DMC	描述: DMC1高位字节数据掩码 注:
DMC1_UDQS	输入输出	C	无	无	无	VDD_DMC	描述: DMC1高位字节数据选通 注: LPDDR模式需要外部弱上拉
$\overline{\text{DMC1_UDQS}}$	输入输出	C	无	无	无	VDD_DMC	描述: DMC1高位字节数据选通(-) 注:
DMC1_VREF	a		无	无	无	VDD_DMC	描述: DMC1基准电压 注:
$\overline{\text{DMC1_WE}}$	输出	B	无	无	无		描述: DMC1写入使能 注:
GND	g		无	无	无		描述: 地 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
HADC0_VIN0	a		无	无	无	VDD_HADC	描述: 通道0的HADC0模拟输入 注:
HADC0_VIN1	a		无	无	无	VDD_HADC	描述: 通道1的HADC0模拟输入 注:
HADC0_VIN2	a		无	无	无	VDD_HADC	描述: 通道2的HADC0模拟输入 注:
HADC0_VIN3	a		无	无	无	VDD_HADC	描述: 通道3的HADC0模拟输入 注:
HADC0_VIN4	a		无	无	无	VDD_HADC	描述: 通道4的HADC0模拟输入 注:
HADC0_VIN5	a		无	无	无	VDD_HADC	描述: 通道5的HADC0模拟输入 注:
HADC0_VIN6	a		无	无	无	VDD_HADC	描述: 通道6的HADC0模拟输入 注:
HADC0_VIN7	a		无	无	无	VDD_HADC	描述: 通道7的HADC0模拟输入 注:
HADC0_VREFN	s		无	无	无	VDD_HADC	描述: ADC的HADC0接地基准 注:
HADC0_VREFP	s		无	无	无	VDD_HADC	描述: ADC的HADC0外部基准源 注:
JTG_TCK	输入		下拉	下拉	无	VDD_EXT	描述: TAPC JTAG时钟 注:
JTG_TDI	输入		上拉	上拉	无	VDD_EXT	描述: TAPC JTAG串行数据输入 注:
JTG_TDO	输出	A	无	无	无	VDD_EXT	描述: TAPC JTAG串行数据输出 注:
JTG_TMS	输入输出	A	上拉	上拉	无	VDD_EXT	描述: TAPC JTAG模式选择 注:
$\overline{\text{JTG_TRST}}$	输入		上拉	上拉	无	VDD_EXT	描述: TAPC JTAG复位 注:
MLB0_CLKN	输入输出		无	无	无	VDD_EXT	描述: MLB0差分时钟(-) 注:
MLB0_CLKP	输入输出		无	无	无	VDD_EXT	描述: MLB0差分时钟(+) 注:
MLB0_DATN	输入输出		无	无	无	VDD_EXT	描述: MLB0差分数据(-) 注:
MLB0_DATP	输入输出		无	无	无	VDD_EXT	描述: MLB0差分数据(+) 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
MLB0_SIGN	输入输出		无	无	无	VDD_EXT	描述: MLB0差分信号(-) 注:
MLB0_SIGP	输入输出		无	无	无	VDD_EXT	描述: MLB0差分信号(+) 注:
PA_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置0 ETH0发送数据0 SMC0地址21 注:
PA_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置1 ETH0发送数据1 SMC0地址20 注:
PA_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置2 ETH0管理通道时钟 SMC0地址24 注:
PA_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置3 ETH0管理通道串行数据 SMC0地址23 注:
PA_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置4 ETH0接收数据0 SMC0地址19 注:
PA_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置5 ETH0接收数据1 SMC0地址18 注:
PA_06	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置6 ETH0 RXCLK (GigE)或REFCLK (10/100) SMC0地址17 注:
PA_07	输入输出	A	无	无	无	VDD_EXT	描述: ETH0 RXCTL (GigE)或CRS (10/100) PORTA位置7 ETH0载波检测/RMII接收数据有效 SMC0地址16 注:
PA_08	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置8 ETH0接收数据2 SMC0地址12 注:
PA_09	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置9 ETH0接收数据3 SMC0地址11 注:
PA_10	输入输出	A	无	无	无	VDD_EXT	描述: ETH0 TXCTL (GigE)或TXEN (10/100) PORTA位置10 ETH0发送使能 SMC0地址22 注:
PA_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置11 ETH0发送时钟 SMC0地址15 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PA_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置12 ETH0发送数据2 SMC0地址14 注:
PA_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置13 ETH0发送数据3 SMC0地址13 注:
PA_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置14 ETH0 PTP PPS输出 3 SINCO数据0 SMC0地址10 注:
PA_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTA位置15 ETH0 PTP PPS输出 2 SINCO数据1 SMC0地址9 注:
PB_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置0 ETH0 PTP PPS输出1 EPPIO数据14 SINCO数据2 SMC0地址8 TIMER0 备选时钟3 注:
PB_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置1 ETH0 PTP PPS输出0 EPPIO数据15 SINCO时钟0 SMC0地址7 TIMER0 备选时钟4 注:
PB_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置2 ETH0 PTP时钟输入0 EPPIO数据16 SMC0地址4 UART1发送 注:
PB_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置3 ETH0 PTP辅助触发输入0 EPPIO数据17 SMC0地址3 TIMER0 备选捕捉输入1 UART1接收 注:
PB_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置4 ETH0 PTP辅助触发输入1 EPPIO数据12 MLB0单端时钟 SINCO数据3 SMC0异步就绪 注:
PB_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置5 ETH0 PTP辅助触发输入2 EPPIO数据13 MLB0单端信号 SMC0地址1 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PB_06	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置6 ETH0 PTP辅助触发输入3 MLB0单端数据 PWM0通道B高端 SMC0地址2 注:
PB_07	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置7 LP1数据0 PWM0通道A高端 SMC0数据15 TIMERO定时器3 注:
PB_08	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置8 LP1数据1 PWM0通道A低端 SMC0数据14 TIMERO定时器4 注:
PB_09	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置9 CAN1发送 LP1数据2 SMC0数据13 注:
PB_10	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置10 CAN1接收 LP1数据3 SMC0数据12 TIMERO备选捕捉输入4 TIMERO定时器2 注:
PB_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置11 CNT0零标记 LP1数据4 PWM0通道D高端 SMC0数据11 注:
PB_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置12 CNT0递增计数和方向 LP1数据5 PWM0通道D低端 SMC0数据10 注:
PB_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置13 LP1数据6 PWM0通道C高端 SMC0数据9 注:
PB_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置14 CNT0递减计数和门控 LP1数据7 PWM0通道C低端 SMC0数据8 TIMERO定时器5 注:
PB_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTB位置15 LP1应答 PWM0关断输入0 SMC0写入使能 TIMERO定时器1 注:
PCIE0_CLKM	输入输出		无	无	无	VDD_PCIE	描述: PCIE0 CLK - 注:
PCIE0_CLKP	输入输出		无	无	无	VDD_PCIE	描述: PCIE0 CLK + 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PCIE0_REF	输入输出		无	无	无	VDD_PCIE	描述: PCIE0基准 注:
PCIE0_RXM	输入输出		无	无	无	VDD_PCIE_RX	描述: PCIE0 RX - 注:
PCIE0_RXP	输入输出		无	无	无	VDD_PCIE_RX	描述: PCIE0 RX + 注:
PCIE0_TXM	输入输出		无	无	无	VDD_PCIE_TX	描述: PCIE0 TX - 注:
PCIE0_TXP	输入输出		无	无	无	VDD_PCIE_TX	描述: PCIE0 TX + 注:
PC_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置0 LP1时钟 PWM0通道B 低端 SMC0读取使能 SPI0从机选择输出4 注:
PC_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置1 SPI2时钟 注:
PC_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置2 SPI2 主机输入、从机输出 注:
PC_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置3 SPI2 主机输出、从机输入 注:
PC_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置4 SPI2 数据2 注:
PC_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置5 SPI2 数据3 注:
PC_06	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置6/ SPI2从机选择输出1/ SPI2从机选择输入 注:
PC_07	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置7 CAN0 接收 SMC0存储器选择2 SPI0从机选择输出1 TIMER0备选捕捉输入3 注:
PC_08	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置8 CAN0 发送 SMC0存储器选择3 注:
PC_09	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置9 SPI0 时钟 注:
PC_10	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置10 SPI0 主机输入、从机输出 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PC_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置11 SPI0主机输出、从机输入 TIMER0时钟 注:
PC_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置12 ACM0外部触发信号n SMC0地址25 SPI0就绪 SPI0从机选择输出3 注:
PC_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置13 ACM0 ADC控制信号 SPI1从机选择输出1 UART0发送 注:
PC_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置14 ACM0 ADC控制信号 TIMER0备选捕捉输入0 UART0接收 注:
PC_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTC位置15 ACM0 ADC控制信号 EPPIO帧同步3 (FIELD) SMC0存储器选择0 UART0请求发送 注:
PD_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置0 ACM0 ADC控制信号 EPPIO数据23 SMC0数据7 UART0允许发送 注:
PD_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置1 ACM0 ADC控制信号 SMC0输出使能 SPI0从选择输出2 SPI0从机选择输入 注:
PD_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置2 LP0数据0 PWM1关断输入0 TRACE0跟踪数据0 注:
PD_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置3 LP0数据1 PWM1通道A高端 TRACE0跟踪数据1 注:
PD_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置4 LP0数据2 PWM1通道A低端 TRACE0跟踪数据2 注:
PD_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置5 LP0数据3 PWM1通道B高端 TRACE0跟踪数据3 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PD_06	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置6 LP0数据4 PWM1通道B低端 TRACE0跟踪数据4 注:
PD_07	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置7 LP0数据5 PWM1通道C高端 TRACE0跟踪数据5 注:
PD_08	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置8 LP0数据6 PWM1通道C低端 TIMERO备选时钟1 TRACE0跟踪数据6 注:
PD_09	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置9 LP0数据7 PWM1通道D高端 TIMERO备选时钟2 TRACE0跟踪数据7 注:
PD_10	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置10 LP0时钟 PWM1通道D低端 TRACE0跟踪时钟 注:
PD_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置11 LP0应答 PWM1PWMTMR分组 注:
PD_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置12 EPPIO数据19 SMC0地址6 UART2发送 注:
PD_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置13 EPPIO数据18 SMC0地址5 TIMERO备选捕捉输入2 UART2接收 注:
PD_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置14 EPPIO数据11 MLB0单端时钟输出 PWM2关断输入0 SMC0数据6 注:
PD_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTD位置15 EPPIO数据10 PWM2通道C高端 SMC0数据5 注:
PE_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置0 EPPIO数据9 PWM2通道C低端 SMC0数据4 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PE_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置1 EPPIO帧同步2 (VSYNC) SPI0从机选择输出5 SHARC内核1标志引脚 UART1允许发送 注:
PE_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置2 EPPIO帧同步1 (HSYNC) SPI0从机选择输出6 SHARC内核2标志引脚 UART1请求发送 注:
PE_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置3 EPPIO时钟 SPI0从机选择输出7 SPI2从机选择输出2 SHARC内核1标志引脚 注:
PE_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置4 EPPIO数据8 PWM2通道D高端 SPI2从机选择输出3 SHARC内核2标志引脚 注:
PE_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置5 EPPIO数据7 PWM2 PWMTMR分组 SPI2从机选择输出4 SHARC内核1标志引脚 注:
PE_06	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置6 EPPIO数据6 SPI2从机选择输出5 SHARC内核2标志引脚 注:
PE_07	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置7 EPPIO数据5 SPI1从机选择输出2 SHARC内核1标志引脚 注:
PE_08	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置8 EPPIO数据4 SPI1就绪 SPI1从机选择输出5 SHARC内核2标志引脚 注:
PE_09	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置9 EPPIO数据3 PWM0 PWMTMR分组 SMC0数据3 TIMERO定时器0 注:
PE_10	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置10 EPPIO数据2 PWM2通道D低端 SMC0数据2 UART2请求发送 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PE_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置11 EPPIO数据1 SMC0数据1 SPI1从机选择输出3 SPI1从机选择输入 UART2允许发送 注:
PE_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置12 EPPIO数据0 SMC0数据0 SPI1从机选择输出4 SPI2就绪 注:
PE_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置13 EPPIO数据20 SMC0存储器选择1 SPI1时钟 注:
PE_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置14 EPPIO数据21 SMC0字节使能0 SPI1主机输入、从机输出 注:
PE_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTE位置15 EPPIO数据22 SMC0字节使能1 SPI1主机输出、从机输入 注:
PF_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置0 SPI1从机选择输出6 TIMER0定时器6 注:
PF_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置1 SPI1从机选择输出7 TIMER0定时器7 注:
PF_02	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置2 HADC0转换结束/串行数据输出 MSIO数据0 注:
PF_03	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置3 HADC0外部多路复用器控制 MSIO数据1 注:
PF_04	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置4 HADC0外部多路复用器控制 MSIO数据2 注:
PF_05	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置5 HADC0外部多路复用器控制 MSIO数据3 注:
PF_06	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置6 MSIO数据4 PWM2通道A低端 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PF_07	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置7 MSIO数据5 PWM2通道A高端 注:
PF_08	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置8 MSIO数据6 PWM2通道B低端 注:
PF_09	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置9 MSIO数据7 PWM2通道B高端 注:
PF_10	输入输出	A	可编程上拉	无	无	VDD_EXT	描述: PORTF位置10 MSIO命令 注:
PF_11	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置11 MSIO时钟 注:
PF_12	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置12 MSIO卡检测 注:
PF_13	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置13 ETH1载波检测/RMII接收数据有效 MSIO eSDIO中断输入 TRACE0跟踪数据 TRACE0跟踪数据8 注:
PF_14	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置14 ETH1管理通道时钟 TRACE0跟踪数据 TRACE0跟踪数据9 注:
PF_15	输入输出	A	无	无	无	VDD_EXT	描述: PORTF位置15 ETH1管理通道串行数据 TRACE0跟踪数据 TRACE0跟踪数据10 注:
PG_00	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置0 ETH1参考时钟 TRACE0跟踪时钟 注:
PG_01	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置1 ETH1发送使能 TRACE0跟踪数据 TRACE0跟踪数据11 注:
PG_02	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置2 ETH1发送数据0 TRACE0跟踪数据 TRACE0跟踪数据12 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
PG_03	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置3 ETH1发送数据1 TRACE0跟踪数据 TRACE0跟踪数据13 注:
PG_04	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置4 ETH1接收数据0 TRACE0跟踪数据 TRACE0跟踪数据14 注:
PG_05	输入输出	A	无	无	无	VDD_EXT	描述: PORTG位置5 ETH1接收数据1 TRACE0跟踪数据 TRACE0跟踪数据15 注:
RTC0_CLKIN	a		无	无	无	VDD_RTC	描述: RTC0晶振输入/外部振荡器连接 注:
RTC0_XTAL	a		无	无	无	VDD_RTC	描述: RTC0晶振输出 注:
SYS_BMODE0	输入		无	无	无	VDD_EXT	描述: 引导模式控制0 注:
SYS_BMODE1	输入		无	无	无	VDD_EXT	描述: 引导模式控制1 注:
SYS_BMODE2	输入		无	无	无	VDD_EXT	描述: 引导模式控制2 注:
SYS_CLKIN0	a		无	无	无	VDD_EXT	描述: 时钟/晶振输入 注:
SYS_CLKIN1	a		无	无	无	VDD_EXT	描述: 时钟/晶振输入 注:
SYS_CLKOUT	输入输出	A	无	无	无		描述: 处理器时钟输出 注:
SYS_FAULT	输入输出	A	无	无	无		描述: 高电平有效故障输出 注: 需要外部下拉电阻使信号保持解除置位状态。
$\overline{\text{SYS_FAULT}}$	输入输出	A	无	无	无		描述: 低电平有效故障输出 注: 需要外部上拉电阻使信号保持解除置位状态。
$\overline{\text{SYS_HWRST}}$	输入		无	无	无	VDD_EXT	描述: 处理器硬件复位控制 注:
$\overline{\text{SYS_RESOUT}}$	输出	A	无	无	L	VDD_EXT	描述: 复位输出 注:
SYS_XTAL0	a		无	无	无	VDD_EXT	描述: 晶振输出 注:
SYS_XTAL1	a		无	无	无	VDD_EXT	描述: 晶振输出 注:
TWI0_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI0串行时钟 注: 需要外部上拉电阻。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
TWI0_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI0串行数据 注: 需要外部上拉电阻。
TWI1_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI1串行时钟 注: 需要外部上拉电阻。
TWI1_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI1串行数据 注: 需要外部上拉电阻。
TWI2_SCL	输入输出	D	无	无	无	VDD_EXT	描述: TWI2串行时钟 注: 需要外部上拉电阻。
TWI2_SDA	输入输出	D	无	无	无	VDD_EXT	描述: TWI2串行数据 注: 需要外部上拉电阻。
USB0_DM	输入输出	F	无	无	无	VDD_USB	描述: USB0数据- 注:
USB0_DP	输入输出	F	无	无	无	VDD_USB	描述: USB0数据+ 注:
USB0_ID	输入输出		无	无	无	VDD_USB	描述: USB0 OTG ID 注: USB不使用时, 需要外部下拉电阻。
USB0_VBC	输入输出	E	无	无	无	VDD_USB	描述: USB0 VBUS控制 注:
USB0_VBUS	输入输出	G	无	无	无	VDD_USB	描述: USB0总线电压 注:
USB1_DM	输入输出	F	无	无	无	VDD_USB	描述: USB1数据- 注:
USB1_DP	输入输出	F	无	无	无	VDD_USB	描述: USB1数据+ 注:
USB1_VBUS	输入输出	G	无	无	无	VDD_USB	描述: USB1总线电压 注:
USB_CLKIN	a		无	无	无		描述: USB0/USB1时钟/晶振 输入 注: 同时服务于USB0和 USB1。
USB_XTAL	a		无	无	无		描述: USB0/USB1晶振 注: 同时服务于USB0和 USB1。
VDD_DMC	s		无	无	无		描述: DMC VDD 注:
VDD_EXT	s		无	无	无		描述: 外部电压域 注:
VDD_HADC	s		无	无	无		描述: HADC VDD 注:
VDD_INT	s		无	无	无		描述: 内部电压域 注:
VDD_PCIE	s		无	无	无		描述: PCIE电源电压 注:
VDD_PCIE_RX	s		无	无	无		描述: PCIE RX电源电压 注:
VDD_PCIE_TX	s		无	无	无		描述: PCIE TX电源电压 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表26. ADSP-SC58x/ADSP-2158x设计人员快速参考(续)

信号名称	类型	驱动器类型	内部端接	复位端接	复位驱动	电源域	描述和注释
VDD_RTC	s		无	无	无		描述: RTC VDD 注:
VDD_USB	s		无	无	无		描述: USB VDD 注:

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

技术规格

有关产品规格的信息，请联系ADI公司代表。

工作条件

参数 ¹	描述	450 MHz			单位
		最小值	标称值	最大值	
V _{DD_INT}	内部(内核)电源电压	1.05	1.1	1.15	V
V _{DD_EXT}	外部(I/O)电源电压	3.13	3.3	3.47	V
V _{DD_HADC}	模拟电源电压	3.13	3.3	3.47	V
V _{DD_DMC} ²	DDR2/LPDDR控制器电源电压	1.7	1.8	1.9	V
	DDR3控制器电源电压	1.425	1.5	1.575	V
V _{DD_USB} ³	USB电源电压	3.13	3.3	3.47	V
V _{DD_RTC}	RTC电压	3.13	3.3	3.47	V
V _{DD_PCIE_TX}	PCIe内核发送电压	1.05	1.1	1.15	V
V _{DD_PCIE_RX}	PCIe内核接收电压	1.05	1.1	1.15	V
V _{DD_PCIE}	PCIe电压	3.13	3.3	3.47	V
V _{IH} ⁴	高电平输入电压(V _{DD_EXT} = 最大值时)	2.0			V
V _{IL} ⁴	低电平输入电压(V _{DD_EXT} = 最小值时)			0.8	V
V _{IL_DDR2/3} ⁵	低电平输入电压(V _{DD_DMC} = 最小值时)			V _{REF} - 0.25	V
V _{IH_DDR2/3} ⁵	高电平输入电压(V _{DD_DMC} = 最大值时)	V _{REF} + 0.25			V
V _{IL_LPDDR} ⁶	低电平输入电压(V _{DD_DMC} = 最小值时)			0.34	V
V _{IH_LPDDR} ⁶	高电平输入电压(V _{DD_DMC} = 最大值时)	1.52			V
T _J	T _{AMBIENT} 为0°C到+70°C时349引脚 CSP_BGA的结温范围	待定		待定	°C
T _J	T _{AMBIENT} 为-40°C到+85°C时349引脚 CSP_BGA的结温范围	待定		待定	°C
T _J	T _{AMBIENT} 为0°C到+70°C时529引脚 CSP_BGA的结温范围	待定		待定	°C
T _J	T _{AMBIENT} 为-40°C到+85°C时529引脚 CSP_BGA的结温范围	待定		待定	°C

¹ 规格如有变更，恕不另行通知。

² 适用于DDR2/DDR3/LPDDR信号。

³ 不使用时，V_{DD_USB}应连接到3.3 V。

⁴ 参数值适用于TWI、DMC、USB、PCIe和MLB引脚以外的所有输入和双向引脚。

⁵ 在DDR2/DDR3模式下，此参数适用于所有DMC0/1信号。V_{REF}为施加于引脚V_{REF_DMC}的电压，标称值为V_{DD_DMC/2}。

⁶ 在LPDDR模式下，此参数适用于DMC0/1信号。

表27. TWI_VSEL选择和V_{DD_EXT}/V_{BUSTWI}

	V _{DD_EXT} 标称值	V _{BUSTWI} 最小值	V _{BUSTWI} 标称值	V _{BUSTWI} 最大值	单位
TWI000 ¹	3.30	3.13	3.30	3.47	V
TWI100	3.30	4.75	5.00	5.25	V

¹ 为使复位期间的JTAG边界扫描操作正常进行，设计必须符合默认TWI_DT设置要求的V_{DD_EXT}和V_{BUSTWI}电压。

时钟相关工作条件

表28说明了内核时钟、系统时钟和外设时钟的时序要求。

除非另有明确说明，表中的数据适用于所有速度等级。

表28. 时钟工作条件

参数	限制	最小值	典型值	最大值	单位
f _{CCLK}	内核时钟频率			450	MHz
f _{SYSCLK}	SYSCLK频率			225	MHz
f _{SCLK0}	SCLK0频率 ¹	30		112.5	MHz
f _{SCLK1}	SCLK1频率			112.5	MHz
f _{DCLK}	LPDDR时钟频率			200	MHz
f _{DCLK}	DDR2时钟频率			400	MHz
f _{DCLK}	DDR3时钟频率			450	MHz
f _{OCLK}	输出时钟频率			TBD	MHz
f _{SYS_CLKOUTJ}	SYS_CLKOUT周期抖动 ^{2,3}		±1		%
f _{PCLKPROG}	发送数据和帧同步时的已编程PPI时钟			75	MHz
f _{PCLKPROG}	接收数据或帧同步时的已编程PPI时钟			45	MHz
f _{PCLKEXT}	接收数据和帧同步时的外部PPI时钟 ^{4,5}	f _{PCLKEXT} ≤ f _{SCLK1}		75	MHz
f _{PCLKEXT}	发送数据和帧同步时的外部PPI时钟 ^{4,5}	f _{PCLKEXT} ≤ f _{SCLK1}		45	MHz
f _{LCLKTPROG}	已编程链路端口发送时钟			150	MHz
f _{LCLKREXT}	外部链路端口接收时钟 ^{4,5}	f _{LCLKEXT} ≤ f _{CLK08}		150	MHz
f _{SPTCLKPROG}	发送数据和帧同步时的已编程SPT时钟			56.25	MHz
f _{SPTCLKPROG}	接收数据或帧同步时的已编程SPT时钟			28.125	MHz
f _{SPTCLKEXT}	接收数据和帧同步时的外部SPT时钟 ^{4,5}	f _{SPTCLKEXT} ≤ f _{SCLK0}		56.25	MHz
f _{SPTCLKEXT}	发送数据和帧同步时的外部SPT时钟 ^{4,5}	f _{SPTCLKEXT} ≤ f _{SCLK0}		28.125	MHz
f _{SPICLKPROG}	发送数据时的已编程SPI时钟			75	MHz
f _{SPICLKPROG}	接收数据时的已编程SPI时钟			45	MHz
f _{SPICLKEXT}	接收数据时的外部SPI时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK1}		75	MHz
f _{SPICLKEXT}	发送数据时的外部SPI时钟 ^{4,5}	f _{SPICLKEXT} ≤ f _{SCLK1}		45	MHz
f _{ACLKPROG}	已编程ACM时钟			56.25	MHz

¹ SCLK0最低频率仅适用于使用USB的情况。

² SYS_CLKOUT抖动与应用系统设计有关，包括引脚开关活动、电路板布局和SYS_CLKIN源的抖动特性。由于取决于这些因素，各终端应用中测得的抖动值可能比该典型规格更高或更低。

³ “典型值”一栏的数值为SYS_CLKOUT周期的百分比。

⁴ 外部时钟模式下，任何外设可达到的最高频率取决于能否满足该外设交流时序规格中的建立和保持时间。特别注意VDD_EXT = 1.8V的建立和保持时间，它可能会使此处所列的最高频率不可用。

⁵ 外设的外部时钟频率还必须小于或等于为外设提供时钟的f_{SCLK}(f_{SCLK0}或f_{SCLK1})。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表29. 锁相环工作条件

参数		最小值	最大值	单位
f_{PLLCLK}	PLL时钟频率	待定	待定	MHz

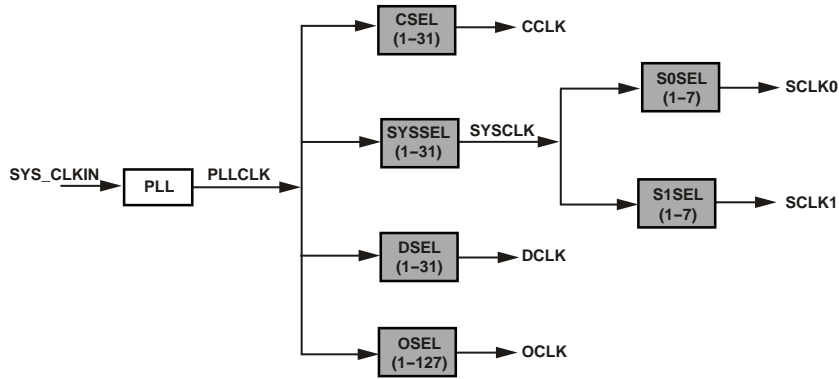


图8. 时钟关系和分频器值

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

电气特性

参数 ¹	描述	测试条件	450 MHz		单位
			最小值	最大值	
V_{OH}^2	高电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OH} = -1.0 \text{ mA}^3$	2.4		V
V_{OL}^2	低电平输出电压	@ V_{DD_EXT} = 最小值, $I_{OL} = 1.0 \text{ mA}^3$		0.4	V
$V_{OH_DDR2}^4$	DDR2的高电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OH} = -8.8 \text{ mA}$, -6 mA			
$V_{OL_DDR2}^4$	DDR2的低电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OL} = 8.8 \text{ mA}$, 6 mA			
$V_{OH_DDR3}^5$	DDR3的高电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OH} = -8.8 \text{ mA}$, -6 mA			
$V_{OL_DDR3}^5$	DDR3的低电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OL} = 8.8 \text{ mA}$, 6 mA			
$V_{OH_LPDDR}^6$	LPDDR的高电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OH} = -11.5 \text{ mA}$			
$V_{OL_LPDDR}^6$	LPDDR的低电平输出电压	@ V_{DD_DDR} = 最小值, $I_{OL} = 11.5 \text{ mA}$			
$I_{IH}^{7,8}$	高电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = V_{DD_EXT}$ 最大值		10	μA
I_{IL}^7	低电平输入电流	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$			
$I_{IL_PU}^8$	低电平输入电流上拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$			
$I_{IH_PD}^9$	高电平输入电流下拉	@ V_{DD_EXT} = 最大值, $V_{IN} = 0 \text{ V}$			
I_{OZH}^{10}	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = V_{DD_EXT}/V_{DD_DDR}$ Max		10	μA
I_{OZL}^{10}	三态漏电流	@ V_{DD_EXT}/V_{DD_DDR} = 最大值, $V_{IN} = 0 \text{ V}$		10	μA
$I_{DD_INT}^{11}$	电源电流(内部)	$f_{CCLK} > 0 \text{ MHz}$			
C_{IN}^{12}	输入电容	$T_{CASE} = 25^\circ\text{C}$			

¹ 规格如有变更, 恕不另行通知。

² 适用于TWI、DMC、USB、PCIe和MLB以外的所有输出和双向引脚。

³ 典型驱动电流能力参见输出驱动电流部分。

⁴ 在DDR2模式、DS = 8.8 mA和DS = 6 mA时, 适用于所有DMC输出和双向信号。

⁵ 在DDR3模式、DS = 40 Ω 和DS = 60 Ω 时, 适用于所有DMC输出和双向信号。

⁶ 在LPDDR模式下, 适用于所有DMC输出和双向信号。

⁷ 适用于输入引脚: SYS_BMODE0-2、SYS_CLKIN0、SYS_CLKIN1、SYS_HWRST、JTG_TDI、JTG_TMS和USB0_CLKIN。

⁸ 适用于含内部上拉电阻的输入引脚: JTG_TDI、JTG_TMS和JTG_TCK。

⁹ 适用于以下信号: JTAG_TRST、USB0_VBUS、USB1_VBUS。

¹⁰ 适用于以下信号: PA0-15、PB0-15、PC0-15、PD0-15、PE0-15、PF0-15、PG0-5、DAI0_PINx、DAI1_PINx、DMC0_DQx、DMC0_LDQS、DMC0_UDQS、DMC0_LDQS、DMC0_UDQS、SYS_FAULT、SYS_FAULT、JTG_TDO、USB0_ID、USBx_DM、USBx_DP和USBx_VBC。

¹¹ 更多信息参见工程师笔记EE-TBD “估算ADSP-215xx SHARC处理器功耗”。

¹² 适用于所有信号引脚。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

绝对最大额定值

注意，等于或超出表30所列值的压力可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

表30. 绝对最大额定值

参数	额定值
内部(内核)电源电压(V_{DD_INT})	待定
外部(I/O)电源电压(V_{DD_EXT})	待定
DDR2/DDR3/LPDDR控制器 电源电压(V_{DD_DMC})	待定
USB PHY电源电压(V_{DD_USB})	待定
实时时钟电源电压(V_{DD_RTC})	待定
PCIe发送电源电压($V_{DD_PCIE_TX}$)	待定
PCIe接收电源电压($V_{DD_PCIE_RX}$)	待定
PCIe电源电压(V_{DD_PCIE})	待定
DDR2输入电压	待定
输入电压	待定
输出电压摆幅	待定
存储温度范围	-65°C至+150°C
偏置时的结温	+125°C

表31. 输入瞬变电压的最大占空比^{1,2}

最大占空比(%) ²	V_{IN} 最小值(V) ³	V_{IN} 最大值(V) ³
100	待定	待定
50	待定	待定
40	待定	待定
25	待定	待定
20	待定	待定
15	待定	待定
10	待定	待定

¹ 适用于除以下信号之外的所有信号引脚：SYS_CLKIN0、SYS_CLKIN1、SYS_XTAL0、SYS_XTAL1和所有USB、TWI、PCI、DMCO信号。

² 仅当VDD_EXT在规格范围内时适用。当VDD_EXT超出规格要求时，该范围为VDD_EXT ± 0.2V。

³ 不能将个别值合并来分析单一过冲或欠冲情况。最差情况下的测量值必须落在规定的某个电压范围内，过冲或欠冲(超过100%的情况)的总持续时间必须短于或等于相应的占空比。

ESD灵敏度



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

封装信息

图9和表32所示的信息提供了处理器封装标识的详情。产品供货的完整列表请参阅第159页的预发布产品。

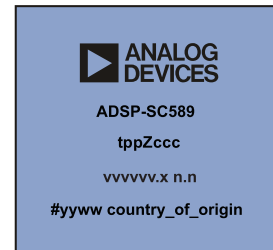


图9. 产品封装信息

表32. 封装标识信息

标识码	字段说明
ADSP-SC589	产品名称 ¹
t	温度范围
pp	封装类型
Z	RoHS合规选项
ccc	参见订购指南
vvvvvv.x	组装批次代码
n.n	芯片版本
#	符合RoHS标准
yyww	日期代码

¹ 有关已供货产品，参见预发布产品部分。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

时序规格

规格如有变更，恕不另行通知。

图10中， $V_{DD_SUPPLIES}$ 为 V_{DD_INT} 、 V_{DD_EXT} 、 V_{DD_DMC} 、 V_{DD_USB} 、 V_{DD_HADC} 、 V_{DD_RTC} 、 $V_{DD_PCI_TX}$ 、 $V_{DD_PCI_RX}$ 和 $V_{DD_PCI_CORE}$ 。

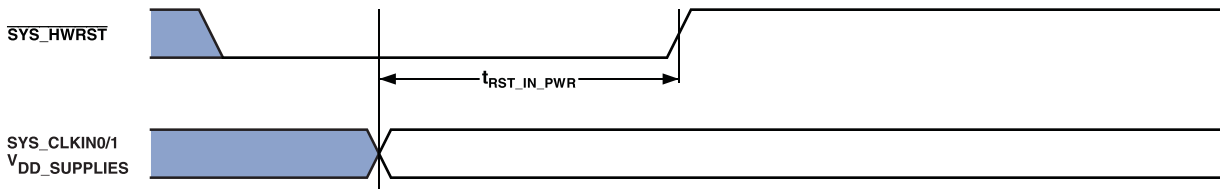
上电复位时序

表33和图10显示了与时钟产生单元(CGU)和复位控制单元(RCU)相关的电源启动与处理器复位时序之间的关系。

表33. 上电复位时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求 $t_{RST_IN_PWR}$			
SYS_HWRST 在 $V_{DD_SUPPLIES}$ (V_{DD_INT} 、 V_{DD_EXT} 、 V_{DD_DMC} 、 V_{DD_USB} 、 V_{DD_HADC} 、 V_{DD_RTC} 、 $V_{DD_PCI_TX}$ 、 $V_{DD_PCI_RX}$ 、 $V_{DD_PCI_CORE}$)和 SYS_CLKIN 保持稳定且处于规格范围之内之后解除置位	$11 \times t_{CKIN}$		ns



NOTE: $V_{DD_SUPPLIES}$ REFER TO V_{DD_INT} 、 V_{DD_EXT} 、 V_{DD_DMC} 、 V_{DD_USB} 、 V_{DD_HADC} 、 V_{DD_RTC} 、 $V_{DD_PCI_TX}$ 、 $V_{DD_PCI_RX}$ AND $V_{DD_PCI_CORE}$

图10. 上电复位时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

时钟和复位时序

表34和图11显示了与时钟产生单元(CGU)和复位控制单元(RCU)相关的时钟和复位操作。根据第79页上的表28“时钟相关工作条件”中的CCLK、SYSCLK、SCLK、DCLK和

OCLK时序规格，SYS_CLKIN与时钟倍频器的组合不得选择超过处理器最大指令速率的时钟速率。

表34. 时钟和复位时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
f_{CKIN}	SYS_CLKIN频率(晶振) ^{1,2,3}	20	50	MHz
	SYS_CLKIN频率(外部CLKIN) ^{1,2,3}	20	50	MHz
t_{CKINL}	CLKIN低电平脉冲 ¹	10		ns
t_{CKINH}	CLKIN高电平脉冲 ¹	10		ns
t_{WRST}	\overline{RESET} 置位低电平脉冲宽度 ⁴	$11 \times t_{CKIN}$		ns

¹ 适用于PLL旁路模式和PLL非旁路模式。

² t_{CKIN} 周期(见图11)等于 $1/f_{CKIN}$ 。

³ 如果CGU_CTL.DF位置1，则 f_{CKIN} 最小值规格为40 MHz。

⁴ 上电序列完成之后应用。上电复位时序参见表33和图10。

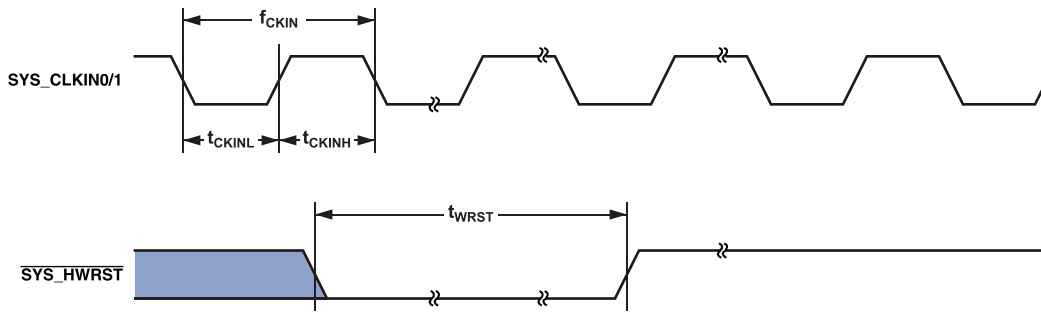


图11. 时钟和复位时序

异步读取

表35和图12显示了与静态存储器控制器(SMC)相关的异步存储器读取时序。

表35. 异步存储器读取

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
$t_{SDATARE}$ $\overline{SMC0_ARE}$ 高电平之前数据建立时间	5.1		ns
$t_{HDATARE}$ $\overline{SMC0_ARE}$ 高电平之后数据保持时间	0		ns
$t_{DARDYARE}$ $\overline{SMC0_ARE}$ 低电平之后的SMC0_ARDY有效时间 ^{1,2}		$(RAT - 2.5) \times t_{SCLK0} - 17.5$	ns
开关特性			
t_{AMSARE} $\overline{SMC0_ARE}$ 低电平之前的ADDR/ $\overline{SMC0_AMSx}$ 置位时间 ³	$(PREST + RST + PREAT) \times t_{SCLK0} - 2$		ns
t_{AOEARE} $\overline{SMC0_ARE}$ 低电平之前的 $\overline{SMC0_AOE}$ 置位时间	$(RST + PREAT) \times t_{SCLK0} - 2$		ns
t_{HARE} $\overline{SMC0_ARE}$ 高电平 ⁵ 之后的输出 ⁴ 保持时间	$RHT \times t_{SCLK0} - 2$		ns
t_{WARE} $\overline{SMC0_ARE}$ 有效低电平宽度 ⁶	$RAT \times t_{SCLK0} - 2$		ns
$t_{DAREARDY}$ SMC0_ARDY置位之后的 $\overline{SMC0_ARE}$ 高电平延迟时间 ¹	$2.5 \times t_{SCLK0}$	$3.5 \times t_{SCLK0} + 17.5$	ns

¹ SMC0_BxCTL.ARDYEN位 = 1。

² RAT值用SMC_BxTIM.RAT位设置。

³ PREST、RST和PREAT值用SMC_BxETIM.PREST位、SMC_BxTIM.RST位和SMC_BxETIM.PREAT位设置。

⁴ 输出信号为SMC0_Ax、 $\overline{SMC0_AMS}$ 、 $\overline{SMC0_AOE}$ 、SMC0_ABEx。

⁵ RHT值用SMC_BxTIM.RHT位设置。

⁶ SMC0_BxCTL.ARDYEN位 = 0。

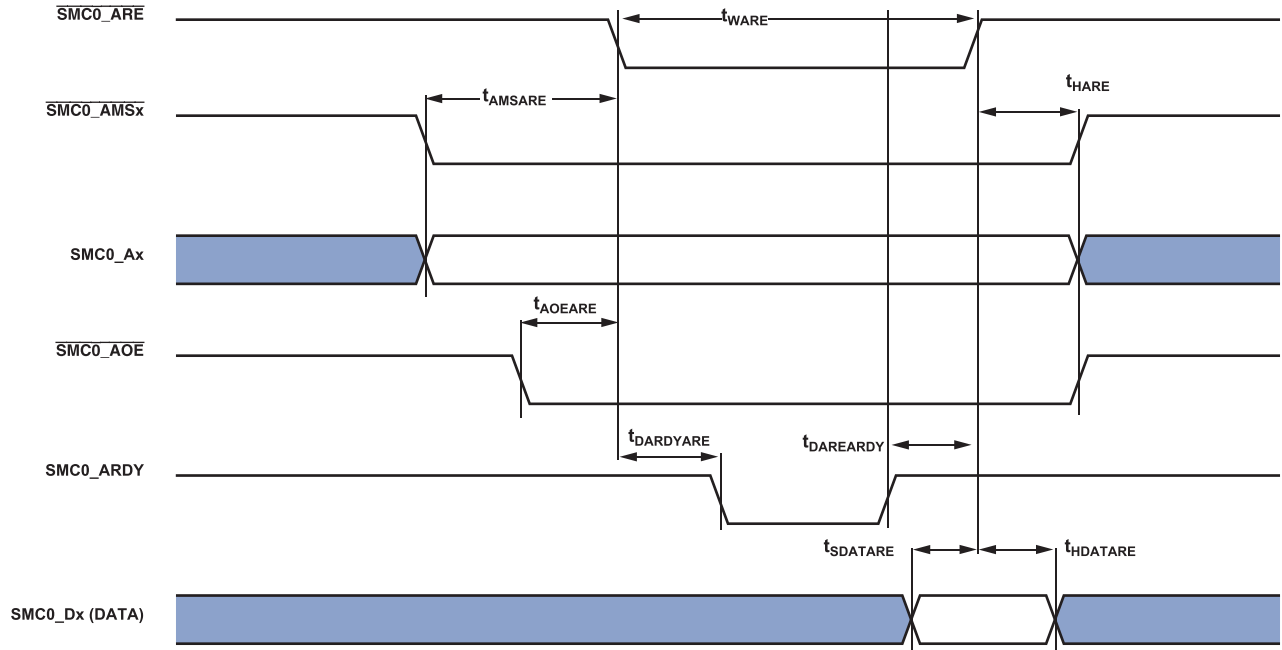


图12. 异步读操作

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

异步闪存读取

表36和图13显示了与静态存储器控制器(SMC)相关的异步Flash存储器读取时序。

表36. 异步Flash读操作

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{AMSADV}	SMC0_NORDV低电平之前的SMC0_Ax(地址)/SMC0_AMSx置位时间 ¹	$PREST \times t_{SCLK0} - 2$		ns
t_{WADV}	SMC0_NORDV低电平有效宽度 ²	$RST \times t_{SCLK0} - 2$		ns
$t_{DADVARE}$	从SMC0_NORDV高电平开始的SMC0_ARE低电平延迟时间 ³	$PREAT \times t_{SCLK0} - 2$		ns
t_{HARE}	SMC0_ARE高电平 ⁵ 之后的输出 ⁴ 保持时间	$RHT \times t_{SCLK0} - 2$		ns
t_{WARE} ⁶	SMC0_ARE有效低电平宽度 ⁷	$RAT \times t_{SCLK0} - 2$		ns

¹ PREST值用SMC_BxETIM.PREST位设置。

² RST值用SMC_BxTIM.RST位设置。

³ PREAT值用SMC_BxETIM.PREAT位设置。

⁴ 输出信号为SMC0_Ax、SMC0_AMS、SMC0_AOE。

⁵ RHT值用SMC_BxTIM.RHT位设置。

⁶ SMC0_BxCTL.ARDYEN位 = 0。

⁷ RAT值用SMC_BxTIM.RAT位设置。

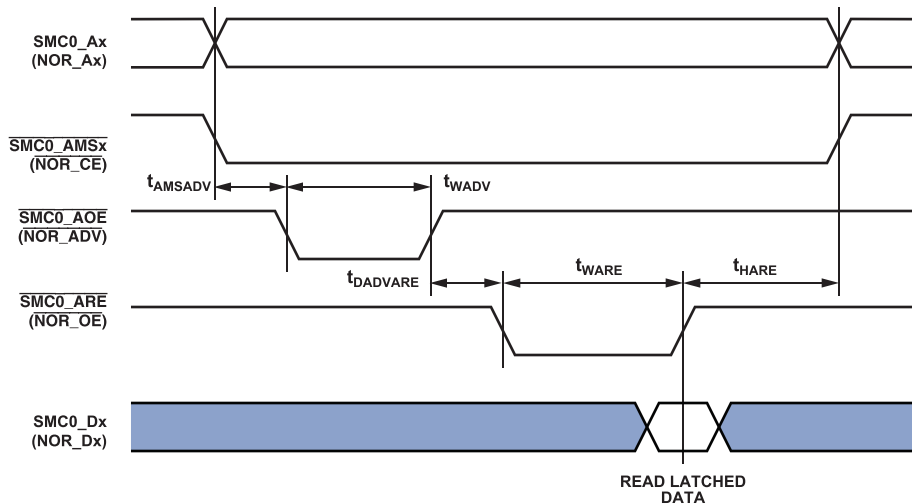


图13. 异步Flash读操作

异步页面模式读取

表37和图14显示了与静态存储器控制器(SMC)相关的异步存储器页面模式读取时序。

表37. 异步页面模式读操作

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{AV}	第一个地址最小宽度的SMC0_Ax(地址)有效时间 ¹	$(PREST + RST + PREAT + RAT) \times t_{SCLK0} - 2$	ns
t_{AV1}	后续SMC0_Ax(地址)最小宽度的SMC0_Ax(地址)有效时间	$PGWS \times t_{SCLK0} - 2$	ns
t_{WADV}	SMC0_NORDV低电平有效宽度 ²	$RST \times t_{SCLK0} - 2$	ns
t_{HARE}	SMC0_ARE高电平 ⁴ 之后的输出 ³ 保持时间	$RHT \times t_{SCLK0} - 2$	ns
t_{WARE}^5	SMC0_ARE低电平有效宽度 ^{6,7}	$(RAT + (Nw - 1) \times PGWS) \times t_{SCLK0} - 2$	ns

¹ PREST、RST、PREAT和RAT值用SMC_BxETIM.PREST位、SMC_BxTIM.RST位、SMC_BxETIM.PREAT位和SMC_BxTIM.RAT位设置。

² RST值用SMC_BxTIM.RST位设置。

³ 输出信号为SMC0_Ax、SMC0_AMSx、SMC0_AOE。

⁴ RHT值用SMC_BxTIM.RHT位设置。

⁵ SMC_BxCTL.ARDYEN位 = 0。

⁶ RAT值用SMC_BxTIM.RAT位设置。

⁷ Nw = 读取的16位数据字数。

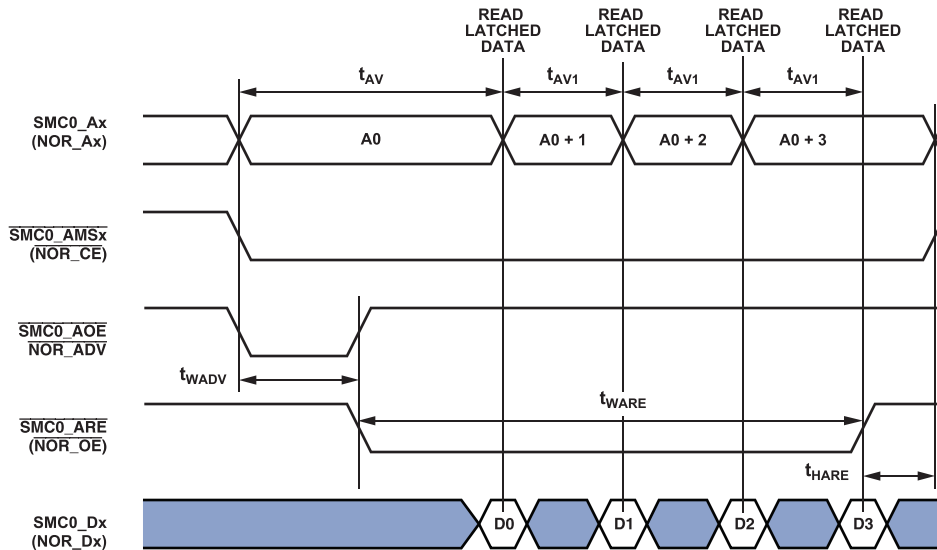


图14. 异步页面模式读操作

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

异步写入

表38和图15显示了与静态存储器控制器(SMC)相关的异步存储器写入时序。

表38. 异步存储器写入

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
$t_{DARDYAWE}^1$ $\overline{SMCO_AWE}$ 低电平之后的SMCO_ARDY有效时间 ²		$(WAT - 2.5) \times t_{SCLK0} - 17.5$	ns
开关特性			
t_{ENDAT} $\overline{SMCO_AMSx}$ 置位之后数据使能时间	-3.5		ns
t_{DDAT} $\overline{SMCO_AMSx}$ 解除置位之后数据禁用时间		2.5	ns
t_{AMSAWE} $\overline{SMCO_AWE}$ 低电平之前的ADDR/SMCO_AMSx置位时间 ³	$(PREST + WST + PREAT) \times t_{SCLK0} - 2$		ns
t_{HAWE} $\overline{SMCO_AWE}$ 高电平 ⁵ 之后的输出 ⁴ 保持时间	$WHT \times t_{SCLK0} - 3.5$		ns
t_{WAVE}^6 $\overline{SMCO_AWE}$ 有效低电平宽度 ²	$WAT \times t_{SCLK0} - 2$		ns
$t_{DAWEARDY}^1$ SMCO_ARDY置位之后的SMCO_AWE高电平延迟时间	$2.5 \times t_{SCLK0}$	$3.5 \times t_{SCLK0} + 17.5$	ns

¹ SMC_BxCTL.ARDYEN位 = 1。

² WAT值用SMC_BxTIM.WAT位设置。

³ PREST、WST、PREAT值用SMC_BxETIM.PREST位、SMC_BxTIM.WST位、SMC_BxETIM.PREAT位和SMC_BxTIM.RAT位设置。

⁴ 输出信号为DATA、SMCO_Ax、SMCO_AMSx、SMCO_ABEx。

⁵ WHT值用SMC_BxTIM.WHT位设置。

⁶ SMC_BxCTL.ARDYEN位 = 0。

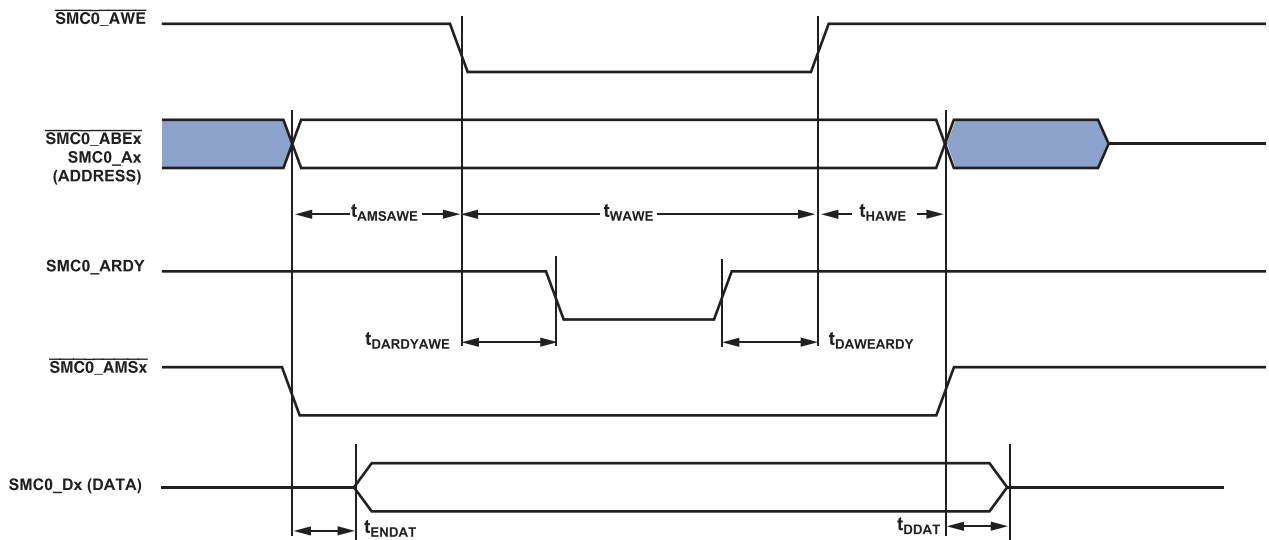


图15. 异步写操作

异步Flash写操作

表39和图16显示了与静态存储器控制器(SMC)相关的异步Flash存储器写入时序。

表39. 异步Flash写操作

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{AMSADV}	ADV低电平之前的SMC0_Ax/SMC0_AMSx置位时间 ¹	$PREST \times t_{SCLK0} - 2$	ns
$t_{DADVAWE}$	从ADV高电平开始的SMC0_AWE低电平延迟时间 ²	$PREAT \times t_{SCLK0} - 2$	ns
t_{WADV}	NR_ADV低电平有效宽度 ³	$WST \times t_{SCLK0} - 2$	ns
t_{HAWE}	SMC0_AWE高电平 ⁵ 之后的输出 ⁴ 保持时间	$WHT \times t_{SCLK0} - 3.5$	ns
t_{WAVE} ⁶	SMC0_AWE有效低电平宽度 ⁷	$WAT \times t_{SCLK0} - 2$	ns

- ¹ PREST值用SMC_BxETIM.PREST位设置。
- ² PREAT值用SMC_BxETIM.PREAT位设置。
- ³ WST值用SMC_BxTIM.WST位设置。
- ⁴ 输出信号为DATA、SMC0_Ax、SMC0_AMSx、SMC0_ABEX。
- ⁵ WHT值用SMC_BxTIM.WHT位设置。
- ⁶ SMC_BxCTL.ARDYEN位 = 0。
- ⁷ WAT值用SMC_BxTIM.WAT位设置。

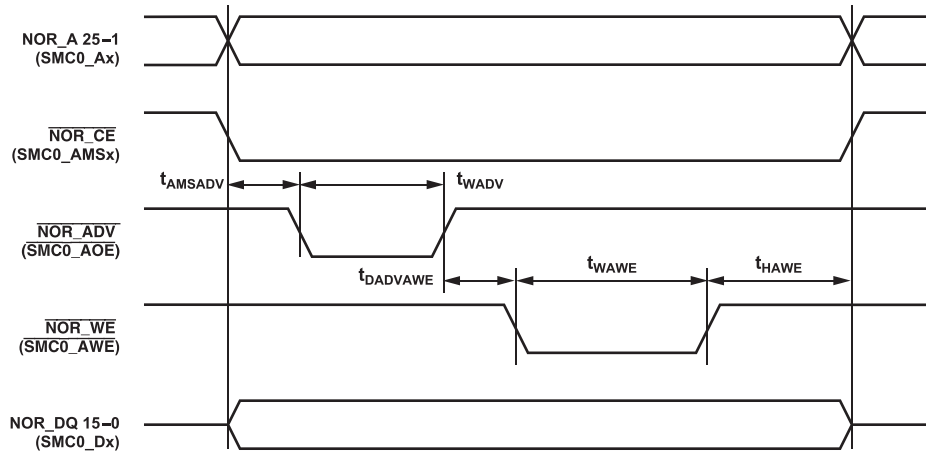


图16. 异步Flash写操作

所有访问

表40给出的时序适用于与静态存储器控制器(SMC)相关的所有存储器访问。

表40. 所有访问

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{TURN}	SMC0_AMSx无效宽度	$(IT + TT) \times t_{SCLK0} - 2$	ns

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

DDR2 SDRAM时钟和控制周期时序

表41和图17显示了与动态存储器控制器(DMC)相关的DDR2 SDRAM时钟和控制周期时序。

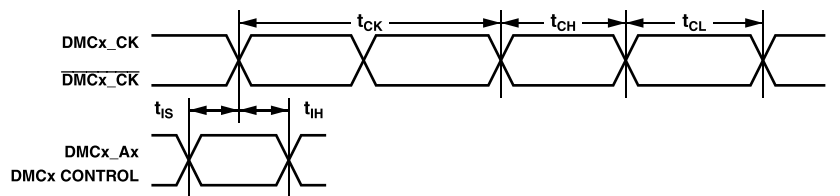
表41. DDR2 SDRAM时钟和控制周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数	400 MHz ²		单位
	最小值	最大值	
开关特性			
t_{CK}	时钟周期时间(不支持CL = 2)		ns
t_{CH}	0.48	0.52	t_{CK}
t_{CL}	0.48	0.52	t_{CK}
t_{IS}	相对于DMCx_CK上升沿的控制/地址建立时间		ps
t_{IH}	相对于DMCx_CK上升沿的控制/地址保持时间		ps

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR2正常工作, 必须严格遵循所有DDR2指导原则(参见工程师笔记EE-TBD)。



NOTE: CONTROL = $\overline{DMCx_CS0}$, $\overline{DMCx_CKE}$, $\overline{DMCx_RAS}$, $\overline{DMCx_CAS}$, AND $\overline{DMCx_WE}$.
ADDRESS = $\overline{DMCx_A0-A15}$, AND $\overline{DMCx_BA0-BA2}$.

图17. DDR2 SDRAM时钟和控制周期时序

DDR2 SDRAM读周期时序

表42和图18显示了与动态存储器控制器(DMC)相关的DDR2 SDRAM读周期时序。

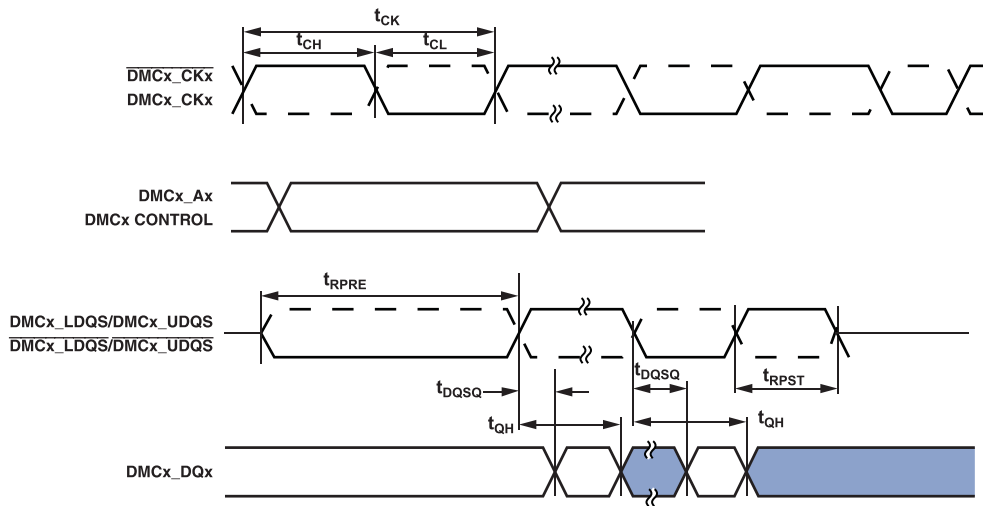
表42. DDR2 SDRAM读周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		400 MHz ²		单位
		最小值	最大值	
时序要求				
t_{DQSQ}	DMCx_DQS和相关DMCx_DQ信号的DMCx_DQS-DMCx_DQ偏斜		0.2	ns
t_{QH}	从DMCx_DQS开始的DMCx_DQ、DMCx_DQS输出保持时间	0.9		ns
t_{RPRE}	读前同步码	0.9		t_{CK}
t_{RPST}	读后同步码	0.4		t_{CK}

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR2正常工作, 必须严格遵循所有DDR2指导原则(参见工程师笔记EE-TBD)。



NOTE: CONTROL = DMCx_CS0, DMCx_CKE, DMCx_RAS, DMCx_CAS, AND DMCx_WE.
ADDRESS = DMCx_A00-13, AND DMCx_BA0-1.

图18. DDR2 SDRAM控制器输入交流时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

DDR2 SDRAM写周期时序

表43和图19显示了与动态存储器控制器(DMC)相关的DDR2 SDRAM写周期时序。

表43. DDR2 SDRAM写周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

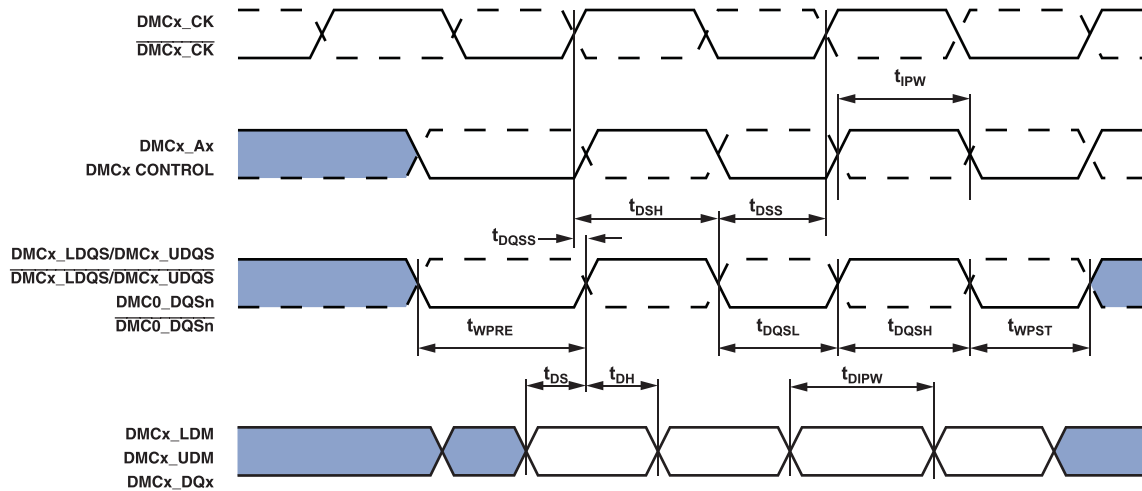
所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		400 MHz ²		单位
		最小值	最大值	
开关特性				
t_{DQSS}	DMCx_DQS锁存上升沿跃迁至相关时钟沿 ³	-0.15	0.15	t_{CK}
t_{DS}	上一次数据有效到DMCx_DQS延迟	0.1		ns
t_{DH}	DMCx_DQS到第一个数据无效延迟	0.15		ns
t_{DSS}	DMCx_DQS下降沿到时钟建立时间	0.2		t_{CK}
t_{DSH}	从DMCx_CK开始的DMCx_DQS下降沿保持时间	0.2		t_{CK}
t_{DQSH}	DMCx_DQS输入高电平脉冲宽度	0.35		t_{CK}
t_{DQSL}	DMCx_DQS输入低电平脉冲宽度	0.35		t_{CK}
t_{WPRE}	写前同步码	0.35		t_{CK}
t_{WPST}	写后同步码	0.4		t_{CK}
t_{IPW}	地址和控制输出脉冲宽度	0.6		t_{CK}
t_{DIPW}	DMCx_DQ和DMCx_DM输出脉冲宽度	0.35		t_{CK}

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR2正常工作, 必须严格遵循所有DDR2指导原则(参见工程师笔记EE-TBD)。

³ 写入命令到第一个DMCx_DQS延迟 = $WL \times t_{CK} + t_{DQSS}$ 。



NOTE: CONTROL = $\overline{DMCx_CS0}$, $\overline{DMCx_CKE}$, $\overline{DMCx_RAS}$, $\overline{DMCx_CAS}$, AND $\overline{DMCx_WE}$.
ADDRESS = $\overline{DMCx_A00-13}$, AND $\overline{DMCx_BA0-1}$.

图19. DDR2 SDRAM控制器输出交流时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

移动DDR (LPDDR) SDRAM时钟和控制周期时序

表44和图20显示了与动态存储器控制器(DMC)相关的移动DDR SDRAM时钟和控制周期时序。

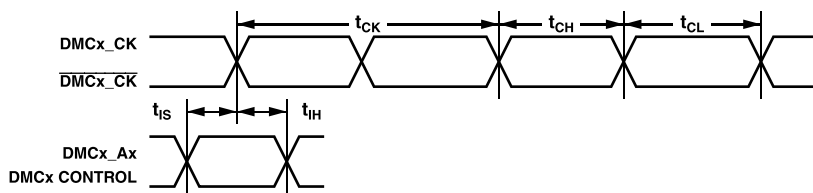
表44. 移动DDR SDRAM时钟和控制周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数	200 MHz ²		单位
	最小值	最大值	
开关特性			
t_{CK}	时钟周期时间(不支持CL = 2)		ns
t_{CH}	最小时钟脉冲宽度	0.55	t_{CK}
t_{CL}	最大时钟脉冲宽度	0.55	t_{CK}
t_{IS}	相对于DMCx_CK上升沿的控制/地址建立时间	1	ns
t_{IH}	相对于DMCx_CK上升沿的控制/地址保持时间	1	ns

¹ 规格同时适用于DMC0和DMC1。

² 为了确保LPDDR正常工作, 必须严格遵循所有LPDDR指导原则(参见工程师笔记EE-TBD)。



NOTE: CONTROL = DMCx_CS0, DMCx_CKE, DMCx_RAS, DMCx_CAS, AND DMCx_WE.
ADDRESS = DMCx_A0-A15, AND DMCx_BA0-BA2.

图20. 移动DDR SDRAM时钟和控制周期时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

移动DDR SDRAM读周期时序

表45和图21显示了与动态存储器控制器(DMC)相关的移动DDR SDRAM读周期时序。

表45. 移动DDR SDRAM读周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数	200 MHz ²		单位
	最小值	最大值	
时序要求			
t_{QH}	1.75		ns
t_{DQSQ}		0.4	ns
t_{RPRE}	0.9	1.1	t_{CK}
t_{RPST}	0.4	0.6	t_{CK}

¹ 规格同时适用于DMC0和DMC1。

² 为了确保LPDDR正常工作, 必须严格遵循所有LPDDR指导原则(参见工程师笔记EE-TBD)。

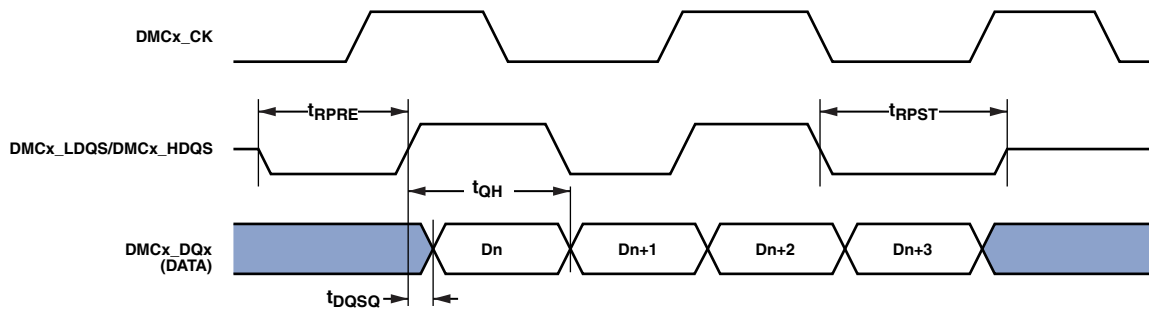


图21. 移动DDR SDRAM控制器输入交流时序

移动DDR SDRAM写周期时序

表46和图22显示了与动态存储器控制器(DMC)相关的移动DDR SDRAM写周期时序。

表46. 移动DDR SDRAM写周期时序, V_{DD_DMCx} 标称电压为1.8 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		200 MHz ²		单位
		最小值	最大值	
开关特性				
t_{DQSS} ³	DMCx_QDS锁存上升沿跃迁至相关时钟沿	0.75	1.25	t_{CK}
t_{DS}	上一次数据有效到DMCx_QDS延迟(偏斜 > 1 V/ns)	0.48		ns
t_{DH}	DMCx_QDS到第一个数据无效延迟(偏斜 > 1 V/ns)	0.48		ns
t_{DSS}	DMCx_QDS下降沿到时钟建立时间	0.2		t_{CK}
t_{DSH}	从DMCx_CK开始的DMCx_QDS下降沿保持时间	0.2		t_{CK}
t_{DQSH}	DMCx_QDS输入高电平脉冲宽度	0.4		t_{CK}
t_{DQSL}	DMCx_QDS输入低电平脉冲宽度	0.4		t_{CK}
t_{WPRE}	写前同步码	0.25		t_{CK}
t_{WPST}	写后同步码	0.4		t_{CK}
t_{IPW}	地址和控制输出脉冲宽度	2.3		ns
t_{DIPW}	DMCx_DQ和DMCx_DM输出脉冲宽度	1.8		ns

¹ 规格同时适用于DMC0和DMC1。

² 为了确保LPDDR正常工作, 必须严格遵循所有LPDDR指导原则(参见工程师笔记EE-TBD)。

³ 写入命令到第一个DMCx_QDS延迟 = $WL \times t_{CK} + t_{DQSS}$ 。

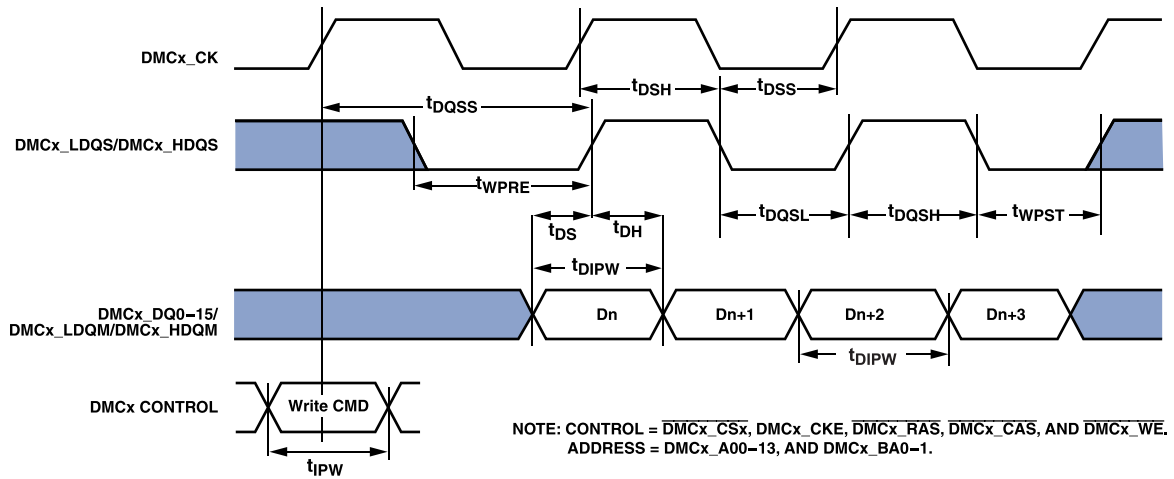


图22. 移动DDR SDRAM控制器输出交流时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

DDR3 SDRAM时钟和控制周期时序

表47和图23显示了与动态存储器控制器(DMC)相关的移动DDR3 SDRAM时钟和控制周期时序。

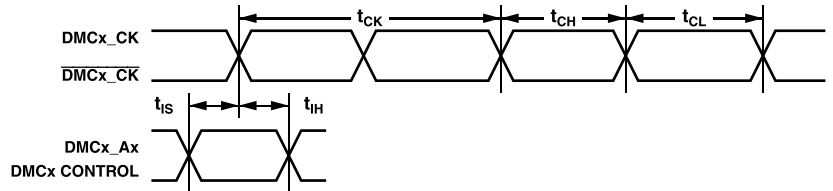
表47. DDR3 SDRAM时钟和控制周期时序, $V_{DD_DMC_x}$ 标称电压为1.5 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数	450 MHz ²		单位
	最小值	最大值	
时序要求			
t_{CK}	时钟周期时间(不支持CL = 2)		ns
t_{CH}	0.47	0.53	t_{CK}
t_{CL}	0.47	0.53	t_{CK}
t_{IS}	相对于DMC _x _CK上升沿的控制/地址建立时间		ns
t_{IH}	相对于DMC _x _CK上升沿的控制/地址保持时间		ns

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR3正常工作, 必须严格遵循所有DDR3指导原则(参见工程师笔记EE-TBD)。



NOTE: CONTROL = DMC_x_CS0, DMC_x_CKE, DMC_x_RAS, DMC_x_CAS, AND DMC_x_WE.
ADDRESS = DMC_x_A0-A15, AND DMC_x_BA0-BA2.

图23. DDR3 SDRAM时钟和控制周期时序

DDR3 SDRAM读周期时序

表48和图24显示了与动态存储器控制器(DMC)相关的移动DDR3 SDRAM读周期时序。

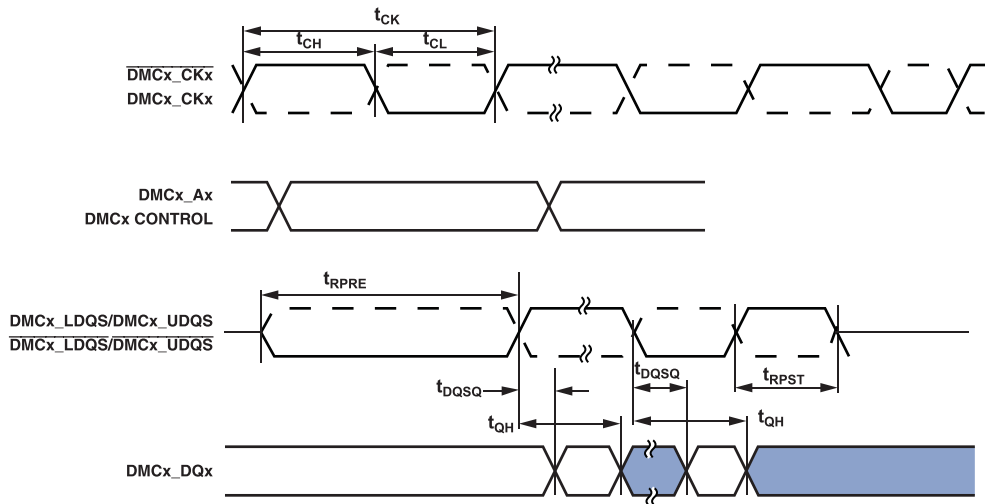
表48. DDR3 SDRAM读周期时序, VDD_DMCx标称电压为1.5 V¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		450 MHz ²		单位
		最小值	最大值	
时序要求				
t _{DQSQ}	DMCx_DQS和相关DMCx_DQ信号的DMCx_DQS-DMCx_DQ偏斜		0.2	ns
t _{QH}	从DMCx_DQS开始的DMCx_DQ、DMCx_DQS输出保持时间	0.38		t _{CK}
t _{RPRE}	读前同步码	0.9		t _{CK}
t _{RPST}	读后同步码	0.3		t _{CK}

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR3正常工作, 必须严格遵循所有DDR3指导原则(参见工程师笔记EE-TBD)。



NOTE: CONTROL = DMCx_CS0, DMCx_CKE, DMCx_RAS, DMCx_CAS, AND DMCx_WE.
ADDRESS = DMCx_A00-13, AND DMCx_BA0-1.

图24. DDR3 SDRAM控制器输入交流时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

DDR3 SDRAM写周期时序

表49和图25显示了与动态存储器控制器(DMC)相关的移动DDR3 SDRAM输出交流时序。

表49. DDR3 SDRAM写周期时序, VDD_DMCx标称电压为1.5 V¹

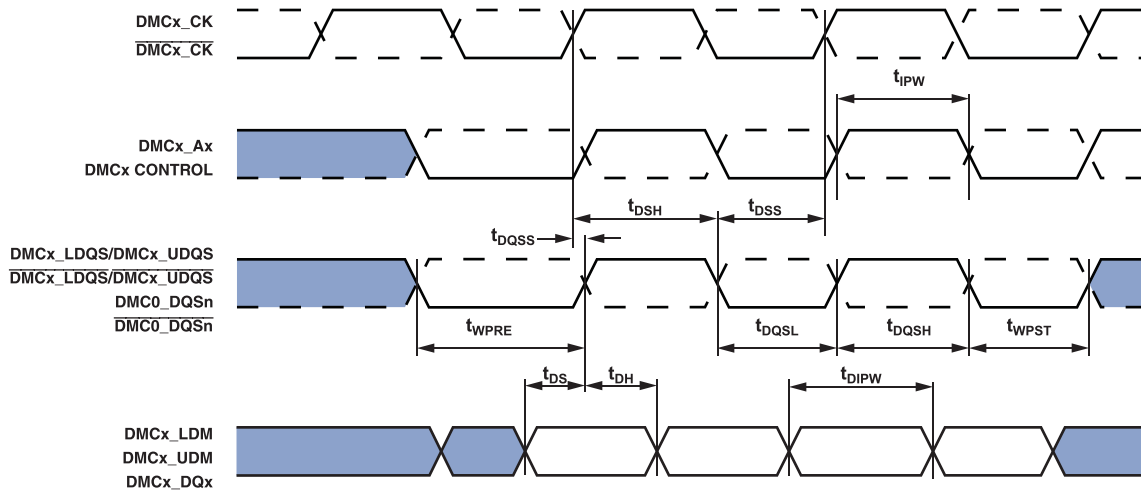
所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数	450 MHz ²		单位
	最小值	最大值	
开关特性			
t _{DQSS}	DMCx_DQS锁存上升沿跃迁至相关时钟沿 ³		t _{CK}
t _{DS}	上一次数据有效到DMCx_DQS延迟(偏斜 > 1 V/ns)		ns
t _{DH}	DMCx_DQS到第一个数据无效延迟(偏斜 > 1 V/ns)		ns
t _{DSS}	DMCx_DQS下降沿到时钟建立时间		t _{CK}
t _{DSH}	从DMCx_CK开始的DMCx_DQS下降沿保持时间		t _{CK}
t _{DQSH}	DMCx_DQS输入高电平脉冲宽度		t _{CK}
t _{DQSL}	DMCx_DQS输入低电平脉冲宽度		t _{CK}
t _{WPRE}	写前同步码		t _{CK}
t _{WPST}	写后同步码		t _{CK}
t _{IPW}	地址和控制输出脉冲宽度		ns
t _{DIPW}	DMCx_DQ和DMCx_DM输出脉冲宽度		ns

¹ 规格同时适用于DMC0和DMC1。

² 为了确保DDR3正常工作, 必须严格遵循所有DDR3指导原则(参见工程师笔记EE-TBD)。

³ 写入命令到第一个DMCx_DQS延迟 = $WL \times t_{CK} + t_{DQSS}$ 。



NOTE: CONTROL = $\overline{DMCx_CS0}$, $\overline{DMCx_CKE}$, $\overline{DMCx_RAS}$, $\overline{DMCx_CAS}$, AND $\overline{DMCx_WE}$.
 ADDRESS = $\overline{DMCx_A00-13}$, AND $\overline{DMCx_BA0-1}$.

图25. DDR3 SDRAM控制器输出交流时序

增强并行外设接口时序

下面的表格和插图说明增强并行外设接口(EPPI)时序操作。EPPI_CTL的POLC位可用来设置EPPI时钟的采样/驱动沿。

若通过内部产生，则编程PPI时钟($f_{PCLKPROG}$)频率(单位：MHz)由下式确定；其中，VALUE是EPPI_CLKDIV寄存器中的字段，设置范围为0至65535：

$$f_{PCLKPROG} = \frac{f_{SCLK0}}{(VALUE + 1)}$$

$$t_{PCLKPROG} = \frac{1}{f_{PCLKPROG}}$$

若通过外部产生，则EPPI_CLK称为 $f_{PCLKEXT}$ ：

$$t_{PCLKEXT} = \frac{1}{f_{PCLKEXT}}$$

表50. 增强并行外设接口—内部时钟

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SFSPi}	EPPI_CLK之前的外部FS建立时间	6.5		ns
t_{HFSPi}	EPPI_CLK之后的外部FS保持时间	0		ns
t_{SDRPi}	EPPI_CLK之前的接收数据建立时间	6.5		ns
t_{HDRPi}	EPPI_CLK之后的接收数据保持时间	0		ns
t_{SF3GI}	时钟门控模式下EPPI_CLK下降沿之前的外部FS3输入建立时间	14		ns
t_{HF3GI}	时钟门控模式下EPPI_CLK下降沿之前的外部FS3输入保持时间	0		ns
开关特性				
t_{PCLKW}	EPPI_CLK宽度 ¹	$0.5 \times t_{PCLKPROG} - 1.5$		ns
t_{PCLK}	EPPI_CLK周期 ¹	$t_{PCLKPROG} - 1.5$		ns
t_{DFSPi}	EPPI_CLK之后的内部FS延迟时间		3.5	ns
t_{HOFSPi}	EPPI_CLK之后的内部FS保持时间	-0.5		ns
t_{DDTPI}	EPPI_CLK之后的发送数据延迟时间		3.5	ns
t_{HDTPI}	EPPI_CLK之后的发送数据保持时间	-0.5		ns

¹ 关于可供 $t_{PCLKPROG}$ 编程的最小周期的详细情况，参见第79页上的表28“时钟相关工作条件”。

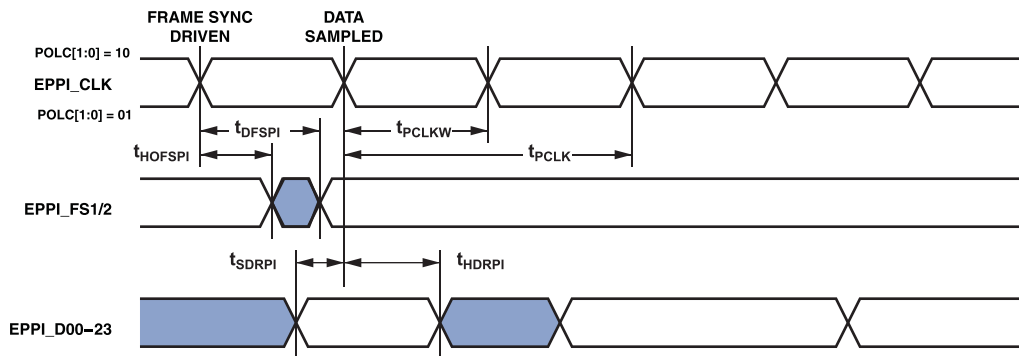


图26. 采用内部帧同步的PPI内部时钟通用接收模式时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

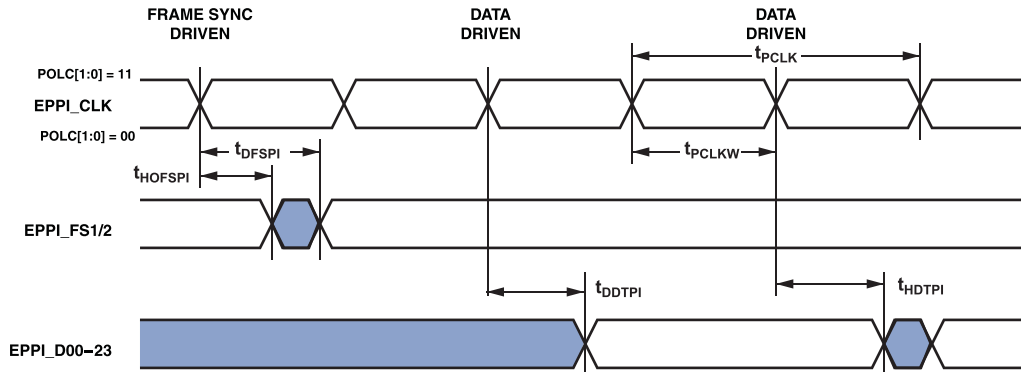


图27. 采用内部帧同步的PPI内部时钟通用发送模式时序

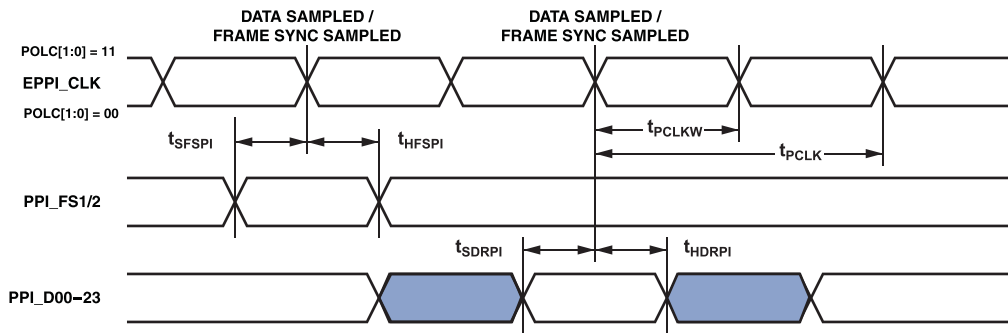


图28. 采用外部帧同步的PPI内部时钟通用接收模式时序

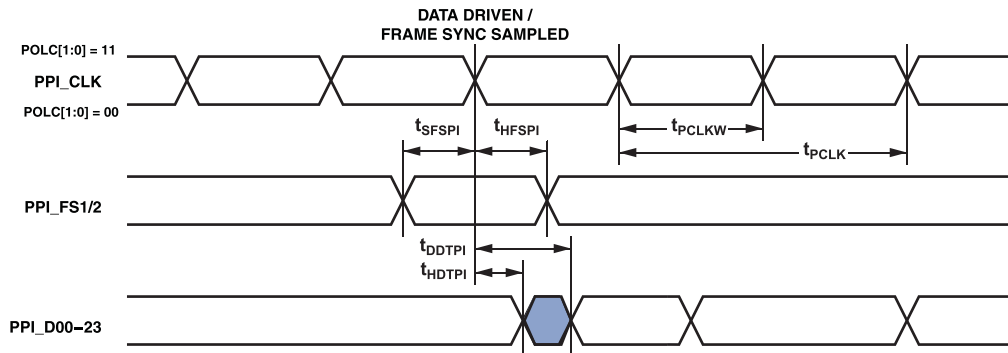


图29. 采用外部帧同步的PPI内部时钟通用发送模式时序

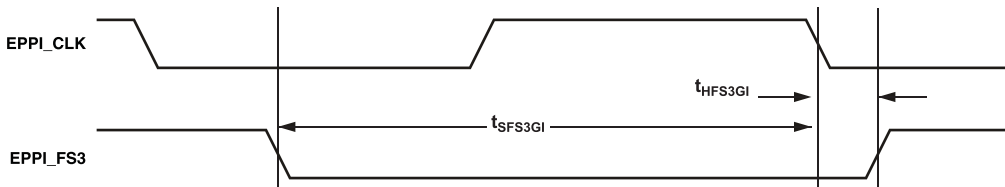


图30. 采用内部时钟和外部帧同步的时钟门控模式时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表51. 增强并行外设接口—外部时钟

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{PCLKW} EPPI_CLK宽度 ¹	$0.5 \times t_{PCLKEXT} - 0.5$		ns
t_{PCLK} EPPI_CLK周期 ¹	$t_{PCLKEXT} - 1$		ns
t_{SFSPE} EPPI_CLK之前的外部FS建立时间	2		ns
t_{HFSPE} EPPI_CLK之后的外部FS保持时间	3.7		ns
t_{SDRPE} EPPI_CLK之前的接收数据建立时间	2		ns
t_{HDRPE} EPPI_CLK之后的接收数据保持时间	3.7		ns
开关特性			
t_{DFSPE} EPPI_CLK之后的内部FS延迟时间		15.3	ns
$t_{HOFSPPE}$ EPPI_CLK之后的内部FS保持时间	2.4		ns
t_{DDTPE} EPPI_CLK之后的发送数据延迟时间		15.3	ns
t_{HDTPE} EPPI_CLK之后的发送数据保持时间	2.4		ns

¹ 本规格表示外部EPPI_CLK上容许占空比变化或抖动所导致的最小瞬时宽度或周期。对于外部EPPI_CLK的理想最大频率，参见第79页上的表28“时钟相关工作条件”中的 $f_{PCLKEXT}$ 规格。

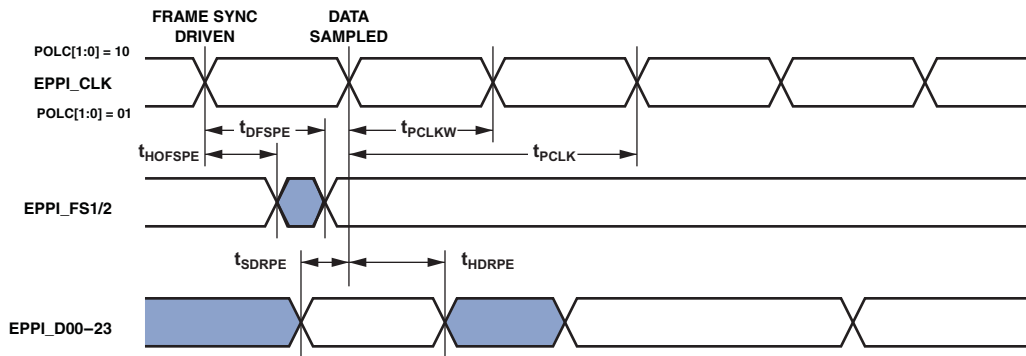


图31. 采用内部帧同步的PPI外部时钟通用接收模式时序

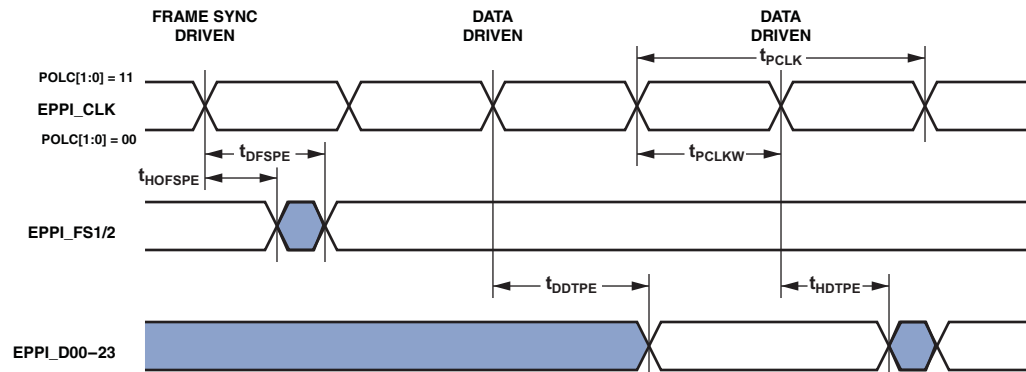


图32. 采用内部帧同步的PPI外部时钟通用发送模式时序

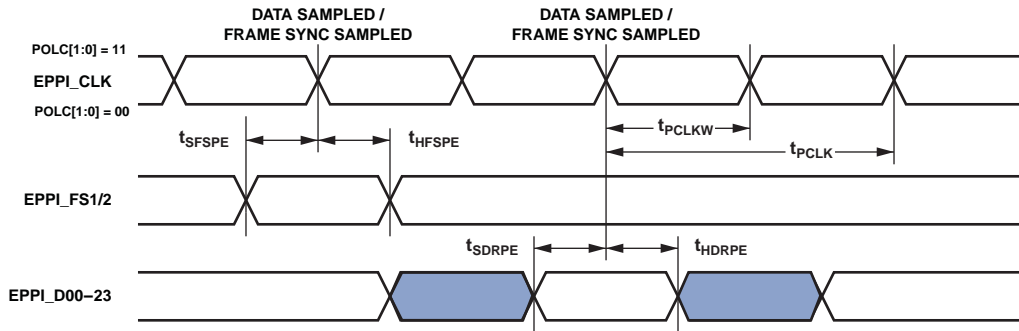


图33. 采用外部帧同步的PPI外部时钟通用接收模式时序

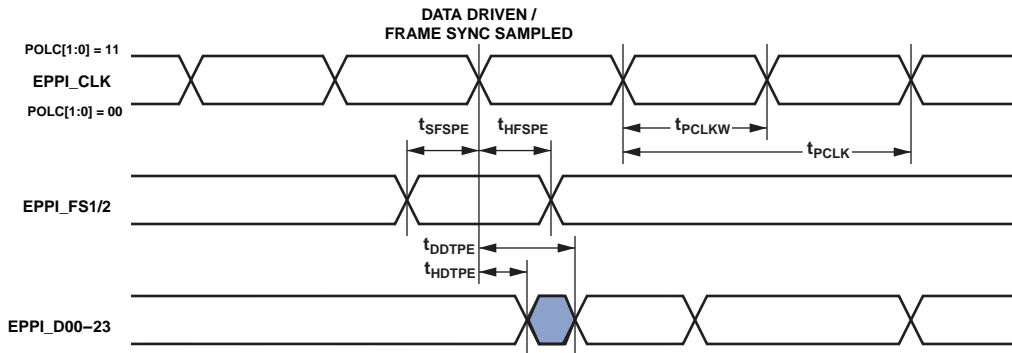


图34. 采用外部帧同步的PPI外部时钟通用发送模式时序

链路端口

在链路端口(LP)接收模式下，链路端口时钟从外部提供，称为 $f_{LCLKREXT}$ ：

$$t_{LCLKREXT} = \frac{1}{f_{LCLKREXT}}$$

在链路端口发送模式下，编程链路端口时钟($f_{LCLKTPROG}$)频率(单位：MHz)由下式确定；其中，VALUE是LP_DIV寄存器中的字段，设置范围为1至255：

$$f_{LCLKTPROG} = \frac{f_{SCLK}}{(VALUE \times 2)}$$

若VALUE = 0，则 $f_{LCLKTPROG} = f_{SCLK}$ 。对于VALUE的所有设置，下式同样成立：

$$t_{LCLKTPROG} = \frac{1}{f_{LCLKTPROG}}$$

需要进行与链路时钟有关的链路接收器数据建立和保持时间计算，以确定LPx_Dx(数据)和LPx_CLK之间传输路径长度差异可以引入的最大允许偏斜。建立偏斜是在LPx_Dx中可以引入的相对于LPx_CLK的最大延迟(建立偏斜 = $t_{LCLKTWH}$ 最小值 - $t_{DLDCH} - t_{SLDCL}$)。保持偏斜是在LPx_CLK中可以引入的相对于LPx_Dx的最大延迟(保持偏斜 = $t_{LCLKTWL}$ 最小值 - $t_{HLDCH} - t_{HLDCL}$)。

表52. 链路接收端口¹

所有规格均基于仿真数据，如有更改，恕不另行通知。		最小值	最大值	单位
时序要求				
$f_{LCLKREXT}$	LPx_CLK频率		150	MHz
t_{SLDCL}	LPx_CLK低电平之前的数据建立时间	0.9		ns
t_{HLDCL}	LPx_CLK低电平之后的数据保持时间	1.4		ns
t_{LCLKEW}	LPx_CLK周期 ²	$t_{LCLKREXT} - 1$		ns
$t_{LCLKRWL}$	LPx_CLK低电平宽度 ²	$0.5 \times t_{LCLKREXT}$		ns
$t_{LCLKRWH}$	LPx_CLK高电平宽度 ²	$0.5 \times t_{LCLKREXT}$		ns
开关特性				
t_{DLALC}	LPx_CLK低电平之后的LPx_ACK低延迟 ³	$1.5 \times t_{CLK08} + 4$	$2.5 \times t_{CLK08} + 12$	ns

¹ 规格适用于LP1和LP2。

² 本规格表示外部LPx_CLK上容许占空比变化或抖动所导致的最小瞬时宽度或周期。对于外部LPx_CLK的理想最大频率，参见第79页上的表28“时钟相关工作条件”中的 $f_{LCLKREXT}$ 规格。

³ LPx_ACK在第一个字节之后的 t_{DLALC} (相对于LPx_CLK的上升沿)变为低电平，但若不填充接收器的链路缓冲器，LPx_CLK不会变为低电平。

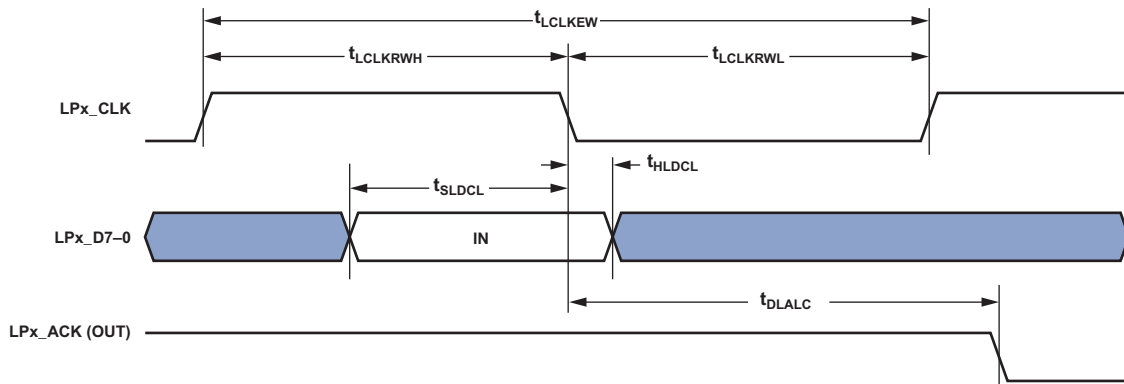


图35. 链路接收端口

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

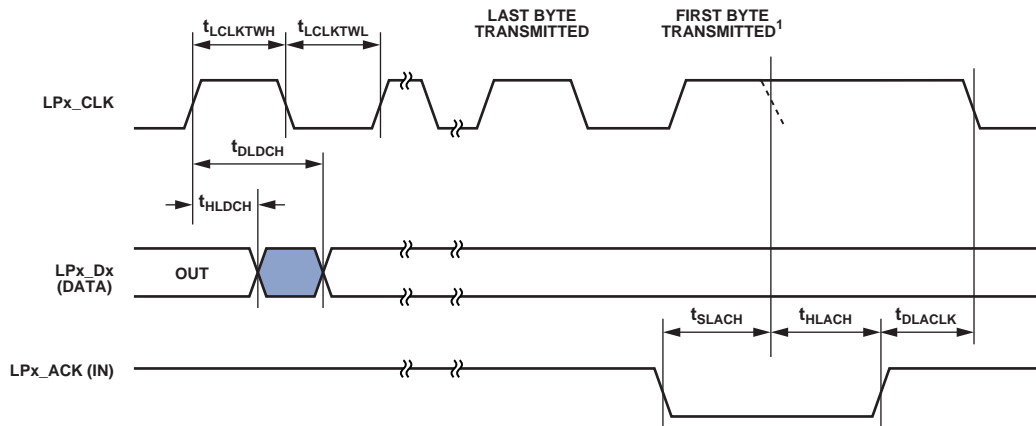
表53. 链路发送端口¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SLACH}	LPx_CLK低电平之前的LPx_ACK建立时间	$2 \times t_{SCLK} + 13.5$		ns
t_{HLACH}	LPx_CLK低电平之后的LPx_ACK保持时间	-5.5		ns
开关特性				
t_{DLDC}	LPx_CLK高电平之后的数据延迟时间		1.6	ns
t_{HLDCH}	LPx_CLK高电平之后的数据保持时间	-0.8		ns
$t_{LCLKTWL}^2$	LPx_CLK低电平宽度	$0.4 \times t_{LCLKTPROG}$	$0.6 \times t_{LCLKTPROG}$	ns
$t_{LCLKTWH}^2$	LPx_CLK高电平宽度	$0.54 \times t_{LCLKTPROG}$	$0.6 \times t_{LCLKTPROG}$	ns
t_{LCLKTW}^2	LPx_CLK周期	$N \times t_{LCLKTPROG} - 0.5$		ns
t_{DLACLK}	LPx_ACK高电平之后的LPx_CLK低延迟	$t_{CLK08} + 4$	$2 \times t_{CLK08} + 1 \times t_{LPCLK} + 10$	ns

¹ 规格适用于LP1和LP2。

² 关于可供 $t_{LCLKTPROG}$ 编程的最小周期的详细情况，参见第79页上的表28“时钟相关工作条件”。



NOTES

The t_{SLACH} and t_{HLACH} specifications apply only to the LPx_CLK falling edge. If these specifications are met, LPx_CLK would extend and the dotted LPx_CLK falling edge would not occur as shown. The position of the dotted falling edge can be calculated using the $t_{LCLKTWH}$ specification. $t_{LCLKTWH}$ Min should be used for t_{SLACH} and $t_{LCLKTWH}$ Max for t_{HLACH} .

图36. 链路发送端口

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

串行端口

为确定在时钟速度n时两个器件之间的串行端口(SPORT)通信是否可行，必须确认以下规格：1) 帧同步延迟和帧同步建立/保持；2) 数据延迟和数据建立与保持；3) 串行时钟(SPTx_CLK)宽度。在图37中，SPTx_CLK的上升沿或下降沿(外部或内部)可用作有效采样沿。

若通过外部产生，则SPORT时钟称为 $f_{SPTCLKEXT}$ ：

$$t_{SPTCLKEXT} = \frac{1}{f_{SPTCLKEXT}}$$

若通过内部产生，则编程SPORT时钟($f_{SPTCLKPROG}$)频率(单位：MHz)由下式确定；其中，CLKDIV是SPORT_DIV寄存器中的字段，设置范围为0至65535：

$$f_{SPTCLKPROG} = \frac{f_{SCLK0}}{(CLKDIV + 1)}$$

$$t_{SPTCLKPROG} = \frac{1}{f_{SPTCLKPROG}}$$

表54. 串行端口—外部时钟¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{SFSE}	2		ns
	SPTx_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ²		
t_{HFSE}	2.7		ns
	SPTx_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ²		
t_{SDRE}	2		ns
	接收SPTx_CLK之前接收数据建立时间 ²		
t_{HDRE}	2.7		ns
	SPTx_CLK之后接收数据保持时间 ²		
$t_{SPTCLKW}$	$0.5 \times t_{SPTCLKEXT} - 1.5$		ns
	SPTx_CLK宽度 ³		
t_{SPTCLK}	$t_{SPTCLKEXT} - 1.5$		ns
	SPTx_CLK周期 ³		
开关特性			
t_{DFSE}		14.5	ns
	SPTx_CLK之后帧同步延迟时间 (发送或接收模式下内部产生的帧同步) ⁴		
t_{HOFSE}	2		ns
	SPTx_CLK之后帧同步保持时间 (发送或接收模式下内部产生的帧同步) ⁴		
t_{DDTE}		14	ns
	发送SPTx_CLK之后发送数据延迟时间 ⁴		
t_{HDTE}	2		ns
	发送SPTx_CLK之后发送数据保持时间 ⁴		

¹ 规格适用于所有8个SPORT。

² 以采样沿为基准。

³ 本规格表示外部SPTx_CLK上容许占空比变化或抖动所导致的最小瞬时宽度或周期。对于外部SPTx_CLK的理想最大频率，参见第79页上的表28“时钟相关工作条件”中的 $f_{SPTCLKEXT}$ 规格。

⁴ 以驱动沿为基准。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表55. 串行端口—内部时钟¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t _{SFSI}	SPTx_CLK之前帧同步建立时间 (发送或接收模式下外部产生的帧同步) ²	12		ns
t _{HFSI}	SPTx_CLK之后帧同步保持时间 (发送或接收模式下外部产生的帧同步) ²	-0.5		ns
t _{SDRI}	SPTx_CLK之前接收数据建立时间 ²	3.4		ns
t _{HDRI}	SPTx_CLK之后接收数据保持时间 ²	1.5		ns
开关特性				
t _{DFSI}	SPTx_CLK之后帧同步延迟时间(发射或接收 模式下内部产生的帧同步) ³		3.5	ns
t _{HOFSI}	SPTx_CLK之后帧同步保持时间(发射或接收 模式下内部产生的帧同步) ³	-2.5		ns
t _{DDTI}	SPTx_CLK之后发送数据延迟时间 ³		3.5	ns
t _{HDTI}	SPTx_CLK之后发送数据保持时间 ³	-2.5		ns
t _{SCLKIW}	SPTx_CLK宽度 ⁴	0.5 × t _{SPTCLKPROG} - 1.5		ns
t _{SPTCLK}	SPTx_CLK周期 ⁴	t _{SPTCLKPROG} - 1.5		ns

¹ 规格适用于所有8个SPORT。

² 以采样沿为基准。

³ 以驱动沿为基准。

⁴ 关于可供t_{SPTCLKPROG}编程的最小周期的详细情况，参见第79页上的表28“时钟相关工作条件”。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

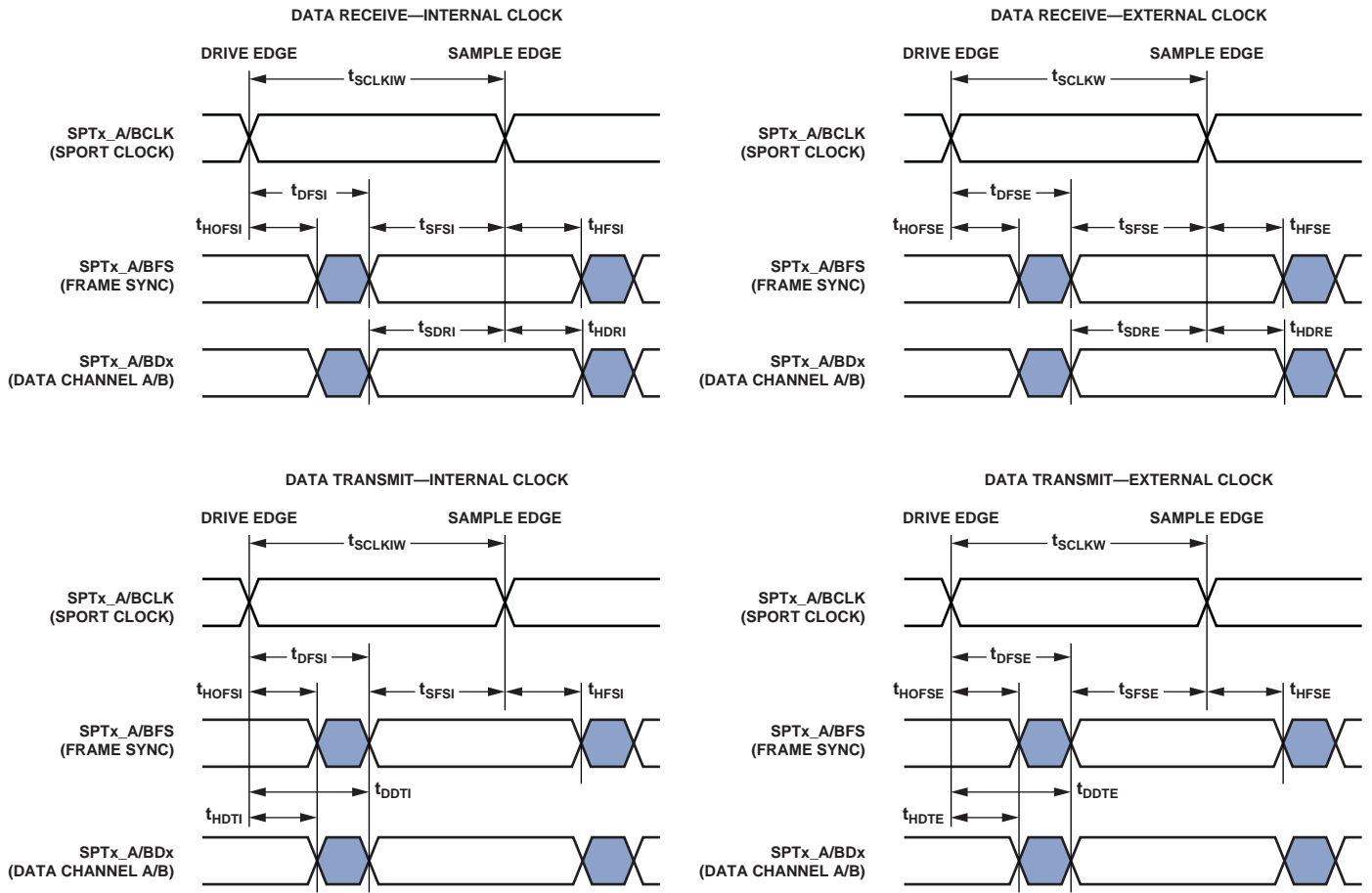


图37. 串行端口

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表56. 串行端口—使能和三态¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t_{DDTEN}	自外部发送SPTx_CLK起的数据使能时间 ²	1		ns
t_{DDTTE}	自外部发送SPTx_CLK起的数据禁用时间 ²		14	ns
t_{DDTIN}	自内部发送SPTx_CLK起的数据使能时间 ²	-2.5		ns
t_{DDTTI}	自内部发送SPTx_CLK起的数据禁用时间 ²		2.8	ns

¹ 规格适用于所有8个SPORT。

² 以驱动沿为基准。

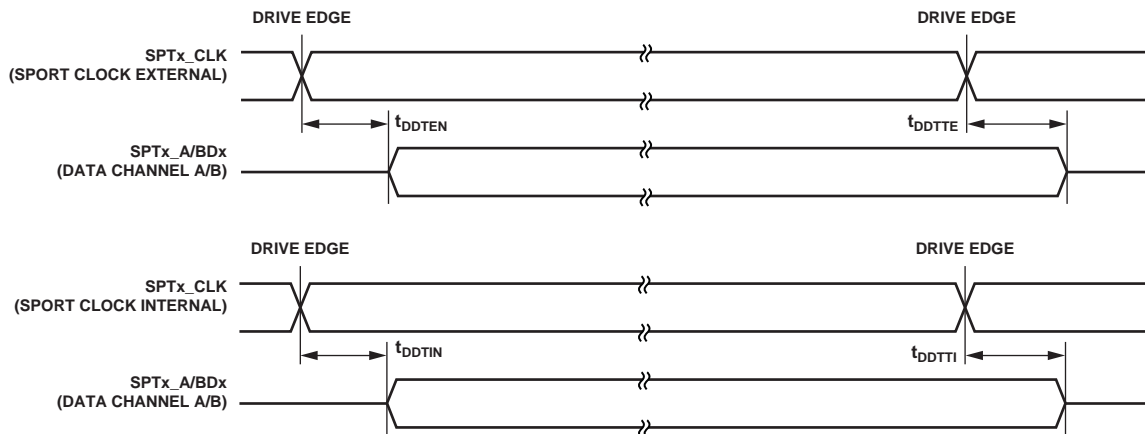


图38. 串行端口—使能和三态

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

SPTx_TDV输出信号在SPORT多通道模式下有效。在发送时隙(通过活动通道选择寄存器使能), SPTx_TDV置位以便与外部器件通信。

表57. 串行端口—TDV(发送数据有效)¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。		最小值	最大值	单位
参数				
开关特性				
t_{DRDVEN}	自外部时钟驱动沿起的数据有效使能延迟时间 ²	2		ns
t_{DFDVEN}	自外部时钟驱动沿起的数据有效禁用延迟时间 ²		14	ns
t_{DRDVIN}	自内部时钟驱动沿起的数据有效使能延迟时间 ²	-2.5		ns
t_{DFDVIN}	自内部时钟驱动沿起的数据有效禁用延迟时间 ²		3.5	ns

¹ 规格适用于所有8个SPORT。

² 以驱动沿为基准。

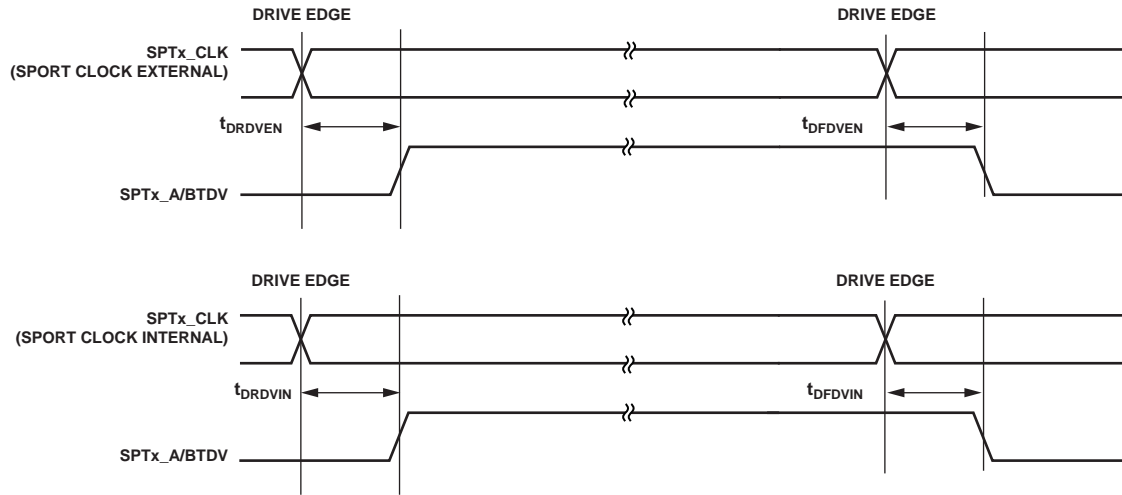


图39. 串行端口—发送数据有效的内部和外部时钟

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表58. 串行端口—外部晚帧同步¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
$t_{DDTLFSE}$ 自晚外部发送帧同步或外部接收帧同步(MCE = 1、MFD = 0)起的数据延迟时间 ²		14	ns
$t_{DDTENFS}$ 数据使能时间(MCE = 1、MFD = 0) ²	0.5		ns

¹ 规格适用于所有8个SPORT。

² $t_{DDTLFSE}$ 和 $t_{DDTENFS}$ 参数适用于左对齐和标准串行模式，而且MCE = 1、MFD = 0。

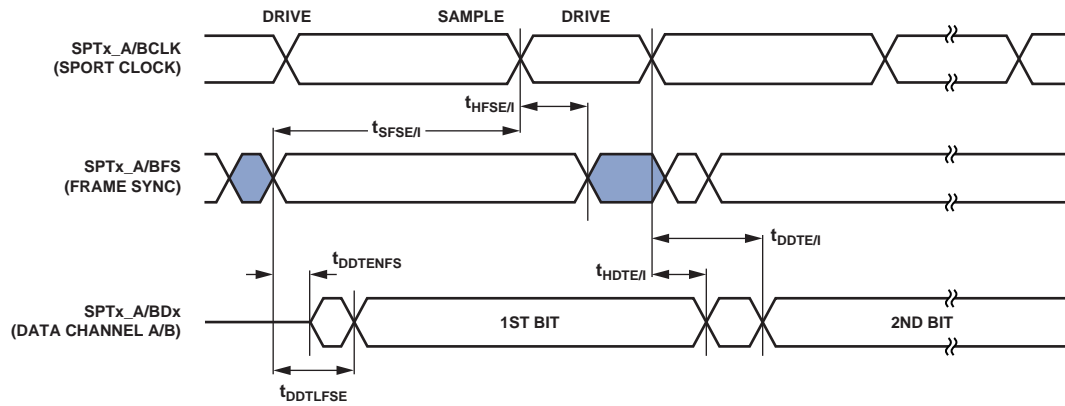


图40. 外部晚帧同步

采样速率转换器—串行输入端口

ASRC输入信号通过SRU从DAIx_P20-1引脚路由。因此，[表59](#)提供的时序规格在DAIx_P20-1引脚上有效。

表59. ASRC串行输入端口

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{SRCSFS}^1 串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1 串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCSD}^1 串行时钟上升沿之前数据建立时间	4		ns
t_{SRCHD}^1 串行时钟上升沿之后数据保持时间	5.5		ns
t_{SRCLKW} 时钟宽度	$t_{SCLK0} - 1$		ns
t_{SRCLK} 时钟周期	$2 \times t_{SCLK0}$		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

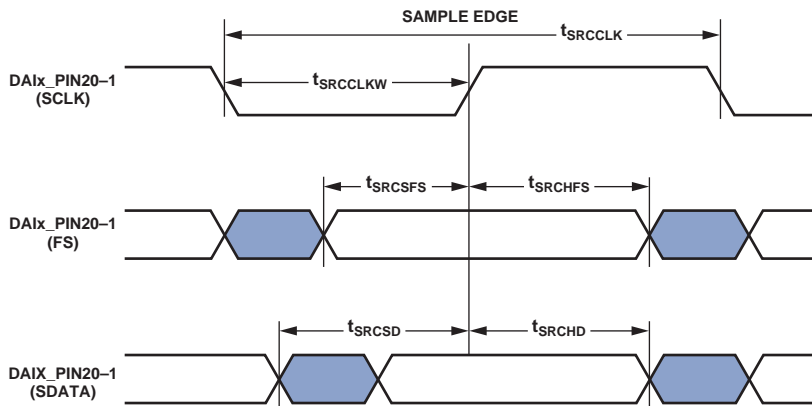


图41. ASRC串行输入端口时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

采样速率转换器—串行输出端口

对于串行输出端口，帧同步为输入，而且它应满足相对于输出端口SCLK的建立和保持时间要求。串行数据输出具有

相对于串行时钟的保持和延迟时间规格。注意，串行时钟上升沿为采样沿，下降沿为驱动沿。

表60. ASRC串行输出端口

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{SRCSFS}^1 串行时钟上升沿之前帧同步建立时间	4		ns
t_{SRCHFS}^1 串行时钟上升沿之后帧同步保持时间	5.5		ns
t_{SRCLKW} 时钟宽度	$t_{SCLK0} - 1$		ns
t_{SRCLK} 时钟周期	$2 \times t_{SCLK0}$		ns
开关特性			
t_{SRCTDD}^1 串行时钟下降沿之后发送数据延迟时间		13	ns
t_{SRCTDH}^1 串行时钟下降沿之后发送数据保持时间	1		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN、SCLK0或任意DAI引脚。

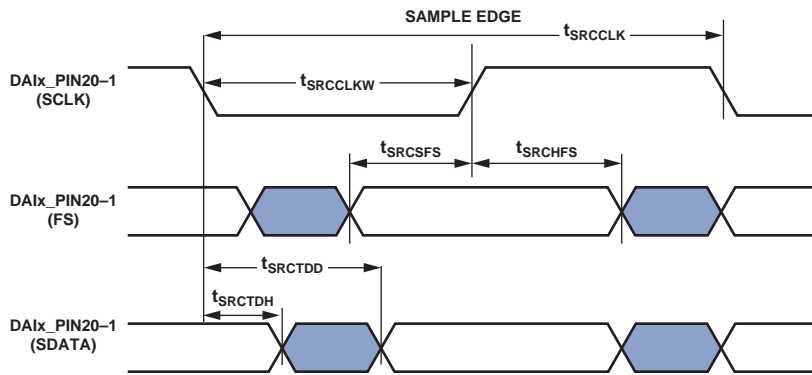


图42. ASRC串行输出端口时序

串行外设接口(SPI)端口—主机时序

表61和图43描述串行外设接口(SPI)端口主机操作。

若通过内部产生，则编程SPI时钟($f_{SPICLKPROG}$)频率(单位：MHz)由下式确定；其中，BAUD是SPIx_CLK寄存器中的字段，设置范围为0至65535：

$$f_{SPICLKPROG} = \frac{f_{SCLK1}}{(BAUD + 1)}$$

$$t_{SPICLKPROG} = \frac{1}{f_{SPICLKPROG}}$$

请注意：

- 在双通道模式数据发射下，SPIx_MISO信号也是输出。
- 在四通道模式数据发射下，SPIx_MISO、SPIx_D2和SPIx_D3信号也是输出。
- 在双通道模式数据接收下，SPIx_MOSI信号也是输入。
- 在四通道模式数据接收下，SPIx_MOSI、SPIx_D2和SPIx_D3信号也是输入。

表61. 串行外设接口(SPI)端口—主机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t _{SSPIDM}	数据输入有效到SPIx_CLK边沿(数据输入建立)	3.2		ns
t _{HSPIDM}	SPIx_CLK采样沿到数据输入无效	1.2		ns
开关特性				
t _{SDSCIM}	$\overline{SPIx_SEL}$ 低电平到第一个SPI_CLK边沿(CPHA = 1) ²	[t _{SCLK1} - 2]或[18]		ns
	$\overline{SPIx_SEL}$ 低电平到第一个SPI_CLK边沿(CPHA = 0) ²	[1.5 × t _{SCLK1} - 2]或[13]		ns
t _{SPICHM}	SPIx_CLK高电平周期 ³	0.5 × t _{SPICLKPROG} - 1		ns
t _{SPICLM}	SPIx_CLK低电平周期 ³	0.5 × t _{SPICLKPROG} - 1		ns
t _{SPICLK}	SPIx_CLK周期 ³	t _{SPICLKPROG} - 1		ns
t _{HDSM}	最后一个SPIx_CLK边沿到 $\overline{SPIx_SEL}$ 高电平(CPHA = 1) ²	[1.5 × t _{SCLK1} - 2]或[13]		ns
	最后一个SPIx_CLK边沿到 $\overline{SPIx_SEL}$ 高电平(CPHA = 0) ²	[t _{SCLK1} - 2]或[18]		ns
t _{SPITDM}	顺序传输延迟 ^{2,4}	[t _{SCLK1} - 1]或[19]		ns
t _{DDSPIDM}	SPIx_CLK边沿到数据输出有效(数据输出延迟)		2.6	ns
t _{HDSPIDM}	SPIx_CLK边沿到数据输出无效(数据输出保持)	-1.5		ns

¹ 所有规格都适用于所有三个SPI。

² 以其中较大者为准。

³ 关于可供t_{SPICLKPROG}编程的最小周期的详细情况，参见第79页上的表28“时钟相关工作条件”。

⁴ 适用于STOP ≥ 1的顺序模式。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

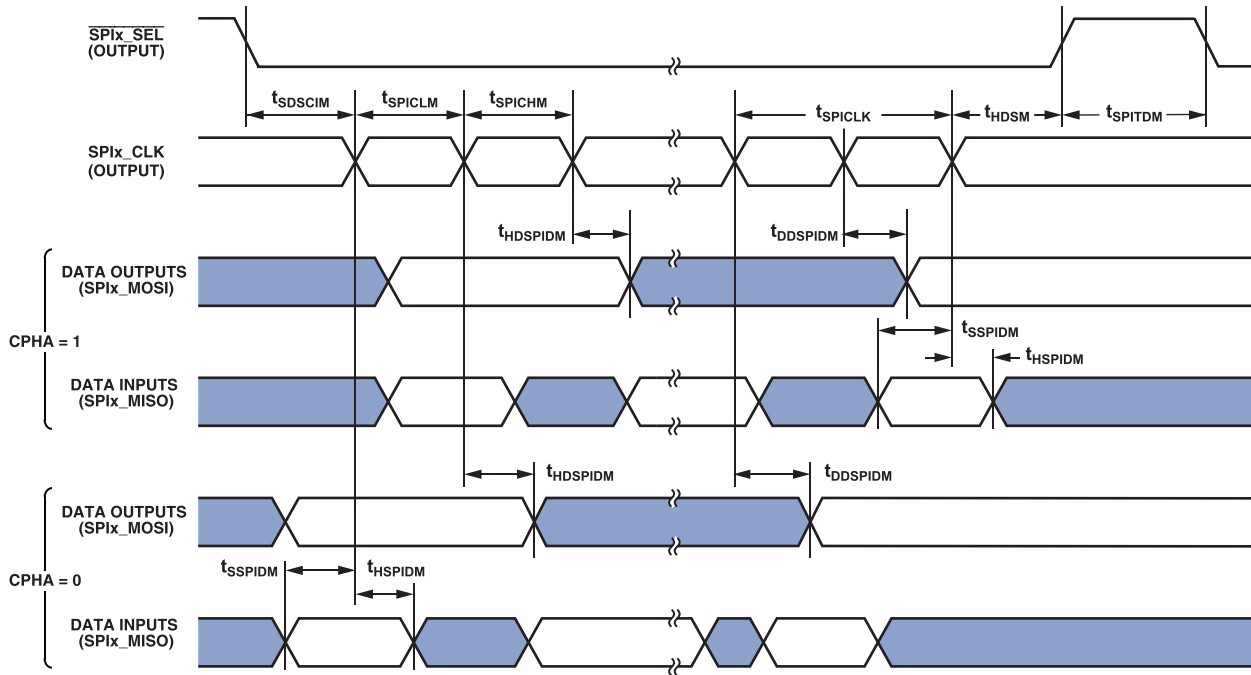


图43. 串行外设接口(SPI)端口—主机时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

串行外设接口(SPI)端口—从机时序

表62和图44描述串行外设接口(SPI)端口从机操作。请注意：

- 在双通道模式数据发射下，SPIx_MOSI信号也是输出。
- 在四通道模式数据发射下，SPIx_MOSI、SPIx_D2和SPIx_D3信号也是输出。
- 在双通道模式数据接收下，SPIx_MISO信号也是输入。

- 在四通道模式数据接收下，SPIx_MISO、SPIx_D2和SPIx_D3信号也是输入。
- 在SPI从机模式下，从外部提供SPI时钟，称为 $f_{SPICLKEXT}$ ：

$$t_{SPICLKEXT} = \frac{1}{f_{SPICLKEXT}}$$

表62. 串行外设接口(SPI)端口—从机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
时序要求				
tSPICHS	SPIx_CLK高电平周期 ²	$0.5 \times t_{SPICLKEXT} - 1$		ns
tSPICLS	SPIx_CLK低电平周期 ²	$0.5 \times t_{SPICLKEXT} - 1$		ns
tSPICLK	SPIx_CLK周期 ²	$t_{SPICLKEXT} - 1$		ns
tHDS	最后一个SPIx_CLK边沿到 $\overline{SPIx_SS}$ 未置位	5		ns
tSPITDS	顺序传输延迟时间	$t_{SPICLK} - 1$		ns
tSDSCI	$\overline{SPIx_SS}$ 置位到第一个SPIx_CLK边沿	10.5		ns
tSSPID	数据输入有效到SPIx_CLK边沿(数据输入建立)	2		ns
tHSPID	SPIx_CLK采样沿到数据输入无效	1.6		ns
开关特性				
tDSOE	$\overline{SPIx_SS}$ 置位到数据输出有效	0	14	ns
tDSDHI	$\overline{SPIx_SS}$ 解除置位到数据高阻态	0	12.5	ns
tDDSPID	SPIx_CLK边沿到数据输出有效(数据输出延迟)		14	ns
tHDSPID	SPIx_CLK边沿到数据输出无效(数据输出保持)	0		ns

¹ 所有规格都适用于所有三个SPI。

² 本规格表示外部SPIx_CLK上容许占空比变化或抖动所导致的最小瞬时宽度或周期。对于外部SPIx_CLK的理想最大频率，参见第79页上的表28“时钟相关工作条件”中的 $f_{SPICLKEXT}$ 规格。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

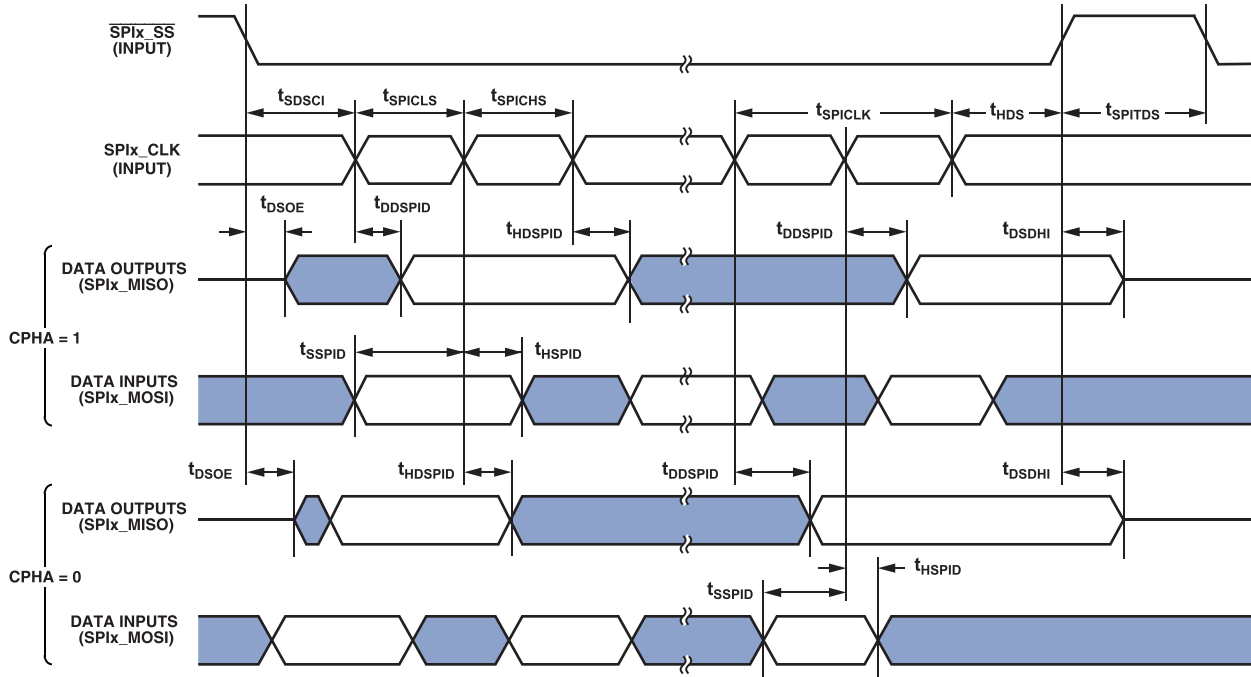


图44. 串行外设接口(SPI)端口—从机时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

串行外设接口(SPI)端口—SPIx_RDY从机时序

表63. SPI端口—SPIx_RDY从机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
$t_{\text{DSPISCKRDYSR}}$ 自从机模式接收下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间	$3 \times t_{\text{SCLK1}}$	$4 \times t_{\text{SCLK1}} + 10$	ns
$t_{\text{DSPISCKRDYST}}$ 自从机模式发送下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间	$4 \times t_{\text{SCLK1}}$	$5 \times t_{\text{SCLK1}} + 10$	ns

¹ 所有规格都适用于所有三个SPI。

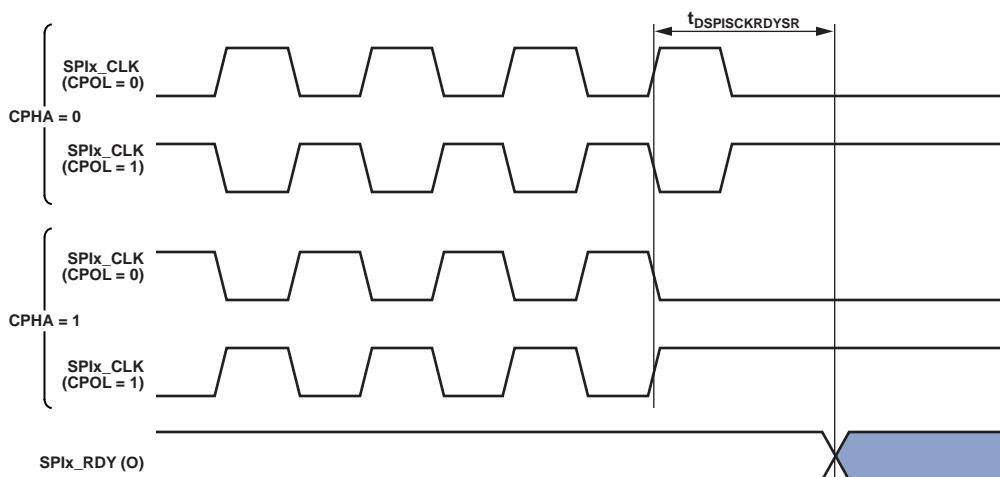


图45. 自从机模式接收下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间(FCCH = 0)

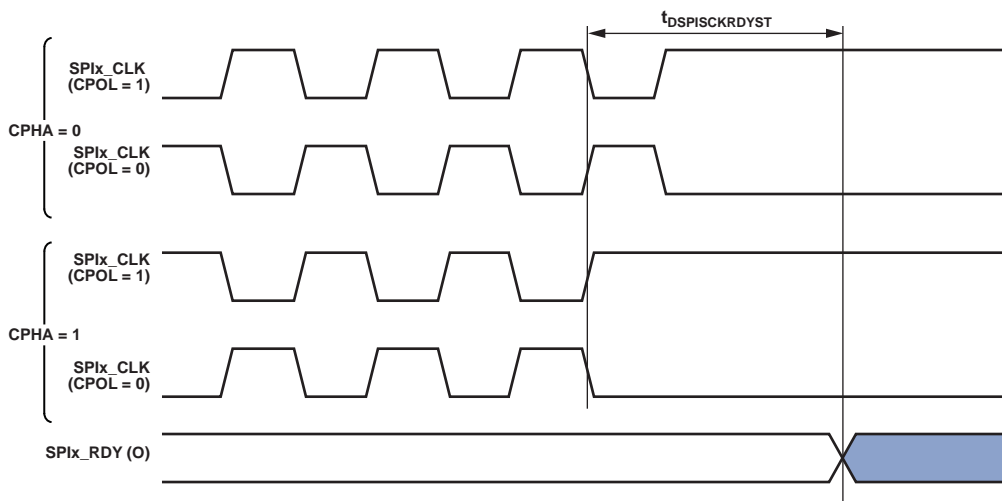


图46. 自从机模式发送下有效输入SPIx_CLK边沿起的SPIx_RDY解除置位时间(FCCH = 1)

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

串行外设接口(SPI)端口—开漏模式时序

在图47和图48中，输出可能是SPIx_MOSI、SPIx_MISO、SPIx_D2和/或SPIx_D3，具体取决于工作模式。

表64. SPI端口ODM主机模式时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
开关特性				
$t_{\text{HDSPIODMM}}$	SPIx_CLK边沿到高阻抗(从数据输出有效起)	-1		ns
$t_{\text{DDSPIODMM}}$	SPIx_CLK边沿到数据输出有效(从高阻抗起)	-1	6	ns

¹ 所有规格都适用于所有三个SPI。

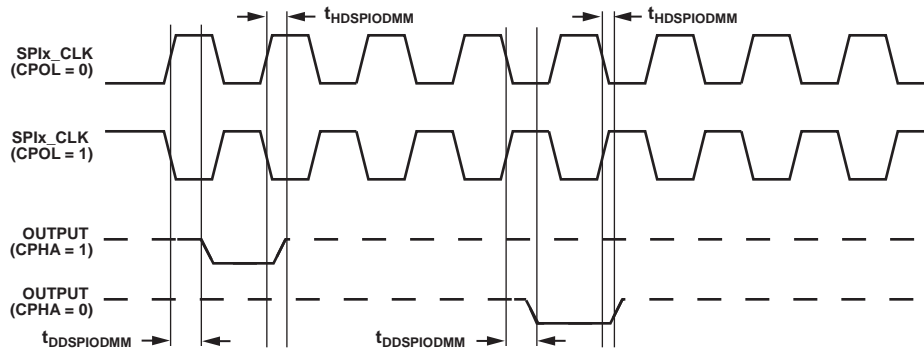


图47. ODM主机

表65. SPI端口—ODM从机模式¹

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
$t_{\text{HDSPIODMS}}$	SPIx_CLK边沿到高阻抗(从数据输出有效起)	0		ns
$t_{\text{DDSPIODMS}}$	SPIx_CLK边沿到数据输出有效(从高阻抗起)		11	ns

¹ 所有规格都适用于所有三个SPI。

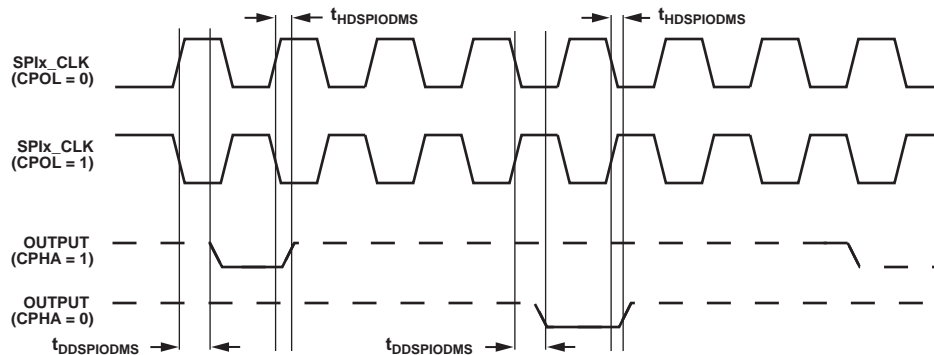


图48. ODM从机

串行外设接口(SPI)端口—SPIx_RDY主机时序

SPIx_RDY用来提供流量控制。CPOL和CPHA位在SPIx_CTL中设置，而LEADX、LAGX和STOP在SPIx_DLY中设置。

表66. SPI端口—SPIx_RDY主机时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
t _{SRDYSCKM0}	主机模式下有效数据传输最后一个SPIx_CLK边沿之前SPIx_RDY解除置位的最小建立时间，阻止后续传输(CPHA = 0)	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$		ns
t _{SRDYSCKM1}	主机模式下有效数据传输最后一个SPIx_CLK边沿之前SPIx_RDY解除置位的最小建立时间，阻止后续传输(CPHA = 1)	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$		ns
开关特性				
t _{SRDYSCKM}	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 0且BAUD = 0 (STOP、LEAD、LAG = 0)	$4.5 \times t_{\text{SCLK1}}$	$5.5 \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 1且BAUD = 0 (STOP、LEAD、LAG = 0)	$4 \times t_{\text{SCLK1}}$	$5 \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 0且BAUD ≥ 1 (STOP、LEAD、LAG = 0)	$(1 + 1.5 \times \text{BAUD}^2) \times t_{\text{SCLK1}}$	$(2 + 2.5 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$	ns
	从机置位SPIx_RDY与新SPI传输的SPIx_CLK第一个边沿之间的时间，CPHA/CPOL = 1且BAUD ≥ 1 (STOP、LEAD、LAG = 0)	$(1 + 1 \times \text{BAUD}^2) \times t_{\text{SCLK1}}$	$(2 + 2 \times \text{BAUD}^2) \times t_{\text{SCLK1}} + 10$	ns

¹ 所有规格都适用于所有三个SPI。

² BAUD值用SPIx_CLK.BAUD位设置。BAUD值 = SPIx_CLK.BAUD位 + 1。

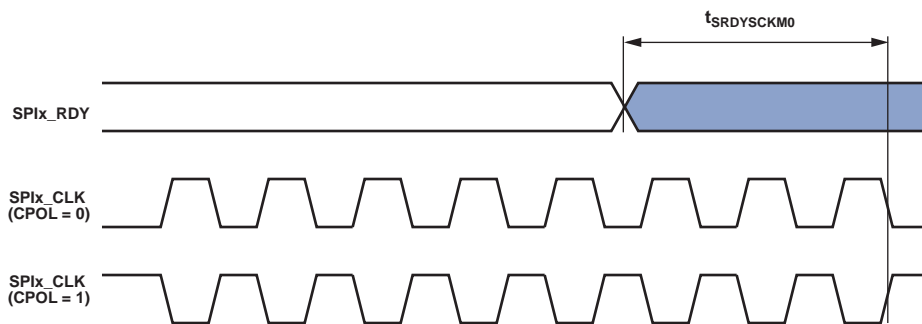


图49. SPIx_CLK之前的SPIx_RDY建立时间(CPHA = 0)

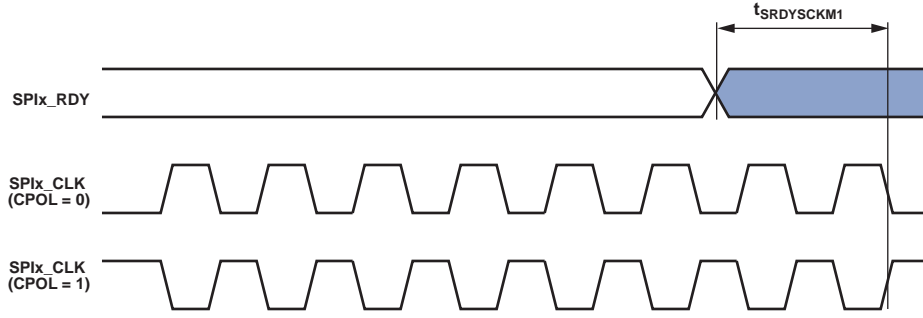


图50. SPIx_CLK之前的SPIx_RDY建立时间(CPHA = 1)

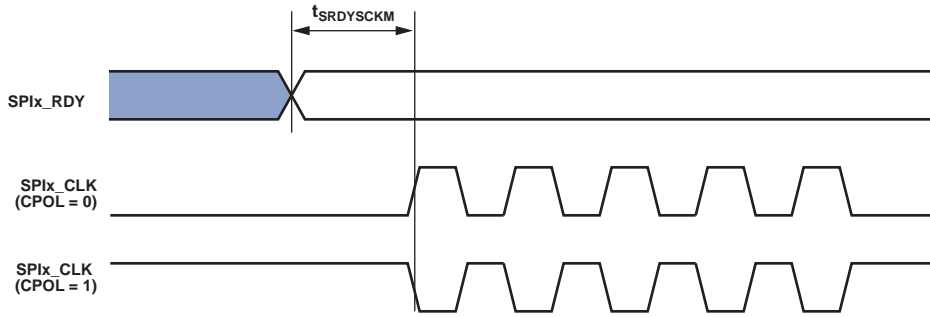


图51. SPIx_RDY置位之后的SPIx_CLK开关图(CPHA = x)

精密时钟发生器(引脚直接路由)

此时序仅在SRU配置如下时有效：精密时钟发生器(PCG)直接从DAI引脚(通过引脚缓冲器)获得输入，并将输出直接发送到DAI引脚。对于其它情况，如果PCG的输入和输

出不是直接路由至/从DAI引脚(通过引脚缓冲器)，则无时序数据可用。所有时序参数和开关特性均适用于外部DAI引脚(DAIx_PIN20-1)。

表67. 精密时钟发生器(引脚直接路由)

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{PCGIP} 输入时钟周期	$t_{SCLK} \times 2$		ns
t_{STRIG} PCG输入时钟下降沿之前的PCG触发建立时间	4.5		ns
t_{HTRIG} PCG输入时钟下降沿之后的PCG触发保持时间	3		ns
开关特性			
t_{DPCGIO} PCG输入时钟之后的PCG输出时钟和帧同步有效沿延迟时间	2.5	13.5	ns
$t_{DTRIGCLK}$ PCG触发之后的PCG输出时钟延迟时间	$2.5 + (2.5 \times t_{PCGIP})$	$13.5 + (2.5 \times t_{PCGIP})$	ns
$t_{DTRIGFS}$ PCG触发之后的PCG帧同步延迟时间	$2.5 + ((2.5 + D - PH) \times t_{PCGIP})$	$13.5 + ((2.5 + D - PH) \times t_{PCGIP})$	ns
t_{PCGOW}^1 输出时钟周期	$2 \times t_{PCGIP} - 1$		ns

D = FSxDIV, PH = FSxPHASE。更多信息请参阅硬件参考手册的“精密时钟发生器”章节。

¹ 正常工作模式。

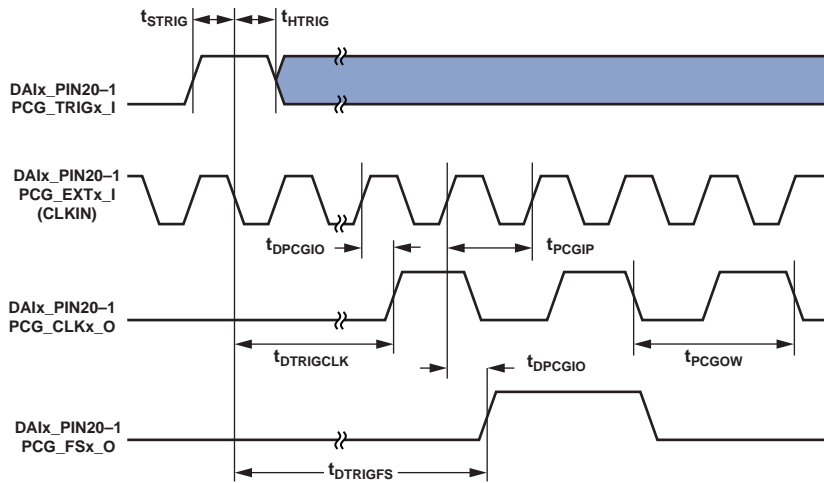


图52. 精密时钟发生器(引脚直接路由)

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

通用IO端口时序

表68和图53描述与通用端口(PORT)相关的I/O时序。

表68. 通用端口时序

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
t_{WFI}	通用端口引脚输入脉冲宽度	$2 \times t_{SCLK0} - 1.5$		ns

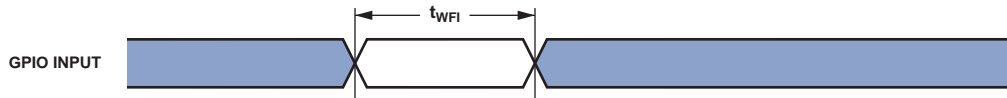


图53. 通用端口时序

GPIO定时器周期时序

表69、表70和图54描述与通用定时器(TIMER)相关的定时器过期操作。输入信号在“宽度捕捉模式”和“外部时钟模式”下是异步的，并具有($f_{SCLK}/4$) MHz的绝对最大输入频率。宽度值为在TMx_TMRn_WIDTH寄存器中指定的定时器周期，范围为1至 $2^{32} - 1$ 。

注意，若通过外部产生，则TMR时钟称为 $f_{TMRCLKEXT}$ ：

$$t_{TMRCLKEXT} = \frac{1}{f_{TMRCLKEXT}}$$

表69. 定时器周期时序(内部模式)

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
t_{WL}	定时器脉冲宽度输入低电平(用SCLK周期衡量) ¹	$2 \times t_{SCLK}$		ns
t_{WH}	定时器脉冲宽度输入高电平(用SCLK周期衡量) ¹	$2 \times t_{SCLK}$		ns
开关特性				
t_{HTO}	定时器脉冲宽度输出(测量单位为SCLK周期) ²	$t_{SCLK} \times WIDTH - 1.5$	$t_{SCLK} \times WIDTH + 1.5$	ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的TMx信号。

² WIDTH指代TMRx_WIDTH寄存器中的值(可在1至 $2^{32} - 1$ 范围内变化)。

表70. 定时器周期时序(外部模式)

所有规格均基于仿真数据，如有更改，恕不另行通知。				
参数		最小值	最大值	单位
时序要求				
t_{WL}	定时器脉冲宽度输入低电平(用EXT_CLK周期衡量) ¹	$2 \times t_{EXT_CLK}$		ns
t_{WH}	定时器脉冲宽度输入高电平(用EXT_CLK周期衡量) ¹	$2 \times t_{EXT_CLK}$		ns
t_{EXT_CLK}	CLK定时器外部时钟周期 ²	$t_{TMRCLKEXT}$		ns
开关特性				
t_{HTO}	定时器脉冲宽度输出(测量单位为EXT_CLK周期) ³	$t_{EXT_CLK} \times WIDTH - 1.5$	$t_{EXT_CLK} \times WIDTH + 1.5$	ns

¹ 最小脉冲宽度适用于宽度捕捉和外部时钟模式下的TMx信号。

² 本规格表示外部TMR_CLK上容许占空比变化或抖动所导致的最小瞬时宽度或周期。关于外部TMR_CLK的最大频率，参见表28“时钟相关工作条件”中的 $f_{TMRCLKEXT}$ 规格。

³ WIDTH指代TMRx_WIDTH寄存器中的值(可在1至 $2^{32} - 1$ 范围内变化)。

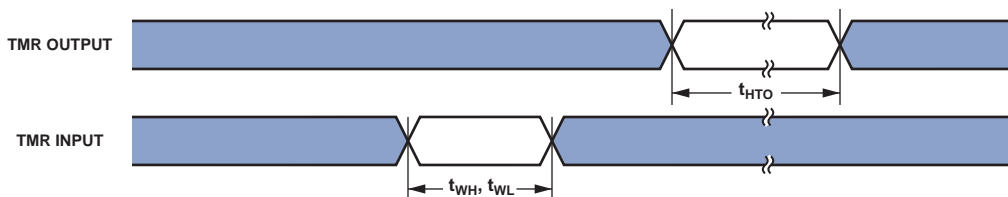


图54. 定时器周期时序

DAIx引脚到DAIx引脚直接路由(DAI0和DAI1)

表71和图55描述与数字音频接口(DAI)相关的I/O时序。仅限引脚直接连接(例如DAIx_PB01_I到DAIx_PB02_O)。

表71. DAI/DAIx引脚到引脚路由

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{DPIO} 延迟DAIx引脚输入有效到DAIx输出有效	1.5	12	ns

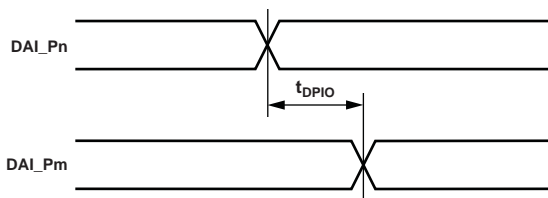


图55. DAI引脚到引脚直接路由

升/降计数器/旋转编码器时序

表72和图56描述与通用计数器(CNT)相关的时序。

表72. 升/降计数器/旋转编码器时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{WCOUNT} 升/降计数器/旋转编码器输入脉冲宽度	$2 \times t_{SCLK0}$		ns

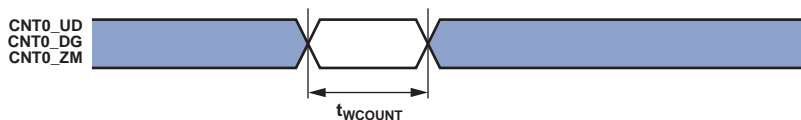


图56. 升/降计数器/旋转编码器时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

脉冲宽度调制器(PWM)时序

表73和图57描述与脉冲宽度调制器(PWM)相关的时序。

表73. PWM时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{ES} 外部同步脉冲宽度	$2 \times t_{SCLK0}$		ns
开关特性			
t_{DODIS} 触发输入之后的输出无效(关)时间 ²		15	ns
t_{DOE} 外部同步之后的输出延迟 ^{2,3}	$2 \times t_{SCLK0} + 5.5$	$5 \times t_{SCLK0} + 14$	ns

¹ 所有规格都适用于所有三个PWM。

² PWM输出为：PWMx_AH、PWMx_AL、PWMx_BH、PWMx_BL、PWMx_CH和PWMx_CL。

³ 当外部同步信号与外设时钟同步时，相对于外部同步信号与外设时钟异步时，输出出现所需要的时钟周期更少。

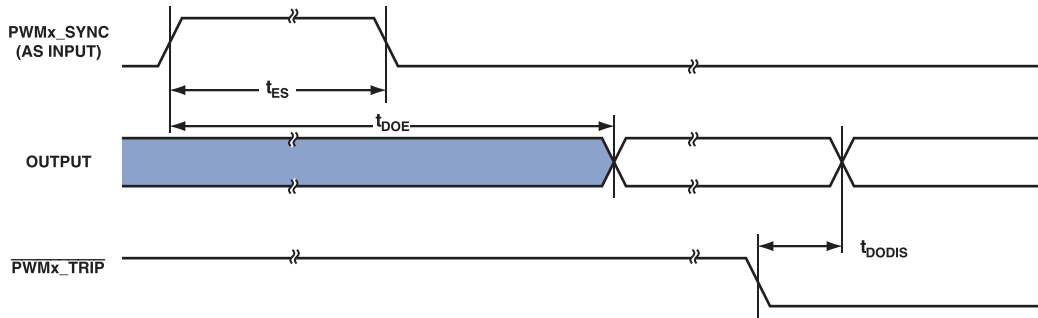


图57. PWM时序

脉冲宽度调制器(PWM)—增强精度模式时序

表74、表75和图58、图59描述增强精度脉冲宽度调制器(PWM)操作。

表74. PWM—增强精度模式，输出脉冲

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{HPWMW} HP-PWM输出脉冲宽度 ^{1,2}	$(N + m \times 0.25) \times t_{SCLK} - 0.5$	$(N + m \times 0.25) \times t_{SCLK} + 0.5$	ns

¹ 是占空比寄存器的DUTY位字段(粗调占空比)。m是HP占空比寄存器的ENHDIV(增强精度分频器位)值。

² 适用于50%占空比的个别PWM通道。同一单元内的其他PWM通道同时切换。没有其他GPIO引脚会切换。

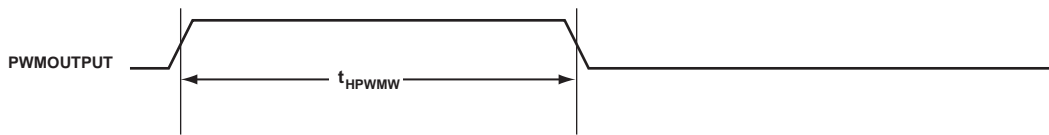


图58. PWM增强精度模式时序，输出脉冲

表75. PWM—增强精度模式，输出偏斜

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{HPWMS} HP-PWM输出偏斜 ¹		1.0	ns

¹ 同一个PWM单元(一个单元是PWMx，其中x=0、1、2)中，增强精度边沿放置的任意两个PWM通道(AH、AL、BH、BL、CH、CL、DH和DL)之间的输出边沿差。

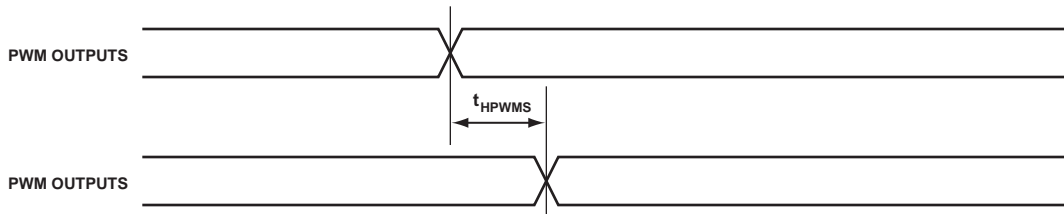


图59. PWM增强精度模式时序，输出偏斜

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

ADC控制器模块(ACM)时序

表76和图60描述ADC控制模块(ACM)操作。

若通过内部产生，则编程ACM时钟(f_{ACLKPROG})频率(单位: MHz)由下式确定；其中，CKDIV是ACM_TC0寄存器中的字段，设置范围为1至255：

$$f_{\text{ACLKPROG}} = \frac{f_{\text{SCLK1}}}{\text{CKDIV} + 1}$$

$$t_{\text{ACLKPROG}} = \frac{1}{f_{\text{ACLKPROG}}}$$

表76中的建立周期(SC)也是ACM_TC0寄存器的一个字段，设置范围是0到4095。保持周期(HC)是ACM_TC1寄存器的一个字段，设置范围是0到15。

表76. ACM时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{SDR} ACMx_CLK之前的SPORT DRxPRI/DRxSEC建立时间	3		ns
t_{HDR} ACMx_CLK之后的SPORT DRxPRI/DRxSEC保持时间	1.5		ns
开关特性			
t_{SCTLCS} $\overline{\text{CS}}$ 置位之前的ACM控制(ACMx_A[4:0])建立时间	$(\text{SC} + 1) \times t_{\text{SCLK1}} - 3$		ns
t_{HCTLCS} $\overline{\text{CS}}$ 解除置位之后的ACM控制(ACMx_A[4:0])保持时间	$\text{HC} \times t_{\text{ACLK}} + 0.1$		ns
t_{ACLKW} ACM时钟脉冲宽度 ¹	$(0.5 \times t_{\text{ACLKPROG}}) - 1$		ns
t_{ACLK} ACM时钟周期 ¹	$t_{\text{ACLKPROG}} - 1$		ns
t_{HCSACLK} $\overline{\text{CS}}$ 保持到ACMx_CLK边沿	-0.1		ns
t_{SCSACLK} $\overline{\text{CS}}$ 建立到ACMx_CLK边沿	$t_{\text{ACLK}} - 3.5$		ns

¹ 关于可供 t_{ACLKPROG} 编程的最小周期的详细情况，参见第79页上的表28“时钟相关工作条件”。

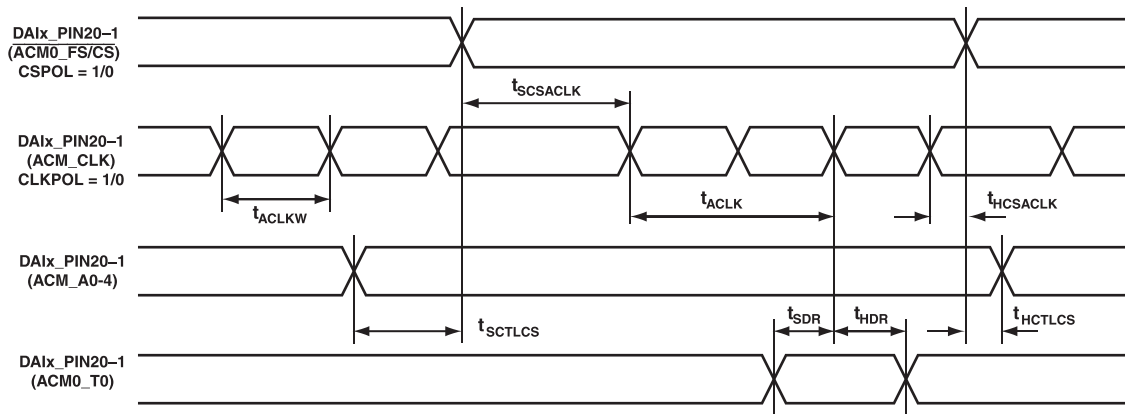


图60. ACM时序

通用异步接收器-发送器(UART)端口—接收和发送时序

通用异步接收器-发送器(UART)端口的接收和发送操作参见硬件参考手册。

控制器区域网络(CAN)接口

控制器区域网络(CAN)接口时序参见硬件参考手册。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

通用串行总线(USB) OTG—接收和发射时序

表77描述通用串行总线(USB) OTG接收和发送操作。

表77. USB OTG—接收和发送时序¹

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
f_{USBS} USB_XI频率	24	24	MHz
f_{USB} USB_XI时钟频率稳定性	-50	+50	ppm

¹ USB0支持本规格。

PCI Express (PCIe)

有关PCI Express (PCIe)的更多信息，请参见以下标准：

- PCI Express Base 3.0规范，1.0版，PCI-SIG
- PCI Express 2.0卡机电规范，2.0版，PCI-SIG
- PCI Express架构的PHY接口，2.0版，Intel Corporation
- PCI-SIG工程变更申请：L1子状态，2012年2月1日，PCI-SIG
- IEEE标准1149.1-2001，IEEE
- IEEE标准1149.6-2003，IEEE

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

10/100以太网MAC控制器(EMAC)时序(ETH0和ETH1)

表78至表80和图61至图63描述10/100以太网MAC控制器(EMAC)操作。

表78. 10/100以太网MAC控制器(EMAC)时序: RMII接收信号¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。		最小值	最大值	单位
参数²				
时序要求				
$t_{REFCLKF}$	ETHx_REFCLK频率($f_{SCLK0} = SCLK0$ 频率)	无	50 + 1%	MHz
$t_{REFCLKW}$	ETHx_REFCLK宽度($t_{REFCLK} = \text{ETHx_REFCLK}$ 周期)	$t_{REFCLK} \times 35\%$	$t_{REFCLK} \times 65\%$	ns
$t_{REFCLKIS}$	Rx输入有效到RMII ETHx_REFCLK上升沿(数据输入建立)	1.75		ns
$t_{REFCLKIH}$	RMII ETHx_REFCLK上升沿到Rx输入无效(数据输入保持)	1.6		ns

¹ 这些规格适用于ETH0和ETH1。

² 与RMII REF_CLK同步的RMII输入有ERxD1-0、RMII CRS_DV和ERxER。

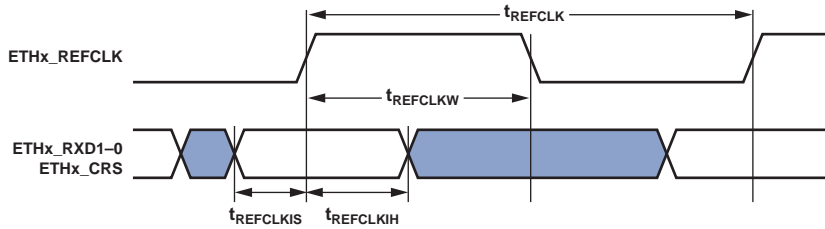


图61. 10/100以太网MAC控制器时序: RMII接收信号

表79. 10/100以太网MAC控制器(EMAC)时序: RMII发送信号¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。		最小值	最大值	单位
参数²				
开关特性				
$t_{REFCLKOV}$	RMII ETHx_REFCLK上升沿至发射输出有效(数据输出有效)		11.9	ns
$t_{REFCLKOH}$	RMII ETHx_REFCLK上升沿至发射输出无效(数据输出保持)	2		ns

¹ 这些规格适用于ETH0和ETH1。

² 与RMII REF_CLK同步的RMII输出有ETxD1-0。

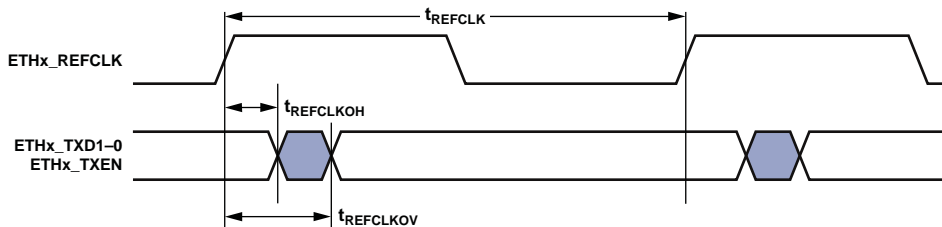


图62. 10/100以太网MAC控制器时序: RMII发射信号

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表80. 10/100以太网MAC控制器(EMAC)时序: RMII站管理¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数 ²	最小值	最大值	单位
时序要求			
t_{MDIOS} ETHx_MDIO输入有效到ETHx_MDC上升沿(建立)	10.8		ns
t_{MDCIH} ETHx_MDC上升沿到ETHx_MDIO输入无效(保持)	0		ns
开关特性			
t_{MDCOV} ETHx_MDC下降沿到ETHx_MDIO输出有效		$t_{SCLK0} + 2$	ns
t_{MDCOH} ETHx_MDC下降沿到ETHx_MDIO输出无效(保持)	$t_{SCLK0} - 2.9$		ns

¹ 这些规格适用于ETH0和ETH1。

² ETHx_MDC/ETHx_MDIO是一个双线串行双向端口, 用于控制一个或多个外部PHY。ETHx_MDC是一个输出时钟, 其最小周期可设置为系统时钟SCLK0的倍数。ETHx_MDIO是双向数据线。

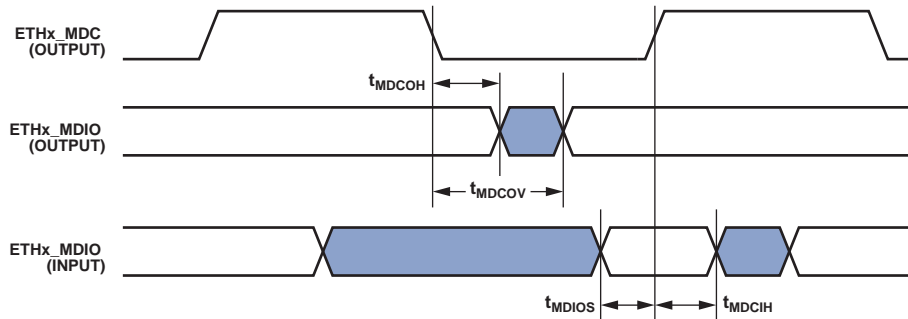


图63. 10/100以太网MAC控制器时序: RMII站管理

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

千兆以太网MAC控制器(EMAC)时序

表81和图64描述千兆以太网MAC控制器(EMAC)时序。

表81. 千兆以太网MAC控制器(EMAC)时序: RGMII¹

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		最小值	最大值	单位
时序要求				
TsetupR	接收器的数据到时钟输入建立时间	1		ns
TholdR	接收器的数据到时钟输入保持时间	1		ns
tGREFCLKF	RGMII接收器时钟周期	8		ns
tGREFCLKW	RGMII接收时钟脉冲宽度	4		ns
开关特性				
TskewT_min	发送器的数据到时钟输出偏斜最小值	-0.5		ns
TskewT_max	发送器的数据到时钟输出偏斜最大值		0.5	ns
Tcyc	时钟周期持续时间	8		ns
Duty_G	千兆占空比最小值	0.45 × 8		ns

¹ 仅ETH0支持本规格(10/100/1000以太网MAC控制器)。

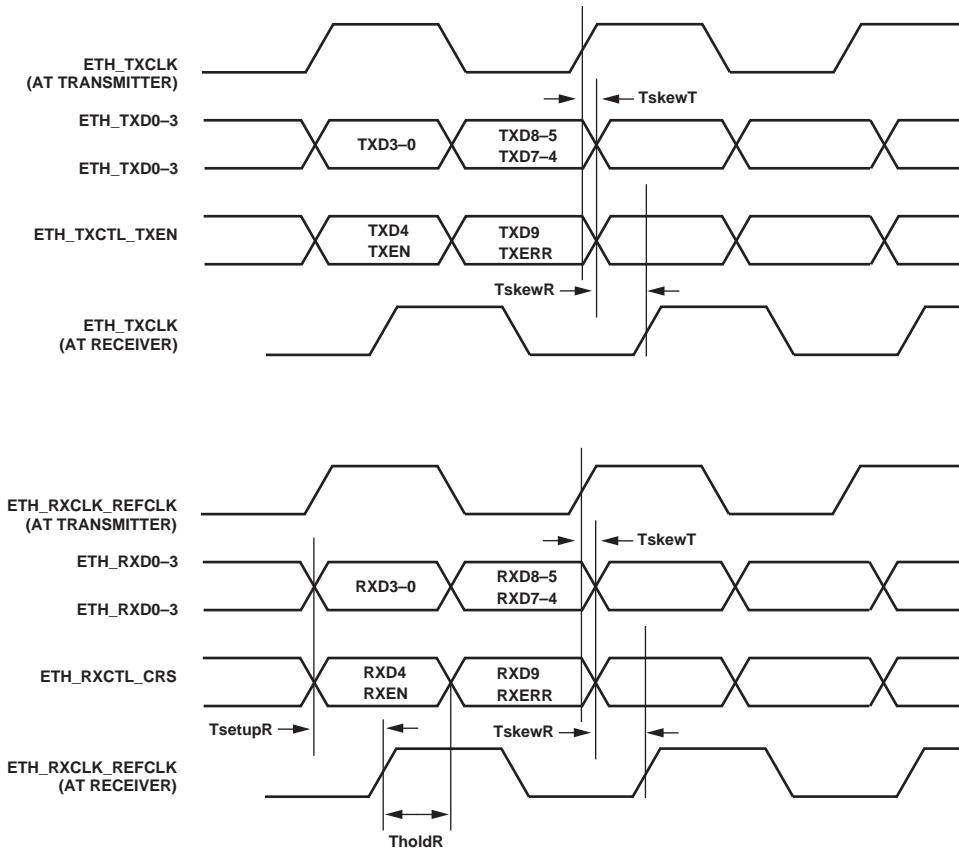


图64. 千兆以太网MAC控制器时序: RGMII

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

SINC滤波器时序

编程SINC滤波器时钟($f_{\text{SINCLKPROG}}$)频率(单位: MHz)由下式确定; 其中, MDIV是CLK控制寄存器中的字段, 设置范围为4至63:

$$t_{\text{SINCLKPROG}} = \frac{1}{f_{\text{SINCLKPROG}}}$$

$$f_{\text{SINCLKPROG}} = \frac{f_{\text{SCLK}}}{\text{MDIV}}$$

表82. SINC时序

所有规格均基于仿真数据, 如有更改, 恕不另行通知。

参数		最小值	最大值	单位
时序要求				
t_{SSINC}	SINC0_CLKx上升前SINC0_Dx的建立时间	13.5		ns
t_{HSINC}	SINC0_CLKx上升后SINC0_Dx的保持时间	0		ns
开关特性				
t_{SINCLK}	SINC0_CLKx周期 ¹	$t_{\text{SINCLKPROG}} - 2.5$		ns
t_{SINCLKW}	SINC0_CLKx宽度 ¹	$0.5 \times t_{\text{SINCLKPROG}} - 2.5$		ns

¹ 关于可供 $t_{\text{SINCLKPROG}}$ 编程的最小周期的详细情况, 参见第79页上的表28“时钟相关工作条件”。

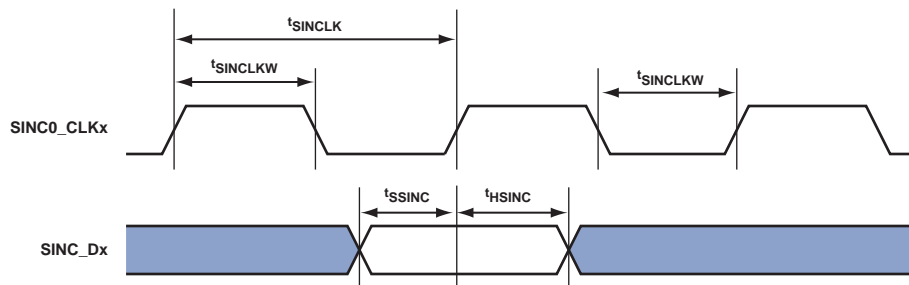


图65. SINC时序

索尼/飞利浦数字接口(S/PDIF)发送器

S/PDIF发送器的串行数据输入可以格式化为左对齐、I²S或右对齐，字宽为16、18、20或24位。以下部分提供发送器的时序。

S/PDIF发送器—串行输入波形

图66显示右对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB在24位输出模式下延迟最短时间，在16位输出模

式下延迟最长时间(相对于帧同步转换)，因此，当每个帧同步周期具有64个串行时钟周期时，数据的LSB与下一帧同步转换右对齐。

表83. S/PDIF发送器右对齐模式

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		标称	单位
时序要求			
t_{RJD}	右对齐模式下帧同步到MSB延迟时间		
	16位字模式	16	SCLK
	18位字模式	14	SCLK
	20位字模式	12	SCLK
	24位字模式	8	SCLK

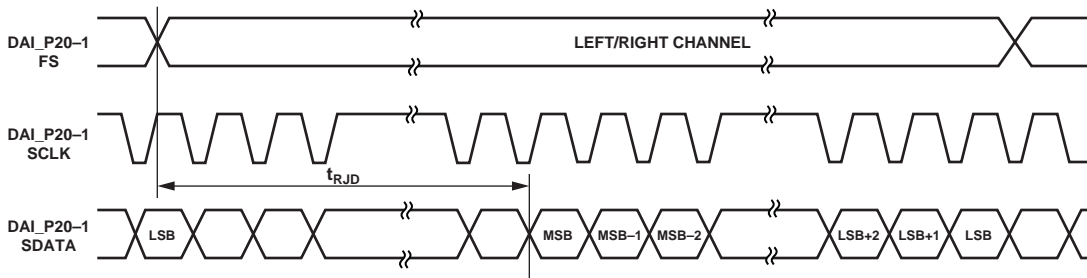


图66. 右对齐模式

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

图67显示默认I²S对齐模式。对于左声道，帧同步为低电平；对于右声道，帧同步为高电平。数据在串行时钟的上升沿有效。MSB与帧同步转换左对齐，但有延迟。

表84. S/PDIF发送器I²S模式

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	标称	单位
时序要求		
t_{I2SD} I ² S模式下帧同步到MSB延迟时间	1	SCLK

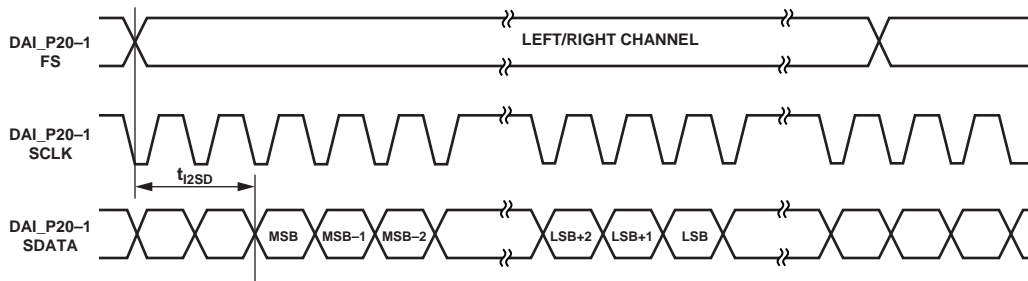


图67. I²S对齐模式

图68显示左对齐模式。对于左声道，帧同步为高电平；对于右声道，帧同步为低电平。数据在串行时钟的上升沿有效。MSB与帧同步转换左对齐，无延迟。

表85. S/PDIF发送器左对齐模式

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	标称	单位
时序要求		
t_{LJD} 左对齐模式下帧同步到MSB延迟时间	0	SCLK

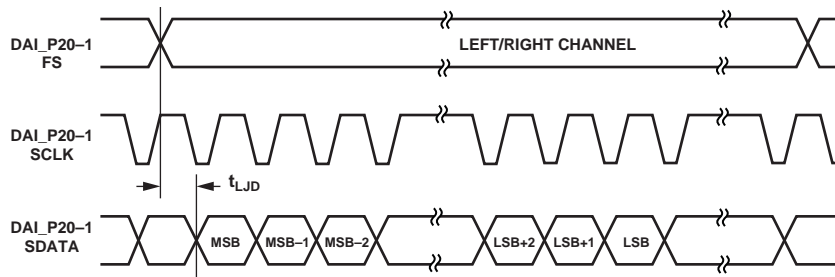


图68. 左对齐模式

S/PDIF发送器输入数据时序

S/PDIF发送器的时序要求如表86所示。输入信号通过SRU路由至DAIx_P20-1引脚。因此，下面提供的时序规格在DAIx_P20-1引脚上有效。

表86. S/PDIF发送器输入数据时序

所有规格均基于仿真数据，如有更改，恕不另行通知。		最小值	最大值	单位
参数				
时序要求				
t_{SISFS}^1	串行时钟上升沿之前帧同步建立时间	3		ns
t_{SIHFS}^1	串行时钟上升沿之后帧同步保持时间	3		ns
t_{SISD}^1	串行时钟上升沿之前数据建立时间	3		ns
t_{SIHD}^1	串行时钟上升沿之后数据保持时间	3		ns
$t_{SITXCLKW}$	发送时钟宽度	9		ns
$t_{SITXCLK}$	发送时钟周期	20		ns
$t_{SISCLKW}$	时钟宽度	36		ns
t_{SISCLK}	时钟周期	80		ns

¹ 串行时钟、数据和帧同步信号可来自任意DAI引脚。串行时钟和帧同步信号也可以通过PCG或SPORT提供。PCG的输入可以是CLKIN或任意DAI引脚。

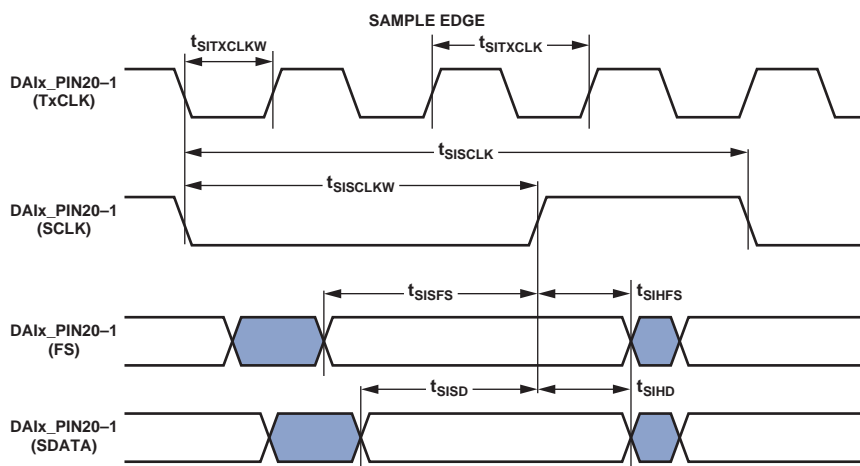


图69. S/PDIF发送器输入时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

索尼/飞利浦数字接口(S/PDIF)接收器

以下部分说明S/PDIF接收器相关的时序。

内部数字PLL模式

在内部数字锁相环模式下，内部PLL(数字PLL)产生 $512 \times FS$ 时钟。

表87. S/PDIF接收器内部数字PLL模式时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	最大值	单位
开关特性				
t_{DFSI}	串行时钟之后帧同步延迟时间		5	ns
t_{HOFSI}	串行时钟之后帧同步保持时间	-2		ns
t_{DDTI}	串行时钟之后发送数据延迟时间		5	ns
t_{HDTI}	串行时钟之后发送数据保持时间	-2		ns
t_{SCLKIW}^1	发送串行时钟宽度	38.5		ns

¹ SCLK频率为 $64 \times FS$ ，其中FS = 帧同步的频率。

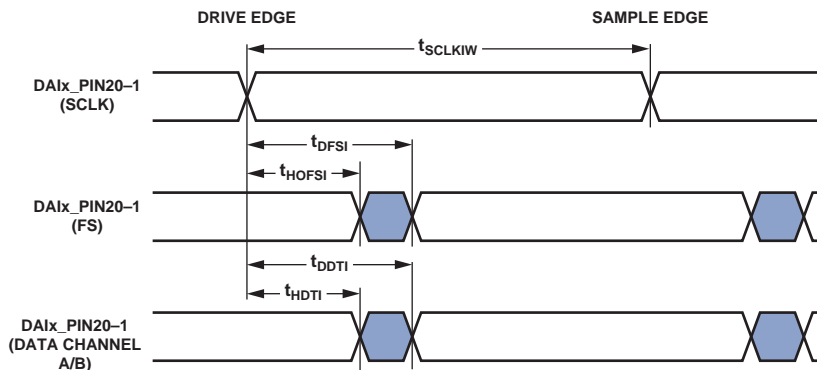


图70. S/PDIF接收器内部数字PLL模式时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

媒体局部总线(MLB)

除非另有说明，给出的所有数值适用于媒体局部总线(MLB)的所有速度模式(3引脚为1024 FS、512 FS和256 FS)。更多信息请参阅媒体局部总线规范4.2版。

表88. MLB接口，3引脚规格

所有规格均基于仿真数据，如有更改，恕不另行通知。					
参数		最小值	典型值	最大值	单位
t _{MLBCLK}	MLB时钟周期				
	1024 FS		20.3		ns
	512 FS		40		ns
	256 FS		81		ns
t _{MCKL}	MLBCLK低电平时间				
	1024 FS	6.1			ns
	512 FS	14			ns
	256 FS	30			ns
t _{MCKH}	MLBCLK高电平时间				
	1024 FS	9.3			ns
	512 FS	14			ns
	256 FS	30			ns
t _{MCKR}	MLBCLK上升时间(V _{IL} 至V _{IH})				
	1024 FS			1	ns
	512 FS/256 FS			3	ns
t _{MCKF}	MLBCLK下降时间(V _{IH} 至V _{IL})				
	1024 FS			1	ns
	512 FS/256 FS			3	ns
t _{MPWV} ¹	MLBCLK脉冲宽度变化				
	1024 FS			0.7	nspp
	512 FS/256			2.0	nspp
t _{DSMCF}	DAT/SIG输入建立时间	1			ns
t _{DHMCF}	DAT/SIG输入保持时间	2			ns
t _{MCFDZ}	DAT/SIG输出时间至三态	0		15	ns
t _{MCDRV}	自MLBCLK上升沿起的DAT/SIG输出数据延迟时间			8	ns
t _{MDZH} ²	总线保持时间				
	1024 FS	2			ns
	512 FS/256	4			ns
C _{MLB}	DAT/SIG引脚负载				
	1024 FS			40	pf
	512 FS/256			60	pf

¹ 脉冲宽度变化在1.25 V下测量；在MLBCLK的一个沿上触发，然后在另一个沿上测量扩展，单位为ns峰值(pp)。

² 电路板设计必须确保高阻抗总线在此时间内不离开最终受驱动位的逻辑状态。因此，在满足所列最大容性负载要求的同时，必须将耦合降至最小。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

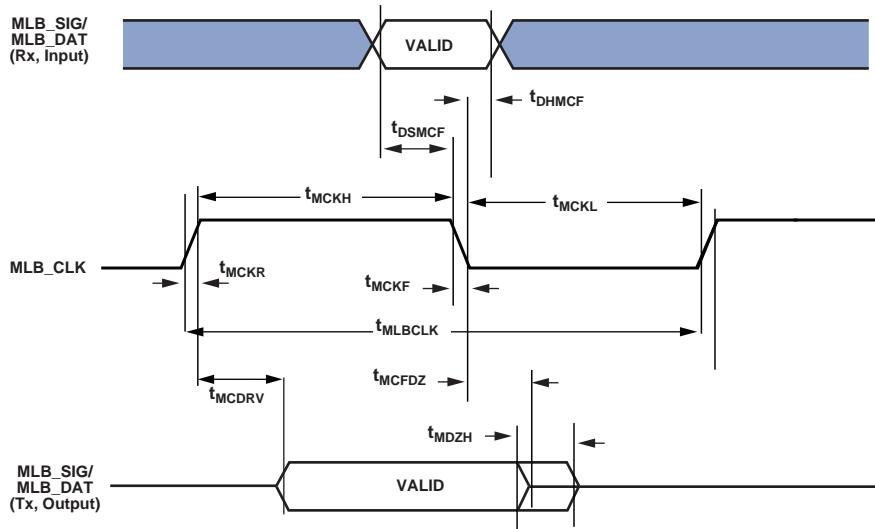


图71. 媒体局部总线时序(3引脚接口)

MLB 6引脚接口的交流时序规格详见下文。更多信息请参阅媒体局部总线规范4.2版。

表89. MLB接口，6引脚规格

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数		最小值	典型值	最大值	单位	注释
t_{MT}	输入引脚差分跃迁时间(图72)			1	ns	20%至80% VIN+/- 80%至20% VIN+/-
f_{MCKE}	MLBCP/N外部时钟工作频率 ¹ (图73)	67.584		102.4	MHz	1536 × FS (44.0 kHz) 2048 × FS (50.0 kHz)
f_{MCKR}	恢复时钟工作频率(内部，在引脚上不可观测，仅用于时序参考)(图73)	90.112 135.168		102.4 204.8	MHz MHz	2048 × FS (50.0 kHz) 3072 × FS (44.0 kHz) 4096 × FS (50.0 kHz)
t_{DELAY}	从MLBCP/N跃迁(低到高)至发送器MLBSP/N (MLBDP/N)输出有效 ² (图74)	0.6		5	ns	$f_{MCKR} = 2048 \times FS$ 时
t_{PHZ}	从MLBCP/N跃迁(低到高)至禁用周转时间 ² (图75)	0.6		2.5	ns	$f_{MCKR} = 3072 \times FS$ 或 $4096 \times FS$ 时
t_{PLZ}	从MLBCP/N跃迁(低到高)至使能周转时间 ² (图75)	0.6		7	ns	$f_{MCKR} = 2048 \times FS$ 时
t_{SU}	MLBSP/N (MLBDP/N)有效至MLBCP/N跃迁(低到高) ² (图74)	0.6		3.5	ns	$f_{MCKR} = 3072 \times FS$ 或 $4096 \times FS$ 时
t_{HD}	从MLBCP/N跃迁(低到高)至MLBSP/N (MLBDP/N)保持 ^{2,3} (图74)	0.6		11.2	ns	$f_{MCKR} = 2048 \times FS$ 时
		0.5		5.6	ns	$f_{MCKR} = 3072 \times FS$ 或 $4096 \times FS$ 时
		0.6			ns	

¹ f_{MCKE} (最大值)和 f_{MCKR} (最大值)包括600ps的最大周期到周期系统抖动(t_{JITTER})，对应的误码率为10E-9。

² 恢复时钟与外部时钟比为2:1时， t_{DELAY} 、 t_{PHZ} 、 t_{PLZ} 、 t_{SU} 、 t_{HD} 也可以恢复时钟的低到高跃迁为基准。

³ 接收器必须在MLBCP/N上升沿的 t_{HD} (最小值)内锁存MLBSP/N (MLBDP/N)数据。

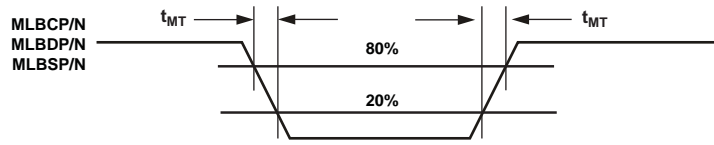


图72. 媒体局部总线6引脚跃迁时间

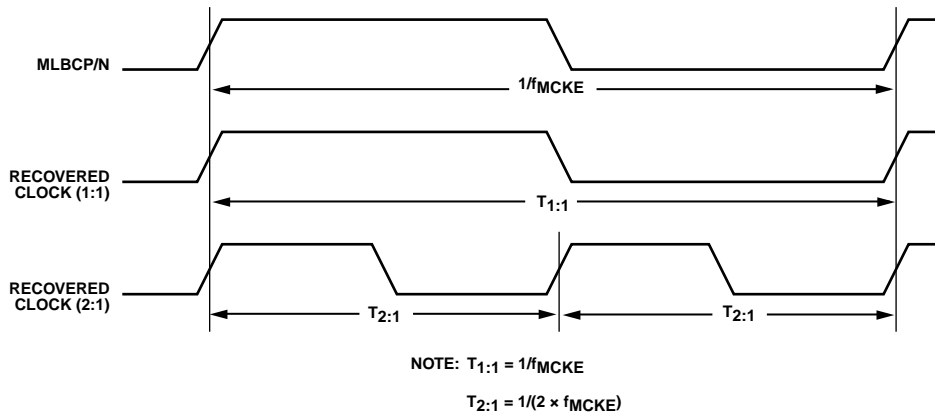


图73. 媒体局部总线6引脚周期定义

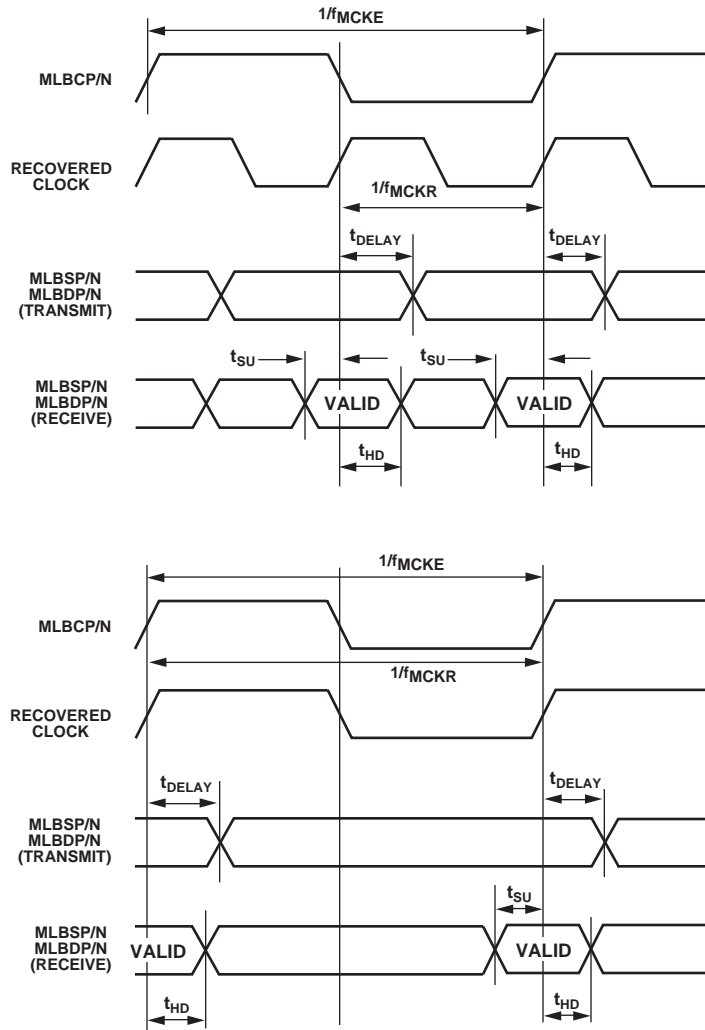


图74. 媒体局部总线6引脚延迟、建立和保持时间

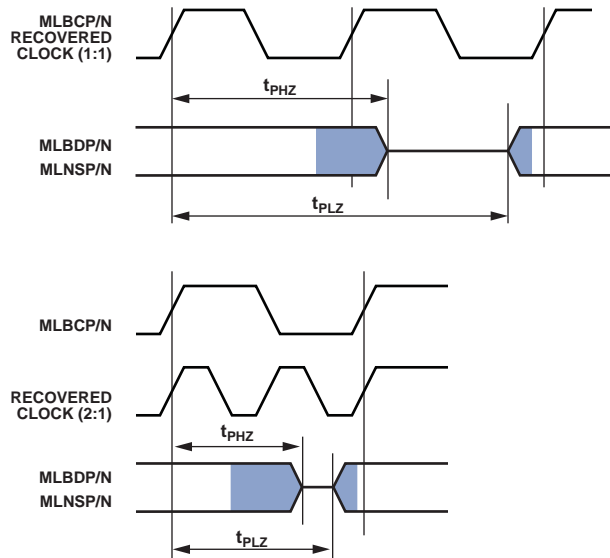


图75. 媒体局部总线6引脚禁用和使能周转时间

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

移动存储器接口(MSI)控制器时序

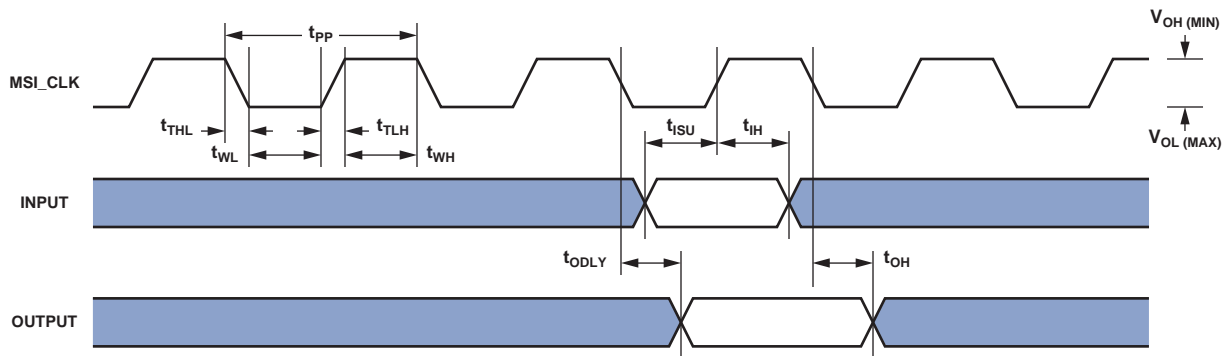
表90和图76描述与移动存储器接口(MSI)相关的I/O时序。

表90. MSI控制器时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{ISU} 输入建立时间	4.8		ns
t_{IH} 输入保持时间	-0.5		ns
开关特性			
f_{PP} 时钟频率数据传输模式 ¹		50	MHz
t_{WL} 时钟低电平时间	8		ns
t_{WH} 时钟高电平时间	8		ns
t_{TLH} 时钟上升时间		3	ns
t_{THL} 时钟下降时间		3	ns
t_{ODLY} 数据传输模式期间的输出延迟时间		2	ns
t_{OH} 输出保持时间	-1.8		ns

¹ $t_{pp} = 1/f_{pp}$



NOTES:
 1 INPUT INCLUDES MSI_Dx AND MSI_CMD SIGNALS.
 2 OUTPUT INCLUDES MSI_Dx AND MSI_CMD SIGNALS.

图76. MSI控制器时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

程序跟踪宏单元(PTM)时序

表91和图77描述与程序跟踪宏单元(PTM)相关的I/O时序。

表91. 跟踪时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
开关特性			
t_{DTRD}		5	ns
t_{HTRD}	2		ns
t_{PTRCK}	13.23		ns

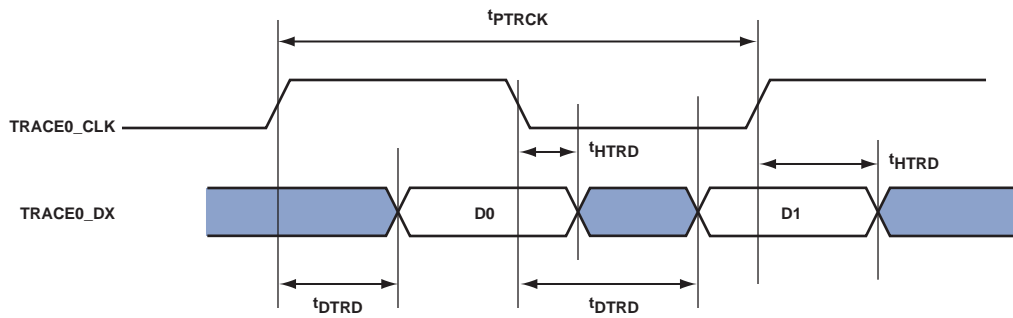


图77. 跟踪时序

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

调试接口(JTAG仿真端口)时序

表92和图78描述与调试接口(JTAG仿真器端口)相关的I/O

时序。

表92. JTAG端口时序

所有规格均基于仿真数据，如有更改，恕不另行通知。

参数	最小值	最大值	单位
时序要求			
t_{TCK}	JTG_TCK周期	20	ns
t_{STAP}	JTG_TCK高电平之前的JTG_TDI、JTG_TMS建立时间	4	ns
t_{HTAP}	JTG_TCK高电平之后的JTG_TDI、JTG_TMS保持时间	4	ns
t_{SSYS}	JTG_TCK高电平之前系统输入建立时间 ¹	4	ns
t_{HSYS}	JTG_TCK高电平之后系统输入保持时间 ¹	4	ns
t_{TRSTW}	$\overline{JTG_TRST}$ 脉冲宽度(测量单位为JTG_TCK周期) ²	4	T_{CK}
开关特性			
t_{DTDO}	自JTG_TCK低电平起的JTG_TDO延迟时间	12	ns
t_{DSYS}	JTG_TCK低电平之后系统输出延迟时间 ³	17	ns

¹ 系统输入 = $\overline{MLB0_CLKP}$ 、 $\overline{MLB0_DATP}$ 、 $\overline{MLB0_SIGP}$ 、 $\overline{DAI0_PIN20-01}$ 、 $\overline{DAI1_PIN20-01}$ 、 $\overline{DMC0_A15-0}$ 、 $\overline{DMC1_A15-0}$ 、 $\overline{DMC0_DQ15-0}$ 、 $\overline{DMC1_DQ15-0}$ 、 $\overline{DMC0_RESET}$ 、 $\overline{DMC1_RESET}$ 、 $\overline{PA_15-0}$ 、 $\overline{PB_15-0}$ 、 $\overline{PC_15-0}$ 、 $\overline{PD_15-0}$ 、 $\overline{PE_15-0}$ 、 $\overline{PF_15-0}$ 、 $\overline{PG_5-0}$ 、 $\overline{SYS_BMODE2-0}$ 、 $\overline{SYS_FAULT}$ 、 $\overline{SYS_FAULT}$ 、 $\overline{SYS_RESOUT}$ 、 $\overline{TWI2-0_SCL}$ 、 $\overline{TWI2-0_SDA2}$ 。

² 50 MHz最大值。

³ 系统输出 = $\overline{DMC0_A15-0}$ 、 $\overline{DMC0_BA2-0}$ 、 $\overline{DMC0_CAS}$ 、 $\overline{DMC0_CK}$ 、 $\overline{DMC0_CKE}$ 、 $\overline{DMC0_CS0}$ 、 $\overline{DMC0_DQ15-0}$ 、 $\overline{DMC0_LDM}$ 、 $\overline{DMC0_LDQS}$ 、 $\overline{DMC0_ODT}$ 、 $\overline{DMC0_RAS}$ 、 $\overline{DMC0_RESET}$ 、 $\overline{DMC0_UDM}$ 、 $\overline{DMC0_UDQS}$ 、 $\overline{DMC0_WE}$ 、 $\overline{DMC1_A15-0}$ 、 $\overline{DMC1_BA2-0}$ 、 $\overline{DMC1_CAS}$ 、 $\overline{DMC1_CK}$ 、 $\overline{DMC1_CKE}$ 、 $\overline{DMC1_CS0}$ 、 $\overline{DMC1_DQ15-0}$ 、 $\overline{DMC1_LDM}$ 、 $\overline{DMC1_LDQS}$ 、 $\overline{DMC1_ODT}$ 、 $\overline{DMC1_RAS}$ 、 $\overline{DMC1_RESET}$ 、 $\overline{DMC1_UDM}$ 、 $\overline{DMC1_UDQS}$ 、 $\overline{DMC1_WE}$ 、 $\overline{MLB0_DATP}$ 、 $\overline{MLB0_SIGP}$ 、 $\overline{PA_15-0}$ 、 $\overline{PB_15-0}$ 、 $\overline{PC_15-0}$ 、 $\overline{PCIE_TXP}$ 、 $\overline{PD_15-0}$ 、 $\overline{PE_15-0}$ 、 $\overline{PF_15-0}$ 、 $\overline{PG_5-0}$ 、 $\overline{SYS_BMODE2-0}$ 、 $\overline{SYS_CLKOUT}$ 、 $\overline{SYS_FAULT}$ 、 $\overline{SYS_FAULT}$ 、 $\overline{SYS_RESOUT}$ 、 $\overline{TWI2-0_SCL}$ 、 $\overline{TWI2-0_SDA}$ 。

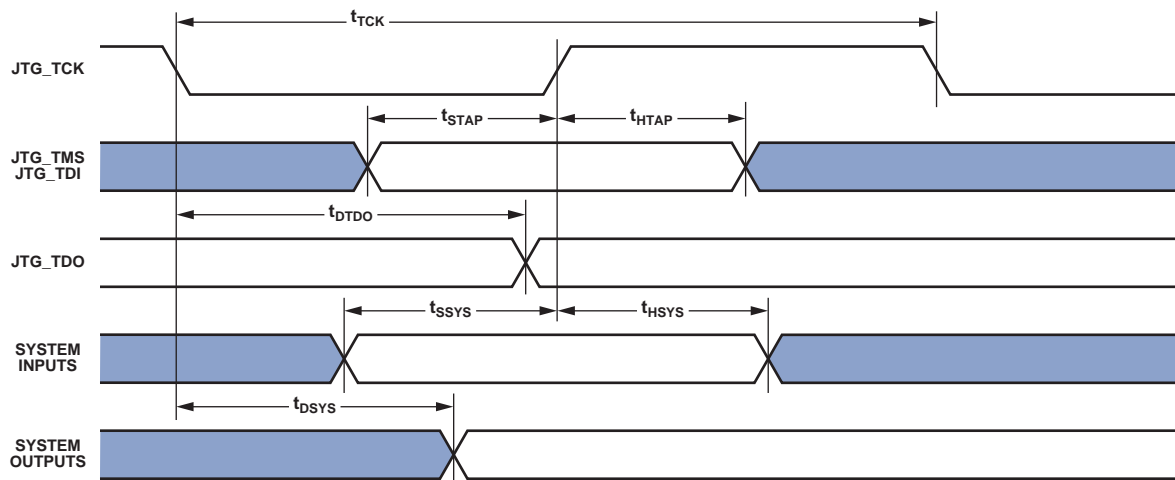


图78. JTAG端口时序

349引脚CSP_BGA封装引脚分配(按引脚编号顺序)

图79提供349引脚CSP_BGA封装的信号放置总览。

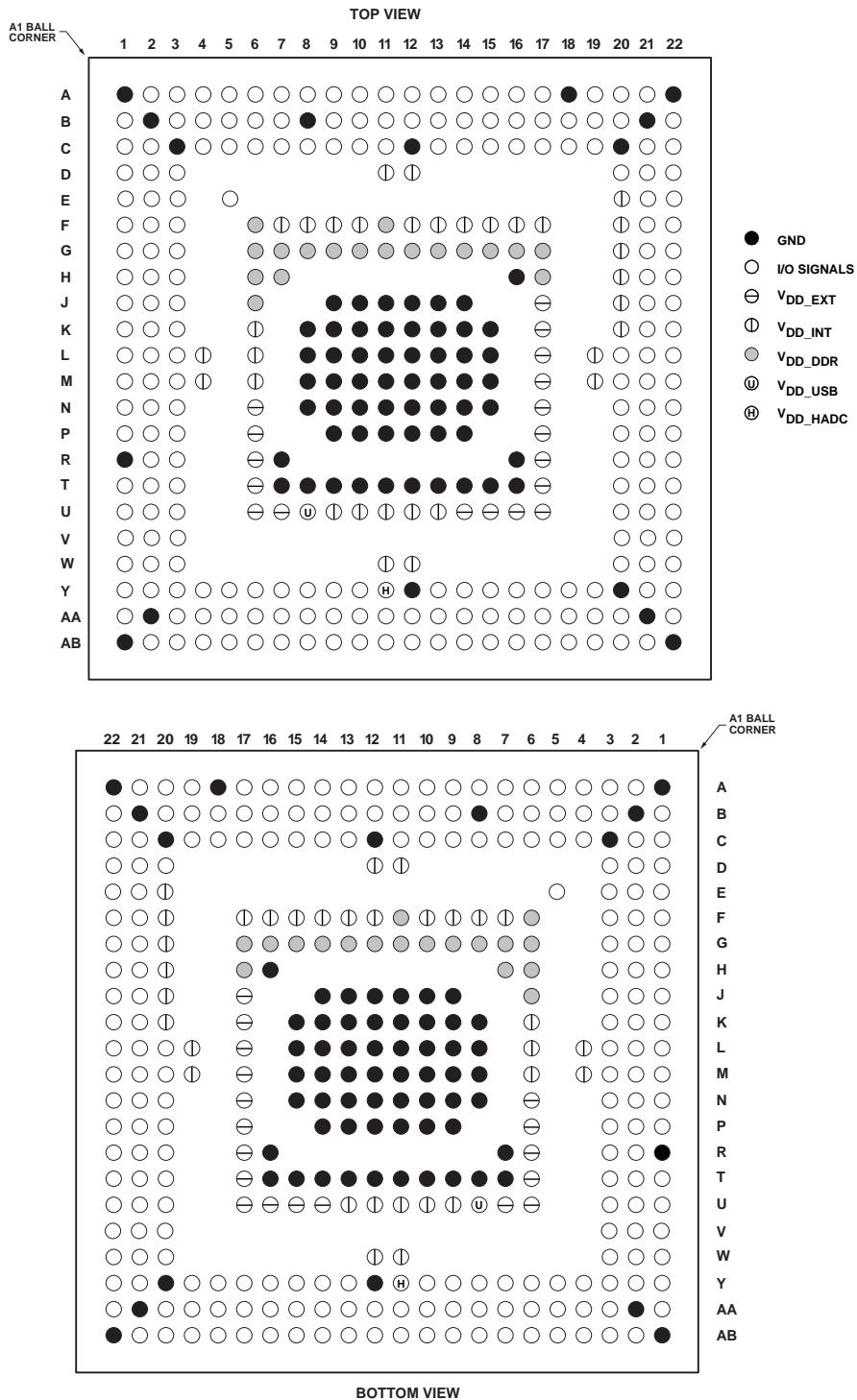


图79. 349引脚CSP_BGA封装引脚配置

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表93按照引脚编号顺序列出ADSP-SC58x/ADSP-2158x的349引脚CSP_BGA封装引脚。表94按照信号顺序列出349引脚CSP_BGA封装引脚。

表93. 349引脚CSP_BGA封装引脚分配(按引脚编号顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
A01	GND	F10	VDD_INT	M02	JTG_TMS	U16	VDD_EXT
A02	DMC0_A06	F11	VDD_DMC	M03	JTG_TCK	U17	VDD_EXT
A03	DMC0_A04	F12	VDD_INT	M04	VDD_INT	U20	DAI1_PIN20
A04	DMC0_RAS	F13	VDD_INT	M06	VDD_INT	U21	DAI1_PIN11
A05	DMC0_CKE	F14	VDD_INT	M08	GND	U22	DAI1_PIN19
A06	DMC0_DQ15	F15	VDD_INT	M09	GND	V01	PB_13
A07	DMC0_DQ13	F16	VDD_INT	M10	GND	V02	PB_12
A08	DMC0_UDQS	F17	VDD_INT	M11	GND	V03	DAI0_PIN20
A09	DMC0_UDQS	F20	VDD_INT	M12	GND	V20	PA_00
A10	DMC0_DQ09	F21	PD_15	M13	GND	V21	PA_01
A11	DMC0_VREF	F22	PE_00	M14	GND	V22	PA_02
A12	DMC0_CK	G01	PC_12	M15	GND	W01	PB_10
A13	DMC0_CK	G02	PC_10	M17	VDD_EXT	W02	PB_11
A14	DMC0_DQ06	G03	PC_04	M19	VDD_INT	W03	DAI0_PIN19
A15	DMC0_LDQS	G06	VDD_DMC	M20	PE_13	W11	VDD_INT
A16	DMC0_LDQS	G07	VDD_DMC	M21	PE_15	W12	VDD_INT
A17	DMC0_DQ01	G08	VDD_DMC	M22	PE_12	W20	PA_05
A18	GND	G09	VDD_DMC	N01	SYS_XTAL1	W21	PA_03
A19	PD_00	G10	VDD_DMC	N02	SYS_BMODE0	W22	PA_04
A20	PD_03	G11	VDD_DMC	N03	PC_00	Y01	PB_09
A21	PD_06	G12	VDD_DMC	N06	VDD_EXT	Y02	PB_08
A22	GND	G13	VDD_DMC	N08	GND	Y03	DAI0_PIN12
B01	DMC0_A07	G14	VDD_DMC	N09	GND	Y04	DAI0_PIN06
B02	GND	G15	VDD_DMC	N10	GND	Y05	DAI0_PIN02
B03	DMC0_A02	G16	VDD_DMC	N11	GND	Y06	DAI0_PIN03
B04	DMC0_A00	G17	VDD_DMC	N12	GND	Y07	DAI0_PIN01
B05	DMC0_ODT	G20	VDD_INT	N13	GND	Y08	USB0_VBC
B06	DMC0_DQ14	G21	PE_01	N14	GND	Y09	TWI0_SCL
B07	DMC0_DQ12	G22	PE_02	N15	GND	Y10	TWI1_SDA
B08	GND	H01	PC_08	N17	VDD_EXT	Y11	VDD_HADC
B09	DMC0_DQ11	H02	PC_07	N20	DAI1_PIN04	Y12	GND
B10	DMC0_DQ10	H03	SYS_FAULT	N21	DAI1_PIN02	Y13	HADC0_VIN6
B11	DMC0_DQ08	H06	VDD_DMC	N22	PE_14	Y14	PB_06
B12	DMC0_DQ07	H07	VDD_DMC	P01	SYS_CLKIN1	Y15	PB_00
B13	DMC0_DQ05	H16	GND	P02	SYS_BMODE1	Y16	PB_04
B14	DMC0_DQ04	H17	VDD_DMC	P03	JTG_TDO	Y17	PB_01
B15	DMC0_DQ03	H20	VDD_INT	P06	VDD_EXT	Y18	PA_10
B16	DMC0_DQ02	H21	PE_03	P09	GND	Y19	PA_15
B17	DMC0_DQ00	H22	PE_04	P10	GND	Y20	GND
B18	PC_13	J01	PC_05	P11	GND	Y21	PA_06
B19	PD_02	J02	PC_06	P12	GND	Y22	PA_08
B20	PD_05	J03	JTG_TDI	P13	GND	AA01	DAI0_PIN11
B21	GND	J06	VDD_DMC	P14	GND	AA02	GND
B22	PD_08	J09	GND	P17	VDD_EXT	AA03	DAI0_PIN10
C01	DMC0_A10	J10	GND	P20	DAI1_PIN01	AA04	DAI0_PIN04

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表93. 349引脚CSP_BGA封装引脚分配(按引脚编号顺序)(续)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
C02	DMCO_A09	J11	GND	P21	DAI1_PIN05	AA05	DAI0_PIN05
C03	GND	J12	GND	P22	DAI1_PIN03	AA06	USB0_ID
C04	DMCO_A08	J13	GND	R01	GND	AA07	USB0_VBUS
C05	DMCO_A03	J14	GND	R02	PB_15	AA08	TWI2_SCL
C06	DMCO_CAS	J17	VDD_EXT	R03	PB_14	AA09	TWI2_SDA
C07	DMCO_BA0	J20	VDD_INT	R06	VDD_EXT	AA10	TWI0_SDA
C08	DMCO_A01	J21	PE_05	R07	GND	AA11	HADCO_VIN2
C09	DMCO_RZQ	J22	PE_06	R16	GND	AA12	HADCO_VIN5
C10	DMCO_WE	K01	PC_03	R17	VDD_EXT	AA13	HADCO_VIN4
C11	DMCO_CS0	K02	PC_02	R20	DAI1_PIN08	AA14	HADCO_VIN7
C12	GND	K03	SYS_FAULT	R21	DAI1_PIN07	AA15	PB_05
C13	DMCO_LDM	K06	VDD_INT	R22	DAI1_PIN06	AA16	PB_02
C14	DMCO_UDM	K08	GND	T01	SYS_XTAL0	AA17	PA_14
C15	PD_01	K09	GND	T02	SYS_BMODE2	AA18	PB_03
C16	PC_14	K10	GND	T03	DAI0_PIN07	AA19	PA_12
C17	SYS_CLKOUT	K11	GND	T06	VDD_EXT	AA20	PA_11
C18	PC_15	K12	GND	T07	GND	AA21	GND
C19	PD_04	K13	GND	T08	GND	AA22	PA_09
C20	GND	K14	GND	T09	GND	AB01	GND
C21	PD_07	K15	GND	T10	GND	AB02	DAI0_PIN09
C22	PD_11	K17	VDD_EXT	T11	GND	AB03	DAI0_PIN08
D01	DMCO_A11	K20	VDD_INT	T12	GND	AB04	USB_CLKIN
D02	DMCO_A12	K21	PE_08	T13	GND	AB05	USB_XTAL
D03	DMCO_BA2	K22	PE_07	T14	GND	AB06	USB0_DP
D11	VDD_INT	L01	PC_01	T15	GND	AB07	USB0_DM
D12	VDD_INT	L02	SYS_HWRST	T16	GND	AB08	TWI1_SCL
D20	PD_10	L03	PC_09	T17	VDD_EXT	AB09	HADCO_VREFP
D21	PD_09	L04	VDD_INT	T20	DAI1_PIN12	AB10	HADCO_VREFN
D22	PD_12	L06	VDD_INT	T21	DAI1_PIN10	AB11	HADCO_VIN0
E01	DMCO_A14	L08	GND	T22	DAI1_PIN09	AB12	HADCO_VIN1
E02	DMCO_A15	L09	GND	U01	SYS_CLKIN0	AB13	HADCO_VIN3
E03	DMCO_A13	L10	GND	U02	SYS_RESOUT	AB14	MLB0_SIGP
E05	DMCO_A05	L11	GND	U03	PB_07	AB15	MLB0_SIGN
E20	VDD_INT	L12	GND	U06	VDD_EXT	AB16	MLB0_DATP
E21	PD_13	L13	GND	U07	VDD_EXT	AB17	MLB0_DATN
E22	PD_14	L14	GND	U08	VDD_USB	AB18	MLB0_CLKP
F01	DMCO_RESET	L15	GND	U09	VDD_INT	AB19	MLB0_CLKN
F02	PC_11	L17	VDD_EXT	U10	VDD_INT	AB20	PA_13
F03	DMCO_BA1	L19	VDD_INT	U11	VDD_INT	AB21	PA_07
F06	VDD_DMC	L20	PE_11	U12	VDD_INT	AB22	GND
F07	VDD_INT	L21	PE_10	U13	VDD_INT		
F08	VDD_INT	L22	PE_09	U14	VDD_EXT		
F09	VDD_INT	M01	JTG_TRST	U15	VDD_EXT		

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表94. 349引脚CSP_BGA封装引脚分配(按信号名称顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
DAIO_PIN01	Y07	GND	M12	PA_02	V22	SYS_XTAL0	T01
DAIO_PIN02	Y05	GND	R07	PA_03	W21	SYS_XTAL1	N01
DAIO_PIN03	Y06	GND	T10	PA_04	W22	TWI0_SCL	Y09
DAIO_PIN04	AA04	GND	L08	PA_05	W20	TWI0_SDA	AA10
DAIO_PIN05	AA05	GND	T09	PA_06	Y21	TWI1_SCL	AB08
DAIO_PIN06	Y04	GND	K12	PA_07	AB21	TWI1_SDA	Y10
DAIO_PIN07	T03	GND	J14	PA_08	Y22	TWI2_SCL	AA08
DAIO_PIN08	AB03	GND	L09	PA_09	AA22	TWI2_SDA	AA09
DAIO_PIN09	AB02	GND	A18	PA_10	Y18	USB0_DM	AB07
DAIO_PIN10	AA03	GND	J13	PA_11	AA20	USB0_DP	AB06
DAIO_PIN11	AA01	GND	M09	PA_12	AA19	USB0_ID	AA06
DAIO_PIN12	Y03	GND	M08	PA_13	AB20	USB0_VBC	Y08
DAIO_PIN19	W03	GND	N11	PA_14	AA17	USB0_VBUS	AA07
DAIO_PIN20	V03	GND	C20	PA_15	Y19	USB_CLKIN	AB04
DAI1_PIN01	P20	GND	K08	PB_00	Y15	USB_XTAL	AB05
DAI1_PIN02	N21	GND	T14	PB_01	Y17	VDD_DMC	G16
DAI1_PIN03	P22	GND	N15	PB_02	AA16	VDD_DMC	J06
DAI1_PIN04	N20	GND	M11	PB_03	AA18	VDD_DMC	H07
DAI1_PIN05	P21	GND	N12	PB_04	Y16	VDD_DMC	G14
DAI1_PIN06	R22	GND	AB22	PB_05	AA15	VDD_DMC	G09
DAI1_PIN07	R21	GND	M10	PB_06	Y14	VDD_DMC	G15
DAI1_PIN08	R20	GND	K10	PB_07	U03	VDD_DMC	G06
DAI1_PIN09	T22	GND	N09	PB_08	Y02	VDD_DMC	F06
DAI1_PIN10	T21	GND	N14	PB_09	Y01	VDD_DMC	H06
DAI1_PIN11	U21	GND	R16	PB_10	W01	VDD_DMC	G13
DAI1_PIN12	T20	GND	L10	PB_11	W02	VDD_DMC	F11
DAI1_PIN19	U22	GND	T15	PB_12	V02	VDD_DMC	H17
DAI1_PIN20	U20	GND	AA21	PB_13	V01	VDD_DMC	G11
DMCO_A00	B04	GND	B02	PB_14	R03	VDD_DMC	G08
DMCO_A01	C08	GND	M15	PB_15	R02	VDD_DMC	G17
DMCO_A02	B03	GND	L14	PC_00	N03	VDD_DMC	G10
DMCO_A03	C05	GND	AB01	PC_01	L01	VDD_DMC	G07
DMCO_A04	A03	GND	K14	PC_02	K02	VDD_DMC	G12
DMCO_A05	E05	GND	J12	PC_03	K01	VDD_EXT	N17
DMCO_A06	A02	GND	M14	PC_04	G03	VDD_EXT	U15
DMCO_A07	B01	GND	P11	PC_05	J01	VDD_EXT	M17
DMCO_A08	C04	GND	P10	PC_06	J02	VDD_EXT	U06
DMCO_A09	C02	GND	K09	PC_07	H02	VDD_EXT	U14
DMCO_A10	C01	GND	C03	PC_08	H01	VDD_EXT	U07
DMCO_A11	D01	GND	K15	PC_09	L03	VDD_EXT	R06
DMCO_A12	D02	GND	P14	PC_10	G02	VDD_EXT	P17
DMCO_A13	E03	GND	J10	PC_11	F02	VDD_EXT	J17
DMCO_A14	E01	GND	N10	PC_12	G01	VDD_EXT	K17
DMCO_A15	E02	GND	A01	PC_13	B18	VDD_EXT	T06
DMCO_BA0	C07	GND	L11	PC_14	C16	VDD_EXT	T17
DMCO_BA1	F03	GND	J09	PC_15	C18	VDD_EXT	L17
DMCO_BA2	D03	GND	K13	PD_00	A19	VDD_EXT	P06
DMCO_CAS	C06	GND	T11	PD_01	C15	VDD_EXT	R17

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表94. 349引脚CSP_BGA封装引脚分配(按信号名称顺序)(续)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
DMC0_CK	A13	GND	L15	PD_02	B19	VDD_EXT	U17
DMC0_CKE	A05	GND	C12	PD_03	A20	VDD_EXT	N06
<u>DMC0_CK</u>	A12	GND	A22	PD_04	C19	VDD_EXT	U16
<u>DMC0_CS0</u>	C11	GND	T07	PD_05	B20	VDD_HADC	Y11
DMC0_DQ00	B17	GND	T13	PD_06	A21	VDD_INT	F14
DMC0_DQ01	A17	GND	L13	PD_07	C21	VDD_INT	F08
DMC0_DQ02	B16	GND	AA02	PD_08	B22	VDD_INT	M06
DMC0_DQ03	B15	GND	T12	PD_09	D21	VDD_INT	F20
DMC0_DQ04	B14	GND	H16	PD_10	D20	VDD_INT	J20
DMC0_DQ05	B13	GND	P12	PD_11	C22	VDD_INT	W11
DMC0_DQ06	A14	GND	N08	PD_12	D22	VDD_INT	U13
DMC0_DQ07	B12	GND	R01	PD_13	E21	VDD_INT	M04
DMC0_DQ08	B11	GND	Y20	PD_14	E22	VDD_INT	H20
DMC0_DQ09	A10	GND	P09	PD_15	F21	VDD_INT	D12
DMC0_DQ10	B10	GND	J11	PE_00	F22	VDD_INT	G20
DMC0_DQ11	B09	GND	B08	PE_01	G21	VDD_INT	U10
DMC0_DQ12	B07	GND	L12	PE_02	G22	VDD_INT	F09
DMC0_DQ13	A07	HADC0_VIN0	AB11	PE_03	H21	VDD_INT	F15
DMC0_DQ14	B06	HADC0_VIN1	AB12	PE_04	H22	VDD_INT	F07
DMC0_DQ15	A06	HADC0_VIN2	AA11	PE_05	J21	VDD_INT	K06
DMC0_LDM	C13	HADC0_VIN3	AB13	PE_06	J22	VDD_INT	F16
DMC0_LDQS	A16	HADC0_VIN4	AA13	PE_07	K22	VDD_INT	F12
<u>DMC0_LDQS</u>	A15	HADC0_VIN5	AA12	PE_08	K21	VDD_INT	F17
DMC0_ODT	B05	HADC0_VIN6	Y13	PE_09	L22	VDD_INT	U11
<u>DMC0_RAS</u>	A04	HADC0_VIN7	AA14	PE_10	L21	VDD_INT	M19
<u>DMC0_RESET</u>	F01	HADC0_VREFN	AB10	PE_11	L20	VDD_INT	U09
DMC0_RZQ	C09	HADC0_VREFP	AB09	PE_12	M22	VDD_INT	F13
DMC0_UDM	C14	JTG_TCK	M03	PE_13	M20	VDD_INT	D11
DMC0_UDQS	A09	JTG_TDI	J03	PE_14	N22	VDD_INT	U12
<u>DMC0_UDQS</u>	A08	JTG_TDO	P03	PE_15	M21	VDD_INT	F10
DMC0_VREF	A11	JTG_TMS	M02	SYS_BMODE0	N02	VDD_INT	L04
<u>DMC0_WE</u>	C10	<u>JTG_TRST</u>	M01	SYS_BMODE1	P02	VDD_INT	W12
GND	N13	MLB0_CLKN	AB19	SYS_BMODE2	T02	VDD_INT	L19
GND	M13	MLB0_CLKP	AB18	SYS_CLKIN0	U01	VDD_INT	K20
GND	P13	MLB0_DATN	AB17	SYS_CLKIN1	P01	VDD_INT	L06
GND	T08	MLB0_DATP	AB16	SYS_CLKOUT	C17	VDD_INT	E20
GND	K11	MLB0_SIGN	AB15	SYS_FAULT	H03	VDD_USB	U08
GND	T16	MLB0_SIGP	AB14	<u>SYS_FAULT</u>	K03		
GND	Y12	PA_00	V20	<u>SYS_HWRST</u>	L02		
GND	B21	PA_01	V21	<u>SYS_RESOUT</u>	U02		

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

529引脚CSP_BGA封装引脚分配(按引脚编号顺序)

图80提供529引脚CSP_BGA封装的信号放置总览。

表95按照引脚编号顺序列出ADSP-SC58x/ADSP-2158x的529引脚CSP_BGA封装引脚。表96按照信号顺序列出529引脚CSP_BGA封装引脚。

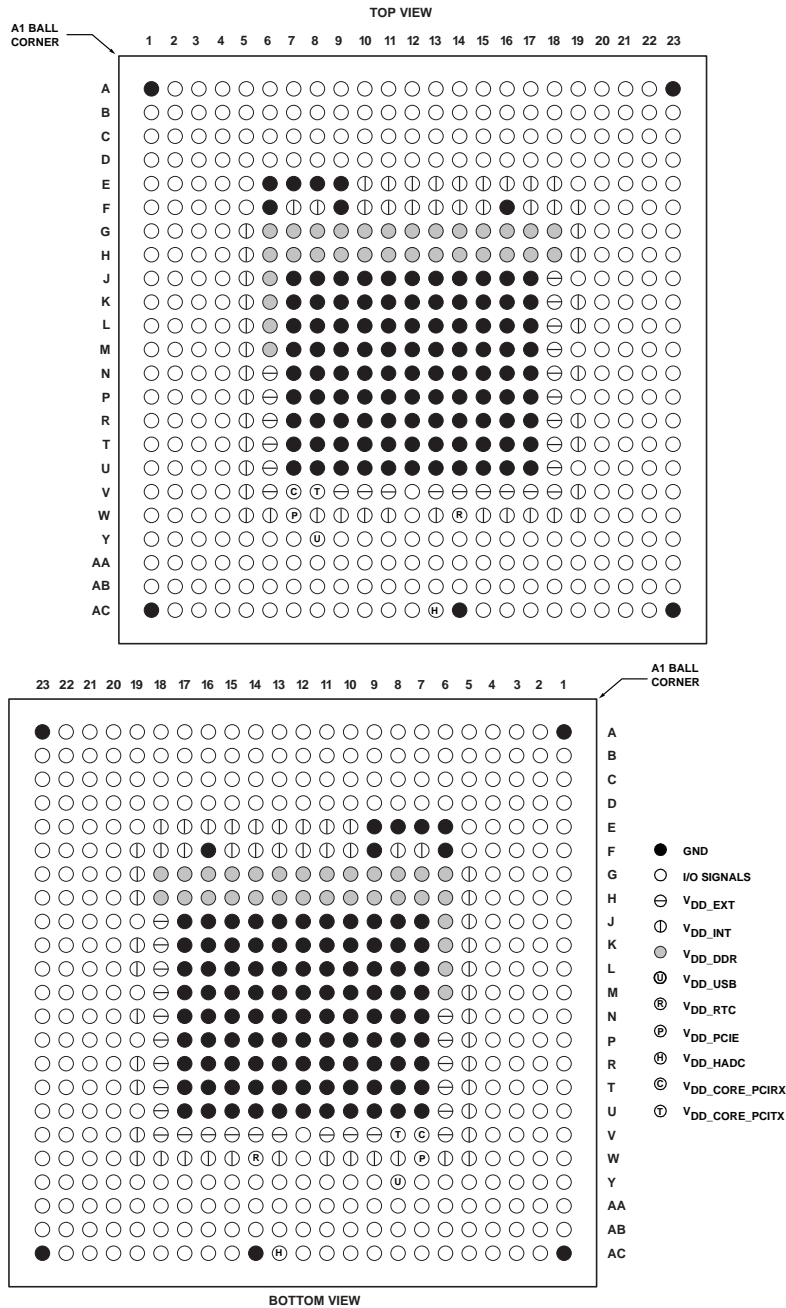


图80. 529引脚CSP_BGA封装引脚配置

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表95. 529引脚CSP_BGA封装引脚分配(按引脚编号顺序)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
A01	GND	F19	VDD_INT	M14	GND	V09	VDD_EXT
A02	$\overline{\text{DMC0_UDQS}}$	F20	PE_06	M15	GND	V10	VDD_EXT
A03	$\overline{\text{DMC0_CK}}$	F21	PD_02	M16	GND	V11	VDD_EXT
A04	DMC0_CK	F22	PD_13	M17	GND	V12	HADC0_VIN4
A05	DMC0_DQ09	F23	PD_12	M18	VDD_EXT	V13	VDD_EXT
A06	$\overline{\text{DMC0_LDQS}}$	G01	DMC0_A13	M19	PE_08	V14	VDD_EXT
A07	DMC0_LDQS	G02	DMC0_A09	M20	PE_11	V15	VDD_EXT
A08	DMC0_DQ05	G03	DMC0_A03	M21	PF_03	V16	VDD_EXT
A09	DMC0_DQ03	G04	DMC0_A11	M22	PF_00	V17	VDD_EXT
A10	DMC0_DQ01	G05	VDD_INT	M23	PF_02	V18	VDD_EXT
A11	DMC1_DQ03	G06	VDD_DMC	N01	JTG_TMS	V19	VDD_INT
A12	DMC1_DQ00	G07	VDD_DMC	N02	$\overline{\text{JTG_TRST}}$	V20	DAI1_PIN16
A13	DMC1_LDQS	G08	VDD_DMC	N03	$\overline{\text{SYS_HWRST}}$	V21	DAI1_PIN06
A14	$\overline{\text{DMC1_LDQS}}$	G09	VDD_DMC	N04	PC_03	V22	DAI1_PIN12
A15	DMC1_VREF	G10	VDD_DMC	N05	VDD_INT	V23	DAI1_PIN09
A16	DMC1_CK	G11	VDD_DMC	N06	VDD_EXT	W01	PB_12
A17	$\overline{\text{DMC1_CK}}$	G12	VDD_DMC	N07	GND	W02	PB_09
A18	DMC1_DQ09	G13	VDD_DMC	N08	GND	W03	DAI0_PIN18
A19	$\overline{\text{DMC1_UDQS}}$	G14	VDD_DMC	N09	GND	W04	DAI0_PIN11
A20	DMC1_UDQS	G15	VDD_DMC	N10	GND	W05	VDD_INT
A21	DMC1_DQ13	G16	VDD_DMC	N11	GND	W06	VDD_INT
A22	DMC1_DQ15	G17	VDD_DMC	N12	GND	W07	VDD_PCIE
A23	GND	G18	VDD_DMC	N13	GND	W08	VDD_INT
B01	DMC0_UDQS	G19	VDD_INT	N14	GND	W09	VDD_INT
B02	DMC0_DQ12	G20	PE_04	N15	GND	W10	VDD_INT
B03	DMC0_DQ11	G21	PE_13	N16	GND	W11	VDD_INT
B04	DMC0_DQ10	G22	PE_01	N17	GND	W12	HADC0_VIN6
B05	DMC0_DQ08	G23	PE_00	N18	VDD_EXT	W13	VDD_INT
B06	DMC0_DQ06	H01	DMC0_A14	N19	VDD_INT	W14	VDD_RTC
B07	DMC0_DQ07	H02	DMC0_A12	N20	PE_15	W15	VDD_INT
B08	DMC0_DQ04	H03	DMC0_A05	N21	PF_04	W16	VDD_INT
B09	DMC0_DQ02	H04	DMC0_A00	N22	PF_05	W17	VDD_INT
B10	DMC0_DQ00	H05	VDD_INT	N23	PF_07	W18	VDD_INT
B11	DMC1_DQ01	H06	VDD_DMC	P01	JTG_TDO	W19	VDD_INT
B12	DMC1_DQ02	H07	VDD_DMC	P02	JTG_TDI	W20	DAI1_PIN20
B13	DMC1_DQ04	H08	VDD_DMC	P03	SYS_FAULT	W21	DAI1_PIN11
B14	DMC1_DQ05	H09	VDD_DMC	P04	JTG_TCK	W22	DAI1_PIN10
B15	DMC1_DQ06	H10	VDD_DMC	P05	VDD_INT	W23	DAI1_PIN13
B16	DMC1_DQ07	H11	VDD_DMC	P06	VDD_EXT	Y01	PB_11
B17	DMC1_DQ08	H12	VDD_DMC	P07	GND	Y02	PB_10
B18	DMC1_DQ10	H13	VDD_DMC	P08	GND	Y03	DAI0_PIN17
B19	DMC1_DQ11	H14	VDD_DMC	P09	GND	Y04	DAI0_PIN08
B20	DMC1_DQ12	H15	VDD_DMC	P10	GND	Y05	DAI0_PIN05
B21	DMC1_DQ14	H16	VDD_DMC	P11	GND	Y06	DAI0_PIN10
B22	PD_00	H17	VDD_DMC	P12	GND	Y07	USB0_ID
B23	PD_04	H18	VDD_DMC	P13	GND	Y08	VDD_USB
C01	DMC0_DQ14	H19	VDD_INT	P14	GND	Y09	USB0_VBC

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表95. 529引脚CSP_BGA封装引脚分配(按引脚编号顺序)(续)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
C02	DMC0_DQ13	H20	SYS_CLKOUT	P15	GND	Y10	TWI0_SCL
C03	DMC0_CS0	H21	PE_12	P16	GND	Y11	TWI2_SDA
C04	DMC0_CKE	H22	PE_05	P17	GND	Y12	HADC0_VIN0
C05	DMC0_LDM	H23	PE_02	P18	VDD_EXT	Y13	HADC0_VIN7
C06	DMC1_RESET	J01	DMC0_A15	P19	PF_10	Y14	GND
C07	DMC1_A03	J02	DMC0_A10	P20	PF_08	Y15	PB_05
C08	DMC1_A00	J03	DMC0_A08	P21	PF_15	Y16	PA_14
C09	DMC1_A01	J04	PC_08	P22	PF_12	Y17	PA_13
C10	DMC1_A04	J05	VDD_INT	P23	PG_00	Y18	PA_12
C11	DMC1_A06	J06	VDD_DMC	R01	SYS_XTAL1	Y19	PA_10
C12	DMC1_BA1	J07	GND	R02	SYS_BMODE1	Y20	PA_00
C13	DMC1_ODT	J08	GND	R03	SYS_BMODE2	Y21	DAI1_PIN14
C14	DMC1_CS0	J09	GND	R04	SYS_BMODE0	Y22	DAI1_PIN17
C15	DMC1_LDM	J10	GND	R05	VDD_INT	Y23	DAI1_PIN15
C16	DMC1_UDM	J11	GND	R06	VDD_EXT	AA01	PB_08
C17	DMC1_A14	J12	GND	R07	GND	AA02	PB_07
C18	DMC1_A12	J13	GND	R08	GND	AA03	DAI0_PIN16
C19	DMC1_A13	J14	GND	R09	GND	AA04	DAI0_PIN07
C20	PC_13	J15	GND	R10	GND	AA05	DAI0_PIN06
C21	PD_01	J16	GND	R11	GND	AA06	DAI0_PIN01
C22	PD_06	J17	GND	R12	GND	AA07	PCIE0_REF
C23	PD_05	J18	VDD_EXT	R13	GND	AA08	USB1_VBUS
D01	DMC0_VREF	J19	PD_03	R14	GND	AA09	USB0_VBUS
D02	DMC0_DQ15	J20	PD_07	R15	GND	AA10	TWI1_SCL
D03	DMC0_BA0	J21	PF_14	R16	GND	AA11	TWI1_SDA
D04	DMC0_BA2	J22	PF_01	R17	GND	AA12	HADC0_VIN1
D05	DMC0_ODT	J23	PE_07	R18	VDD_EXT	AA13	HADC0_VIN5
D06	DMC0_UDM	K01	DMC0_RESET	R19	VDD_INT	AA14	PB_06
D07	DMC1_A05	K02	PC_11	R20	PG_01	AA15	PB_02
D08	DMC1_WE	K03	PC_06	R21	PG_05	AA16	PB_04
D09	DMC1_A07	K04	PC_09	R22	PG_04	AA17	PB_03
D10	DMC1_A02	K05	VDD_INT	R23	PF_13	AA18	PB_00
D11	DMC1_BA0	K06	VDD_DMC	T01	SYS_CLKIN1	AA19	PA_09
D12	DMC1_A08	K07	GND	T02	PB_15	AA20	PA_05
D13	DMC1_CKE	K08	GND	T03	GND	AA21	PA_01
D14	DMC1_BA2	K09	GND	T04	PB_14	AA22	DAI1_PIN19
D15	DMC1_CAS	K10	GND	T05	VDD_INT	AA23	DAI1_PIN18
D16	DMC1_RAS	K11	GND	T06	VDD_EXT	AB01	DAI0_PIN15
D17	DMC1_A09	K12	GND	T07	GND	AB02	DAI0_PIN14
D18	DMC1_A15	K13	GND	T08	GND	AB03	DAI0_PIN09
D19	DMC1_A10	K14	GND	T09	GND	AB04	DAI0_PIN13
D20	DMC1_A11	K15	GND	T10	GND	AB05	DAI0_PIN04
D21	PC_14	K16	GND	T11	GND	AB06	DAI0_PIN02
D22	PD_10	K17	GND	T12	GND	AB07	DAI0_PIN03
D23	PD_09	K18	VDD_EXT	T13	GND	AB08	USB_XTAL
E01	DMC0_A04	K19	VDD_INT	T14	GND	AB09	USB_CLKIN
E02	DMC0_RAS	K20	PD_15	T15	GND	AB10	TWI2_SCL
E03	DMC0_BA1	K21	PF_11	T16	GND	AB11	TWI0_SDA

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表95. 529引脚CSP_BGA封装引脚分配(按引脚编号顺序)(续)

引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称
E04	DMC0_WE	K22	PF_06	T17	GND	AB12	HADC0_VREFN
E05	DMC0_RZQ	K23	PE_10	T18	VDD_EXT	AB13	HADC0_VIN2
E06	GND	L01	PC_04	T19	VDD_INT	AB14	HADC0_VIN3
E07	GND	L02	PC_12	T20	DAI1_PIN03	AB15	RTC0_XTAL
E08	GND	L03	PC_07	T21	PG_03	AB16	MLB0_SIGN
E09	GND	L04	PC_10	T22	PG_02	AB17	MLB0_DATN
E10	VDD_INT	L05	VDD_INT	T23	DAI1_PIN01	AB18	MLB0_CLKN
E11	VDD_INT	L06	VDD_DMC	U01	SYS_XTAL0	AB19	PA_15
E12	VDD_INT	L07	GND	U02	SYS_RESOUT	AB20	PA_11
E13	VDD_INT	L08	GND	U03	PC_00	AB21	PA_06
E14	VDD_INT	L09	GND	U04	DAI0_PIN20	AB22	PA_04
E15	VDD_INT	L10	GND	U05	VDD_INT	AB23	PA_02
E16	VDD_INT	L11	GND	U06	VDD_EXT	AC01	GND
E17	VDD_INT	L12	GND	U07	GND	AC02	PCIE0_RXP
E18	VDD_INT	L13	GND	U08	GND	AC03	PCIE0_RXM
E19	DMC1_RZQ	L14	GND	U09	GND	AC04	PCIE0_CLKM
E20	PC_15	L15	GND	U10	GND	AC05	PCIE0_CLKP
E21	PD_08	L16	GND	U11	GND	AC06	PCIE0_TXP
E22	PD_14	L17	GND	U12	GND	AC07	PCIE0_TXM
E23	PD_11	L18	VDD_EXT	U13	GND	AC08	USB1_DM
F01	DMC0_A01	L19	VDD_INT	U14	GND	AC09	USB1_DP
F02	DMC0_A06	L20	PE_03	U15	GND	AC10	USB0_DP
F03	DMC0_CAS	L21	PF_09	U16	GND	AC11	USB0_DM
F04	DMC0_A02	L22	PE_09	U17	GND	AC12	HADC0_VREFP
F05	DMC0_A07	L23	PE_14	U18	VDD_EXT	AC13	VDD_HADC
F06	GND	M01	PC_01	U19	DAI1_PIN08	AC14	GND
F07	VDD_INT	M02	PC_05	U20	DAI1_PIN07	AC15	RTC0_CLKIN
F08	VDD_INT	M03	PC_02	U21	DAI1_PIN04	AC16	MLB0_SIGP
F09	GND	M04	SYS_FAULT	U22	DAI1_PIN05	AC17	MLB0_DATP
F10	VDD_INT	M05	VDD_INT	U23	DAI1_PIN02	AC18	MLB0_CLKP
F11	VDD_INT	M06	VDD_DMC	V01	SYS_CLKIN0	AC19	PB_01
F12	VDD_INT	M07	GND	V02	PB_13	AC20	PA_07
F13	VDD_INT	M08	GND	V03	DAI0_PIN19	AC21	PA_08
F14	VDD_INT	M09	GND	V04	DAI0_PIN12	AC22	PA_03
F15	VDD_INT	M10	GND	V05	VDD_INT	AC23	GND
F16	GND	M11	GND	V06	VDD_EXT		
F17	VDD_INT	M12	GND	V07	VDD_PCIE_RX		
F18	VDD_INT	M13	GND	V08	VDD_PCIE_TX		

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表96. 529引脚CSP_BGA封装引脚分配(按信号名称顺序)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
DAIO_PIN01	AA06	DMC1_LDQS	A13	HADC0_VREFP	AC12	SYS_XTAL0	U01
DAIO_PIN02	AB06	DMC1_LDQS	A14	JTG_TCK	P04	SYS_XTAL1	R01
DAIO_PIN03	AB07	DMC1_ODT	C13	JTG_TDI	P02	TWI0_SCL	Y10
DAIO_PIN04	AB05	DMC1_RAS	D16	JTG_TDO	P01	TWI0_SDA	AB11
DAIO_PIN05	Y05	DMC1_RESET	C06	JTG_TMS	N01	TWI1_SCL	AA10
DAIO_PIN06	AA05	DMC1_RZQ	E19	JTG_TRST	N02	TWI1_SDA	AA11
DAIO_PIN07	AA04	DMC1_UDM	C16	MLB0_CLKN	AB18	TWI2_SCL	AB10
DAIO_PIN08	Y04	DMC1_UDQS	A20	MLB0_CLKP	AC18	TWI2_SDA	Y11
DAIO_PIN09	AB03	DMC1_UDQS	A19	MLB0_DATN	AB17	USB0_DM	AC11
DAIO_PIN10	Y06	DMC1_VREF	A15	MLB0_DATP	AC17	USB0_DP	AC10
DAIO_PIN11	W04	DMC1_WE	D08	MLB0_SIGN	AB16	USB0_ID	Y07
DAIO_PIN12	V04	GND	P14	MLB0_SIGP	AC16	USB0_VBC	Y09
DAIO_PIN13	AB04	GND	U08	PA_00	Y20	USB0_VBUS	AA09
DAIO_PIN14	AB02	GND	P08	PA_01	AA21	USB1_DM	AC08
DAIO_PIN15	AB01	GND	F06	PA_02	AB23	USB1_DP	AC09
DAIO_PIN16	AA03	GND	T11	PA_03	AC22	USB1_VBUS	AA08
DAIO_PIN17	Y03	GND	R09	PA_04	AB22	USB_CLKIN	AB09
DAIO_PIN18	W03	GND	R12	PA_05	AA20	USB_XTAL	AB08
DAIO_PIN19	V03	GND	M16	PA_06	AB21	VDD_DMC	G07
DAIO_PIN20	U04	GND	T09	PA_07	AC20	VDD_DMC	G14
DAI1_PIN01	T23	GND	K12	PA_08	AC21	VDD_DMC	G13
DAI1_PIN02	U23	GND	U14	PA_09	AA19	VDD_DMC	G16
DAI1_PIN03	T20	GND	U17	PA_10	Y19	VDD_DMC	M06
DAI1_PIN04	U21	GND	K15	PA_11	AB20	VDD_DMC	H17
DAI1_PIN05	U22	GND	P07	PA_12	Y18	VDD_DMC	G06
DAI1_PIN06	V21	GND	T12	PA_13	Y17	VDD_DMC	G17
DAI1_PIN07	U20	GND	F09	PA_14	Y16	VDD_DMC	H11
DAI1_PIN08	U19	GND	R14	PA_15	AB19	VDD_DMC	G11
DAI1_PIN09	V23	GND	L11	PB_00	AA18	VDD_DMC	H12
DAI1_PIN10	W22	GND	R13	PB_01	AC19	VDD_DMC	H06
DAI1_PIN11	W21	GND	M17	PB_02	AA15	VDD_DMC	G18
DAI1_PIN12	V22	GND	A23	PB_03	AA17	VDD_DMC	G12
DAI1_PIN13	W23	GND	M14	PB_04	AA16	VDD_DMC	H07
DAI1_PIN14	Y21	GND	Y14	PB_05	Y15	VDD_DMC	L06
DAI1_PIN15	Y23	GND	L16	PB_06	AA14	VDD_DMC	G10
DAI1_PIN16	V20	GND	K13	PB_07	AA02	VDD_DMC	H14
DAI1_PIN17	Y22	GND	M13	PB_08	AA01	VDD_DMC	H10
DAI1_PIN18	AA23	GND	F16	PB_09	W02	VDD_DMC	G09
DAI1_PIN19	AA22	GND	L17	PB_10	Y02	VDD_DMC	J06
DAI1_PIN20	W20	GND	L12	PB_11	Y01	VDD_DMC	H09
DMC0_A00	H04	GND	U16	PB_12	W01	VDD_DMC	H13
DMC0_A01	F01	GND	P12	PB_13	V02	VDD_DMC	H16
DMC0_A02	F04	GND	J10	PB_14	T04	VDD_DMC	G08
DMC0_A03	G03	GND	K14	PB_15	T02	VDD_DMC	H18
DMC0_A04	E01	GND	L10	PCIE0_CLKM	AC04	VDD_DMC	H08
DMC0_A05	H03	GND	T10	PCIE0_CLKP	AC05	VDD_DMC	H15
DMC0_A06	F02	GND	J13	PCIE0_REF	AA07	VDD_DMC	G15
DMC0_A07	F05	GND	T07	PCIE0_RXM	AC03	VDD_DMC	K06

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

表96. 529引脚CSP_BGA封装引脚分配(按信号名称顺序)(续)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
DMC0_A08	J03	GND	P16	PCIE0_RXP	AC02	VDD_EXT	M18
DMC0_A09	G02	GND	N17	PCIE0_TXM	AC07	VDD_EXT	V09
DMC0_A10	J02	GND	T13	PCIE0_TXP	AC06	VDD_EXT	N18
DMC0_A11	G04	GND	AC01	PC_00	U03	VDD_EXT	V13
DMC0_A12	H02	GND	J17	PC_01	M01	VDD_EXT	V10
DMC0_A13	G01	GND	AC14	PC_02	M03	VDD_EXT	V11
DMC0_A14	H01	GND	U09	PC_03	N04	VDD_EXT	V15
DMC0_A15	J01	GND	P13	PC_04	L01	VDD_EXT	L18
DMC0_BA0	D03	GND	U10	PC_05	M02	VDD_EXT	T18
DMC0_BA1	E03	GND	L09	PC_06	K03	VDD_EXT	U18
DMC0_BA2	D04	GND	J12	PC_07	L03	VDD_EXT	R18
DMC0_CAS	F03	GND	N16	PC_08	J04	VDD_EXT	V14
DMC0_CK	A04	GND	T14	PC_09	K04	VDD_EXT	V18
DMC0_CKE	C04	GND	E07	PC_10	L04	VDD_EXT	N06
DMC0_CK	A03	GND	M15	PC_11	K02	VDD_EXT	J18
DMC0_CS0	C03	GND	M08	PC_12	L02	VDD_EXT	P18
DMC0_DQ00	B10	GND	J16	PC_13	C20	VDD_EXT	V16
DMC0_DQ01	A10	GND	T15	PC_14	D21	VDD_EXT	K18
DMC0_DQ02	B09	GND	P15	PC_15	E20	VDD_EXT	P06
DMC0_DQ03	A09	GND	J14	PD_00	B22	VDD_EXT	R06
DMC0_DQ04	B08	GND	A01	PD_01	C21	VDD_EXT	V17
DMC0_DQ05	A08	GND	N10	PD_02	F21	VDD_EXT	U06
DMC0_DQ06	B06	GND	T08	PD_03	J19	VDD_EXT	V06
DMC0_DQ07	B07	GND	L08	PD_04	B23	VDD_EXT	T06
DMC0_DQ08	B05	GND	L07	PD_05	C23	VDD_HADC	AC13
DMC0_DQ09	A05	GND	E06	PD_06	C22	VDD_INT	P05
DMC0_DQ10	B04	GND	P10	PD_07	J20	VDD_INT	H05
DMC0_DQ11	B03	GND	N14	PD_08	E21	VDD_INT	E12
DMC0_DQ12	B02	GND	K07	PD_09	D23	VDD_INT	W17
DMC0_DQ13	C02	GND	J11	PD_10	D22	VDD_INT	F08
DMC0_DQ14	C01	GND	U11	PD_11	E23	VDD_INT	W10
DMC0_DQ15	D02	GND	N08	PD_12	F23	VDD_INT	N19
DMC0_LDM	C05	GND	M12	PD_13	F22	VDD_INT	L19
DMC0_LDQS	A07	GND	T16	PD_14	E22	VDD_INT	W13
DMC0_LDQS	A06	GND	P09	PD_15	K20	VDD_INT	W09
DMC0_ODT	D05	GND	R07	PE_00	G23	VDD_INT	V05
DMC0_RAS	E02	GND	J08	PE_01	G22	VDD_INT	W08
DMC0_RESET	K01	GND	P17	PE_02	H23	VDD_INT	G19
DMC0_RZQ	E05	GND	L15	PE_03	L20	VDD_INT	J05
DMC0_UDM	D06	GND	E09	PE_04	G20	VDD_INT	R05
DMC0_UDQS	B01	GND	M07	PE_05	H22	VDD_INT	G05
DMC0_UDQS	A02	GND	N09	PE_06	F20	VDD_INT	W15
DMC0_VREF	D01	GND	R10	PE_07	J23	VDD_INT	T05
DMC0_WE	E04	GND	M10	PE_08	M19	VDD_INT	E17
DMC1_A00	C08	GND	P11	PE_09	L22	VDD_INT	M05
DMC1_A01	C09	GND	K08	PE_10	K23	VDD_INT	F14
DMC1_A02	D10	GND	J07	PE_11	M20	VDD_INT	U05
DMC1_A03	C07	GND	U13	PE_12	H21	VDD_INT	H19

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

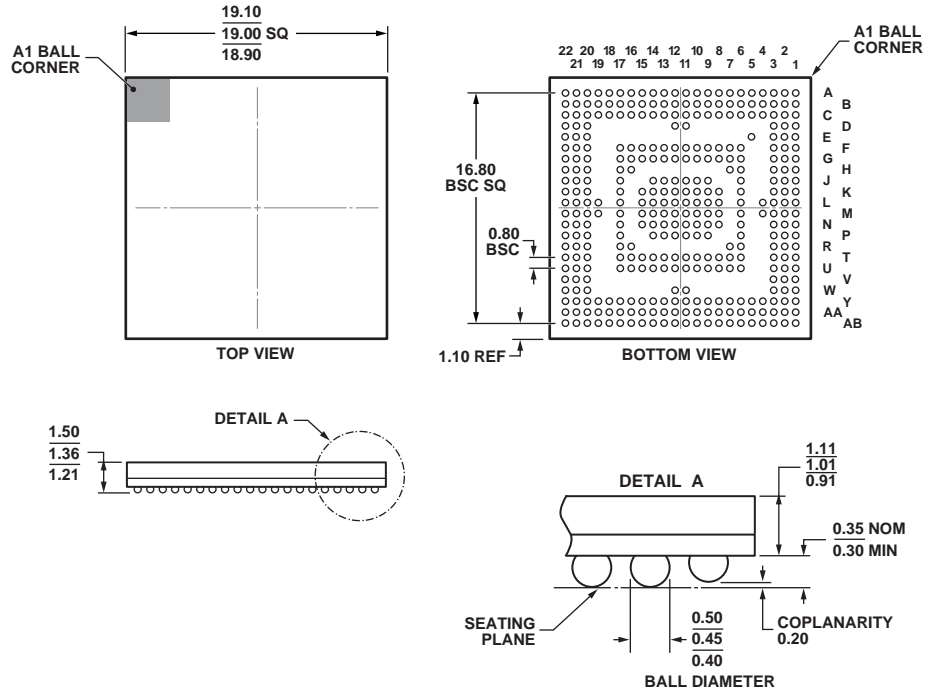
表96. 529引脚CSP_BGA封装引脚分配(按信号名称顺序)(续)

信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号	信号名称	引脚编号
DMC1_A04	C10	GND	U12	PE_13	G21	VDD_INT	E11
DMC1_A05	D07	GND	N11	PE_14	L23	VDD_INT	R19
DMC1_A06	C11	GND	E08	PE_15	N20	VDD_INT	F15
DMC1_A07	D09	GND	L14	PF_00	M22	VDD_INT	W06
DMC1_A08	D12	GND	N07	PF_01	J22	VDD_INT	F19
DMC1_A09	D17	GND	R15	PF_02	M23	VDD_INT	E10
DMC1_A10	D19	GND	N15	PF_03	M21	VDD_INT	N05
DMC1_A11	D20	GND	K11	PF_04	N21	VDD_INT	F10
DMC1_A12	C18	GND	AC23	PF_05	N22	VDD_INT	E14
DMC1_A13	C19	GND	K16	PF_06	K22	VDD_INT	F18
DMC1_A14	C17	GND	R11	PF_07	N23	VDD_INT	L05
DMC1_A15	D18	GND	R17	PF_08	P20	VDD_INT	E16
DMC1_BA0	D11	GND	N13	PF_09	L21	VDD_INT	T19
DMC1_BA1	C12	GND	K09	PF_10	P19	VDD_INT	F13
DMC1_BA2	D14	GND	R16	PF_11	K21	VDD_INT	K19
DMC1_CAS	D15	GND	U07	PF_12	P22	VDD_INT	E13
DMC1_CK	A16	GND	R08	PF_13	R23	VDD_INT	F11
DMC1_CKE	D13	GND	L13	PF_14	J21	VDD_INT	K05
DMC1_CK	A17	GND	J15	PF_15	P21	VDD_INT	F17
DMC1_CS0	C14	GND	T03	PG_00	P23	VDD_INT	W18
DMC1_DQ00	A12	GND	K17	PG_01	R20	VDD_INT	W19
DMC1_DQ01	B11	GND	M09	PG_02	T22	VDD_INT	W05
DMC1_DQ02	B12	GND	U15	PG_03	T21	VDD_INT	W11
DMC1_DQ03	A11	GND	M11	PG_04	R22	VDD_INT	W16
DMC1_DQ04	B13	GND	K10	PG_05	R21	VDD_INT	V19
DMC1_DQ05	B14	GND	J09	RTC0_CLKIN	AC15	VDD_INT	E18
DMC1_DQ06	B15	GND	N12	RTC0_XTAL	AB15	VDD_INT	E15
DMC1_DQ07	B16	GND	T17	SYS_BMODE0	R04	VDD_INT	F07
DMC1_DQ08	B17	HADC0_VIN0	Y12	SYS_BMODE1	R02	VDD_INT	F12
DMC1_DQ09	A18	HADC0_VIN1	AA12	SYS_BMODE2	R03	VDD_PCIE	W07
DMC1_DQ10	B18	HADC0_VIN2	AB13	SYS_CLKIN0	V01	VDD_PCIE_RX	V07
DMC1_DQ11	B19	HADC0_VIN3	AB14	SYS_CLKIN1	T01	VDD_PCIE_TX	V08
DMC1_DQ12	B20	HADC0_VIN4	V12	SYS_CLKOUT	H20	VDD_RTC	W14
DMC1_DQ13	A21	HADC0_VIN5	AA13	SYS_FAULT	P03	VDD_USB	Y08
DMC1_DQ14	B21	HADC0_VIN6	W12	SYS_FAULT	M04		
DMC1_DQ15	A22	HADC0_VIN7	Y13	SYS_HWRST	N03		
DMC1_LDM	C15	HADC0_VREFN	AB12	SYS_RESOUT	U02		

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

外形尺寸

图81所示19 mm × 19 mm 349引脚CSP_BGA封装的尺寸单位为毫米。

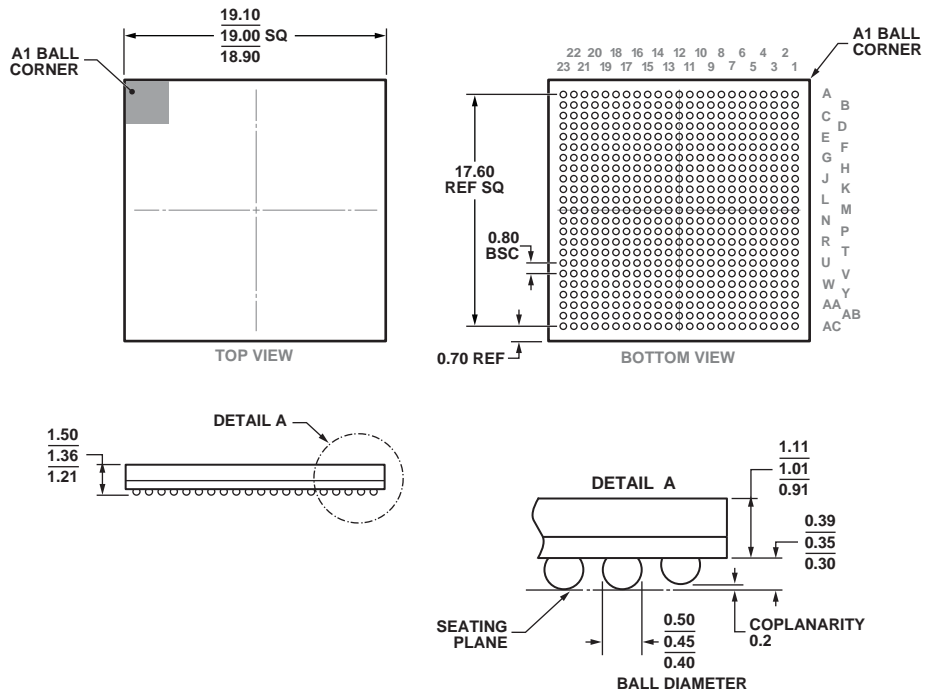


COMPLIANT TO JEDEC STANDARDS MO-275-PPAB-2.

图81. 349引脚CSP_BGA封装
(BC-349-1)
尺寸单位: mm

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

图82所示19 mm × 19 mm 529引脚CSP_BGA封装的尺寸单位为毫米。



COMPLIANT TO JEDEC STANDARDS MO-275-RRAB-2.

图82. 529引脚CSP_BGA封装
(BC-529-1)
尺寸单位: mm

表贴设计

表97旨在帮助用户进行PCB设计。关于工业标准设计建议，请参阅IPC-7351：“表贴设计和焊盘图形标准的通用要求”。

表97. 用于表贴设计的CSP_BGA数据

封装	封装引脚安装类型	封装阻焊层开口	封装引脚焊盘尺寸
BC-349-1	由阻焊层决定	直径0.4 mm	直径0.5 mm
BC-529-1	由阻焊层决定	直径0.4 mm	直径0.5 mm

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

预发布产品

型号 ¹	最高内核时钟频率	温度范围 ^{2,3}	封装描述	封装选项
ADSP-SC584-ENG	450 MHz	不适用	349引脚 CSP_BGA	BC-349-1
ADSP-SC589-ENG	450 MHz	不适用	529引脚 CSP_BGA	BC-529-1

¹ Z = 符合RoHS标准的器件。

² 参考温度为环境温度。环境温度不是一项性能指标。结温(T_j)是唯一的温度指标，请参见第78页的工作条件。

³ 这些器件已试生产。详情参见ENG级协议。

ADSP-SC582/583/584/587/589/ADSP-21583/584/587

©2015 Analog Devices, Inc. All rights reserved. Trademarks and registered trademarks are the property of their respective owners.
PR13317sc-0-6/15(PrC)



www.analog.com