

产品特性

低噪声: 18 $\mu\text{V rms}$

电源抑制比(PSRR): 66 dB(10 kHz, $V_{\text{OUT}} = -3\text{ V}$)

正负使能逻辑

利用2.2 μF 小型陶瓷输出电容实现稳定工作

输入电压范围: -2.7 V至-28 V

最大输出电流: -200 mA

低压差: -185 mV(-200 mA负载)

初始精度: $\pm 1\%$

在整个线路、负载与温度范围内的精度:

+2%最大值/-3%最小值

低静态电流, $I_{\text{GND}} = -650\ \mu\text{A}$ (-200 mA负载)

低关断电流: -2 μA

可调输出电压范围: -1.22 V至 $-V_{\text{IN}} + V_{\text{DO}}$

限流和热过载保护

8引脚LFCSP和5引脚TSOT

应用

适应噪声敏感应用

模数转换器(ADC)和数模转换器(DAC)电路, 精密放大器

通信和基础设施

医疗和保健

工业和仪器仪表

概述

ADP7182是一款CMOS、低压差(LDO)线性稳压器, 采用-2.7 V至-28 V电源供电, 最大输出电流为-200 mA。这款高输入电压LDO适用于调节-27 V至-1.22 V供电的高性能模拟和混合信号电路。该器件采用先进的专有架构, 提供高电源抑制、低噪声特性, 仅需一个2.2 μF 小型陶瓷输出电容, 便可实现出色的输入电压与负载瞬态响应性能。

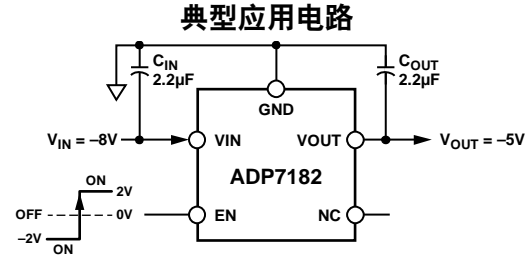


图1. 提供 $V_{\text{OUT}} = -5\text{ V}$ 固定输出电压的ADP7182

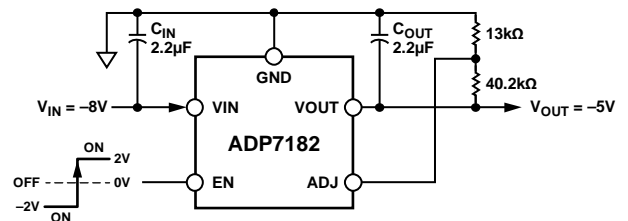


图2. 提供 $V_{\text{OUT}} = -5\text{ V}$ 可调输出电压的ADP7182

ADP7182提供固定输出电压选项和可调输出型号, 可通过外置反馈分压器将输出电压调节至-1.22 V至 $-V_{\text{IN}} + V_{\text{DO}}$ 。

ADP7182稳压器输出噪声电压为18 $\mu\text{V rms}$, 并不受输出电压影响。使能逻辑能够与正负逻辑电平接口, 以实现最大灵活性。

ADP7182采用5引脚TSOT和8引脚LFCSP封装, 以实现薄型、小尺寸应用。

Rev. B

[Document Feedback](#)

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	工作原理.....	20
应用.....	1	使能引脚工作原理.....	20
典型应用电路.....	1	可调工作模式.....	20
概述.....	1	应用信息.....	21
修订历史.....	2	ADIsimPower设计工具.....	21
技术规格.....	3	电容选择.....	21
推荐规格：输入和输出电容.....	4	使能引脚工作原理.....	22
绝对最大额定值.....	5	软启动.....	22
热数据.....	5	ADP7182可调型号的降噪特性.....	23
热阻.....	5	限流与热过载保护.....	23
ESD警告.....	5	散热考量.....	24
引脚配置和功能描述.....	6	PCB布局考量.....	26
典型性能参数.....	8	外形尺寸.....	27
		订购指南.....	28

修订历史

2013年6月—修订版A至修订版B

更改概述.....	1
更新外形尺寸.....	27
更改订购指南.....	28

2013年5月—修订版0至修订版A

启动时间 $V_{OUT} = -5\text{ V}$ 从 $450\ \mu\text{s}$ 更改为 $550\ \mu\text{s}$	3
更改图9和图12.....	8
更改图13.....	9
更改图19和图22.....	10
更改图28.....	11
更改图31和图34.....	12
更改图37和图40.....	13
更改图43.....	14
增加“ADIsimPower设计工具”部分.....	21

2013年4月—修订版0：初始版

技术规格

除非另有说明, $V_{IN} = (V_{OUT} - 0.5 V)$ 或 $-2.7 V$ (取较大者), $EN = V_{IN}$, $I_{OUT} = -10 mA$, $C_{IN} = C_{OUT} = 2.2 \mu F$, 最小值/最大值规格为 $T_J = -40^\circ C$ 至 $+125^\circ C$, $T_A = 25^\circ C$ 。

表1.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压范围	V_{IN}		-2.7		-28	V
工作电源电流	I_{GND}	$I_{OUT} = 0 \mu A$ $I_{OUT} = -10 mA$ $I_{OUT} = -200 mA$		-33 -100 -650	-53 -150 -850	μA μA μA
关断电流	I_{GND-SD}	$EN = GND$ $EN = GND, V_{IN} = -2.7 V$ 至 $-28 V$		-2	-8	μA μA
输出电压精度						
固定输出电压精度	V_{OUT}	$I_{OUT} = -10 mA, T_A = 25^\circ C$ $-1 mA < I_{OUT} < -200 mA, V_{IN} = (V_{OUT} - 0.5 V)$ 至 $-28 V$	-1 -3		+1 +2	% %
可调输出电压精度	V_{ADJ}	$I_{OUT} = -10 mA$ $-1 mA < I_{OUT} < -200 mA, V_{IN} = (V_{OUT} - 0.5 V)$ 至 $-28 V$	-1.208 -1.184	-1.22	-1.232 -1.244	V V
线性调整率	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = (V_{OUT} - 0.5 V)$ 至 $-28 V$	-0.01		+0.01	%/V
负载调整率 ¹	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = -1 mA$ 至 $-200 mA$		0.001	0.006	%/mA
ADJ输入偏置电流	ADJ_{I-BIAS}	$-1 mA < I_{OUT} < -200 mA, V_{IN} = (V_{OUT} - 0.5 V)$ 至 $-28 V$		10		nA
压差 ²	V_{DO}	$I_{OUT} = -10 mA$ $I_{OUT} = -50 mA$ $I_{OUT} = -200 mA$		-25 -46 -185	-70 -90 -360	mV mV mV
启动时间 ³	$t_{START-UP}$	$V_{OUT} = -5 V$ $V_{OUT} = -2.8 V$		550 375		μs μs
限流阈值 ⁴	I_{LIMIT}		-230	-350	-500	mA
热关断						
热关断阈值	TS_{SD}	T_J 上升		150		$^\circ C$
热关断迟滞	TS_{SD-HYS}			15		$^\circ C$
EN阈值						
正上升	$V_{EN-POS-RISE}$	$V_{OUT} =$ 关断至导通(正)			1.2	V
负上升	$V_{EN-NEG-RISE}$	$V_{OUT} =$ 关断至导通(负)	-2.0			V
正下降	$V_{EN-POS-FALL}$	$V_{OUT} =$ 导通至关断(正)	0.3			V
负下降	$V_{EN-NEG-FALL}$	$V_{OUT} =$ 导通至关断(负)			-0.55	V
输入电压闭锁						
启动阈值	V_{START}		-2.695	-2.49		V
关断阈值	$V_{SHUTDOWN}$			-2.34	-2.1	V
迟滞				150		mV
输出噪声	OUT_{NOISE}	10 Hz至100 kHz, $V_{OUT} = -1.5 V$, $V_{OUT} = -3 V$, 且 $V_{OUT} = -5 V$ 10 Hz至100 kHz, $V_{OUT} = -5 V$, 可调模式, $C_{NR} =$ 开路, $R_{NR} =$ 开路, $R_{FB1} = 147 k\Omega$, $R_{FB2} = 13 k\Omega$ 10 Hz至100 kHz, $V_{OUT} = -5 V$, 可调模式, $C_{NR} = 100 nF$, $R_{NR} = 13 k\Omega$, $R_{FB1} = 147 k\Omega$, $R_{FB2} = 13 k\Omega$		18 150 33		μV_{rms} μV_{rms} μV_{rms}

ADP7182

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
电源抑制比	电源抑制比 (PSRR)	1 MHz, $V_{IN} = -4.3\text{ V}$, $V_{OUT} = -3\text{ V}$		45		dB
		1 MHz, $V_{IN} = -6\text{ V}$, $V_{OUT} = -5\text{ V}$		32		dB
		100 kHz, $V_{IN} = -4.3\text{ V}$, $V_{OUT} = -3\text{ V}$		45		dB
		100 kHz, $V_{IN} = -6\text{ V}$, $V_{OUT} = -5\text{ V}$		45		dB
		10 kHz, $V_{IN} = -4.3\text{ V}$, $V_{OUT} = -3\text{ V}$		66		dB
		10 kHz, $V_{IN} = -6\text{ V}$, $V_{OUT} = -5\text{ V}$		66		dB
		1 MHz, $V_{IN} = -16\text{ V}$, $V_{OUT} = -15\text{ V}$, 可调模式, $C_{NR} = 100\text{ nF}$, $R_{NR} = 13\text{ k}\Omega$, $R_{FB1} = 13\text{ k}\Omega$, $R_{FB2} = 147\text{ k}\Omega$		45		dB
		100 kHz, $V_{IN} = -16\text{ V}$, $V_{OUT} = -15\text{ V}$, 可调模式, $C_{NR} = 100\text{ nF}$, $R_{NR} = 13\text{ k}\Omega$, $R_{FB1} = 13\text{ k}\Omega$, $R_{FB2} = 147\text{ k}\Omega$		45		dB
		10 kHz, $V_{IN} = -16\text{ V}$, $V_{OUT} = -15\text{ V}$, 可调模式, $C_{NR} = 100\text{ nF}$, $R_{NR} = 13\text{ k}\Omega$, $R_{FB1} = 13\text{ k}\Omega$, $R_{FB2} = 147\text{ k}\Omega$		66		dB

1 基于使用-1 mA和-200 mA负载的端点计算。1 mA以下负载的典型负载调整性能见图8。

2 压差定义为将输入电压设置为标称输出电压时的输入至输出电压差。仅适用于低于-3 V的输出电压。

3 启动时间定义为EN的上升沿到VOUT达到其标称值90%的时间。

4 限流阈值定义为输出电压降至额定典型值90%时的电流。例如，-5 V输出电压的电流限值定义为引起输出电压降至-5 V的90%或-4.5 V的电流。

推荐规格：输入和输出电容

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入和输出电容						
最小电容 ¹	C_{MIN}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	1.5	2.2		μF
电容等效串联电阻(ESR)	R_{ESR}	$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	0.001		0.2	Ω

1 在所有工作条件下，输入和输出电容必须大于1.5 μF 。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。配合任何LDO使用时，建议使用X7R型和X5R型电容，不建议使用Y5V和Z5U电容。

绝对最大额定值

表3.

参数	额定值
VIN至GND	+0.3 V至-30 V
VOUT至GND	0.3 V至VIN
EN至GND	5 V至VIN
EN至VIN	+30 V至-0.3 V
ADJ至GND	+0.3 V至VOUT
存储温度范围	-65°C至+150°C
工作结温范围	-40°C至+125°C
工作环境温度范围	-40°C至+85°C
焊接条件	JEDEC J-STD-020

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。注意，超出上述绝对最大额定值可能会导致器件永久性损坏。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。超过结温限值可致ADP7182损坏。监控环境温度并不能保证结温(T_J)处于额定温度限值内。在功耗高、热阻差的应用中，可能必须降低最大环境温度。

在功耗中等且印刷电路板(PCB)热阻较低的应用中，只要结温在额定限值以内，则最高环境温度可以超过最大值。器件的 T_J 取决于环境温度(T_A)、器件的功耗(P_D)和封装的结至环境热阻(θ_{JA})。

最大 T_J 由 T_A 和 P_D 计算得出，公式如下：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻(θ_{JA})基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。 θ_{JA} 的值可能随PCB材料、布

局和环境条件不同而异。 θ_{JA} 的额定值基于4" × 3"的4层电路板。有关板结构的详细信息，请参考JESD51-7和JESD51-9。更多信息请参阅应用笔记AN-617：“MicroCSP™ 晶圆级芯片规模封装”。

Ψ_{JB} 是结至板热特性参数，单位为°C/W。封装的 Ψ_{JB} 基于使用4层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明，热特性参数与热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率，而 θ_{JB} 只涉及一条路径。因此， Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射，这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温由板温度(T_B)和功耗通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的更详细信息，请参考JESD51-8和JESD51-12。

热阻

θ_{JA} 、 θ_{JC} 和 Ψ_{JB} 针对最差条件，即器件焊接在电路板上以实现表贴封装。

表4. 热阻

封装类型	θ_{JA}	θ_{JC}	Ψ_{JB}	单位
8引脚 LFCSP	50.2	31.7	18.2	°C/W
5引脚 TSOT封装	170	不适用	43	°C/W

ESD警告

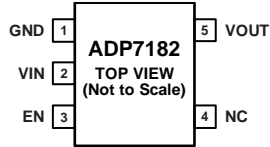


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADP7182

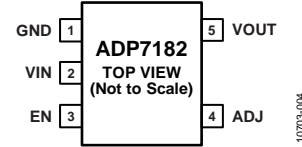
引脚配置和功能描述



NOTES
1. NC = NO CONNECT. DO NOT
CONNECT TO THIS PIN.

10703-003

图3. 5引脚TSOT引脚配置，固定输出电压

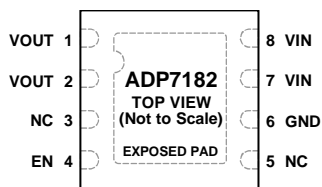


10703-004

图4. 5引脚TSOT引脚配置，可调输出电压

图5. 5引脚TSOT引脚功能描述

TSOT引脚编号		引脚名称	说明
固定输出电压	可调输出电压		
1	1	GND	地。
2	2	VIN	稳压器输入电源。使用2.2 μF或更大的电容旁路VIN至GND。
3	3	EN	将EN驱动至地电平2 V以上或以下，可启用稳压器； 或者将EN驱动至低电平，可关闭稳压器。 若要实现自动启动，请将EN接VIN。
4	不适用	NC	不连接。请勿连接该引脚。
不适用	4	ADJ	可调输入。外部电阻分压器设置输出电压。
5	5	VOUT	调节输出电压。使用2.2 μF或更大的电容旁路VOUT至GND。

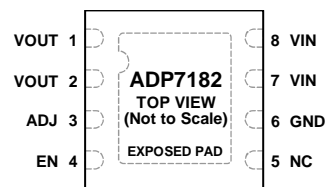


NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP PACKAGE ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO VIN INSIDE THE PACKAGE. THE EXPOSED PAD MUST BE CONNECTED TO THE VIN PLANE ON THE BOARD FOR PROPER OPERATION. BECAUSE THIS IS A NEGATIVE VOLTAGE REGULATOR, VIN IS THE MOST NEGATIVE POTENTIAL IN THE CIRCUIT.

10703-005

图5. 8引脚LFCSP引脚配置，固定输出电压



NOTES

1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED PAD ON THE BOTTOM OF THE LFCSP PACKAGE ENHANCES THERMAL PERFORMANCE AND IS ELECTRICALLY CONNECTED TO VIN INSIDE THE PACKAGE. THE EXPOSED PAD MUST BE CONNECTED TO THE VIN PLANE ON THE BOARD FOR PROPER OPERATION. BECAUSE THIS IS A NEGATIVE VOLTAGE REGULATOR, VIN IS THE MOST NEGATIVE POTENTIAL IN THE CIRCUIT.

10703-005

图6. 8引脚LFCSP引脚配置，可调输出电压

表6. 8引脚LFCSP引脚功能描述

LFCSP引脚编号		引脚名称	说明
固定输出电压	可调输出电压		
1, 2	1, 2	VOUT	调节输出电压。使用2.2 μF或更大的电容旁路VOUT至GND。
不适用	3	可调	可调输入。外部电阻分压器设置输出电压。
3	不适用	NC	不连接。请勿连接该引脚。
4	4	EN	将EN驱动至地电平2 V以上或以下，可使能稳压器；或者将EN驱动至低电平，可关闭稳压器。若要实现自动启动，请将EN接VIN。
5	5	NC	不连接。请勿连接该引脚。
6	6	GND	地。
7, 8	7, 8	VIN	稳压器输入电源。使用2.2 μF或更大的电容旁路VIN至GND。
9	9	EPAD	裸露焊盘。LFCSP封装底部的裸露焊盘可增强散热性能，它与封装内部的VIN形成电气连接。为使器件正常工作，裸露焊盘必须连接到电路板上的VIN层。由于它是一个负电压稳压器，VIN是电路中负值最大的电位。

典型性能参数

除非另有说明, $V_{IN} = -3.5\text{ V}$, $V_{OUT} = -3\text{ V}$, $I_{OUT} = -10\text{ mA}$, $C_{IN} = C_{OUT} = 2.2\text{ }\mu\text{F}$, $T_A = 25^\circ\text{C}$ 。

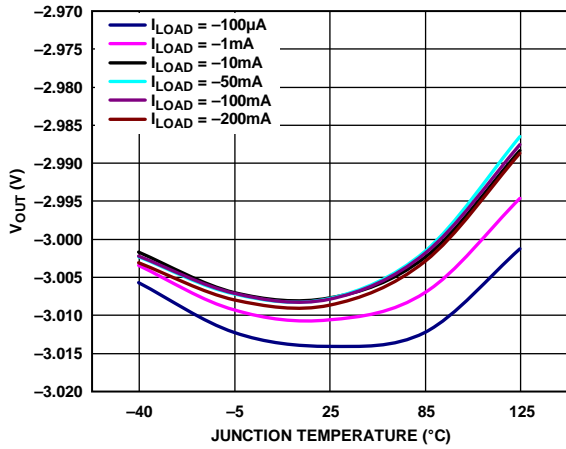


图7. 输出电压(V_{OUT})与结温(T_J)的关系

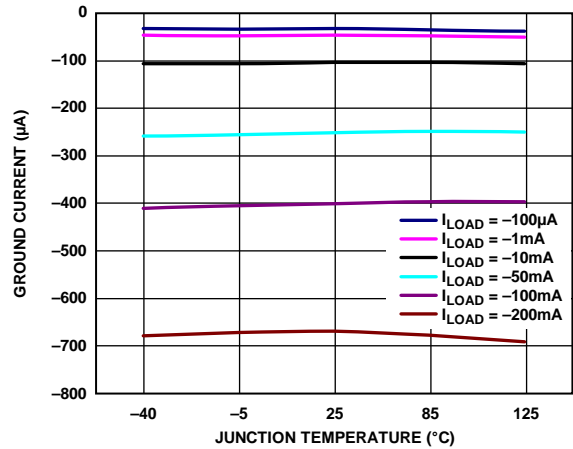


图10. 地电流与结温(T_J)的关系

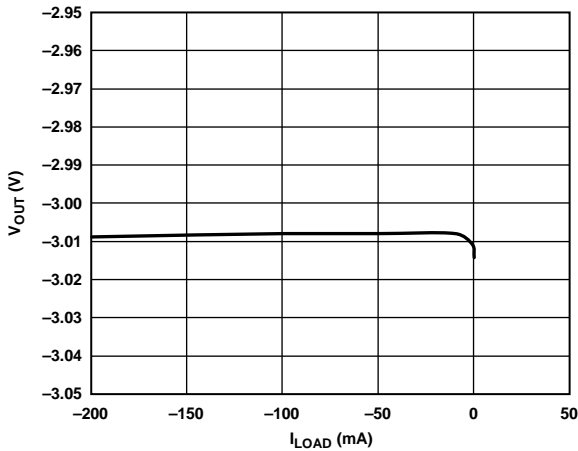


图8. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系

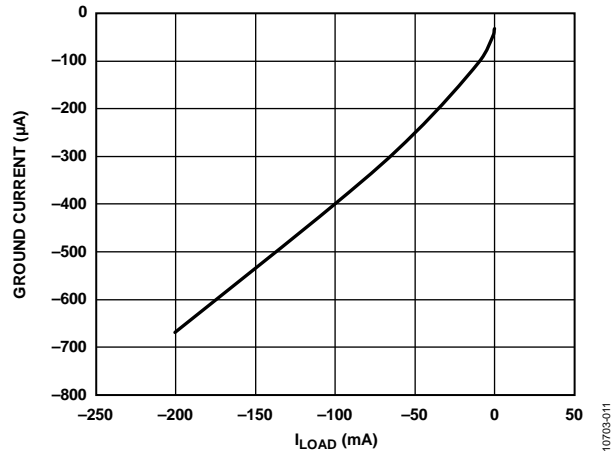


图11. 地电流与负载电流(I_{LOAD})的关系

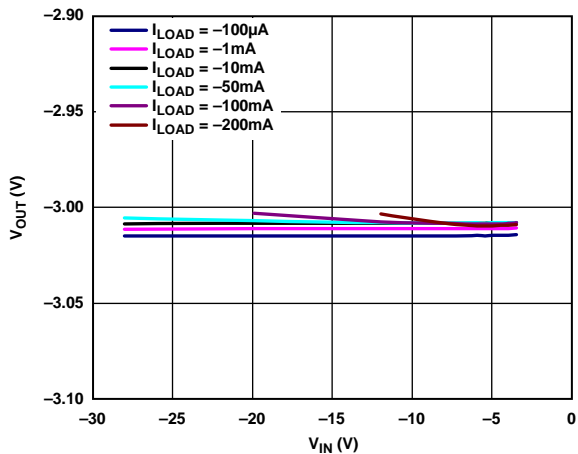


图9. 输出电压(V_{OUT})与输入电压(V_{IN})的关系

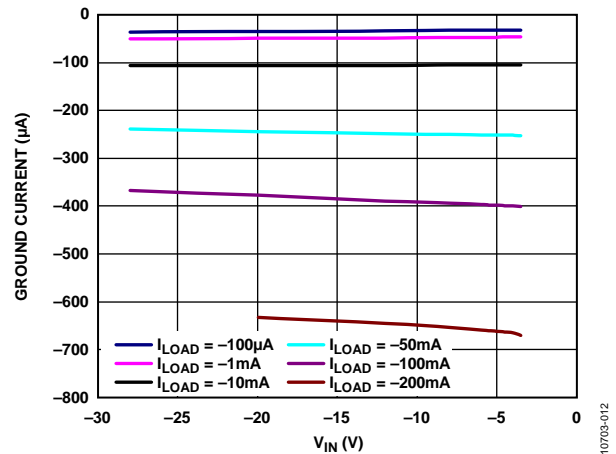


图12. 地电流与输入电压(V_{IN})的关系

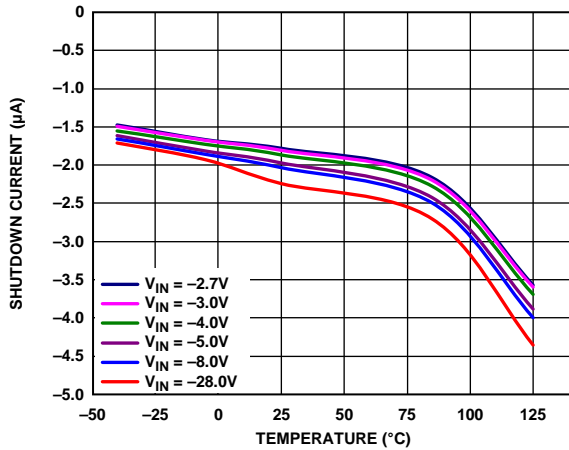


图13. 不同输入电压下关断电流与温度的关系

10703-013

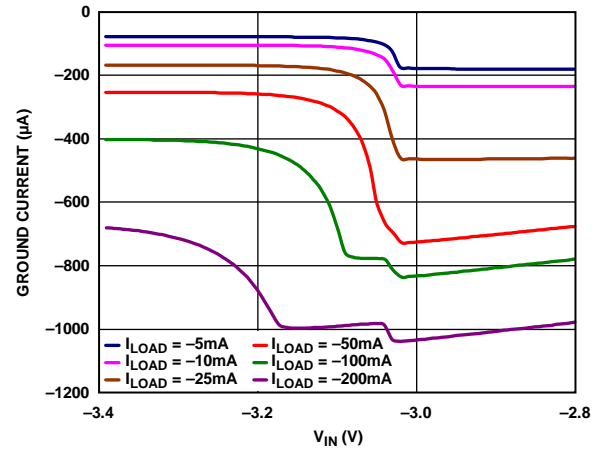


图16. 低压差下接地电流与输入电压(V_{IN})的关系

10703-016

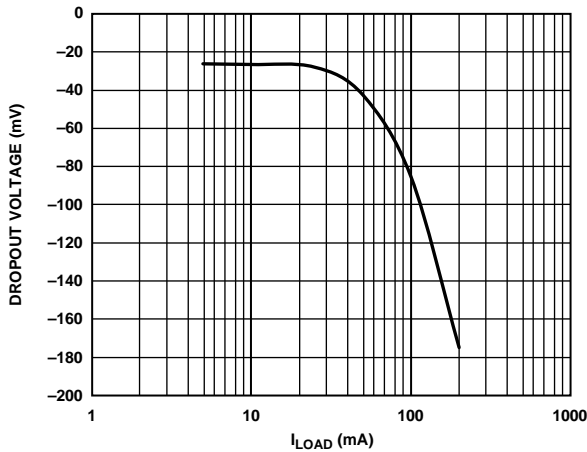


图14. 电压差与负载电流(I_{LOAD})的关系

10703-014

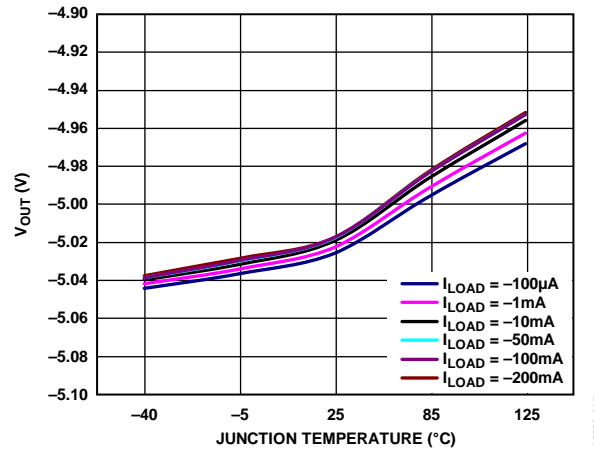


图17. 输出电压(V_{OUT})与结温(T_j)的关系, V_{OUT} = -5 V

10703-017

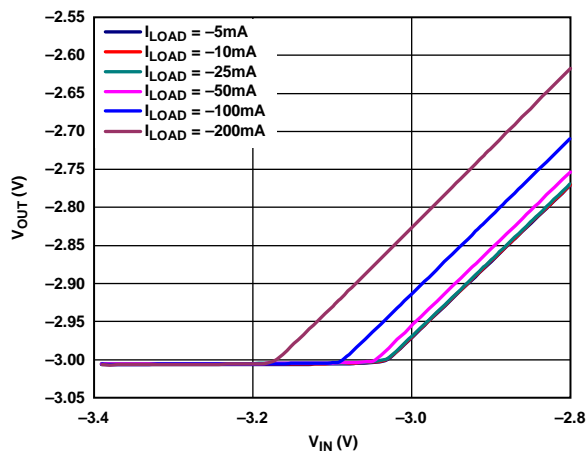


图15. 低压差下输出电压(V_{OUT})与输入电压(V_{IN})的关系

10703-015

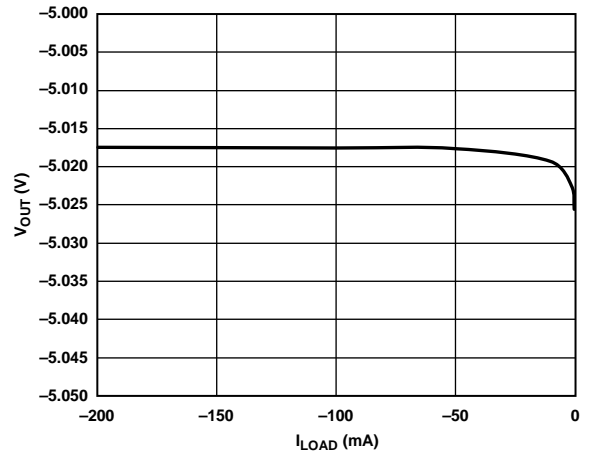


图18. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系, V_{OUT} = -5 V

10703-018

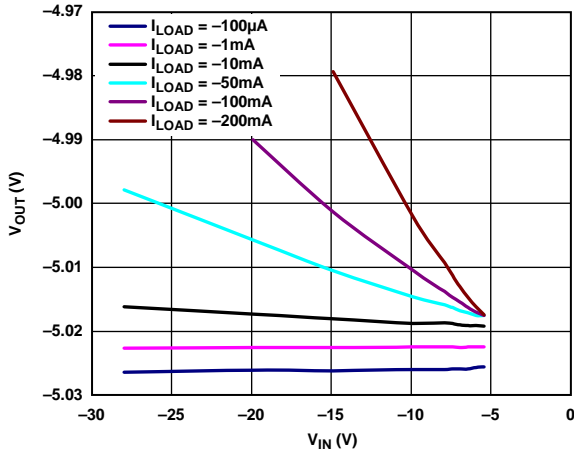


图19. 输出电压与输入电压(V_{IN})的关系, $V_{OUT} = -5 V$

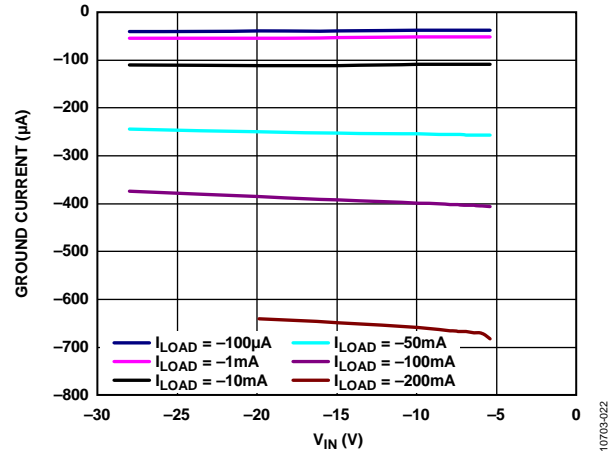


图22. 接地电流与输入电压(V_{IN})的关系, $V_{OUT} = -5 V$

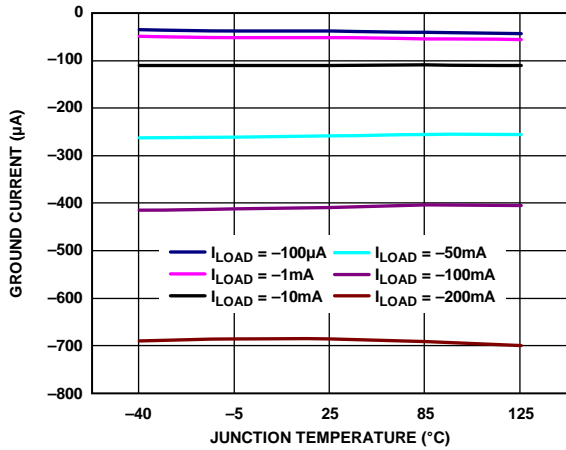


图20. 接地电流与结温(T_J)的关系, $V_{OUT} = -5 V$

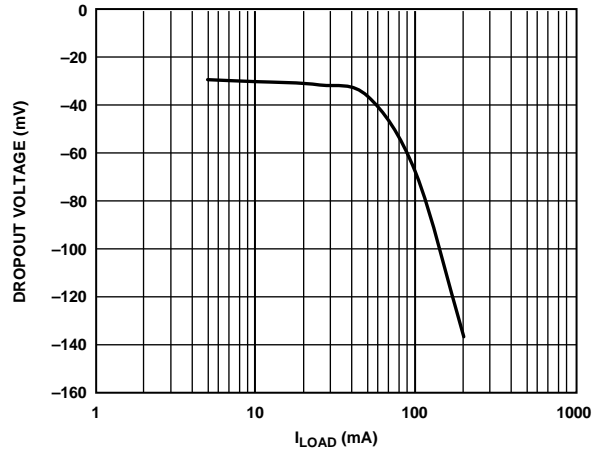


图23. 压差与负载电流(I_{LOAD})的关系, $V_{OUT} = -5 V$

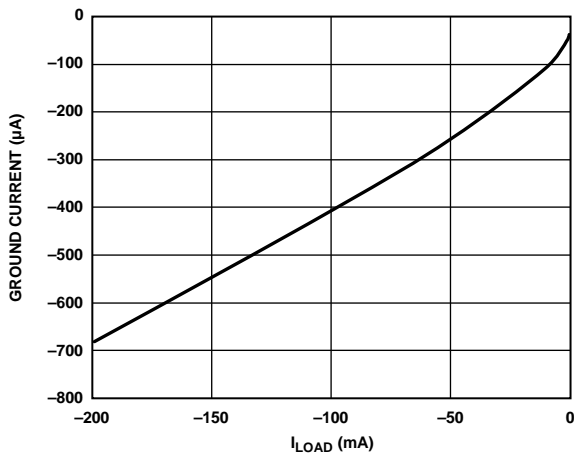


图21. 接地电流与负载电流(I_{LOAD})的关系, $V_{OUT} = -5 V$

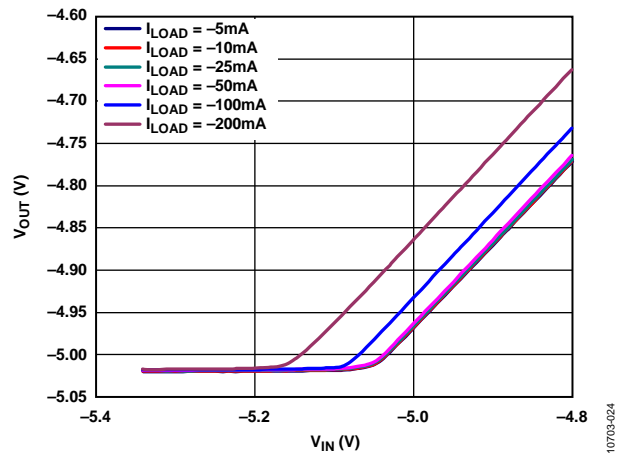


图24. 低压差下输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = -5 V$

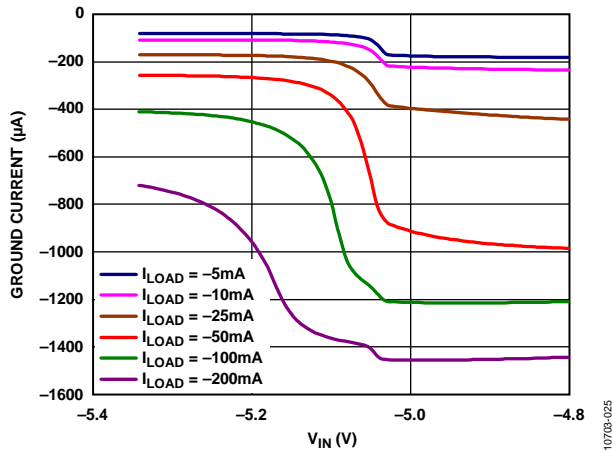


图25. 低压差下接地电流与输入电压(V_{IN})的关系, $V_{OUT} = -5V$

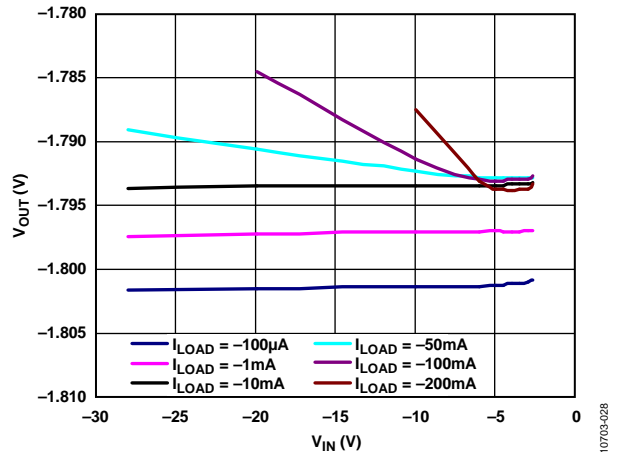


图28. 输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = -1.8V$

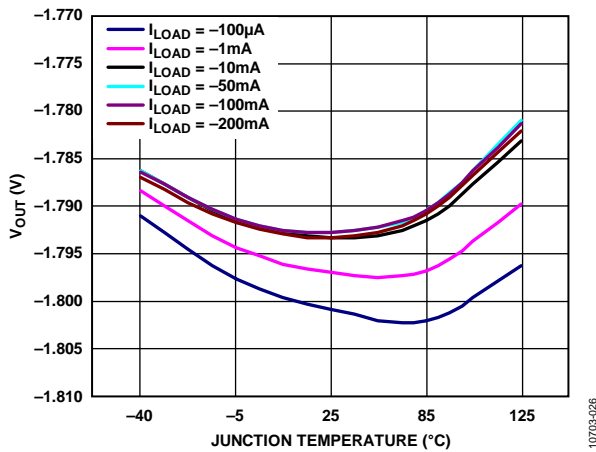


图26. 输出电压(V_{OUT})与结温(T_J)的关系, $V_{OUT} = -1.8V$

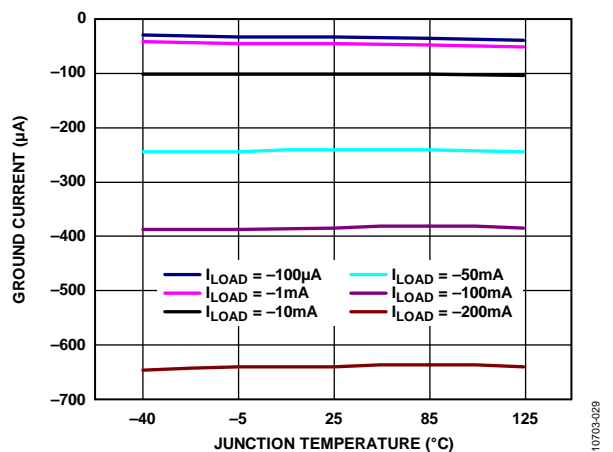


图29. 接地电流与结温(T_J)的关系, $V_{OUT} = -1.8V$

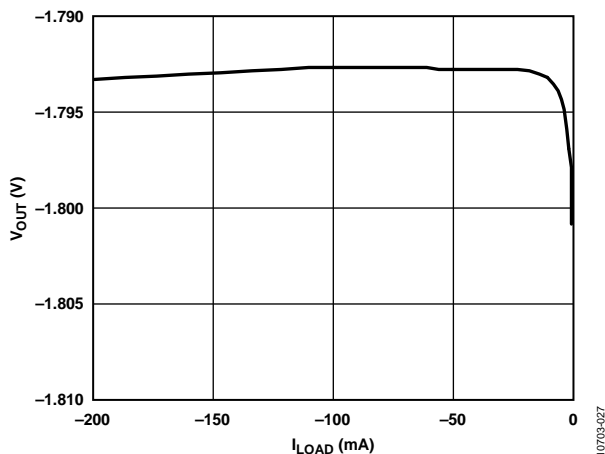


图27. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系, $V_{OUT} = -1.8V$

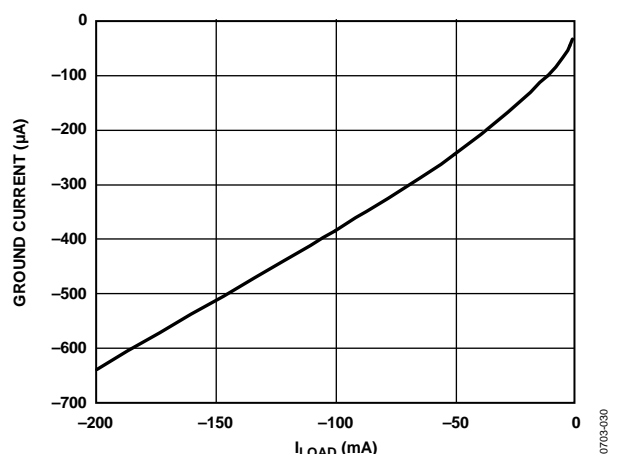


图30. 接地电流与负载电流(I_{LOAD})的关系, $V_{OUT} = -1.8V$

ADP7182

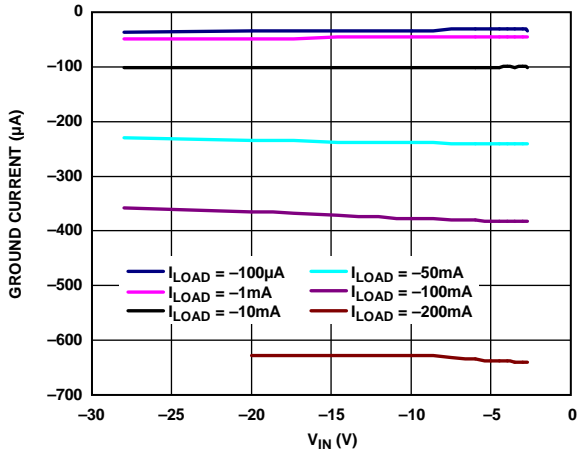


图31. 接地电流与输入电压(V_{IN})的关系, $V_{OUT} = -1.8 V$

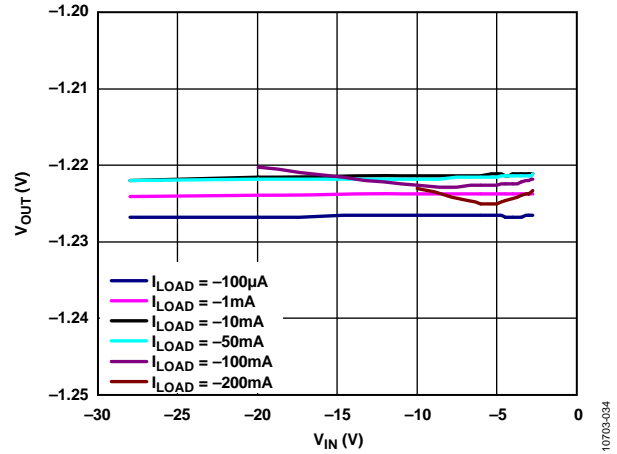


图34. 输出电压(V_{OUT})与输入电压(V_{IN})的关系, $V_{OUT} = -1.22 V$

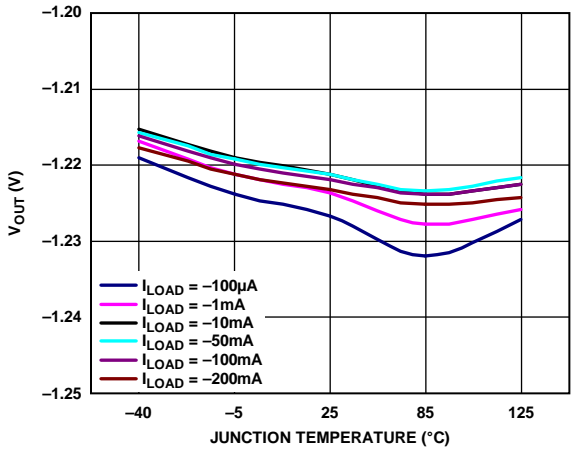


图32. 输出电压(V_{OUT})与结温(T_J)的关系, $V_{OUT} = -1.22 V$

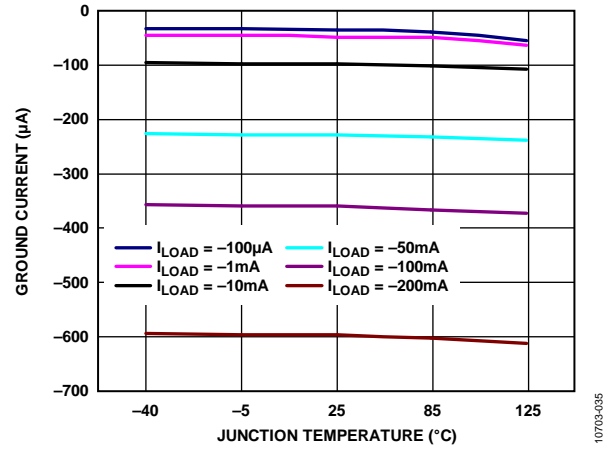


图35. 接地电流与结温(T_J)的关系, $V_{OUT} = -1.22 V$

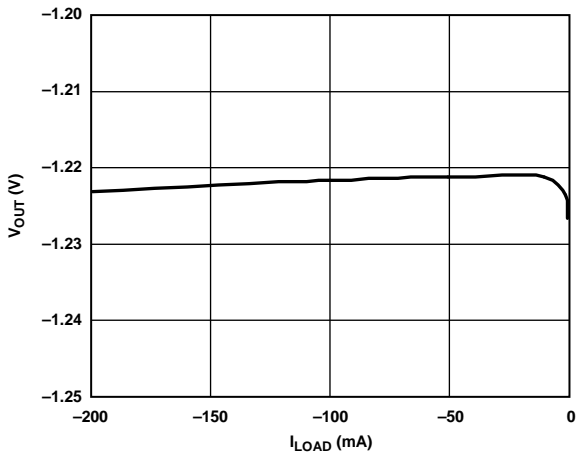


图33. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系, $V_{OUT} = -1.22 V$

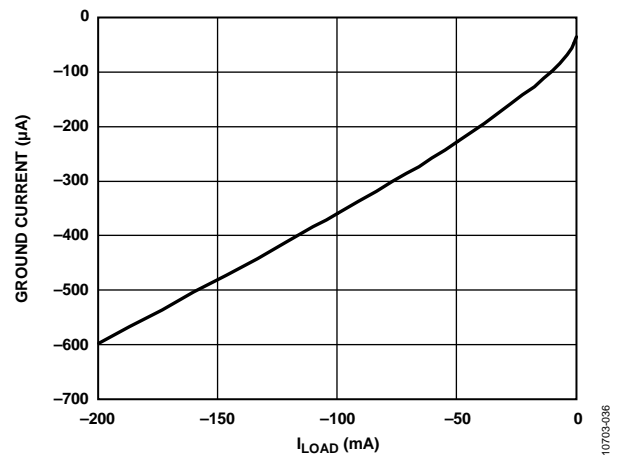


图36. 接地电流与负载电流(I_{LOAD})的关系, $V_{OUT} = -1.22 V$

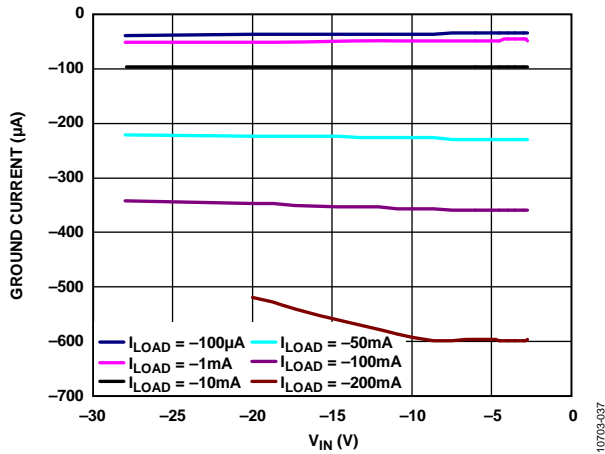


图37. 接地电流与输入电压(V_{IN})的关系, $V_{OUT} = -1.22 V$

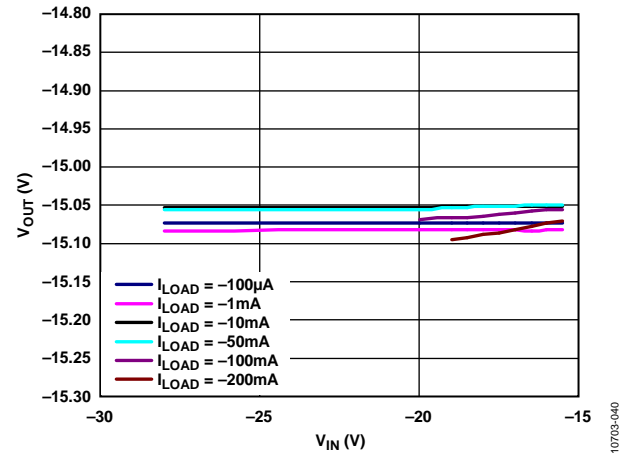


图40. 输出电压(V_{OUT})与输入电压(V_{IN})的关系, 可调输出电压, $V_{OUT} = -15 V$

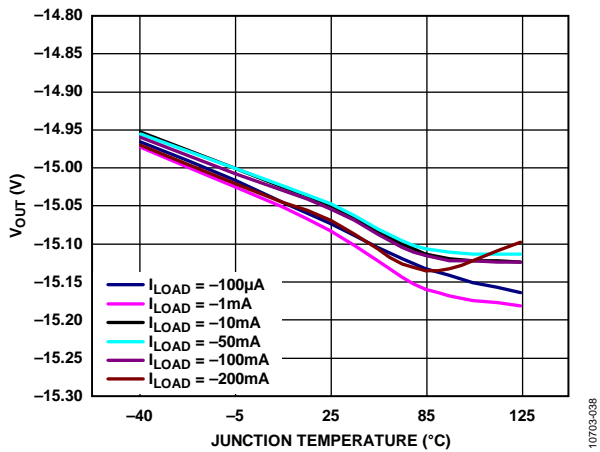


图38. 输出电压(V_{OUT})与结温(T_j)的关系, 可调输出电压, $V_{OUT} = -15 V$

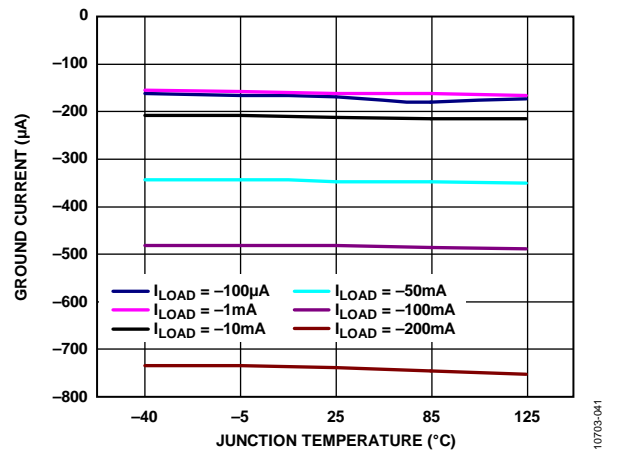


图41. 接地电流与结温(T_j)的关系, 可调输出电压, $V_{OUT} = -15 V$

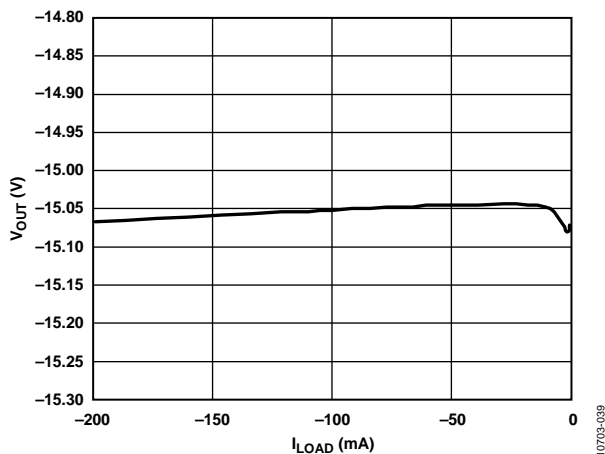


图39. 输出电压(V_{OUT})与负载电流(I_{LOAD})的关系, 可调输出电压, $V_{OUT} = -15 V$

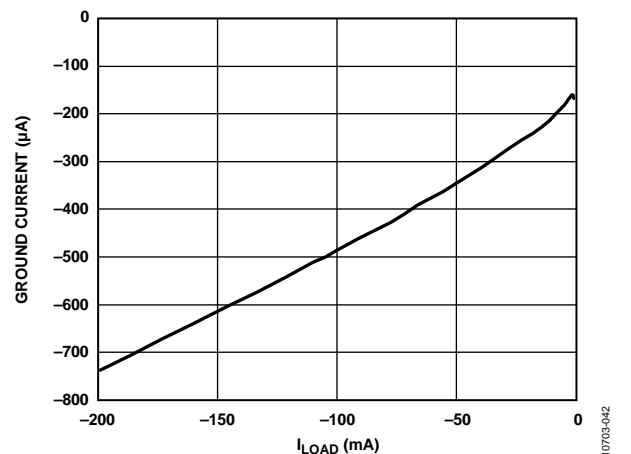


图42. 接地电流与负载电流(I_{LOAD})的关系, 可调输出电压, $V_{OUT} = -15 V$

ADP7182

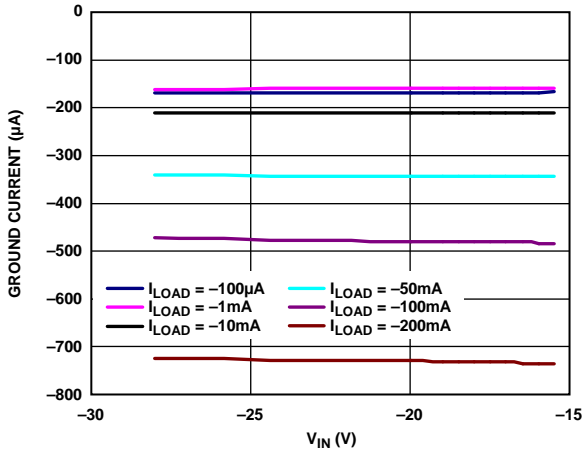


图43. 接地电流与输入电压(V_{IN})的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$

10703-043

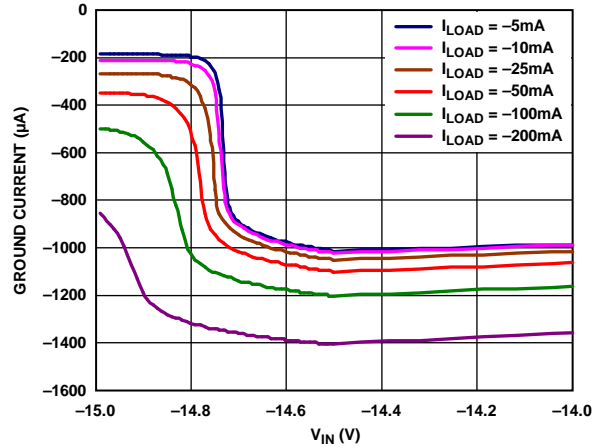


图46. 低压差下接地电流与输入电压(V_{IN})的关系, $V_{OUT} = -15\text{ V}$

10703-046

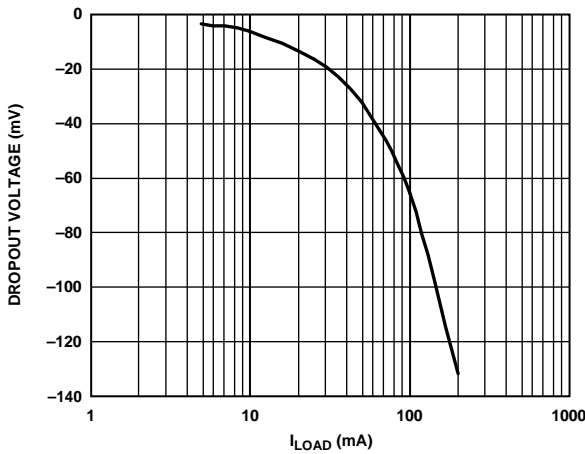


图44. 压差与负载电流(I_{LOAD})的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$

10703-044

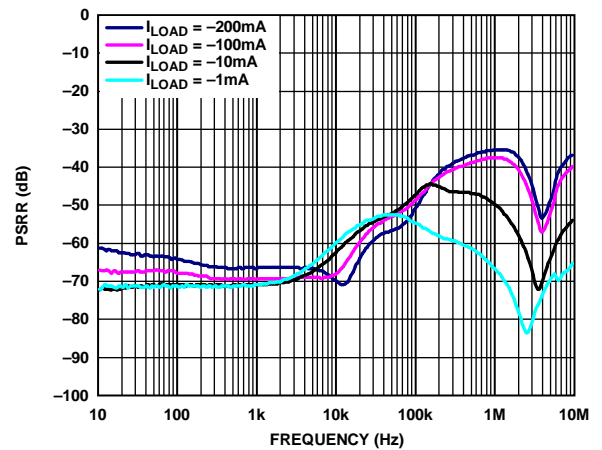


图47. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -1.22\text{ V}$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -2.7\text{ V}$

10703-047

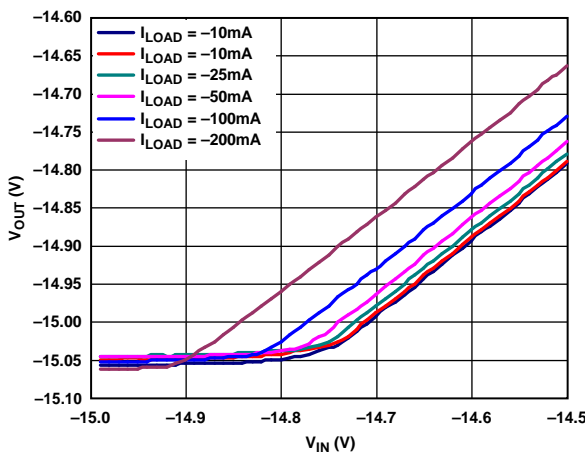


图45. 低压差下输出电压(V_{OUT})与输入电压(V_{IN})的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$

10703-045

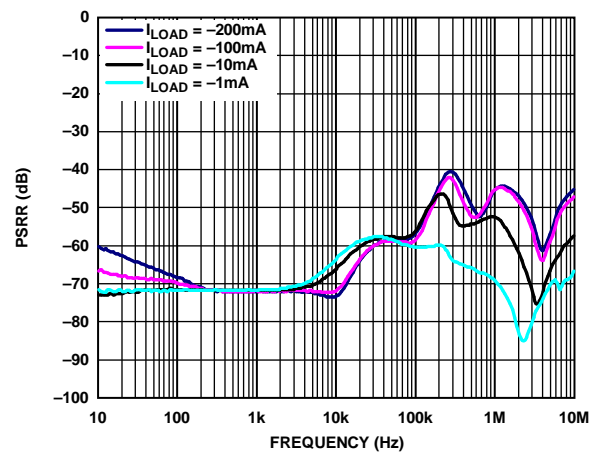


图48. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -1.22\text{ V}$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -5.7\text{ V}$

10703-048

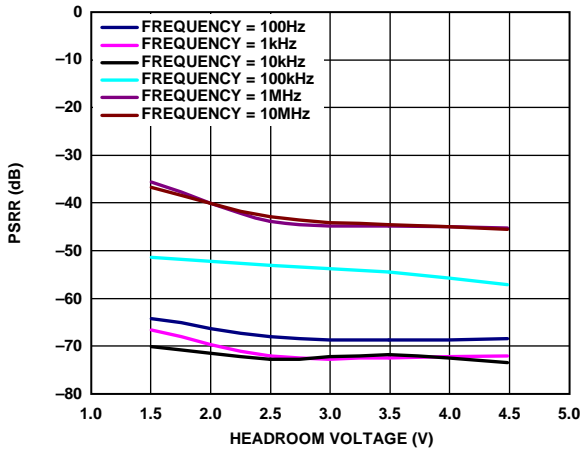


图49. 电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = -1.22 V$, 负载电流(I_{LOAD}) = -200 mA

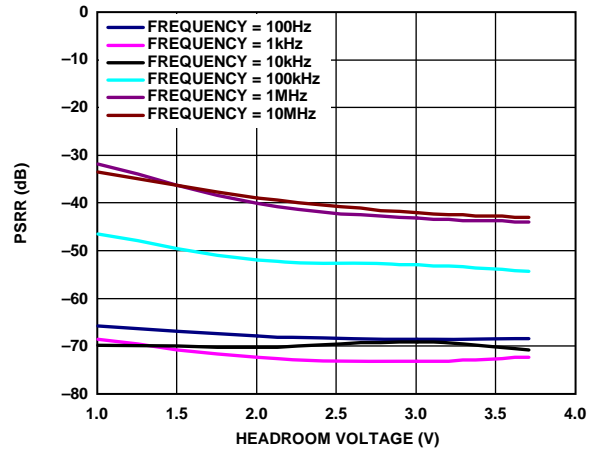


图52. 电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = -1.8 V$, 负载电流(I_{LOAD}) = -200 mA

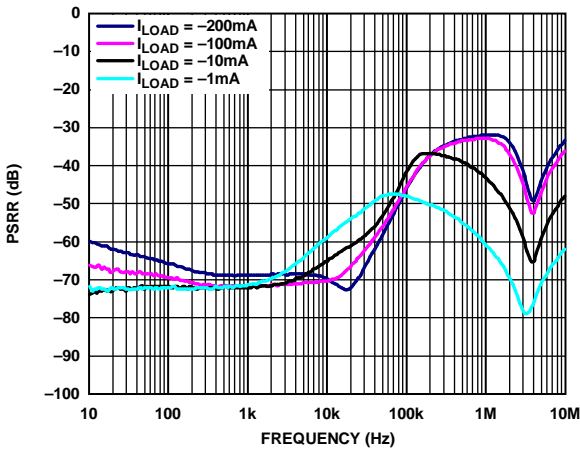


图50. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -1.8 V$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -2.8 V$

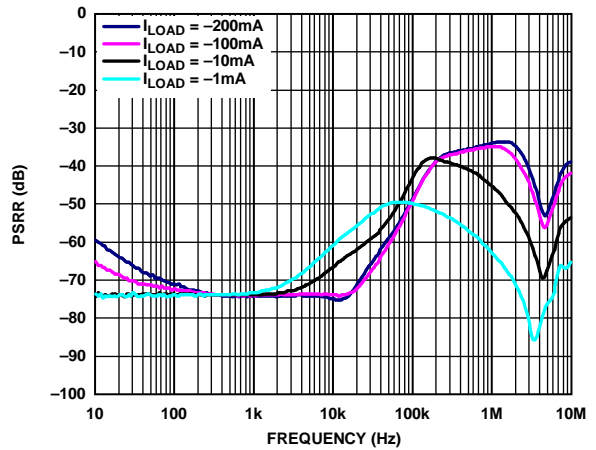


图53. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -3 V$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -4.0 V$

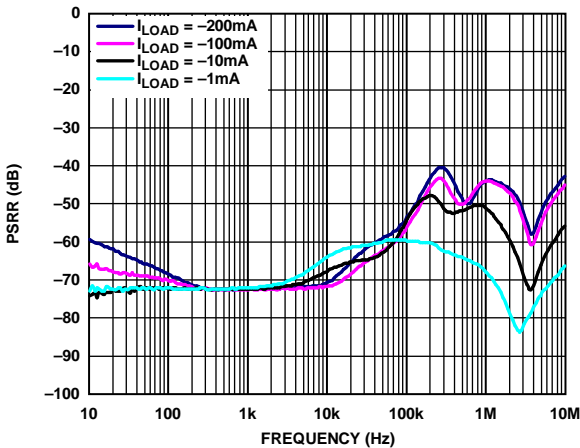


图51. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -1.8 V$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -5.5 V$

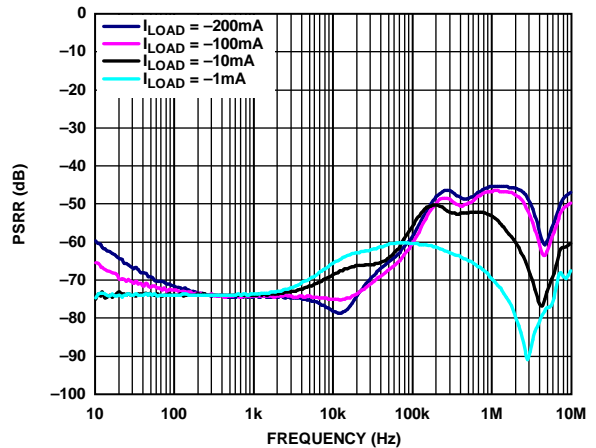


图54. 电源抑制比(PSRR)与频率的关系, $V_{OUT} = -3 V$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -5.5 V$

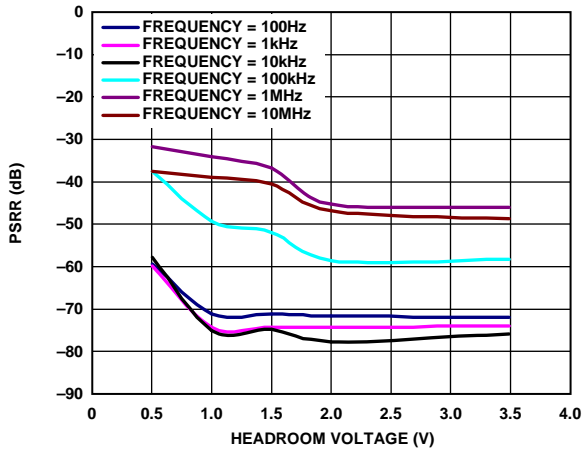


图55. 电源抑制比(PSRR)与裕量电压的关系, $V_{OUT} = -3\text{ V}$, 负载电流(I_{LOAD}) = -200 mA

10703-055

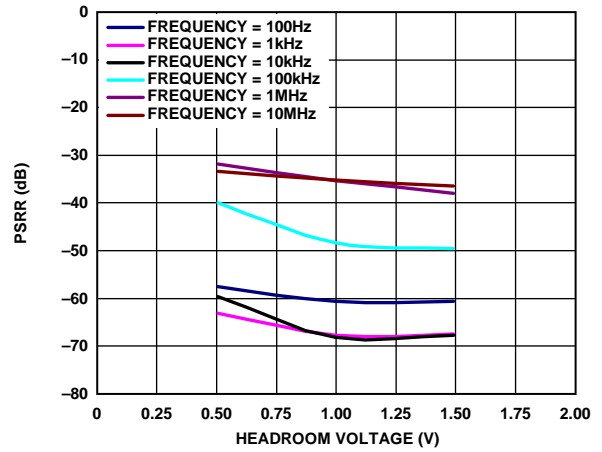


图58. 电源抑制比(PSRR)与裕量电压的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$, 带降噪网络, 负载电流(I_{LOAD}) = -200 mA

10703-058

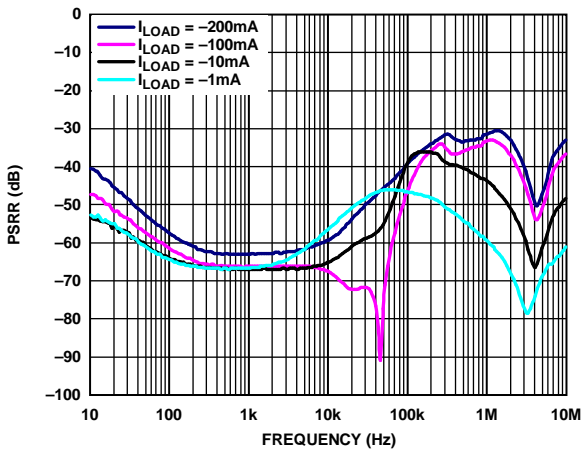


图56. 电源抑制比(PSRR)与频率的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -15.5\text{ V}$, 带降噪网络

10703-056

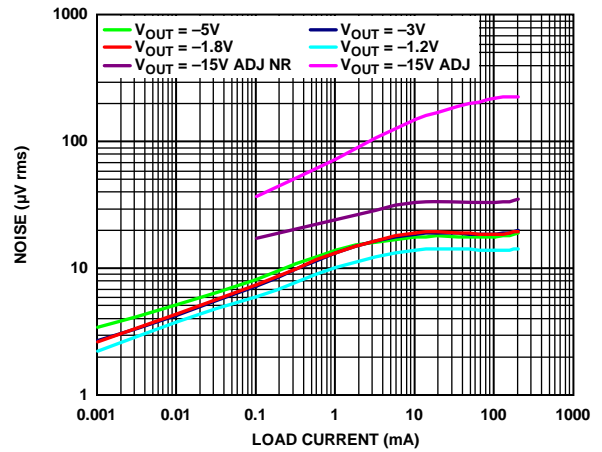


图59. 不同输出电压下的RMS噪声与负载电流(I_{LOAD})的关系

10703-059

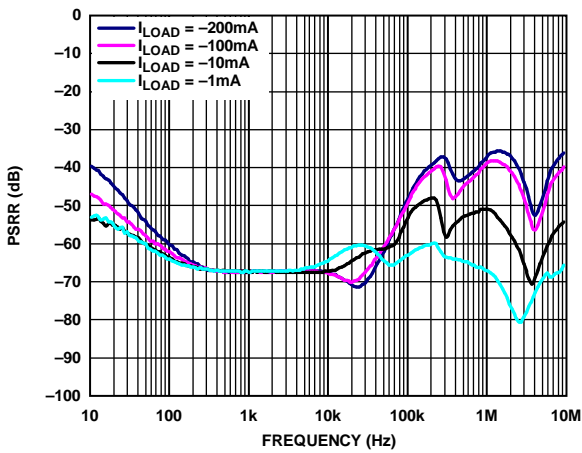


图57. 电源抑制比(PSRR)与频率的关系, 可调输出电压, $V_{OUT} = -15\text{ V}$ 与不同负载电流(I_{LOAD})的关系, $V_{IN} = -16.5\text{ V}$, 带降噪网络

10703-057

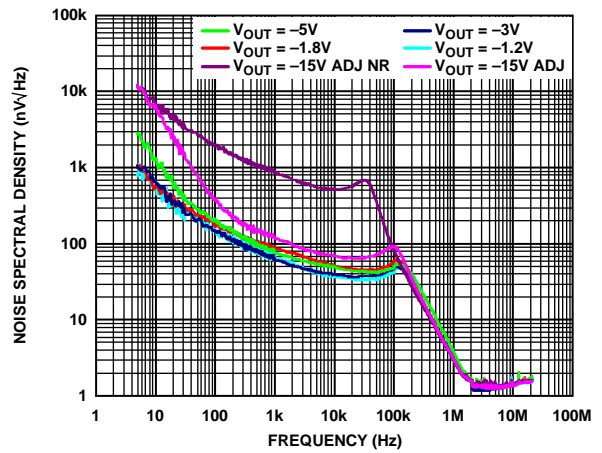


图60. 不同输出电压下的噪声频谱密度

10703-060

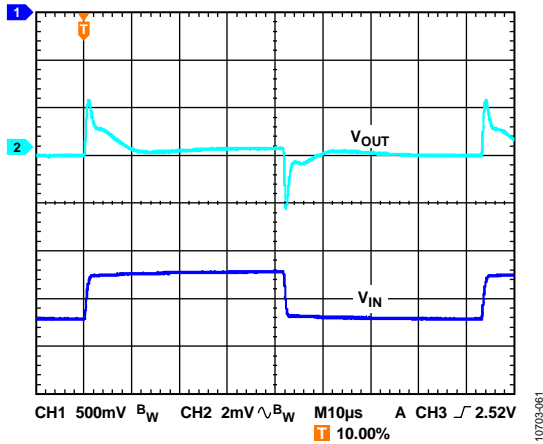


图61. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -1.22\text{ V}$, $I_{LOAD} = -200\text{ mA}$

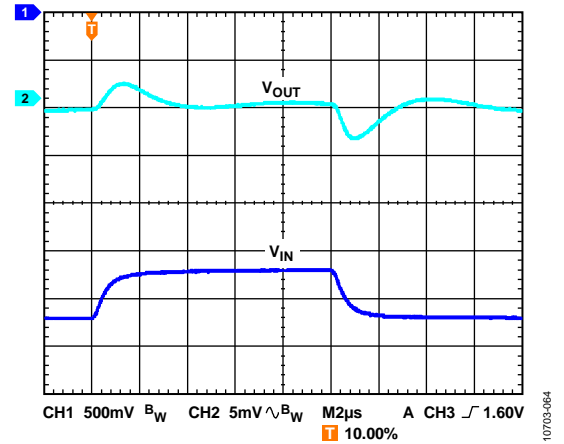


图64. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -1.8\text{ V}$, $I_{LOAD} = -10\text{ mA}$

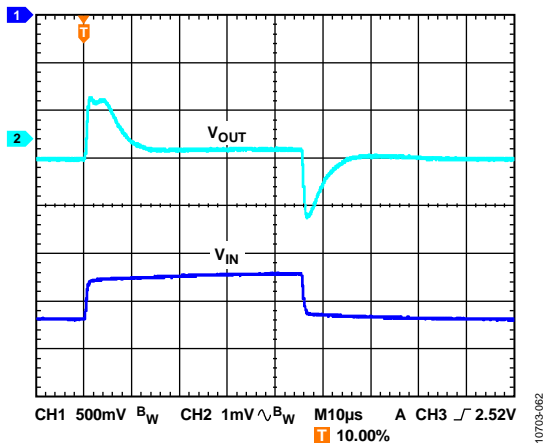


图62. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -1.22\text{ V}$, $I_{LOAD} = -10\text{ mA}$

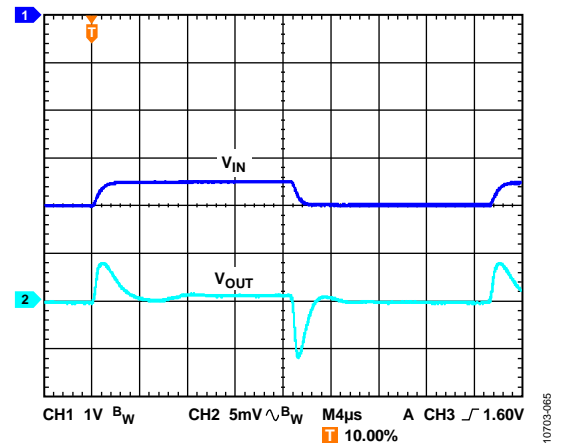


图65. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -3\text{ V}$, $I_{LOAD} = -200\text{ mA}$

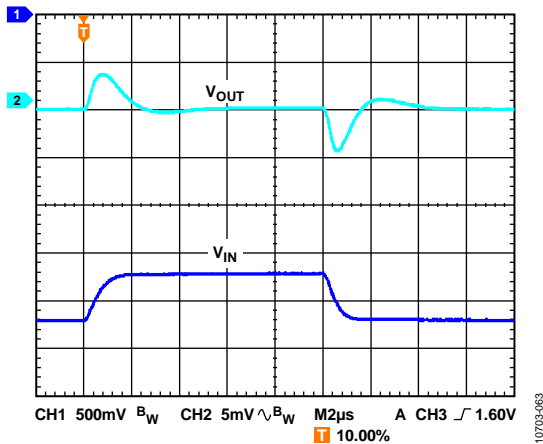


图63. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -1.8\text{ V}$, $I_{LOAD} = -200\text{ mA}$

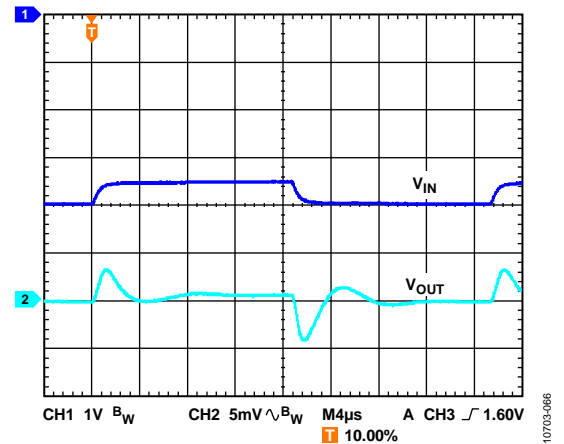


图66. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -3\text{ V}$, $I_{LOAD} = -10\text{ mA}$

ADP7182

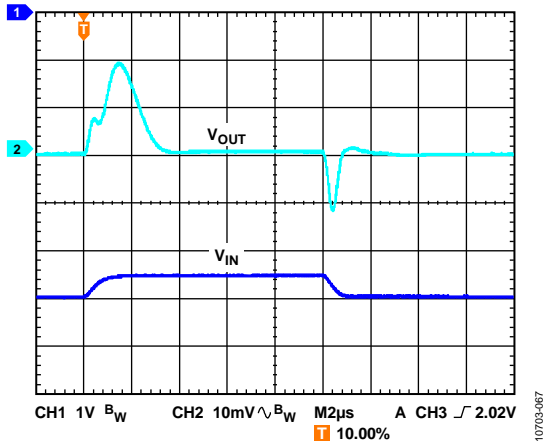


图67. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -5\text{ V}$, $I_{LOAD} = -200\text{ mA}$

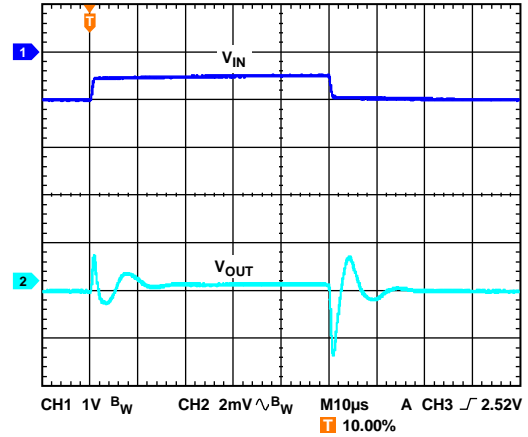


图70. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -15\text{ V}$, 降噪网络, $I_{LOAD} = -10\text{ mA}$

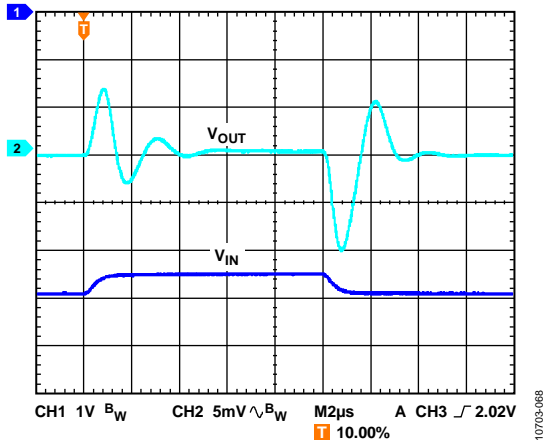


图68. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -5\text{ V}$, $I_{LOAD} = -10\text{ mA}$

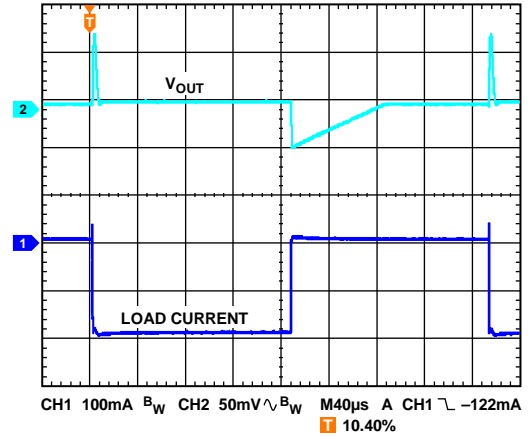


图71. 负载瞬态响应, $V_{OUT} = -1.22\text{ V}$, $I_{LOAD} = -1\text{ mA}$ 至 -200 mA , 负载阶跃 = $1\text{ A}/\mu\text{s}$

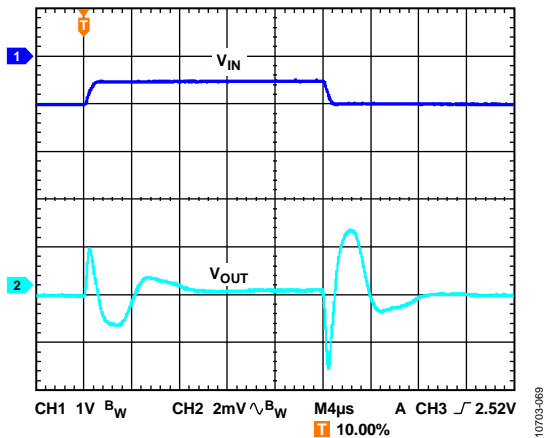


图69. 线路瞬态响应, 500 mV阶跃, $V_{OUT} = -15\text{ V}$, 降噪网络, $I_{LOAD} = -200\text{ mA}$

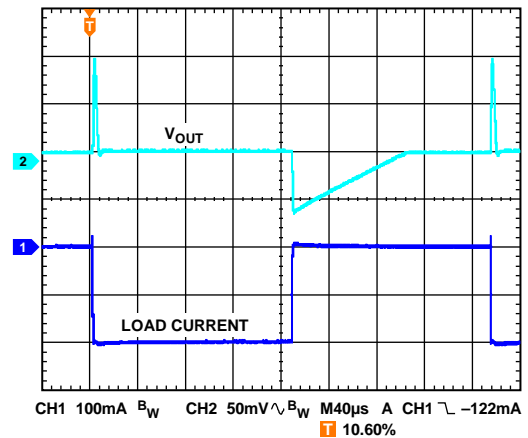


图72. 负载瞬态响应, $V_{OUT} = -3\text{ V}$, $I_{LOAD} = -1\text{ mA}$ 至 -200 mA , 负载阶跃 = $1\text{ A}/\mu\text{s}$

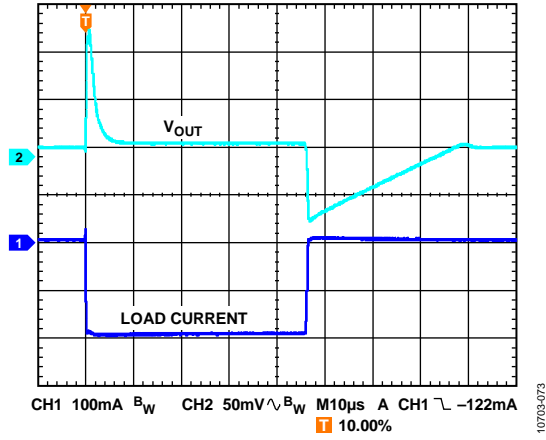


图73. 负载瞬态响应, $V_{OUT} = -5\text{ V}$, $I_{LOAD} = -1\text{ mA}$ 至 -200 mA ,
负载阶跃 = $1\text{ A}/\mu\text{s}$

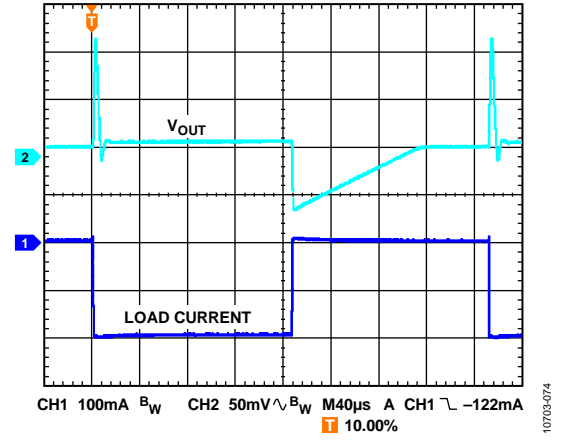


图74. 负载瞬态响应, $V_{OUT} = -15\text{ V}$, $I_{LOAD} = -1\text{ mA}$ 至 -200 mA ,
负载阶跃 = $1\text{ A}/\mu\text{s}$, 带降噪网络

ADP7182

工作原理

ADP7182是一款低静态电流LDO线性稳压器，采用-2.7 V至-28 V电源供电，最大输出电流为-200 mA。满负载时静态电流典型值低至-650 μ A，因此ADP7182非常适合电池供电的便携式设备使用。室温时，最大关断功耗为-8 μ A。

ADP7182经过优化，利用2.2 μ F陶瓷电容可实现出色的瞬态性能。

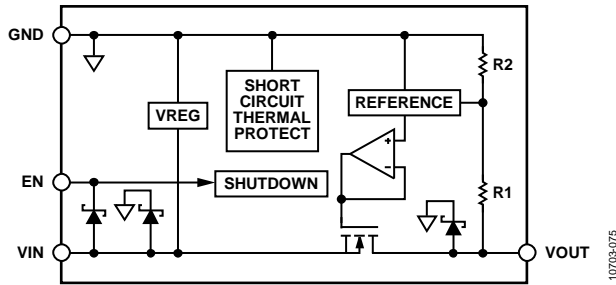


图75. 固定输出电压型号内部框图

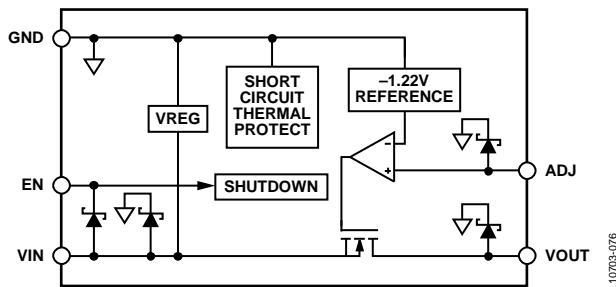


图76. 可选输出电压型号内部框图

ADP7182内置一个基准电压源、一个误差放大器、一个反馈分压器和一个NMOS调整管。输出电流经由NMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压高于基准电压，NMOS器件的栅极将被拉向GND，以便通过更多电流，提高输出电压。如果反馈电压低于基准电压，NMOS器件的栅极将被拉向 $-V_{IN}$ ，以便通过较少电流，降低输出电压。

ESD保护器件在框图中显示为齐纳二极管(见图75和图76)。

使能引脚工作原理

在正常操作条件下，ADP7182利用EN引脚使能和禁能VOUT引脚。当EN相对GND为 ± 2 V时，VOUT开启；当EN为0V时，VOUT关闭。若要实现自动启动，可将EN接至VIN。

可调工作模式

ADP7182提供固定输出电压选项以及可调模式型号，可通过外部分压器，将输出电压调节至-1.22 V至-27 V。根据下式可设置输出电压：

$$-V_{OUT} = -1.22 \text{ V} (1 + R_{FB1}/R_{FB2})$$

RFB2必须低于120 k Ω ，以便将ADJ引脚泄露电流引起的输出电压误差降至最低。ADJ引脚泄露电流造成的误差电压等于RFB1和RFB2的并联组合乘以ADJ引脚泄漏电流。

例如，若RFB1 = RFB2 = 120 k Ω ，输出电压等于-2.44 V，ADJ引脚典型泄露电流(10 nA)引起的误差等于60 k Ω 乘以10 nA，即6 mV。本例中的输出电压误差为0.245%。

添加一个小数值电容(~100 pF)使其与RFB1并联连接，可增加ADP7182的稳定性。大数值电容也可降低噪声并改进PSRR(参见ADP7182可调型号的降噪特性部分)。

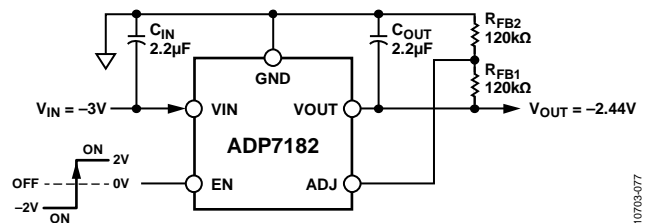


图77. 设置可调输出电压

应用信息

ADIsimPower设计工具

ADIsimPower™设计工具集支持ADP7182。ADIsimPower是一个工具集合，可以根据特定设计目标产生完整的电源设计。利用这些工具，用户只需几分钟就能生成完整原理图、物料清单并计算性能。ADIsimPower可以考虑IC和所有真实外部元件的工作条件与限制，并针对成本、面积、效率和器件数量优化设计。欲了解更多信息并获得ADIsimPower设计工具，请访问www.analog.com/ADIsimPower。

电容选择

输出电容

ADP7182设计采用节省空间的小型陶瓷电容工作，但只要考虑ESR值，便可以采用大多数常用电容。输出电容的ESR会影响LDO控制回路的稳定性。为了确保ADP7182稳定工作，推荐使用至少2.2 μF、ESR为0.2 Ω或更小的电容。输出电容还会影响负载电流变化的瞬态响应。采用较大的输出电容值可以改善ADP7182对大负载电流变化的瞬态响应。图78显示输出电容值为2.2 μF时的瞬态响应。

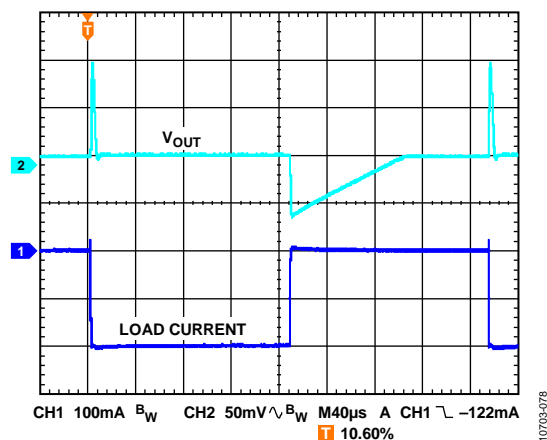


图78. 输出瞬态响应($C_{OUT} = 2.2 \mu\text{F}$)

输入旁路电容

在VIN至GND之间连接一个2.2 μF电容可以降低电路对PCB布局布线的敏感性，特别是遇到长输入走线或高信号源阻抗时。如果要求输出电容大于2.2 μF，可选用更高的输入电容。

输入和输出电容特性

只要符合最小电容和最大ESR要求，ADP7182可以采用任何质量优良的电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同，其特性也不相同。电容必

须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为25 V或50 V的X5R或X7R电介质。Y5V和Z5U电介质的温度和直流偏置特性不佳，建议不要使用。

图79所示为0805、2.2 μF、25 V、X5R电容的电容与电压偏置特性关系图。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般来说，封装较大或电压额定值较高的电容具有更好的稳定性。X5R电介质的温度变化率在-40°C至+85°C温度范围内为±15%，与封装或电压额定值没有函数关系。

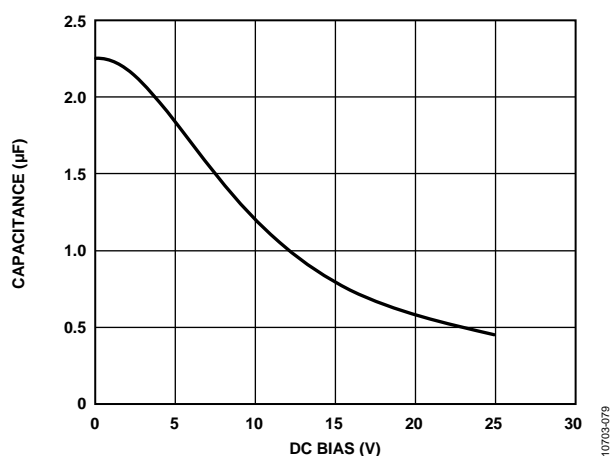


图79. 电容与直流偏置特性的关系

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - TEMPCO) \times (1 - TOL) \quad (1)$$

其中：

C_{BIAS} 为工作电压下的有效电容，本例中为3 V。

$TEMPCO$ 为最差的电容温度系数。

TOL 为最差的元件容差。

本例中，X5R电介质在-40°C至+85°C范围内的最差条件温度系数($TEMPCO$)为15%。如图79所示，在3 V偏置下，电容容差(TOL)为10%， C_{BIAS} 为2.08 μF。

将这些值代入公式1中可得到：

$$C_{EFF} = 2.08 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 1.59 \mu\text{F}$$

因此，在选定输出电压(-3 V)条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP7182的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

ADP7182

使能引脚工作原理

ADP7182具有双极性使能引脚(EN)，当 $|V_{EN}| \geq 2\text{ V}$ 时可开启LDO。使能电压相对地而言可以是正的，也可以是负的。

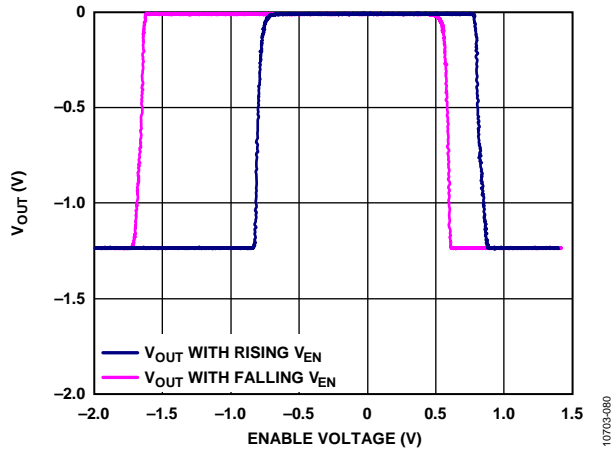


图80. EN引脚典型工作方式

图80显示了EN引脚的典型迟滞。这可以防止EN引脚上的噪声在经过阈值点时引起开关振荡。

图81显示输入电压从-2.7 V变化到-28 V时EN引脚的典型阈值。

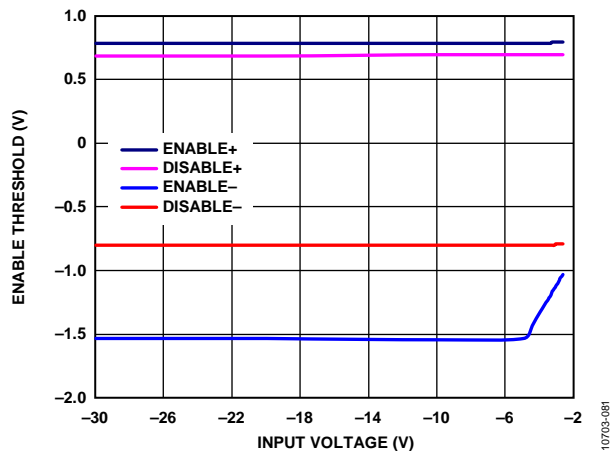


图81. EN引脚典型阈值与输入电压的关系

图82和图83显示-5 V输出时的启动性能，采用趋正和趋负使能信号。

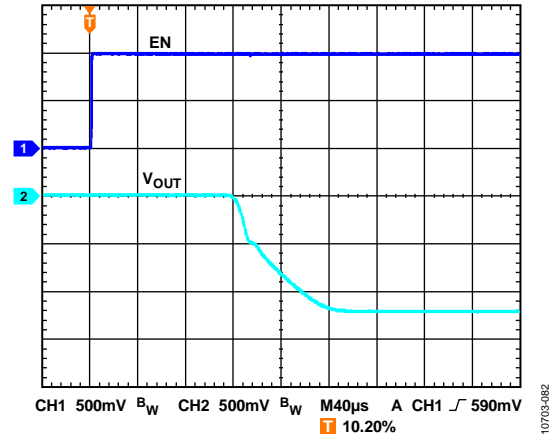


图82. 典型启动性能，趋正使能

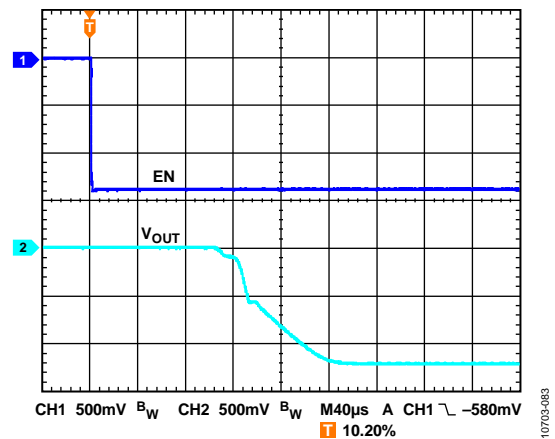


图83. 典型启动性能，趋负使能

软启动

ADP7182利用内置软启动功能，在输出使能时限制浪涌电流。当输入电压为-5 V时，从通过EN有效阈值到输出达到其最终值90%的启动时间约为450 μs 。如图84所示，启动时间取决于输出电压设置。

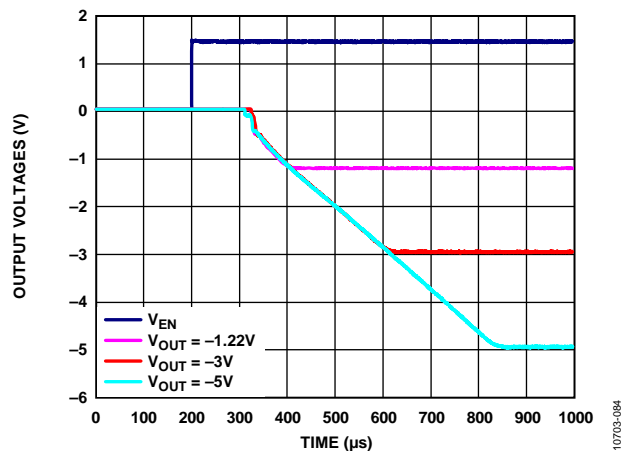


图84. 不同输出电压下的典型启动性能

ADP7182可调型号的降噪特性

固定输出ADP7182的超低输出噪声特性是通过如下方法实现的：LDO误差放大器保持单位增益，并设置基准电压等于输出电压。这种架构不适用于可调输出电压LDO。可调输出ADP7182采用更为传统的架构，基准电压为固定值，误差放大器增益为输出电压的函数。传统LDO架构的缺点是输出电压噪声与输出电压成比例。

可以对可调LDO电路稍加修改，以将输出电压噪声降低到与固定输出ADP7182接近的水平。图85所示的电路在输出电压设置电阻分压器上增加了2个元件： C_{NR} 和 R_{NR} ，它们与 R_{FB1} 并联，用以降低误差放大器的交流增益。选择的 R_{NR} 近似等于 R_{FB2} ，从而把误差放大器的交流增益限制在大约6 dB。实际增益为 R_{NR} 和 R_{FB1} 的并联组合除以 R_{FB2} ，此电阻可以保证误差放大器始终以大于1的增益工作。

选择的 C_{NR} 应使得在频率为10 Hz至100 Hz时， C_{NR} 的电抗等于 $R_{FB1} - R_{NR}$ 。此电容设置的频率将使得误差放大器的交流增益比直流增益低3 dB。

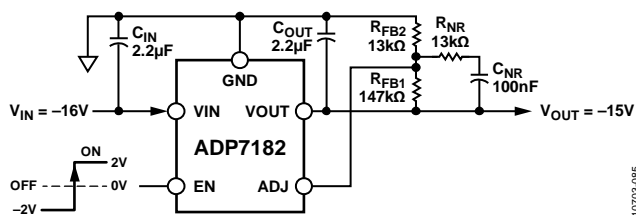


图85. 更改可调输出LDO以降低噪声

该LDO的噪声约等于固定输出LDO的噪声(典型值为 $18\mu\text{V rms}$)乘以 R_{FB2} ，然后除以 R_{NR} 和 R_{FB1} 的并联组合。基于图85所示的元件值，ADP7182具有下列特性：

- 直流增益：12.3 (21.8 dB)
- 3 dB滚降频率：10.8 Hz
- 高频交流增益：1.92 (5.67 dB)
- 降噪系数：6.41 (16.13 dB)
- 无降噪功能的可调LDO在 -200 mA 下的测量RMS噪声： $220\mu\text{V rms}$
- 有降噪电路的可调LDO在 -200 mA 下的测量RMS噪声： $35\mu\text{V rms}$
- 有降噪功能的可调LDO经计算后的RMS噪声(假设固定电压选项为 $18\mu\text{V rms}$)： $34.5\mu\text{V rms}$

该LDO的噪声约等于固定输出LDO的噪声(典型值为 $18\mu\text{V rms}$)乘以高频交流增益。下列公式的计算采用了图85中所示的数值：

$$18\mu\text{V} \times \left(1 + \left(\frac{1}{1/13\text{ k}\Omega + 1/147\text{ k}\Omega} \right) / 13\text{ k}\Omega \right) \quad (2)$$

图86显示ADP7182可调型号分别在有降噪网络和无降噪网络的情况下设为 -15 V 时的不同噪声频谱密度。噪声在100 Hz至30 kHz频率范围内的下降十分明显。

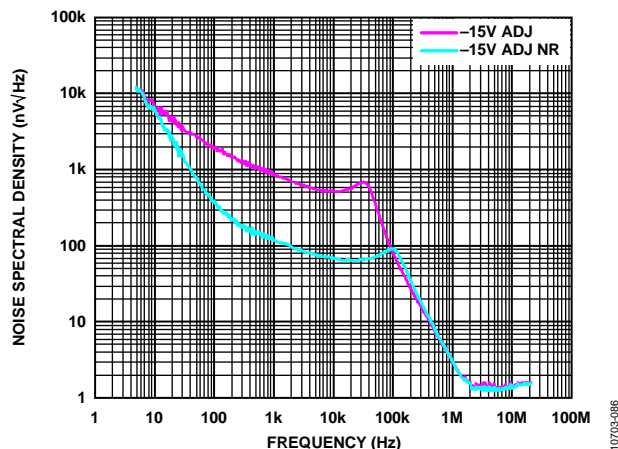


图86. 有降噪网络和无降噪网络的 -15 V 可调ADP7182(CNR和RNR)

限流和热过载保护

ADP7182内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到 -350 mA (典型值)时，限流电路就会起作用。当输出负载超过 -350 mA 时，输出电压会被降低，以保持恒定的电流限制。

热过载保护电路将结温限制在 150°C (典型值)以下。在极端条件下(即高环境温度和高功耗)，当结温开始升至 150°C 以上时，输出就会关闭，从而将输出电流降至 0 mA 。当结温降至 135°C 以下时，输出又会开启，输出电流恢复为标称值。

考虑VOUT至地发生负载短路的情况。首先，ADP7182的限流功能起作用，因此，仅有 -350 mA 电流传导至短路电路。如果结的自发热量足够大，使其温度升至 150°C 以上，热关断功能就会激活，输出关闭，输出电流降至 0 mA 。当结温冷却下来，降至 135°C 以下时，输出开启，将 -350 mA 电流传导至短路路径中，再次导致结温升至 150°C 以上。结温在 135°C 至 150°C 范围内的热振荡导致电流在 -350 mA 和 0 mA 之间振荡；只要输出端存在短路，振荡就会持续下去。

限流和热过载保护旨在保护器件免受偶然过载条件影响。为实现可靠工作，必须在外部限制器件功耗，使得结温不会超过 125°C 。

ADP7182

散热考虑

ADP7182的效率很高，在多数应用中不会产生大量热量。然而，在环境温度高、电源电压与输出电压差很大的应用中，封装散发的热量可能非常大，导致芯片的结温超过最高结温125°C。

当结温超过150°C时，转换器进入热关断模式。只有当结温降至135°C及以下时，它才会恢复，以免永久性受损。因此，为了保证器件在所有条件下具有可靠性能，必须对具体应用进行热分析。芯片的结温为环境温度与功耗所引起的封装温升之和，如公式3所示。

为保证器件可靠工作，ADP7182的结温不得超过125°C。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结与周围空气之间的热阻(θ_{JA})。 θ_{JA} 值取决于所用的封装填充物和将封装GND引脚焊接到PCB所用的覆铜数量。

表7和表8给出了各种PCB覆铜尺寸时8引脚LFCSP和5引脚TSOT封装的典型 θ_{JA} 值。表9给出了8引脚LFCSP和5引脚TSOT封装的典型 Ψ_{JB} 值。

表7. 8引脚LFCSP封装的典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W)
25 ¹	175
100	135.6
500	77.3
1000	65.2
6400	51

¹ 器件焊接在最小尺寸引脚走线上。

表8. 5引脚TSOT封装的典型 θ_{JA} 值

覆铜面积(mm ²)	θ_{JA} (°C/W)
0 ¹	170
50	152
100	146
300	134
500	131

¹ 器件焊接在最小尺寸引脚走线上。

表9. 典型 Ψ_{JB} 值

型号	Ψ_{JB} (°C/W)
8引脚 LFCSP	18.2
5引脚 TSOT封装	43

ADP7182的结温计算公式如下：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (3)$$

其中：

T_A 是环境温度。

P_D 为芯片的功耗，通过下式计算：

$$P_D = [(V_{IN} - V_{OUT}) \times I_{LOAD}] + (V_{IN} \times I_{GND}) \quad (4)$$

其中：

V_{IN} 和 V_{OUT} 分别为输入和输出电压。

I_{LOAD} 为负载电流。

I_{GND} 为接地电流。

接地电流引起的功耗相当小，可忽略不计。因此，结温等式可简化为：

$$T_J = T_A + \{[(V_{IN} - V_{OUT}) \times I_{LOAD}] \times \theta_{JA}\} \quad (5)$$

如公式5所示，针对给定的环境温度、输入与输出电压差和连续负载电流，需满足PCB的最小覆铜尺寸要求，以确保结温不升至125°C以上。图87至图92显示不同环境温度、功耗和PCB覆铜面积下的结温计算结果。

通过增加ADP7182引脚处的覆铜用量，可改善封装的散热性能。还可在封装底部增加散热层，改善热性能。但是，如表7和表8所示，这种增加存在“效益递减”现象，超过某一点后，覆铜面积的增加便不会明显降低结至环境热阻。

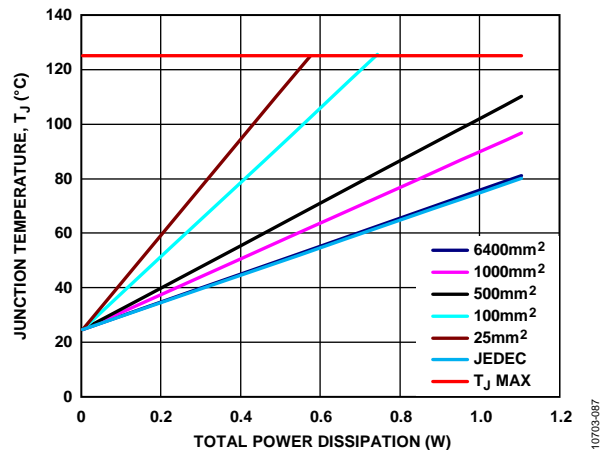


图87. 结温与8引脚LFCSP总功耗的关系， $T_A = 25^\circ\text{C}$

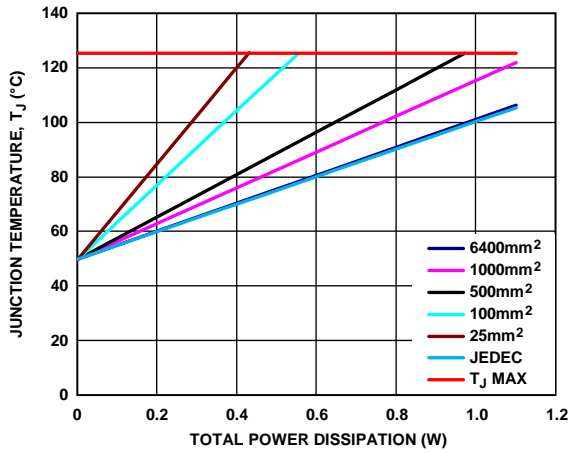


图88. 结温与8引脚LFCSP总功耗的关系, $T_A = 50^\circ\text{C}$

10703-088

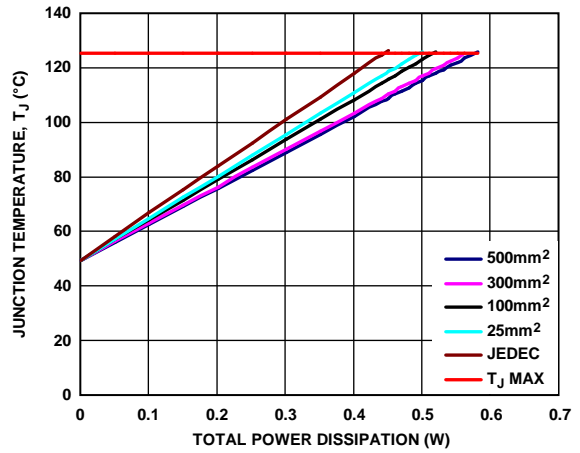


图91. 结温与5引脚TSOT总功耗的关系, $T_A = 50^\circ\text{C}$

10703-091

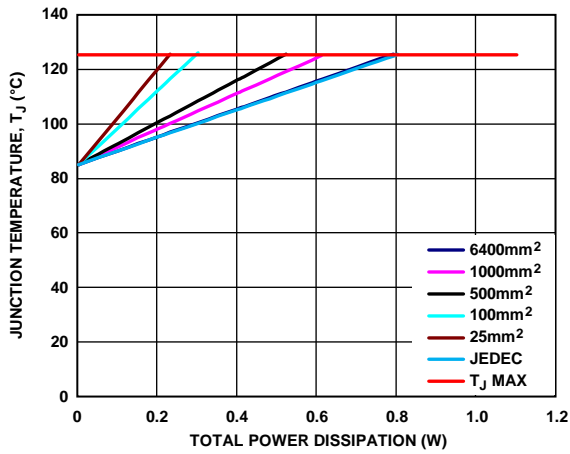


图89. 结温与8引脚LFCSP总功耗的关系, $T_A = 85^\circ\text{C}$

10703-089

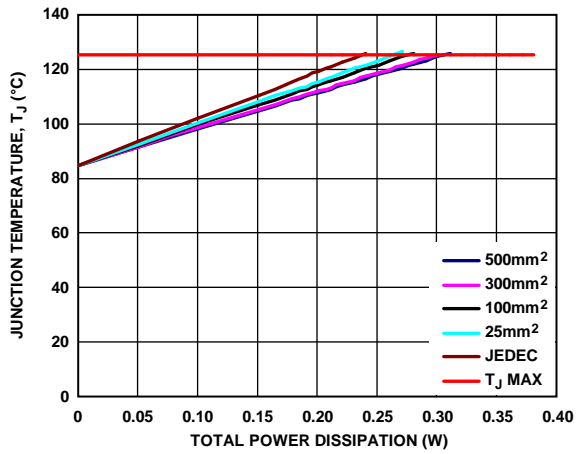


图92. 结温与5引脚TSOT总功耗的关系, $T_A = 85^\circ\text{C}$

10703-092

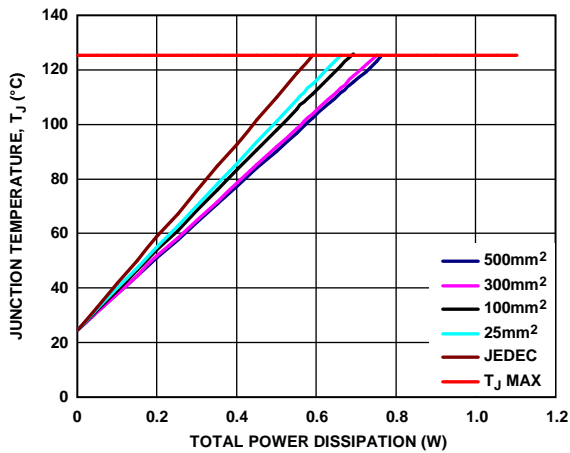


图90. 结温与5引脚TSOT总功耗的关系, $T_A = 25^\circ\text{C}$

10703-090

ADP7182

热特性参数 Ψ_{JB}

在已知板温的情况下，可以利用热特性参数(Ψ_{JB})来估算结温上升情况(见图93和图94)。最高结温(T_J)可由板温度(T_B)和功耗(P_D)通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (6)$$

8引脚LFCSP封装的 Ψ_{JB} 典型值为18.2°C/W，5引脚TSOT封装为43°C/W。

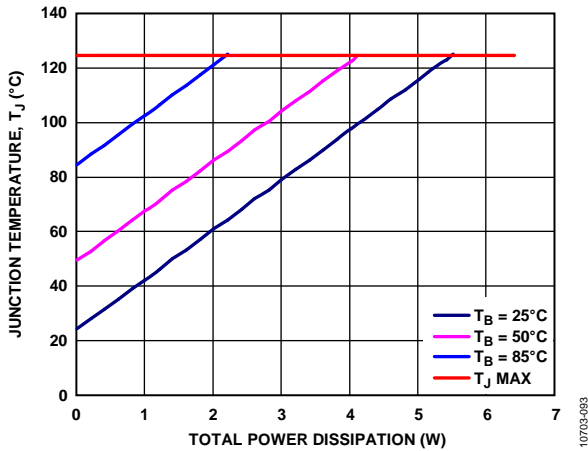


图93. 结温与8引脚LFCSP总功耗的关系, $T_A = 85^\circ\text{C}$

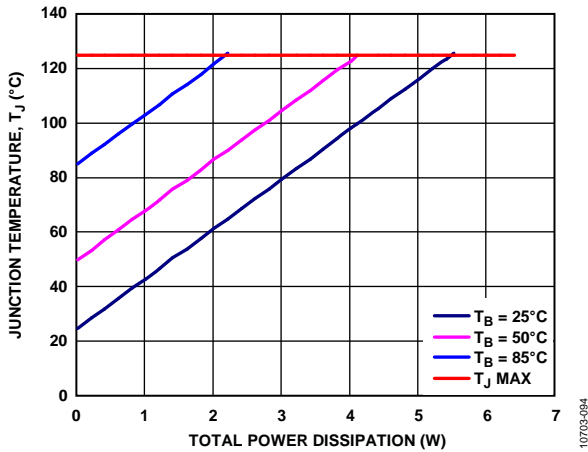


图94. 结温与5引脚TSOT总功耗的关系, $T_A = 85^\circ\text{C}$

PCB布局考虑

输入电容应尽可能靠近VIN和GND引脚放置。输出电容应尽可能靠近VOUT和GND引脚放置。在板面积受限的情况下，采用1206或0805尺寸的电容和电阻可实现最小尺寸解决方案。

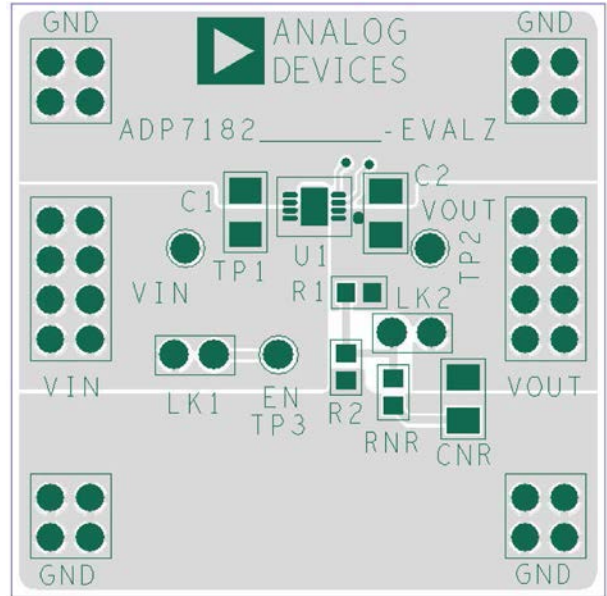


图95. 8引脚LFCSP PCB布局示例

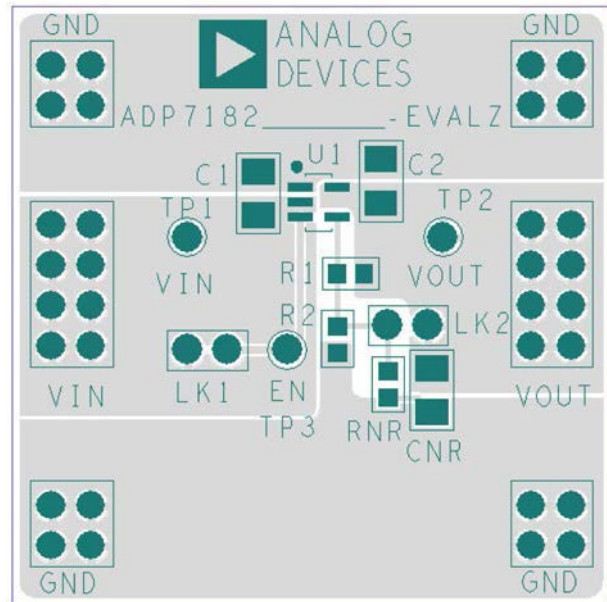
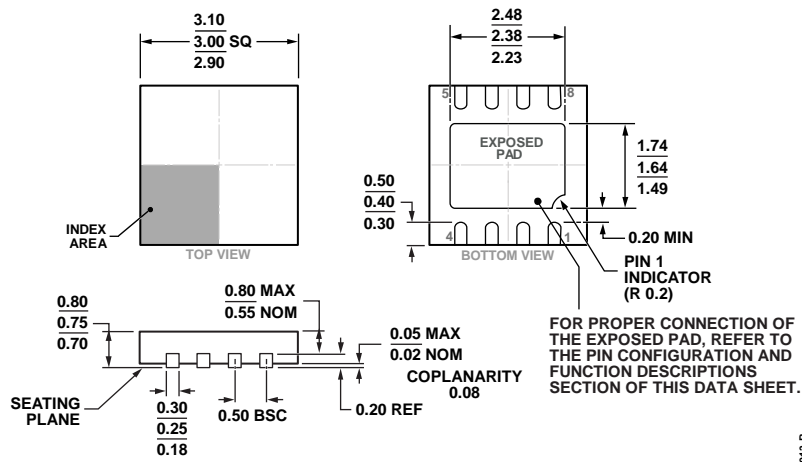


图96. 5引脚TSOT PCB布局示例

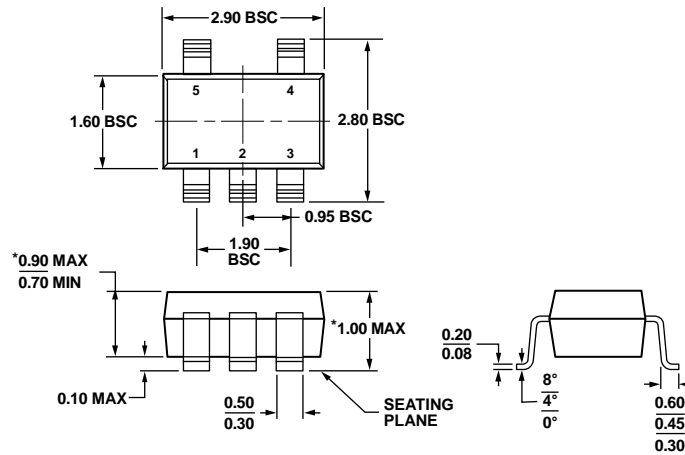
外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-229-WEED-4

图97. 8引脚引脚架构芯片级封装[LFCSP_WD]
3 mm x 3 mm, 超薄体, 双排引脚
(CP-8-5)
图示尺寸单位: mm

02-05-2013-B



*COMPLIANT TO JEDEC STANDARDS MO-193-AB WITH THE EXCEPTION OF PACKAGE HEIGHT AND THICKNESS.

图98. 5引脚超薄小型晶体管封装[TSOT]
(UJ-5)
图示尺寸单位: mm

100708-A

ADP7182

订购指南

型号 ¹	温度范围	输出电压(V) ²	封装描述	封装选项	标识
ADP7182ACPZ-R7	-40°C至+125°C	可调	8引脚 LFCSP_WD	CP-8-5	LN6
ADP7182ACPZ-5.0-R7	-40°C至+125°C	-5	8引脚 LFCSP_WD	CP-8-5	LN9
ADP7182AUJZ-1.8-R7	-40°C至+125°C	-1.8	5引脚 TSOT封装	UJ-5	LN1
ADP7182AUJZ-2.5-R7	-40°C至+125°C	-2.5	5引脚 TSOT封装	UJ-5	LN7
ADP7182AUJZ-3.0-R7	-40°C至+125°C	-3	5引脚 TSOT封装	UJ-5	LN2
ADP7182AUJZ-5.0-R7	-40°C至+125°C	-5	5引脚 TSOT封装	UJ-5	LN9
ADP7182UJ-EVALZ			评估板		
ADP7182CP-EVALZ			评估板		

¹ Z = 符合RoHS标准的器件。

² 如需其它电压选项，请联系当地的ADI公司办事处或代理商。