

### 产品特性

输入电压范围：2.3 V至5.5 V

可调输出电压范围( $V_{OUT}$ )：1.2 V至3.3 V

最大负载电流：2 A

#### 低噪声

100 Hz到100 kHz总积分噪声：0.9  $\mu\text{V rms}$

10 Hz到100 kHz总积分噪声：1.6  $\mu\text{V rms}$

噪声频谱密度：1.7  $\text{nV}/\sqrt{\text{Hz}}$ (10 kHz到1 MHz)

#### 电源抑制比(PSRR)

68 dB(1 kHz至100 kHz)

45 dB(1 MHz时)

电压差：200 mV(典型值,  $I_{OUT} = 2 \text{ A}$ ,  $V_{OUT} = 3.3 \text{ V}$ )

初始精度： $\pm 0.6\%$ ( $I_{LOAD} = 10 \text{ mA}$ 时)

在整个线路、负载与温度范围内的精度： $\pm 1.5\%$

#### 静态电流( $I_{GND}$ )

4.0 mA(典型值, 0  $\mu\text{A}$ )

9.0 mA(典型值, 2 A)

低关断电流：0.2  $\mu\text{A}$ (典型值)

使用10  $\mu\text{F}$ 陶瓷输出电容保持稳定

10引脚3 mm  $\times$  3 mm LFCSP和8引脚SOIC封装

#### 精密使能

ADIsimPower工具支持

### 应用

适应噪声敏感应用：锁相环(PLL)、压控振荡器(VCO)和集成VCO的PLL

通信和基础设施

回程线路和微波链路

### 概述

ADP7159是一款可调线性稳压器，采用2.3 V至5.5 V电源供电，最大输出电流为2 A。1.2 V至3.3 V的输出电压范围取决于具体型号。该器件采用先进的专有架构，提供高电源抑制和超低噪声特性，仅需一个10  $\mu\text{F}$ 陶瓷输出电容，便可实现出色的线路与负载瞬态响应性能。

ADP7159有四个型号，根据输入和输出电压来优化功耗和PSRR性能。选型指南参见表9和表10。

ADP7159稳压器的典型输出噪声为0.9  $\mu\text{V rms}$ (100 Hz至100 kHz)，10 kHz至1 MHz的噪声频谱密度为1.7  $\text{nV}/\sqrt{\text{Hz}}$ 。

### 典型应用电路

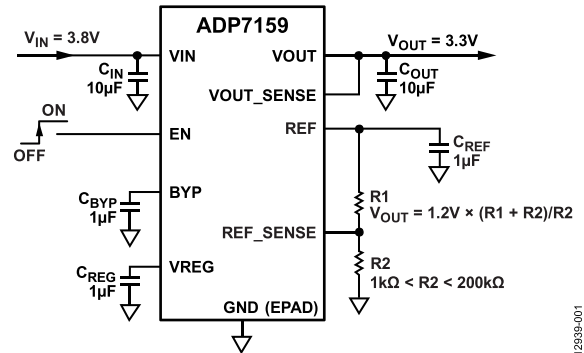


图1. 采用3.8 V输入时的3.3 V稳压输出

ADP7159提供10引脚、3 mm  $\times$  3 mm LFCSP封装和8引脚SOIC封装，不仅非常紧凑，而且还具有出色的散热性能，适合要求最大2 A输出电流的薄型、小尺寸应用。

### 表1. 相关器件

型号	输入电压	输出电流	固定/可调节	封装
ADP7158	2.3 V至5.5 V	2 A	固定	10引脚 LFCSP/ 8引脚 SOIC
ADP7156, ADP7157	2.3 V至5.5 V	1.2 A	固定/ 可调节	10引脚 LFCSP/ 8引脚 SOIC
ADM7150, ADM7151	4.5 V至16 V	800 mA	固定/ 可调节	8引脚 LFCSP/ 8引脚 SOIC
ADM7154, ADM7155	2.3 V至5.5 V	600 mA	固定/ 可调节	8引脚 LFCSP/ 8引脚 SOIC
ADM7160	2.2 V至5.5 V	200 mA	固定	6引脚 LFCSP/ 5引脚 TSOT

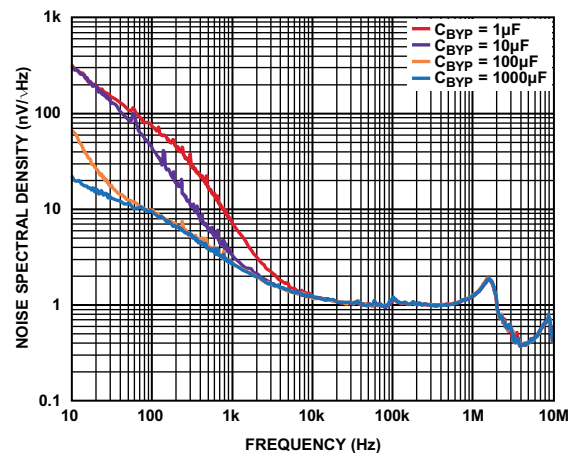


图2. 不同 $C_{BYP}$ 数值时的噪声谱密度( $V_{OUT} = 3.3 \text{ V}$ )

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 ©2016 Analog Devices, Inc. All rights reserved.  
Technical Support [www.analog.com](http://www.analog.com)

## 目录

产品特性 .....	1	ADIsimPower设计工具 .....	14
应用 .....	1	电容选择 .....	14
概述 .....	1	欠压闭锁(UVLO) .....	15
典型应用电路 .....	1	可编程精密使能 .....	16
修订历史 .....	2	启动时间 .....	17
技术规格 .....	3	REF、BYP和VREG引脚 .....	17
绝对最大额定值 .....	5	限流和热关断 .....	17
热数据 .....	5	散热考虑 .....	17
热阻 .....	5	PSRR性能 .....	20
ESD警告 .....	5	PCB布局考虑 .....	21
引脚配置和功能描述 .....	6	外形尺寸 .....	22
典型性能参数 .....	7	订购指南 .....	23
工作原理 .....	13		
应用信息 .....	14		

## 修订历史

### 2016年5月—修订版0至修订版A

表2增加注释2；重新排序 .....	4
更改图4 .....	6
更改“可编程精密使能”部分 .....	16

### 2016年3月—修订版0：初始版

## 技术规格

$V_{IN} = V_{OUT\_MAX} + 0.5\text{ V}$ ;  $V_{EN} = V_{IN}$ ;  $I_{LOAD} = 10\text{ mA}$ ;  $C_{IN} = C_{OUT} = 10\text{ }\mu\text{F}$ ;  $C_{REG} = C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$ ;  $T_A = 25^\circ\text{C}$ (典型规格);  
 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ (最小值/最大值规格, 除非另有说明)。

表2.

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
输入电压范围	$V_{IN}$		2.3	5.5		V
负载电流	$I_{LOAD}$			2		A
工作电源电流	$I_{GND}$	$I_{LOAD} = 0\text{ }\mu\text{A}$		4.0	8.0	mA
		$I_{LOAD} = 2\text{ A}$		9.0	14.0	mA
关断电流	$I_{IN\_SD}$	EN = 地	0.2	4		$\mu\text{A}$
噪声 <sup>2</sup>		$V_{OUT} = 1.2\text{ V}$ 至 $3.3\text{ V}$				
输出噪声	$OUT_{NOISE}$	10 Hz至100 kHz		1.6		$\mu\text{V rms}$
		100 Hz至100 kHz		0.9		$\mu\text{V rms}$
噪声频谱密度	$OUT_{NSD}$	10 kHz至1 MHz		1.7		nV/ $\sqrt{\text{Hz}}$
电源抑制比 <sup>2</sup>	PSRR	$I_{LOAD} = 2\text{ A}$				
ADP7159-01		1 kHz至100 kHz, $V_{IN} = 2.3\text{ V}$ , $V_{OUT} = 1.8\text{ V}$		55		dB
		1 MHz, $V_{IN} = 2.3\text{ V}$ , $V_{OUT} = 1.8\text{ V}$		40		dB
ADP7159-02		1 kHz至100 kHz, $V_{IN} = 2.8\text{ V}$ , $V_{OUT} = 2.3\text{ V}$		61		dB
		1 MHz, $V_{IN} = 2.8\text{ V}$ , $V_{OUT} = 2.3\text{ V}$		45		dB
ADP7159-03		1 kHz至100 kHz, $V_{IN} = 3.4\text{ V}$ , $V_{OUT} = 2.9\text{ V}$		65		dB
		1 MHz, $V_{IN} = 3.4\text{ V}$ , $V_{OUT} = 2.9\text{ V}$		45		dB
ADP7159-04		1 kHz至100 kHz, $V_{IN} = 3.8\text{ V}$ , $V_{OUT} = 3.3\text{ V}$		68		dB
		1 MHz, $V_{IN} = 3.8\text{ V}$ , $V_{OUT} = 3.3\text{ V}$		45		dB
输出电压精度						
输出电压 <sup>3</sup>	$V_{OUT}$	$I_{LOAD} = 10\text{ mA}$ , $T_A = 25^\circ\text{C}$	1.2	3.3		V
初始精度		$10\text{ mA} < I_{LOAD} < 2\text{ A}$ , $T_A = 25^\circ\text{C}$	-0.6	+0.6		%
		$10\text{ mA} < I_{LOAD} < 2\text{ A}$ , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-1.0	+1.0		%
			-1.5	+1.5		%
调整率						
线路	$\Delta V_{OUT}/\Delta V_{IN}$	$V_{IN} = V_{OUT\_MAX} + 0.5\text{ V}$ 至 $5.5\text{ V}$	-0.1	+0.1		%/V
负载 <sup>4</sup>	$\Delta V_{OUT}/\Delta I_{OUT}$	$I_{OUT} = 10\text{ mA}$ 至 $2\text{ A}$		0.3		%/A
限流阈值 <sup>5</sup>	$I_{LIMIT}$			22		mA
REF			2.4	3	3.8	A
VOUT						
压差 <sup>6</sup>	$V_{DROPOUT}$	$I_{OUT} = 1.2\text{ A}$ , $V_{OUT} = 3.3\text{ V}$		120	170	mV
		$I_{OUT} = 2\text{ A}$ , $V_{OUT} = 3.3\text{ V}$		200	280	mV
下拉电阻		EN = 0 V, $V_{IN} = 5.5\text{ V}$				
VOUT	$V_{OUT\_PULL}$	$V_{OUT} = 1\text{ V}$		650		$\Omega$
VREG	$V_{REG\_PULL}$	$V_{REG} = 1\text{ V}$		31		k $\Omega$
REF	$V_{REF\_PULL}$	$V_{REF} = 1\text{ V}$		850		$\Omega$
BYP	$V_{BYP\_PULL}$	$V_{BYP} = 1\text{ V}$		650		$\Omega$
启动时间 <sup>2,7</sup>		$V_{OUT} = 3.3\text{ V}$				
VOUT	$t_{START-UP}$			1.2		ms
VREG	$t_{REG-START-UP}$			0.6		ms
REF	$t_{REF-START-UP}$			0.5		ms
热关断 <sup>2</sup>						
阈值	$TS_{SD}$	$T_J$ 上升		150		$^\circ\text{C}$
迟滞	$TS_{SD-HYS}$			15		$^\circ\text{C}$

# ADP7159

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
欠压阈值 输入电压						
上升	UVLO <sub>RISE</sub>			2.22	2.29	V
下降	UVLO <sub>FALL</sub>		1.95	2.02		V
迟滞	UVLO <sub>HYS</sub>			200		mV
V <sub>REG</sub> 阈值 <sup>8</sup>						
上升	VREGUVLO <sub>RISE</sub>				1.94	V
下降	VREGUVLO <sub>FALL</sub>		1.60			V
迟滞	VREGUVLO <sub>HYS</sub>			185		mV
EN输入精密 EN输入		2.3 V ≤ V <sub>IN</sub> ≤ 5.5 V				
逻辑高电平	V <sub>EN_HIGH</sub>		1.13	1.22	1.31	V
逻辑低电平	V <sub>EN_LOW</sub>		1.05	1.13	1.22	V
逻辑迟滞	V <sub>EN_HYS</sub>			90		mV
漏电流						
REF_SENSE	I <sub>REF_SENSE_LKG</sub>			10		nA
EN	I <sub>EN_LKG</sub>	EN = V <sub>IN</sub> 或地		0.01	1	μA

<sup>1</sup> V<sub>OUT\_MAX</sub>是ADP7159各版本的最大输出电压。

<sup>2</sup> 通过特性保证，但未经生产测试。

<sup>3</sup> 该输出电压规格针对ADP7159-04版本。表10提供了根据电压范围从4种版本ADP7159选择的指南。

<sup>4</sup> 此规格基于使用10 mA和2 A负载的端点计算。

<sup>5</sup> 限流阈值为输出电压降至额定典型值90%时的电流。例如，3.0 V输出电压的电流限值为引起输出电压降至3.0 V的90%或即2.7 V的电流。

<sup>6</sup> 压差为将输入电压设置为标称输出电压时的输入至输出电压差。压差仅适用于2.3 V以上的输出电压。

<sup>7</sup> 启动时间为V<sub>EN</sub>的上升沿到V<sub>OUT</sub>、V<sub>REG</sub>或V<sub>REF</sub>达到其标称值90%的时间。

<sup>8</sup> 输出电压关闭，直到超过V<sub>REG</sub> UVLO上升阈值。V<sub>REG</sub>输出关闭，直到超过输入电压UVLO上升阈值。

**表3. 推荐规格：输入和输出电容**

参数	符号	测试条件/注释	最小值	典型值	最大值	单位
最小电容		T <sub>A</sub> = -40°C至+125°C				
输入 <sup>1</sup>	C <sub>IN</sub>		10.0			μF
稳压器 <sup>1</sup>	C <sub>REG</sub>		1.0			μF
输出 <sup>1</sup>	C <sub>OUT</sub>		10.0			μF
旁路	C <sub>BYP</sub>		1.0			μF
基准电压源	C <sub>REF</sub>		1.0			μF
电容等效串联电阻(ESR)	R <sub>ESR</sub>	T <sub>A</sub> = -40°C至+125°C				
C <sub>REG</sub> 、C <sub>OUT</sub> 、C <sub>IN</sub> 、C <sub>REF</sub>			0.001		0.2	Ω
C <sub>BYP</sub>			0.001		2.0	Ω

<sup>1</sup> 在所有工作条件下，最小输入、稳压器和输出电容必须大于7.0 μF。选择器件时必须考虑应用的所有工作条件，确保达到最小电容要求。推荐使用X7R或X5R型电容。Y5V和Z5U电容不推荐用于任何LDO。

## 绝对最大额定值

表4.

参数	额定值
VIN至地	-0.3 V至+7 V
VREG至地	-0.3 V至VIN或+4 V (取较小者)
VOUT至地	-0.3 V至VREG或+4 V (取较小者)
VOUT_SENSE至地	-0.3 V至VREG或+4 V (取较小者)
VOUT至VOUT_SENSE	±0.3 V
BYP至VOUT	±0.3 V
EN至地	-0.3 V至+7 V
BYP至地	-0.3 V至VREG或+4 V (取较小者)
REF至地	-0.3 V至VREG或+4 V (取较小者)
REF_SENSE至地	-0.3 V至+4 V
存储温度范围	-65°C至+150°C
工作结温范围	-40°C至+125°C
焊接条件	JEDEC J-STD-020

注意，等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

### 热数据

绝对最大额定值仅适合单独应用，但不适合组合使用。结温高于限值时，会损坏ADP7159。监控环境温度并不能保证 $T_J$ 不会超出额定温度限值。在高功耗和热阻不佳的应用中，额定最高环境温度可能必须降低。

在功耗中等且印刷电路板(PCB)热阻较低的应用中，只要结温在额定限值以内，则最高环境温度可以超过最大限值。器件的结温( $T_J$ )取决于环境温度( $T_A$ )、器件的功耗( $P_D$ )和封装的结至环境热阻( $\theta_{JA}$ )。

最高结温( $T_J$ )由环境温度( $T_A$ )和功耗( $P_D$ )通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结至环境热阻( $\theta_{JA}$ )基于使用4层板的建模和计算方法，主要取决于应用和板布局。在最大功耗较高的应用中，需要特别注意热板设计。 $\theta_{JA}$ 的值可能随PCB材料、布局和环境条件不同而异。 $\theta_{JA}$ 的额定值基于4" × 3"的4层电路板。有关板结构的详细信息，请参考JESD51-7标准和JESD51-9标准。

$\Psi_{JB}$ 是结至板热特性参数，单位为°C/W。封装的 $\Psi_{JB}$ 基于使用4层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明，热特性参数与热阻并不一样。 $\Psi_{JB}$ 衡量沿多条热路径流动的器件功率，而 $\theta_{JB}$ 只涉及一条路径。因此， $\Psi_{JB}$ 热路径包括来自封装顶部的对流和封装的辐射，这些因素使得 $\Psi_{JB}$ 在现实应用中更实用。最高结温( $T_J$ )由环境温度( $T_B$ )和功耗( $P_D$ )通过下式计算：

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 $\Psi_{JB}$ 的更详细信息，请参考JESD51-8和JESD51-12。

### 热阻

$\theta_{JA}$ 、 $\theta_{JC}$ 和 $\Psi_{JB}$ 针对最差条件，即器件焊接在电路板上实现表贴封装。

表5. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JB}$	单位
10引脚 LFCSP	53.8	15.6	29.1	°C/W
8引脚 SOIC	50.4	42.3	30.1	°C/W

### ESD警告

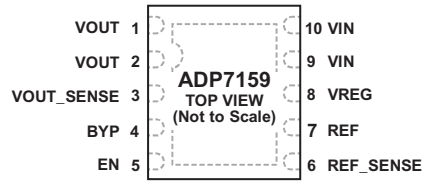


#### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADP7159

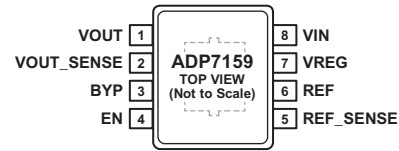
## 引脚配置和功能描述



### NOTES

1. THE EXPOSED PAD IS LOCATED ON THE BOTTOM OF THE PACKAGE. THE EXPOSED PAD ENHANCES THERMAL PERFORMANCE, AND IT IS ELECTRICALLY CONNECTED TO GROUND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

图3. 10引脚LFCSP引脚配置



### NOTES

1. THE EXPOSED PAD IS LOCATED ON THE BOTTOM OF THE PACKAGE. THE EXPOSED PAD ENHANCES THERMAL PERFORMANCE, AND IT IS ELECTRICALLY CONNECTED TO GROUND INSIDE THE PACKAGE. CONNECT THE EXPOSED PAD TO THE GROUND PLANE ON THE BOARD TO ENSURE PROPER OPERATION.

图4. 8引脚SOIC引脚配置

表6. 引脚功能描述

引脚编号		引脚名称	说明
LFCSP	SOIC		
1, 2	1	VOUT	调节输出电压。采用10 μF或更大的电容将VOUT旁路至地。
3	2	VOUT_SENSE	输出检测。VOUT_SENSE通过10 Ω电阻内部连接VOUT。VOUT_SENSE尽量靠近负载连接。
4	3	BYP	低噪声旁路电容。在BYP引脚至地之间连接一个1 μF或更大的电容，降低噪声。不要将负载与此引脚相连。
5	4	EN	使能。将EN接到高电平时，稳压器启动；将EN接到低电平时，稳压器关闭。若要实现自动启动，请将EN接VIN。
6	5	REF_SENSE	基准电压源检测。此引脚通过外部电阻分压器设置输出电压。 $V_{OUT} = V_{REF} \times (R1 + R2)/R2$ ，其中 $V_{REF} = 1.2 V$ 。将REF_SENSE连接至REF引脚。不要将REF_SENSE与VOUT或地相连。
7	6	REF	低噪声基准电压输出。采用1 μF或更大的电容将REF旁路至地。为提供固定输出电压，将REF_SENSE短接到REF。不要将负载与此引脚相连。
8	7	VREG	LDO放大器的稳压输入电源电压。采用1 μF或更大的电容将VREG旁路至地。
9, 10	8	VIN EP	稳压器输入电源电压。采用10 μF或更大的电容将VIN旁路至地。 裸露焊盘。裸露焊盘位于封装底部。裸露焊盘可增强散热性能，它与封装内部的接地形成电气连接。为确保正常工作，应将裸露焊盘连接至电路板的接地层。

## 典型性能参数

$V_{IN} = V_{OUT} + 0.5\text{ V}$ , 或  $V_{IN} = 2.3\text{ V}$ , 取较大者;  $V_{EN} = V_{IN}$ ;  $I_{LOAD} = 10\text{ mA}$ ;  $C_{IN} = C_{OUT} = 10\text{ }\mu\text{F}$ ;  $C_{REG} = C_{REF} = C_{BYP} = 1\text{ }\mu\text{F}$ ;  
除非另有说明,  $T_A = 25^\circ\text{C}$ 。

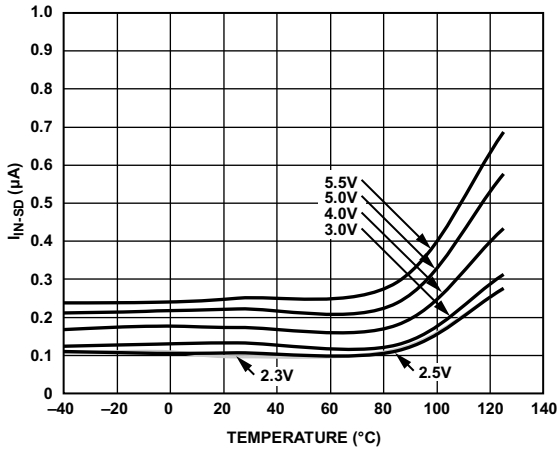


图5. 各种输入电压( $V_{IN}$ )下关断电流( $I_{IN-SD}$ )与温度的关系( $V_{OUT}=1.8\text{ V}$ )

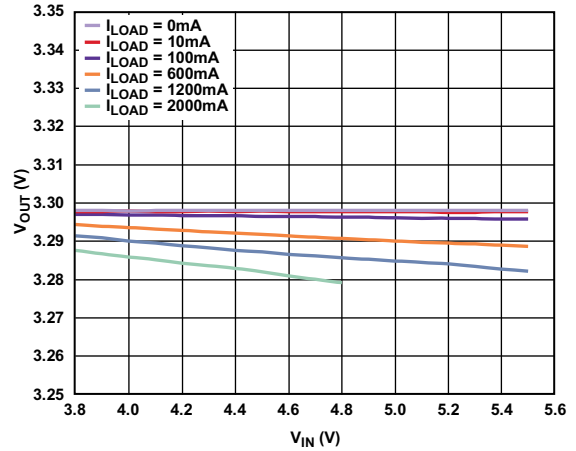


图8. 各种负载下输出电压( $V_{OUT}$ )与输入电压( $V_{IN}$ )的关系( $V_{OUT}=3.3\text{ V}$ )

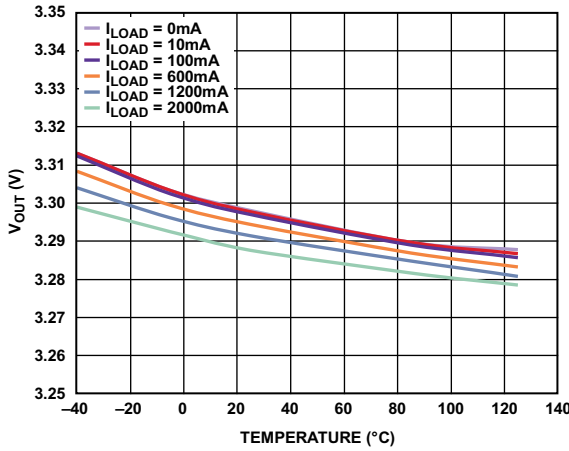


图6. 各种负载下输出电压( $V_{OUT}$ )与温度的关系( $V_{OUT}=3.3\text{ V}$ )

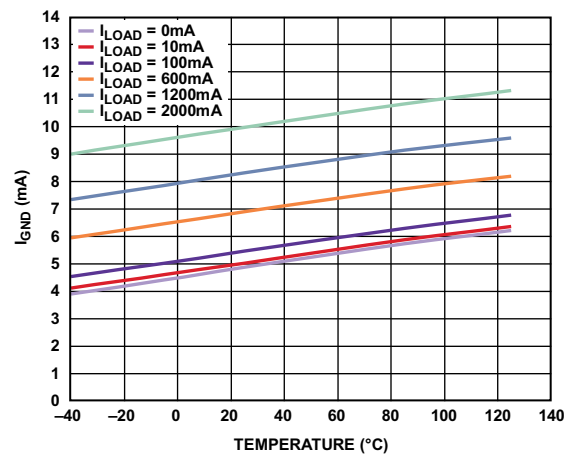


图9. 各种负载下地电流( $I_{GND}$ )与温度的关系( $V_{OUT}=3.3\text{ V}$ )

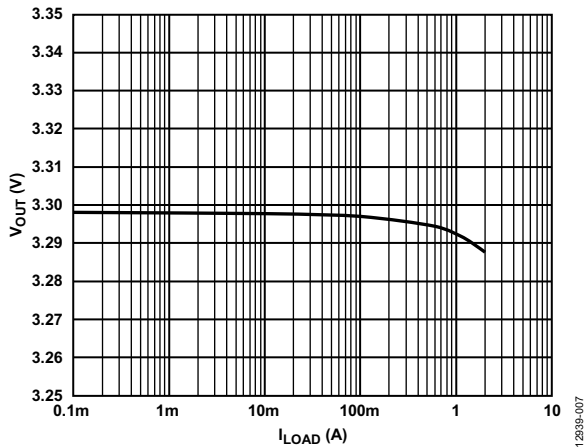


图7. 输出电压( $V_{OUT}$ )与负载电流( $I_{LOAD}$ )的关系( $V_{OUT}=3.3\text{ V}$ )

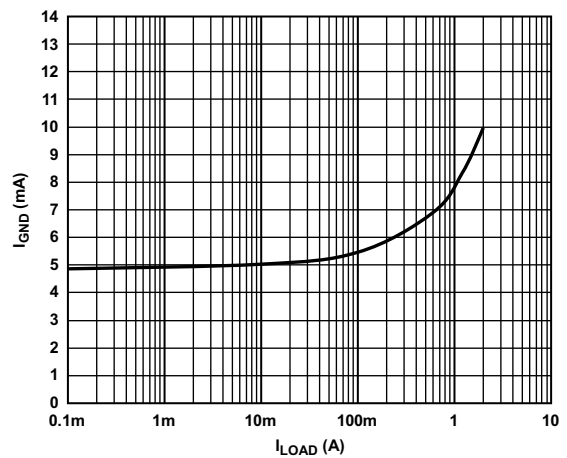


图10. 地电流( $I_{GND}$ )与负载电流( $I_{LOAD}$ )的关系( $V_{OUT}=3.3\text{ V}$ )

# ADP7159

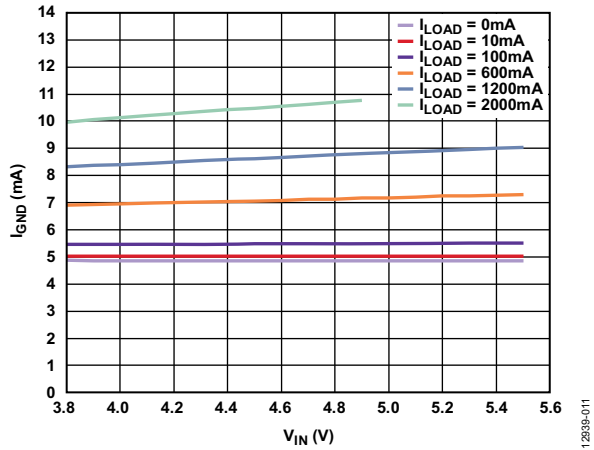


图11. 各种负载下地电流( $I_{GND}$ )与输入电压( $V_{IN}$ )的关系 ( $V_{OUT} = 3.3\text{ V}$ )

12839-011

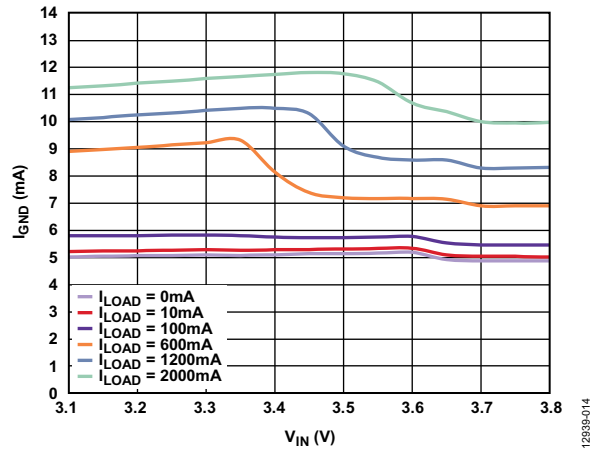


图14. 压差模式下地电流( $I_{GND}$ )与输入电压( $V_{IN}$ )的关系 ( $V_{OUT} = 3.3\text{ V}$ )

12839-014

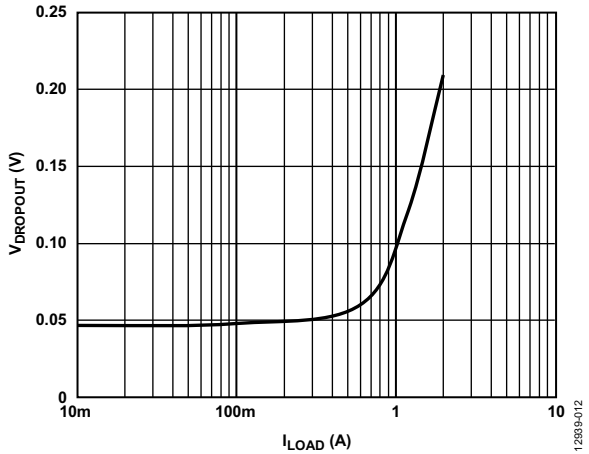


图12. 压差( $V_{DROPOUT}$ )与负载电流( $I_{LOAD}$ )的关系 ( $V_{OUT} = 3.3\text{ V}$ )

12839-012

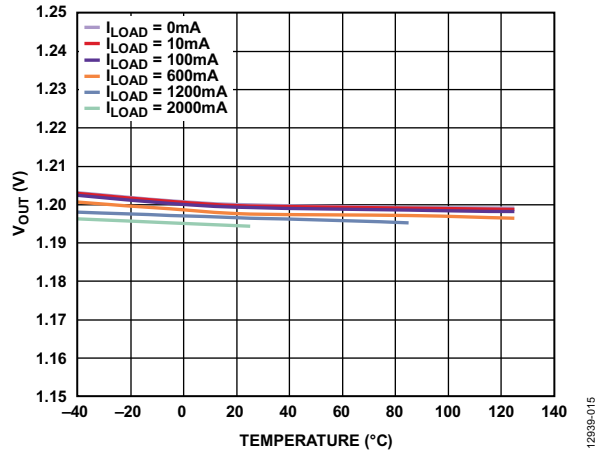


图15. 各种负载下输出电压( $V_{OUT}$ )与温度的关系 ( $V_{OUT} = 1.2\text{ V}$ )

12839-015

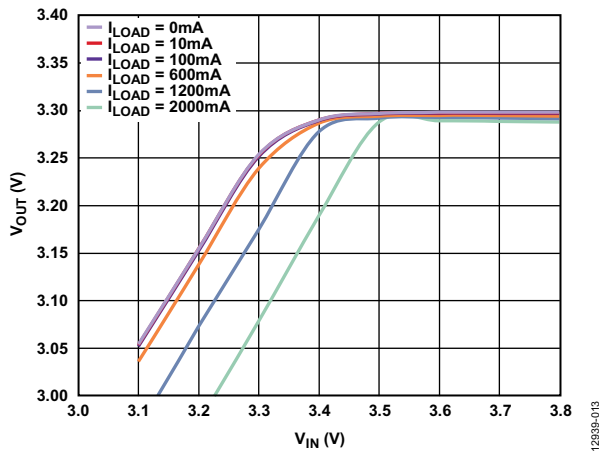


图13. 压差模式下输出电压( $V_{OUT}$ )与输入电压( $V_{IN}$ )的关系 ( $V_{OUT} = 3.3\text{ V}$ )

12839-013

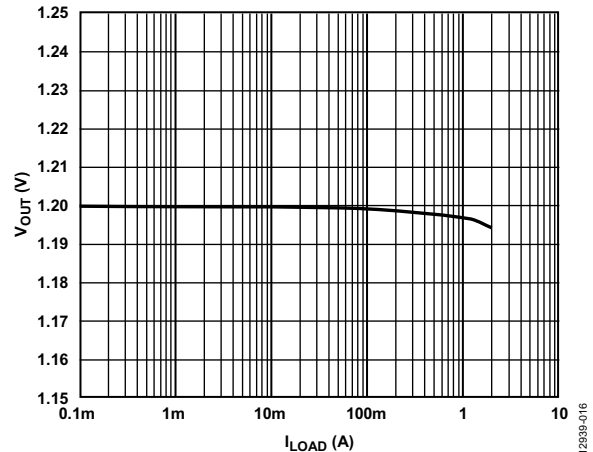


图16. 输出电压( $V_{OUT}$ )与负载电流( $I_{LOAD}$ )的关系 ( $V_{OUT} = 1.2\text{ V}$ )

12839-016



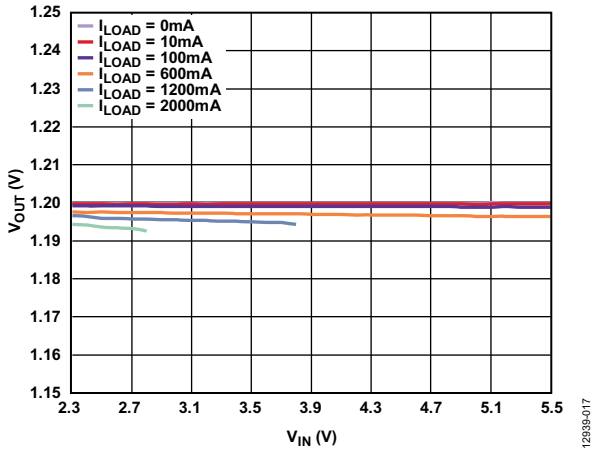


图17. 各种负载下输出电压( $V_{OUT}$ )与输入电压( $V_{IN}$ )的关系 ( $V_{OUT} = 1.2V$ )

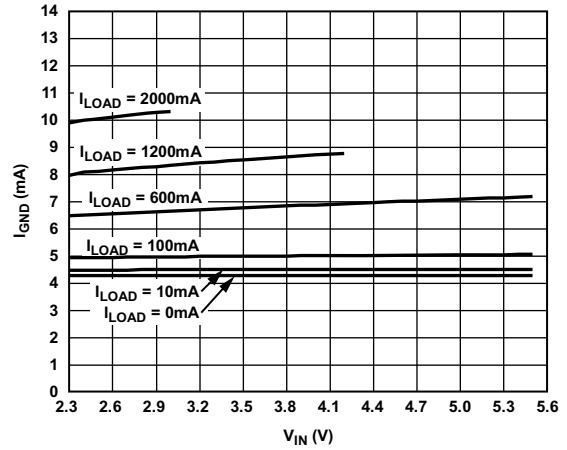


图20. 各种负载下地电流( $I_{GND}$ )与输入电压( $V_{IN}$ )的关系 ( $V_{OUT} = 1.2V$ )

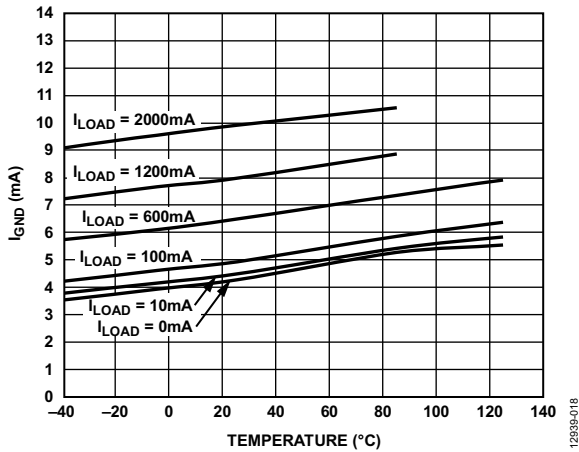


图18. 各种负载下地电流( $I_{GND}$ )与温度的关系 ( $V_{OUT} = 1.2V$ )

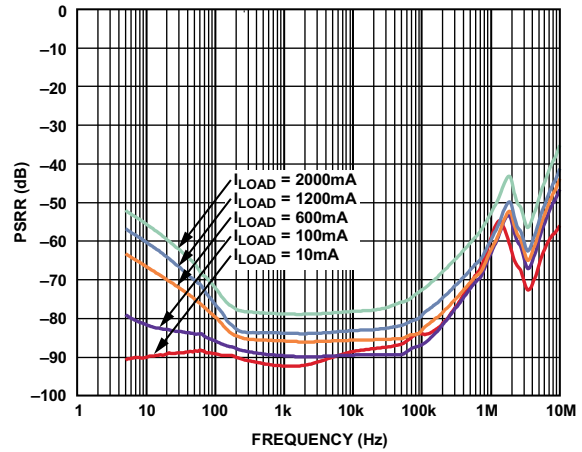


图21. 各种负载下电源抑制比(PSRR)与频率的关系 ( $V_{OUT} = 3.3V$ ,  $V_{IN} = 4.0V$ )

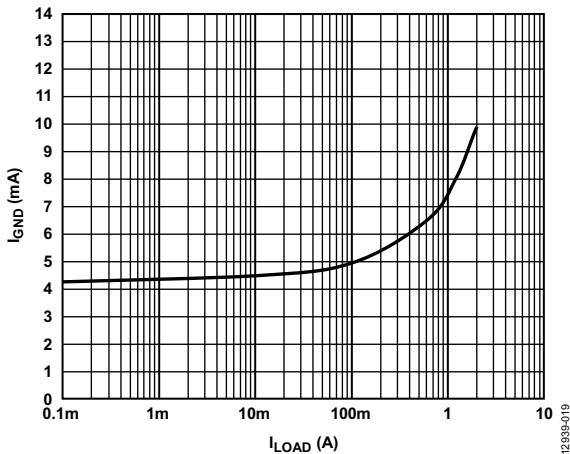


图19. 地电流( $I_{GND}$ )与负载电流( $I_{LOAD}$ )的关系 ( $V_{OUT} = 1.2V$ )

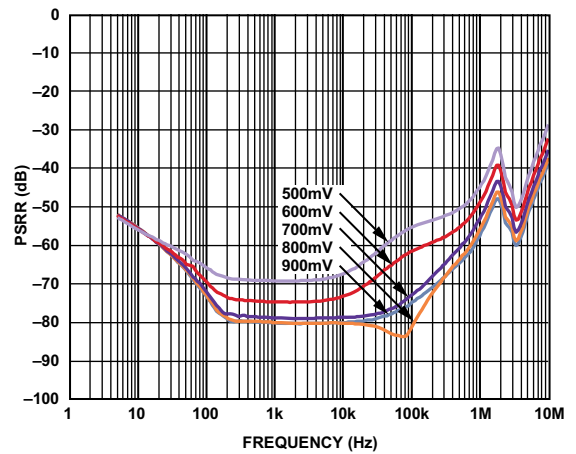


图22. 各种裕量电压下电源抑制比(PSRR)与频率的关系 ( $V_{OUT} = 3.3V$ , 2A负载)

# ADP7159

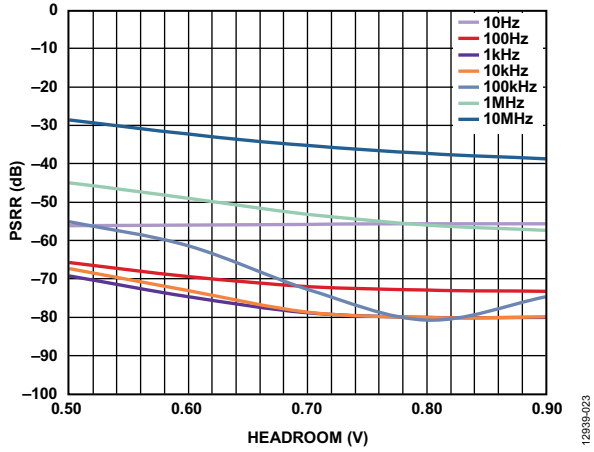


图23. 各种频率下电源抑制比(PSRR)与裕量电压的关系  
( $V_{OUT} = 3.3\text{ V}$ , 2 A负载)

12939-023

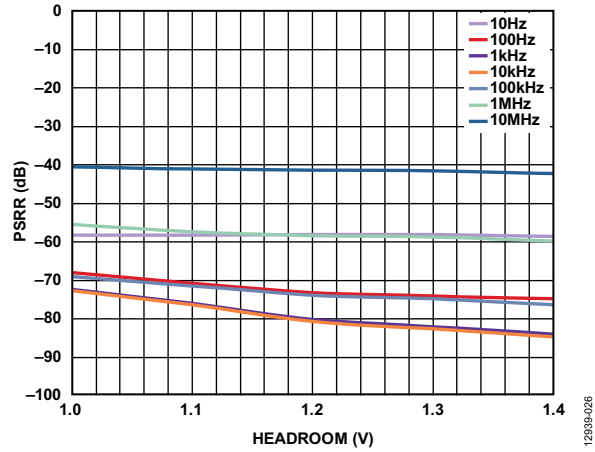


图26. 各种频率下电源抑制比(PSRR)与裕量电压的关系  
( $V_{OUT} = 1.2\text{ V}$ , 2 A负载)

12939-026

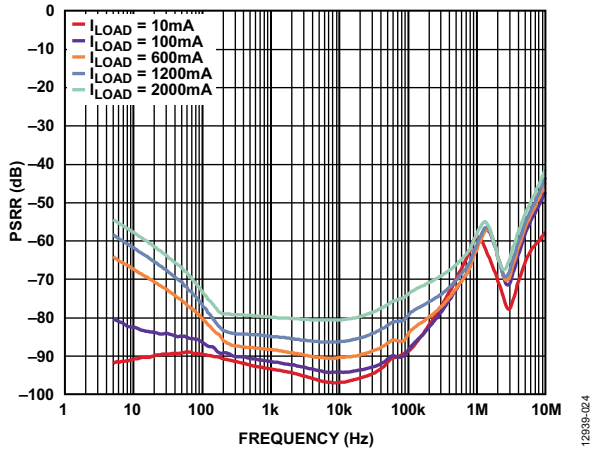


图24. 各种负载下电源抑制比(PSRR)与频率的关系  
( $V_{OUT} = 1.2\text{ V}$ ,  $V_{IN} = 2.4\text{ V}$ )

12939-024

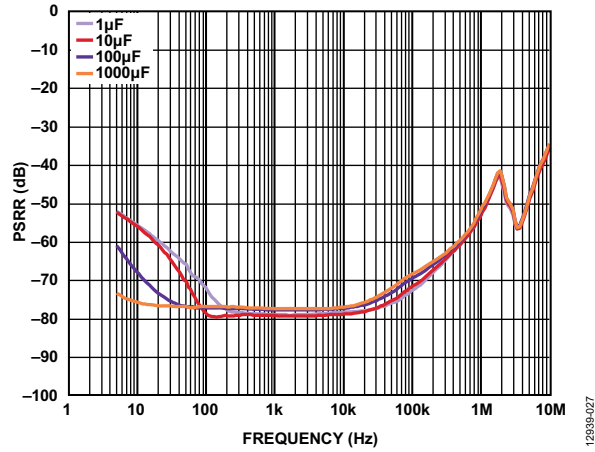


图27. 各种 $C_{BYP}$ 数值下电源抑制比(PSRR)与频率的关系  
( $V_{OUT} = 3.3\text{ V}$ ,  $V_{IN} = 4.0\text{ V}$ , 2 A负载)

12939-027

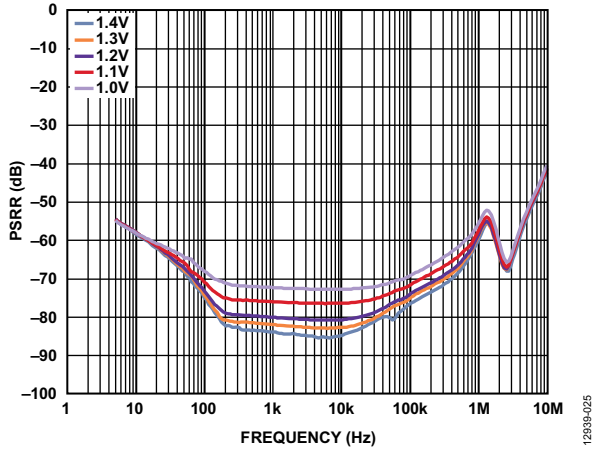


图25. 各种裕量电压下电源抑制比(PSRR)与频率的关系  
( $V_{OUT} = 1.2\text{ V}$ , 2 A负载)

12939-025

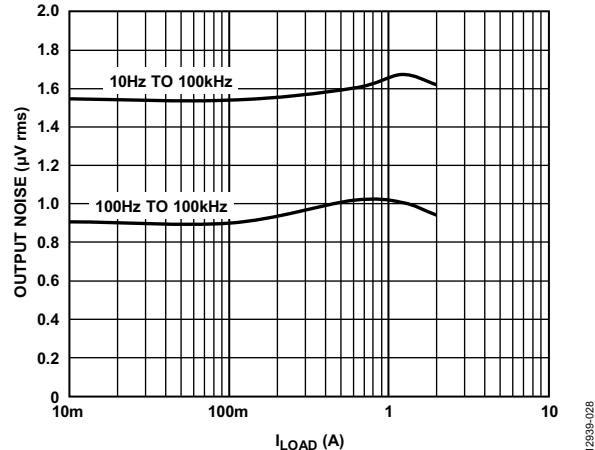


图28. RMS输出噪声与负载电流( $I_{LOAD}$ )的关系

12939-028

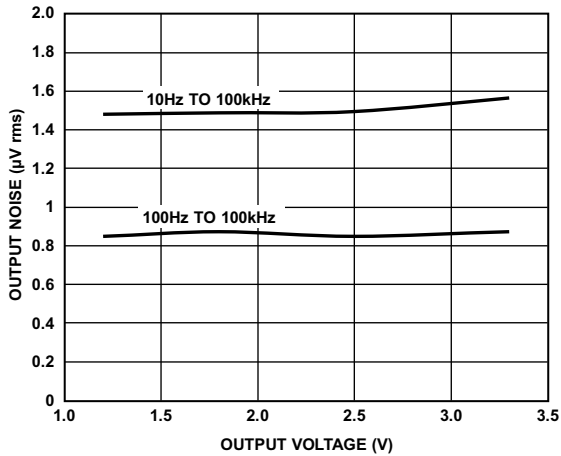


图29. RMS输出噪声与输出电压的关系

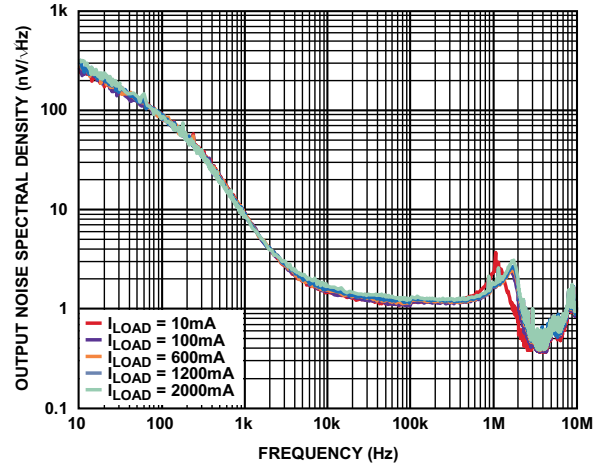


图32. 各种负载下输出噪声频谱密度与频率的关系 (10 Hz至10 MHz)

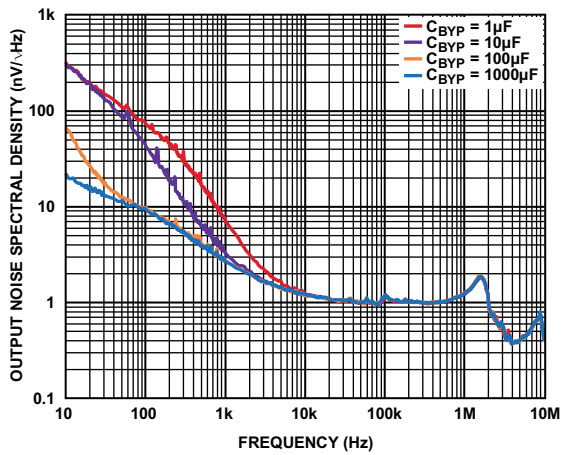


图30. 各种 $C_{BYP}$ 数值下输出噪声频谱密度与频率的关系

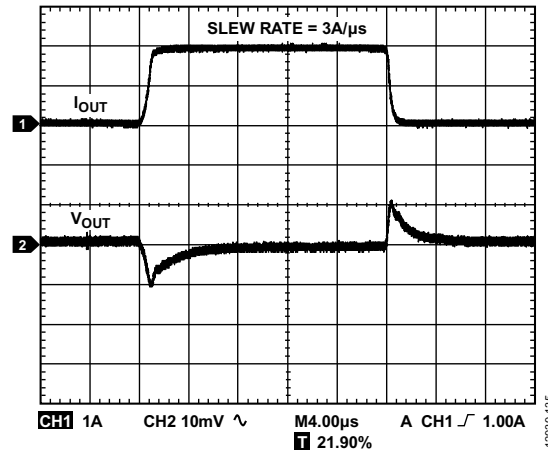


图33. 负载瞬态响应,  $I_{LOAD} = 100\text{ mA}$ 至 $2\text{ A}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $V_{IN} = 4.0\text{ V}$ , 通道1 =  $I_{OUT}$ , 通道2 =  $V_{OUT}$

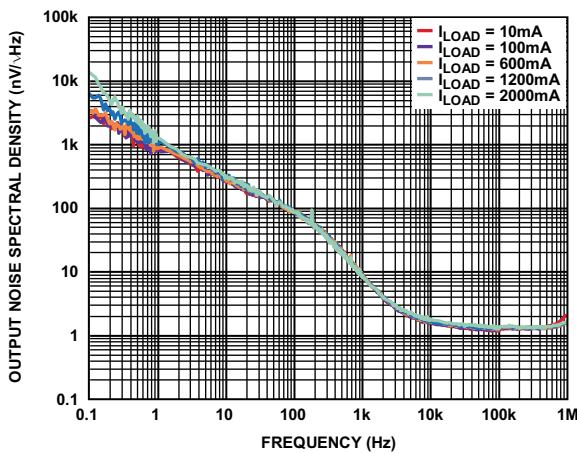


图31. 各种负载下输出噪声频谱密度与频率的关系(0.1 Hz至1 MHz)

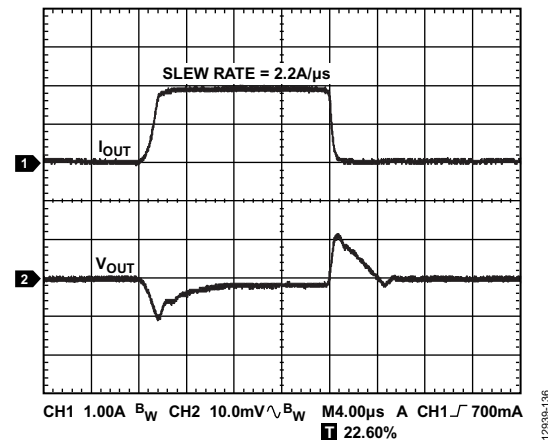


图34. 负载瞬态响应,  $I_{LOAD} = 100\text{ mA}$ 至 $2\text{ A}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $V_{IN} = 4.0\text{ V}$ ,  $C_{OUT} = 22\text{ }\mu\text{F}$ , 通道1 =  $I_{OUT}$ , 通道2 =  $V_{OUT}$

# ADP7159

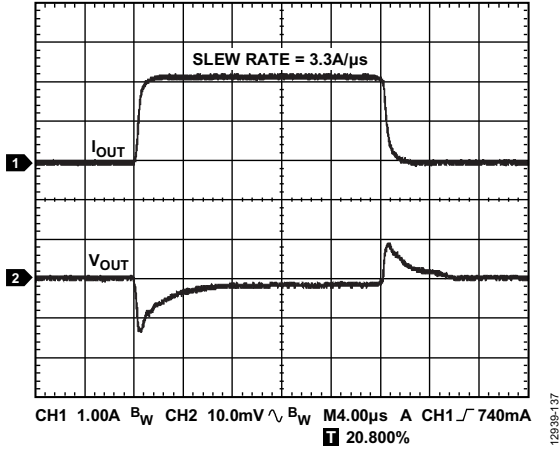


图35. 负载瞬态响应,  $I_{LOAD} = 100\text{ mA}$ 至 $2\text{ A}$ ,  $V_{OUT} = 1.8\text{ V}$ ,  $V_{IN} = 2.5\text{ V}$ , 通道1 =  $I_{OUT}$ , 通道2 =  $V_{OUT}$

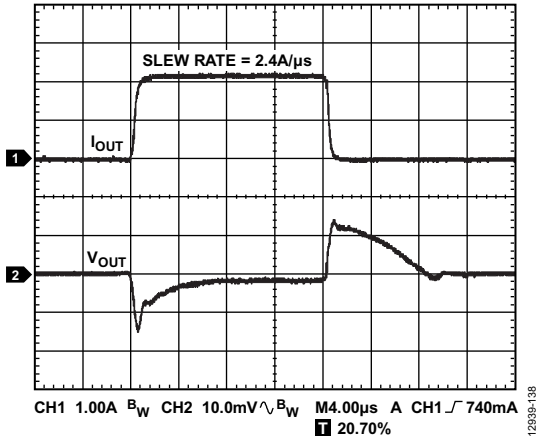


图36. 负载瞬态响应,  $I_{LOAD} = 100\text{ mA}$ 至 $2\text{ A}$ ,  $V_{OUT} = 1.8\text{ V}$ ,  $V_{IN} = 2.5\text{ V}$ ,  $C_{OUT} = 22\text{ }\mu\text{F}$ , 通道1 =  $I_{OUT}$ , 通道2 =  $V_{OUT}$

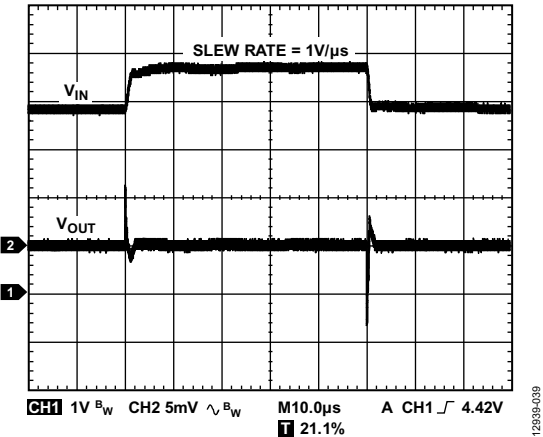


图37. 线路瞬态响应,  $1\text{ V}$ 输入阶跃,  $I_{LOAD} = 2\text{ A}$ ,  $V_{OUT} = 3.3\text{ V}$ ,  $V_{IN} = 3.8\text{ V}$ , 通道1 =  $V_{IN}$ , 通道2 =  $V_{OUT}$

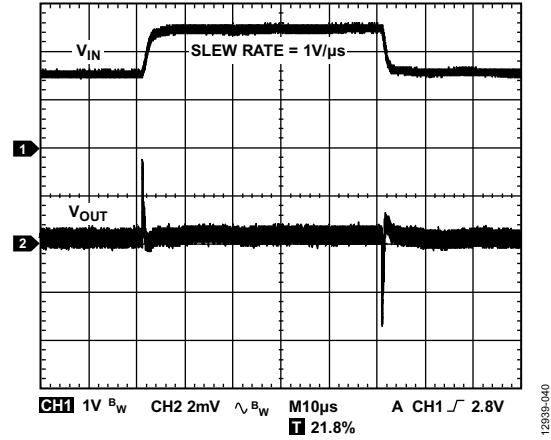


图38. 线路瞬态响应,  $1\text{ V}$ 输入阶跃,  $I_{LOAD} = 2\text{ A}$ ,  $V_{OUT} = 1.8\text{ V}$ ,  $V_{IN} = 2.5\text{ V}$ , 通道1 =  $V_{IN}$ , 通道2 =  $V_{OUT}$

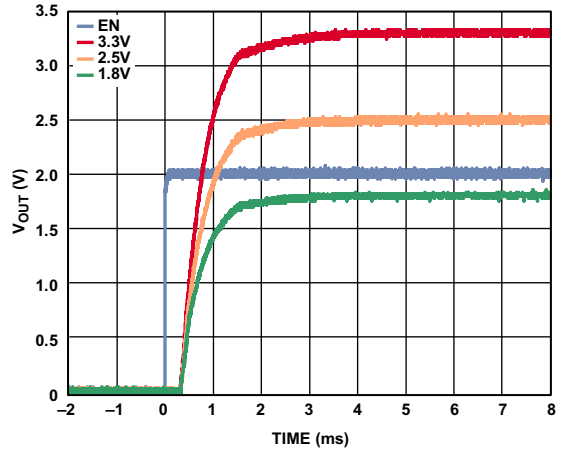


图39. 各种输出电压下 $V_{EN}$ 上升之后的 $V_{OUT}$ 启动时间 ( $V_{IN} = 5.0\text{ V}$ ,  $C_{BYP} = 1\text{ }\mu\text{F}$ )

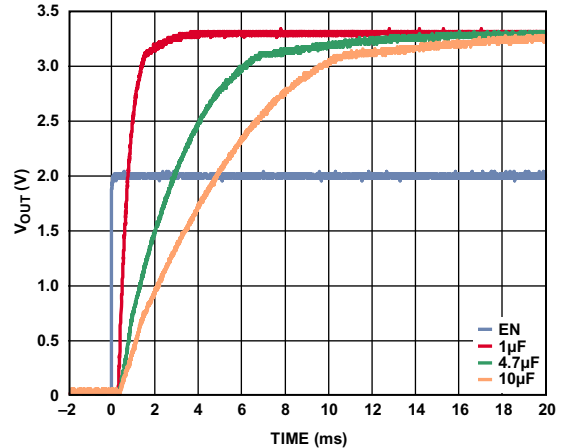


图40. 各种 $C_{BYP}$ 数值下 $V_{OUT}$ 启动时间行为 ( $V_{OUT} = 3.3\text{ V}$ )

## 工作原理

ADP7159是一款超低噪声、高PSRR线性稳压器，设计用于射频(RF)应用。输入电压范围为2.3 V至5.5 V，器件提供高达2 A的负载电流。室温时，关断模式下的功耗典型值为0.2  $\mu$ A。

ADP7159经过优化，利用10  $\mu$ F陶瓷电容可实现出色的瞬态性能。

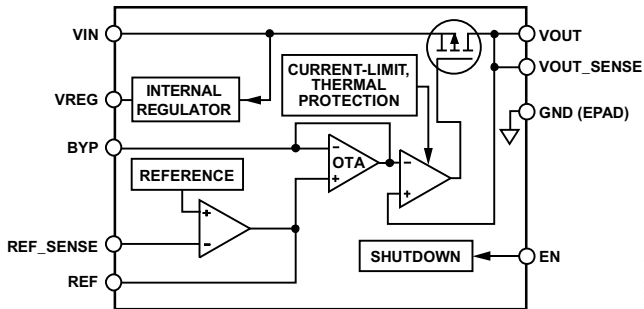


图41. 简化内部框图

ADP7159内置一个基准电压源、一个误差放大器和一个P沟道MOSFET调整管。输出电流经由PMOS调整管提供，其受误差放大器控制。误差放大器比较基准电压与输出端的反馈电压，并放大该差值。如果反馈电压低于基准电压，PMOS器件的栅极将被拉低，以便通过更多电流，提高输出电压。如果反馈电压高于基准电压，PMOS器件的栅极将被拉高，以便通过较少电流，降低输出电压。

通过对基准电压进行深度滤波，ADP7159在10 kHz到1 MHz范围内可实现1.7 nV/ $\sqrt{\text{Hz}}$ 的典型输出噪声。误差放大器始终是单位增益，因此输出噪声与输出电压无关。

ADP7159输出电压可在1.2 V到3.3 V之间调整，它有四个型号，通过优化输入电压和输出电压来保持尽可能低的功耗，而PSRR性能则不受影响。输出电压由外部分压器决定，计算公式如下：

$$V_{OUT} = 1.2 \text{ V} \times (1 + R1/R2)$$

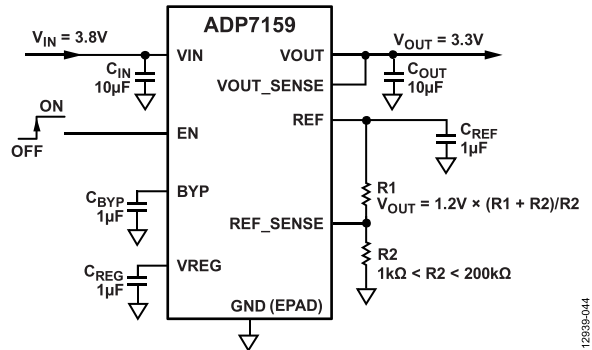


图42. 典型可调输出电压应用原理图

R2值必须大于1 k $\Omega$ ，以防REF引脚上的基准电压过载。为将REF\_SENSE引脚输入电流引起的输出电压误差降至最低，R2值必须低于200 k $\Omega$ 。例如，当R1和R2都是100 k $\Omega$ 时，输出电压为2.4 V。假设 $T_A = 125^\circ\text{C}$ 时REF\_SENSE引脚输入电流最大值为100 nA，则REF\_SENSE引脚输入电流引起的输出电压误差为10 mV或0.33%。

在正常工作条件下，ADP7159利用EN引脚使能和禁用VOUT引脚。EN为高电平时，VOUT开启；EN为低电平时，VOUT关闭。若要实现自动启动，请将EN接VIN。

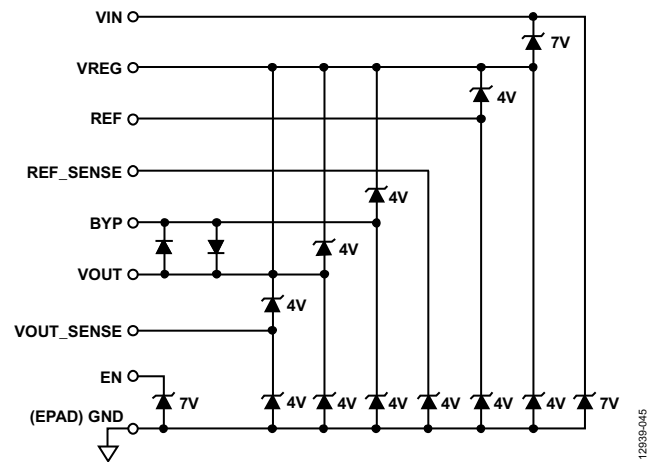


图43. 简化ESD保护功能框图

ESD保护结构在框图中显示为齐纳二极管(见图43)。

## 应用信息

### ADIsimPOWER设计工具

ADP7159由ADIsimPower™设计工具集提供支持。ADIsimPower是一个工具集合，可以根据特定设计目标产生完整的电源设计。利用这些工具，用户只需几分钟就能生成完整原理图、物料清单并计算性能。ADIsimPower可以考虑IC和所有真实外部元件的工作条件与限制，并针对成本、面积、效率和器件数量优化设计。欲了解更多信息并获得ADIsimPower设计工具，请访问：[www.analog.com/ADIsimPower](http://www.analog.com/ADIsimPower)。

### 电容选择

多层陶瓷电容(MLCC)不仅尺寸小，而且将低ESR、低有效串联电感(ESL)和宽工作温度范围特性融于一体，可以说是旁路电容的首选。不过，这类电容也并非完美无缺。根据电介质材料不同，电容值会随着温度、直流偏置和交流信号电压动态变化。因此，选择合适的电容可获得最佳电路性能。

### 输出电容

ADP7159设计采用陶瓷电容工作，但只要考虑ESR值，便可以采用大多数常用电容。输出电容的ESR会影响LDO控制环路的稳定性。为了确保ADP7159稳定工作，推荐使用至少10  $\mu\text{F}$ 、ESR为0.2  $\Omega$ 或更小的电容。输出电容还会影响稳压器对负载电流变化的瞬态响应。采用较大的输出电容值可改善ADP7159对大负载电流变化的瞬态响应。图44显示输出电容值为10  $\mu\text{F}$ 时的瞬态响应。

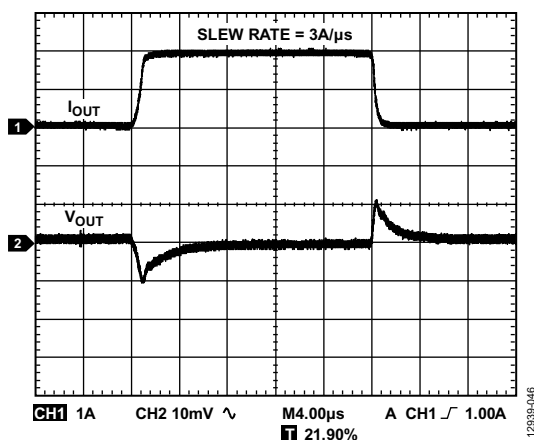


图44. 输出瞬态响应， $V_{\text{OUT}} = 3.3 \text{ V}$ ， $C_{\text{OUT}} = 10 \mu\text{F}$ ，  
通道1 = 负载电流，通道2 =  $V_{\text{OUT}}$

### 输入和VREG电容

在VIN至地之间连接一个10  $\mu\text{F}$ 电容可以降低电路对PCB布局布线的敏感性，特别是遇到长输入走线或高信号源阻抗时。

为了维持最佳的稳定性和PSRR性能，应在VREG与地之间连接1  $\mu\text{F}$ 或更大的电容。

### REF电容

为使基准电压放大器保持稳定，必须使用REF电容 $C_{\text{REF}}$ 。在REF与地之间连接1  $\mu\text{F}$ 或更大的电容。

### BYP电容

为了对基准电压缓冲器进行滤波，必须使用BYP电容 $C_{\text{BYP}}$ 。通常在BYP与地之间连接一个1  $\mu\text{F}$ 电容。可以使用低至0.1  $\mu\text{F}$ 的电容；但是，LDO的输出噪声电压会因此而提高。

此外，可以提高BYP电容值以降低1 kHz以下的噪声，不过LDO的启动时间会延长。非常大的 $C_{\text{BYP}}$ 会显著降低10 Hz以下的噪声。对于33  $\mu\text{F}$ 以上的电容，建议使用钽电容，因为固态钽电容对麦克风噪声问题不太敏感。在较高频率时，为了保持良好的噪声性能，建议将一个1  $\mu\text{F}$ 陶瓷电容与更大的钽电容并联。

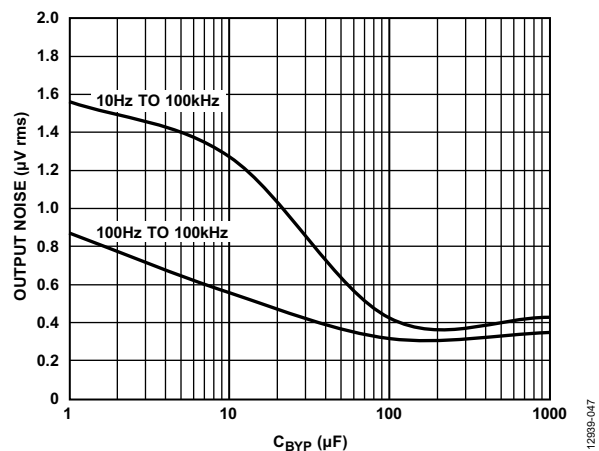
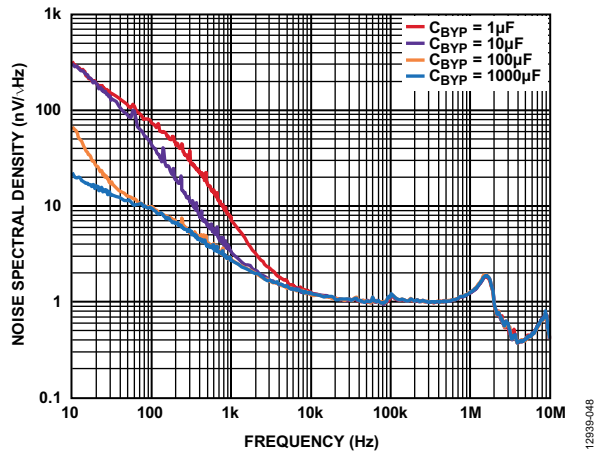


图45. RMS输出噪声与旁路电容( $C_{\text{BYP}}$ )的关系

图46. 各种 $C_{BYP}$ 数值下噪声频谱密度与频率的关系

### 电容特性

只要符合最小电容和最大ESR要求，ADP7159可以采用任何质量优良的陶瓷电容。陶瓷电容可采用各种各样的电介质制造，温度和所施加的电压不同时其特性也不相同。电容必须具有足以在必要的温度范围和直流偏置条件下确保最小电容的电介质。推荐使用额定电压为6.3 V至50 V的X5R或X7R电介质。但是，不推荐Y5V和Z5U电介质，它们的温度特性和直流偏置特性较差。

图47所示为1206、10  $\mu\text{F}$ 、10 V、X5R电容的容值与直流偏置电压的关系。电容的电压稳定性受电容尺寸和电压额定值影响极大。一般而言，封装较大或电压额定值较高的电容具有较好的稳定性。X5R电介质的温度变化率在 $-40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 温度范围内约为 $\pm 15\%$ ，与封装或电压额定值没有函数关系。

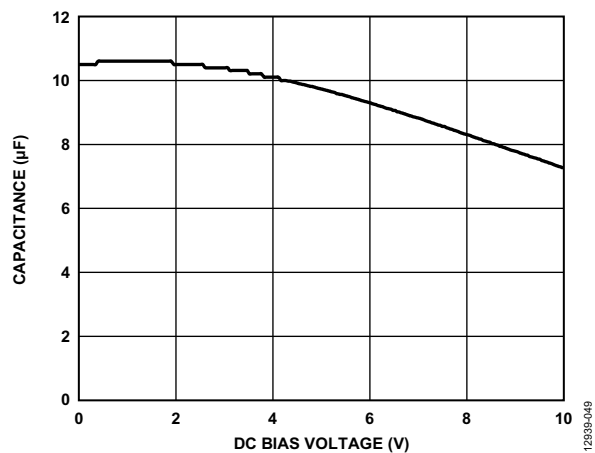


图47. 电容与直流偏置电压的关系

考虑电容随温度、元件容差和电压的变化，可以利用公式1确定最差情况下的电容。

$$C_{EFF} = C_{BIAS} \times (1 - Tempco) \times (1 - TOL) \quad (1)$$

其中：

$C_{BIAS}$ 是工作电压下的有效电容。

$Tempco$ 是最差情况下的电容温度系数。

$TOL$ 是最差情况下的器件容差。

本例中，假定X5R电介质在 $-40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 范围内的最差条件温度系数(TEMPCO)为15%。如图47所示，在5 V电压下，假定电容容差(TOL)为10%， $C_{BIAS}$ 为9.72  $\mu\text{F}$ 。

将这些值代入公式1中可得到：

$$C_{EFF} = 9.72 \mu\text{F} \times (1 - 0.15) \times (1 - 0.1) = 7.44 \mu\text{F}$$

因此，在选定输出电压条件下，本例中所选电容满足LDO在温度和容差方面的最小电容要求。

为了保证ADP7159的性能，必须针对每一种应用来评估直流偏置、温度和容差对电容性能的影响。

### 欠压闭锁(UVLO)

ADP7159还内置欠压闭锁(UVLO)电路，当输入电压低于稳压器的最小输入电压额定值时，输出电压禁用。阈值上限和下限是固定值，并具有大约200 mV的迟滞。

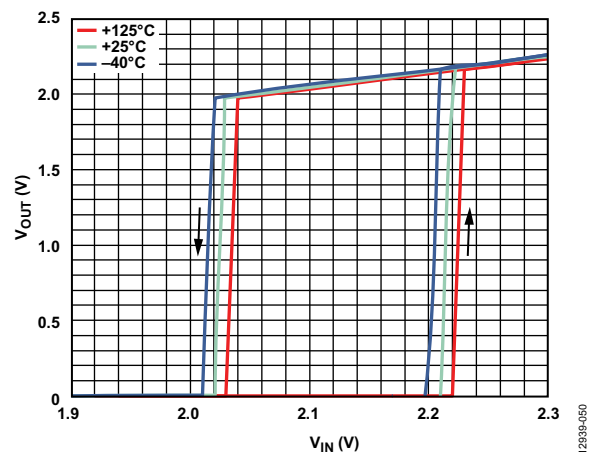
图48. 各种温度下的典型UVLO行为( $V_{OUT} = 3.3 \text{ V}$ )

图48显示了UVLO功能的典型迟滞。该迟滞可以防止输入电压上的噪声在经过阈值点时引起开关振荡。

# ADP7159

## 可编程精密使能

在正常工作条件下，ADP7159利用EN引脚使能和禁用VOUT引脚。如图49所示，当EN上的上升电压越过阈值上限(标称值为1.22 V)时，V<sub>OUT</sub>开启。当EN上的下降电压越过阈值下限(标称值为1.13 V)时，V<sub>OUT</sub>关闭。EN阈值的迟滞约为90 mV。

ADP7159的每一个VOUT、VREG、VREF和BYP引脚上均集成一个放电电阻。当器件禁用时，这些电阻开启，有助于快速为相关电容放电。

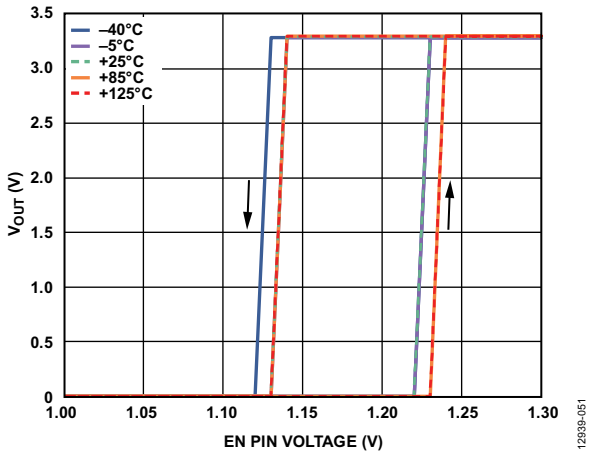


图49. 对EN引脚工作方式的典型V<sub>OUT</sub>响应

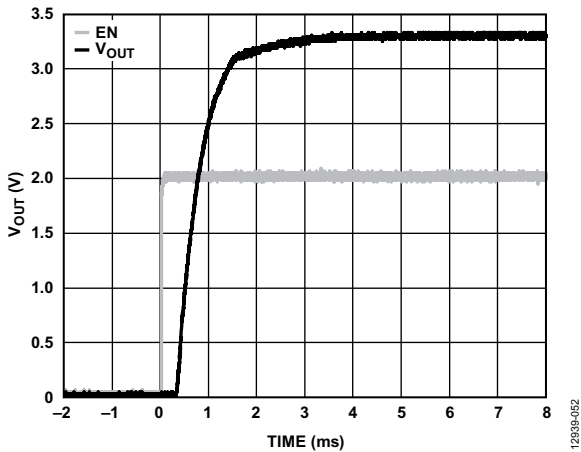


图50. 对EN引脚工作方式(V<sub>EN</sub>)的典型V<sub>OUT</sub>响应  
(V<sub>OUT</sub> = 3.3 V, V<sub>IN</sub> = 5 V, C<sub>BYP</sub> = 1 μF)

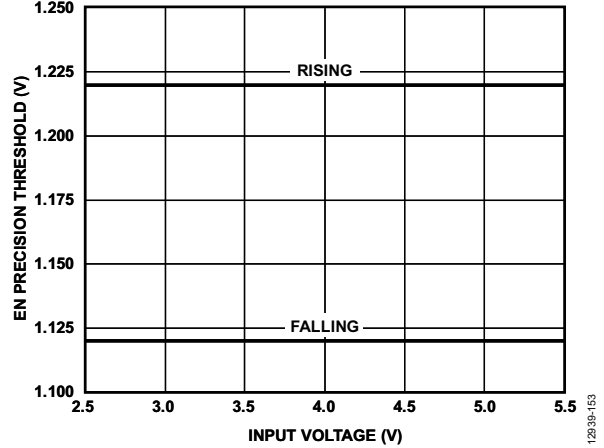


图51. 典型EN阈值与输入电压(V<sub>IN</sub>)的关系

阈值上限和下限是用户可编程的，可以利用两个电阻设为高于标称阈值1.22 V。电阻值R<sub>EN1</sub>和R<sub>EN2</sub>可确定如下：

$$R_{EN1} = R_{EN2} \times (V_{EN} - 1.22 \text{ V}) / 1.22 \text{ V}$$

其中：

R<sub>EN2</sub> 通常为10 kΩ至100 kΩ。

V<sub>EN</sub>是所需的开启电压。

迟滞电压上升系数

$$(R_{EN1} + R_{EN2}) / R_{EN2}$$

在图52所示的例子中，EN阈值为2.44 V，迟滞为200 mV。

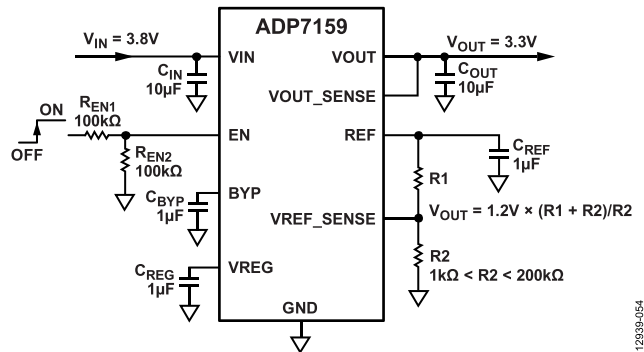


图52. EN引脚的典型分压器

图52显示了EN引脚的典型迟滞。该迟滞可以防止EN引脚上的噪声在经过阈值点时引起开关振荡。



## 启动时间

ADP7159利用内置软启动功能，在输出使能时限制浪涌电流。当输出为3.3 V时，从超过EN有效阈值到输出达到其最终值90%的启动时间约为1.2 ms。

输出电压(10%至90%)以秒为单位的上升时间约为  $0.0012 \times C_{BYP}$ ，其中  $C_{BYP}$  单位为  $\mu\text{F}$ 。

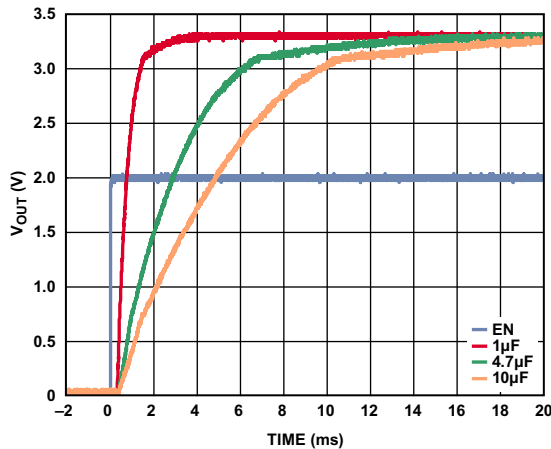


图53. 典型启动行为( $C_{BYP} = 1 \mu\text{F}$ 至  $10 \mu\text{F}$ )

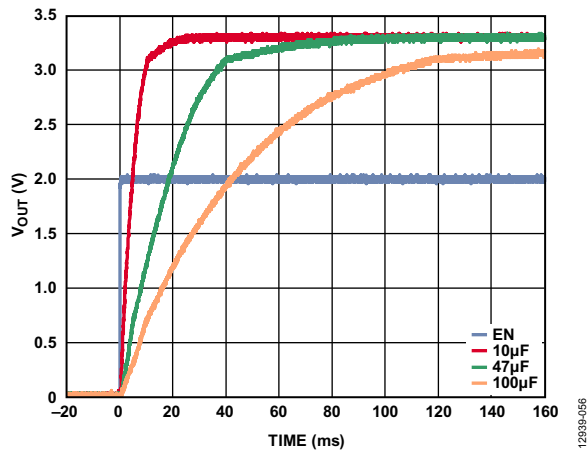


图54. 典型启动行为( $C_{BYP} = 10 \mu\text{F}$ 至  $100 \mu\text{F}$ )

## REF、BYP和VREG引脚

REF、BYP和VREG在内部产生电压( $V_{REF}$ 、 $V_{BYP}$ 和 $V_{REG}$ )，需要外部旁路电容才能正常工作。任何情况下都不能将任何负载连接到这些引脚，否则会影响ADP7159的噪声和PSRR性能。使用数值较大的 $C_{BYP}$ 、 $C_{REF}$ 和 $C_{REG}$ 是允许的，但会增加启动时间，如“启动时间”部分所述。

## 限流和热关断

ADP7159内置限流和热过载保护电路，可防止功耗过大导致受损。当输出负载达到3 A(典型值)时，ADP7159的限流电路就会起作用。当输出负载超过3 A时，输出电压会被降低，以保持恒定的电流限制。

当ADP7159结温超过 $150^\circ\text{C}$ 时，热关断电路就会关断输出电压，降低输出电流，直至零。极端结温可能由大电流工作、线路板设计差或环境温度高等因素造成。热关断有 $15^\circ\text{C}$ 的迟滞，因此片内温度必须低于 $135^\circ\text{C}$ ，ADP7159才会从热关断中恢复。器件退出热关断后，便开始软启动，降低浪涌电流。

限流和热关断保护旨在保护器件免受偶然过载条件影响。如果VOUT至地发生负载短路，或者软启动定时器时间极长，则通常会导致器件在限流和热关断之间发生热振荡。

## 散热考虑

在输入至输出电压差很小的应用中，ADP7159不会产生很多热量。然而，在环境温度很高和/或输入电压很大的应用中，封装发出的热量可能非常大，导致芯片结温超过最高结温 $125^\circ\text{C}$ 。

芯片的结温为环境温度与功耗所引起的封装温升之和，如公式2所示。为保证器件可靠工作，ADP7159的结温不得超过 $125^\circ\text{C}$ 。为确保结温低于此最高结温，用户需要注意会导致结温变化的参数。这些参数包括环境温度、功率器件的功耗、结温与周围空气之间的热阻( $\theta_{JA}$ )。 $\theta_{JA}$ 的值取决于所用的封装填充物，以及将封装地和裸露焊盘焊接到PCB所用的覆铜数量。

# ADP7159

表7给出了各种PCB覆铜尺寸时8引脚SOIC和10引脚LFCSP封装的典型 $\theta_{JA}$ 值。

表8给出了8引脚SOIC和10引脚LFCSP封装的典型 $\Psi_{JB}$ 值。

表7. 典型 $\theta_{JA}$ 值

覆铜面积(mm <sup>2</sup> )	$\theta_{JA}$ (°C/W)	
	10引脚 LFCSP	8引脚 SOIC
25 <sup>1</sup>	130.2	123.8
100	93.0	90.4
500	65.8	66.0
1000	55.6	56.6
6400	44.1	45.5

<sup>1</sup> 器件焊接在最小尺寸引脚走线上。

表8. 典型 $\Psi_{JB}$ 值

封装	$\Psi_{JB}$ (°C/W)
10引脚 LFCSP	29.1
8引脚 SOIC	30.1

ADP7159的结温可通过下式计算：

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (2)$$

其中：

$T_A$ 是环境温度。

$P_D$ 是芯片功耗，计算公式如下：

$$P_D = ((V_{IN} - V_{OUT}) \times I_{LOAD}) + (V_{IN} \times I_{GND}) \quad (3)$$

其中：

$V_{IN}$ 和 $V_{OUT}$ 分别是输入和输出电压。

$I_{LOAD}$ 是负载电流。

$I_{GND}$ 是接地电流。

接地电流引起的功耗相当小，可忽略不计。因此，结温的计算公式可简化为：

$$T_J = T_A + (((V_{IN} - V_{OUT}) \times I_{LOAD}) \times \theta_{JA}) \quad (4)$$

如等式4所示，针对给定的环境温度、输入至输出电压差和连续负载电流，为了确保结温不超过125°C，对PCB存在一个最小覆铜尺寸要求。

通过增加ADP7159引脚处和裸露焊盘的覆铜用量，可改善封装的散热性能。还可在封装底部增加散热层，改善热性能。但是，如表7所示，这种增加存在“效益递减”现象，超过某一点后，覆铜面积的增加便不会明显降低结至环境热阻。

图55至图60显示了不同环境温度、功耗和PCB覆铜面积的结温计算结果。

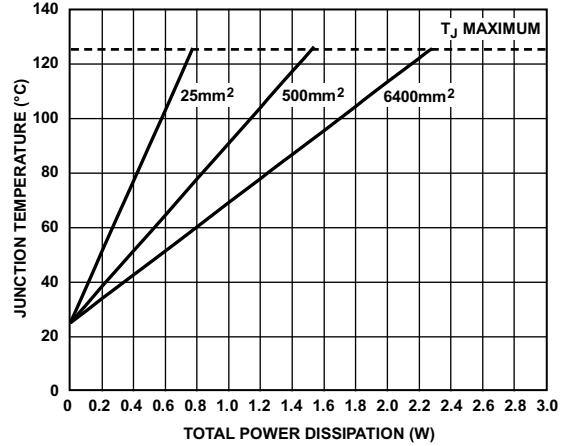


图55. 10引脚LFCSP的结温与总功耗的关系， $T_A = 25^\circ\text{C}$

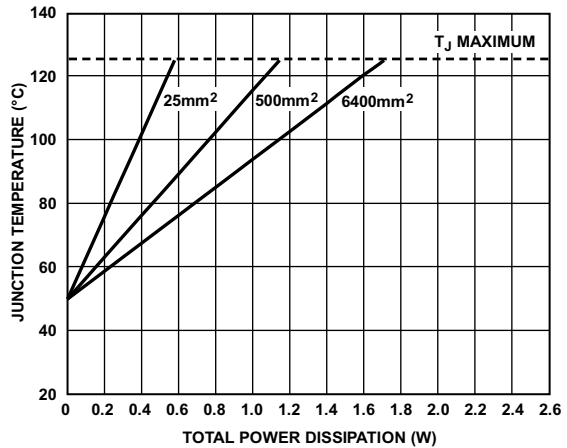


图56. 10引脚LFCSP的结温与总功耗的关系， $T_A = 50^\circ\text{C}$

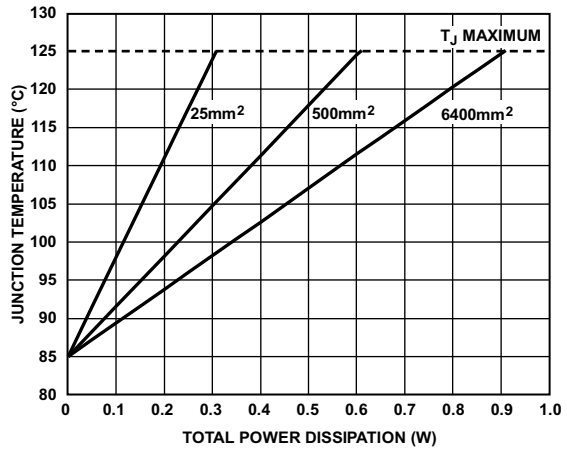


图57. 10引脚LFCSP的结温与总功耗的关系， $T_A = 85^\circ\text{C}$

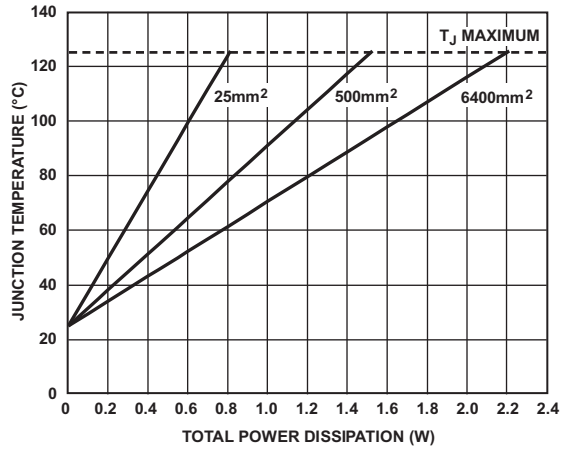


图58. 8引脚SOIC的结温与总功耗的关系,  $T_A = 25^\circ\text{C}$

12839-060

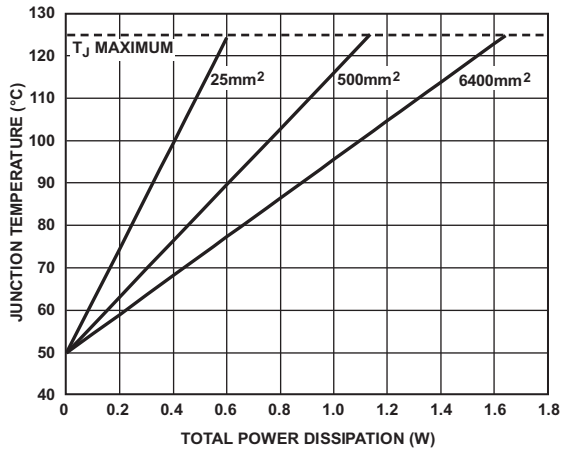


图59. 8引脚SOIC的结温与总功耗的关系,  $T_A = 50^\circ\text{C}$

12839-061

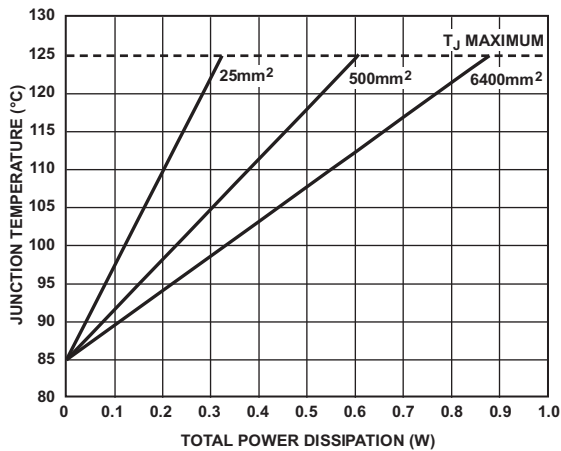


图60. 8引脚SOIC的结温与总功耗的关系,  $T_A = 85^\circ\text{C}$

12839-062

### 热特性参数( $\Psi_{JB}$ )

在已知板温的情况下, 可以利用热特性参数 $\Psi_{JB}$ 来估算结温上升情况(见图61和图62)。最高结温( $T_J$ )由环境温度( $T_B$ )和功耗( $P_D$ )通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB}) \quad (5)$$

10引脚LFCSP封装的 $\Psi_{JB}$ 典型值为 $29.1^\circ\text{C}/\text{W}$ , 8引脚SOIC封装为 $30.1^\circ\text{C}/\text{W}$ 。

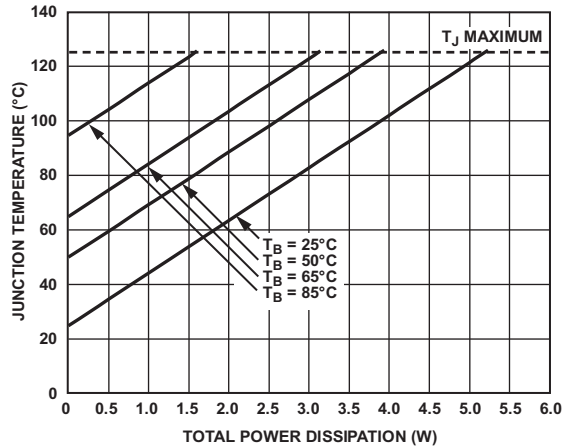


图61. 10引脚LFCSP的结温与总功耗的关系

12839-063

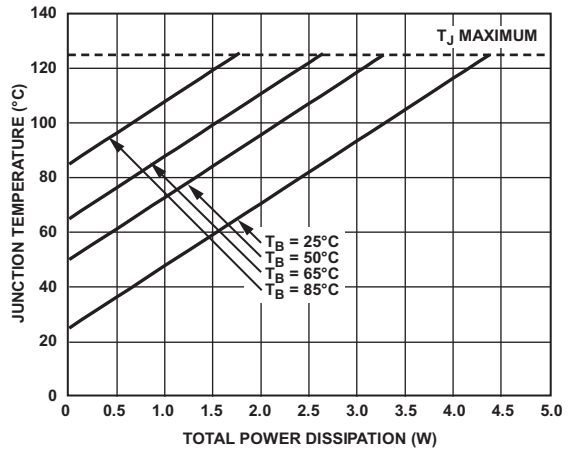


图62. 8引脚SOIC的结温与总功耗的关系

12839-064

# ADP7159

## PSRR性能

ADP7159有四个型号，根据输入和输出电压来优化功耗和PSRR性能。选型指南参见表9和表10。

建议针对特定的输出电压范围选择对应的产品型号，以获得最佳PSRR性能。例如，针对 $V_{OUT} = 3.3$  V选择ADP7159-04型号可实现>65 dB PSRR(10 Hz至100 kHz)，具有500 mV裕量。

考虑 $V_{OUT} = 1.8$  V的情况；注意，所有四个产品型号都可生

成1.8 V输出，但ADP7159-01型号具有最佳的PSRR性能，而其它型号(比如ADP7159-04)依然可生成1.8 V输出并用于PSRR要求不高的应用。

ADP7159支持2.3 V至5.5 V输入范围。通常而言，在2 A电流下，如需在最大输出电压( $V_{OUT\_MAX}$ )以上获得最佳PSRR性能，则至少需要500 mV裕量。例如，ADP7159-04需要至少3.8 V输入电压才能获得最佳PSRR性能(2 A、3.3 V输出)。

表9. 关于PSRR的型号选择指南

型号	$V_{OUT\_MAX}$ (V)	2 A时的PSRR (dB); $V_{IN} = V_{OUT\_MAX} + 0.5$ V			1.2 A时的PSRR (dB); $V_{IN} = V_{OUT\_MAX} + 0.5$ V		
		10 kHz	100 kHz	1 MHz	10 kHz	100 kHz	1 MHz
ADP7159-01	1.8	55	55	40	70	78	52
ADP7159-02	2.3	61	55	45	72	70	53
ADP7159-03	2.9	65	65	45	75	78	55
ADP7159-04	3.3	68	70	45	82	72	55

表10. 关于输入电压的型号选择指南

型号	可调 $V_{OUT}$ 范围(V)	最佳PSRR的 $V_{OUT}$ 范围(V)	$V_{REG}$ (V)	$V_{IN}$ 范围(V)
ADP7159-01	1.2至1.8	1.2至1.8	2.1	2.3至5.5
ADP7159-02	1.2至2.3	1.8至2.3	2.6	2.8至5.5
ADP7159-03	1.2至2.9	2.3至2.9	3.2	3.4至5.5
ADP7159-04	1.2至3.3	2.9至3.3	3.6	3.8至5.5

## PCB布局考虑

输入电容应尽可能靠近VIN引脚与接地之间放置。输出电容应尽可能靠近VOUT引脚与接地之间放置。 $V_{REG}$ 、 $V_{REF}$ 和 $V_{BYP}$ 的旁路电容( $C_{REG}$ 、 $C_{REF}$ 和 $C_{BYP}$ )应靠近相应引脚(VREG、REF和BYP)以及接地放置。在板面积受限的情况下,采用0805、0603或0402尺寸的电容可实现最小尺寸解决方案。最大限度增加裸露焊盘的接地金属量,并在器件侧使用尽可能多的过孔以加强散热。

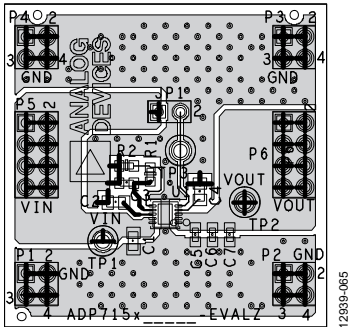


图63. 10引脚LFCSP PCB布局示例

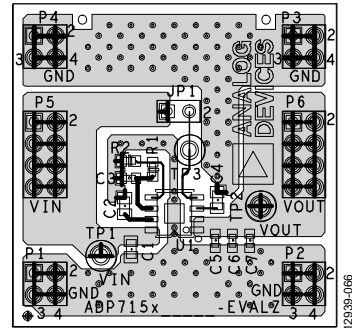


图64. 8引脚SOIC PCB布局示例

外形尺寸

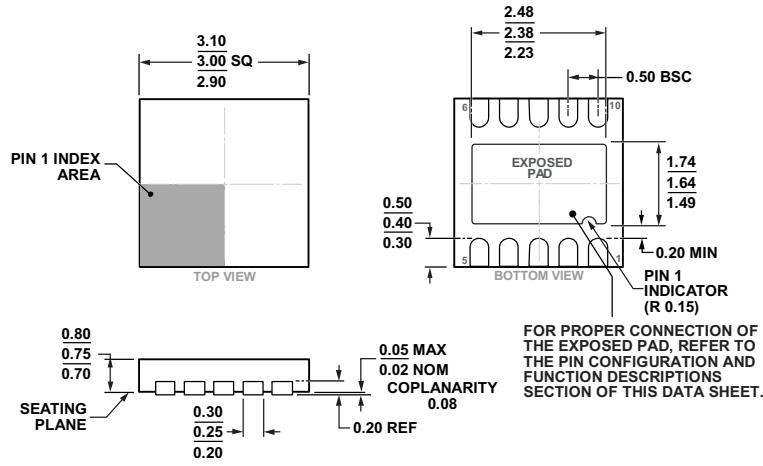
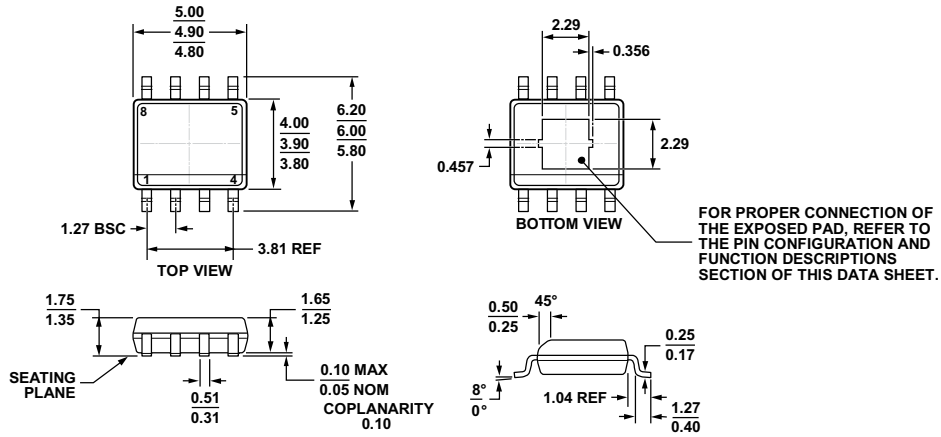


图65. 10引脚引线框芯片级封装[LFCSP]  
3 mm × 3 mm 本体、0.75 mm 封装高度  
(CP-10-9)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MS-012-AA

图66. 8引脚标准小型封装, 带裸露焊盘[SOIC\_N\_EP]  
窄体  
(RD-8-1)

图示尺寸单位: mm

## 订购指南

型号 <sup>1,2</sup>	温度范围	输出电压范围(V)	封装描述	封装选项	标识
ADP7159ACPZ-01-R7	-40°C至+125°C	1.2至1.8	10引脚 LFCSP	CP-10-9	LSG
ADP7159ACPZ-02-R7	-40°C至+125°C	1.2至2.3	10引脚 LFCSP	CP-10-9	LSH
ADP7159ACPZ-03-R7	-40°C至+125°C	1.2至2.9	10引脚 LFCSP	CP-10-9	LSJ
ADP7159ACPZ-04-R7	-40°C至+125°C	1.2至3.3	10引脚 LFCSP	CP-10-9	LSK
ADP7159ARDZ-01-R7	-40°C至+125°C	1.2至1.8	8引脚 SOIC_N_EP	RD-8-1	
ADP7159ARDZ-02-R7	-40°C至+125°C	1.2至2.3	8引脚 SOIC_N_EP	RD-8-1	
ADP7159ARDZ-03-R7	-40°C至+125°C	1.2至2.9	8引脚 SOIC_N_EP	RD-8-1	
ADP7159ARDZ-04-R7	-40°C至+125°C	1.2至3.3	8引脚 SOIC_N_EP	RD-8-1	
ADP7159CP-04-EVALZ			评估板		
ADP7159RD-04-EVALZ			评估板		

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> 要订购选项中未列出的器件，请联系当地的ADI公司办事处或代理商。