

ADuM3480/ADuM3481/ADuM3482

产品特性

数据速率最高可达25 Mbps (NRZ)

低传播延迟: 25 ns(典型值)

低动态功耗

1.8 V至5 V电平转换

工作温度最高可达: 125°C

高共模瞬变抗扰度: >25 kV/μs

输出默认选择

20引脚SSOP封装, 符合RoHS标准

安全和法规认证:

UL认证: 依据UL 1577, 1分钟3,750 V rms

CSA元件验收通知#5A

VDE合格证书

DIN V VDE V 0884-10 (VDE V 0884-10):2006-12

$V_{IORM} = 560$ V峰值

应用

通用多通道隔离

SPI接口/数据转换器隔离

工业现场总线隔离

概述

ADuM3480/ADuM3481/ADuM3482¹是采用ADI公司iCoupler®技术的四通道数字隔离器。这些隔离器件将高速CMOS与单芯片空芯变压器技术融为一体, 具有优于光耦合器件和其它集成式耦合器等替代器件的出色性能特征。典型传播延迟降至25 ns, 脉冲宽度失真也随之减半。

ADuM3480/ADuM3481/ADuM3482的4个通道支持多种通道配置和两种数据速率, 最高达25 Mbps(请参考“订购指南”部分)。全部模块均采用独立内核和I/O电源供电。内核采用3.0 V至5.5 V供电, 而I/O电源可提供1.8 V至5.5 V电压范围。若需要在内核工作范围内供电, 可将两个电源连在一起以便实现单电源供电。当I/O需要与不同于内核电源电压的逻辑电平对接, 则I/O电源可在更宽范围内独立于内核电源工作。I/O电源电压的最小值为1.8 V, 与低电压逻辑兼容。正常工作时, 需要内核和I/O电源同时供电。

功能框图

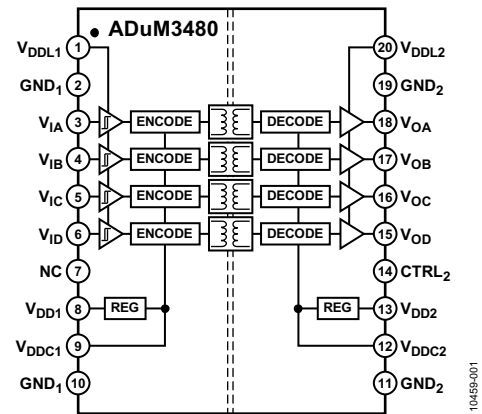


图1. ADuM3480

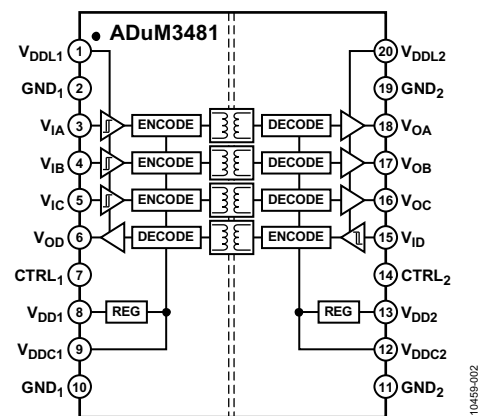


图2. ADuM3481

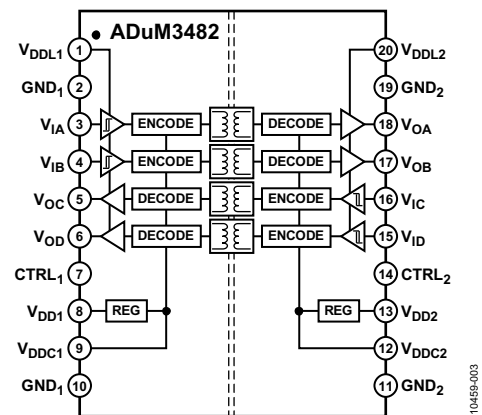


图3. ADuM3482

¹ 受美国专利第5,952,849号、6,873,065号、6,903,578号和7,075,329号保护, 其他专利正在申请中。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2012–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	建议工作条件.....	10
应用.....	1	绝对最大额定值.....	11
概述.....	1	ESD警告.....	11
功能框图.....	1	引脚配置和功能描述.....	12
修订历史.....	2	典型性能参数.....	15
技术规格.....	3	应用信息.....	17
电气特性—5V电源供电.....	3	电源电压.....	17
电气特性—3 V电源供电.....	5	印刷电路板布局.....	17
电气特性—1.8 V电源供电.....	7	传播延迟相关参数.....	17
封装特性.....	9	直流正确性和磁场抗扰度	17
法规信息.....	9	功耗.....	18
法规认证.....	9	隔离寿命.....	19
隔离和安全相关特性.....	9	外形尺寸.....	20
DIN V VDE V 0884-10 (VDE V 0884-10)隔离特性.....	10	订购指南.....	20

修订历史

2014年6月—修订版0至修订版A

安全认证状态从“申请中”改为“通过”(通篇).....	1
更改表12.....	9
最高允许过压从5300 V _{PEAK} 改为4000 V _{PEAK}	10
更改“直流正确性和磁场抗扰度”部分.....	17
更改“订购指南”.....	20

2012年7月—修订版0：初始版

技术规格

电气特性——5 V电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{\text{DDL1}} = V_{\text{DD1}} = V_{\text{DDL2}} = V_{\text{DD2}} = 5\text{ V}$ 时测得。除非另有说明，最小值/最大值适用于整个推荐工作范围： $4.5\text{ V} \leq V_{\text{DDL1}}$ 、 $V_{\text{DD1}} \leq 5.5\text{ V}$ 、 $4.5\text{ V} \leq V_{\text{DDL2}}$ 、 $V_{\text{DD2}} \leq 5.5\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表1.

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
开关规格									
脉冲宽度	PW	1000			40			ns	在PWD限值内
数据速率				1			25	Mbps	在PWD限值内
传播延迟	$t_{\text{PHL}}, t_{\text{PLH}}$		65	90		25	33	ns	50%输入至50%输出
脉冲宽度失真	PWD			6			3	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
温度变化率			7			3		ps/°C	
传播延迟偏斜	t_{PSK}			50			17	ns	任意两个单位之间
通道匹配									
同向	t_{PSKCD}			19			5	ns	
反向	t_{PSKOD}			25			7	ns	
抖动			2			2		ns	

表2.

参数	符号	1 Mbps—A、B级			25 Mbps—B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
电源电流									
ADuM3480	I_{DD1}	2.0	2.9		8.6	12		mA	
	I_{DDL1}	0.11	0.4		0.2	0.6		mA	
	I_{DD2}	5.1	6.9		6.0	7.5		mA	
	I_{DDL2}	0.2	0.7		2.1	4.8		mA	$C_L = 0\text{ pF}$
ADuM3481	I_{DD1}	2.8	3.0		7.9	10		mA	
	I_{DDL1}	0.14	0.5		0.7	1.4		mA	$C_L = 0\text{ pF}$
	I_{DD2}	4.3	5.7		6.7	7.8		mA	
	I_{DDL2}	0.18	0.6		1.6	3.2		mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD1}	3.5	4.1		7.3	8.8		mA	
	I_{DDL1}	0.16	0.5		1.2	2.4		mA	$C_L = 0\text{ pF}$
	I_{DD2}	3.5	4.7		7.3	8.8		mA	
	I_{DDL2}	0.16	0.65		1.2	2.4		mA	$C_L = 0\text{ pF}$

ADuM3480/ADuM3481/ADuM3482

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电压阈值						
逻辑高电平	V_{IH}	$0.7 V_{DDLx}$			V	
逻辑低电平	V_{IL}			$0.3 V_{DDLx}$	V	
输出电压						
逻辑高电平	V_{OH}	$V_{DDLx} - 0.1$	5.0		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
逻辑低电平	V_{OL}	$V_{DDLx} - 0.4$	4.8	0.1	V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
			0.0	0.4	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
每个通道的输入电流	I_i	-10	+0.01	+10	μA	$0V \leq V_{Ix} \leq V_{DDLx}, 0V \leq V_{CTRLx} \leq V_{DDLx}$
每个通道的电源电流						
静态电源电流						
稳压器输入侧	$I_{DDI(Q)}$		0.50	0.60	mA	
I/O输入	$I_{DDIL(Q)}$		0.027	0.05	mA	
稳压器输出侧	$I_{DDO(Q)}$		1.26	1.7	mA	
I/O输出	$I_{DDOL(Q)}$		0.031	0.10	mA	
动态电源电流						
稳压器输入侧	$I_{DDI(D)}$		0.070		mA/Mbps	
I/O输入	$I_{DDIL(D)}$		0.90		$\mu A/Mbps$	
稳压器输出侧	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O输出	$I_{DDOL(D)}$		0.020		mA/Mbps	
交流规格						
输出上升/下降时间	t_R/t_F		2.5		ns	10%至90%
共模瞬变抗扰度 ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 V,$ 瞬变幅度 = 800 V
刷新周期	t_r		1.66		μs	

¹ $|CM|$ 是在维持 $V_{OL} < 0.8 \times V_{DDLx}$ 或 $V_{OH} > 0.7 \times V_{DDLx}$ 时能承受的最大共模电压摆率。共模电压摆率适用于共模电压的上升沿和下降沿。

电气特性——3 V电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{DDL1} = V_{DD1} = V_{DDL2} = V_{DD2} = 3.0\text{ V}$ 时测得。除非另有说明，最小值/最大值适用于整个推荐工作范围： $3.0\text{ V} \leq V_{DDL1}$ 、 $V_{DD1} \leq 3.6\text{ V}$ 、 $3.0\text{ V} \leq V_{DDL2}$ 、 $V_{DD2} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表4.

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
开关规格									
脉冲宽度	PW	1000			40			ns	在PWD限值内
数据速率				1			25	Mbps	在PWD限值内
传播延迟	t_{PHL}, t_{PLH}		71	99		28	38	ns	50%输入至50%输出
脉冲宽度失真	PWD		2	12		3	5	ns	$ t_{PLH} - t_{PHL} $
温度变化率			7			3		ps/ $^\circ\text{C}$	
传播延迟偏斜	t_{PSK}			58			20	ns	任意两个单位之间
通道匹配									
同向	t_{PSKCD}			20			6	ns	
反向	t_{PSKOD}			26			9	ns	
抖动			4			3		ns	

表5.

参数	符号	1 Mbps—A、B级			25 Mbps—B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
电源电流									
ADuM3480	I_{DD1}		1.4	2.9		8.1	11	mA	
	I_{DDL1}		0.08	0.4		0.13	0.5	mA	
	I_{DD2}		4.9	6.7		5.8	7.2	mA	
	I_{DDL2}		0.14	0.40		1.4	2.5	mA	$C_L = 0\text{ pF}$
ADuM3481	I_{DD1}		2.3	3.0		7.5	9.8	mA	
	I_{DDL1}		0.09	0.4		0.46	1.4	mA	$C_L = 0\text{ pF}$
	I_{DD2}		4.0	5.7		6.4	7.5	mA	
	I_{DDL2}		0.12	0.5		1.1	2.7	mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD1}		3.2	4.2		7.0	8.8	mA	
	I_{DDL1}		0.11	0.5		0.78	1.7	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.2	4.2		7.0	8.8	mA	
	I_{DDL2}		0.11	0.5		0.78	1.7	mA	$C_L = 0\text{ pF}$

ADuM3480/ADuM3481/ADuM3482

表6.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电压阈值						
逻辑高电平	V_{IH}	$0.7 V_{DDLx}$			V	
逻辑低电平	V_{IL}			$0.3 V_{DDLx}$	V	
输出电压						
逻辑高电平	V_{OH}	$V_{DDLx} - 0.1$	3.0		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
逻辑低电平	V_{OL}	$V_{DDLx} - 0.4$	2.8	0.1	V	$I_{Ox} = -4 \text{ mA}, V_{Ix} = V_{IxH}$
			0.0	0.1	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 4 \text{ mA}, V_{Ix} = V_{IxL}$
每个通道的输入电流	I_i	-10	+0.01	+10	μA	$0 V \leq V_{Ix} \leq V_{DDLx}, 0 V \leq V_{CTRLx} \leq V_{DDLx}$
每个通道的电源电流						
静态电源电流						
稳压器输入侧	$I_{DDI(Q)}$		0.36	0.5	mA	
I/O输入	$I_{DDIL(Q)}$		0.019	0.050	mA	
稳压器输出侧	$I_{DDO(Q)}$		1.21	1.7	mA	
I/O输出	$I_{DDOL(Q)}$		0.021	0.050	mA	
动态电源电流						
稳压器输入侧	$I_{DDI(D)}$		0.070		mA/Mbps	
I/O输入	$I_{DDIL(D)}$		0.53		$\mu A/Mbps$	
稳压器输出侧	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O输出	$I_{DDOL(D)}$		0.013		mA/Mbps	
交流规格						
输出上升/下降时间	t_R/t_F		3		ns	10% to 90%
共模瞬变抗扰度 ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 \text{ V},$ 瞬变幅度 = 800 V
刷新周期	t_r		1.66		μs	

¹ |CM|是在维持 $V_{OL} < 0.8 \times V_{DDLx}$ 或 $V_{OH} > 0.7 \times V_{DDLx}$ 时能承受的最大共模电压摆率。共模电压摆率适用于共模电压的上升沿和下降沿。

电气特性——1.8 V电源

所有典型规格均在 $T_A = 25^\circ\text{C}$ 、 $V_{\text{DDL1}} = 1.8\text{ V}$ 、 $V_{\text{DD1}} = 3.0\text{ V}$ 、 $V_{\text{DDL2}} = 1.8\text{ V}$ 、 $V_{\text{DD2}} = 3.0\text{ V}$ 时测得。除非另有说明，最小值/最大值适用于整个推荐工作范围： $V_{\text{DDL1}} = 1.8\text{ V}$ 、 $3.0\text{ V} \leq V_{\text{DD1}} \leq 3.6\text{ V}$ 、 $V_{\text{DDL2}} = 1.8\text{ V}$ 、 $3.0\text{ V} \leq V_{\text{DD2}} \leq 3.6\text{ V}$ 、 $-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ 。除非另有说明，开关规格的测试条件为 $C_L = 15\text{ pF}$ 和CMOS信号电平。

表7.

参数	符号	A级			B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
开关规格									
脉冲宽度	PW	1000			40			ns	在PWD限值内
数据速率				1			25	Mbps	在PWD限值内
传播延迟	$t_{\text{PHL}}, t_{\text{PLH}}$		86	145		43	85	ns	50%输入至50%输出
脉冲宽度失真	PWD		6	32		6	30	ns	$ t_{\text{PLH}} - t_{\text{PHL}} $
温度变化率			7			3		ps/ $^\circ\text{C}$	
传播延迟偏斜	t_{PSK}			93			60	ns	任意两个单位之间
通道匹配									
同向	t_{PSKCD}			40			34	ns	
反向	t_{PSKOD}			55			37	ns	
抖动			4			3		ns	

表8.

参数	符号	1 Mbps—A、B级			25 Mbps—B级			单位	测试条件/注释
		最小值	典型值	最大值	最小值	典型值	最大值		
电源电流									
ADuM3480	I_{DD1}		1.4	1.9		8.1	11	mA	
	I_{DDL1}		0.04	0.3		0.07	0.4	mA	
	I_{DD2}		4.7	6.5		5.7	7.3	mA	
	I_{DDL2}		0.08	0.5		0.82	1.5	mA	$C_L = 0\text{ pF}$
ADuM3481	I_{DD1}		2.3	2.8		7.5	10	mA	
	I_{DDL1}		0.05	0.35		0.25	0.7	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.9	5.7		6.3	8.0	mA	
	I_{DDL2}		0.07	0.4		0.63	1.3	mA	$C_L = 0\text{ pF}$
ADuM3482	I_{DD1}		3.1	3.8		6.9	8.7	mA	
	I_{DDL1}		0.06	0.4		0.44	1.1	mA	$C_L = 0\text{ pF}$
	I_{DD2}		3.1	4.5		6.9	8.8	mA	
	I_{DDL2}		0.06	0.40		0.44	1.1	mA	$C_L = 0\text{ pF}$

ADuM3480/ADuM3481/ADuM3482

表9.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电压阈值						
逻辑高电平	V_{IH}	$0.7V_{DDLx}$			V	
逻辑低电平	V_{IL}			$0.3V_{DDLx}$	V	
输出电压						
逻辑高电平	V_{OH}	$V_{DDLx} - 0.1$	1.8		V	$I_{Ox} = -20 \mu A, V_{Ix} = V_{IxH}$
逻辑低电平	V_{OL}	$V_{DDLx} - 0.4$	1.6	0.1	V	$I_{Ox} = -2 \text{ mA}, V_{Ix} = V_{IxH}$
			0.0	0.4	V	$I_{Ox} = 20 \mu A, V_{Ix} = V_{IxL}$
			0.2	0.4	V	$I_{Ox} = 2 \text{ mA}, V_{Ix} = V_{IxL}$
每个通道的输入电流	I_i	-10	+0.01	+10	μA	$0V \leq V_{Ix} \leq V_{DDLx}, 0V \leq V_{CTRLx} \leq V_{DDLx}$
每个通道的电源电流						
静态电源电流						
稳压器输入侧	$I_{DDI(Q)}$		0.39	0.45	mA	
I/O输入	$I_{DDIL(Q)}$		0.010	0.025	mA	
稳压器输出侧	$I_{DDO(Q)}$		1.17	1.5	mA	
I/O输出	$I_{DDOL(Q)}$		0.012	0.038	mA	
动态电源电流						
稳压器输入侧	$I_{DDI(D)}$		0.071		mA/Mbps	
I/O输入	$I_{DDIL(D)}$		0.25		$\mu A/Mbps$	
稳压器输出侧	$I_{DDO(D)}$		0.010		mA/Mbps	
I/O输出	$I_{DDOL(D)}$		0.0077		mA/Mbps	
交流规格						
输出上升/下降时间	t_R/t_F		3		ns	10%至90%
共模瞬变抗扰度 ¹	$ CM $	25	35		kV/ μs	$V_{Ix} = V_{DDLx}, V_{CM} = 1000 V,$ 瞬变幅度 = 800 V
刷新周期	t_r		1.66		μs	

¹ $|CM|$ 是在维持 $V_{OL} < 0.8 \times V_{DDLx}$ 或 $V_{OH} > 0.7 \times V_{DDLx}$ 时能承受的最大共模电压压摆率。共模电压压摆率适用于共模电压的上升沿和下降沿。

ADuM3480/ADuM3481/ADuM3482

封装特性

表10.

参数	符号	最小值 典型值 最大值	单位	测试条件/注释
电阻(输入至输出) ¹	R _{I-O}	10 ¹²	Ω	f = 1 MHz
电容(输入至输出) ¹	C _{I-O}	2.2	pF	
输入电容 ²	C _I	4.0	pF	
IC结至外壳热阻	θ _{JC}	50.5	°C/W	

¹ 假设器件为双端器件：引脚1至引脚10短接；引脚11至引脚20短接。

² 输入电容是从任意输入数据引脚到地的容值。

法规信息

ADuM3480/ADuM3481/ADuM3482已获得表11所列机构的认可。

关于特定交叉隔离波形和绝缘水平下的推荐最大工作电压，请参阅表16和隔离寿命部分。

法规认证

表11.

UL	CSA	VDE
UL 1577器件认可程序认可 ¹	CSA元件验收通知#5A批准	DIN V VDE V 0884-10 (VDE V 0884-10)
单一保护，3,750 V rms隔离电压	基本绝缘符合CSA 60950-1-03和IEC 60950-1标准，400 V rms(565 V峰值)	认证：2006-12 ² 加强绝缘，560 V峰值
文件E214100	最大工作电压 文件205078	文件2471900-4880-0001

¹ 依据UL 1577，每个ADuM3480/ADuM3481/ADuM3482器件都经过1秒钟绝缘测试电压≥4500 V rms的验证测试(漏电流检测限值 = 10 μA)。

² 依据UL 1577，每个ADuM3480/ADuM3481/ADuM3482器件都经过1秒钟绝缘测试电压≥4500 V rms的验证测试(漏电流检测限值 = 10 μA)。

隔离和安全相关特性

表12.

参数	符号	值	单位	测试条件/注释
额定电介质隔离电压		3750	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	>5.1	mm	测量输入端至输出端，PCB层中的隔空最短距离
最小外部爬电距离	L(I02)	>5.1	mm	测量输入端至输出端，沿壳体最短距离
最小内部间隙		0.017 min	mm	隔离距离
漏电阴抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分
隔离组		II		材料组(DIN VDE 0110, 1/89, 表1)

ADuM3480/ADuM3481/ADuM3482

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12隔离特性

这些隔离器适合安全限制数据范围内的加强电气隔离。通过保护电路保持安全数据。封装上的星号(*)标志表示通过DIN V VDE V 0884-10认证。

表13.

描述	测试条件/注释	符号	特性	单位
DIN VDE 0110装置分类			I至IV	
额定电源电压≤ 150 V rms			I至III	
额定电源电压≤ 300 V rms			I至II	
额定电源电压≤ 400 V rms			40/105/21	
环境分类			2	
污染度(DIN VDE 0110, 表1)				
最大工作绝缘电压		V_{IORM}	560	V_{PEAK}
输入至输出测试电压, 方法B1	$V_{IORM} \times 1.875 = V_{pd(m)}$, 100%生产测试, $t_{ini} = t_m = 1$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	1050	V_{PEAK}
输入至输出测试电压, 方法A				
跟随环境测试, 子类	$V_{IORM} \times 1.5 = V_{pd(m)}$, $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	840	V_{PEAK}
跟随输入和/或安全测试, 子类2和子类3	$V_{IORM} \times 1.2 = V_{pd(m)}$, $t_{ini} = 60$ 秒, $t_m = 10$ 秒, 局部放电 < 5 pC	$V_{pd(m)}$	672	V_{PEAK}
最高允许过压		V_{IOTM}	4000	V_{PEAK}
耐受隔离电压	1分钟耐受额定值	V_{ISO}	3750	V_{RMS}
浪涌隔离电压	$V_{PEAK} = 10$ kV, 1.2 μ s上升时间, 50 μ s, 50%下降 时间	V_{IOSM}	6000	V_{PEAK}
安全限值	出现故障时允许的最大值(见图4)			
壳温		T_S	150	$^{\circ}C$
总功耗		I_{S1}	2.47	W
T_S 上的绝缘电阻	$V_{IO} = 500$ V	R_S	>10 ⁹	Ω

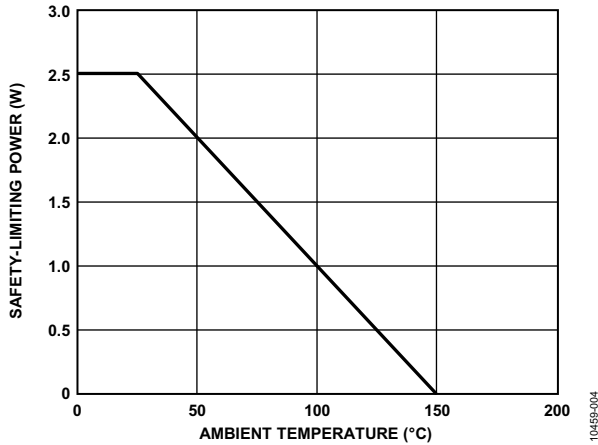


图4. 热减额曲线, 依据DIN V VDE V 0884-10获得的安全限值与环境温度的关系

建议工作条件

表14.

参数	符号	最小值	最大值	单位
工作温度	T_A	-40	+125	$^{\circ}C$
电源电压 ¹	V_{DDL1}, V_{DDL2}	1.8	5.5	V
	V_{DD1}, V_{DD2}	3.0	5.5	V
输入信号上升和下降时间			1.0	ms

¹ 有关外部磁场抗扰度的信息, 参见直流正确性和磁场抗扰度部分。

绝对最大额定值

除非另有说明， $T_A = 25^\circ\text{C}$ 。

表15.

参数	额定值
电源电压(V_{DD1} 、 V_{DD2} 、 V_{DDL1} 、 V_{DDL2} 、 V_{DDC1} 、 V_{DDC2})	-0.5V至+7.0V
输入电压(V_{IA} 、 V_{IB} 、 V_{IC} 、 V_{ID} 、 V_{CTRL1} 、 V_{CTRL2})	-0.5V至 $V_{DD1} + 0.5\text{V}$
输出电压(V_{OA} 、 V_{OB} 、 V_{OC} 、 V_{OD})	-0.5V至 $V_{DD0} + 0.5\text{V}$
每个引脚的平均输出电流 ¹	-10 mA至+10 mA
共模瞬变 ²	-100 kV/ μs 至+100 kV/ μs
存储温度(T_{ST})范围	-65°C至+150°C
工作环境温度(T_A)范围	-40°C至+125°C

¹ 不同温度下的最大额定电流值参见图4。

² 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

表16. 支持最短50年寿命的最大连续工作电压¹

参数	最大值	单位	适用认证
交流电压， 双极性波形	565	$V_{\text{峰值}}$	所有认证工作电压
交流电压， 单极性波形	848	$V_{\text{峰值}}$	
直流电压	848	$V_{\text{峰值}}$	

¹ 指隔离栅上的连续电压幅度。详情见隔离寿命部分。

ESD警告

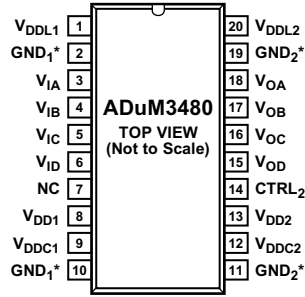


ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

ADuM3480/ADuM3481/ADuM3482

引脚配置和功能描述



NOTES

1. NC = NO CONNECTION. THIS PIN IS NOT CONNECTED INTERNALLY AND CAN BE LEFT FLOATING OR CONNECTED TO V_{DD1} OR GND_1 .

*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

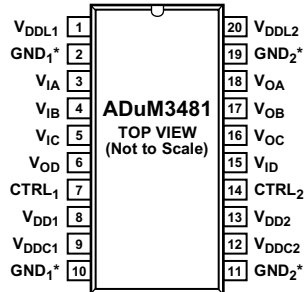
10469-005

图5. ADuM3480引脚配置

表17. ADuM3480引脚功能描述

引脚编号	名称	描述
1	V_{DDL1}	隔离器第1侧输入/输出电路的1.8 V至5.5 V电源电压。使用一个0.01 μ F至0.1 μ F陶瓷电容旁路 V_{DDL1} 至 GND_1 。
2	GND_1	对于3.0 V至5.5 V的输入/输出操作, V_{DDL1} 可直接连接至 V_{DD1} 。
3	V_{IA}	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连, 并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
4	V_{IB}	逻辑输入A。
5	V_{IC}	逻辑输入B。
6	V_{ID}	逻辑输入C。
7	NC	逻辑输入D。
8	V_{DD1}	不连接。该引脚内部未连接, 并且可保持浮地或连接至 V_{DD1} 或 GND_1 。
9	V_{DCC1}	隔离器第1侧的3.0 V至5.5 V电源电压。
10	GND_1	第1侧的内部稳压器输出引脚。使用0.01 μ F至0.1 μ F陶瓷电容旁路 V_{DCC1} 至 GND_1 。不要使用该引脚为外部电路供电。
11	GND_2	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连, 并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
12	V_{DCC2}	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连, 并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
13	V_{DD2}	第2侧的内部稳压器输出引脚。使用0.01 μ F至0.1 μ F陶瓷电容旁路 V_{DCC2} 至 GND_2 。不要使用该引脚为外部电路供电。
14	CTRL2	隔离器第2侧的3.0 V至5.5 V电源电压。
15	V_{OD}	选择第2侧的默认输出电平。低电平 = 默认输出低电平。高电平 = 默认输出高电平。
16	V_{OC}	逻辑输出D。
17	V_{OB}	逻辑输出C。
18	V_{OA}	逻辑输出B。
19	GND_2	逻辑输出A。
20	V_{DDL2}	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连, 并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
		隔离器第2侧输入/输出电路的1.8 V至5.5 V电源电压。使用一个0.01 μ F至0.1 μ F陶瓷电容旁路 V_{DDL2} 至 GND_2 。
		对于3.0 V至5.5 V的输入/输出操作, V_{DDL2} 可直接连接至 V_{DD2} 。

ADuM3480/ADuM3481/ADuM3482



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

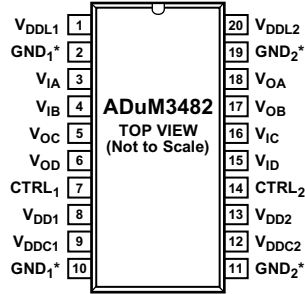
10459-006

图6. ADuM3481引脚配置

表18. ADuM3481引脚功能描述

引脚编号	名称	描述
1	VDDL1	隔离器第1侧输入/输出电路的1.8V至5.5V电源电压。使用一个0.01 μF至0.1 μF陶瓷电容旁路V _{DDL1} 至GND ₁ 。对于3.0V至5.5V的输入/输出操作，V _{DDL1} 可直接连接至V _{DD1} 。
2	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
3	V _{IA}	逻辑输入A。
4	V _{IB}	逻辑输入B。
5	V _{IC}	逻辑输入C。
6	V _{OD}	逻辑输入D。
7	CTRL ₁	选择第1侧的默认输出电平。低电平 = 默认输出低电平。高电平 = 默认输出高电平。
8	V _{DD1}	隔离器第1侧的3.0V至5.5V电源电压。
9	V _{DDC1}	第1侧的内部稳压器输出引脚。使用0.01 μF至0.1 μF陶瓷电容旁路V _{DDC1} 至GND ₁ 。不要使用该引脚为外部电路供电。
10	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
11	GND ₂	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
12	V _{DDC2}	第2侧的内部稳压器输出引脚。使用0.01 μF至0.1 μF陶瓷电容旁路V _{DDC2} 至GND ₂ 。不要使用该引脚为外部电路供电。
13	V _{DD2}	隔离器第2侧的3.0V至5.5V电源电压。
14	CTRL ₂	选择第2侧的默认输出电平。低电平 = 默认输出低电平。高电平 = 默认输出高电平。
15	V _{ID}	逻辑输入D。
16	V _{OC}	逻辑输出C。
17	V _{OB}	逻辑输出B。
18	V _{OA}	逻辑输出A。
19	GND ₂	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
20	VDDL2	隔离器第2侧输入/输出电路的1.8V至5.5V电源电压。使用一个0.01 μF至0.1 μF陶瓷电容旁路V _{DDL2} 至GND ₂ 。对于3.0V至5.5V的输入/输出操作，V _{DDL2} 可直接连接至V _{DD2} 。

ADuM3480/ADuM3481/ADuM3482



*PIN 2 AND PIN 10 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 1 GROUND IS RECOMMENDED. PIN 11 AND PIN 19 ARE INTERNALLY CONNECTED. CONNECTING BOTH TO PCB SIDE 2 GROUND IS RECOMMENDED.

10459-007

图7. ADuM3482引脚配置

表19. ADuM3482引脚功能描述

引脚编号	名称	描述
1	V _{DDL1}	隔离器第1侧输入/输出电路的1.8 V至5.5 V电源电压。使用一个0.01 μF至0.1 μF陶瓷电容旁路V _{DDL1} 至GND ₁ 。对于3.0 V至5.5 V的输入/输出操作，V _{DDL1} 可直接连接至V _{DD1} 。
2	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
3	V _{IA}	逻辑输入A。
4	V _{IB}	逻辑输入B。
5	V _{OC}	逻辑输入C。
6	V _{OD}	逻辑输入D。
7	CTRL ₁	选择第1侧的默认输出电平。低电平 = 默认输出低电平。高电平 = 默认输出高电平。
8	V _{DD1}	隔离器第1侧的3.0 V至5.5 V电源电压。
9	V _{DDC1}	第1侧的内部稳压器输出引脚。使用0.01 μF至0.1 μF陶瓷电容旁路V _{DDC1} 至GND ₁ 。不要使用该引脚为外部电路供电。
10	GND ₁	地1。隔离器第1侧的接地基准点。引脚2与引脚10内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
11	GND ₂	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
12	V _{DDC2}	第2侧的内部稳压器输出引脚。使用0.01 μF至0.1 μF陶瓷电容旁路V _{DDC2} 至GND ₂ 。不要使用该引脚为外部电路供电。
13	V _{DD2}	隔离器第2侧的3.0 V至5.5 V电源电压。
14	CTRL ₂	选择第2侧的默认输出电平。低电平 = 默认输出低电平。高电平 = 默认输出高电平。
15	V _{ID}	逻辑输入D。
16	V _{IC}	逻辑输入C。
17	V _{OB}	逻辑输入B。
18	V _{OA}	逻辑输入A。
19	GND ₂	地2。隔离器第2侧的接地基准点。引脚11与引脚19内部互连，并且建议将二者均连至PCB的接地层并尽可能靠近该器件。
20	V _{DDL2}	隔离器第2侧输入/输出电路的1.8 V至5.5 V电源电压。使用一个0.01 μF至0.1 μF陶瓷电容旁路V _{DDL2} 至GND ₂ 。对于3.0 V至5.5 V的输入/输出操作，V _{DDL2} 可直接连接至V _{DD2} 。

典型性能参数

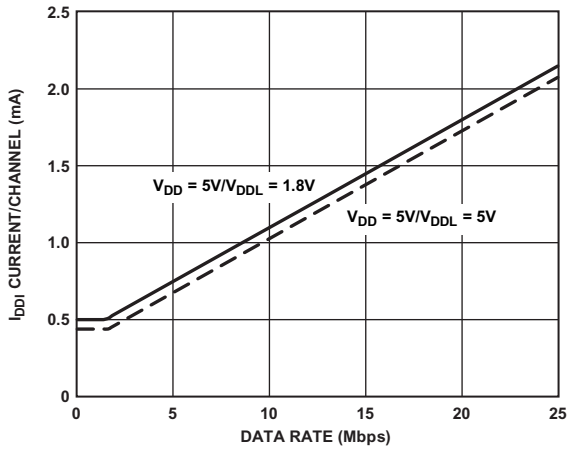


图8. 5 V和1.8 V I/O电源下每个输入通道的典型 $V_{DDI} = 5V$ 电源电流与数据速率的关系

10459-008

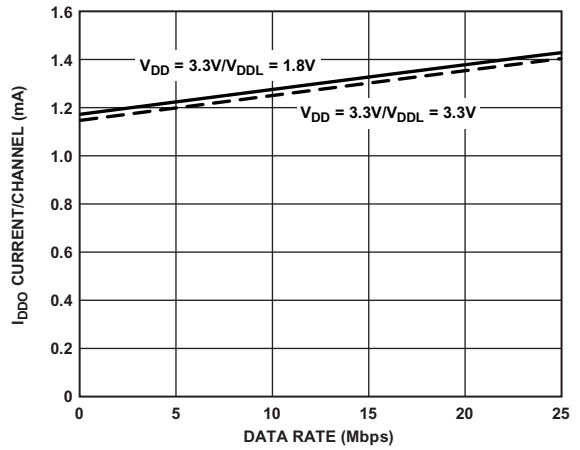


图11. 3.3 V和1.8 V I/O电源下每个输出通道的典型 $V_{DDO} = 3.3V$ 电源电流与数据速率的关系

10459-011

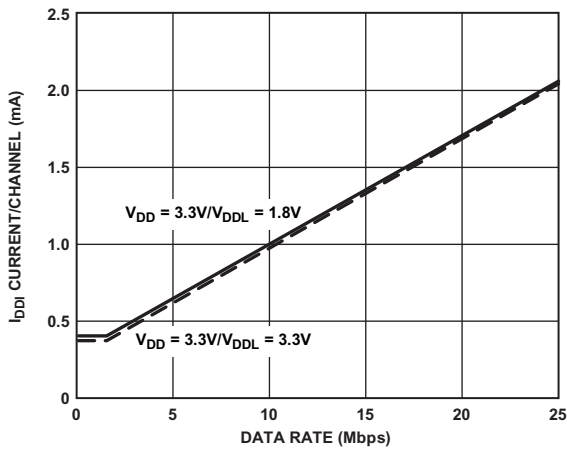


图9. 3.3 V和1.8 V I/O电源下每个输入通道的典型 $V_{DDI} = 3.3V$ 电源电流与数据速率的关系

10459-009

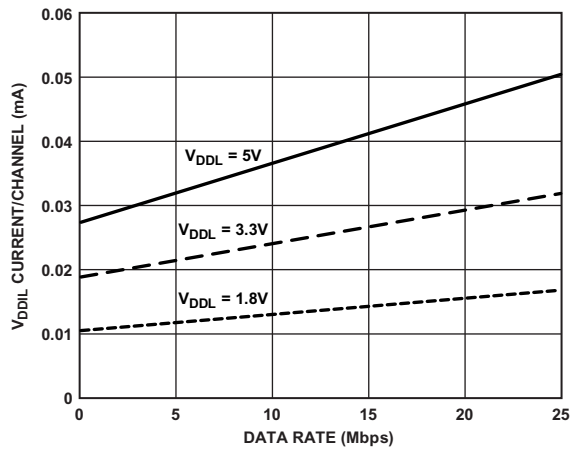


图12. 5 V、3.3 V和1.8 V电源下典型 V_{DDL} 输入电源电流与数据速率的关系

10459-012

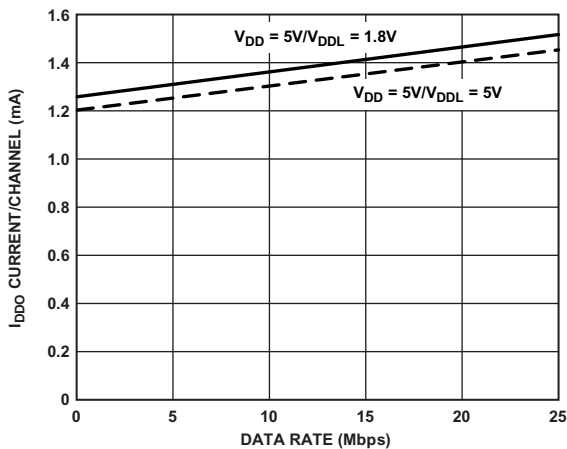


图10. 5 V和1.8 V I/O电源下每个输出通道的典型 $V_{DDO} = 5V$ 电源电流与数据速率的关系

10459-010

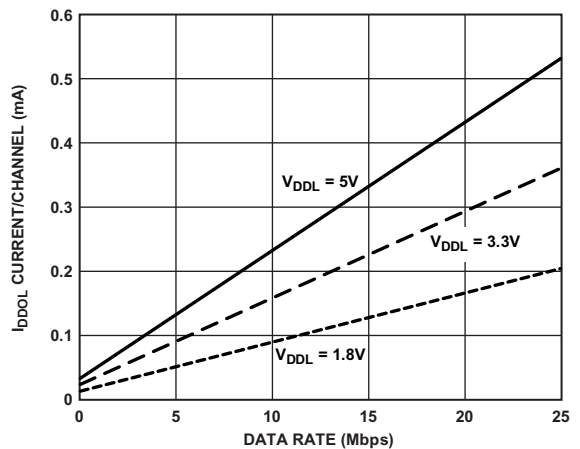


图13. 5 V、3.3 V和1.8 V, 以及 $C_L = 0$ pF电源下典型 V_{DDOL} 输出电源电流与数据速率的关系

10459-013

ADuM3480/ADuM3481/ADuM3482

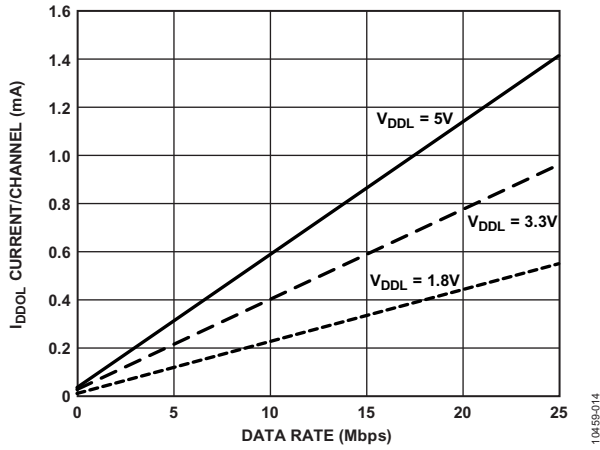


图14. 5 V、3.3 V和1.8 V，以及 $C_L = 15$ pF电源下典型
 V_{DDOL} 输出电源电流与数据速率的关系

10489-014

应用信息

电源电压

ADuM3480/ADuM3481/ADuM3482器件围绕固定电压的内部数据传输内核构建。内核电压为2.7 V，通过内部LDO调节 V_{DD1} 和 V_{DD2} 电压而产生。为确保LDO有足够的裕量， V_{DD1} 和 V_{DD2} 输入必须处于3.0 V至5.5 V的范围内。额外的引脚 V_{DDC1} 和 V_{DDC2} 用于直接旁路LDO输出，确保干净稳定的内核运行。每个电源或专用旁路引脚都需要0.01 μF 和0.1 μF 之间的旁路电容至地。

ADuM3480/ADuM3481/ADuM3482为I/O缓冲器 V_{DDL1} 和 V_{DDL2} 提供独立的电源，具有内核所需的更宽工作范围。它允许使用范围为1.8 V至5.5 V的I/O电源电压。 V_{DDLx} 电源也需使用0.01 μF 至0.1 μF 的电容对其进行旁路。

I/O和内核具有独立的电源，因而可以根据所需的I/O电压和可用供电轨进行多种电源配置。若某个电源可用，则可将 V_{DDx} 和 V_{DDLx} 引脚相连并工作在3.0 V至5.5 V。若需较低的I/O电源电压以便与低电压逻辑接口，则需要两条供电轨。例如，若I/O为1.8 V逻辑电平，则可将 V_{DDLx} 引脚连接至1.8 V供电轨。 V_{DDx} 的内核电源电压需采用3.0 V至5.5 V输入，以便使用3.3 V或5 V电轨。每一侧的I/O和内核电源电压是相互独立的，并且可以使用不同的配置。

印刷电路板布局布线

ADuM3480/ADuM3481/ADuM3482数字隔离器的逻辑接口不需要外部接口电路。在所有4个电源引脚(V_{DD1} 、 V_{DDL1} 、 V_{DD2} 、和 V_{DDL2})以及两个内部稳压器的旁路引脚(V_{DDC1} 和 V_{DDC2})，需将电源旁路至局部接地，见图15。推荐旁路电容布线见图15。电容值应在0.01 μF 和0.1 μF 之间。电容两端到输入电源引脚的走线总长应该小于20 mm。

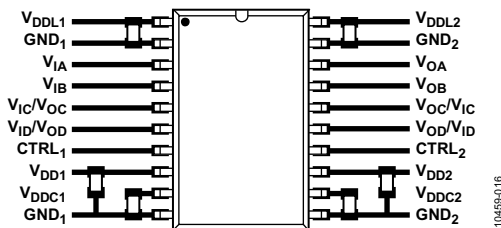


图15. 推荐的印刷电路板(PCB)布局

在具有高共模瞬变的应用中，必须确保隔离栅两端的电路板耦合最小。此外，如此设计电路板布局，任何耦合都不会出现并影响器件侧所有的引脚。如果不满足设计要求，将会在高电压瞬变期间，使引脚间的电压差超过器件的绝对最大额定值，造成器件门锁或者永久损坏。

传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。高到低转换的输入至输出传播延迟时间可能不同于低到高转换的传播延迟时间。

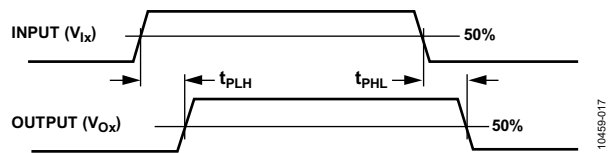


图16. 传播延迟参数

脉冲宽度失真指这两个传播延迟值的最大差异，反映了输入信号时序的保持精度。

通道间匹配指单个ADuM3480/ADuM3481/ADuM3482器件内各通道之间传播延迟的最大差异。

传播延迟偏斜指在相同条件下工作的多个ADuM3480/ADuM3481/ADuM3482器件的传播延迟之间的最大差异。

直流正确性和磁场抗扰度

在隔离器输入端的正负逻辑电平转换会使一个很窄的(约1 ns)脉冲通过变压器被送到解码器。解码器是双稳态的，因此，可以被这个脉冲置位或复位，表示输入逻辑的转换。在输入端没有高于约1.7 μs 的逻辑转换的情况下，当前的直流状态被发送到输出端，以确保输出端的直流正确性。

如果解码器未接收到脉冲的时间超过约5 μs ，则认为输入侧没有供电或者无效，在这种情况下，隔离器的输出被看门狗定时电路强制设置为默认状态(见表17、表18或表19)。

ADuM3480/ADuM3481/ADuM3482

该器件磁场抗扰度的限制是由变压器接收线圈中的感应电压的状态决定的，电压足够大就会错误地置位或复位解码器。下面的分析可说明此情况。在3 V工作条件下检测ADuM3480/ADuM3481/ADuM3482，这是最易受干扰的工作模式。

变压器输出端的脉冲幅度大于1.5 V。解码器的检测阈值大约是1.0 V，因此感应电压可承受的噪声容限为0.5 V。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta / dt) \Sigma \pi r_n^2; n = 1, 2, \dots, N$$

其中：

β 是磁通密度。

r_n 是接收线圈第n圈的半径。

N 是接收线圈匝数。

给定ADuM3480/ADuM3481/ADuM3482接收线圈的几何形状及感应电压，解码器最多能够有0.5V裕量的50%，允许的最大磁场见图17所示计算。

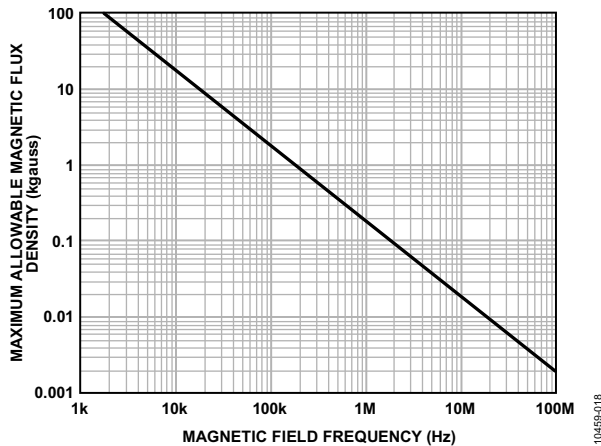


图17. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，最大允许0.5K高斯的磁场可以在接收线圈感应出0.25 V的电压。这大约是检测阈值的50%并且不会引起输出转换错误。如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于1.0 V下降到0.75 V。注意，这仍然高于解码器检测阈值0.5 V。

先前的磁通密度值对应于与ADuM3480/ADuM3481/ADuM3482变压器给定距离的额定电流幅度。图18表明这些允许的电流幅度是频率与所选距离的函数。ADuM3480/ADuM3481/ADuM3482非常不易受到外部场的影响。只会受非常靠近元器件的极大高频电流的影响。例如1 MHz时，1.2 kA电流必须放置在距离ADuM3480/ADuM3481/ADuM3482 5 mm以外的時候才不会影响器件的工作。

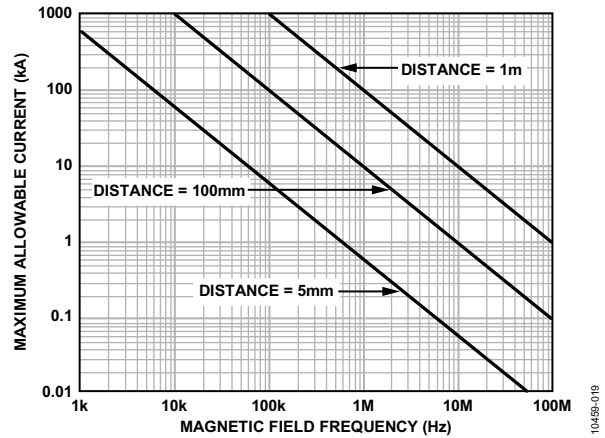


图18. 不同电流至ADuM3480距离下的最大允许电流

注意在强磁场和高频率的叠加作用下，PCB走线形成的任何回路都会感应出足够大的错误的电压，以触发后续电路的阈值。小心不要使PCB结构形成环路。

功耗

ADuM3480/ADuM3481/ADuM3482隔离器给定通道的电源电流是电源电压、通道数据速率和通道输出负载的函数。

计算 I_{DD1} 或 I_{DD2}

对于每个输入通道(假设I/O电压为最差情况)，电源电流按照下式计算：

$$I_{DD1} = I_{DD1(Q)} \quad R_D \leq 2.5 \times R_R$$

$$I_{DD1} = I_{DD1(D)} \times (R_D - R_R) + I_{DD1(Q)} \quad R_D > 2.5 \times R_R$$

对于每个输出通道，电源电流按照下式计算：

$$I_{DDO} = I_{DDO(D)} \times R_D + I_{DDO(Q)}$$

计算 I_{DDL1} 或 I_{DDL2}

对于每个输入通道，电源电流按照下式计算：

$$I_{DDL} = I_{DDL(D)} \times R_D + I_{DDL(Q)}$$

对于每个输出通道，电源电流按照下式计算：

$$I_{DDOL} = \left(I_{DDOL(D)} + \frac{C_L \times V_{DDOL} \times 10^{-3}}{2} \right) R_D + I_{DDOL(Q)}$$

其中：

C_L 是输出负载电容(pF)。

V_{DDOL} 是输出电源电压(V)。

R_D 是输入逻辑信号数据速率(Mbps)；它是输入频率的两倍，单位为MHz。

R_R 是输入级刷新速率(Mbps) = $1/\text{tr}$ (μs)

$I_{DDI(Q)}$ 、 $I_{DDL(Q)}$ 、 $I_{DDO(Q)}$ 、 $I_{DDOL(Q)}$ 是额定输入和输出静态电源电流(mA)。

$I_{DDI(D)}$ 、 $I_{DDL(D)}$ 、 $I_{DDO(D)}$ 和 $I_{DDOL(D)}$ 是每个通道的输入和输出动态电源电流(mA/Mbps)。

由于器件的两侧均可能存在输入和输出，该计算表示局部电源的电流消耗量。例如，若输出位于器件的第2侧，则从器件的 V_{DDL2} 引脚吸取 I_{DDOL} 电流。 I_{DDL1} 和 I_{DDL2} 电流取决于 V_{DDL1} 和 V_{DDL2} 、数据速率和容性负载。几乎与内核电源值无关。

为了计算总 I_{DD1} 、 I_{DDL1} 、 I_{DD2} 和 I_{DDL2} 电源电流，必须计算与 V_{DD1} 、 V_{DDL1} 、 V_{DD2} 和 V_{DDL2} 相对应的各输入和输出通道的电源电流并求和，或者见图8至图14。

经过调节的内核电源的输入电流几乎与I/O电压无关，并与数据速率成正比。 I_{DD1} 电流并不会线性降至DC，但最小值介于约 $2.5 \times R_R$ 和DC之间。这是由于刷新电路具有最小数据速率；图8和图9中的数值以及表3、表6和表9中的静态电流近似为该区域内电流。 V_{DD1} 、 V_{DDO} 、 V_{DDL} 和 V_{DDOL} 代表内核和给定通道输入/输出的I/O电源引脚电压。I表示输入，O表示输出，L指代I/O电源。

隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离上的电压波形参数决定。除了由监管机构进行测试，ADI也进行一系列广泛的评估来确定ADuM3480/ADuM3481/ADuM3482内部隔离架构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。表16中显示的值总结了双极性交流工作条件下50年工作寿命的峰值电压以及CSA/VDE认可的最大工作电压。许多情况下，认可工作电压高于50年工作寿命电压。某些情况下，在这些高工作电压下工作会导致隔离寿命缩短。

ADuM3480/ADuM3481/ADuM3482的隔离寿命取决于施加在隔离栅上的电压波形。*iCoupler*结构的隔离度以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图19、图20和图21显示这些不同隔离电压的波形。

双极性交流电压是最苛刻的环境。交流双极性条件下50年工作寿命的目标决定ADI公司推荐的最大工作电压。

在单极性交流或者直流电压的情况下，隔离应力显然低得多。此工作模式在能够获得50年工作寿命的前提下，允许更高的工作电压。表16中列出的工作电压在维持50年最低工作寿命的前提下，提供了符合单极性交流或者直流电压情况的工作电压。任何与图19、图20或图21不一致的交叉隔离电压波形都应视为双极性交流波形，其峰值电压应限制在表16中列出的50年工作寿命电压以下。

请注意，图20所示的正弦电压波形仅作为示例提供，它代表任何在0 V与某一限值之间变化的电压波形。该限值可以为正值或负值，但电压不能穿过0 V。

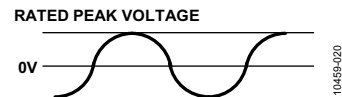


图19. 双极性交流波形

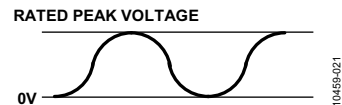


图20. 单极性交流波形

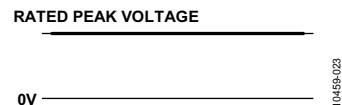
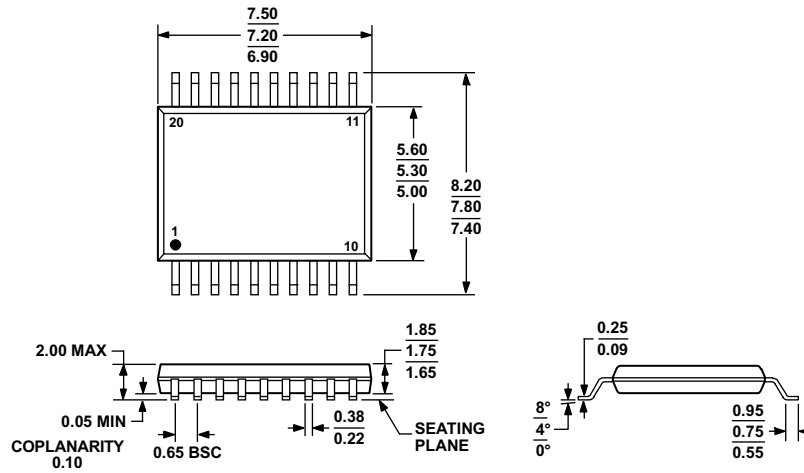


图21. 直流波形

ADuM3480/ADuM3481/ADuM3482

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-150-AE

图22. 20引脚标准小型封装[SSOP]
(RS-20)

图示尺寸单位: mm

订购指南

型号 ¹	输入数, V_{DD1} 侧	输入数, V_{DD2} 侧	最大数据 速率	最大传播 延迟, 5 V	温度范围	封装描述	封装 选项
ADuM3480ARSZ	4	0	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3480ARSZ-RL7	4	0	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20
ADuM3480BRSZ	4	0	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3480BRSZ-RL7	4	0	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20
ADuM3481ARSZ	3	1	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3481ARSZ-RL7	3	1	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20
ADuM3481BRSZ	3	1	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3481BRSZ-RL7	3	1	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20
EVAL-ADuM3481EBZ						评估板	
ADuM3482ARSZ	2	2	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3482ARSZ-RL7	2	2	1 Mbps	90 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20
ADuM3482BRSZ	2	2	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP封装	RS-20
ADuM3482BRSZ-RL7	2	2	25 Mbps	33 ns	-40°C至+125°C	20引脚 SSOP、7"卷盘	RS-20

¹ Z = 符合RoHS标准的器件。