



# SigmaDSP 28/56位音频处理器， 内置2个ADC和4个DAC

## ADAU1401

### 特性

28/56位、50 MIPS数字音频处理器

2个ADC：SNR为100 dB，THD + N为-83 dB

4个DAC：SNR为104 dB，THD + N为-90 dB

完全独立工作

从串行EEPROM自引导

辅助ADC配有4路输入多路复用器，用于模拟控制

GPIO用于数字控制和输出

可利用SigmaStudio图形工具实现完全编程

28位 × 28位乘法器，内置56位累加器，可实现完全双精度处理

时钟振荡器可从晶振产生主时钟

PLL可从 $64 \times f_s$ 、 $256 \times f_s$ 、 $384 \times f_s$ 或 $512 \times f_s$ 时钟产生主时钟

灵活的串行数据输入/输出端口支持I<sup>2</sup>S兼容型、左对齐、右对齐和TDM模式

支持高达192 kHz的采样速率

片内集成电压调节器，兼容3.3 V系统

48引脚塑封LQFP封装

### 应用

多媒体扬声器系统

MP3播放器扬声器埠

汽车音响主机

迷你型立体声系统

数字电视

演播室监听系统

扬声器分频器

乐器音效处理器

座椅音响系统(飞机/长途汽车)

### 概述

ADAU1401是一款完整的单芯片音频系统，内置28/56位音频DSP、ADC、DAC及便于微控制器控制的控制接口。信号处理技术包括均衡、分频、低音增强、多频段动态处理、延迟补偿、扬声器补偿和立体声声像加宽，可用来弥补扬声器、功放和听音环境的实际限制，从而明显改善音质体验。

这种信号处理技术堪比高端演播室设备所用的技术。大部分处理采用完全56位双精度模式完成，因而低电平信号性能极佳。ADAU1401是一款完全可编程的DSP。借助方便易用的SigmaStudio™软件，用户可以利用双二阶滤波器、动态处理器、电平控制和GPIO接口控制等模块，以图形方式配置自定义信号处理流程。

ADAU1401程序可以在上电时通过其自引导机制从串行EEPROM加载，或者从外部微控制器加载。关断时，可以将参数的当前状态从ADAU1401写回EEPROM，以便下次运行程序时重新调用。

两个 $\Sigma$ - $\Delta$ 型ADC和四个 $\Sigma$ - $\Delta$ 型DAC提供98.5 dB的模拟输入至模拟输出动态范围。各ADC的THD + N为-83 dB，各DAC的THD + N为-90 dB。利用数字输入和输出端口，可以与其它ADC和DAC实现无缝连接。ADAU1401通过I<sup>2</sup>C®总线或四线式SPI端口进行通信。

### Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2007–2011 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

特性.....	1	RAM和寄存器.....	31
应用.....	1	地址映射.....	31
概述.....	1	参数RAM.....	31
修订历史.....	3	数据RAM.....	31
功能框图.....	4	读取/写入数据格式.....	31
技术规格.....	5	控制寄存器映射.....	33
模拟性能.....	5	控制寄存器详解.....	35
数字输入/输出.....	7	2048至2055(0x0800至0x0807)—接口寄存器.....	35
电源.....	7	2056 (0x808)—GPIO引脚设置寄存器.....	36
温度范围.....	7	2057至2060(0x809至0x80C)—辅助ADC数据寄存器.....	37
PLL和振荡器.....	7	2064至2068(0x0810至0x814)—安全加载数据寄存器.....	38
调节器.....	8	2069至2073(0x0815至0x819)—安全加载地址寄存器.....	38
数字时序规格.....	8	2074至2075(0x081A至0x081B)—数据采集寄存器.....	39
绝对最大额定值.....	11	2076 (0x081C)—DSP内核控制寄存器.....	40
热阻.....	11	2078 (0x081E)—串行输出控制寄存器.....	41
ESD警告.....	11	2079 (0x081F)—串行输入控制寄存器.....	42
引脚配置和功能描述.....	12	2080至2081(0x0820至0x0821)—多用途引脚配置寄存器.....	43
典型工作特性.....	15	2082 (0x0822)—辅助ADC和电源控制.....	44
系统框图.....	16	2084 (0x0824)—辅助ADC使能.....	44
工作原理.....	17	2086 (0x0826)—振荡器关断.....	44
初始化.....	18	2087 (0x0827)—DAC设置.....	44
上电时序.....	18	多用途引脚.....	45
控制寄存器设置.....	18	辅助ADC.....	45
程序/参数加载推荐程序.....	18	通用输入/输出引脚.....	45
降低功耗模式.....	18	串行数据输入/输出端口.....	45
使用振荡器.....	19	布局布线建议.....	48
设置主时钟/PLL模式.....	19	器件放置.....	48
电压调节器.....	20	接地.....	48
音频ADC.....	21	典型应用原理图.....	49
音频DAC.....	22	自引导模式.....	49
控制端口.....	23	I <sup>2</sup> C控制.....	50
I <sup>2</sup> C端口.....	24	SPI控制.....	51
SPI端口.....	27	外形尺寸.....	52
自引导.....	28	订购指南.....	52
信号处理.....	30		
数字格式.....	30		
编程.....	30		

**修订历史**

**2011年1月—修订版A至修订版B**

更改图1 ..... 4  
 更改图7和表11 ..... 12  
 更改图20和图21 ..... 25  
 更改图27 ..... 27

**2008年4月—修订版0至修订版A**

更改图1 ..... 4  
 更改表11 ..... 12  
 更换图8至图11 ..... 15  
 重命名“工作原理”部分 ..... 17  
 更改“初始化”部分 ..... 18  
 更改“设置主时钟/PLL模式”部分 ..... 19  
 更换图22至图25 ..... 26

更改“EEPROM格式”部分 ..... 28  
 删除表21；重新排序 ..... 29  
 插入图28；重新排序 ..... 29  
 更改图37 ..... 49  
 更改图38 ..... 50  
 更改图39 ..... 51

**2007年7月—修订版0：初始版**

# ADAU1401

## 功能框图

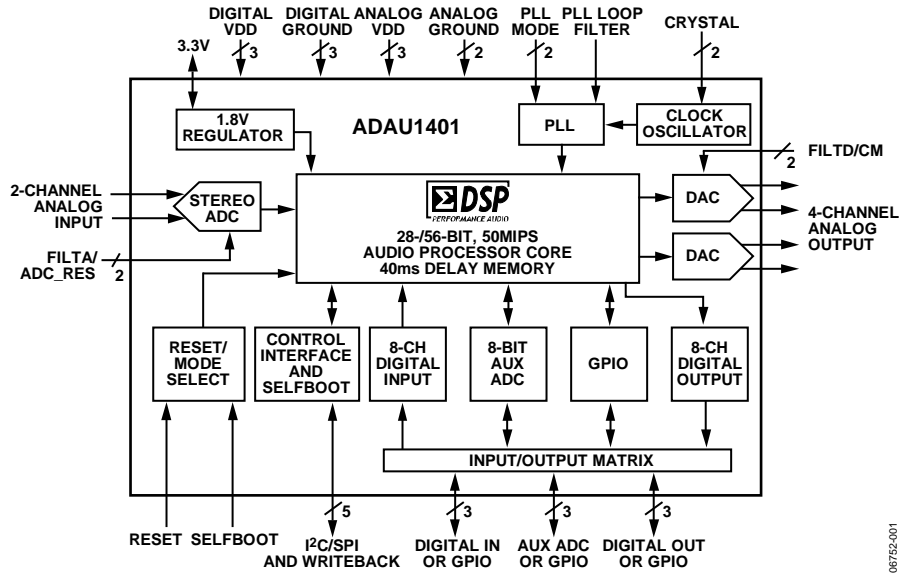


图1

## 技术规格

除非另有说明，AVDD = 3.3 V、DVDD = 1.8 V、PVDD = 3.3 V、IOVDD = 3.3 V、主时钟输入 = 12.288 MHz。

### 模拟性能

25°C(环境)温度下保证达到额定性能。

表1

参数	最小值	典型值	最大值	单位	测试条件/注释
ADC输入					
通道数		2			立体声输入
分辨率		24		位	
满量程输入		100 (283)		μA rms (μA p-p)	具有20 kΩ(18 kΩ外部 + 2 kΩ内部)串联电阻的2 V rms输入
信噪比					
A加权		100		dB	
动态范围					相对于满量程模拟输入为-60 dB
A加权	95	100		dB	
总谐波失真加噪声		-83		dB	相对于满量程模拟输入为-3 dB
通道间增益不匹配		25	250	mdB	
串扰		-82		dB	模拟通道间串扰
直流偏置	1.4	1.5	1.6	V	
增益误差	-11		+11	%	
DAC输出					
通道数		4			2个立体声输出通道
分辨率		24		位	
满量程模拟输出		0.9 (2.5)		V rms (V p-p)	
信噪比					
A加权		104		dB	
动态范围					相对于满量程模拟输出为-60 dB
A加权	99	104		dB	
总谐波失真加噪声		-90		dB	相对于满量程模拟输出为-1 dB
串扰					
通道间增益不匹配		-100		dB	模拟通道间串扰
增益误差		25	250	mdB	
直流偏置	-10		+10	%	
直流偏置	1.4	1.5	1.6	V	
基准电压源					
绝对电压(CM)	1.4	1.5	1.6	V	
辅助ADC					
满量程模拟输入	2.8	3.0	3.1	V	
INL		0.5		LSB	
DNL		1.0		LSB	
失调		15		mV	
输入阻抗	17.8	30	42	kΩ	

# ADAU1401

130°C（环境）温度下保证达到额定性能。

表2

参数	最小值	典型值	最大值	单位	测试条件/注释
ADC输入					
通道数	2				立体声输入
分辨率	24			位	
满量程输入	100 (283)			$\mu\text{A rms}$ ( $\mu\text{A p-p}$ )	具有20 k $\Omega$ (18 k $\Omega$ 外部 + 2 k $\Omega$ 内部)串联电阻的2 V rms输入
信噪比					
A加权	100			dB	相对于满量程模拟输入为-60 dB
动态范围					
A加权	92	100		dB	
总谐波失真加噪声		-83		dB	相对于满量程模拟输入为-3 dB
通道间增益不匹配		25	250	mdB	
串扰		-82		dB	模拟通道间串扰
直流偏置	1.4	1.5	1.6	V	
增益误差	-11		+11	%	
DAC输出					
通道数	4				2个立体声输出通道
分辨率	24			位	
满量程模拟输出	0.9 (2.5)			V rms (V p-p)	
信噪比					
A加权	104			dB	相对于满量程模拟输出为-60 dB
动态范围					
A加权	98	104		dB	
总谐波失真加噪声		-90		dB	相对于满量程模拟输出为-1 dB
串扰		-100		dB	模拟通道间串扰
通道间增益不匹配		25	250	mdB	
增益误差	-10		+10	%	
直流偏置	1.4	1.5	1.6	V	
基准电压源					
绝对电压(CM)	1.4	1.5	1.6	V	
辅助ADC					
满量程模拟输入	2.8	3.0	3.1	V	
INL		0.5		LSB	
DNL		1.0		LSB	
失调		15		mV	
输入阻抗	17.8	30	42	k $\Omega$	

## 数字输入/输出

表3

参数	最小值	典型值	最大值 <sup>1</sup>	单位	备注
输入高电压( $V_{IH}$ )	2.0		IOVDD	V	不包括MCLKI 不包括MCLKI和双向引脚
输入低电压( $V_{IL}$ )			0.8	V	
输入高漏电流( $I_{IH}$ )			1	$\mu$ A	
输入低漏电流( $I_{IL}$ )			1	$\mu$ A	
双向引脚上拉低电流			150	$\mu$ A	
MCLKI输入高漏电流( $I_{IH}$ )			3	$\mu$ A	
MCLKI输入低漏电流( $I_{IL}$ )			3	$\mu$ A	
高电平输出电压( $V_{OH}$ , $I_{OH}=2$ mA)	2.0			V	
低电平输出电压( $V_{OL}$ , $I_{OL}=2$ mA)			0.8	V	
输入电容			5	pF	
GPIO输出驱动		2		mA	

<sup>1</sup> 最大值规格测量条件为：温度范围-40°C至+130°C(壳温)、DVDD范围1.62 V至1.98 V、AVDD范围2.97 V至3.63 V。

## 电源

表4

参数	最小值	典型值	最大值 <sup>1</sup>	单位
电源电压				
模拟电压		3.3		V
数字电压		1.8		V
PLL电压		3.3		V
IOVDD电压		3.3		V
电源电流				
模拟电流(AVDD和PVDD)		50	85	mA
数字电流(DVDD)		40	60	mA
模拟电流(复位)		35	55	mA
数字电流(复位)		1.5	4.5	mA
功耗				
工作(AVDD、DVDD、PVDD) <sup>2</sup>		286.5		mW
复位, 所有电源		118		mW
电源抑制比(PSRR)				
AVDD上1 kHz、200 mV p-p信号		50		dB

<sup>1</sup> 最大值规格测量条件为：温度范围-40°C至+130°C(壳温)、DVDD范围1.62 V至1.98 V、AVDD范围2.97 V至3.63 V。

<sup>2</sup> 功耗不包括IOVDD功耗，因为从该电源吸取的电流取决于数字输出引脚的负载。

## 温度范围

表5

参数	最小值	典型值	最大值 <sup>1</sup>	单位
保证功能	-40		+105	°C(环境)

## PLL和振荡器

表6. PLL和振荡器<sup>1</sup>

参数	最小值	典型值	最大值 <sup>1</sup>	单位
PLL工作范围	MCLK_Nom - 20%		MCLK_Nom + 20%	MHz
PLL锁定时间			20	ms
晶振跨导( $g_m$ )		78		mmho

<sup>1</sup> 最大值规格测量条件为：温度范围-40°C至+130°C(壳温)、DVDD范围1.62 V至1.98 V、AVDD范围2.97 V至3.63 V。

# ADAU1401

## 调节器

表7. 调节器<sup>1</sup>

参数	最小值	典型值	最大值 <sup>1</sup>	单位
DVDD电压	1.7	1.8	1.84	V

<sup>1</sup> 调节器规格利用电路中的Zetex Semiconductors FZT953晶体管计算。

## 数字时序规格

表8. 数字时序<sup>1</sup>

参数	限值		单位	描述
	t <sub>MIN</sub>	t <sub>MAX</sub>		
<b>主时钟</b>				
t <sub>MP</sub>	36	244	ns	MCLKI周期, 512 × f <sub>s</sub> 模式
t <sub>MP</sub>	48	366	ns	MCLKI周期, 384 × f <sub>s</sub> 模式
t <sub>MP</sub>	73	488	ns	MCLKI周期, 256 × f <sub>s</sub> 模式
t <sub>MP</sub>	291	1953	ns	MCLKI周期, 64 × f <sub>s</sub> 模式
<b>串行端口</b>				
t <sub>BIL</sub>	40		ns	INPUT_BCLK低电平脉冲宽度
t <sub>BIH</sub>	40		ns	INPUT_BCLK高电平脉冲宽度
t <sub>LIS</sub>	10		ns	INPUT_LRCLK建立时间; 至INPUT_BCLK上升
t <sub>LIH</sub>	10		ns	INPUT_LRCLK保持时间; 自INPUT_BCLK上升起
t <sub>SIS</sub>	10		ns	SDATA_INx建立时间; 至INPUT_BCLK上升
t <sub>SIH</sub>	10		ns	SDATA_INx保持时间; 自INPUT_BCLK上升起
t <sub>LOS</sub>	10		ns	从机模式下OUTPUT_LRCLK建立时间
t <sub>LOH</sub>	10		ns	从机模式下OUTPUT_LRCLK保持时间
t <sub>TS</sub>		5	ns	OUTPUT_BCLK下降至OUTPUT_LRCLK时序偏斜
t <sub>SODS</sub>		40	ns	从机模式下SDATA_OUTx延迟时间; 自OUTPUT_BCLK下降起
t <sub>SODM</sub>		40	ns	主机模式下SDATA_OUTx延迟时间; 自OUTPUT_BCLK下降起
<b>SPI端口</b>				
f <sub>CCLK</sub>		6.25	MHz	CCLK频率
t <sub>CCPL</sub>	80		ns	CCLK低电平脉冲宽度
t <sub>CCPH</sub>	80		ns	CCLK高电平脉冲宽度
t <sub>CLS</sub>	0		ns	CLATCH建立时间; 至CCLK上升
t <sub>CLH</sub>	100		ns	CLATCH保持时间; 自CCLK上升起
t <sub>CLPH</sub>	80		ns	CLATCH高电平脉冲宽度
t <sub>CDS</sub>	0		ns	CDATA建立时间; 至CCLK上升
t <sub>CDH</sub>	80		ns	CDATA保持时间; 自CCLK上升起
t <sub>COD</sub>		101	ns	COUt延迟时间; 自CCLK下降起
<b>I<sup>2</sup>C端口</b>				
f <sub>SCL</sub>		400	kHz	SCL频率
t <sub>SCLH</sub>	0.6		μs	SCL高电平
t <sub>SCLL</sub>	1.3		μs	SCL低电平
t <sub>SCS</sub>	0.6		μs	建立时间; 与重复起始条件相关
t <sub>SCH</sub>	0.6		μs	保持时间; 此周期结束后, 产生首次时钟
t <sub>DS</sub>	100		ns	数据建立时间
t <sub>SCR</sub>		300	ns	SCL上升时间
t <sub>SCF</sub>		300	ns	SCL下降时间
t <sub>SDR</sub>		300	ns	SDA上升时间
t <sub>SDF</sub>		300	ns	SDA下降时间
t <sub>BFT</sub>	0.6			总线空闲时间; 停止与起始之间的时间



参数	限值		单位	描述
	$t_{MIN}$	$t_{MAX}$		
多用途引脚和复位				
$t_{GRT}$		50	ns	GPIO上升时间
$t_{GFT}$		50	ns	GPIO下降时间
$t_{GIL}$		$1.5 \times 1/f_s$	$\mu s$	GPIO输入延迟; 到内核读取高/低值的时间
$t_{RLPW}$	20		ns	RESET 低电平脉冲宽度

<sup>1</sup> 所有时序规格均相对于串行输入端口和串行输出端口的默认状态(I<sup>2</sup>S)而言(参见表66)。

## 数字时序图

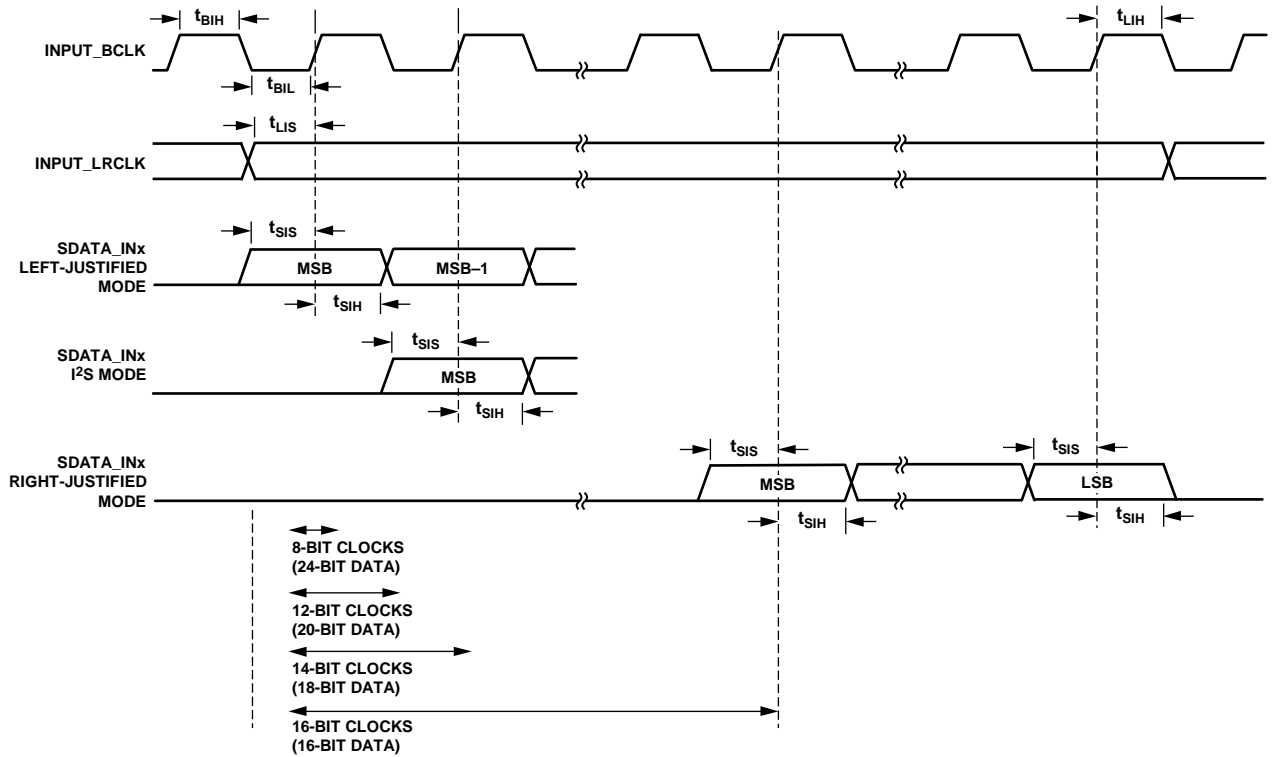


图2. 串行输入端口时序

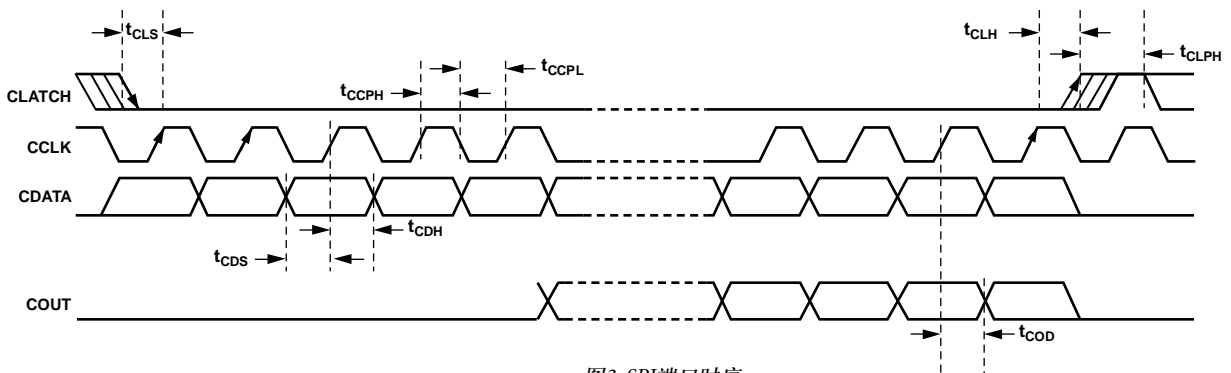


图3. SPI端口时序

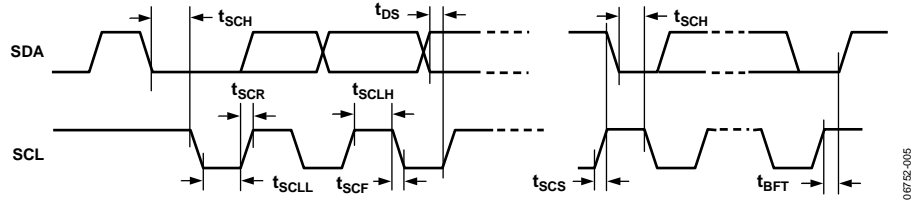


图4. I<sup>2</sup>C端口时序

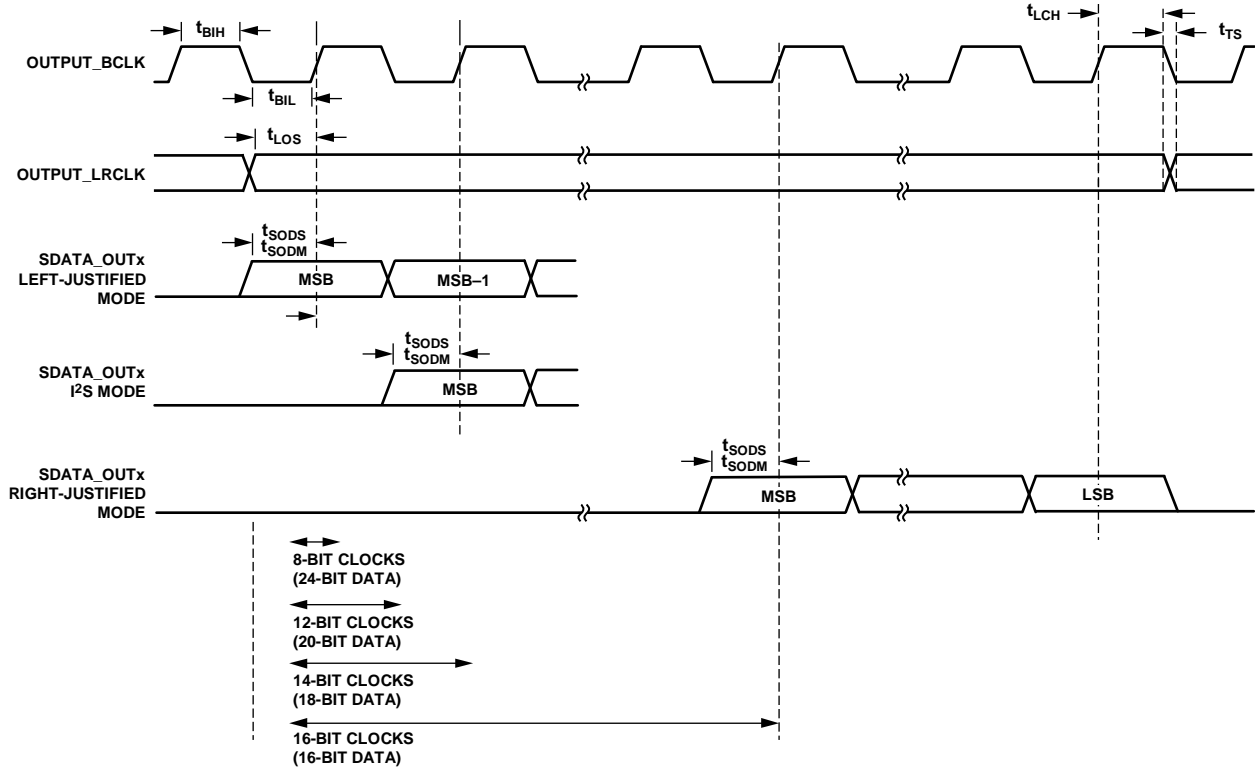


图5. 串行输出端口时序

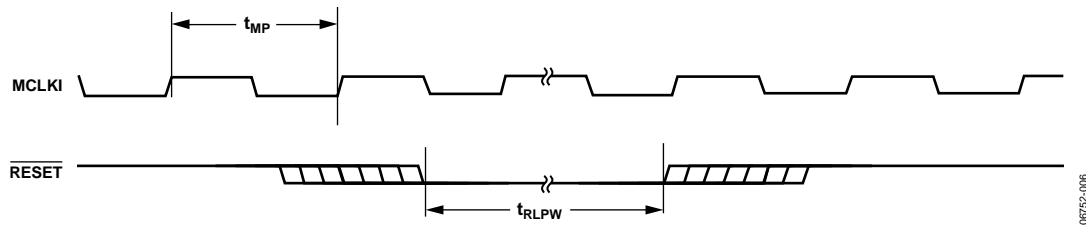


图6. 主时钟和RESET时序

## 绝对最大额定值

表9

参数	额定值
DVDD至GND	0 V至2.2 V
AVDD至GND	0 V至4.0 V
IOVDD至GND	0 V至4.0 V
数字输入	DGND - 0.3 V, IOVDD + 0.3 V
最高结温	135°C
存储温度范围	-65°C至+150°C
焊接(10秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 热阻

$\theta_{JA}$  针对最差条件，即器件焊接在电路板上以实现表贴封装。

表10. 热阻

封装类型	$\theta_{JA}$	$\theta_{JC}$	单位
48引脚LQFP	72	19.5	°C/W

## ESD警告



### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADAU1401

## 引脚配置和功能描述

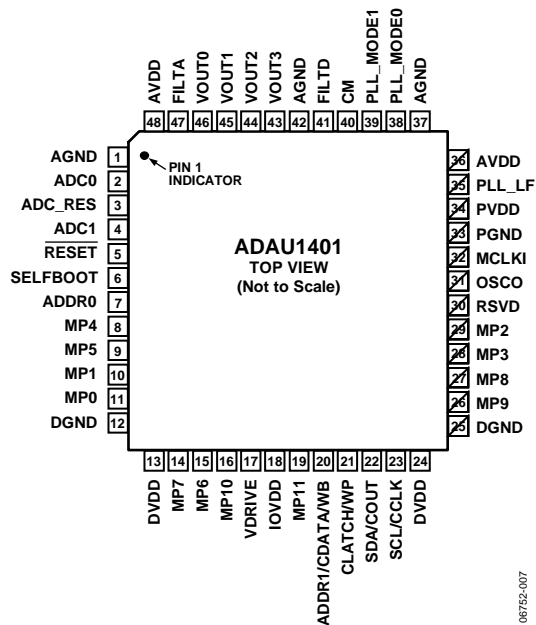


图7. 48引脚LQFP的引脚配置

表11. 引脚功能描述

引脚编号	引脚名称	类型 <sup>1</sup>	描述
1, 37, 42	AGND	PWR	模拟接地引脚。AGND、DGND和PGND引脚可以在一个公共接地层上直接相连。AGND应通过一个100 nF电容去耦至AVDD引脚。
2	ADC0	A_IN	模拟音频输入0。满量程100 $\mu$ A rms输入。电流输入使得输入电压电平可通过外部电阻进行比例缩放。18 k $\Omega$ 电阻提供2 V rms满量程输入。
3	ADC_RES	A_IN	ADC基准电流。ADC的满量程电流可以通过一个在此引脚与地之间连接的外部18 k $\Omega$ 电阻进行设置。详情参见“音频ADC”部分。
4	ADC1	A_IN	模拟音频输入1。满量程100 $\mu$ A rms输入。电流输入使得输入电压电平可通过外部电阻进行比例缩放。18 k $\Omega$ 电阻提供2 V rms满量程输入。详情参见“音频ADC”部分。
5	RESET	D_IN	低电平有效复位输入。ADAU1401在高低转换沿上触发复位，在低高转换沿上退出复位。有关初始化的更多信息，参见“上电时序”部分。
6	SELFBOOT	D_IN	启用/禁用自引导。SELFBOOT选择控制端口(低电平)或自引导(高电平)。当ADAU1401退出复位时，将此引脚设置为高电平会启动自引导操作。此引脚可以直接连到控制电压，或者通过电阻上拉/下拉。详情参见“自引导”部分。
7	ADDR0	D_IN	I <sup>2</sup> C和SPI地址0。此引脚与ADDR1一起使用，允许同一I <sup>2</sup> C总线上最多使用四个ADAU1401，或者两个IC使用一个公共SPI CLATCH信号。详情参见“I <sup>2</sup> C端口”部分。
8	MP4	D_IO	多用途GPIO或串行输入端口LRCLK (INPUT_LRCLK)。详情参见“多用途引脚”部分。
9	MP5	D_IO	多用途GPIO或串行输入端口BCLK (INPUT_BCLK)。详情参见“多用途引脚”部分。
10	MP1	D_IO	多用途GPIO或串行输入端口数据1 (SDATA_IN0)。详情参见“多用途引脚”部分。
11	MP0	D_IO	多用途GPIO或串行输入端口数据0 (SDATA_IN1)。详情参见“多用途引脚”部分。
12, 25	DGND	PWR	数字接地引脚。AGND、DGND和PGND引脚可以在一个公共接地层上直接相连。DGND应通过一个100 nF电容去耦至DVDD引脚。

引脚编号	引脚名称	类型 <sup>1</sup>	描述
13, 24	DVDD	PWR	1.8 V数字电源。既可以由外部提供，也可以利用片内1.8 V调节器从3.3 V电源产生。DVDD应通过一个100 nF电容去耦至DGND。
14	MP7	D_IO	多用途GPIO或串行输出端口数据1 (SDATA_OUT1)。详情参见“多用途引脚”部分。
15	MP6	D_IO	多用途GPIO、串行输出端口数据0或TDM数据输出(SDATA_OUT0)。详情参见“多用途引脚”部分。
16	MP10	D_IO	多用途GPIO或串行输出端口LRCLK (OUTPUT_LRCLK)。详情参见“多用途引脚”部分。
17	VDRIVE	A_OUT	1.8 V调节器的驱动电压。电压调节器外部PNP晶体管的基极由VDRIVE驱动。详情参见“电压调节器”部分。
18	IOVDD	PWR	输入和输出引脚的电源。此引脚的电压设置数字输入引脚上应当看到的最高输入电压。此引脚还是控制端口和MP引脚的数字输出信号的电源。IOVDD应始终设置为3.3 V。此引脚吸取的电流是可变的，因为它取决于数字输出的负载。
19	MP11	D_IO	多用途GPIO或串行输出端口BCLK (OUTPUT_BCLK)。详情参见“多用途引脚”部分。
20	ADDR1/CDATA/WB	D_IN	ADDR1: I <sup>2</sup> C地址1。此引脚与ADDR0一起设置IC的I <sup>2</sup> C地址，以便能在同一I <sup>2</sup> C总线上使用四个ADAU1401。详情参见“I <sup>2</sup> C端口”部分。 CDATA: SPI数据输入。详情参见“SPI端口”部分。 WB: EEPROM回写触发器。此引脚的上升(默认)或下降(如果EEPROM消息如此设置)沿触发从接口寄存器到外部EEPROM的回写操作。此功能可用于在关断时保存参数数据。详情参见“自引导”部分。
21	CLATCH/WP	D_IO	CLATCH: SPI锁存信号。在SPI处理开始时必须变为低电平，在处理结束时必须变为高电平。完成每次SPI处理所需的CCLK引脚周期数可能不同，取决于SPI处理开始时发送的地址和读/写位。详情参见“SPI端口”部分。 WP: 自引导EEPROM写保护。在自引导模式下，此引脚为开集输出。ADAU1401将此引脚拉低以能使对外部EEPROM的写操作。应将此引脚拉高至3.3 V。详情参见“自引导”部分。
22	SDA/COUT	D_IO	SDA: I <sup>2</sup> C数据。此引脚为双向开集。连接到此引脚的线路应有2.2 kΩ上拉电阻。详情参见“I <sup>2</sup> C端口”部分。 COUT: 此SPI数据输出用于回读寄存器和存储器位置。当SPI读取非活动时，它处于三态。详情参见“SPI端口”部分。
23	SCL/CCLK	D_IO	SCL: I <sup>2</sup> C时钟。在I <sup>2</sup> C控制模式下，此引脚始终为开集输入。在自引导模式下，此引脚为开集输出(I <sup>2</sup> C主机)。连接到此引脚的线路应有2.2 kΩ上拉电阻。详情参见“I <sup>2</sup> C端口”部分。 CCLK: SPI时钟。此引脚既可以连续工作，也可以在SPI处理间隙关断。详情参见“SPI端口”部分。
26	MP9	D_IO/A_IO	多用途GPIO、串行输出端口数据3(SDATA_OUT3)或辅助ADC输入0。详情参见“多用途引脚”部分。
27	MP8	D_IO/A_IO	多用途GPIO、串行输出端口数据2(SDATA_OUT2)或辅助ADC输入3。详情参见“多用途引脚”部分。
28	MP3	D_IO/A_IO	多用途GPIO、串行输入端口数据3(SDATA_IN3)或辅助ADC输入2。详情参见“多用途引脚”部分。
29	MP2	D_IO/A_IO	多用途GPIO、串行输入端口数据2(SDATA_IN2)或辅助ADC输入1。详情参见“多用途引脚”部分。
30	RSVD	X	保留。直接接地或通过下拉电阻接地。
31	OSCO	D_OUT	晶振电路输出。此引脚与晶振之间应连接一个100 Ω阻尼电阻。此输出不应用来将一个时钟直接驱动至另一个IC。如果不使用晶振，此引脚应断开。详情参见“使用振荡器”部分。
32	MCLKI	D_IN	主时钟输入。MCLKI既可以连接到3.3 V时钟信号，也可以是来自晶振电路的输入。详情参见“设置主时钟/PLL模式”部分。
33	PGND	PWR	PLL接地引脚。AGND、DGND和PGND引脚可以在一个公共接地层上直接相连。PGND应通过一个100 nF电容去耦至PVDD。

# ADAU1401

引脚编号	引脚名称	类型 <sup>1</sup>	描述
34	PVDD	PWR	PLL和辅助ADC模拟部分的3.3 V电源。此引脚应通过一个100 nF电容去耦至PGND。
35	PLL_LF	A_OUT	PLL环路滤波器连接。需要将两个电容和一个电阻连接到此引脚，如图15所示。详情参见“设置主时钟/PLL模式”部分。
36, 48	AVDD	PWR	3.3 V模拟电源。此引脚应通过一个100 nF电容去耦至AGND。
38, 39	PLL_MODE0, PLL_MODE1	D_IN	PLL模式设置。PLL_MODE0和PLL_MODE1设置主时钟PLL的输出频率。详情参见“设置主时钟/PLL模式”部分。
40	CM	A_OUT	1.5 V共模基准电压。此引脚与地之间应连接一个47 $\mu$ F去耦电容，以降低ADC与DAC之间的串扰。电容的材料不重要。此引脚可用于偏置外部模拟电路，前提是这些电路不从该引脚吸取电流(例如，当CM连接到运算放大器的同相输入端时)。
41	FILTD	A_OUT	DAC滤波器去耦引脚。此引脚与地之间应连接一个10 $\mu$ F电容。电容材料不重要。此引脚的电压为1.5 V。
43 to 46	VOUT3	A_OUT	VOUT DAC输出。满量程输出电压为0.9 V rms。此输出可以配合有源或无源输出重构滤波器使用。详情参见“音频DAC”部分。
44	VOUT2	A_OUT	VOUT2 DAC输出。满量程输出电压为0.9 V rms。此输出可以配合有源或无源输出重构滤波器使用。详情参见“音频DAC”部分。
45	VOUT1	A_OUT	VOUT1 DAC输出。满量程输出电压为0.9 V rms。此输出可以配合有源或无源输出重构滤波器使用。详情参见“音频DAC”部分。
46	VOUT0	A_OUT	VOUT0 DAC输出。满量程输出电压为0.9 V rms。此输出可以配合有源或无源输出重构滤波器使用。详情参见“音频DAC”部分。
47	FILTA	A_OUT	ADC滤波器去耦引脚。此引脚与地之间应连接一个10 $\mu$ F电容。电容材料不重要。此引脚的电压为1.5 V。

<sup>1</sup> PWR = 电源/地，A\_IN = 模拟输入，D\_IN = 数字输入，A\_OUT = 模拟输出，D\_IO = 数字输入/输出，D\_IO/A\_IO = 数字输入/输出或模拟输入/输出。

典型工作特性

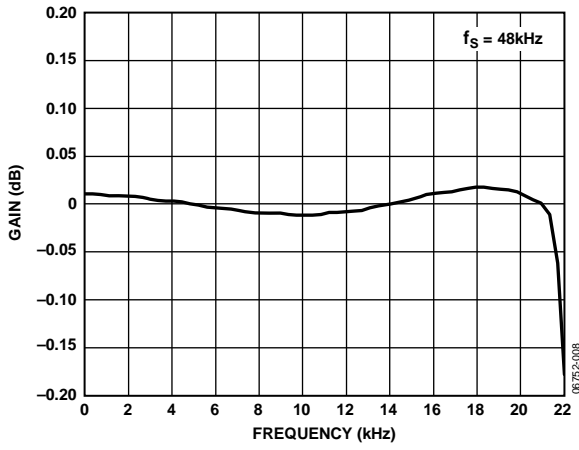


图8. ADC通带滤波器响应

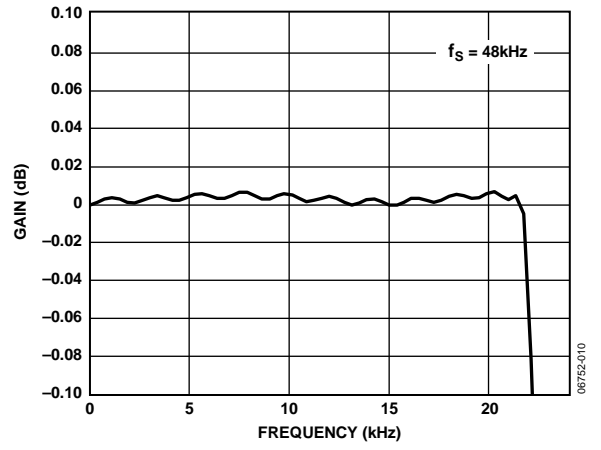


图10. DAC通带滤波器响应

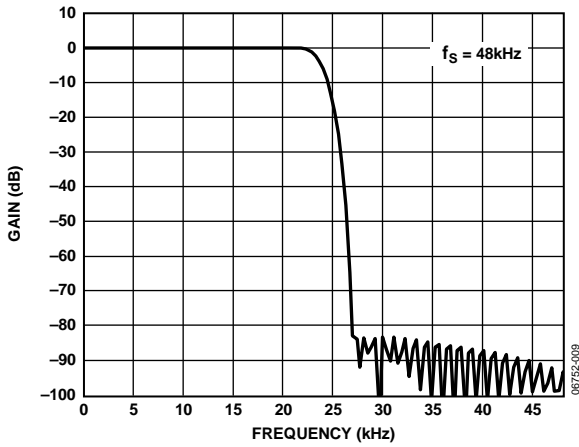


图9. ADC阻带滤波器响应

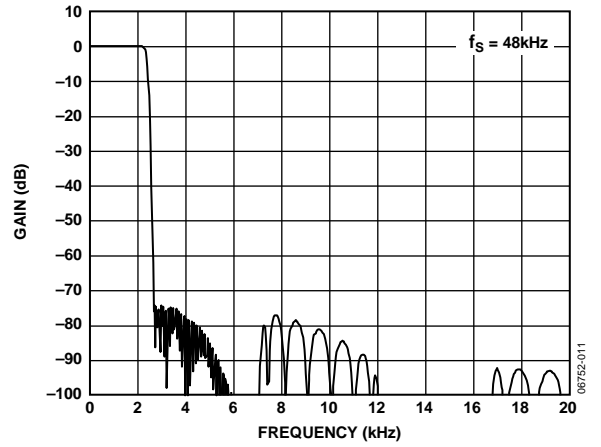


图11. DAC阻带滤波器响应

## 系统框图

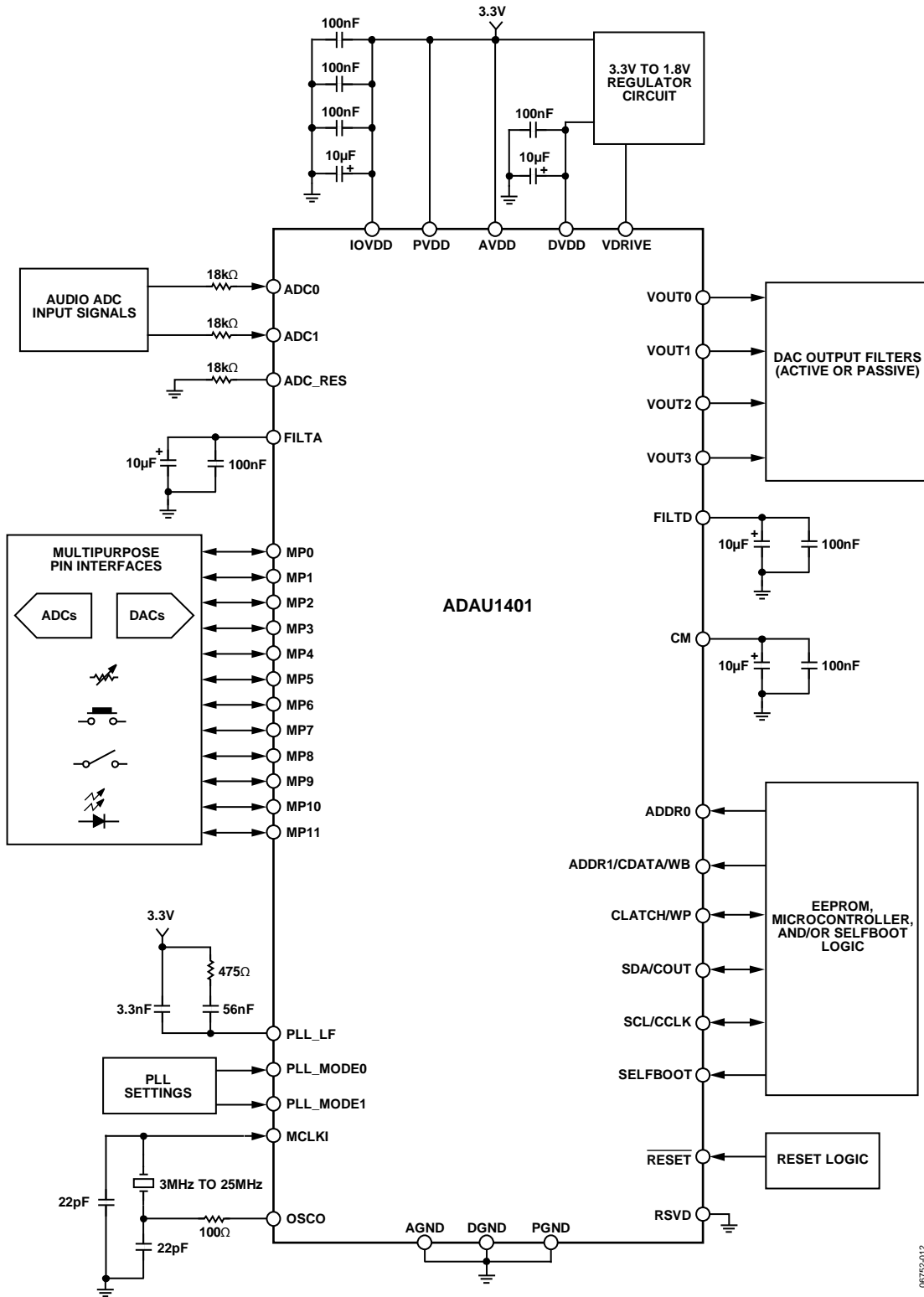


图12. 系统框图

06752-012



## 工作原理

ADAU1401的内核是一款针对音频处理而优化的28位DSP(双精度处理为56位)。程序和参数RAM可以利用定制音频处理信号流加载,使用ADI公司的SigmaStudio图形编程软件可以构建信号流。参数RAM中存储的值控制各信号处理模块,如均衡滤波器、动态处理器、音频延迟和混频器电平等。安全加载特性支持透明地进行参数更新,并能防止输出信号出现咔嚓声。

程序RAM、参数RAM和寄存器内容可以保存于外部EEPROM中,ADAU1401在启动时可以从外部EEPROM自引导。在这种独立模式下,参数可以通过片上多用途引脚控制。ADAU1401可以接受开关、电位计、旋转编码器和IR接收器的控制。关断时,音量和音调设置等参数可以保存到EEPROM,然后在上电时再次加载。

ADAU1401可以在数字、模拟或混合输入输出下工作。立体声ADC和四个DAC各具有至少+100 dB的SNR和至少-83 dB的THD + N。灵活的8通道串行数据输入/输出端口可以与各种ADC、DAC、通用DSP、S/PDIF接收器和发送器、采样速率转换器实现无缝互连。ADAU1401的串行端口可以配置为I<sup>2</sup>S、左对齐、右对齐或TDM串行端口兼容模式。

利用12个多用途(MP)引脚,ADAU1401可以接收外部控制信号输入,以及向系统中的其它器件输出标志或控制信号。MP引脚可以配置为数字I/O、4通道辅助ADC的输入或串行数据I/O端口。作为输入,MP引脚可以连接到按钮、开关、旋转编码器、电位计、IR接收器或其它外部电路,以控制内部信号处理程序。配置为输出时,这些引脚可以用来驱动LED、控制其它IC,或者连接到应用中的其它外部电路。

ADAU1401有一个先进的控制端口,支持完整地读取/写入所有存储器位置。它还具有控制寄存器,可以全面地控制芯片的配置和串行模式。ADAU1401可以配置为SPI或I<sup>2</sup>C控制,或者从外部EEPROM自引导。

片上振荡器可以连接到外部晶振,以便产生主时钟。此外,利用主时钟锁相环(PLL),ADAU1401可以采用不同速度的时钟工作。PLL可以从 $64 \times f_s$ 、 $256 \times f_s$ 、 $384 \times f_s$ 或 $512 \times f_s$ 的输入产生内核的内部主时钟。

可以使用SigmaStudio软件通过控制端口来设置和控制

SigmaDSP<sup>®</sup>。除了设计和调整信号流外,还可以使用该工具配置所有DSP寄存器,以及将新程序写入外部EEPROM。任何人只要具备数字或模拟音频处理知识,就可以利用SigmaStudio图形界面轻松设计一个DSP信号流,并将其移植到目标应用中。同时,它还还为经验丰富的DSP编程人员提供了充分的灵活性和编程能力,使其能深入地控制设计。在SigmaStudio中,用户可以连接图形模块(如双二阶滤波器、动态处理器、混频器和延迟等)、编译设计以及通过控制端口将程序和参数文件加载到ADAU1401存储器。在提供的库中包括下列信号处理模块:

- 单精度和双精度双二阶滤波器
- 带峰值或均方根检波功能的处理器,用于单声道和多声道动态处理
- 混频器和分路器
- 单音和噪声发生器
- 固定和可变增益
- 响度
- 延迟
- 立体声增强
- 动态低音增强
- 噪声和单音源
- FIR滤波器
- 电平检测器
- GPIO控制和调理

我们还在开发更多处理模块。针对矩阵解码、低音增强和环绕声虚拟器等应用,ADI公司也提供专有算法和第三方算法。有关这些算法的授权事宜,请联系ADI公司。

ADAU1401采用1.8 V数字电源和3.3 V模拟电源供电。使用片上电压调节器时,器件可以采用3.3 V单电源供电。它在单芯片集成电路上制造,采用48引脚LQFP封装,工作温度范围为-40°C至+105°C。

## 初始化

本部分介绍ADAU1401的正确设置程序。下列五个步骤概括了IC的初始化程序：

1. 给ADAU1401加电。
2. 等待PLL锁定。
3. 加载SigmaDSP程序和参数。
4. 设置寄存器(包括多用途引脚和数字接口)。
5. 关闭转换器的默认静音功能、清除数据寄存器、初始化DAC设置寄存器(相关设置参见“控制寄存器设置”部分)。

如果只是测试模拟音频贯通情况(ADC到DAC)，可以跳过第3步和第4步，并使用默认内部程序。

### 上电时序

ADAU1401有一个内置上电时序，它在上电时或器件退出复位时初始化所有内部RAM的内容。在 $\overline{\text{RESET}}$ 的正边沿，内部程序引导ROM的内容被复制到内部程序RAM存储器，参数RAM用相关引导ROM中的值(全0)填充，所有寄存器初始化为0。默认引导ROM程序将音频数据从输入复制到输出，但不进行处理(见图13)。在此程序中，串行数字输入0和输入1通过DAC0、DAC1和串行数字输出0、输出1输出。ADC0和ADC1通过DAC2和DAC3输出。数据存储寄存器在上电时也会清零。在初始化完成之前，不应向控制端口写入新值。

表12. 上电时间

MCLKI输入	初始化时间	程序/参数/寄存器引导最长时间( $t^2C$ )	总计
3.072 MHz ( $64 \times f_s$ )	85 ms	175 ms	260 ms
11.289 MHz ( $256 \times f_s$ )	23 ms	175 ms	198 ms
12.288 MHz ( $256 \times f_s$ )	21 ms	175 ms	196 ms
18.432 MHz ( $384 \times f_s$ )	16 ms	175 ms	191 ms
24.576 MHz ( $512 \times f_s$ )	11 ms	175 ms	186 ms

PLL启动时间持续MCLKI引脚时钟的 $2^{18}$ 个周期。此时间自 $\overline{\text{RESET}}$ 的上升沿开始测量，长度为10.7 ms( $24.576 \text{ MHz} (512 \times f_s)$ 输入时钟)至85.3 ms( $3.072 \text{ MHz} (64 \times f_s)$ 输入时钟)。PLL启动后，ADAU1401引导周期的持续时间约为 $42 \mu\text{s}(f_s \text{ 为 } 48 \text{ kHz时})$ 。用户应避免在启动期间写入或读取ADAU1401。对于12.288 MHz的MCLK输入，全部初始化序列(PLL启动加引导周期)约需21 ms。当器件退出复位时，PLL\_MODE0和PLL\_MODE1引脚将立即设置时钟模式。复位与内部时钟的下降沿同步。

表12列出了将ADAU1401引导至应用的工作状态所需的典型时间，假设使用400 kHz  $t^2C$ 时钟加载完整程序、参数集和所有寄存器(约8.5 kB)。实际上，多数应用不需要填充RAM，因此引导时间(表12的第3栏)较短。

### 控制寄存器设置

下列寄存器必须按照本部分所述进行设置，以便初始化ADAU1401。这些设置是IC在48 kHz模拟输入/输出下工作所需的最低基本设置。根据具体应用，可能需要设置其它寄存器。更多设置参见“RAM和寄存器”部分。

#### DSP内核控制寄存器(地址2076)

将位[4:2](ADM、DAM和CR)的各位设为1。

#### DAC设置寄存器(地址2087)

将位[0:1](DS[1:0])设为01。

### 程序/参数加载推荐程序

在直接写入模式下将大量数据写入程序或参数RAM时，应禁用处理器内核，防止音频输出中出现难听的噪声。

1. 将内核控制寄存器的位3和位4(低电平有效)设为1，使ADC和DAC静音。音量将逐渐下降。
2. 将内核控制寄存器的位2(低电平有效)设为1。这将使SigmaDSP累加器、数据输出寄存器和数据输入寄存器清零。
3. 使用突发模式写操作填充程序RAM。
4. 使用突发模式写操作填充参数RAM。
5. 将内核控制寄存器的位2至位4复位。

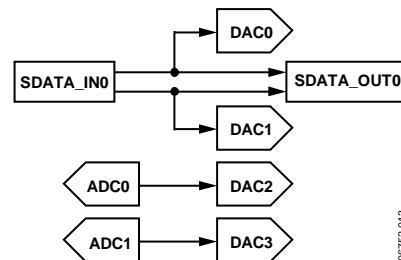


图13. 默认程序信号流

### 降低功耗模式

ADAU1401芯片的多个部分可以根据需要开启或关闭，以便降低功耗。这些部分包括ADC、DAC和基准电压。

通过写入辅助ADC和电源控制寄存器，可以关闭各模拟部分。默认情况下，启用ADC、DAC和基准电压)所有位设为0)。向各个寄存器中的相应位写入1，可以将其关闭。ADC关断模式会使两个ADC均关断，各DAC则可以独立关断。当ADC关断时，可以节省约15 mA的电流；每个DAC关断则可以节省约4 mA的电流。基准电压为ADC和DAC供电，只有当所有ADC和DAC均关断时才能关断。设置控制寄存器的位6和位7后可以关断基准电压。

## 使用振荡器

ADAU1401可以使用片上振荡器来产生主时钟。振荡器采用 $256 \times f_s$ 的主时钟工作，当 $f_s$ 为48 kHz时，主时钟为12.288 MHz；当 $f_s$ 为44.1 kHz时，主时钟为11.2896 MHz。振荡器电路中的晶体应为工作在基频的AT切割并联谐振器。图14显示了正常工作时的推荐外部电路。

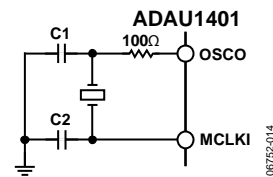


Figure 14. Crystal Oscillator Circuit

OSCO上的100 Ω阻尼电阻使振荡器的电压摆幅约为2.2 V。晶振并联电容应为7 pF，其负载电容应为约18 pF，但该电路支持最高25 pF的负载。C1和C2负载电容的值可以根据晶振负载电容计算，公式如下：

$$C_L = \frac{C1 \times C2}{C1 + C2} + C_{stray}$$

其中， $C_{stray}$ 为该电路的杂散电容，通常假设为约2 pF到5 pF。

OSCO不应用于将晶振信号直接驱动至其它IC，此信号是一个模拟正弦波，不适用于驱动数字输入。若要利用ADAU1401来向系统中的其它IC提供主时钟，有两种方法。第一种方法是使用OSCO信号上的高阻抗输入数字缓冲器)与第二种方法相比，不推荐使用这种方法)。使用这种方法时，到缓冲器输入的走线长度应尽可能短。第二种方法是使用来自串行输出端口的时钟。引脚MP11可以设置为内部内核时钟的分频输出(主)时钟。如果在多用途引脚配置寄存器(2081)中将该引脚设置为串行输出端口(OUTPUT\_BCLK)，并且在串行输出控制寄存器(2078)中将该端口设置为主机，则所需的输出频率也可以在串行输出控制寄存器的位[OBF<1:0>]中设置)见表49)。

如果设计中不使用振荡器，可以将它关断以降低功耗。当系统中已经存在系统主时钟时，就可以将其关断。默认情况下，振荡器开启。向振荡器关断寄存器的OPD位写入1时，振荡器关断)见表60)。

## 设置主时钟/PLL模式

ADAU1401的MCLKI输入提供给PLL，PLL产生50 MIPS SigmaDSP内核时钟。在正常工作中，MCLKI的输入必须为下列频率之一： $64 \times f_s$ 、 $256 \times f_s$ 、 $384 \times f_s$ 或 $512 \times f_s$ ，其中 $f_s$ 为输入采样速率。PLL模式通过PLL\_MODE0和PLL\_MODE1进行设置，如表13所示。如果ADAU1401设置为接收双倍速率信号)使用内核控制寄存器将每个采样的程序步骤数减少2倍)，则主时钟频率必须为 $32 \times f_s$ 、 $128 \times f_s$ 、 $192 \times f_s$ 或 $256 \times f_s$ 。如果ADAU1401设置为接收四倍速率信号)使用内核控制寄存器将每个采样的程序步骤数减少4倍)，则主时钟频率必须为 $16 \times f_s$ 、 $64 \times f_s$ 、 $96 \times f_s$ 或 $128 \times f_s$ 。上电时，MCLKI引脚上必须存在时钟信号，这样ADAU1401才能完成初始化程序。

表13. PLL模式

MCLKI输入	PLL_MODE0	PLL_MODE1
$64 \times f_s$	0	0
$256 \times f_s$	0	1
$384 \times f_s$	1	0
$512 \times f_s$	1	1

若要改变时钟模式，必须同时复位ADAU1401。如果在工作中改变模式，输出信号中将产生咔嚓声或爆音。PLL\_MODEx引脚的状态应在 $\overline{RESET}$ 保持低电平时改变。

PLL环路滤波器应连接到PLL\_LF引脚。如图15所示，此引脚包括三个无源元件：2个电容和1个电阻。这些元件的值无需太精确，电阻的容差可达10%，电容的容差可达20%。图15所示的3.3 V信号可以连接到芯片的AVDD电源。

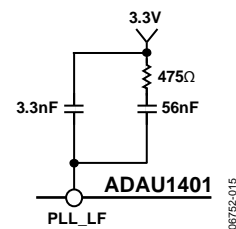


Figure 15. PLL Loop Filter

# ADAU1401

## 电压调节器

ADAU1401的数字电压必须设置为1.8 V。该芯片内置一个片上电压调节器，以便器件能够用于没有1.8 V电源，但有3.3 V电源的系统中。这种情况下，所需的外部器件为一个PNP晶体管、一个电阻和几个旁路电容。只需要一个引脚VDRIVE来支持该调节器。

电压调节器的推荐设计如图16所示。该配置中显示的10  $\mu\text{F}$ 和100 nF电容是推荐的旁路电容，但不是正常工作所必需。DVDD引脚应有各自的100 nF旁路电容，但两个DVDD引脚只需要一个大电容(10  $\mu\text{F}$ 至47  $\mu\text{F}$ )。采用这种配置时，3.3 V是系统主电压，1.8 V产生于晶体管的集电极，并连接到DVDD引脚。VDRIVE连接到PNP晶体管的基极。如果设计中不使用调节器，VDRIVE可以接地。

选择调节器晶体管时，必须考虑两个要求：晶体管的电流放大系数( $h_{FE}$ 或beta)至少应为100，并且晶体管的集电极必须能够散除工作时(将3.3 V调节为1.8 V)产生的热量。ADAU1401的最大数字电流为60 mA，确定晶体管最小功耗的公式如下：

$$(3.3 \text{ V} - 1.8 \text{ V}) \times 60 \text{ mA} = 90 \text{ mW}$$

有许多采用SOT-23或SOT-223小型封装的晶体管满足这些要求，比如Zetex Semiconductors的FZT953。

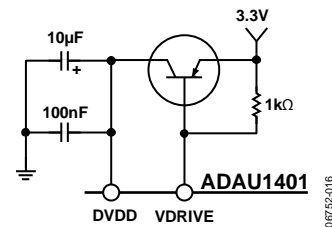


图16. 电压调节器配置

## 音频ADC

ADAU1401有2个Σ-Δ型ADC，ADC的信噪比(SNR)为100 dB，总谐波失真加噪声(THD + N)为-83 dB。

立体声音频ADC为电流输入，因此输入端需一个电压转电流电阻。这意味着，系统输入信号的电压电平可以设置为任意电平，只需要调整输入电阻以提供正确的满量程电流输入。ADC0、ADC1输入引脚和ADC\_RES均有2 kΩ的内部电阻以保护ESD。在ADC输入引脚上直接看到的电压为1.5 V共模电压。

连接到ADC\_RES的外部电阻设置ADC的满量程电流输入。ADC\_RES接18 kΩ外部电阻时(总共20 kΩ，因为它与内部2 kΩ串联)，ADC的满量程输入为100 μA rms。只有当所用的采样速率不是48 kHz时，才需要改变ADC\_RES电阻。

连接到ADC0/ADC1的电压转电流电阻设置ADC的满量程电压输入。在100 μA rms的满量程电流输入下，2.0 V rms信号和外部18 kΩ电阻(与2 kΩ内部电阻串联)产生ADC的满量程输入。这些电阻与ADC\_RES电阻的匹配精度对ADC的运作十分重要。对于这三个电阻，推荐容差为1%。

如果不使用ADC的ADC0和/或ADC1通道，则可以不连接相应的输入引脚。

下面的电阻值计算假设采样速率为48 kHz。推荐的输入和电流设置电阻与采样速率成线性比例关系，因为ADC具有一路开关电容输入。ADC\_RES电阻的总值(2 kΩ内部电阻加外部电阻)与采样速率 $f_{S\_NEW}$ 的关系如下：

$$R_{total} = 20 \text{ k}\Omega \times \frac{48,000}{f_{S\_NEW}}$$

与ADC0和ADC1引脚串联的电阻值(内部加外部)可以通过下式计算：

$$R_{Input\ Total} = (rms\ Input\ Voltage) \times 10 \text{ k}\Omega \times \frac{48,000}{f_{S\_NEW}}$$

表14列出了共模信号输入电平在48 kHz采样速率下的外部电阻值和总电阻值。表中所示的满量程均方根输入电压为0.9 V，因为此输入电平的满量程信号等于DAC的满量程输出。

表14. ADC输入电阻值

满量程RMS输入电压(V)	ADC_RES值(kΩ)	ADC0/ADC1电阻值(kΩ)	ADC0/ADC1总输入电阻值(外部+内部)(kΩ)
0.9	18	7	9
1.0	18	8	10
2.0	18	18	20

图17所示为2.0 V rms输入信号和 $f_s = 48 \text{ kHz}$ 时ADC输入的典型配置。47 μF电容用于交流耦合信号，使输入偏置1.5 V。

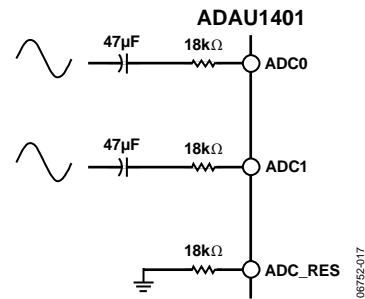


图17. 音频ADC输入配置

# ADAU1401

## 音频DAC

ADAU1401有4个 $\Sigma$ - $\Delta$ 型DAC，DAC的SNR为104 dB，THD + N为-90 dB，满量程输出为0.9 V rms (2.5 V p-p)。

DAC采用反相配置。如果输入至输出不需要信号反相，则可以通过两种方法恢复信号：一是输出滤波器使用反相配置，二是在SigmaDSP程序流中反转信号。

DAC输出可以通过有源或无源重构滤波器滤波。虽然有源滤波器可能会提供更好的音频性能，但一个50 kHz转折频率的单极点、无源、低通滤波器即足以滤除DAC带外噪声，如图18所示。图19显示了一个三极点、有源、低通滤波器，与无源滤波器相比，其滚降更陡，阻带衰减更佳。

在该配置中，运算放大器AD8606的V+和V-引脚分别设置为VDD和地。

为使DAC正确初始化，DAC设置寄存器(地址2087)的位[DS<1:0>]应设为01。

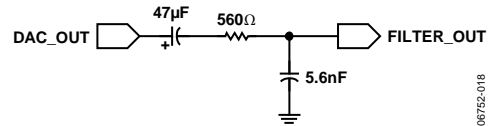


图18. 无源DAC输出滤波器

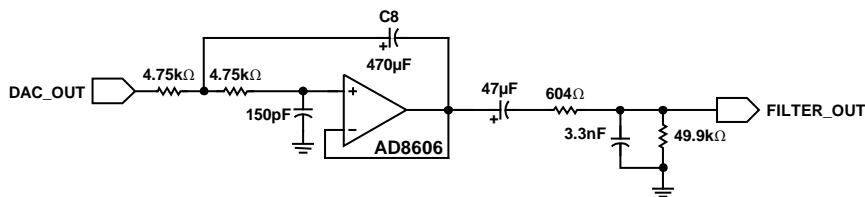


图19. 有源DAC输出滤波器

## 控制端口

ADAU1401有三种控制模式：

- I<sup>2</sup>C控制
- SPI控制
- 自引导(无外部控制器)

ADAU1401具有一个4线SPI控制端口和一个2线I<sup>2</sup>C总线控制端口。各端口均可以用来设置RAM和寄存器。如果上电时SELFB00T引脚为低电平，则器件默认采用I<sup>2</sup>C模式，但通过将CLATCH/WP引脚拉低三次，就可以将其置于SPI控制模式。如果上电时SELFB00T引脚为高电平，则ADAU1401在启动时从外部EEPROM加载程序、参数和寄存器设置。

控制端口能够对所有可寻址的存储器或寄存器执行全面的读写操作。大多数信号处理参数是通过利用控制端口向参数RAM写入新值来控制。其它功能则是通过写入寄存器来编程，如静音和输入/输出模式控制等。

所有地址都可以在单地址模式下或突发模式下进行访问。一个控制端口写操作的首字节(字节0)包含7位芯片地址和R/ $\overline{W}$ 位。接下来的两个字节(字节1和字节2)共同构成ADAU1401内存存储器或寄存器位置的子地址。此子地址必

须为双字节，因为ADAU1401内的存储器位置是可以直接寻址的，其大小超过了单字节寻址的范围。后续的所有字节(从字节3开始)包含数据，如控制端口数据、程序数据或参数数据。每个字的字节数取决于写入数据的类型。特定类型写操作的确切格式如表22至表31所示。

ADAU1401有多种机制来实时更新信号处理参数，同时不会引起爆音或咔嚓声。如果需要下载大数据块，可以暂停DSP内核的输出(使用DSP内核控制寄存器(地址2076)的CR位)，下载新数据，然后重新启动器件。这通常是在启动时的引导序列中或向RAM加载新程序时执行。如果只需要更改几个参数，则无需暂停程序便可加载。为了避免实时加载参数时产生不良副作用，SigmaDSP提供了安全加载寄存器。安全加载寄存器可以缓冲完整的参数集(例如双二阶滤波器的5个系数)，然后在一个音频帧内将这些参数传输到活动程序中。安全加载模式使用内部逻辑来防止DSP内核与控制端口竞争。

控制端口引脚是多功能引脚，具体功能取决于器件的工作模式。表15列出了这些功能。

**表15. 控制端口引脚和SELFB00T引脚的功能**

引脚	I <sup>2</sup> C模式	SPI模式	自引导
SCL/CCLK	SCL—输入	CCLK—输入	SCL—输出
SDA/COUT	SDA—开集输出	COUT—输出	SDA—开集输出
ADDR1/CDATA/WB	ADDR1—输入	CDATA—输入	WB—回写触发器
CLATCH/WP	未用输入—接地或接IOVDD	CLATCH—输入	WP—EEPROM写保护、开集输出
ADDR0	ADDR0—输入	ADDR0—输入	未用输入—接地或接IOVDD

# ADAU1401

## I<sup>2</sup>C端口

ADAU1401支持2线串行(I<sup>2</sup>C兼容)微处理器总线驱动多个外设。两个引脚——串行数据(SDA)和串行时钟(SCL)——承载ADAU1401与系统I<sup>2</sup>C主控制器之间的信息。在I<sup>2</sup>C模式下，ADAU1401始终是总线上的从机，意味着它不能启动数据传输。每个从机都通过一个唯一的地址识别。表16显示了地址字节的格式。ADAU1401从机地址由ADDR0和ADDR1引脚设置。地址存在于I<sup>2</sup>C写操作的前7位。此字节的LSB设置读或写操作。逻辑电平1对应于读操作，逻辑电平0对应于写操作。地址的位5和位6通过将ADAU1401的ADDRx引脚连接到逻辑电平0或逻辑电平1来设置。包括引脚设置和read/write (R/W)位的完整字节地址如表17所示。

突发模式寻址可以用于将大量数据写入相邻的存储器位置。在这种模式下，子地址会在字边界处自动递增。这种递增在单字写入后自动发生，除非遇到停止条件。ADAU1401寄存器和RAM的宽度为1字节到5字节不等，因此自动递增特性知道子地址与目标寄存器(或存储器位置)字长之间的映射关系。数据传输总是由停止条件终止。

SDA和SCL的各自线路上应连接一个2.2 kΩ上拉电阻。这些信号线上的电压不应高于IOVDD(3.3 V)。

**表16. ADAU1401 I<sup>2</sup>C地址字节格式**

位0	位1	位2	位3	位4	位5	位6	位7
0	1	1	0	1	ADDR1	ADDR0	R/W

**表17. ADAU1401 I<sup>2</sup>C地址**

ADDR1	ADDR0	R/W	从机地址
0	0	0	0x68
0	0	1	0x69
0	1	0	0x6A
0	1	1	0x6B
1	0	0	0x6C
1	0	1	0x6D
1	1	0	0x6E
1	1	1	0x6F

## 寻址

开始时，I<sup>2</sup>C总线上的各器件均处于空闲状态，并监控SDA和SCL线有无起始条件和适当的地址。I<sup>2</sup>C主机通过建立起始条件而启动数据传输；起始条件要求SDA发生高低转换，同时SCL保持高电平。这表示随后将出现地址/数据流。总线上的所有器件都对起始条件做出响应，并对接下来的8个位(7位地址加R/W位)以MSB优先方式移位。在第9个时钟脉冲期间，能够识别所发送地址的器件通过将数据线拉低来做出响应。此第9位称为应答位。此时，所有其它器件从总线退出，返回空闲状态R/W位决定数据的方向。如果第一个字节的LSB为逻辑0，则意味着主机将信息写入外设，而逻辑1则意味着主机将在写入子地址并重复起始地址之后从外设读取信息。数据传输将持续到发生停止条件。停止条件是指在SCL处于高电平时，SDA上发生低电平至高电平跃迁。图20显示了I<sup>2</sup>C写操作的时序，图21显示了I<sup>2</sup>C读操作的时序。

数据传输过程中的任何阶段都可以检测停止和起始条件。如果这些条件的置位打破了正常的读写操作顺序，ADAU1401将立即跳出到空闲状态。在给定的SCL高电平期间，用户只应发送一个起始条件或一个停止条件，或者先发送单一停止条件，再发送单一起始条件。如果用户发送的子地址无效，ADAU1401不会发送应答，而是直接返回到空闲状态。在自动递增模式下，如果用户地址超过了最高子地址，则器件会采取以下其中一种措施。在读取模式下，ADAU1401输出最高子地址寄存器的内容，直到主机发送不应答，表示读取结束。不应答条件是指在SCL的第9个时钟脉冲期间，SDA线未被拉低。在写入模式下，ADAU1401不会将无效字节的数据载入任何子地址寄存器，而是发送不应答，然后返回空闲状态。



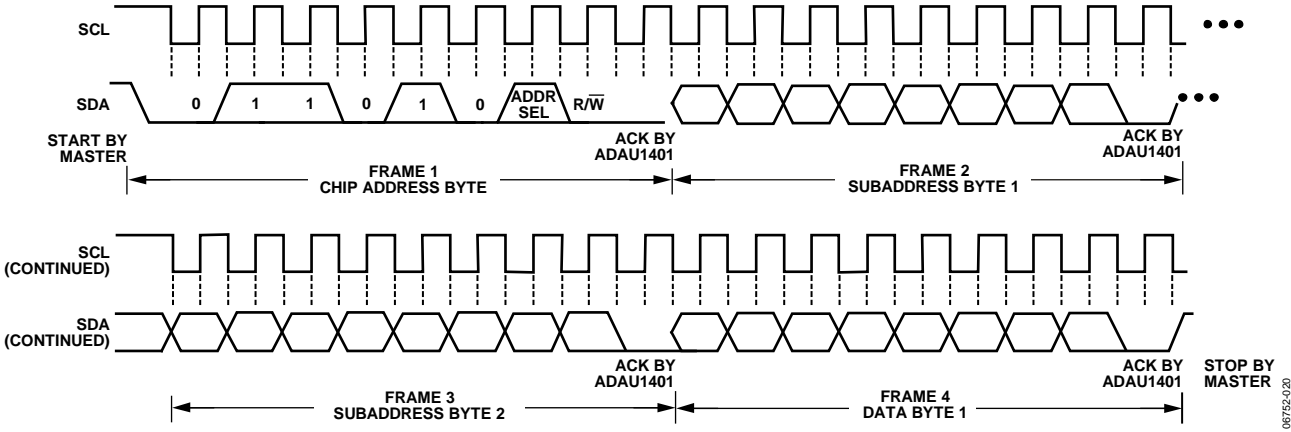


图20. PC写入ADAU

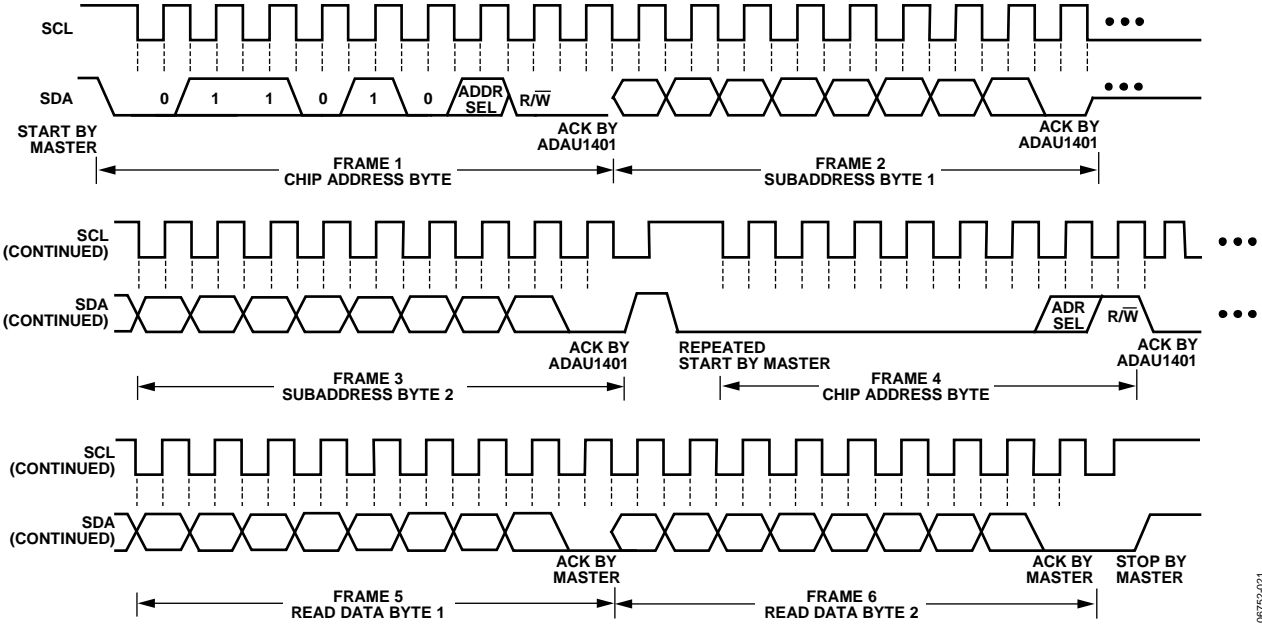


图21. PC读取ADAU1401的时序

# ADAU1401

## I<sup>2</sup>C的读写操作

图22给出了单字写操作的时序。在每第9个时钟脉冲，ADAU1401都会通过拉低SDA来发送应答。

图23给出了突发模式写序列的时序。该图显示了一个目标寄存器为2字节的例子。每写完两个字节后，ADAU1401知道应递增其子地址寄存器，因为请求的子地址对应于2字节字长的寄存器或存储器区域。

单字读操作的时序如图24所示。注意第一个R/W位为0，表示写操作。这是因为仍然需要写入子地址，以便设置内部地址。在ADAU1401确认接收到子地址后，主机必须发送一个重复起始命令，然后再发送R/W位设为1(表示读操作)的芯片地址字节。这将导致ADAU1401 SDA反向，并开始向主机回传数据。然后，主机在每第9个脉冲做出响应，向ADAU1401发送应答脉冲。

图25给出了突发模式读序列的时序。该图显示了一个目标读取寄存器为2字节的例子。每读完两个字节后，ADAU1401递增其子地址，因为请求的子地址对应于2字节字长的寄存器或存储器区域。其它地址的字长可能是1字节到5字节。ADAU1401总是解码子地址并设置自动递增电路，使得地址在读取适当数量的字节之后递增。

图22至图25使用了以下缩写：

- S = 起始位
- P = 停止位
- AM = 主机应答
- AS = 从机应答

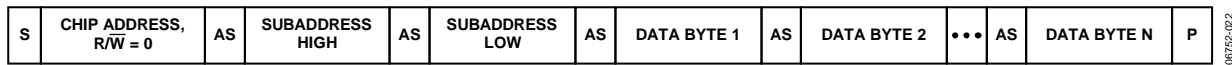


图22. 单字I<sup>2</sup>C写格式

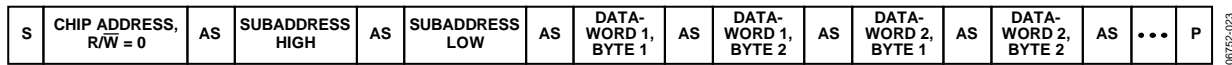


图23. 突发模式I<sup>2</sup>C写格式

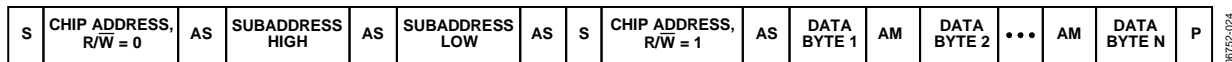


图24. 单字I<sup>2</sup>C读格式

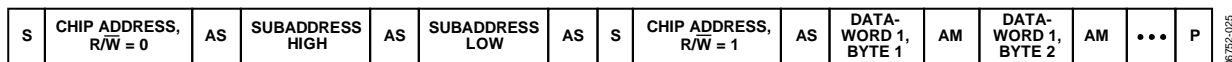


图25. 突发模式I<sup>2</sup>C读格式

## SPI端口

ADAU1401默认采用I<sup>2</sup>C模式，但通过将CLATCH/WP引脚拉低三次，就可以将其置于SPI控制模式。SPI端口使用4线接口(包括CLATCH、CCLK、CDATA和COUT信号)，并且始终是一个从机端口。CLATCH信号在处理开始时应变为低电平，在处理结束时应变为高电平。CCLK信号在低高转换时锁存CDATA。COUT数据在CCLK下降沿移出ADAU1401，应在CCLK上升沿输入一个接收器件，如微控制器等。CDATA信号承载串行输入数据，COUT信号承载串行输出数据。在请求执行读操作之前，COUT信号处于三态。这样，其它SPI兼容外设可以共享同一回读线路。所有SPI处理都具有表19所示的相同基本格式。时序图见图3。所有数据都应以MSB优先方式写入。只有经过完全复位后，ADAU1401才能退出SPI模式。

## 芯片地址R/W

SPI处理的首字节包含7位芯片地址和R/W位。芯片地址由ADDR0引脚设置。这使得两个ADAU1401可以共用一个CLATCH信号，同时各自仍然独立工作。当ADDR0为低电平时，芯片地址为0000000；当它为高电平时，芯片地址为0000001(见表18)。首字节的LSB决定SPI处理是读操作(逻辑电平1)还是写操作(逻辑电平0)。

表19. 通用控制字格式

字节 0	字节 1	字节 2	字节 3	Byte 4 <sup>1</sup>
chip_adr[6:0], R/W	0000, subadr[11:8]	subadr[7:0]	data	data

<sup>1</sup> 持续到数据结束。

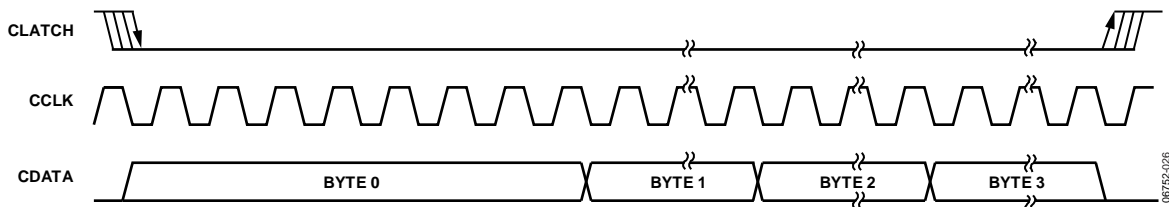


图26. SPI写入ADAU1401的时序(单次写模式)

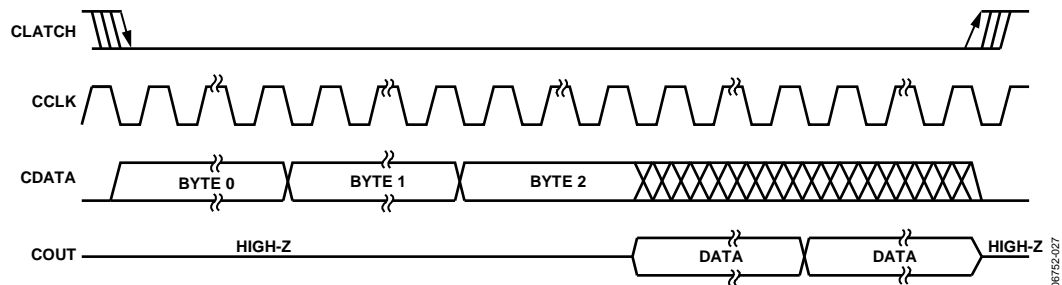


图27. SPI读取ADAU1401的时序(单次读模式)

表18. ADAU1401 SPI地址字节格式

位 0	位 1	位 2	位 3	位 4	位 5	位 6	位 7
0	0	0	0	0	0	ADDR0	R/W

## 子地址

12位子地址字解码为一个存储器或寄存器的位置。此子地址即为相应RAM位置或寄存器的位置。子地址的MSB通过填充0来使字长为2个字节。

## 数据字节

数据字节数取决于所访问的寄存器或存储器。在突发模式写入中，初始子地址之后是连续的数据序列，以供写入连续的存储器/寄存器位置。连续工作模式的数据格式详见“读取/写入数据格式”部分的表23和表25。

图26给出了对参数RAM执行单次SPI写操作的示例时序图。图27给出了单次SPI读操作的示例时序图。在字节3开始时，COUT引脚从三态变为高电平。本例中，字节0至字节2包含地址和R/W位，后续字节承载数据。

# ADAU1401

## 自引导

上电时，ADAU1401可以加载外部EEPROM中保存的程序和一组参数。该功能以及辅助ADC和多用途引脚使系统无需微控制器。要完成自引导，启动时SELFB00T引脚应设为高电平，ADAU1401充当I<sup>2</sup>C总线上的主机。ADAU1401无法在SPI模式下自引导。

程序和参数所需的最大EEPROM为9248字节，或略多于8.5 kB。以上数值不包括寄存器设置或开销字节，但这些因素不会导致字节数明显增加。只有当程序RAM(1024 × 5字节)、参数RAM(1024 × 4字节)和接口寄存器(8 × 4字节)全满时，才需要这么多的存储器空间。多数应用不会使用全部程序和参数RAM，因此8 kB EEPROM足够使用。

当SELFB00T和WP引脚被设为高电平时，便会在RESET上升沿触发自引导操作。ADAU1401从EEPROM读取程序、参数和寄存器设置。ADAU1401完成自引导后，附加消息可以通过I<sup>2</sup>C总线发送到ADAU1401，但在自引导应用中，这通常是不需要的。在该模式下，写操作的I<sup>2</sup>C器件地址为0x68，读操作为0x69。当芯片处于该模式时，ADDRx引脚具有不同的功能；因此，可以忽略这些引脚的设置。

如果WP被设为低电平，则ADAU1401不会自引导。此引脚保持低电平时，EEPROM可以进行在线编程。要能对EEPROM的写操作，须将WP引脚拉低(它通常有一个上拉电阻)，但这又会禁用自引导功能，直到WP引脚变回高电平为止。

在自引导和回写期间，ADAU1401是I<sup>2</sup>C总线上的主机。虽然采用自引导的应用一般不会有微控制器连接到控制线，但务必注意，自引导或回写期间不得有其他器件试图写入I<sup>2</sup>C总线。ADAU1401产生的SCL等于 $8 \times f_s$ ；因此，当 $f_s$ 为48 kHz时，SCL以384 kHz的速率运行。根据I<sup>2</sup>C规范，SCL的占空比为3/8。

ADAU1401从EEPROM芯片地址0xA1读取数据。某些EEPROM的地址LSB可通过引脚配置；大多数情况下，这些引脚应连接低电平以设置该地址。

## EEPROM格式

EEPROM数据包含一系列消息。每个离散的消息属于表20中定义的7种类型之一，由一系列单字节或多字节组成。第一个字节定义消息类型。字节以MSB优先方式写入。多数消息属于块写入(0x01)类型，用于写入ADAU1401程序RAM、参数RAM和控制寄存器。

消息类型之后是消息正文，应以0x00字节开始，这是芯片地址。像所有其它控制端口处理一样，芯片地址之后是一个2字节寄存器/存储器地址域。

图28的示例说明了从EEPROM地址0开始的EEPROM中应当存储什么内容。在该示例中，接口寄存器首先被设置为控制端口写模式(第1行)，然后是18个无操作(no-op)字节(第2行至第4行)，使得接口寄存器数据出现在EEPROM的第2页。接下来是写操作表头(第4行)以及32字节的接口寄存器数据(第5行至第8行)。最后是程序RAM数据，从ADAU1401地址0x04 0x00开始写入(第9行至第11行)。本例中，程序长度为70字或350字节，EEPROM中还包括332个字节，但未显示于图28中。

## 回写

当WB引脚被触发时，发生回写操作，数据从ADAU1401写入EEPROM。此功能一般用于在系统断电之前将音量设置和其他参数设置保存到EEPROM。当器件处于自引导模式时，WB引脚的上升沿触发回写操作，除非自引导消息序列中包括一条将WB设置为对下降沿敏感(0x05)的消息。只会发生一次写操作，除非自引导消息序列中包括一条设置多次写操作(0x04)的消息。当回写操作被触发，可以写入EEPROM时，WP引脚变为低电平。

ADAU1401只能将接口寄存器的内容回写到EEPROM。这些寄存器通常由DSP程序设置，但在将内核控制寄存器的位6置1后，也可以直接写入。应当保存的参数设置在SigmaStudio中配置。

回写功能将ADAU1401接口寄存器中的数据写入自引导EEPROM的第2页，即地址32至地址63。从EEPROM地址26开始(接口寄存器数据从地址32开始)，应将6个字节写入EEPROM：消息字节(0x01)、2个长度字节、芯片地址(0x00)和接口寄存器的2字节子地址(0x08 0x00)。将接口寄存器数据写入EEPROM之前，必须向DSP内核控制寄存器发送一条消息，使能对接口寄存器的写操作。此消息应存储在EEPROM地址0。消息之间可以使用无操作(No-op)消息(0x03)，确保符合这些条件。

ADAU1401写入EEPROM芯片地址0xA0。某些EEPROM的地址LSB可通过引脚配置；大多数情况下，这些引脚应连接低电平以将该地址设置为0xA0。

从ADAU1401回写的最大字节数为35(8个4字节接口寄存器加上3字节的EEPROM寻址开销)。当SCL工作频率为384 kHz时，回写操作触发后大约需要73 μs才能完成。应当确保系统有充足的电源，以便回写操作有足够的时间来完成，特别是当WB信号由下降电源电压触发时。

**表20. EEPROM消息类型**

消息ID	消息类型	后续字节
0x00	结束	无
0x01	写入	2个字节指示消息长度， 然后是相应数量的数据字节
0x02	延迟	2个字节
0x03	不执行任何操作	无
0x04	设置多次回写	无
0x05	将WB设置为对下降沿敏感	无
0x06	结束并等待回写	无

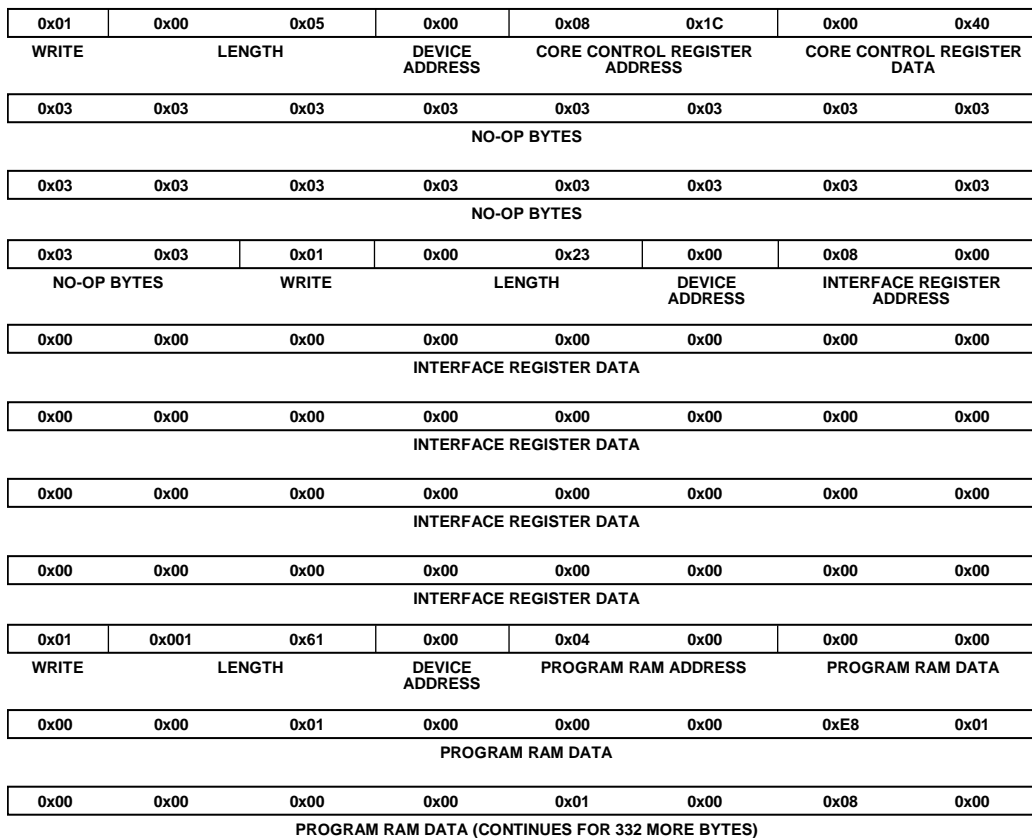


图28. EEPROM数据示例

06752-039

## 信号处理

ADAU1401旨在提供立体声或多声道回放系统常用的全部音频信号处理功能。信号处理流程利用SigmaStudio软件设计，它支持图形化输入和实时控制所有信号处理功能。

许多信号处理功能采用完整的56位双精度算法数据编码。DSP内核的输出和输出字长为24位。处理器使用4个额外的裕量位，内部增益最高可达24 dB而不会削波。通过在DSP信号流中调低初始输入信号，可以实现更高增益。

### 数字格式

DSP系统通常使用标准数字格式。小数系统指定为A.B格式，其中A表示小数点左边的位数，B表示小数点右边的位数。

ADAU1401的参数和数据值使用相同的数字格式，格式如下：

#### 数字格式： 5.23

线性范围：-16.0至(+16.0 - 1 LSB)

示例：

- 1000 0000 0000 0000 0000 0000 = -16.0
- 1110 0000 0000 0000 0000 0000 = -4.0
- 1111 1000 0000 0000 0000 0000 = -1.0
- 1111 1110 0000 0000 0000 0000 = -0.25
- 1111 1111 0011 0011 0011 0011 = -0.1
- 1111 1111 1111 1111 1111 1111 = (比0.0小1 LSB)
- 0000 0000 0000 0000 0000 0000 = 0.0
- 0000 0000 1100 1100 1100 1101 = 0.1
- 0000 0010 0000 0000 0000 0000 = 0.25
- 0000 1000 0000 0000 0000 0000 = 1.0
- 0010 0000 0000 0000 0000 0000 = 4.0
- 0111 1111 1111 1111 1111 1111 = (16.0 - 1 LSB).

串行端口接受最多24位的输入，通过符号扩展为DSP内核的完整28位。这样，内部增益最高可达24 dB而不会发生内部削波。

DSP内核输出端与DAC或串行端口输出端之间有一个数字削波电路(见图29)，它截除信号的高4位以产生1.0(减1 LSB)

至-1.0范围内的24位输出。图29以二进制和dB形式显示了数据流中各点的最高信号电平。

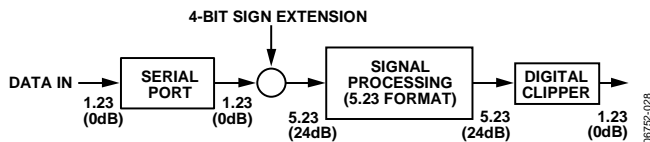


图29. 数字精度和削波结构

### 编程

上电时，ADAU1401的默认程序将未经处理的输入信号传送到输出端(如图13所示)，但输出默认静音(见“上电时序”部分)。每个音频采样有1024个指令周期，因此大约有50 MIPS可用。SigmaDSP以流向方式运行，意味着每个采样周期都会执行所有1024个指令。通过降低每个采样的指令数(在内核控制寄存器中设置)，ADAU1401也可以接受双倍速率或四倍速率的输入。

利用ADI公司的图形工具SigmaStudio(图30)，可以对该器件轻松编程。用户无需具有编写DSP代码的知识。有关SigmaStudio的更多信息，请访问：[www.analog.com](http://www.analog.com)。

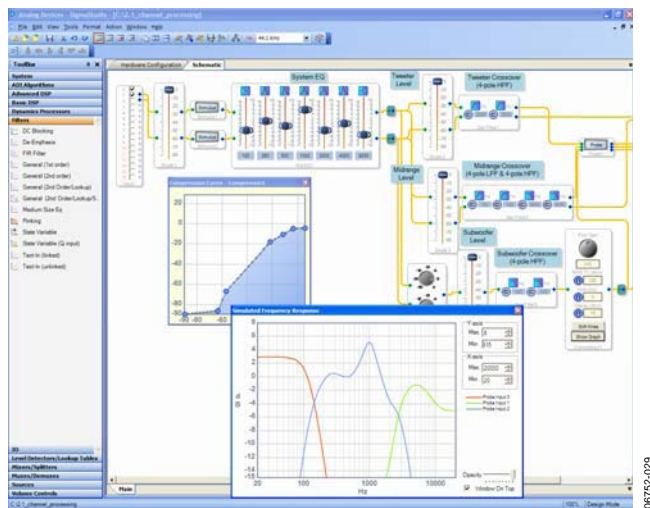


图30. SigmaStudio屏幕截图

## RAM和寄存器

表21. RAM映射和读/写模式

存储器	大小	地址范围	读取	写入	写入模式
参数RAM	1024 × 32	0至1023 (0x0000至0x03FF)	是	是	直接写入 <sup>1</sup> 、安全加载写入
程序RAM	1024 × 40	1024至2047 (0x0400至0x07FF)	是	是	直接写入 <sup>1</sup>

<sup>1</sup>应首先清除内部寄存器，以免出现咔嚓声/爆音。

### 地址映射

表21显示了RAM映射，表32显示了ADAU1401寄存器映射。地址空间涵盖一组寄存器和2个RAM：一个保存信号处理参数，另一个保存程序指令。程序RAM和参数RAM在上电时从片上引导ROM初始化(见“上电时序”部分)。

除了装有默认程序的程序RAM(见“初始化”部分)以外，其它RAM和所有寄存器的默认值都是全0。

### 参数RAM

参数RAM为32位宽，占用地址0至地址1023。每个参数的MSB前都填充四个0，从而将28位字扩展为4字节宽。上电时，参数RAM初始化为全0。参数RAM的数据格式为二进制补码5.23，这意味着系数范围是+16.0(减1 LSB)至-16.0，1.0代表二进制字0000 1000 0000 0000 0000 0000或十六进制数字0x00 0x80 0x00 0x00。

写入参数RAM的方法有以下两种：直接读/写和安全加载写入。

#### 直接读/写

直接读/写方法允许直接访问程序RAM和参数RAM。使用突发模式寻址加载新RAM时，通常使用这种工作模式。这种模式下，内核控制寄存器的清除寄存器位应设为0，以免输出中出现咔嚓声或爆音。请注意，这种模式可以在程序执行过程中使用，但由于内核与控制端口之间不存在握手，因此在控制写操作期间DSP内核无法使用参数RAM，导致音频流中出现咔嚓声和爆音。

#### 安全加载写入

参数RAM地址/数据最多可加载5个安全加载寄存器，然后在RAM空闲时将数据传输到请求的地址。当活动程序材料通过ADAU1401播放时，可以使用这种方法进行动态更新。例如，当RAM空闲时，一个双二阶部分可以在一个音频帧中完成更新。这种方法无法用于写入程序RAM或控制寄存器。

### 数据RAM

ADAU1401数据RAM用于存储处理用的音频数据字。大部分时候，该过程对用户是透明的。数据RAM空间的大小为2k字，用户无法直接从控制端口寻址该空间。

执行需要大量数据RAM空间的块(例如延迟)时，应考虑数据RAM利用情况。SigmaDSP内核以单采样增量处理延迟时间，因此，用户可用的总延迟池等于2048乘以采样周期。当 $f_s$ 为48 kHz时，可用的延迟池最大值约为43 ms。实际上，用户并没有如此多的数据存储位置可供处理。在大多数DSP程序中，这不会显著影响总延迟时间。SigmaStudio编译器管理数据RAM，并会指出设计所需的地址数量是否超过可用的最大数量。

#### 读取/写入数据格式

控制端口的读/写格式以字节为导向，以便能够轻松设置常用的微控制器芯片。为了适应字节导向的格式，数据域的MSB前添加0，以将数据字扩展为8位。例如，写入参数RAM的28位字添加4个前置0，变成32位(4字节)；写入程序RAM的40位字则不添加0，因为它已经是5字节。这些填充0的数据域被追加到一个3字节域，后者包括一个7位芯片地址、一个读/写位和一个11位RAM/寄存器地址。根据前三个字节提供的地址，控制端口知道要处理多少个数据字节。

单位置写命令的总字节数从4字节(控制寄存器写操作)到8字节(程序RAM写操作)不等。可以适应突发模式来填充连续的寄存器或RAM位置。突发模式写操作从写入第一个要写入的RAM或寄存器位置的地址和数据开始，接下来不是像单地址写操作那样结束控制端口处理(I<sup>2</sup>C模式下是发送停止命令，SPI模式下是将CLATCH信号拉高)，而是立即写入下一个数据字，不必提供其地址。ADAU1401控制端口自动递增每次写操作的地址，甚至能跨越不同RAM和寄存器的边界。表23和表25显示了突发模式写操作的例子。

# ADAU1401

**表22. 参数RAM读/写格式 (单地址)**

字节 0	字节 1	字节 2	字节 3	字节 [4:6]
chip_adr[6:0], $\overline{W}/R$	000000, param_adr[9:8]	param_adr[7:0]	0000, param[27:24]	param[23:0]

**表23. 参数RAM块读/写格式(突发模式)**

字节 0	字节 1	字节 2	字节 3	字节 [4:6]	字节 [7:10]	字节 [11:14]
chip_adr[6:0], $\overline{W}/R$	000000, param_adr[9:8]	param_adr[7:0]	0000, param[27:24]	param[23:0]		
←—param_adr—→			param_adr + 1		param_adr + 2	

**表24. 程序RAM读/写格式(单地址)**

字节 0	字节 1	字节 2	字节 [3:7]
chip_adr[6:0], $\overline{W}/R$	000000, prog_adr[10:8]	prog_adr[7:0]	prog[39:0]

**表25. 程序RAM块读/写格式(突发模式)**

字节 0	字节 1	字节 2	字节 [3:7]	字节 [8:12]	字节 [13:17]
chip_adr[6:0], $\overline{W}/R$	000000, prog_adr[10:8]	prog_adr[7:0]	prog[39:0]		
←—prog_adr—→			prog_adr + 1		prog_adr + 2

**表26. 控制寄存器读/写格式(内核、串行输出0、串行输出1)**

字节 0	字节 1	字节 2	字节 3	字节 4
chip_adr[6:0], $\overline{W}/R$	0000, reg_adr[11:8]	reg_adr[7:0]	data[15:8]	data[7:0]

**表27. 控制寄存器RAM读/写格式(RAM配置、串行输入)**

字节 0	字节 1	字节 2	字节 3
chip_adr[6:0], $\overline{W}/R$	0000, reg_adr[11:8]	reg_adr[7:0]	data[7:0]

**表28. 数据采集寄存器写格式**

字节 0	字节 1	字节 2	字节 3	字节 4
chip_adr[6:0], $\overline{W}/R$	0000, data_capture_adr[11:8]	data_capture_adr[7:0]	000, progCount[10:6] <sup>1</sup>	progCount[5:0] <sup>1</sup> , regSel[1:0] <sup>2</sup>

<sup>1</sup> progCount[10:0]是数据采集发生时程序计数器的值(值表由SigmaStudio编译器产生)。

<sup>2</sup> regSel[1:0]选择四个寄存器之一(参见“2074至2075 (0x081A to 0x081B)—数据采集寄存器”部分)。

**表29. 数据采集(控制端口回读)寄存器读格式**

字节 0	字节 1	字节 2	字节 [3:5]
chip_adr[6:0], $\overline{W}/R$	0000, data_capture_adr[11:8]	data_capture_adr[7:0]	data[23:0]

**表30. 安全加载地址寄存器写格式**

字节 0	字节 1	字节 2	字节 3	字节 4
chip_adr[6:0], $\overline{W}/R$	0000, safeload_adr[11:8]	safeload_adr[7:0]	000000, param_adr[9:8]	param_adr[7:0]

**表31. 安全加载数据寄存器写格式**

字节 0	字节 1	字节 2	字节 3	字节 4	字节 [5:7]
chip_adr[6:0], $\overline{W}/R$	0000, safeload_adr[11:8]	safeload_adr[7:0]	00000000	0000, data[27:24]	data[23:0]



# 控制寄存器映射

表32. 寄存器映射<sup>1</sup>

寄存器地址		字节数	名称	MSB																LSB		Default	
				D31 D15	D30 D14	D29 D13	D28 D12	D27 D11	D26 D10	D25 D9	D24 D8	D23 D7	D38 D22	D37 D21	D36 D20	D35 D19	D34 D18	D33 D17	D32 D16				
0x0800	2048	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0801	2049	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0802	2050	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0803	2051	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0804	2052	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0805	2053	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0806	2054	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0807	2055	4	接口0[31:16]	0	0	0	0	IF27	IF26	IF25	IF24	IF23	IF22	IF21	IF20	IF19	IF18	IF17	IF16	0x0000			
			接口0[15:0]	IF15	IF14	IF13	IF12	IF11	IF10	IF09	IF08	IF07	IF06	IF05	IF04	IF03	IF02	IF01	IF00	0x0000			
0x0808	2056	2	GPIO引脚设置	0	0	0	0	MP11	MP10	MP09	MP08	MP07	MP06	MP05	MP04	MP03	MP02	MP01	MP00	0x0000			
0x0809	2057	2	辅助ADC数据0	0	0	0	0	AA11	AA10	AA09	AA08	AA07	AA06	AA05	AA04	AA03	AA02	AA01	AA00	0x0000			
0x080A	2058	2	辅助ADC数据1	0	0	0	0	AA11	AA10	AA09	AA08	AA07	AA06	AA05	AA04	AA03	AA02	AA01	AA00	0x0000			
0x080B	2059	2	辅助ADC数据2	0	0	0	0	AA11	AA10	AA09	AA08	AA07	AA06	AA05	AA04	AA03	AA02	AA01	AA00	0x0000			
0x080C	2060	2	辅助ADC数据3	0	0	0	0	AA11	AA10	AA09	AA08	AA07	AA06	AA05	AA04	AA03	AA02	AA01	AA00	0x0000			
0x080D	2061	5	保留[39:32]										RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x00		
			保留[31:16]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
			保留[15:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
0x080E	2062	5	保留[39:32]										RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x00		
			保留[31:16]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
			保留[15:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
0x080F	2063	5	保留[39:32]										RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x00		
			保留[31:16]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
			保留[15:0]	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000
0x0810	2064	5	安全加载数据0[39:32]										SD39	SD38	SD37	SD36	SD35	SD34	SD33	SD32	0x00		
			安全加载数据0[31:16]	SD31	SD30	SD29	SD28	SD27	SD26	SD25	SD24	SD23	SD22	SD21	SD20	SD19	SD18	SD17	SD16	SD15	SD14	0x0000	
			安全加载数据0[15:0]	SD15	SD14	SD13	SD12	SD11	SD10	SD09	SD08	SD07	SD06	SD05	SD04	SD03	SD02	SD01	SD00	SD00	SD00	SD00	0x0000
0x0811	2065	5	安全加载数据0[39:32]										SD39	SD38	SD37	SD36	SD35	SD34	SD33	SD32	0x00		
			安全加载数据0[31:16]	SD31	SD30	SD29	SD28	SD27	SD26	SD25	SD24	SD23	SD22	SD21	SD20	SD19	SD18	SD17	SD16	SD15	SD14	0x0000	
			安全加载数据0[15:0]	SD15	SD14	SD13	SD12	SD11	SD10	SD09	SD08	SD07	SD06	SD05	SD04	SD03	SD02	SD01	SD00	SD00	SD00	SD00	0x0000
0x0812	2066	5	安全加载数据0[39:32]										SD39	SD38	SD37	SD36	SD35	SD34	SD33	SD32	0x00		
			安全加载数据0[31:16]	SD31	SD30	SD29	SD28	SD27	SD26	SD25	SD24	SD23	SD22	SD21	SD20	SD19	SD18	SD17	SD16	SD15	SD14	0x0000	
			安全加载数据0[15:0]	SD15	SD14	SD13	SD12	SD11	SD10	SD09	SD08	SD07	SD06	SD05	SD04	SD03	SD02	SD01	SD00	SD00	SD00	SD00	0x0000
0x0813	2067	5	安全加载数据0[39:32]										SD39	SD38	SD37	SD36	SD35	SD34	SD33	SD32	0x00		
			安全加载数据0[31:16]	SD31	SD30	SD29	SD28	SD27	SD26	SD25	SD24	SD23	SD22	SD21	SD20	SD19	SD18	SD17	SD16	SD15	SD14	0x0000	
			安全加载数据0[15:0]	SD15	SD14	SD13	SD12	SD11	SD10	SD09	SD08	SD07	SD06	SD05	SD04	SD03	SD02	SD01	SD00	SD00	SD00	SD00	0x0000
0x0814	2068	5	安全加载数据0[39:32]										SD39	SD38	SD37	SD36	SD35	SD34	SD33	SD32	0x00		
			安全加载数据0[31:16]	SD31	SD30	SD29	SD28	SD27	SD26	SD25	SD24	SD23	SD22	SD21	SD20	SD19	SD18	SD17	SD16	SD15	SD14	0x0000	
			安全加载数据0[15:0]	SD15	SD14	SD13	SD12	SD11	SD10	SD09	SD08	SD07	SD06	SD05	SD04	SD03	SD02	SD01	SD00	SD00	SD00	SD00	0x0000
0x0815	2069	2	安全加载地址0	0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000			
0x0816	2070	2	安全加载地址1	0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000			
0x0817	2071	2	安全加载地址2	0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000			
0x0818	2072	2	安全加载地址3	0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000			
0x0819	2073	2	安全加载地址4	0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000			
0x081A	2074	2	数据采集0	0	0	0	0	PC09	PC08	PC07	PC06	PC05	PC04	PC03	PC02	PC01	PC00	RS01	RS00	0x0000			
0x081B	2075	2	数据采集1	0	0	0	0	PC09	PC08	PC07	PC06	PC05	PC04	PC03	PC02	PC01	PC00	RS01	RS00	0x0000			
0x081C	2076	2	DSP内核控制	RSVD	RSVD	GD1	GD0	RSVD	RSVD	RSVD	AACW	GPCW	IFCW	IST	ADM	DAM	CR	SR1	SR0	0x0000			
0x081D	2077	1	保留									RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x00			
0x081E	2078	2	串行输出控制	0	0	OLRP	OBP	M/S	OBF1	OBF0	OLF1	OLF0	FST	TDM	MSB2	MSB1	MSB0	OWL1	OWL0	0x0000			
0x081F	2079	1	串行输入控制									0	0	0	ILP	IBP	M2	M1	M0	0x00			

# ADAU1401

寄存器地址		字节数	名称	MSB																LSB		Default
				D31 D15	D30 D14	D29 D13	D28 D12	D27 D11	D26 D10	D25 D9	D24 D8	D39 D23	D38 D22	D37 D21	D36 D20	D35 D19	D34 D18	D33 D17	D32 D16	D31 D15		
0x0820	2080	3	MP引脚配置0[23:16]											MP53	MP52	MP51	MP50	MP43	MP42	MP41	MP40	0x00
			MP引脚配置0[15:0]	MP33	MP32	MP31	MP30	MP23	MP22	MP21	MP20	MP13	MP12	MP11	MP10	MP03	MP02	MP01	MP00	0x0000		
0x0821	2081	3	MP引脚配置0[23:16]											MP113	MP112	MP111	MP110	MP103	MP102	MP101	MP100	0x00
			MP引脚配置0[15:0]	MP93	MP92	MP91	MP90	MP83	MP82	MP81	MP80	MP73	MP72	MP71	MP70	MP63	MP62	MP61	MP60	0x0000		
0x0822	2082	2	辅助ADC和电源控制	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	FIL1	FIL0	AAPD	VBPD	VRPD	RSVD	DOPD	D1PD	D2PD	D3PD	0x0000		
0x0823	2083	2	保留	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000		
0x0824	2084	2	辅助ADC使能	AAEN	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000		
0x0825	2085	2	保留	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000		
0x0826	2086	2	振荡器关断	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	OPD	RSVD	RSVD	RSVD	0x0000		
0x0827	2087	2	DAC设置	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	DS1	DS0	0x0000			

<sup>1</sup> 阴影表示寄存器未填充这些位置，因此这些位置中不存在控制位。

## 控制寄存器详解

### 2048至2055(0x0800至0x0807)—接口寄存器

接口寄存器在自引导模式下使用，用来保存需要写入外部EEPROM的参数。下一次复位或上电时，ADAU1401从EEPROM恢复这些参数。因此，音量和EQ设置等系统参数可以在关断时保存，然后在下次系统开启时恢复。

共有8个32位接口寄存器，可以保存8个28位(加填充0)参数。这些寄存器保存的参数通过图形编程工具选择。在每个采样周期，这些寄存器都会用相应的参数RAM数据更新一次。

边沿(可以设置为上升沿或下降沿)触发ADAU1401将接口寄存器的当前内容写入EEPROM。详情参见“自引导”部分。

在DSP内核控制寄存器中设置接口寄存器控制端口写入模式(IFCW)后，用户就可以直接写入接口寄存器。这种模式下，写入寄存器中的数据来自控制端口，而不是DSP内核。

表33. 接口寄存器位映射

D31 D15	D30 D14	D29 D13	D28 D12	D27 D11	D26 D10	D25 D9	D24 D8	D23 D7	D22 D6	D21 D5	D20 D4	D19 D3	D18 D2	D17 D1	D16 D0	Default
0 IF15	0 IF14	0 IF13	0 IF12	IF27 IF11	IF26 IF10	IF25 IF09	IF24 IF08	IF23 IF07	IF22 IF06	IF21 IF05	IF20 IF04	IF19 IF03	IF18 IF02	IF17 IF01	IF16 IF00	0x0000 0x0000

表34

位名称	描述
IF[27:0]	接口寄存器28位参数

# ADAU1401

## 2056 (0x808)—GPIO引脚设置寄存器

此寄存器允许用户通过控制端口设置GPIO引脚。在内核控制寄存器中设置GPIO引脚设置寄存器控制端口写入模

式(GPCW)后，就可以直接写入或读取该寄存器的高电平或低电平设置。此寄存器每个LRCLK帧( $1/f_s$ )更新一次。

表35. GPIO引脚设置寄存器位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
0	0	0	0	MP11	MP10	MP09	MP08	MP07	MP06	MP05	MP04	MP03	MP02	MP01	MP00	0x0000

表36

位名称	描述
MP[11:0]	通过SPI或I <sup>2</sup> C控制时设置多用途引脚

**2057至2060(0x809至0x80C)—辅助ADC数据寄存器**

这些寄存器保存4通道辅助ADC产生的数据。这些ADC具有8位精度，如果通过辅助ADC和电源控制寄存器的位FIL[1:0]选择滤波，其精度可扩展为12位。SigmaDSP以1.11格式数据字读取此数据，范围为0至1.0。此数据字映射到5.23

格式参数字，4个MSB和12个LSB设为0。满量程码255产生1.0的值。在DSP内核控制寄存器中设置辅助ADC数据寄存器控制端口写入模式(AACW)后，就可以直接写入这些寄存器。

**表37. 辅助ADC数据寄存器位映射**

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
0	0	0	0	AA11	AA10	AA09	AA08	AA07	AA06	AA05	AA04	AA03	AA02	AA01	AA00	0x0000

**表38**

位名称	描述
AA[11:0]	辅助ADC输出数据，MSB优先

# ADAU1401

## 2064至2068(0x0810至0x814)—安全加载数据寄存器

许多应用要求微控制器实时控制信号处理参数，如滤波器系数、混频器增益、多通道虚拟参数或动态处理曲线等。例如，当控制双二阶滤波器时，所有参数必须同时更新，这样可以防止滤波器对一两个音频帧用新旧混杂的系数执行滤波，从而避免暂时不稳定现象和需要较长时间才能消失的瞬变。为此，ADAU1401使用安全加载数据寄存器将5个28位值同时加载到目标参数RAM地址。之所以使用5个寄存器，是因为一个双二阶滤波器使用5个系数，而且正如之前所述，需要通过一次处理完成全部更新。

执行安全加载操作的第一步是将参数地址写入一个安全加载地址寄存器(2069至2073)。要写入的10位数据字是执行安全加载的参数RAM地址。写入此地址后，就可以将28位数据字写入相应的安全加载数据寄存器(2064至2068)。

这些写操作的数据格式详见表30和表31。表39显示了各地址寄存器如何映射到相应的数据寄存器。

加载地址和数据寄存器后，在内核控制寄存器中设置启动安全加载传输位，以启动RAM加载。各安全加载寄存器通

过一个内核指令(共1024个)加载到参数RAM中。因此，为了确保SigmaDSP始终至少有5个周期可用，程序总长度应以1019周期(1024减5)为限。启动安全加载传输位置1后，安全加载保证在一个LRCLK周期( $f_s = 48 \text{ kHz}$ 时为21  $\mu\text{s}$ )内发生。

安全加载逻辑自动将数据从上次安全加载操作以来已经写入的那些安全加载寄存器加载到RAM。例如，如果RAM中有两个参数需要更新，则5个安全加载寄存器中仅有2个必须写入。启动安全加载传输位置位后，只有这两个寄存器中的数据被发送到RAM，其它三个寄存器不会被发送到RAM，可以保持旧值或无效值。

**表39. 安全加载地址和数据寄存器映射**

安全加载寄存器	安全加载地址寄存器	安全加载数据寄存器
0	2069	2064
1	2070	2065
2	2071	2066
3	2072	2067
4	2073	2068

**表40. 安全加载寄存器位映射**

D31 D15	D30 D14	D29 D13	D28 D12	D27 D11	D26 D10	D25 D9	D24 D8	D39 D23 D7	D38 D22 D6	D37 D21 D5	D36 D20 D4	D35 D19 D3	D34 D18 D2	D33 D17 D1	D32 D16 D0	默认值
SD31 SD15	SD30 SD14	SD29 SD13	SD28 SD12	SD27 SD11	SD26 SD10	SD25 SD09	SD24 SD08	SD39 SD23 SD07	SD38 SD22 SD06	SD37 SD21 SD05	SD36 SD20 SD04	SD35 SD19 SD03	SD34 SD18 SD02	SD33 SD17 SD01	SD32 SD16 SD00	0x00 0x0000 0x0000

**表41**

位名称	描述
SD[39:0]	安全加载数据。 需要载入RAM或寄存器的数据(程序、参数、寄存器内容)。

## 2069至2073(0x0815至0x819)—安全加载地址寄存器

**表42. 安全加载地址寄存器位映射**

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
0	0	0	0	SA11	SA10	SA09	SA08	SA07	SA06	SA05	SA04	SA03	SA02	SA01	SA00	0x0000

**表43**

位名称	描述
SA[11:0]	安全加载地址。需要载入RAM或寄存器的数据地址。

### 2074至2075(0x081A至0x081B)—数据采集寄存器

利用ADAU1401的数据采集功能，可以将信号处理流程中任意节点的数据发送到两个可读寄存器中的一个。此功能可用于监控和显示有关内部信号电平或比较器/限幅器活动的信息。

对于每个数据采集寄存器，必须设置采集计数和寄存器选择。采集计数是0到1023的数值，对应于采集发生时的程序步骤编号。寄存器选择域设置DSP内核中的四个寄存器之一，以便在程序计数器达到此步骤时将该信息传输到数据采集寄存器。

采集的数据为5.19二进制补码格式，它来自4个LSB截断后的内部5.23数据字。

设置数据采集所必须写入的数据由10位程序计数索引和2位寄存器选择域连接而成。对应于信号处理流程中需监控的目标点的采集计数和寄存器选择值，可以在程序编译器的输出文件中找到。采集寄存器可以通过读取位置2074和位置2075进行访问。读写数据采集寄存器的格式如表28和表29所示。

表44. 安全加载数据寄存器位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
0	0	0	0	PC09	PC08	PC07	PC06	PC05	PC04	PC03	PC02	PC01	PC00	RS01	RS00	0x0000

表45

位名称	描述	
PC[9:0]	10位程序计数器地址	
RS[1:0]	选择要传输到数据采集输出的寄存器	
	RS[1:0]	寄存器
	00	乘法器X输入(Mult_X_input)
	01	乘法器Y输入(Mult_Y_input)
	10	乘法器-累加器输出(MAC_out)
11	累加器反馈(Accum_fback)	

# ADAU1401

## 2076 (0x081C)—DSP内核控制寄存器

表46. DSP内核控制寄存器位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
RSVD	RSVD	GD1	GD0	RSVD	RSVD	RSVD	AACW	GPCW	IFCW	IST	ADM	DAM	CR	SR1	SR0	0x0000

表47. DSP内核控制寄存器

位名称	描述	
GD[1:0]	GPIO去抖控制。设置用作GPIO输入的多用途引脚的去抖时间。	
	GD[1:0]	时间(ms)
	00	20
	01	40
	10	10
	11	5
AACW	辅助ADC数据寄存器控制端口写入模式。 此位设为1时，数据可以从控制端口直接写入辅助ADC数据寄存器(2057至2060)，辅助ADC数据寄存器忽略多用途引脚的设置。	
GPCW	GPIO引脚设置寄存器控制端口写入模式。 此位设为1时，用户可以直接从控制端口写入GPIO引脚设置寄存器(2056)，此寄存器忽略多用途引脚的输入设置。	
IFCW	接口寄存器控制端口写入模式。 此位设为1时，数据可以从控制端口直接写入接口寄存器(2048至2055)。在该状态下，接口寄存器不从SigmaDSP程序写入。	
IST	启动安全加载传输。此位设为1将启动对参数RAM的安全加载传输。 操作完成时，此位自动清零。安全加载寄存器共有5对(地址/数据)，只有那些自上次安全加载事件以来已经写入的寄存器才会被传输到参数RAM。	
ADM	ADC静音。此位可以使ADC的输出静音。此位默认值为0，低电平有效；要从ADC发送音频信号，必须将其置1。	
DAM	DAC静音。此位可以使DAC的输出静音。 此位默认值为0，低电平有效；要从DAC发送音频信号，必须将其置1。	
CR	内部寄存器清零。 此位默认值为0，低电平有效。要使信号通过SigmaDSP内核，必须将其置1。	
SR[1:0]	采样速率。这些位设置每个采样的DSP指令数，以及ADAU1401工作时的采样速率。 默认设置为1×，每个音频采样有1024个指令。 此设置应与48 kHz和44.1 kHz等采样速率一起使用。 采用2×设置时，每帧的指令数减半至512，ADC和DAC以96 kHz标称采样速率工作。 采用4×设置时，每个周期有256个指令，转换器以192 kHz采样速率工作。	
	SR[1:0]	设置
	00	1×(1024指令)
	01	2×(512指令)
	10	4×(256指令)
	11	保留



## 2078 (0x081E)—串行输出控制寄存器

**表48. 串行输出控制寄存器位映射**

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Default
0	0	OLRP	OBP	M/S	OBF1	OBF0	OLF1	OLF0	FST	TDM	MSB2	MSB1	MSB0	OWL1	OWL0	0x0000

**表49**

位名称	描述															
OLRP	OUTPUT_LRCLK极性。此位设为0时，左声道数据在OUTPUT_LRCLK为低电平时输出，右声道数据在OUTPUT_LRCLK为高电平时输出。 此位设为1时，右声道数据在OUTPUT_LRCLK为低电平时输出，左声道数据在OUTPUT_LRCLK为高电平时输出。															
OBP	OUTPUT_BCLK极性。此位控制输出数据在位时钟的哪一个边沿输出。 此位设为0时，数据在OUTPUT_BCLK的下降沿改变； 此位设为1时，数据在上升沿改变。															
M/S	OUTPUT_BCLK频率(仅限主机模式)。 输出端口用作时钟主机时，这些位设置输出位时钟的频率； 位时钟是内部 $1024 \times f_s$ 时钟 ( $f_s = 48 \text{ kHz}$ 时为49.152 MHz) 的分频输出。															
OBF[1:0]	OUTPUT_BCLK频率(仅限主机模式)。 输出端口用作时钟主机时，这些位设置输出位时钟的频率； 位时钟是内部 $1024 \times f_s$ 时钟 ( $f_s = 48 \text{ kHz}$ 时为49.152 MHz) 的分频输出。															
	<table border="1"> <thead> <tr> <th>OBF[1:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>内部时钟/16</td> </tr> <tr> <td>01</td> <td>内部时钟/8</td> </tr> <tr> <td>10</td> <td>内部时钟/4</td> </tr> <tr> <td>11</td> <td>内部时钟/2</td> </tr> </tbody> </table>	OBF[1:0]	设置	00	内部时钟/16	01	内部时钟/8	10	内部时钟/4	11	内部时钟/2					
OBF[1:0]	设置															
00	内部时钟/16															
01	内部时钟/8															
10	内部时钟/4															
11	内部时钟/2															
OLF[1:0]	OUTPUT_LRCLK频率(仅限主机模式)。 输出端口用作时钟主机时，这些位设置OUTPUT_LRCLK引脚上的输出字时钟的频率； 字时钟是内部 $1024 \times f_s$ 时钟 ( $f_s = 48 \text{ kHz}$ 时为49.152 MHz) 的分频输出。															
	<table border="1"> <thead> <tr> <th>OLF[1:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>内部时钟/1024</td> </tr> <tr> <td>01</td> <td>内部时钟/512</td> </tr> <tr> <td>10</td> <td>内部时钟/256</td> </tr> <tr> <td>11</td> <td>保留</td> </tr> </tbody> </table>	OLF[1:0]	设置	00	内部时钟/1024	01	内部时钟/512	10	内部时钟/256	11	保留					
OLF[1:0]	设置															
00	内部时钟/1024															
01	内部时钟/512															
10	内部时钟/256															
11	保留															
FST	帧同步类型。此位设置OUTPUT_LRCLK引脚上的信号类型。 此位设为0时，信号是50%占空比的字时钟； 此位设为1时，信号是数据帧开始时持续一个位时钟的脉冲。															
TDM	TDM使能。 此位设为1时，输出端口从四路串行立体声输出变为SDATA_OUT0引脚(MP6)上的一路8通道TDM输出流。															
MSB[2:0]	MSB位置。这三位设置数据MSB相对于LRCLK边沿的位置。 ADAU1401的数据输出始终是MSB优先。															
	<table border="1"> <thead> <tr> <th>MSB[2:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>延迟1</td> </tr> <tr> <td>001</td> <td>延迟0</td> </tr> <tr> <td>010</td> <td>延迟8</td> </tr> <tr> <td>011</td> <td>延迟12</td> </tr> <tr> <td>100</td> <td>延迟16</td> </tr> <tr> <td>101</td> <td>保留</td> </tr> <tr> <td>111</td> <td>保留</td> </tr> </tbody> </table>	MSB[2:0]	设置	000	延迟1	001	延迟0	010	延迟8	011	延迟12	100	延迟16	101	保留	111
MSB[2:0]	设置															
000	延迟1															
001	延迟0															
010	延迟8															
011	延迟12															
100	延迟16															
101	保留															
111	保留															
OWL[1:0]	输出字长。这些位设置输出数据字的字长。 LSB之后的所有位设为0。															
	<table border="1"> <thead> <tr> <th>OWL[1:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>24</td> </tr> <tr> <td>01</td> <td>20</td> </tr> <tr> <td>10</td> <td>16</td> </tr> <tr> <td>11</td> <td>保留</td> </tr> </tbody> </table>	OWL[1:0]	设置	00	24	01	20	10	16	11	保留					
OWL[1:0]	设置															
00	24															
01	20															
10	16															
11	保留															

# ADAU1401

## 2079 (0x081F)—串行输入控制寄存器

表50. 串行输入控制寄存器位映射

D7	D6	D5	D4	D3	D2	D1	D0	Default
0	0	0	ILP	IBP	M2	M1	M0	0x00

表51

位名称	描述																		
ILP	INPUT_LRCLK极性。此位设为0时，SDATA_INx引脚上的左声道数据在INPUT_LRCLK为低电平时输入，右声道数据在INPUT_LRCLK为高电平时输入。此位设为1时，这些通道的输入时序相反。在TDM模式下，此位设为0时，数据从INPUT_LRCLK引脚下降沿后的下一个适当的BCLK沿（在此寄存器的位3中设置）开始输入；此位设为1时，输入数据在字时钟(INPUT_LRCLK)上升沿后的BCLK沿有效。INPUT_LRCLK也可以不用时钟，而是采用脉冲输入工作。这种情况下，ADAU1401利用脉冲的第一个边沿启动数据帧。此极性位设为0时，应使用低电平脉冲；设为1时，应使用高电平脉冲。																		
IBP	INPUT_BCLK极性。此位控制输入数据在位时钟的哪一个边沿改变，以及在哪一个边沿输入。此位设为0时，数据在INPUT_BCLK的下降沿改变；此位设为1时，数据在上升沿改变。																		
M[2:0]	<p>串行输入模式。这两位控制输入端口期望收到的数据格式。此控制寄存器的位3和位4会覆盖位[2:0]的设置，因此，为在某些模式下能够正常工作，所有四位必须一同改变。这些模式的时钟图见图32、图33和图34。注意，对于左对齐和右对齐模式，LRCLK极性先高后低，与ILP的默认设置相反。</p> <p>当这些位设为接受TDM输入时，ADAU1401数据在ILP定义的边沿后开始。ADAU1401 TDM数据流应通过SDATA_IN0引脚输入。图35显示了一个TDM流，它具有高转低触发的LRCLK，数据在BCLK的下降沿改变。ADAU1401要求各数据槽的MSB从槽开始起延迟一个BCLK，就像在立体声IPS格式中一样。在TDM模式下，通道0至通道3是帧的前半部分，通道4至通道7是帧的后半部分。图36显示的是一个采用脉冲字时钟工作的TDM流示例，用于在辅助模式下与ADI公司的编解码器接口。要在这种模式下使用输入或输出串行端口，ADAU1401的帧应设置为从LRCLK的上升沿开始，在BCLK的下降沿改变数据，并从字时钟开始起将MSB位置延迟一个BCLK。</p> <table border="1"> <thead> <tr> <th>M[2:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr> <td>000</td> <td>IPS</td> </tr> <tr> <td>001</td> <td>左对齐</td> </tr> <tr> <td>010</td> <td>TDM</td> </tr> <tr> <td>011</td> <td>右对齐，24位</td> </tr> <tr> <td>100</td> <td>右对齐，20位</td> </tr> <tr> <td>101</td> <td>右对齐，18位</td> </tr> <tr> <td>110</td> <td>右对齐，16位</td> </tr> <tr> <td>111</td> <td>保留</td> </tr> </tbody> </table>	M[2:0]	设置	000	IPS	001	左对齐	010	TDM	011	右对齐，24位	100	右对齐，20位	101	右对齐，18位	110	右对齐，16位	111	保留
M[2:0]	设置																		
000	IPS																		
001	左对齐																		
010	TDM																		
011	右对齐，24位																		
100	右对齐，20位																		
101	右对齐，18位																		
110	右对齐，16位																		
111	保留																		

**2080至2081(0x0820至0x0821)—多用途引脚配置寄存器**

利用这些寄存器(2080至2081)，可以将各多用途引脚设置为不同的功能。两个3字节寄存器分为12个4位(半字节)部分，每个部分控制一个MP引脚。表54列出了MP引脚配置

寄存器中各半字节设置的功能。各引脚4位配置的MSB用于反转引脚的输入或输出。各MP引脚的内部上拉电阻(约10 kΩ)在该引脚用作数字输入(GPIO输入或串行数据端口输入)时使能。

**表52. 寄存器2080位映射**

D15	D14	D13	D12	D11	D10	D9	D8	D23 D7	D22 D6	D21 D5	D20 D4	D19 D3	D18 D2	D17 D1	D16 D0	默认值
MP33	MP32	MP31	MP30	MP23	MP22	MP21	MP20	MP53 MP13	MP52 MP12	MP51 MP11	MP50 MP10	MP43 MP03	MP42 MP02	MP41 MP01	MP40 MP00	0x00 0x0000

**表53. 寄存器2081位映射**

D15	D14	D13	D12	D11	D10	D9	D8	D23 D7	D22 D6	D21 D5	D20 D4	D19 D3	D18 D2	D17 D1	D16 D0	默认值
MP93	MP92	MP91	MP90	MP83	MP82	MP81	MP80	MP113 MP73	MP112 MP72	MP111 MP71	MP110 MP70	MP103 MP63	MP102 MP62	MP101 MP61	MP100 MP60	0x00 0x0000

**表54**

位名称	描述																																		
MPx[3:0]	设置各多用途引脚的功能。																																		
	<table border="1"> <thead> <tr> <th>MPx[3:0]</th> <th>设置</th> </tr> </thead> <tbody> <tr><td>1111</td><td>辅助ADC输入(见表63)</td></tr> <tr><td>1110</td><td>保留</td></tr> <tr><td>1101</td><td>保留</td></tr> <tr><td>1100</td><td>串行数据端口—反转(见表65)</td></tr> <tr><td>1011</td><td>开集输出—反转</td></tr> <tr><td>1010</td><td>GPIO输出—反转</td></tr> <tr><td>1001</td><td>GPIO输入、无去抖—反转</td></tr> <tr><td>1000</td><td>GPIO输入、去抖—反转</td></tr> <tr><td>0111</td><td>N/A</td></tr> <tr><td>0110</td><td>保留</td></tr> <tr><td>0101</td><td>保留</td></tr> <tr><td>0100</td><td>串行数据端口(见表65)</td></tr> <tr><td>0011</td><td>开集输出</td></tr> <tr><td>0010</td><td>GPIO输出</td></tr> <tr><td>0001</td><td>GPIO输入、无去抖</td></tr> <tr><td>0000</td><td>GPIO输入、去抖</td></tr> </tbody> </table>	MPx[3:0]	设置	1111	辅助ADC输入(见表63)	1110	保留	1101	保留	1100	串行数据端口—反转(见表65)	1011	开集输出—反转	1010	GPIO输出—反转	1001	GPIO输入、无去抖—反转	1000	GPIO输入、去抖—反转	0111	N/A	0110	保留	0101	保留	0100	串行数据端口(见表65)	0011	开集输出	0010	GPIO输出	0001	GPIO输入、无去抖	0000	GPIO输入、去抖
MPx[3:0]	设置																																		
1111	辅助ADC输入(见表63)																																		
1110	保留																																		
1101	保留																																		
1100	串行数据端口—反转(见表65)																																		
1011	开集输出—反转																																		
1010	GPIO输出—反转																																		
1001	GPIO输入、无去抖—反转																																		
1000	GPIO输入、去抖—反转																																		
0111	N/A																																		
0110	保留																																		
0101	保留																																		
0100	串行数据端口(见表65)																																		
0011	开集输出																																		
0010	GPIO输出																																		
0001	GPIO输入、无去抖																																		
0000	GPIO输入、去抖																																		

# ADAU1401

## 2082 (0x0822)—辅助ADC和电源控制

表55. 辅助ADC和电源控制位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	FIL1	FIL0	AAPD	VBPD	VRPD	RSVD	D0PD	D1PD	D2PD	D3PD	0x0000

表56

位名称	描述	
FIL[1:0]	辅助ADC滤波	
	<b>FIL[1:0]</b>	<b>设置</b>
	00	4位迟滞(12位电平)
	01	5位迟滞(12位电平)
	10	滤波器和迟滞旁路
11	低通滤波器旁路	
AAPD	ADC关断(两个ADC)	
VBPD	基准电压缓冲器关断	
VRPD	基准电压源关断	
D0PD	DAC0关断	
D1PD	DAC1关断	
D2PD	DAC2关断	
D3PD	DAC3关断	

## 2084 (0x0824)—辅助ADC使能

表57. 辅助ADC使能位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
AAEN	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	0x0000

表58

位名称	描述
AAEN	使能辅助ADC

## 2086 (0x0826)—振荡器关断

表59. 振荡器关断位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	OPD	RSVD	RSVD	0x0000

表60

位名称	描述
OPD	使能辅助ADC

## 2087 (0x0827)—DAC设置

为使DAC正确初始化，此寄存器的位DS[1:0]应设为01。

表61. DAC设置位映射

D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	默认值
RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	RSVD	DS1	DS0	0x0000

表62

位名称	描述	
DS[1:0]	DAC设置。	
	<b>DS[1:0]</b>	<b>设置</b>
	00	保留
	01	初始化DAC
	10	保留
11	保留	

## 多用途引脚

ADAU1401具有12个多用途(MP)引脚，可以对其独立编程，以用作串行数据输入、串行数据输出、SigmaDSP内核的数字控制输入/输出或4通道辅助ADC的输入。这些引脚使得ADAU1401能够与外部ADC和DAC配合使用。它们还能接受模拟或数字输入，以便控制音量等设置，或者利用输出数字信号驱动LED指示灯。每个MP引脚均内置一个15 kΩ上拉电阻。

### 辅助ADC

ADAU1401有一个4通道、8位辅助ADC，它可以与电位计配合使用来控制音量、音调或DSP程序中的其它参数设置。各通道以音频采样频率( $f_s$ )进行采样。此ADC的满量程输入为3.0 V，因此步进大小约为12 mV(3.0 V/256步)。ADC的输入阻抗约为30 kΩ。表63显示了哪四个MP引脚映射到辅助ADC的四个通道。将1111写入多用途引脚配置寄存器的相应部分，即可使能辅助ADC。

将辅助ADC使能寄存器(见表58)的AAEN位设为1时，辅助ADC开启。

ADC输入端的噪声可能会使数字输出不断改变若干LSB。如果使用辅助ADC来控制音量，这种改变会引起增益轻微波动。为了避免这种现象，应在辅助ADC和电源控制寄存器(2082)中使能低通滤波器或迟滞，让辅助ADC具备相应的功能，如表56所示。辅助ADC使能时，滤波器默认使能。从辅助ADC寄存器读取数据时，此滤波提供2字节的数据(12位数据加上零填充LSB)。

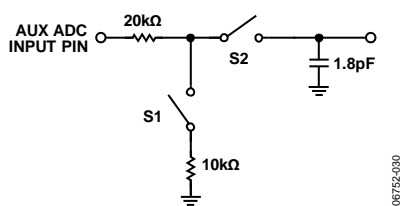


图31. 辅助ADC输入电路

图31给出了辅助ADC的输入电路。开关S1使能辅助ADC，它由辅助ADC使能寄存器的位15设置。采样开关S2以音频采样频率工作。

DSP内核控制寄存器中的AACW置1后，就可以直接写入辅助ADC数据寄存器。这种模式下，不是将模拟输入的电压写入寄存器，而是从控制端口写入寄存器中的数据。

PVDD提供辅助ADC模拟输入所需的3.3 V电源。辅助ADC的数字内核采用1.8 V DVDD信号供电。

表63. 多用途引脚辅助ADC映射

多用途引脚	功能
MP0	N/A
MP1	N/A
MP2	ADC1
MP3	ADC2
MP4	N/A
MP5	N/A
MP6	N/A
MP7	N/A
MP8	ADC3
MP9	ADC0
MP10	N/A
MP11	N/A

### 通用输入/输出引脚

通用输入/输出(GPIO)引脚可以用来作输入或输出。这些引脚是可读引脚，可以通过控制接口或直接由SigmaDSP内核设置。设置为输入时，这些引脚可以与按钮开关或旋转编码器一起使用来控制DSP程序设置。数字输出可用来驱动LED或外部逻辑，以指示内部信号的状态并控制其它器件。这种用途的例子包括指示信号过载、信号有无和按钮按下确认等。

设置为输出时，各引脚通常可以驱动2 mA电流，这足以直接驱动某些高效率LED。标准LED需要大约20 mA的电流，可以利用外部电阻或缓冲器从GPIO输出驱动。由于许多引脚同时驱动或吸收大量电流会引起问题，因此在应用设计中，应注意避免将高效率LED直接连到许多或全部MPx引脚。如果需要使用许多LED，应使用外部驱动器。

当GPIO引脚设置为开集输出时，应将其上拉至最高3.3 V电压(IOVDD电压)。

### 串行数据输入/输出端口

ADAU1401灵活的串行数据输入和输出端口可以设置为以2通道格式或8通道TDM流格式接收或发送数据。数据以二进制补码、MSB优先格式进行处理。在2通道流中，左声道数据域始终先于右声道数据域。在TDM模式下，时隙0至时隙3是音频帧的前半部分，时隙4至时隙7是音频帧的后半部分。TDM模式所用的多用途引脚更少，从而可以留出更多引脚来执行其它功能。串行模式在串行输出和串行输入控制寄存器中设置。

# ADAU1401

串行数据时钟需要与ADAU1401主时钟输入同步。

输入控制寄存器可以控制时钟极性和数据输入模式。有效数据格式包括I<sup>2</sup>S、左对齐、右对齐(24/20/18/16位)和8通道TDM。在除右对齐模式以外的所有其它模式下，串行端口支持最多24位的任意位数。多余的位不会导致错误，但会被内部截断。为使右对齐模式正确工作，每个音频帧必须恰好有64 BCLK。TDM数据是SDATA\_IN0的输入。在TDM模式下，LRCLK可以作为50/50占空比时钟或一位宽脉冲输入ADAU1401。

在TDM模式下，对于48 kHz和96 kHz数据，ADAU1401可以是一个主机，但对于192 kHz数据则不行。表64列出了串行输出端口的工作模式。

**表64. 串行输出端口主机/从机模式能力**

f <sub>s</sub>	2通道模式 (I <sup>2</sup> S、左对齐、 右对齐)	8通道TDM
48 kHz	主机和从机	主机和从机
96 kHz	主机和从机	主机和从机
192 kHz	主机和从机	仅从机

利用输出控制寄存器，用户可以控制时钟极性、时钟频率、时钟类型和数据格式。在除右对齐模式以外的所有其它模式下(MSB延迟8、12或16位)，串行端口支持最多24位的任意位数。多余的位不会导致错误，但会被内部截断。为使右对齐模式正确工作，LSB必须与LRCLK的边沿对齐。所有串行端口控制寄存器的默认设置对应于2通道I<sup>2</sup>S模式。除非另有说明，所有寄存器设置同时适用于主机模式和从机模式。

串行数据端口模式下各多用途引脚的功能如表65所示。引脚MP0至MP5支持ADAU1401的数字数据输入，引脚MP6至MP11处理DSP的数字数据输出。串行数据输入端口的配置在串行输入控制寄存器中设置(表51)，相应输出端口的

**表66. 数据格式配置**

格式	LRCLK极性	LRCLK类型	BCLK极性	MSB位置
I <sup>2</sup> S(图32)	帧在下降沿开始	时钟	数据在下降沿改变	从LRCLK边沿起延迟1 BCLK
左对齐(图33)	帧在上升沿开始	时钟	数据在下降沿改变	与LRCLK边沿对齐
右对齐(图34)	帧在上升沿开始	时钟	数据在下降沿改变	从LRCLK边沿起延迟8、12或16 BCLK
采用时钟的TDM(图35)	帧在下降沿开始	时钟	数据在下降沿改变	从字时钟开始起延迟1 BCLK
采用脉冲的TDM(图36)	帧在上升沿开始	脉冲	数据在下降沿改变	从字时钟开始起延迟1 BCLK

配置通过串行输出控制寄存器控制(表49)。输入端口的时钟只能用作从机，输出端口的时钟则可以设置为主机或从机。INPUT\_LRCLK (MP4)和INPUT\_BCLK (MP5)引脚用于为SDATA\_IN<sub>x</sub>(MP0至MP3)信号提供时钟，OUTPUT\_LRCLK (MP10)和OUTPUT\_BCLK (MP11)引脚用于为SDATA\_OUT<sub>x</sub>(MP6至MP9)信号提供时钟。

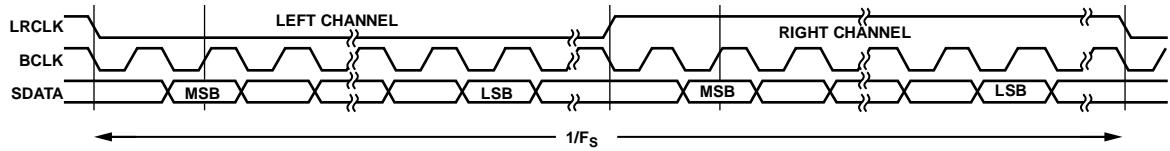
如果将一个外部ADC作为从机连接到ADAU1401，则应同时使用输入和输出端口时钟。OUTPUT\_LRCLK (MP10)和OUTPUT\_BCLK (MP11)引脚必须设置为主机模式，并且外接到INPUT\_LRCLK (MP4)、INPUT\_BCLK (MP5)引脚和外部ADC时钟输入引脚。数据从外部ADC输出，通过四个SDATA\_IN<sub>x</sub>引脚(MP0至MP3)中的一个引脚输入SigmaDSP。

与外部DAC的连接由输出端口引脚专门处理。OUTPUT\_LRCLK和OUTPUT\_BCLK引脚可以设置为主机或从机，SDATA\_OUT<sub>x</sub>引脚用于将数据从SigmaDSP输出到外部DAC。

表66给出了标准音频数据格式的正确配置。

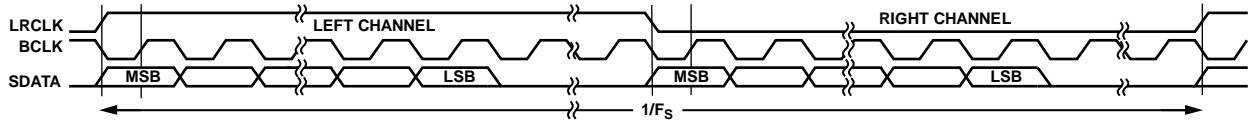
**表65. 多用途引脚串行数据端口功能**

多用途引脚	功能
MP0	SDATA_IN0/TDM_IN
MP1	SDATA_IN1
MP2	SDATA_IN2
MP3	SDATA_IN3
MP4	INPUT_LRCLK(仅限从机)
MP5	INPUT_BCLK(仅限从机)
MP6	SDATA_OUT0/TDM_OUT
MP7	SDATA_OUT1
MP8	SDATA_OUT2
MP9	SDATA_OUT3
MP10	OUTPUT_LRCLK(主机或从机)
MP11	OUTPUT_BCLK(主机或从机)



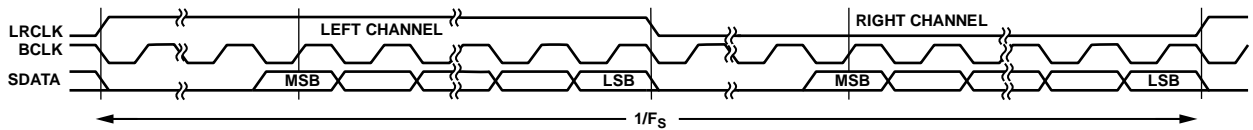
06752-031

图32. PS模式：每通道16位到24位



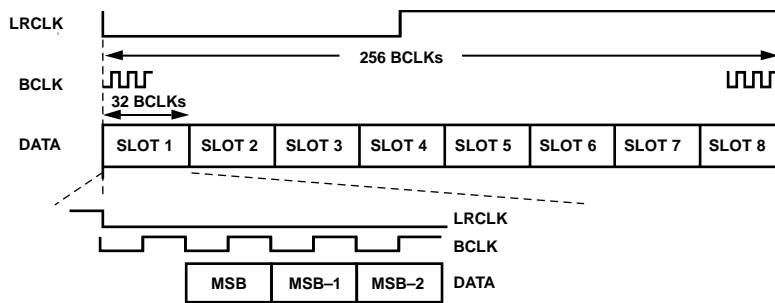
06752-032

图33. 左对齐模式：每通道16位到24位



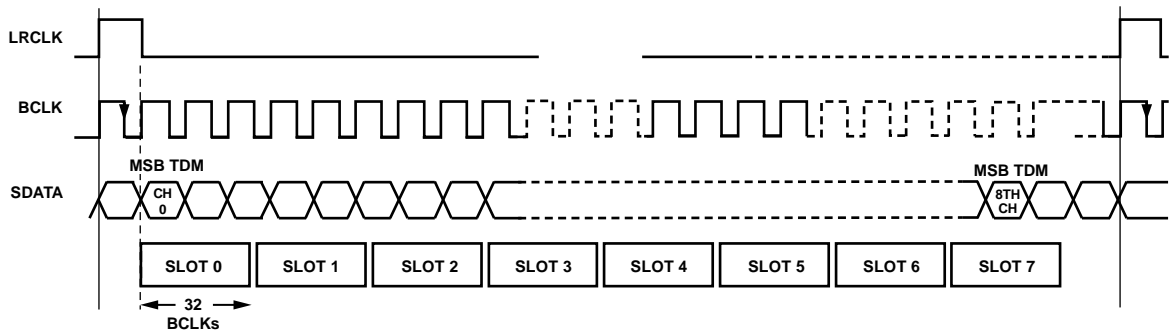
06752-033

图34. 右对齐模式：每通道16位到24位



06752-034

图35. TDM模式



06752-035

图36. 采用脉冲时钟的TDM模式

## 布局布线建议

### 器件放置

ADC输入电压转电流电阻和ADC电流设置电阻应尽可能靠近2、3、4输入引脚放置。

每个模拟、数字、PLL电源/地对都推荐使用100 nF旁路电容，所有这些电容应尽可能靠近ADAU1401放置。电路板上的3.3 V和1.8 V电源信号各自也应通过一个大容量电容(10  $\mu$ F至47  $\mu$ F)旁路。

晶振电路(图14)中的所有走线应尽可能短，以使杂散电容最小。此外，应避免将长电路板走线连接到任何此类元件，防止影响晶振启动和工作。

### 接地

应用布局中应使用单一接地层。模拟信号路径中的元件应远离数字信号放置。



## 典型应用原理图

自引导模式

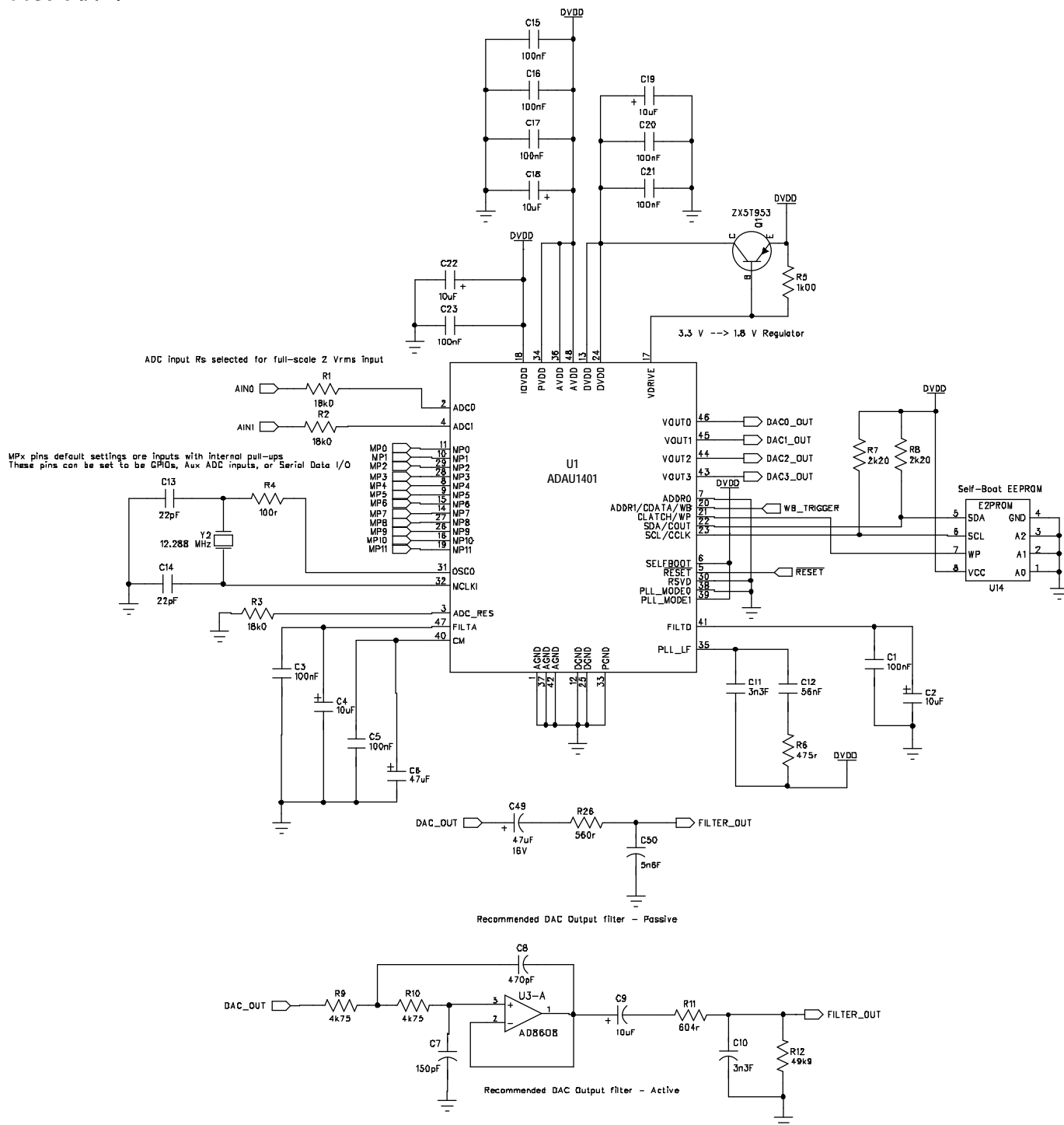


图37. 自引导模式原理图

# ADAU1401

## I<sup>2</sup>C控制

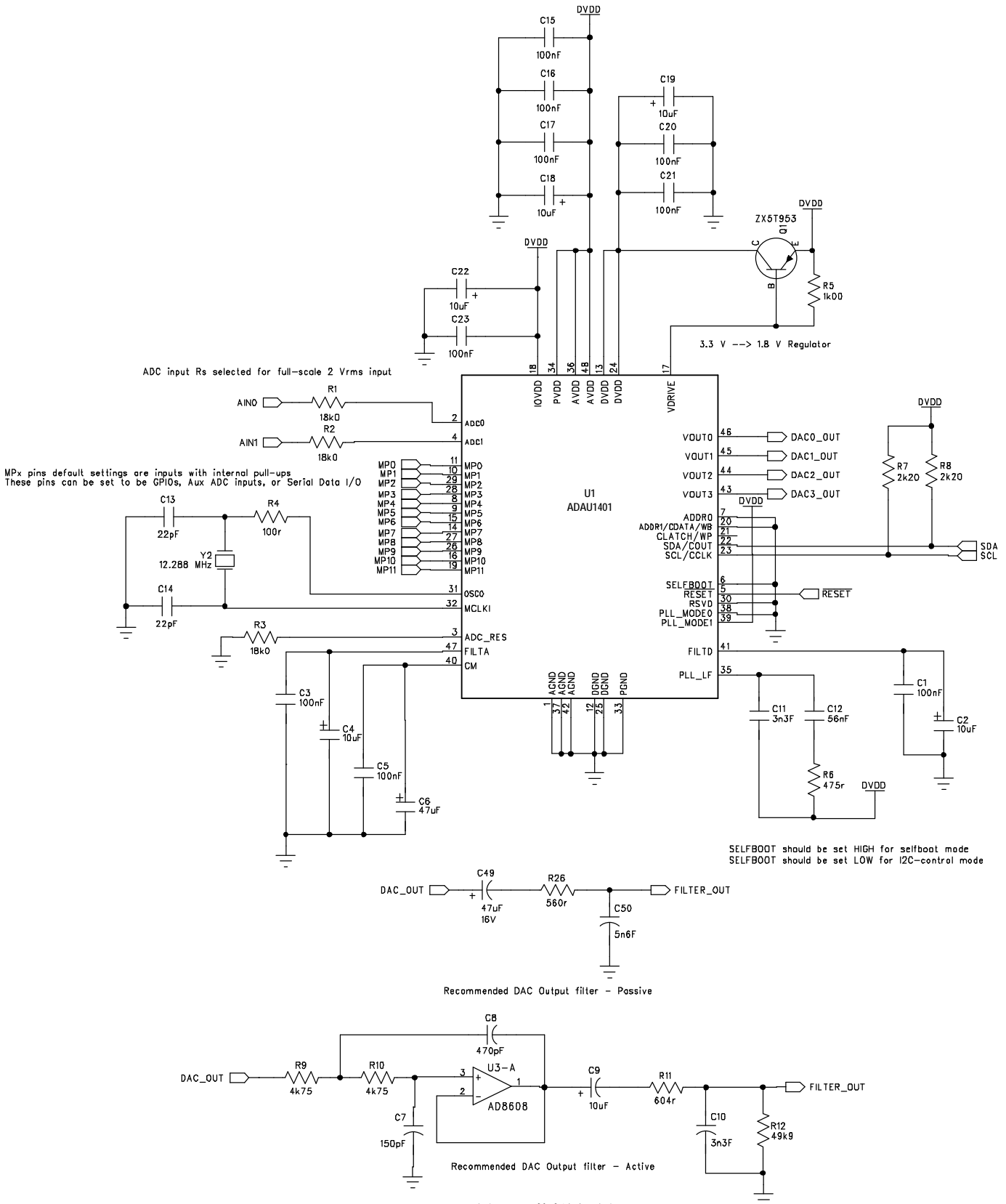


图38. I<sup>2</sup>C控制原理图

## SPI控制

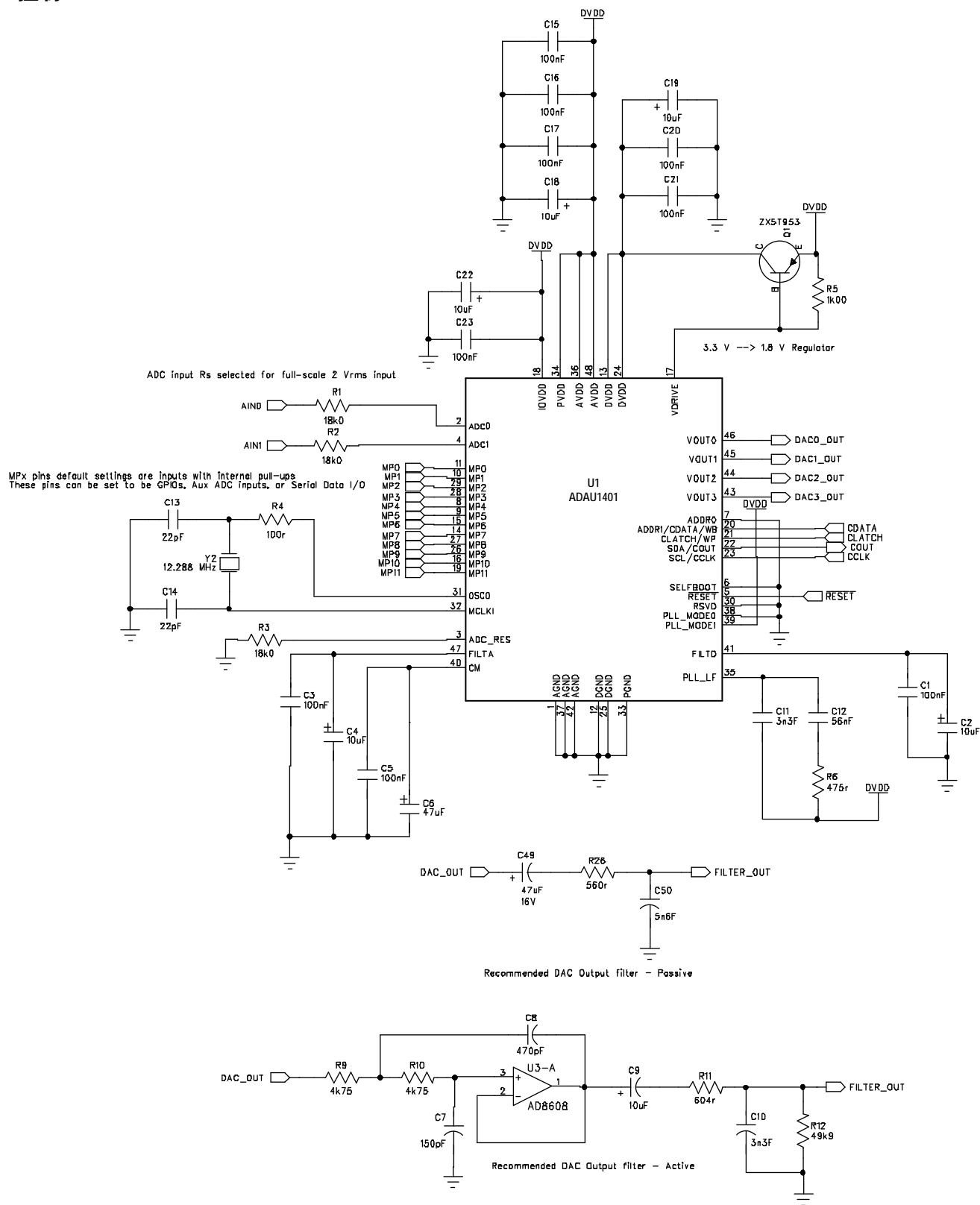


图39. SPI控制原理图

# ADAU1401

## 外形尺寸

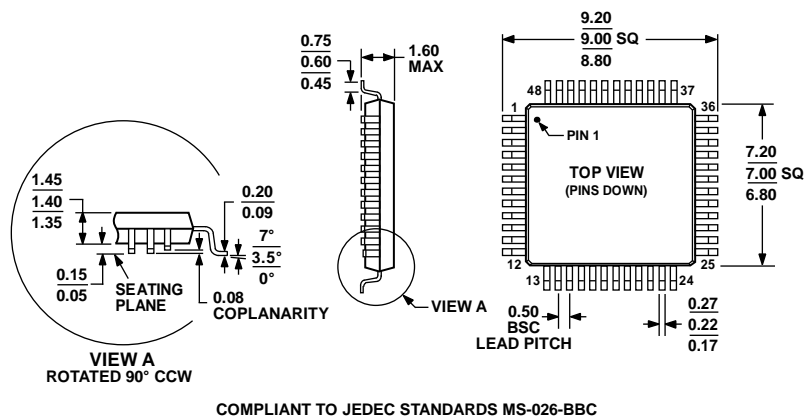


图40. 48引脚LQFP封装(ST-48) 尺寸单位: mm

## 订购指南

型号 <sup>1</sup>	温度范围	封装描述	封装选项
ADAU1401YSTZ	-40°C至+105°C	48引脚LQFP	ST-48
ADAU1401YSTZ-RL	-40°C至+105°C	48引脚LQFP, 13"卷带和卷盘	ST-48
EVAL-ADAU1401EBZ		评估板	

<sup>1</sup>Z = 符合RoHS标准的器件。