



数据手册

MM32F3270

基于 Arm® Cortex®-M3 内核的 32 位微控制器

Revision: 1.42

灵动微电子有权在任何时间对此文件包含的信息（包括但不限于规格与产品说明）做出任何改动与发布，本文件将取代之前所有公布的信息。

目录

1	总览	1
1.1	概述.....	1
1.2	产品简述.....	1
2	规格说明	4
2.1	型号列表.....	4
2.1.1	订购信息.....	4
2.1.2	丝印.....	5
2.1.3	系统框图.....	6
2.2	功能说明.....	7
2.2.1	内核简介.....	7
2.2.2	总线简介.....	7
2.2.3	存储器映像.....	7
2.2.4	内置 Flash.....	9
2.2.5	内置 Cache.....	9
2.2.6	内置 SRAM.....	10
2.2.7	嵌套的向量式中断控制器 NVIC.....	10
2.2.8	外部中断/事件控制器 EXTI.....	10
2.2.9	时钟和启动.....	10
2.2.10	启动模式.....	12
2.2.11	供电方案.....	12
2.2.12	供电监控器.....	12
2.2.13	电压调压器.....	12
2.2.14	低功耗模式.....	12
2.2.15	DMA.....	14
2.2.16	定时器和看门狗.....	14
2.2.17	实时时钟 RTC.....	16
2.2.18	备份寄存器.....	16
2.2.19	GPIO.....	16
2.2.20	通用异步收发器 UART.....	16
2.2.21	I2C 总线.....	16
2.2.22	SPI 接口.....	16
2.2.23	I2S 接口.....	16
2.2.24	CAN.....	17
2.2.25	USB FS OTG.....	17
2.2.26	安全数字输入输出接口 SDIO.....	17
2.2.27	外扩存储器接口 FSMC.....	17
2.2.28	ADC.....	17
2.2.29	DAC.....	18
2.2.30	模拟比较器 COMP.....	18
2.2.31	CRC.....	18
2.2.32	串行调试口 (SWD) 和 JTAG 接口.....	18
3	引脚定义及复用功能	19
3.1	引脚分布图.....	19

3.2	引脚定义表	24
3.3	复用功能表	31
4	电气特性	43
4.1	测试条件	43
4.1.1	负载电容	43
4.1.2	引脚输入电压	43
4.1.3	供电方案	43
4.1.4	电流消耗测量	44
4.2	绝对最大额定值	44
4.3	工作条件	45
4.3.1	通用工作条件	45
4.3.2	上电和掉电时的工作条件	46
4.3.3	内嵌复位和电源控制模块特性	47
4.3.4	内置的参照电压	48
4.3.5	供电电流特性	48
4.3.6	外部时钟源特性	53
4.3.7	内部时钟源特性	57
4.3.8	PLL 特性	58
4.3.9	存储器特性	58
4.3.10	EMC 特性	59
4.3.11	功能性 EMS (电气敏感性)	60
4.3.12	GPIO 端口通用输入/输出特性	60
4.3.13	NRST 引脚特性	63
4.3.14	TIM 定时器特性	64
4.3.15	通信接口	65
4.3.16	CAN 接口	70
4.3.17	USB FS OTG 接口	70
4.3.18	ADC 特性	71
4.3.19	温度传感器特性	74
4.3.20	内置参考电压特性	74
4.3.21	DAC 特性	75
4.3.22	比较器特性	75
5	封装特性	77
5.1	封装 LQFP144	77
5.2	封装 LQFP100	79
5.3	封装 LQFP64	81
5.4	封装 LQFP48	83
5.5	封装 QFN40	85
6	产品命名规则	87
7	缩略词	88
8	修订记录	90

插图

图 2-1 LQFP 和 QFN 丝印标识图.....	5
图 2-2 模块框图.....	6
图 2-3 时钟树.....	11
图 3-1 LQFP144 引脚分布.....	19
图 3-2 LQFP100 引脚分布.....	20
图 3-3 LQFP64 引脚分布.....	21
图 3-4 LQFP48 引脚分布.....	22
图 3-5 QFN40 引脚分布.....	23
图 4-1 引脚的负载条件.....	43
图 4-2 引脚输入电压.....	43
图 4-3 供电方案.....	44
图 4-4 电流消耗测量方案.....	44
图 4-5 上电与掉电波形.....	47
图 4-6 待机模式下的典型电流消耗在 VDD = 3.3V 时与温度的对比.....	51
图 4-7 外部高速时钟源的交流时序图.....	54
图 4-8 外部低速时钟源的交流时序图.....	55
图 4-9 使用 8MHz 晶体的典型应用.....	56
图 4-10 使用 32.768KHz 晶体的典型应用.....	57
图 4-11 输入输出交流特性定义.....	63
图 4-12 建议的 NRST 引脚保护.....	64
图 4-13 I2C 总线交流波形和测量电路 ⁽¹⁾	66
图 4-14 SPI 时序图-从模式和 CPHA = 0, CPHASEL = 1.....	68
图 4-15 SPI 时序图-从模式和 CPHA = 1, CPHASEL = 1 ⁽¹⁾	69
图 4-16 SPI 时序图-主模式, CPHASEL = 1 ⁽¹⁾	70
图 4-17 使用 ADC 典型的连接图.....	73
图 4-18 供电电源和参考电源去耦线路.....	74
图 5-1 LQFP144, 144 脚低剖面方形扁平封装图.....	77
图 5-2 LQFP100, 100 脚低剖面方形扁平封装图.....	79
图 5-3 LQFP64, 64 脚低剖面方形扁平封装图.....	81
图 5-4 LQFP48, 48 脚低剖面方形扁平封装图.....	83
图 5-5 QFN40, 40 脚方形扁平无引线封装外形封装图.....	85
图 6-1 MM32 型号命名.....	87

表格

表 2-1 订购信息	4
表 2-2 存储器映像	7
表 2-3 低功耗模式一览	13
表 2-4 定时器功能比较	14
表 3-1 引脚定义	24
表 3-2 PA 端口功能复用 AF0-AF7	31
表 3-3 PA 端口功能复用 AF8-AF12	32
表 3-4 PB 端口功能复用 AF0-AF7	33
表 3-5 PB 端口功能复用 AF8-AF12	34
表 3-6 PC 端口功能复用 AF0-AF7	35
表 3-7 PC 端口功能复用 AF8-AF12	36
表 3-8 PD 端口功能复用 AF0-AF7	37
表 3-9 PD 端口功能复用 AF8-AF15	38
表 3-10 PE 端口功能复用 AF0-AF7	39
表 3-11 PE 端口功能复用 AF8-AF15	40
表 3-12 PF 端口功能复用 AF8-AF15	41
表 3-13 PG 端口功能复用 AF8-AF15	42
表 4-1 电压特性	45
表 4-2 电流特性	45
表 4-3 通用工作条件	45
表 4-4 上电和掉电时的工作条件	46
表 4-5 内嵌复位和电源控制模块特性	47
表 4-6 内置的参照电压 ⁽¹⁾	48
表 4-7 运行模式下的典型电流消耗	49
表 4-8 低功耗运行模式下的典型电流消耗	49
表 4-9 睡眠模式下的典型电流消耗	49
表 4-10 低功耗睡眠模式下的典型电流消耗	50
表 4-11 停机和待机模式下的典型和最大电流消耗 ⁽¹⁾	50
表 4-12 内置外设的电流消耗 ⁽¹⁾	51
表 4-13 低功耗模式的唤醒时间	53
表 4-14 高速外部用户时钟特性	53
表 4-15 低速外部用户时钟特性	54
表 4-16 HSE 8 ~ 24MHz 振荡器特性 ⁽¹⁾ ⁽²⁾	55
表 4-17 LSE 振荡器特性 ($f_{LSE}=32.768KHz$) ⁽¹⁾	56
表 4-18 HSI 振荡器特性 ⁽¹⁾ ⁽²⁾	57
表 4-19 LSI 振荡器特性 ⁽¹⁾	58
表 4-20 PLL 特性 ⁽¹⁾	58
表 4-21 Flash 存储器特性	58
表 4-22 Flash 存储器寿命和数据保存期限 ⁽¹⁾ ⁽²⁾	59
表 4-23 EMS 特性	59
表 4-24 ESD 和 Latch-up 特性	60
表 4-25 I/O 静态特性	60
表 4-26 输出电压特性	61
表 4-27 输入输出交流特性 ⁽¹⁾ ⁽³⁾	62

表 4-28 NRST 引脚特性	63
表 4-29 TIMx ⁽¹⁾ 特性	64
表 4-30 I2C 接口特性	65
表 4-31 SPI 特性 ⁽¹⁾	66
表 4-32 USB 电气参数	70
表 4-33 USB 动态特性	71
表 4-34 ADC 特性	71
表 4-35 $f_{ADC}=15\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}	72
表 4-36 ADC 静态参数 ⁽¹⁾ ⁽²⁾	72
表 4-37 温度传感器特性 ⁽³⁾ ⁽⁴⁾	74
表 4-38 内置参考电压特性	74
表 4-39 温度传感器特性	75
表 4-40 比较器特性	75
表 5-1 LQFP144 尺寸说明	78
表 5-2 LQFP100 尺寸说明	80
表 5-3 LQFP64 尺寸说明	82
表 5-4 LQFP48 尺寸说明	84
表 5-5 QFN40 尺寸说明	86
表 8-1 修订记录	90

1 总览

1.1 概述

本产品使用高性能的 ARM® Cortex®-M3 为内核的 32 位微控制器，最高工作频率可达 120MHz，内置高速存储器，丰富的 I/O 端口和外设连接到外部总线。本产品包含多达 3 个 12 位的 ADC、2 个比较器、2 个 16 位通用定时器、2 个 32 位通用定时器、2 个 16 位基本定时器和 2 个 16 位高级定时器。还包含标准的通信接口：2 个 I2C 接口、3 个 I2S 接口、3 个 SPI 接口、1 个 USB OTG 全速接口、1 个 CAN 接口、1 个 SDIO 接口和 8 个 UART 接口。

本产品系列工作电压为 2.0V ~ 5.5V，工作温度范围（环境温度）包含 -40°C ~ +85°C 的工业型和 -40°C ~ +105°C 的扩展工业型（尾缀 V）。内置多种省电工作模式保证低功耗应用的要求。

这些丰富的外设配置，使得本产品微控制器适合于多种应用场合：

- 工业物联网设备
- 警报系统、视频对讲、和暖气通风空调系统
- 医疗和手持设备
- 电机驱动和应用控制
- PC 游戏外设和 GPS 平台
- 可编程控制器（PLC）、变频器、打印机和扫描仪等

本产品提供 LQFP144、LQFP100、LQFP64、LQFP48 和 QFN40 等多种封装形式。

1.2 产品简述

- 内核与系统
 - ARM® Cortex®-M3 32 位微控制器
 - 标准工作频率可达 96MHz
 - 最高工作频率可达 120MHz
 - 1KB 指令 Cache，支持跳转指令 Cache
- 存储器
 - 高达 512KB 的 Flash 程序存储器
 - 高达 128KB SRAM
 - Boot loader 支持片内 Flash 在线系统编程（ISP）
 - FSMC 接口，支持外扩 SRAM/PSRAM/NOR Flash 类型，兼容 8080/6800 通信总线模式

- 时钟、复位和电源管理
 - 2.0V ~ 5.5V 供电
 - 上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)
 - 外部 4 ~ 24MHz 高速晶体振荡器
 - 内嵌经出厂调校的 8MHz 高速 RC 振荡器
 - 支持多种 PLL 及分频模式, 用于 USB 时钟源
 - PLL 支持 CPU 最高运行在 120MHz
 - 内嵌 40KHz 低速振荡器
 - 外部 32.768KHz 低速振荡器
- 低功耗
 - 多种低功耗模式, 包括: 低功耗运行 (lower power run)、睡眠 (sleep)、低功耗睡眠 (low power sleep)、停机 (stop)、深度停机 (deep stop) 和待机模式 (standby)
 - V_{BAT} 为 RTC 和后备寄存器供电
- 3 个 12 位模数转换器, 1 μ s 转换时间 (多达 21 个输入通道, 3 个内部输入通道)
 - 转换范围: 0 ~ V_{DDA}
 - 支持采样时间和分辨率配置
 - 片上温度传感器
 - 片上电压传感器
 - V_{BAT} 电压传感器
- 2 个 DAC
- 2 个模拟比较器
- 2 个 DMA 控制器, 共 12 通道
 - 支持的外设包括: Timer、ADC、DAC、UART、I2C、SPI、USB OTG
- 多达 116 个快速 I/O 端口:
 - A 组到 G 组 I/O 口可以映像到 16 个外部中断 (H 组 I/O 口不支持外部中断)
 - 所有端口均可输入输出 VDD 信号
- 11 个定时器
 - 2 个 16 位 4 通道高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
 - 2 个 16 位通用定时器和 2 个 32 位通用定时器, 有高达 4 个输入捕获/输出比较, 可用于 IR 控制解码
 - 2 个 16 位基本定时器, 有 1 个输入捕获/输出比较和 1 组互补输出, 死区生成, 紧急停止, 调制器门电路用于 IR 控制

- 2 个看门狗定时器（独立型和窗口型）
- 1 个 **Systick** 定时器：24 位自减型计数器
- 调试模式
 - 串行调试接口（**SWD**）和 **JTAG** 接口
- 多达 16 个数字外设接口
 - 8 个 **UART** 接口
 - 2 个 **I2C** 接口
 - 3 个 **SPI** 接口（3 个 **I2S** 接口）
 - 1 个 **CAN** 接口
 - 1 个 **USB OTG** 接口
 - 1 个 **SDIO** 接口
- **CRC** 计算单元
- 96 位芯片唯一 ID（**UID**）
- 采用 **LQFP144**、**LQFP100**、**LQFP64**、**LQFP48** 和 **QFN40** 封装

2 规格说明

2.1 型号列表

2.1.1 订购信息

表 2-1 订购信息

产品型号		MM32F3273 E6P/E7P/E8P/E9P (V)	MM32F3273 GAQ/G6P/G7P/G8P/G9P (V)
产品配置			
CPU 频率		120 MHz	
闪存 - KB		256	512
SRAM - KB		128	128
定时器	通用 (16 bit)	2	2
	通用 (32 bit)	2	2
	基本	2	2
	高级	2	2
通信接口	UART	7/7/8/8	4/7/7/8/8
	I2C	2	2
	SPI	2/2/2/3	2/2/2/2/3
	I2S	2/2/2/3	2/2/2/2/3
	CAN	1	1
	SDIO	-/1/1/1	-/1/1/1/1
	USB-OTG FS	1	1
GPIO 端口数		38/52/84/116	27/38/52/84/116
12 位 ADC	个数	2/2/2/3	2/2/2/2/3
	通道数	10/16/16/21	10/10/16/16/21
FSMC		-/1/1/1	-/1/1/1/1
比较器		2	2
DAC		2	2
RTC		√	√
工作电压		2.0V ~ 5.5V	
工作温度		-40°C ~ +85°C 或 -40°C ~ +105°C (尾缀为 V)	
封装		LQFP48/64/100/144	QFN40, LQFP48/64/100/144

2.1.2 丝印

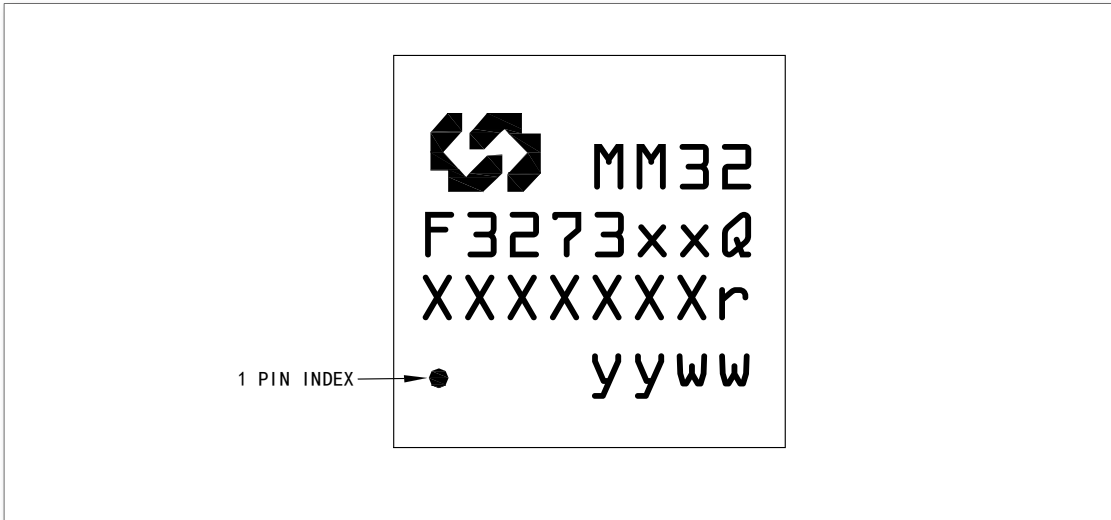


图 2-1 LQFP 和 QFN 丝印标识图

LQFP 和 QFN 封装一般在顶层包含如下丝印：

- 第一行：MM32
 - 灵动微电子 Logo + 产品型号第一部分。
- 第二行：F327xxxx
 - 产品型号第二部分
- 第三行：XXXXXXXXr
 - Trace code + 芯片版本号，其中“r”代表芯片版本号。
- 第四行：yyww
 - Data code，其中“yy”代表日期编码中的年份，“ww”代表日期编码中的周数。

2.1.3 系统框图

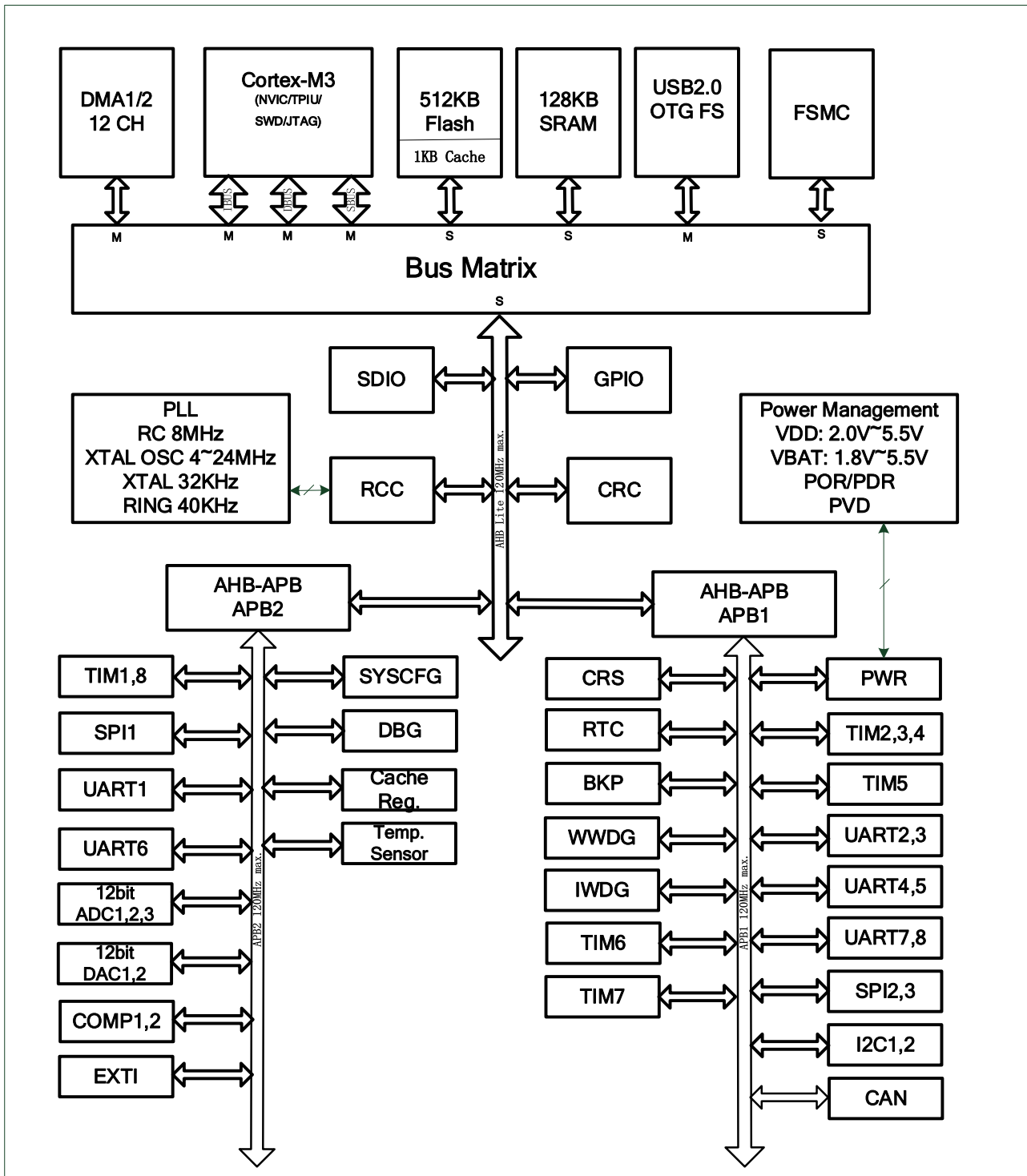


图 2-2 模块框图

2.2 功能说明

2.2.1 内核简介

ARM® 的 Cortex®-M3 微控制器是一个可配置的并具有多级流水线的32 位精简指令集处理器，具有高性能和低功耗的特点。

2.2.2 总线简介

总线矩阵用来将处理器和调试接口与外部总线相连。总线矩阵与下面的外部总线相连：

- IBUS 总线，该总线用于从代码空间取指令和向量，是 32 位 AHBLite 总线。
- DBUS 总线，该总线用于对代码空间进行数据加载/存储以及调试访问，是 32 位 AHBLite 总线。
- SBUS 总线，该总线用于对系统空间执行取指令和向量，数据加载/存储以及调试访问，是 32 位 AHBLite 总线。

2.2.3 存储器映像

表 2-2 存储器映像

总线	编址范围	大小	外设
FLASH	0x0000 0000 - 0x0007 FFFF	512 KB	根据 BOOT0/1 引脚的电平可映射到片内 FLASH 存储区、SRAM 或系统存储区中的一个
	0x0008 0000 - 0x07FF FFFF	~127 MB	Reserved
	0x0800 0000 - 0x0807 FFFF	512 KB	片内 FLASH 存储器
	0x0808 0000 - 0x080F FFFF	512 KB	Reserved
	0x0810 0000 - 0x0810 0FFF	4 KB	Reserved
	0x0810 1000 - 0x0FFF FFFF	~127 MB	Reserved
	0x1000 0000 - 0x1FFD FFFF	~255 MB	Reserved
	0x1FFE 0000 - 0x1FFE 0FFF	4 KB	Reserved
	0x1FFE 1000 - 0x1FFE 1FFF	4 KB	Security memory
	0x1FFE 2000 - 0x1FFF E7FF	114 KB	Reserved
	0x1FFF E800 - 0x1FFF F7FF	4 KB	系统存储区
	0x1FFF F800 - 0x1FFF F9FF	0.5 KB	Option bytes
	0x1FFF FA00 - 0x1FFF FFFF	1.5 KB	Reserved
SRAM	0x2000 0000 - 0x2000 3FFF	16 KB	SRAM-2
	0x2000 4000 - 0x2001 FFFF	112 KB	SRAM-1
	0x2002 0000 - 0x3FFF FFFF	~511 MB	Reserved
AHB3	0x6000 0000 - 0x63FF FFFF	64 MB	FSMC Bank
	0x6400 0000 - 0x67FF FFFF	64 MB	FSMC Bank
	0x6800 0000 - 0x6BFF FFFF	64 MB	FSMC Bank
	0x6C00 0000 - 0x6FFF FFFF	64 MB	FSMC Bank

总线	编址范围	大小	外设
	0x7000 0000 - 0x9FFF FFFF	768 MB	Reserved
	0xA000 0000 - 0xA000 0FFF	4 KB	FSMC Register
	0xA000 1000 - 0xA000 13FF	1 KB	Reserved
AHB2	0x5000 0000 - 0x5003 FFFF	256 KB	USB OTG FS
	0x5006 0000 - 0x5006 03FF	1 KB	Reserved
	0x5006 0800 - 0x5006 0BFF	1 KB	Reserved
AHB1	0x4002 0000 - 0x4002 03FF	1 KB	DMA1
	0x4002 0400 - 0x4002 07FF	1 KB	DMA2
	0x4002 0800 - 0x4002 0FFF	2 KB	Reserved
	0x4002 1000 - 0x4002 13FF	1 KB	RCC
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	Flash memory interface
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved
	0x4002 3000 - 0x4002 33FF	1 KB	CRC
	0x4002 3400 - 0x4002 7FFF	19 KB	Reserved
	0x4002 8000 - 0x4002 9FFF	8 KB	Reserved
	0x4002 A000 - 0x4003 FFFF	88 KB	Reserved
	0x4004 0000 - 0x4004 03FF	1 KB	Port A
	0x4004 0400 - 0x4004 07FF	1 KB	Port B
	0x4004 0800 - 0x4004 0BFF	1 KB	Port C
	0x4004 0C00 - 0x4004 0FFF	1 KB	Port D
	0x4004 1000 - 0x4004 13FF	1 KB	Port E
	0x4004 1400 - 0x4004 17FF	1 KB	Port F
	0x4004 1800 - 0x4004 1BFF	1 KB	Port G
	0x4004 1C00 - 0x4004 1FFF	1 KB	Port H
	0x4004 1C00 - 0x47FF FFFF	~127 MB	Reserved
APB2	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI
	0x4001 0800 - 0x4001 23FF	7 KB	Reserved
	0x4001 2400 - 0x4001 27FF	1 KB	ADC1
	0x4001 2800 - 0x4001 2BFF	1 KB	ADC2
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1
	0x4001 3400 - 0x4001 37FF	1 KB	TIM8
	0x4001 3800 - 0x4001 3BFF	1 KB	UART1
	0x4001 3C00 - 0x4001 3FFF	1 KB	UART6
	0x4001 4000 - 0x4001 43FF	1 KB	COMP
	0x4001 4400 - 0x4001 4BFF	2 KB	Reserved

总线	编址范围	大小	外设
	0x4001 4C00 - 0x4001 4FFF	1 KB	ADC3
	0x4001 5000 - 0x4001 5FFF	4 KB	Reserved
	0x4001 6000 - 0x4001 63FF	1 KB	Cache Register
	0x4001 6400 - 0x4001 7FFF	7 KB	Reserved
	0x4001 8000 - 0x4001 83FF	1 KB	SDIO
	0x4001 8400 - 0x4001 FFFF	31 KB	Reserved
APB1	0x4000 0000 - 0x4000 03FF	1 KB	TIM2
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0800 - 0x4000 0BFF	1 KB	TIM4
	0x4000 0C00 - 0x4000 0FFF	1 KB	TIM5
	0x4000 1000 - 0x4000 13FF	1 KB	TIM6
	0x4000 1400 - 0x4000 17FF	1 KB	TIM7
	0x4000 1800 - 0x4000 27FF	4 KB	Reserved
	0x4000 2800 - 0x4000 2BFF	1 KB	RTC_BKP
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2
	0x4000 3C00 - 0x4000 3FFF	1 KB	SPI3
	0x4000 4000 - 0x4000 43FF	1 KB	Reserved
	0x4000 4400 - 0x4000 47FF	1 KB	UART2
	0x4000 4800 - 0x4000 4BFF	1 KB	UART3
	0x4000 4C00 - 0x4000 4FFF	1 KB	UART4
	0x4000 5000 - 0x4000 53FF	1 KB	UART5
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1
	0x4000 5800 - 0x4000 5BFF	1 KB	I2C2
	0x4000 5C00 - 0x4000 63FF	2 KB	Reserved
	0x4000 6400 - 0x4000 67FF	1 KB	CAN
	0x4000 6800 - 0x4000 6BFF	1 KB	Reserved
	0x4000 6C00 - 0x4000 6FFF	1 KB	CRS
	0x4000 7000 - 0x4000 73FF	1 KB	PWR
	0x4000 7400 - 0x4000 77FF	1 KB	DAC
	0x4000 7800 - 0x4000 7BFF	1 KB	UART7
	0x4000 7C00 - 0x4000 7FFF	1 KB	UART8

2.2.4 内置 Flash

最大 512KB 的内置 Flash，用于存放程序和数据。

2.2.5 内置 Cache

集成 1KB Cache 并提供开关选项，提高取指效率并节省功耗。

2.2.6 内置 SRAM

最大 128KB 的内置 SRAM。

2.2.7 嵌套的向量式中断控制器 NVIC

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex®-M3 的中断线）和 8 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销 该模块以最小的中断延迟提供灵活的中断管理功能

2.2.8 外部中断/事件控制器 EXTI

外部中断/事件控制器包含多个边沿检测器，用于捕获来自 IO 引脚的电平变化，进而产生中断/事件请求。A 组到 G 组 I/O 口可以映像到 16 个外部中断（H 组 I/O 口不支持外部中断）。每个中断线均可独立开关，或启用各自的触发模式（上升沿、下降沿或双边沿）。一个挂起状态寄存器将会维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 AHB 总线时钟周期的电平变化。

2.2.9 时钟和启动

芯片启动后选择系统时钟。在复位后，首先使用内部的 8 MHz 振荡器作为默认的系统时钟，随后可选择使用外部的 8 ~ 24 MHz 时钟源。当监测到外部时钟无效时，系统会自动将外部时钟源屏蔽，关闭 PLL，转而使用内部的振荡器。此时，如果使能了相关的中断监测开关，也会产生对应的中断请求。

时钟系统中，使用多个预分频器产生 AHB 总线、高速 APB（APB1 和 APB2）总线的时钟。其中 AHB 和高速 APB 总线的时钟最高可达 120 MHz。时钟系统的时钟树如图 2-3 所示。

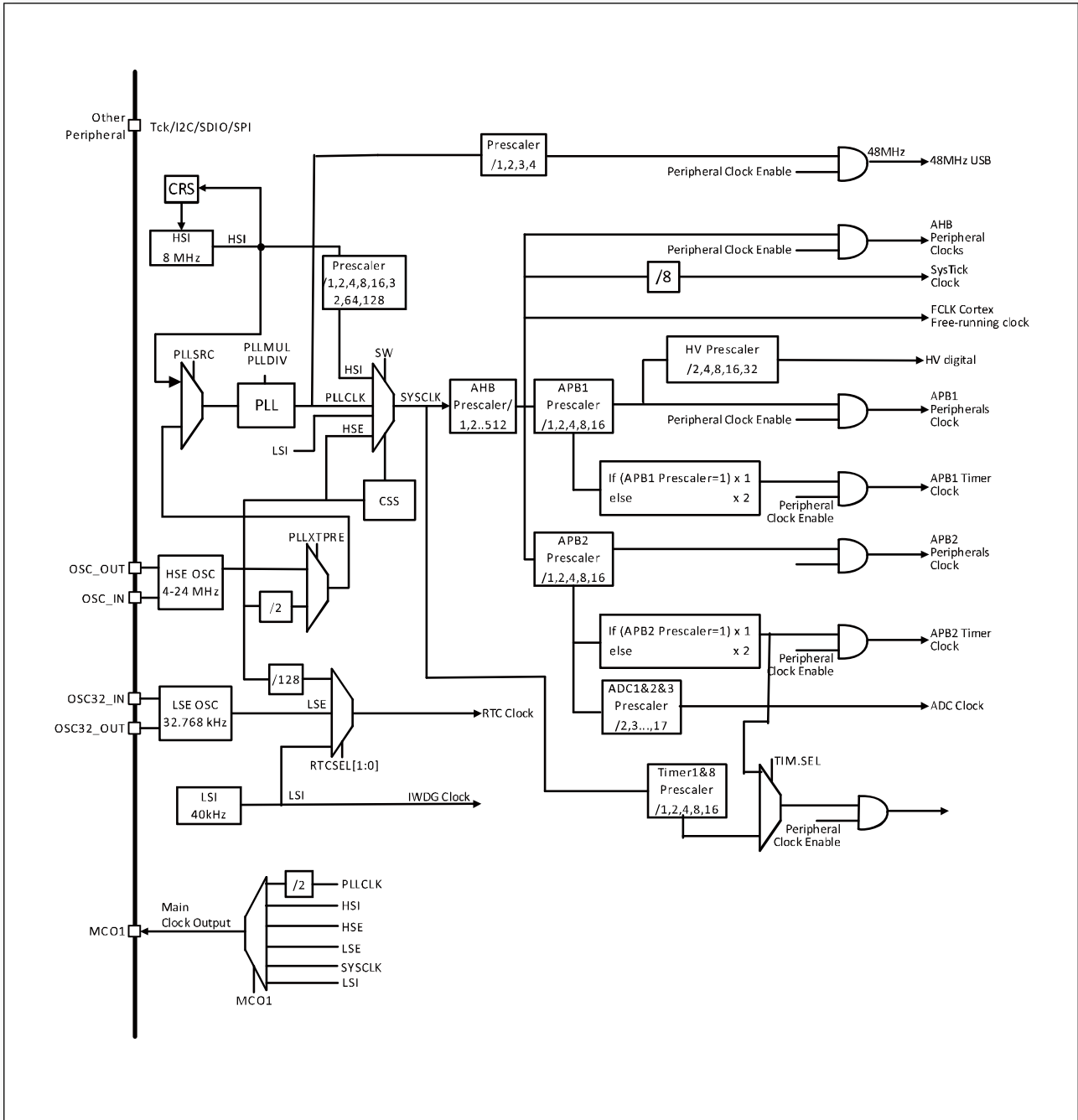


图 2-3 时钟树

2.2.10 启动模式

在启动时，通过 BOOT0/1 引脚可以选择三种启动模式中的一种：

- 从片内 Flash 启动
- 从系统存储区启动
- 从片内 SRAM 启动

Bootloader 程序位于系统存储区。从系统存储区启动 Bootloader 之后，可通过 UART1 对片内 FLASH 重新编程。

注：QFN40 封装产品没有 BOOT1 引脚，仅支持从片内 Flash 启动。

2.2.11 供电方案

- $V_{DD} = 2.0V \sim 5.5V$ ：通过 V_{DD} 引脚为 I/O 引脚和内部调节器供电。
- $V_{DDA} = 2.0V \sim 5.5V$ ：为 ADC、复位模块、振荡器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 可以分别连接到 V_{DD} 和 V_{SS} ，也可以单独供电（电压需与 V_{DD} 和 V_{SS} 一致）。
- $V_{BAT} = 1.8V \sim 5.5V$ ：当关闭 V_{DD} 时，（通过内部电源切换器）为 RTC、外部 32KHz 振荡器和备份寄存器供电。当应用系统中没有备份电池时， V_{BAT} 引脚可以连接到 V_{DD} 或者浮空。

2.2.12 供电监控器

本产品内部集成了上电复位（POR）/ 掉电复位（PDR）电路，该电路始终处于工作状态，保证系统供电超过 2.0V 时工作；当 V_{DD} 低于设定的阈值（ $V_{POR/PDR}$ ）时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器（PVD），它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.13 电压调压器

片内的电压调压器将外部电压转成内部逻辑电路工作的电压。电压调压器在芯片复位后时钟处于工作状态。

2.2.14 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

表 2-3 低功耗模式一览

模式	进入	唤醒	对 1.5V 区域时钟的影响	对 VDD 区域时钟的影响	电压调节器
低功耗运行 (Low Power Run)	PWR_CR1.LPR=1	清除PWR_CR1.LPR	PLL 和 HSE 的振荡器关闭。HSI、LSI 和 LSE 保持工作。芯片工作时钟频率不高于2MHz	低功耗模式	
睡眠 (SLEEP NOW 或 SLEEP ON EXIT)	WFI (Wait for Interrupt)	任一中断	CPU 时钟关, 对其他时钟和ADC 时钟无影响	无	开
	WFE (Wait for Event)	唤醒事件			
低功耗睡眠 (Low Power Sleep)	PWR_CR1.LPR=1 WFI 或者 WFE	任意中断或者外、部事件	PLL 和 HSE 的振荡器关闭。HSI、LSI 和 LSE 保持工作。芯片工作时钟频率不高于2MHz		低功耗模式
停机 (Stop)	PWR_CR1.PDDS=0 PWR_CR1.LPDS=0 SLEEPDEEP 位 WFI 或者 WFE	任意中断或者外部事件	所有使用 1.5V 的区域时钟都已关闭		低功耗模式
深度停机 (Deep Stop)	PWR_CR1.PDDS=0 PWR_CR1.LPDS=1 SLEEPDEEP 位 WFI 或者 WFE	任意中断或者外部事件	所有使用 1.5V 的区域时钟都已关闭		深度低功耗模式
待机 (Standby)	PWR_CR1.PDDS=1 SLEEPDEEP 位 WFI 或者 WFE	WKUP 引脚的上升 RTC 闹钟事件 NRST 引脚上的外部复位 IWDG 复位	所有使用 1.5V 的区域时钟都已关闭		关

低功耗运行模式

低功耗运行模式通过低功耗稳压器提供的 V_{CORE} 实现，以最大程度地减少调节器的工作电流。该代码可以从 SRAM 或 Flash 执行，并且 CPU 频率限制为 2MHz。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

低功耗睡眠模式

从低功耗运行模式进入该模式。只有 CPU 时钟停止。当事件或中断触发唤醒时，系统将恢复为低功耗运行模式。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到较低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

深度停机模式

与停机模式状态一致，但能够达到更低的电能消耗。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。PLL、HSI 和 HSE 振荡器也都关闭, 可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器唤醒并复位。SRAM 和寄存器的内容将被丢失。只有备份的寄存器和待机电路维持供电。

2.2.15 DMA

灵活的 12 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; DMA 控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设, 如 UART、I2C、SPI、ADC、SDIO 和通用/基本/高级控制定时器 TIMx。

2.2.16 定时器和看门狗

产品包含 2 个高级定时器、4 个通用定时器、2 个基本定时器。以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。下表比较了高级控制定时器、通用定时器和基本定时器的功能:

表 2-4 定时器功能比较

定时器类型	名称	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1 /TIM8	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	有
通用	TIM2 /TIM5	32 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	无
	TIM3 /TIM4	16 位	递增、递减、递增/递减	1 ~ 65536 之间的任意整数	有	4	无
基本	TIM6 /TIM7	16 位	递增	1 ~ 65536 之间的任意整数	有	无	无

高级控制定时器 (TIM1 / TIM8)

高级控制定时器是由 16 位计数器、4 个捕获/比较通道以及三相互补 PWM 发生器组成, 它具有带死区插入的互补 PWM 输出, 还可以被当成完整的通用定时器。四个独立的通道可以用于:

- 输入捕获
- 输出比较
- 产生 PWM (边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时, 它与 TIM2 定时器具有相同的功能。配置为 16 位 PWM 发生

器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器 (TIMx)

产品中内置了多达 4 个可同步运行的通用定时器 (TIM2、TIM3、TIM4 和 TIM5)。定时器有一个 16/32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_32 位

定时器有一个 32 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器_16 位

每个定时器有一个 16 位的自动加载递加/递减计数器、一个 16 位的预分频器和 4 个独立的通道，每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作，提供同步或事件链接功能。在调试模式下，计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号，也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出或作为简单时间基准。

基本定时器 (TIM6 / TIM7)

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。在调试模式下，计数器可以被冻结。

独立看门狗 (IWDG)

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟。因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗 (WWDG)

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器 (Systick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.17 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。RTC 模块和时钟配置系统 (RCC_BDCR 寄存器) 处于后备区域，即在系统复位或待机模式唤醒后，RTC 的设置和时间维持不变。

2.2.18 备份寄存器

备份寄存器是 20 个 16 位的寄存器，用来存储用户应用程序数据。他们处在备份域里，当 VDD 电源被切断，他们仍然由 VBAT 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

2.2.19 GPIO

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.20 通用异步收发器 UART

UART 接口支持 LIN 主从功能。兼容 ISO7816 智能卡模式。UART 接口支持输出数据长度可为 5 位、6 位、7 位、8 位、9 位可配置。

所有 UART 接口都可以使用 DMA 操作。

2.2.21 I2C 总线

I2C 总线接口能够工作于多主模式或从模式，支持标准和快速模式。

I2C 接口支持 7 位或 10 位寻址。

2.2.22 SPI 接口

SPI 接口在从或主模式下，可配置成每帧 1 ~ 32 位。主模式最大速率 24 Mbps，从模式最大速率 12 Mbps。

所有的 SPI 接口都可以使用 DMA 操作。

2.2.23 I2S 接口

与 SPI 共用三个管脚，支持半双工通信（仅发射机或接收机），支持主操作或从操作，发射模式下的下溢标志（仅从机），接收模式下的上溢标志（主和从机）和接收/发射模式下的帧错误标志（仅从机）。

8 位可编程线性预分频器，以达到精确的音频采样频率（8KHz 到 192KHz）。

数据格式可以是 16 位、24 位或 32 位，数据包帧固定为 16 位（16 位数据帧）或 32 位（16 位、24 位、32 位数据帧）。

2.2.24 CAN

CAN 接口兼容规范 2.0A 和 2.0B（主动），位速率高达 1 Mbps。它可以接收和发送 11 位标识符的标准帧，也可以接收和发送 29 位标识符的扩展帧。

2.2.25 USB FS OTG

产品中内嵌一个兼容全速 USB OTG 的设备控制器，遵循全速 USB 设备（12 Mbps）标准，端点可由软件配置。允许既可以作为主机也可以作为从设备。

注：当 USB 功能使能后，USB_VBUS、USB_ID、USBDM 和 USBDP 所在引脚只能用作 USB 功能使用，引脚分布参考表 3-1。

2.2.26 安全数字输入输出接口 SDIO

产品中内嵌一个兼容 SD/SDIO/MMC 的设备控制器，用于控制外部 SD/SDIO/MMC 卡，作为主机与连接的 SD/SDIO/MMC 卡进行通信。

- 兼容 SD 存储卡 1.0/1.1（高速）/2.0（SDHC）
- 兼容 SDIO 存储卡 1.1.0
- 兼容 MMC 系统 2.0 ~ 4.2

2.2.27 外扩存储器接口 FSMC

FSMC 支持多种类型的外扩存储器，包括 SRAM，PSRAM 和 NOR Flash。FSMC 与大多数图形 LCD 控制器无缝对接。支持 8080/6800 模式，并且可以灵活适应特定的 LCD 接口。

2.2.28 ADC

产品内嵌 3 个 12 位的模拟/数字转换器（ADC），可用的 ADC 外部通道多达 21 个，可以实现单次、单周期和连续扫描转换。在扫描模式下，自动进行已选定的一组模拟输入上的采集值转换。ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器（TIMx）和高级控制定时器产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 ADC 转换与时钟同步。

温度传感器

温度传感器产生一个随温度线性变化的电压。温度传感器在内部被连接到 ADC 的输入通

道上，用于将传感器的输出转换到数字数值。

2.2.29 DAC

数字 / 模拟转换模块 (DAC) 是 12 位数字输入，电压输出的数字 / 模拟转换器。DAC 可以配置成 8 位或者 12 位模式，也可以与 DMA 控制器配合使用。DAC 工作在 12 位模式时，数据可以设置成左对齐，也可以设置成右对齐。DAC 有 2 个输出通道，每个通道都有单独的转换器，可以工作在双 DAC 模式。

2.2.30 模拟比较器 COMP

产品内嵌 2 个比较器，可独立使用（适用所有终端上的 I/O 口），也可与定时器结合使用。COMP 可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号
- 定时器输出的 PWM 相结合，组成逐周期的电流控制回路
- 轨对轨比较器
- 每个比较器有可选门限
 - 可复用的 I/O 引脚
 - 内部比较电压 CRV 可选择 VDDA 或者内部基准电压的分压电压值
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
 - 捕获事件
 - OCref_clr 事件（逐周期电流控制）
- 为实现快速 PWM 关断的刹车事件

2.2.31 CRC

CRC（循环冗余校验）计算单元使用一个固定的多项式发生器，从一个 32 位的数据字产生一个 CRC 码。在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.32 串行调试口 (SWD) 和 JTAG 接口

内嵌 ARM 标准 JTAG 接口和两线串行调试接口 (SW-DP)。

3 引脚定义及复用功能

3.1 引脚分布图

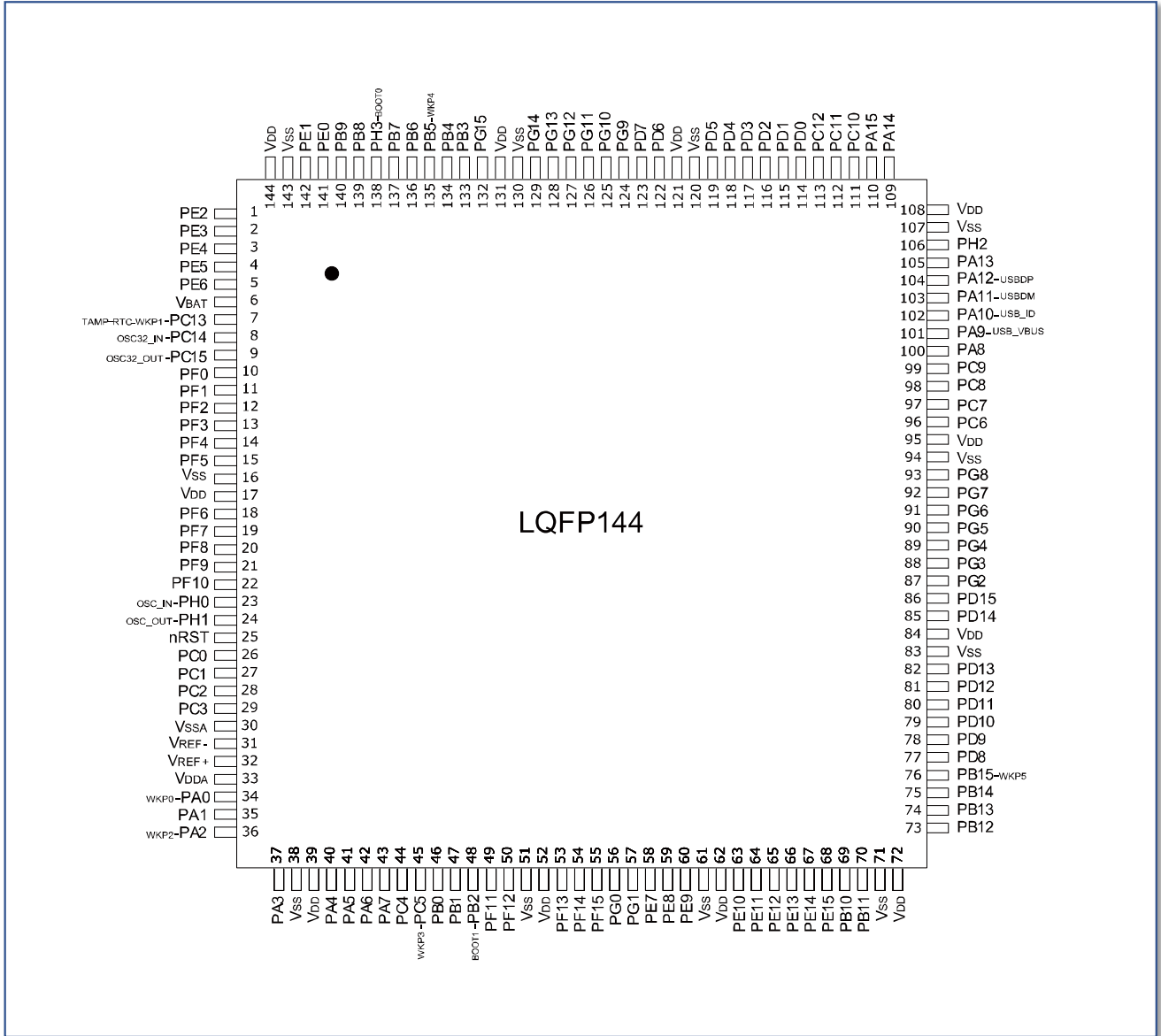


图 3-1 LQFP144 引脚分布

引脚定义及复用功能

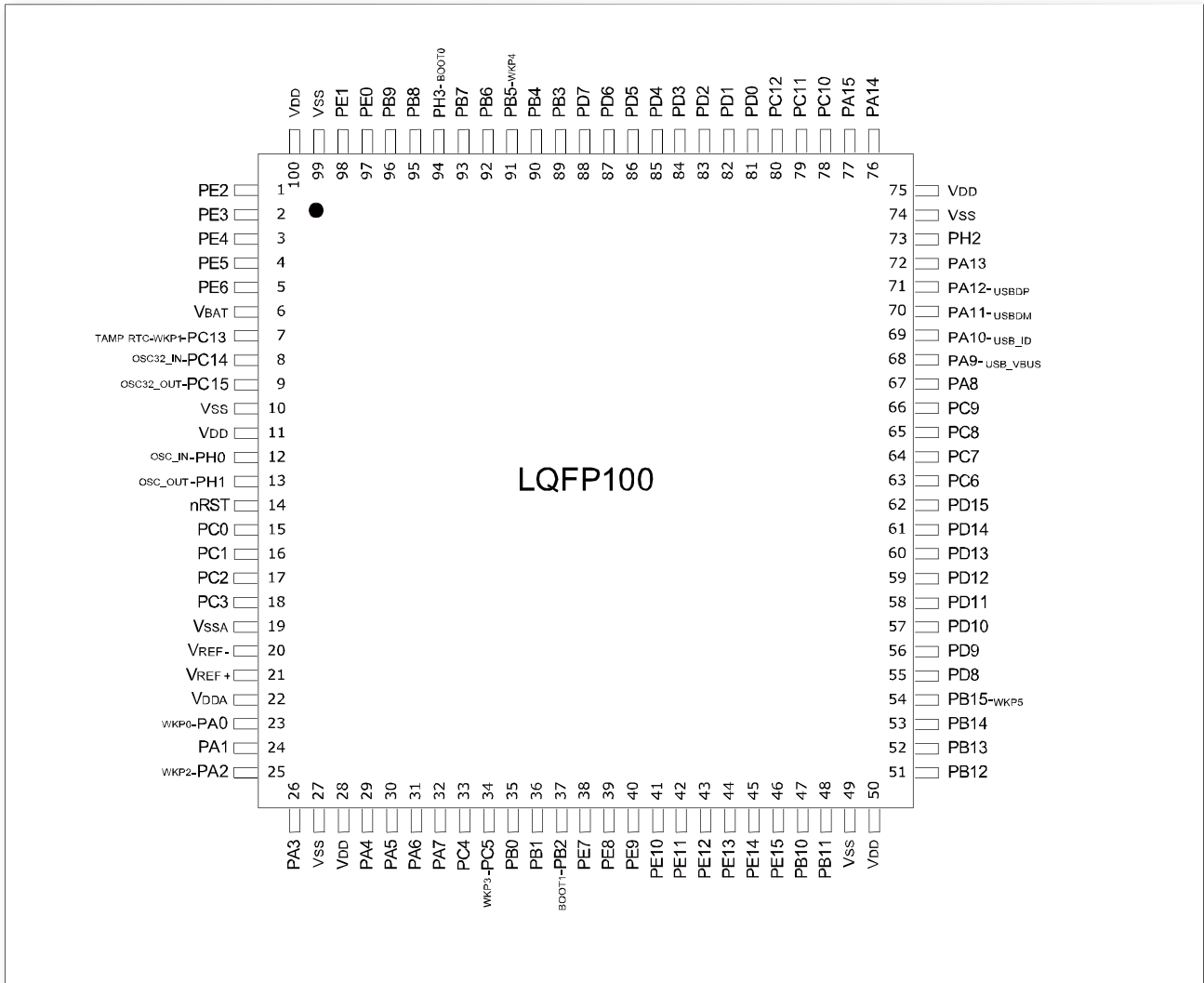


图 3-2 LQFP100 引脚分布

引脚定义及复用功能

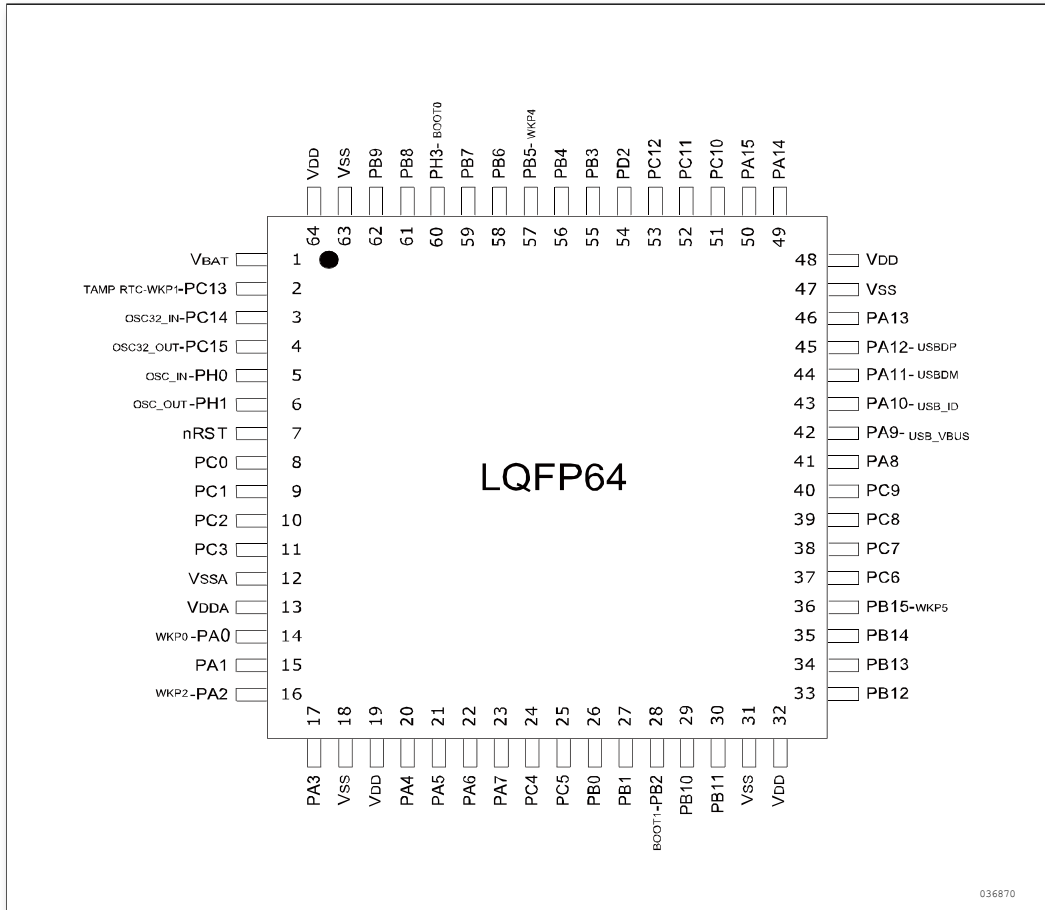


图 3-3 LQFP64 引脚分布

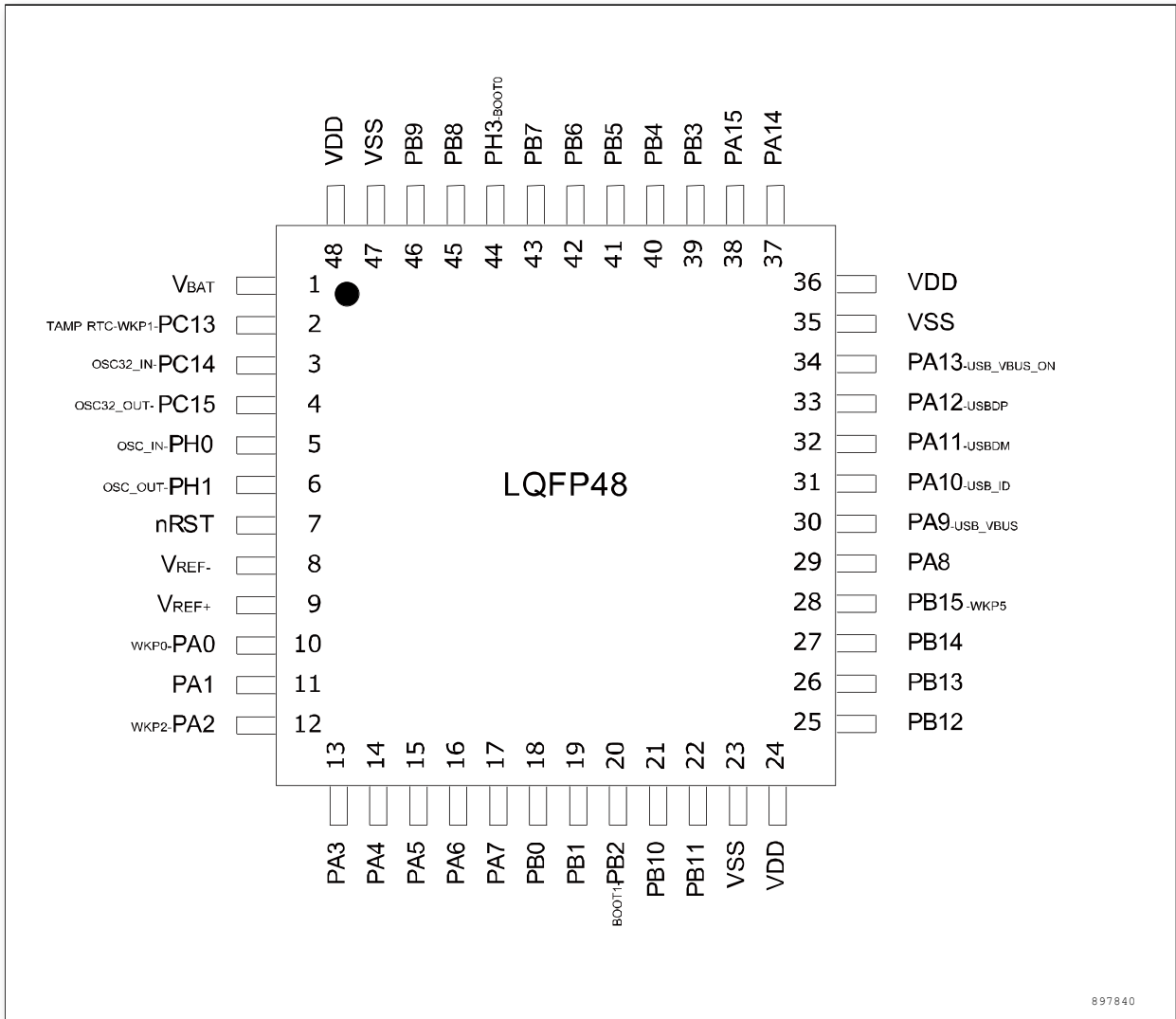


图 3-4 LQFP48 引脚分布

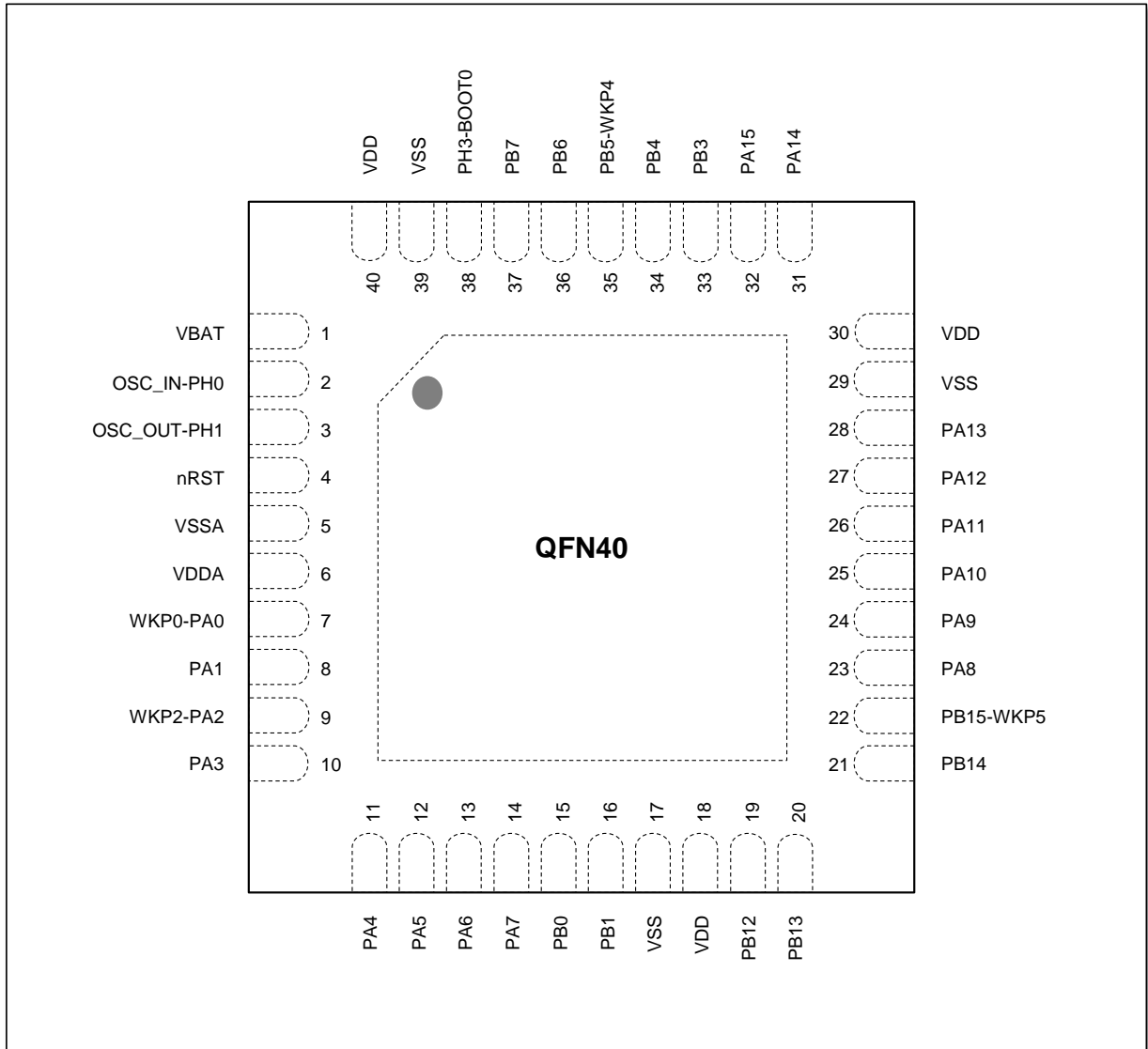


图 3-5 QFN40 引脚分布

3.2 引脚定义表

表 3-1 引脚定义

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电 平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
1	1	-	-	-	PE2	I/O	TC	PE2	SPI2_SCK I2S2_CK FMC_A23	-
2	2	-	-	-	PE3	I/O	TC	PE3	SPI2_NSS I2S2_WS FMC_A19	-
3	3	-	-	-	PE4	I/O	TC	PE4	SPI2_NSS I2S2_WS FMC_A20	-
4	4	-	-	-	PE5	I/O	TC	PE5	I2C2_SCL SPI2_MISO I2S2_MCK FMC_A21	-
5	5	-	-	-	PE6	I/O	TC	PE6	I2C2_SDA SPI2_MOSI I2S2_SD FMC_A22	-
6	6	1	1	1	VBAT	S	-	VBAT	-	-
7	7	2	2	-	PC13 WKP1	I/O	TC	PC13	-	TAMP-RTC
8	8	3	3	-	PC14	I/O	TC	PC14	-	OSC32_IN
9	9	4	4	-	PC15	I/O	TC	PC15	-	OSC32_OUT
10	-	-	-	-	PF0	I/O	TC	PF0	FMC_A0	-
11	-	-	-	-	PF1	I/O	TC	PF1	FMC_A1	-
12	-	-	-	-	PF2	I/O	TC	PF2	FMC_A2	-
13	-	-	-	-	PF3	I/O	TC	PF3	FMC_A3	-
14	-	-	-	-	PF4	I/O	TC	PF4	FMC_A4	-
15	-	-	-	-	PF5	I/O	TC	PF5	FMC_A5	-
16	10	-	-	-	VSS	S	-	VSS		-
17	11	-	-	-	VDD	S	-	VDD		-
18	-	-	-	-	PF6	I/O	TC	PF6		ADC3_IN4
19	-	-	-	-	PF7	I/O	TC	PF7		ADC3_IN5
20	-	-	-	-	PF8	I/O	TC	PF8		ADC3_IN6
21	-	-	-	-	PF9	I/O	TC	PF9		ADC3_IN7
22	-	-	-	-	PF10	I/O	TC	PF10		ADC3_IN8
23	12	5	5	2	PH0	I/O	TC	PH0		OSC_IN
24	13	6	6	3	PH1	I/O	TC	PH1		OSC_OUT
25	14	7	7	4	nRST	I/O	-	nRST		-
26	15	8	-	-	PC0	I/O	TC	PC0	I2C1_SCL	ADC123_IN10
27	16	9	-	-	PC1	I/O	TC	PC1	I2C1_SDA	ADC123_IN11
28	17	10	-	-	PC2	I/O	TC	PC2	I2C2_SCL SPI2_MISO I2S2_MCK	ADC123_IN12

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电 平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
29	18	11	-	-	PC3	I/O	TC	PC3	I2C2_SDA SPI2_MOSI I2S2_SD	ADC123_IN13
30	19	12	8	5	VSSA	S	-	VSSA		-
31	20	-	-	5	VREF-	S	-	VREF-		-
32	21	-	-	6	VREF+	S	-	VREF+		-
33	22	13	9	6	VDDA	S	-	VDDA		-
34	23	14	10	7	PA0 WKP0	I/O	TC	PA0	TIM2_CH1 TIM2_ETR TIM5_CH1 TIM8_ETR UART2_CTS UART4_TX	ADC123_IN0 COMP12_INP 0 COMP1_INM2
35	24	15	11	8	PA1	I/O	TC	PA1	TIM2_CH2 TIM5_CH2 UART2_RTS UART4_RX	ADC123_IN1 COMP12_INP 1
36	25	16	12	9	PA2 WKP2	I/O	TC	PA2	TIM2_CH3 TIM5_CH3 UART2_TX CPT2_OUT	ADC123_IN2 COMP12_INP 2 COMP2_INM2
37	26	17	13	10	PA3	I/O	TC	PA3	TIM2_CH4 TIM5_CH4 UART2_RX	ADC123_IN3 COMP12_INP 3
38	27	18	-	-	VSS	S	-	VSS		-
39	28	19	-	-	VDD	S	-	VDD		-
40	29	20	14	11	PA4	I/O	TC	PA4	SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS UART5_TX	ADC12_IN4 DAC1_OUT COMP12_INM 0
41	30	21	15	12	PA5	I/O	TC	PA5	TIM2_CH1 TIM2_ETR TIM8_CH1N SPI1_SCK I2S1_CK UART5_RX	ADC12_IN5 DAC2_OUT COMP12_INM 1
42	31	22	16	13	PA6	I/O	TC	PA6	TIM1_BKIN TIM3_CH1 TIM8_BKIN SPI1_MISO I2S1_MCK CPT1_OUT	ADC12_IN6
43	32	23	17	14	PA7	I/O	TC	PA7	TIM1_CH1N TIM3_CH2 TIM8_CH1N SPI1_MOSI I2S1_SD CRS_SYNC	ADC12_IN7
44	33	24	-	-	PC4	I/O	TC	PC4		ADC23_IN14
45	34	25	-	-	PC5 WKP3	I/O	TC	PC5		ADC23_IN15
46	35	26	18	15	PB0	I/O	TC	PB0	TIM1_CH2N TIM3_CH3 TIM8_CH2N UART6_TX	ADC12_IN8

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电 平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
47	36	27	19	16	PB1	I/O	TC	PB1	TIM1_CH3N TIM3_CH4 TIM8_CH3N UART6_RX	ADC123_IN9
48	37	28	20	-	PB2	I/O	TC	PB2		BOOT1
49	-	-	-	-	PF11	I/O	TC	PF11		-
50	-	-	-	-	PF12	I/O	TC	PF12	FMC_A6	-
51	-	-	-	-	VSS	S	-	VSS		-
52	-	-	-	-	VDD	S	-	VDD		-
53	-	-	-	-	PF13	I/O	TC	PF13	FMC_A7	-
54	-	-	-	-	PF14	I/O	TC	PF14	FMC_A8	-
55	-	-	-	-	PF15	I/O	TC	PF15	FMC_A9	-
56	-	-	-	-	PG0	I/O	TC	PG0	FMC_A10	-
57	-	-	-	-	PG1	I/O	TC	PG1	FMC_A11	-
58	38	-	-	-	PE7	I/O	TC	PE7	TIM1_ETR UART7_RX FMC_DA4	-
59	39	-	-	-	PE8	I/O	TC	PE8	TIM1_CH1N UART7_TX FMC_DA5	-
60	40	-	-	-	PE9	I/O	TC	PE9	TIM1_CH1 FMC_DA6	-
61	-	-	-	17	VSS	S	-	VSS		-
62	-	-	-	-	VDD	S	-	VDD		-
63	41	-	-	-	PE10	I/O	TC	PE10	TIM1_CH2N FMC_DA7	-
64	42	-	-	-	PE11	I/O	TC	PE11	TIM1_CH2 SPI1_NSS I2S1_WS FMC_DA8	-
65	43	-	-	-	PE12	I/O	TC	PE12	TIM1_CH3N SPI1_SCK I2S1_CK FMC_DA9	-
66	44	-	-	-	PE13	I/O	TC	PE13	TIM1_CH3 SPI1_MISO I2S1_MCK FMC_DA10	-
67	45	-	-	-	PE14	I/O	TC	PE14	TIM1_CH4 SPI1_MOSI I2S1_SD FMC_DA11	-
68	46	-	-	-	PE15	I/O	TC	PE15	TIM1_BKIN FMC_DA12	-
69	47	29	21	-	PB10	I/O	TC	PB10	TIM2_CH3 I2C2_SCL SPI2_SCK I2S2_CK UART3_TX	-
70	48	30	22	-	PB11	I/O	TC	PB11	TIM2_CH4 I2C2_SDA UART3_RX	-
71	49	31	23	-	VSS	S	-	VSS		-

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
72	50	32	24	18	VDD	S	-	VDD		-
73	51	33	25	19	PB12	I/O	TC	PB12	TIM1_BKIN SPI2_NSS I2S2_WS	-
74	52	34	26	20	PB13	I/O	TC	PB13	TIM1_CH1N SPI2_SCK I2S2_CK UART3_CTS	-
75	53	35	27	21	PB14	I/O	TC	PB14	TIM1_CH2N TIM8_CH2N SPI2_MISO I2S2_MCK UART3_RTS	-
76	54	36	28	22	PB15 WKP5	I/O	TC	PB15	TIM1_CH3N TIM8_CH3N SPI2_MOSI I2S2_SD	-
77	55	-	-	-	PD8	I/O	TC	PD8	UART3_TX FMC_DA13	-
78	56	-	-	-	PD9	I/O	TC	PD9	UART3_RX FMC_DA14	-
79	57	-	-	-	PD10	I/O	TC	PD10	I2C1_SCL FMC_DA15	-
80	58	-	-	-	PD11	I/O	TC	PD11	I2C1_SDA UART3_CTS FMC_A16	-
81	59	-	-	-	PD12	I/O	TC	PD12	TIM4_CH1 SPI3_SCK I2S3_CK UART3_RTS FMC_A17	-
82	60	-	-	-	PD13	I/O	TC	PD13	TIM4_CH2 SPI3_MISO I2S3_MCK FMC_A18	-
83	-	-	-	-	VSS	S	-	VSS		-
84	-	-	-	-	VDD	S	-	VDD		-
85	61	-	-	-	PD14	I/O	TC	PD14	TIM4_CH3 SPI3_MOSI FMC_DA0	-
86	62	-	-	-	PD15	I/O	TC	PD15	TIM4_CH4 SPI3_NSS I2S3_WS FMC_DA1	-
87	-	-	-	-	PG2	I/O	TC	PG2	FMC_A12	-
88	-	-	-	-	PG3	I/O	TC	PG3	FMC_A13	-
89	-	-	-	-	PG4	I/O	TC	PG4	FMC_A14	-
90	-	-	-	-	PG5	I/O	TC	PG5	FMC_A15	-
91	-	-	-	-	PG6	I/O	TC	PG6		-
92	-	-	-	-	PG7	I/O	TC	PG7		-
93	-	-	-	-	PG8	I/O	TC	PG8		-
94	-	-	-	-	VSS	S	-	VSS		-
95	-	-	-	-	VDD	S	-	VDD		-

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电 平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
96	63	37	-	-	PC6	I/O	TC	PC6	TIM3_CH1 TIM8_CH1 I2C1_SCL SPI2_MISO I2S2_MCK UART6_TX	-
97	64	38	-	-	PC7	I/O	TC	PC7	TIM3_CH2 TIM8_CH2 I2C1_SDA SPI3_MISO I2S3_MCK UART6_RX	-
98	65	39	-	-	PC8	I/O	TC	PC8	TIM3_CH3 TIM8_CH3 I2C2_SCL SDIO_D0	-
99	66	40	-	-	PC9	I/O	TC	PC9	MCO2 TIM3_CH4 TIM8_CH4 I2C2_SDA SDIO_D1	-
100	67	41	29	23	PA8	I/O	TC	PA8	MCO1 TIM1_CH1	-
101	68	42	30	24	PA9	I/O	TC	PA9	TIM1_CH2 I2C1_SCL UART1_TX	USB_VBUS ⁽³⁾
102	69	43	31	25	PA10	I/O	TC	PA10	TIM1_CH3 I2C1_SDA UART1_RX	USB_ID ⁽³⁾
103	70	44	32	26	PA11	I/O	TC	PA11	TIM1_CH4 UART1_CTS CPT1_OUT CAN1_RX	USBDM ⁽³⁾
104	71	45	33	27	PA12	I/O	TC	PA12	TIM1_ETR UART1_RTS CPT2_OUT CAN1_TX	USBDM ⁽³⁾
105	72	46	34	28	PA13	I/O	TC	PA13	JTMS_SWDIO USB_VBUS_ON	-
106	73	-	-	-	PH2	I/O	TC	PH2		-
107	74	47	35	29	VSS	S	-	VSS		-
108	75	48	36	30	VDD	S	-	VDD		-
109	76	49	37	31	PA14	I/O	TC	PA14	JTCK_SWCLK I2C1_SDA	-
110	77	50	38	32	PA15	I/O	TC	PA15	JTDI TIM2_CH1 TIM2_ETR I2C1_SCL SPI1_NSS I2S1_WS SPI3_NSS I2S3_WS	-
111	78	51	-	-	PC10	I/O	TC	PC10	SPI3_SCK I2S3_CK UART3_TX UART4_TX SDIO_D2	-
112	79	52	-	-	PC11	I/O	TC	PC11	SPI3_MISO I2S3_MCK UART3_RX UART4_RX SDIO_D3	-

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电 平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
113	80	53	-	-	PC12	I/O	TC	PC12	SPI3_MOSI UART5_TX SDIO_CK	-
114	81	-	-	-	PD0	I/O	TC	PD0	UART8_TX CAN1_RX FMC_DA2	-
115	82	-	-	-	PD1	I/O	TC	PD1	UART8_RX CAN1_TX FMC_DA3	-
116	83	54	-	-	PD2	I/O	TC	PD2	TIM3_ETR UART5_RX SDIO_CMD	-
117	84	-	-	-	PD3	I/O	TC	PD3	SPI2_SCK I2S2_CK UART2_CTS FMC_CLK	-
118	85	-	-	-	PD4	I/O	TC	PD4	SPI3_SCK I2S3_CK UART2_RTS FMC_NOE	-
119	86	-	-	-	PD5	I/O	TC	PD5	SPI3_MISO I2S3_MCK UART2_TX FMC_NWE	-
120	-	-	-	-	VSS	S	-	VSS	-	-
121	-	-	-	-	VDD	S	-	VDD	-	-
122	87	-	-	-	PD6	I/O	TC	PD6	SPI3_MOSI I2S3_SD UART2_RX FMC_NWAIT	-
123	88	-	-	-	PD7	I/O	TC	PD7	SPI3_NSS I2S3_WS FMC_NE1	-
124	-	-	-	-	PG9	I/O	TC	PG9	FMC_NE2	-
125	-	-	-	-	PG10	I/O	TC	PG10	FMC_NE3	-
126	-	-	-	-	PG11	I/O	TC	PG11	-	-
127	-	-	-	-	PG12	I/O	TC	PG12	FMC_NE4	-
128	-	-	-	-	PG13	I/O	TC	PG13	FMC_A24	-
129	-	-	-	-	PG14	I/O	TC	PG14	FMC_A25	-
130	-	-	-	-	VSS	S	-	VSS	-	-
131	-	-	-	-	VDD	S	-	VDD	-	-
132	-	-	-	-	PG15	I/O	TC	PG15	-	-
133	89	55	39	33	PB3	I/O	TC	PB3	JTDO TIM2_CH2 SPI1_SCK I2S1_CK SPI3_SCK I2S3_CK	-
134	90	56	40	34	PB4	I/O	TC	PB4	NJTRST TIM3_CH1 SPI1_MISO I2S1_MCK SPI3_MISO I2S3_MCK	-

引脚定义及复用功能

引脚编码					引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
LQFP1 44	LQFP1 00	LQFP6 4	LQFP4 8	QFN40						
135	91	57	41	35	PB5 WKP4	I/O	TC	PB5	TIM3_CH2 SPI1_MOSI I2S1_SD SPI3_MOSI I2S3_SD	-
136	92	58	42	36	PB6	I/O	TC	PB6	TIM4_CH1 I2C1_SCL UART1_TX UART7_TX	-
137	93	59	43	37	PB7	I/O	TC	PB7	TIM4_CH2 I2C1_SDA UART1_RX UART7_RX FMC_NADV	-
138	94	60	44	38	PH3	I/O	TC	PH3	-	BOOT0
139	95	61	45	-	PB8	I/O	TC	PB8	TIM4_CH3 I2C1_SCL CPT1_OUT CAN1_RX	-
140	96	62	46	-	PB9	I/O	TC	PB9	TIM4_CH4 I2C1_SDA SPI2_NSS I2S2_WS CPT2_OUT CAN1_TX	-
141	97	-	-	-	PE0	I/O	TC	PE0	TIM4_ETR UART8_RX FMC_NBL0	-
142	98	-	-	-	PE1	I/O	TC	PE1	UART8_TX FMC_NBL1	-
143	99	63	47	39	VSS	S	-	VSS	-	-
144	100	64	48	40	VDD	S	-	VDD	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻
2. TC: 标准 IO, 输入信号不超过 VDD 电压
3. 当 USB 功能使能后, USB_VBUS、USB_ID、USBDM 和 USBDP 所在引脚只能用作 USB 功能使用

3.3 复用功能表

表 3-2 PA 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	TIM2_CH1 TIM2_ETR	TIM5_CH1	TIM8_ETR		-	-	UART2_CTS
PA1	-	TIM2_CH2	TIM5_CH2	-	-	-	-	UART2_RTS
PA2	-	TIM2_CH3	TIM5_CH3	-	-	-	-	UART2_TX
PA3	-	TIM2_CH4	TIM5_CH4	-	-	-	-	UART2_RX
PA4	-	-	-	-	-	SPI1_NSS I2S1_WS	SPI3_NSS I2S3_WS	-
PA5		TIM2_CH1 TIM2_ETR	-	TIM8_CH1N	-	SPI1_SCK I2S1_CK	-	-
PA6	-	TIM1_BK1N	TIM3_CH1	TIM8_BK1N	-	SPI1_MISO I2S1_MCK	-	-
PA7	-	TIM1_CH1N	TIM3_CH2	TIM8_CH1N	-	SPI1_MOSI I2S1_SD	-	-
PA8	MCO1	TIM1_CH1	-	-	-	-	-	-
PA9	-	TIM1_CH2	-	-	I2C1_SCL	-	-	UART1_TX
PA10	-	TIM1_CH3	-	-	I2C1_SDA	-	-	UART1_RX
PA11	-	TIM1_CH4	-	-	-	-	-	UART1_CTS
PA12	-	TIM1_ETR	-	-	-	-	-	UART1_RTS
PA13	JTMS_SWDI O	-	-	-	-	-	-	-
PA14	JTCK_SWCLK K	-	-	-	I2C1_SDA	-	-	-
PA15	JTDI	TIM2_CH1 TIM2_ETR	-	-	I2C1_SCL	SPI1_NSS I2S1_WS	SPI3_NSS I2S3_WS	-

引脚定义及复用功能

表 3-3 PA 端口功能复用 AF8-AF12

Pin	AF8	AF9	AF10	AF11	AF12
PA0	UART4_TX	-	-	-	-
PA1	UART4_RX	-	-	-	-
PA2	CPT2_OUT	-	-	-	-
PA3	-	-	-	-	-
PA4	UART5_TX	-	-	-	-
PA5	UART5_RX	-	-	-	-
PA6	CPT1_OUT	-	-	-	-
PA7	-	-	CRS_SYNC	-	-
PA8	-	-	-	-	-
PA9	-	-	-	-	-
PA10	-	-	-	-	-
PA11	CPT1_OUT	CAN1_RX	-	-	-
PA12	CPT2_OUT	CAN1_TX	-	-	-
PA13	-	-	USB_VBUS_ON	-	-
PA14	-	-	-	-	-
PA15	-	-	-	-	-

引脚定义及复用功能

表 3-4 PB 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	-	TIM1_CH2 N	TIM3_CH 3	TIM8_CH2 N	-	-	-	-
PB1	-	TIM1_CH3 N	TIM3_CH 4	TIM8_CH3 N	-	-	-	-
PB2	-	-	-	-	-	-	-	-
PB3	JTDO	TIM2_CH2	-	-	-	SPI1_SCK I2S1_CK	SPI3_SCK I2S3_CK	-
PB4	NJTRST	-	TIM3_CH 1	-	-	SPI1_MISO I2S1_MCK	SPI3_MISO I2S3_MCK	-
PB5	-	-	TIM3_CH 2	-	-	SPI1_MOSI I2S1_SD	SPI3_MOSI I2S3_SD	-
PB6	-	-	TIM4_CH 1	-	I2C1_SC L	-	-	UART1_TX
PB7	-	-	TIM4_CH 2	-	I2C1_SD A	-	-	UART1_R X
PB8	-	-	TIM4_CH 3	-	I2C1_SC L	-	-	-
PB9	-	-	TIM4_CH 4	-	I2C1_SD A	SPI2_NSS I2S2_WS	-	-
PB10	-	TIM2_CH3	-	-	I2C2_SC L	SPI2_SCK I2S2_CK	-	UART3_TX
PB11	-	TIM2_CH4	-	-	I2C2_SD A	-	-	UART3_R X
PB12	-	TIM1_BK1 N	-	-	-	SPI2_NSS I2S2_WS	-	-
PB13	-	TIM1_CH1 N	-	-	-	SPI2_SCK I2S2_CK	-	UART3_C TS
PB14	-	TIM1_CH2 N	-	TIM8_CH2 N	-	SPI2_MISO I2S2_MCK	-	UART3_R TS
PB15	-	TIM1_CH3 N	-	TIM8_CH3 N	-	SPI2_MOSI I2S2_SD	-	-

引脚定义及复用功能

表 3-5 PB 端口功能复用 AF8-AF12

Pin	AF8	AF9	AF10	AF11	AF12
PB0	UART6_TX	-	-	-	-
PB1	UART6_RX	-	-	-	-
PB2	-	-	-	-	-
PB3	-	-	-	-	-
PB4	-	-	-	-	-
PB5	-	-	-	-	-
PB6	UART7_TX	-	-	-	-
PB7	UART7_RX	-	-	-	FMC_NADV
PB8	CPT1_OUT	CAN1_RX	-	-	-
PB9	CPT2_OUT	CAN1_TX	-	-	-
PB10	-	-	-	-	-
PB11	-	-	-	-	-
PB12	-	-	-	-	-
PB13	-	-	-	-	-
PB14	-	-	-	-	-
PB15	-	-	-	-	-

引脚定义及复用功能

表 3-6 PC 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC0	-	-	-	-	I2C1_SCL	-	-	-
PC1	-	-	-	-	I2C1_SDA	-	-	-
PC2	-	-	-	-	I2C2_SCL	SPI2_MISO I2S2_MCK	-	-
PC3	-	-	-	-	I2C2_SDA	SPI2_MOSI I2S2_SD	-	-
PC4	-	-	-	-	-	-	-	-
PC5	-	-	-	-	-	-	-	-
PC6	-	-	TIM3_CH1	TIM8_CH1	I2C1_SCL	SPI2_MISO I2S2_MCK	-	-
PC7	-	-	TIM3_CH2	TIM8_CH2	I2C1_SDA	SPI3_MISO I2S3_MCK	-	-
PC8	-	-	TIM3_CH3	TIM8_CH3	I2C2_SCL	-	-	-
PC9	MCO2	-	TIM3_CH4	TIM8_CH4	I2C2_SDA	-	-	-
PC10	-	-	-	-	-	-	SPI3_SCK I2S3_CK	UART3_TX
PC11	-	-	-	-	-	-	SPI3_MISO I2S3_MCK	UART3_RX
PC12	-	-	-	-	-	-	SPI3_MOSI	-
PC13	-	-	-	-	-	-	-	-
PC14	-	-	-	-	-	-	-	-
PC15	-	-	-	-	-	-	-	-

引脚定义及复用功能

表 3-7 PC 端口功能复用 AF8-AF12

Pin	AF8	AF9	AF10	AF11	AF12
PC0	-	-	-	-	-
PC1	-	-	-	-	-
PC2	-	-	-	-	-
PC3	-	-	-	-	-
PC4	-	-	-	-	-
PC5	-	-	-	-	-
PC6	UART6_TX	-	-	-	-
PC7	UART6_RX	-	-	-	-
PC8	-	-	-	-	SDIO_D0
PC9	-	-	-	-	SDIO_D1
PC10	UART4_TX	-	-	-	SDIO_D2
PC11	UART4_RX	-	-	-	SDIO_D3
PC12	UART5_TX	-	-	-	SDIO_CK
PC13	-	-	-	-	-
PC14	-	-	-	-	-
PC15	-	-	-	-	-

引脚定义及复用功能

表 3-8 PD 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	-	-	-	-	-	-	-	-
PD1	-	-	-	-	-	-	-	-
PD2	-	-	TIM3_ET R	-	-	-	-	-
PD3	-	-	-	-	-	SPI2_SCK I2S2_CK	-	UART2_C TS
PD4	-	-	-	-	-	SPI3_SCK I2S3_CK	-	UART2_R TS
PD5	-	-	-	-	-	SPI3_MISO I2S3_MCK	-	UART2_TX
PD6	-	-	-	-	-	SPI3_MOSI I2S3_SD	-	UART2_R X
PD7	-	-	-	-	-	SPI3_NSS I2S3_WS	-	-
PD8	-	-	-	-	-	-	-	UART3_TX
PD9	-	-	-	-	-	-	-	UART3_R X
PD10	-	-	-	-	I2C1_SC L	-	-	-
PD11	-	-	-	-	I2C1_SD A	-	-	UART3_C TS
PD12	-	-	TIM4_CH 1	-	-	-	SPI3_SCK I2S3_CK	UART3_R TS
PD13	-	-	TIM4_CH 2	-	-	-	SPI3_MISO I2S3_MCK	-
PD14	-	-	TIM4_CH 3	-	-	-	SPI3_MOSI	-
PD15	-	-	TIM4_CH 4	-	-	-	SPI3_NSS I2S3_WS	-

引脚定义及复用功能

表 3-9 PD 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12
PD0	UART8_TX	CAN1_RX	-	-	FMC_DA2
PD1	UART8_RX	CAN1_TX	-	-	FMC_DA3
PD2	UART5_RX	-	-	-	SDIO_CMD
PD3	-	-	-	-	FMC_CLK
PD4	-	-	-	-	FMC_NOE
PD5	-	-	-	-	FMC_NWE
PD6	-	-	-	-	FMC_NWAIT
PD7	-	-	-	-	FMC_NE1
PD8	-	-	-	-	FMC_DA13
PD9	-	-	-	-	FMC_DA14
PD10	-	-	-	-	FMC_DA15
PD11	-	-	-	-	FMC_A16
PD12	-	-	-	-	FMC_A17
PD13	-	-	-	-	FMC_A18
PD14	-	-	-	-	FMC_DA0
PD15	-	-	-	-	FMC_DA1

引脚定义及复用功能

表 3-10 PE 端口功能复用 AF0-AF7

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PE0	-	-	TIM4_ETR	-	-	-	-	-
PE1	-	-	-	-	-	-	-	-
PE2	-	-	-	-	-	SPI2_SCK I2S2_CK	-	-
PE3	-	-	-	-	-	SPI2_NSS I2S2_WS	-	-
PE4	-	-	-	-	-	SPI2_NSS I2S2_WS	-	-
PE5	-	-	-	-	I2C2_SCL	SPI2_MISO I2S2_MCK	-	-
PE6	-	-	-	-	I2C2_SDA	SPI2_MOSI I2S2_SD	-	-
PE7	-	TIM1_ETR	-	-	-	-	-	-
PE8	-	TIM1_CH1N	-	-	-	-	-	-
PE9	-	TIM1_CH1	-	-	-	-	-	-
PE10	-	TIM1_CH2N	-	-	-	-	-	-
PE11	-	TIM1_CH2	-	-	-	SPI1_NSS I2S1_WS	-	-
PE12	-	TIM1_CH3N	-	-	-	SPI1_SCK I2S1_CK	-	-
PE13	-	TIM1_CH3	-	-	-	SPI1_MISO I2S1_MCK	-	-
PE14	-	TIM1_CH4	-	-	-	SPI1_MOSI I2S1_SD	-	-
PE15	-	TIM1_BK1N	-	-	-	-	-	-

引脚定义及复用功能

表 3-11 PE 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12
PE0	UART8_RX	-	-	-	FMC_NBL0
PE1	UART8_TX	-	-	-	FMC_NBL1
PE2	-	-	-	-	FMC_A23
PE3	-	-	-	-	FMC_A19
PE4	-	-	-	-	FMC_A20
PE5	-	-	-	-	FMC_A21
PE6	-	-	-	-	FMC_A22
PE7	UART7_RX	-	-	-	FMC_DA4
PE8	UART7_TX	-	-	-	FMC_DA5
PE9	-	-	-	-	FMC_DA6
PE10	-	-	-	-	FMC_DA7
PE11	-	-	-	-	FMC_DA8
PE12	-	-	-	-	FMC_DA9
PE13	-	-	-	-	FMC_DA10
PE14	-	-	-	-	FMC_DA11
PE15	-	-	-	-	FMC_DA12

引脚定义及复用功能

表 3-12 PF 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12
PF0	-	-	-	-	FMC_A0
PF1	-	-	-	-	FMC_A1
PF2	-	-	-	-	FMC_A2
PF3	-	-	-	-	FMC_A3
PF4	-	-	-	-	FMC_A4
PF5	-	-	-	-	FMC_A5
PF6	-	-	-	-	-
PF7	-	-	-	-	-
PF8	-	-	-	-	-
PF9	-	-	-	-	-
PF10	-	-	-	-	-
PF11	-	-	-	-	-
PF12	-	-	-	-	FMC_A6
PF13	-	-	-	-	FMC_A7
PF14	-	-	-	-	FMC_A8
PF15	-	-	-	-	FMC_A9

引脚定义及复用功能

表 3-13 PG 端口功能复用 AF8-AF15

Pin	AF8	AF9	AF10	AF11	AF12
PG0	-	-	-	-	FMC_A10
PG1	-	-	-	-	FMC_A11
PG2	-	-	-	-	FMC_A12
PG3	-	-	-	-	FMC_A13
PG4	-	-	-	-	FMC_A14
PG5	-	-	-	-	FMC_A15
PG6	-	-	-	-	-
PG7	-	-	-	-	-
PG8	-	-	-	-	-
PG9	-	-	-	-	FMC_NE2
PG10	-	-	-	-	FMC_NE3
PG11	-	-	-	-	-
PG12	-	-	-	-	FMC_NE4
PG13	-	-	-	-	FMC_A24
PG14	-	-	-	-	FMC_A25
PG15	-	-	-	-	-

4 电气特性

4.1 测试条件

除非特别说明，所有电压都以 VSS 为基准。

4.1.1 负载电容

测量引脚参数时的负载条件示于下图。

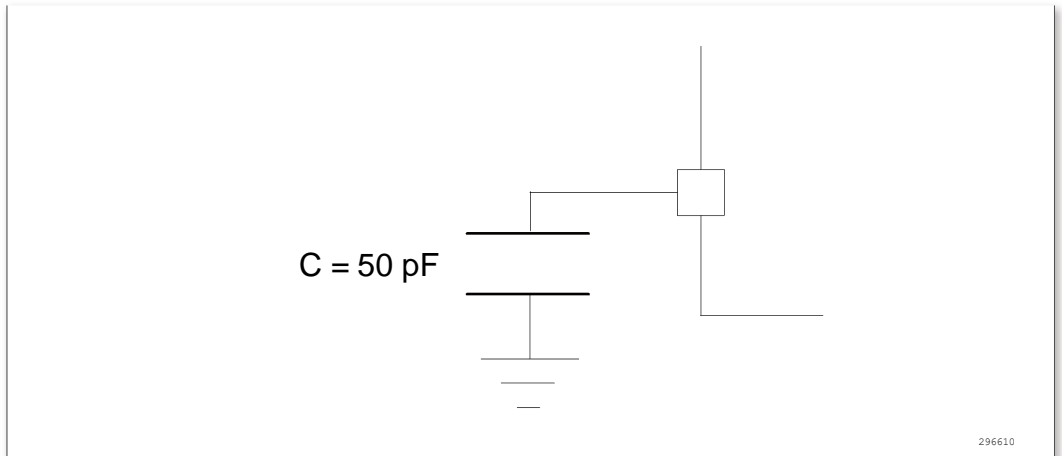


图 4-1 引脚的负载条件

4.1.2 引脚输入电压

引脚上输入电压的测量方式示于下图。

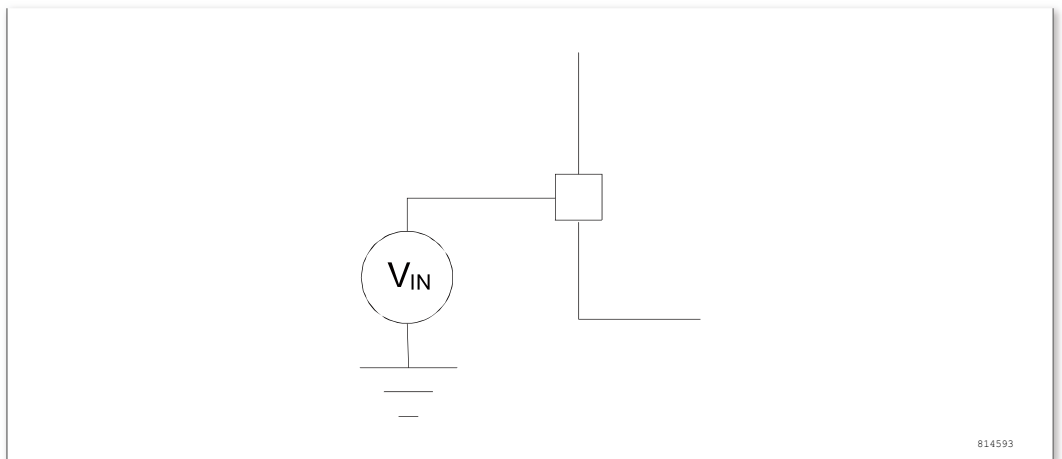


图 4-2 引脚输入电压

4.1.3 供电方案

供电设计方案示于下图。

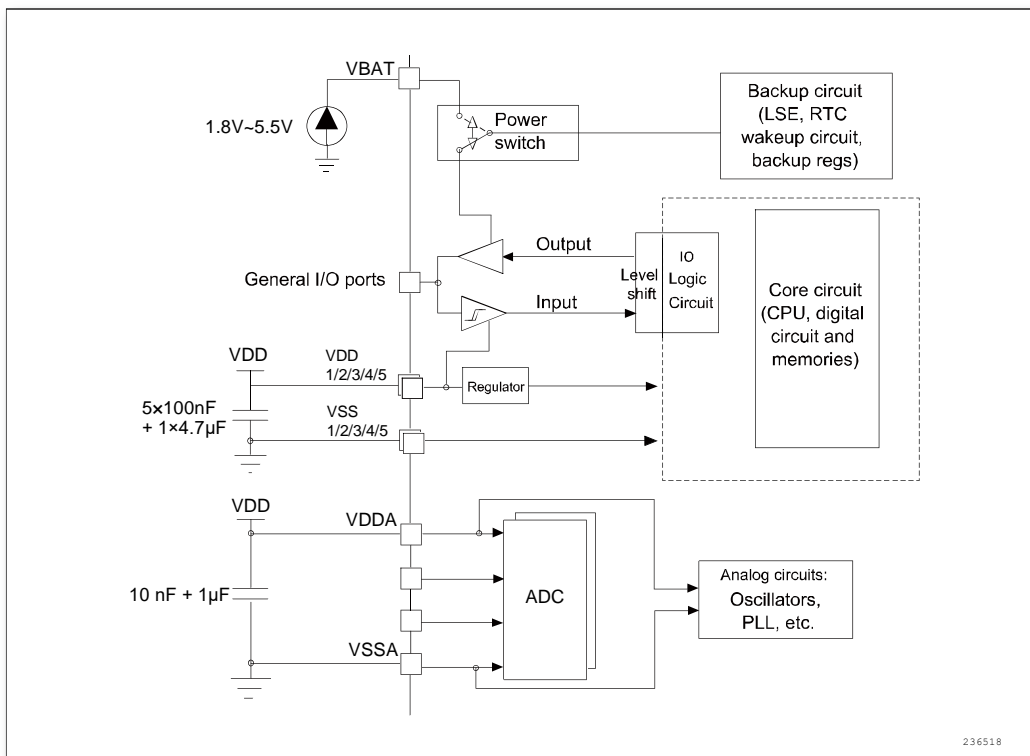


图 4-3 供电方案

4.1.4 电流消耗测量

引脚上电流消耗的测量方式示于下图。

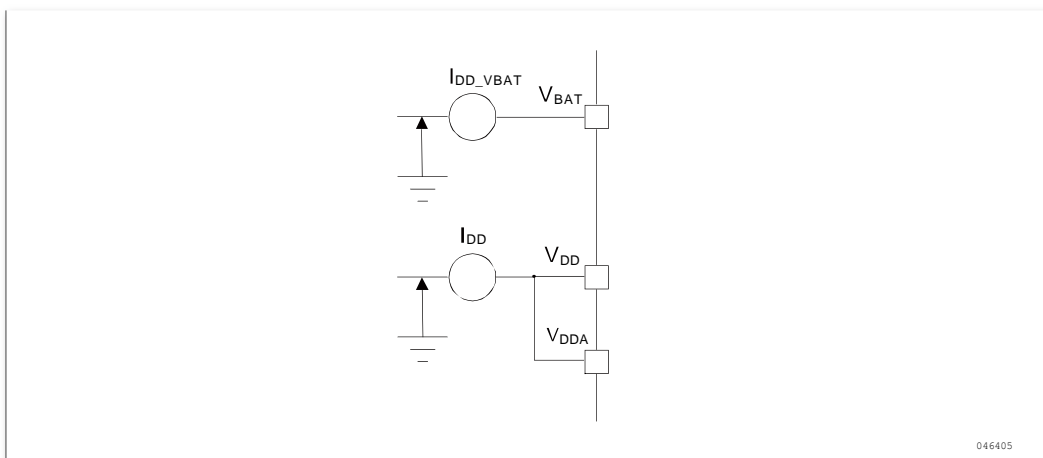


图 4-4 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对组最大额定值”列表（表 4-1、表 4-2）中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

电气特性

表 4-1 电压特性

符号	描述	最小值	最大值	单位
$V_{DDx}-V_{SSx}$	外部主供电电压（包含 V_{DDA} 和 V_{SSA} ） ⁽¹⁾	-0.3	5.8	V
$V_{BAT}-V_{SSx}$	后备域供电电压	-0.3	5.8	
V_{IN} ⁽²⁾	在其它引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	

1. 所有的电源（ V_{DD} , V_{DDA} ）和地（ V_{SS} , V_{SSA} ）引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息，请参见下表。

表 4-2 电流特性

符号	描述	最大值	单位
$I_{VDD/VDDA}$ ⁽¹⁾	经过 V_{DD}/V_{DDA} 电源线的总电流（供应电流） ⁽¹⁾	+120	mA
$I_{VSS/VSSA}$ ⁽¹⁾	经过 V_{SS}/V_{SSA} 地线的总电流（流出电流） ⁽¹⁾	-120	
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	+25	
	任意 I/O 和控制引脚上的输出电流	-25	
$I_{INJ(PIN)}$ ⁽²⁾ ⁽³⁾	NRST 引脚的注入电流	±5	
	HSE 的 OSC_IN 引脚的注入电流	±5	
$\sum I_{INJ(PIN)}$ ⁽⁶⁾	其他引脚的注入电流 ⁽⁵⁾	±25	

1. 在允许的范围内，所有主电源（ V_{DD} 、 V_{DDA} ）和接地（ V_{SS} 、 V_{SSA} ）引脚必须始终连接到外部电源。
2. 此电流消耗必须正确分布至所有 I/O 和控制引脚。总输出电流一定不能在参考高引脚数 LQFP 封装的两个连续电源引脚间灌/拉。
3. 反向注入电流会干扰器件的模拟性能。
4. 这些 I/O 上无法正向注入，输入电压低于指定的最大值时也不会发生正向注入。
5. 当 $V_{IN} > V_{DDA}$ 时，会产生正向注入电流；当 $V_{IN} < V_{SS}$ 时，会产生反向注入电流。不得超出 $I_{INJ(PIN)}$ 。
6. 当多个输入同时存在注入电流时， $\sum I_{INJ(PIN)}$ 的最大值等于正向注入电流和反向注入电流（瞬时值）的绝对值之和。

4.3 工作条件

4.3.1 通用工作条件

表 4-3 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f_{HCLK3}	内部 AHB3 时钟频率	120M 时 Core 电压需提升到 1.7V	-	96	120	MHz
f_{HCLK2}	内部 AHB2 时钟频率	120M 时 Core 电压需提升到 1.7V	-	96	120	
f_{HCLK1}	内部 AHB1 时钟频率	120M 时 Core 电压需提升到 1.7V	-	96	120	
f_{PCLK2}	内部 APB2 时钟频率	120M 时 Core 电压需提升到 1.7V	-	96	120	
f_{PCLK1}	内部 APB1 时钟频率	120M 时 Core 电压需提升到 1.7V	-	96	120	

符号	参数	条件	最小值	典型值	最大值	单位
V _{DD}	数字工作电压	-	2.0	3.3	5.5	V
V _{DDA}	模拟工作电压（性能满足本手册指标）	必须与 V _{DD} 相同 ⁽⁴⁾	2.5	3.3	5.5	V
	模拟工作电压（不保证性能满足本手册指标）		2.0	-	2.5	
V _{BAT} ⁽⁴⁾	后备域工作电压	-	1.8	-	5.5	V
P _D	功率耗散 温度：T _A = 85°C ⁽²⁾ 或温度：T _A = 105°C ⁽²⁾	LQFP144	-	-	571	mW
		LQFP100	-	-	444	
		LQFP64	-	-	339	
		LQFP48	-	-	357	
T _A	环境温度（工业型）	-	-40	-	85	°C
	环境温度（拓展工业型，尾缀为 V）	-	-40	-	105	
T _J	结温范围 ⁽³⁾	-	-40	-	105	°C
	结温范围 ⁽³⁾ （拓展工业型，尾缀为 V）	-	-40	-	125	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电，在上电和正常操作期间，V_{DD} 和 V_{DDA} 之间最多允许有 300 mV 的差别。
2. 如果 T_A 较低，只要 T_J 不超过 T_{Jmax}，则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下，只要 T_J 不超过 T_{Jmax}，T_A 可以扩展到这个范围
4. 当应用系统中没有备份电池时，V_{BAT} 引脚可以和 V_{DD} 连接在一起或者浮空。

4.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

表 4-4 上电和掉电时的工作条件

符号	条件	最小值	典型值	最大值	单位
t _{VDD}	V _{DD} 上升时间 t _r	10	-	500000	us
	V _{DD} 下降时间 t _f	50	-	∞	
V _{fit} ⁽³⁾	掉电阈值电压	-	0	-	mV

1. 由综合评估得出，不在生产中测试
2. 芯片上与掉电 V_{DD} 波形需严格遵循以下波形图中 t_r 和 t_f 阶段，上电过程不得出现掉电现象
3. 注：为确保芯片上电可靠性，芯片上电应从 0V 开始

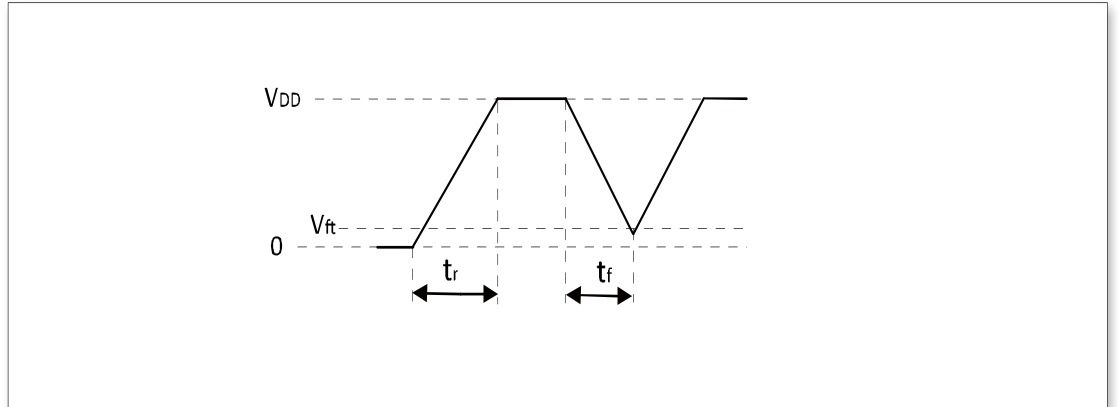


图 4-5 上电与掉电波形

4.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 4-3 列出的环境温度下和 VDD 供电电压下测试得出。

表 4-5 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[3: 0]=0000 (上升沿)	-	1.8	-	V
		PLS[3: 0]=0000 (下降沿)	-	1.7	-	
		PLS[3: 0]=0001 (上升沿)	-	2.1	-	
		PLS[3: 0]=0001 (下降沿)	-	2.0	-	
		PLS[3: 0]=0010 (上升沿)	-	2.4	-	
		PLS[3: 0]=0010 (下降沿)	-	2.3	-	
		PLS[3: 0]=0011 (上升沿)	-	2.7	-	
		PLS[3: 0]=0011 (下降沿)	-	2.6	-	
		PLS[3: 0]=0100 (上升沿)	-	3.0	-	
		PLS[3: 0]=0100 (下降沿)	-	2.9	-	
		PLS[3: 0]=0101 (上升沿)	-	3.3	-	
		PLS[3: 0]=0101 (下降沿)	-	3.2	-	
		PLS[3: 0]=0110 (上升沿)	-	3.6	-	
		PLS[3: 0]=0110 (下降沿)	-	3.5	-	
		PLS[3: 0]=0111 (上升沿)	-	3.9	-	
		PLS[3: 0]=0111 (下降沿)	-	3.8	-	
		PLS[3: 0]=1000 (上升沿)	-	4.2	-	
		PLS[3: 0]=1000 (下降沿)	-	4.1	-	
		PLS[3: 0]=1001 (上升沿)	-	4.5	-	
		PLS[3: 0]=1001 (下降沿)	-	4.4	-	
PLS[3: 0]=1010 (上升沿)	-	4.8	-			
PLS[3: 0]=1010 (下降沿)	-	4.7	-			

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR/PDR}	上电复位阈值	-	-	1.65	-	V
V _{hyst_PDR}	PDR 迟滞	-	-	30	-	mV
T _{TRSTEMPO} ⁽²⁾	复位持续时间	-	-	3	-	ms

1. 产品的特性由设计保证至最小的数值 V_{POR/PDR}。

2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电（POR 复位）到用户应用代码第一个 IO 翻转的时刻。

4.3.4 内置的参照电压

下表中给出的参数是依据表 4-3 列出的环境温度下和 VDD 供电电压下测试得出。

表 4-6 内置的参照电压⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{REFINT}	内置参考电压	-40°C < T _A < 105°C	-	1.2	-	V
T _{s_vrefint} ⁽¹⁾	当读出内部参考电压时，ADC 的采样时间	-	-	11.8	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

4.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—VDD 或 VSS（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- Flash 存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24 MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期，48 ~ 72 MHz 时为 2 个等待周期，72 ~ 96 MHz 时为 3 个等待周期，24 ~ 48 MHz 时为 1 个等待周期，48 ~ 72 MHz 时为 2 个等待周期，72 ~ 96 MHz 时为 3 个等待周期）。
- 指令预取功能开启。当开启外设时：f_{HCLK} = f_{PCLK1} = f_{PCLK2}。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 4-7、表 4-8、表 4-9、表 4-10 中给出的参数，是依据表表 4-3 列出的环境温度下和 VDD 供电电压下测试得出。

电气特性

表 4-7 运行模式下的典型电流消耗

符号	参数	条件	f _{HCLK} (Hz)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	运行模式下的 供应电流	内部 时钟	96M	61.79	61.89	61.94	62.03	32.11	32.25	32.50	32.82	mA
			48M	32.31	32.39	32.51	32.66	18.96	19.09	19.30	19.56	
			24M	17.40	17.40	17.51	17.68	11.66	11.77	12.00	12.24	
			8M	7.35	7.33	7.41	7.59	5.80	5.79	5.88	6.09	
			4M	2.16	2.14	2.25	2.45	2.88	2.88	2.99	3.19	
			2M	4.71	4.74	4.88	5.11	2.34	2.33	2.43	2.63	
			1M	3.25	3.26	3.39	3.61	2.07	2.05	2.15	2.35	
			500K	2.52	2.52	2.63	2.84	1.93	1.91	2.01	2.21	
125K	1.88	1.87	1.96	2.17	1.83	1.81	1.90	2.11				

表 4-8 低功耗运行模式下的典型电流消耗

符号	参数	条件	f _{HCLK} (Hz)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	低功耗运行模式下的 供应电流	内部 时钟	2M	3.11	3.85	3.91	4.11	2.21	2.88	2.92	3.10	mA
			1M	2.39	3.12	3.16	3.35	1.94	2.61	2.64	2.82	
			500K	2.04	2.75	2.79	2.97	1.81	2.47	1.83	2.35	
			125K	1.77	2.47	2.50	2.69	1.71	2.36	2.39	2.58	
			40K	0.24	0.27	0.40	0.62	0.22	0.25	0.38	0.59	
		HSI OFF	40K	0.06	0.09	0.21	0.42	0.05	0.07	0.19	0.40	

1. HCLK 频率小于 8MHz 时，系统时钟为 HSI 8M，由分频得到 AHB 时钟

表 4-9 睡眠模式下的典型电流消耗

符号	参数	条件	f _{HCLK} (Hz)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	睡眠模式下的 供应电流	内部 时钟	96M	46.88	46.96	47.01	47.29	16.68	16.70	16.77	16.99	mA
			48M	24.77	24.84	24.93	25.17	9.53	9.51	9.58	9.78	
			24M	13.59	13.61	13.69	13.91	5.94	5.91	5.97	6.16	
			8M	6.09	6.06	6.13	6.33	3.53	3.49	3.55	3.74	
			4M	3.50	3.51	3.62	3.84	2.26	2.25	2.35	2.56	
			2M	2.65	2.64	2.74	2.96	2.03	2.01	2.11	2.32	
			1M	2.22	2.21	2.31	2.51	1.91	1.90	1.99	2.20	
			500K	2.00	1.99	2.09	2.29	1.85	1.84	1.93	2.13	
			125K	1.85	1.83	1.92	2.13	1.81	1.79	1.88	2.09	

1. HCLK 频率小于 8MHz 时，系统时钟为 HSI 8M，由分频得到 AHB 时钟

表 4-10 低功耗睡眠模式下的典型电流消耗

符号	参数	条件	f _{HCLK} (HZ)	典型值 使能所有外设				典型值 关闭所有外设				单位
				-40℃	25℃	85℃	105℃	-40℃	25℃	85℃	105℃	
I _{DD}	低功耗睡眠模式下的供应电流	内部时钟	2M	2.53	3.27	3.30	3.49	1.91	2.59	2.62	2.80	mA
			1M	2.10	2.82	2.85	3.04	1.79	2.46	2.49	2.68	
			500K	1.89	2.60	2.63	2.82	1.74	2.39	2.42	2.61	
			125K	1.73	2.43	2.47	2.65	1.69	2.34	2.38	2.56	
			40K	0.23	0.26	0.38	0.60	0.21	0.24	0.37	0.58	
		HSI OFF	40K	0.06	0.08	0.20	0.41	0.05	0.07	0.18	0.39	

表 4-11 停机和待机模式下的典型和最大电流消耗⁽¹⁾

符号	参数	条件	典型值				单位
			-40℃	25℃	85℃	105℃	
I _{DDx}	停机模式下的供应电流	复位后进入停机模式, VDD=3.3V	36.5	50.7	156.3	371.2	μA
	深度停机下的供电电流	复位后进入深度停机模式, VDD=3.3V	1.4	8.7	97.5	264.7	
	待机模式下的供应电流	IWDG 打开, RTC 关闭	-	1.44	-	-	
		IWDG 关闭, RTC 打开, 时钟为 LSE	-	1.94	-	-	
I _{VBAT}	待机模式下的供应电流	IWDG 关闭, RTC 关闭	0.39	0.65	4.85	13.59	
		RTC 关闭, 时钟为 LSE	-	-	-	-	μA

1. I/O 状态为模拟输入。

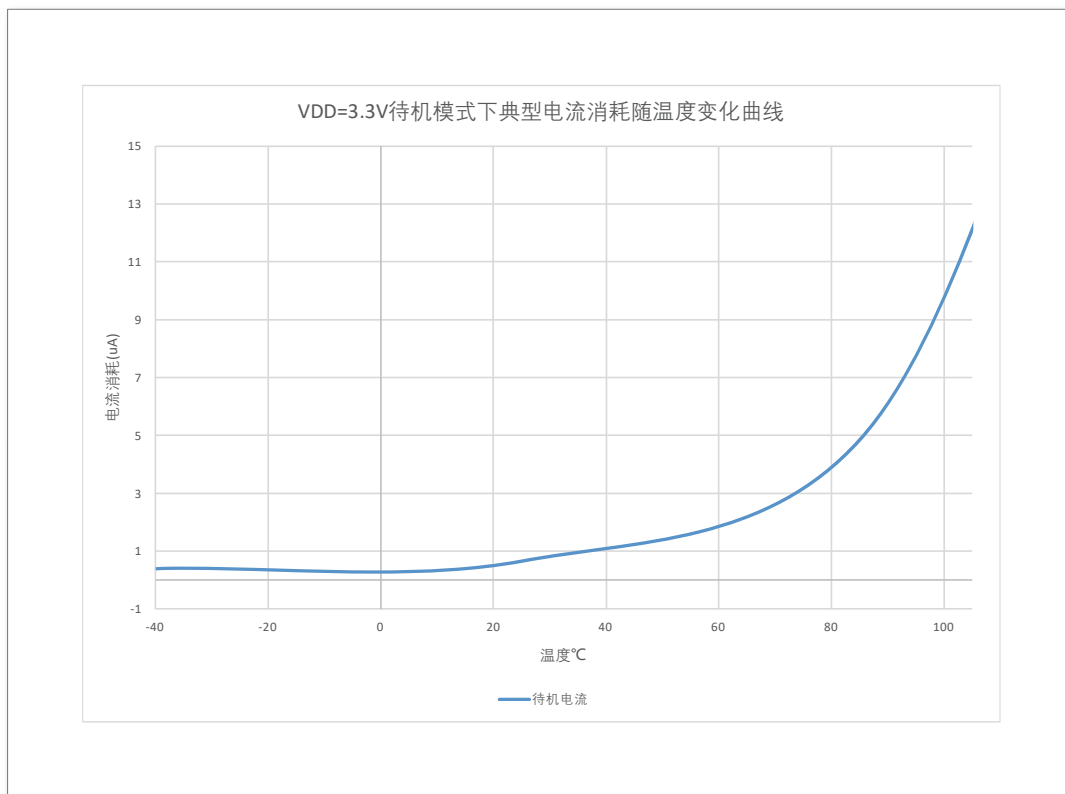


图 4-6 待机模式下的典型电流消耗在 VDD = 3.3V 时与温度的对比

内置外设电流消耗

内置外设的电流消耗列于表 4-12，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—V_{DD} 或 V_{SS}（无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 4-3。

表 4-12 内置外设的电流消耗⁽¹⁾

符号	参数	总线	典型值	单位
I _{DD}	FSMC	AHB3	14.9	uA/MHz
	OTG	AHB2	15.2	
	CRC	AHB1	1.7	
	GPIOA		1.5	
	GPIOB		1.5	
	GPIOC		1.3	

符号	参数	总线	典型值	单位
	GPIOD		2.1	
	GPIOE		1.6	
	GPIOF		1.4	
	GPIOG		1.6	
	GPIOH		1.1	
	SDIO		20.1	
	CRC		1.7	
	DMA1		6.0	
	DMA2		4.1	
	TIM1	APB2	13.2	
	TIM8		12.9	
	UART1		8.7	
	UART6		8.8	
	ADC1		6.3	
	ADC2		6.1	
	ADC3		6.0	
	SPI1		9.8	
	SYSCFG		0.7	
	COMP	1.3		
	TIM2	APB1	9.9	
	TIM3		7.2	
	TIM4		7.8	
	TIM5		9.8	
	TIM6		2.9	
	TIM7		2.7	
	WWDG		0.4	
	SPI2		10.1	
	SPI3		10.8	
	UART2		9.3	
	UART3		9.2	
	UART4		8.9	
	UART5		9.0	
	I2C1		11.2	
	I2C2		11.0	
	CRS		0.9	
	CAN		12.3	
	BKP	0.7		
	PWR	2.2		

符号	参数	总线	典型值	单位
	DAC		1.8	
	UART7		8.8	
	UART8		8.9	

1. $f_{HCLK} = 96\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在内部时钟 HSI 的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 4-13 低功耗模式的唤醒时间

符号	参数	条件	典型值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	系统时钟为 HSI	14	cycles
t_{WUSTOP}	从停机模式唤醒（调压器处于运行模式）	系统时钟为 HSI	9.4	us
t_{WUSTOP}	从深度停机模式唤醒（调压器处于低功耗模式）	系统时钟为 HSI	7.5	us
$t_{WUSTDBY}$	从待机模式唤醒	$PWR \rightarrow CR[15: 14] = 0x1$	302	us
$t_{WUSTDBY}$	从待机模式唤醒	$PWR \rightarrow CR[15: 14] = 0x2$	319	us
$t_{WUSTDBY}$	从待机模式唤醒	$PWR \rightarrow CR[15: 14] = 0x3$	337	us

4.3.6 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 4-14 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾	-	-	8	32	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压	-	$0.7V_{DD}$	-	V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压	-	V_{SS}	-	$0.3V_{DD}$	V
$t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾	-	15	-	-	ns

1. 由设计保证，不在生产中测试。

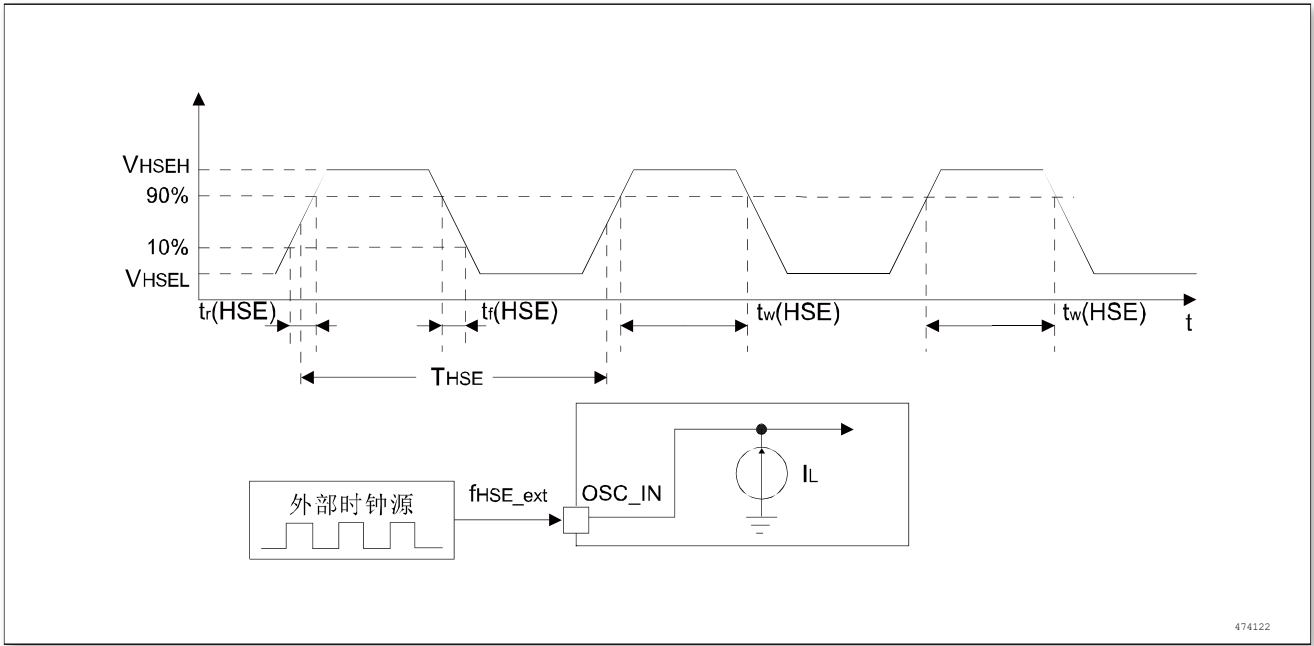


图 4-7 外部高速时钟源的交流时序图

来自外部振荡源产生的低速外部用户时钟

下表中给出的特性参数是使用一个低速的外部时钟源测得，环境温度和供电电压符合通用工作条件。

表 4-15 低速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率 ⁽¹⁾	-	-	32.768	1000	KHz
V_{LSEH}	OSC_IN 输入引脚高电平电压	-	$0.7V_{DD}$	-	V_{DD}	V
V_{LSEL}	OSC_IN 输入引脚低电平电压	-	V_{SS}	-	$0.3V_{DD}$	V
$t_w(LSE)$	OSC_IN 高或低的时间 ⁽¹⁾	-	250	-	-	ns

1. 由设计保证，不在生产中测试。

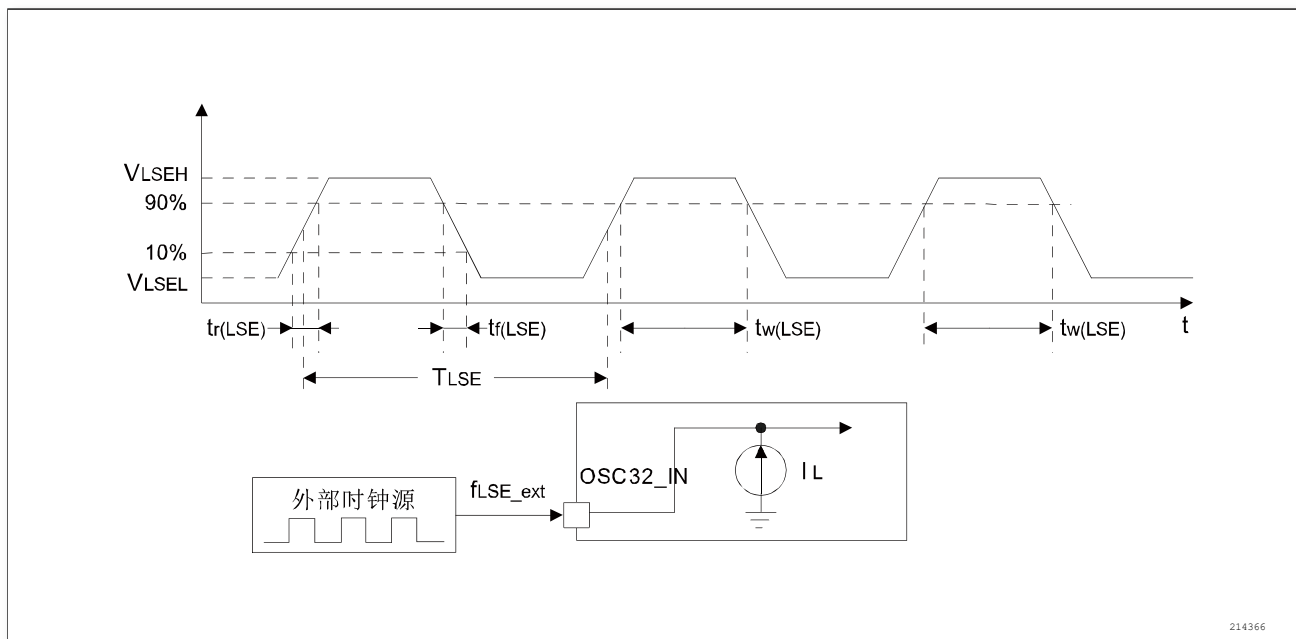


图 4-8 外部低速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟（HSE）可以使用一个 8 ~ 24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 4-16 HSE 8 ~ 24MHz 振荡器特性^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
f _{OSC_IN}	振荡器频率 ⁽²⁾	2V < V _{DD} < 3.6V	2	8	12	MHz
		3.0V < V _{DD} < 5.5V	8	16	24	MHz
R _F	反馈电阻 ⁽⁴⁾	-	-	1000	-	kΩ
ESR	支持晶体串行阻抗 (C _{L1} C _{L2} ⁽³⁾ 为 16pF)	f _{OSC_IN} = 24MHz, V _{DD} = 3V	-	-	60	Ω
		f _{OSC_IN} = 12MHz, V _{DD} = 2V	-	-	150	Ω
I ₂	HSE 驱动电流	f _{OSC_IN} = 24MHz, ESR = 30 V _{DD} = 3.3V, C _{L1} C _{L2} ⁽³⁾ 为 20pF	-	1.5	-	mA
g _m	振荡器的跨导	启动	-	9	-	mA/V
t _{SU} (HSE) (5)	启动时间	V _{DD} 是稳定的	-	3	-	ms

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出。
3. 对于 CL1 和 CL2，建议使用高质量的、为高频应用而设计的（典型值为）5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以

CL1 和 CL2 的串行组合给出负载电容的参数。在选择 CL1 和 CL2 时, PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。

4. 相对较低的 R_F 电阻值, 能够可以避免在潮湿环境下使用时所产生的问题提供保护, 这种环境下产生的泄漏和偏置条件都发生了变化。但是, 如果 MCU 是应用在恶劣的潮湿条件时, 设计时需要把这个参数考虑进去。
5. $t_{SU(HSE)}$ 是启动时间, 是从软件使能 HSE 开始测量, 直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到, 它可能因晶体制造商的不同而变化较大。

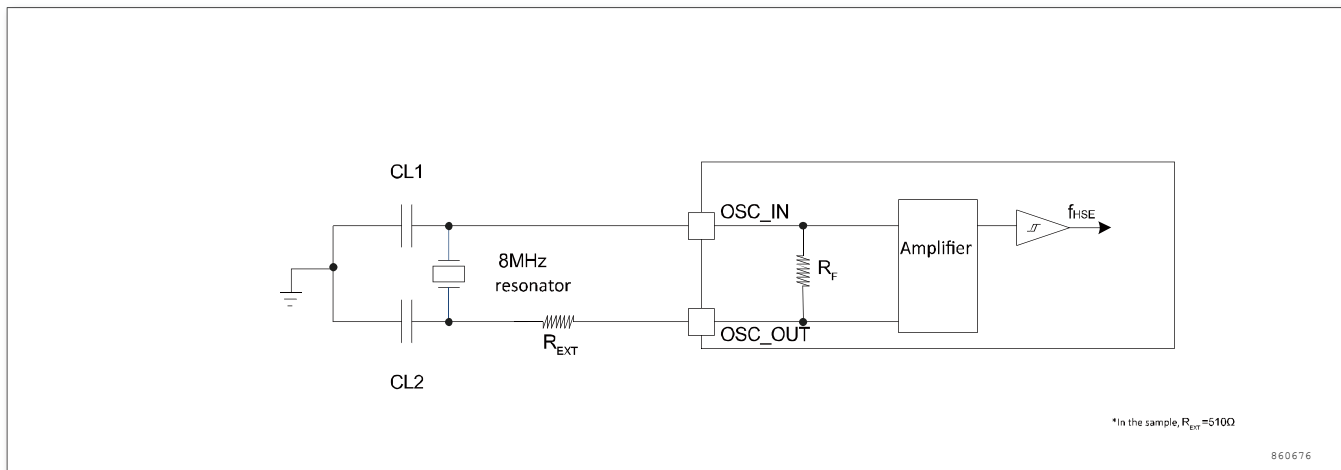


图 4-9 使用 8MHz 晶体的典型应用

使用一个晶体/陶瓷谐振器产生的低速外部时钟

低速外部时钟 (LSE) 可以使用一个 32.768KHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件, 通过综合特性评估得到的结果。在应用中, 谐振器和负载电容必须尽可能地靠近振荡器的引脚, 以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等), 请咨询相应的生产厂商。(注: 这里提到的晶体谐振器就是我们通常说的无源晶振)

注意: 对于 CL1 和 CL2, 建议使用高质量的 5pF ~ 15pF 之间的瓷介电容器, 并挑选符合要求的晶体或谐振器。通常 CL1 和 CL2 具有相同参数。晶体制造商通常以 CL1 和 CL2 的串行组合给出负载电容的参数。负载电容 C_L 由下式计算: $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$, 其中 C_{stray} 是引脚的电容和 PCB 板或 PCB 相关的电容, 它的典型值是介于 2pF ~ 7pF 之间。警告: 为了避免超出 CL1 和 CL2 的最大值 (15pF), 强烈建议使用负载电容 $C_L \leq 7pF$ 的谐振器, 不能使用负载电容为 12.5pF 的谐振器。例如: 如果选择了一个负载电容 $C_L = 6pF$ 的谐振器并且 $C_{stray} = 2pF$, 则 $C_{L1} = C_{L2} = 8pF$ 。

表 4-17 LSE 振荡器特性 ($f_{LSE}=32.768KHz$) (1)

符号	参数	条件	最小值	典型值	最大值	单位
I_{DD} (LSE)	LSE 电流消耗	IBSEL=01 DR=00 (recommend)	-	290	-	nA
		IBSEL=10 DR=01 (Default)	-	425	-	nA

符号	参数	条件	最小值	典型值	最大值	单位
g _m	振荡器的跨导	IBSEL=01 DR=00	-	3	-	uA/V
		IBSEL=10 DR=01	-	5	-	uA/V
t _{SU} (LSE) (2)	启动时间	V _{DD} 是稳定的	-	1	3	S

1. 由综合评估得出。
2. 参见本表格上方的注意和警告段落。
3. 选择具有较小 RS 值的高质量振荡器（如 MSIV-TIN 32.768KHz），可以优化电流消耗。详情请咨询晶体制造商。
4. t_{SU}(LSE) 是启动时间，是从软件使能 LSE 开始测量，直至得到稳定的 32.768K Hz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

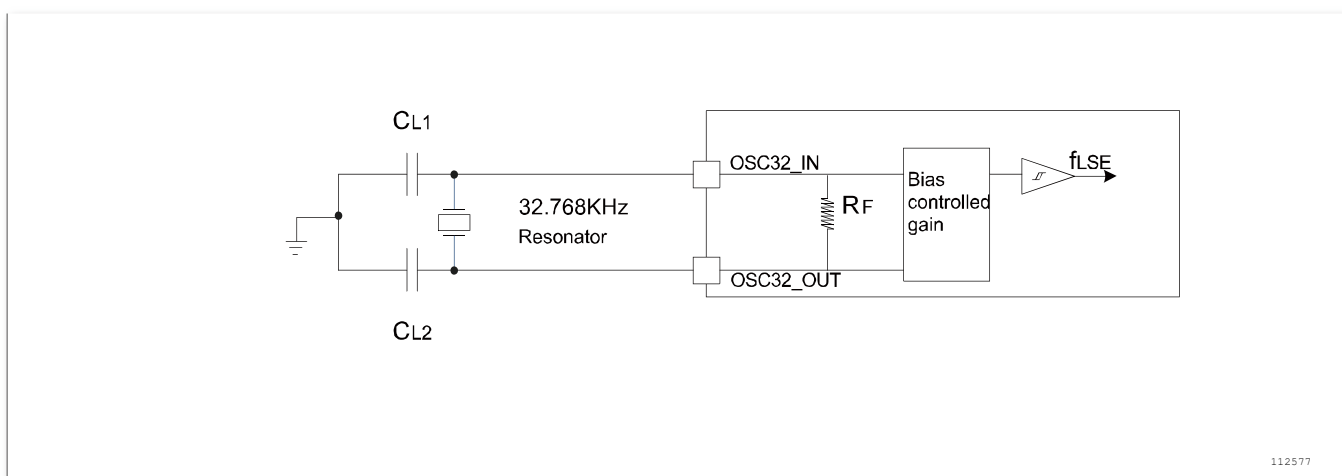


图 4-10 使用 32.768KHz 晶体的典型应用

4.3.7 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部（HSI）振荡器

表 4-18 HSI 振荡器特性^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
f _{HSI}	频率	-	-	8	-	MHz
ACC _{HSI}	HSI 振荡器的精度	T _A = -40°C ~ 105°C	-2.5	-	+2.5	%
		T _A = 25°C	-1	-	+1	%
t _{SU} (HSI)	HSI 振荡器启动时间	-	-	-	5	us
T _{stab} (HSI)	HSI 振荡器稳定时间	-	-	-	10	us
I _{DD} (HSI)	HSI 振荡器功耗	-	-	80	-	μA

1. V_{DD} = 3.3V, T_A = -40°C ~ 85°C, 除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部 (LSI) 振荡器

表 4-19 LSI 振荡器特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率	-	-	40	-	KHz
$t_{SU(LSI)}^{(3)}$	LSI 振荡器启动时间	-	-	-	50	us
$t_{stab(LSI)}^{(3)}$	LSI 振荡器稳定时间	-	-	-	100	us
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗	-	-	0.26	-	μA

1. $V_{DD} = 3.3V$, $T_A = -40^{\circ}C \sim 85^{\circ}C$, 除非特别说明。
2. 由综合评估得出。
3. 由设计保证, 不在生产中测试。

4.3.8 PLL 特性

PLL 的输入时钟 f_{PLL_IN} 和 f_{PLL_OUT} 之间关系为

$$\frac{f_{PLL_IN}}{PLLDIV[2: 0] + 1} = \frac{f_{PLL_OUT}}{PLLMUL[6: 0] + 1}$$

公式 1

$PLLMUL[6: 0]$ 和 $PLLDIV[2: 0]$ 是 PLL 的倍频分频器和输出分频器的分频比设置。

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 4-20 PLL 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	-	4	8	24	MHz
D_{PLL_IN}	PLL 输入时钟占空比	-	20	-	80	%
f_{VCO}	PLL 输出时钟频率范围	-	200	-	400	MHz
f_{PLL_OUT}	PLL 倍频输出时钟	-	12.5	-	200	MHz
t_{LOCK}	PLL 锁相时间	Input clock=8MHz Output clock=100MHz Tolerance=0.1%	-	21.5	60	us
Jitter	RMS cycle-to-cycle jitter	Input clock=8MHz Output clock=100MHz	-	40	-	ps
	RMS period jitter	Input clock=8MHz Output clock=100MHz	-	30	-	
$I_{DD(PLL)}$	PLL 电流消耗	Input clock=8MHz Output clock=100MHz	-	1.2	-	uA

1. 由设计保证, 不在生产中测试。
2. 需要注意使用正确的倍频系数, 从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

4.3.9 存储器特性

表 4-21 Flash 存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	16 位的编程时间	-	-	30	-	us

符号	参数	条件	最小值	典型值	最大值	单位
t _{ERASE}	页（1024 字节）擦除时间	-	-	4.5	-	ms
t _{ME}	整片擦除时间	-	-	30	-	ms
I _{DD}	平均电流消耗	读模式 40MHz	-	-	6	mA
	-	写模式	-	-	7	mA
	-	擦除模式	-	-	2	mA

表 4-22 Flash 存储器寿命和数据保存期限^{(1) (2)}

符号	参数	条件	最小值	典型值	最大值	单位
N _{END}	擦写次数		20000	-	-	次
T _{DR}	数据保存	T _A = 125°C	-	-	-	Years
		T _A = 25°C	100	-	-	

4.3.10 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS（电磁敏感性）

当运行一个简单的应用程序时（通过 I/O 端口闪烁 2 个 LED），测试样品被施加 1 种电磁干扰直到产生错误，LED 闪烁指示了错误的产生。

- **EFT:** 在 V_{DD} 和 V_{SS} 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群（正向和反向）直到产生功能性错误。这个测试符合 IEC61000-4-4 标准。

芯片复位可以使系统恢复正常操作。测试结果列于下表中。

表 4-23 EMS 特性

符号	参数	条件	级别/类型
V _{FESD}	施加到任一 I/O 脚，从而导致功能错误的电压极限	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 96MHz。符合 IEC61000-4-2	2A
V _{FEFT}	在 V _{DD} 和 V _{SS} 上通过 100pF 的电容施加的导致功能错误的瞬变脉冲群电压极限。	V _{DD} = 3.3V, T _A = +25°C, f _{HCLK} = 96MHz。符合 IEC61000-4-4	2A

设计可靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位

- 关键数据被破坏（控制寄存器等）

认证前的试验

很多常见的失效（意外的复位和程序计数器被破坏），可以通过人工的在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

4.3.11 功能性 EMS（电气敏感性）

基于三个不同的测试（ESD, LU），使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电（ESD）

静电放电（一个正的脉冲然后间隔一秒钟后一个负的脉冲）施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关（3 片 x (n + 1) 供电引脚）。这个测试符合 JEDEC JS-001-2017/002-2018 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。这个测试符合 EIA/JESD78E 集成电路栓锁标准。

表 4-24 ESD 和 Latch-up 特性

符号	参数	条件	最大值	单位
V _{ESD (HBM)}	静电放电电压（人体模型）	TA = 25°C, 符合 ESDA/JEDEC JS-001-2017	±6000	V
V _{ESD (CDM)}	静电放电电压（充电设备模型）	TA = 25°C, 符合 ESDA/JEDEC JS-002-2018	±1500	V
I _{LU}	静态栓锁类（Latch-up current）	TA = 25°C, 符合 JESD78E	±100	mA

4.3.12 GPIO 端口通用输入/输出特性

除非特别说明，下表列出的参数是依照表 4-3 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 4-25 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{IL}	输入低电平电压	3.3V CMOS 端口	-	-	1.47	V
V _{IL}	输入低电平电压	5V CMOS 端口	-	-	2.26	V
V _{IH}	输入高电平电压	3.3V CMOS 端口	1.74	-	-	V

符号	参数	条件	最小值	典型值	最大值	单位
V _{IH}	输入高电平电压	5V CMOS 端口	2.61	-	-	V
V _{hy}	I/O 脚施密特触发器电压迟滞 ⁽¹⁾	3.3V	0.52	0.59	0.66	V
V _{hy}	I/O 脚施密特触发器电压迟滞 ⁽¹⁾	5V	0.72	0.78	0.83	V
I _{lkg}	输入漏电流 ⁽²⁾	3.3V	-	0.0001	-	μA
I _{lkg}	输入漏电流 ⁽²⁾	5V	-	0.0001	-	μA
R _{PU}	弱上拉等效电阻 ⁽³⁾	3.3V V _{IN} = V _{SS}	-	50	-	kΩ
R _{PU}	弱上拉等效电阻 ⁽³⁾	5V V _{IN} = V _{SS}	-	50	-	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	3.3V V _{IN} = V _{DD}	-	50	-	kΩ
R _{PD}	弱下拉等效电阻 ⁽³⁾	5V V _{IN} = V _{SS}	-	50	-	kΩ
C _{IO}	I/O 引脚的电容	-	-	-	1	pF

1. 由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是 poly 电阻。
4. 上述输入电平的值对应 CS=0 的条件。

输出驱动电流

GPIO（通用输入/输出端口）可以吸收或输出多达 ±20mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 4.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD}。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS}。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 VDD 供电电压符合表 4-3 的条件测量得到。

所有的 I/O 端口都是兼容 CMOS 的。

表 4-26 输出电压特性

SPEED	符号	参数	条件	典型值	单位
11 (50MHz)	V _{OL} ⁽¹⁾	输出低电平	I _{IO} = 8mA, VDD=3.3V	0.17	V
	V _{OH} ⁽²⁾	输出高电平		3.12	
	V _{OL} ⁽¹⁾⁽³⁾	输出低电平	I _{IO} =20mA, VDD=3.3V	0.51	
	V _{OH} ⁽²⁾⁽³⁾	输出高电平		2.83	
	V _{OL} ⁽²⁾⁽³⁾	输出低电平	I _{IO} = 6mA, VDD=3.3V	0.13	
	V _{OH} ⁽²⁾⁽³⁾	输出高电平		3.17	
10 (2MHz)	V _{OL} ⁽¹⁾	输出低电平	I _{IO} = 8mA, VDD=3.3V	0.18	
	V _{OH} ⁽²⁾	输出高电平		3.12	
	V _{OL} ⁽¹⁾⁽³⁾	输出低电平		0.52	

SPEED	符号	参数	条件	典型值	单位
	$V_{OH}^{(2)(3)}$	输出高电平	$ I_{IO} =20mA,$ $VDD=3.3V$	2.83	
	$V_{OL}^{(2)(3)}$	输出低电平	$ I_{IO} =6mA,$ $VDD=3.3V$	0.13	
	$V_{OH}^{(2)(3)}$	输出高电平		3.17	
01 (10MHz)	$V_{OL}^{(1)}$	输出低电平	$ I_{IO} =8mA,$ $VDD=3.3V$	0.18	
	$V_{OH}^{(2)}$	输出高电平		3.12	
	$V_{OL}^{(1)(3)}$	输出低电平	$ I_{IO} =20mA,$ $VDD=3.3V$	0.52	
	$V_{OH}^{(2)(3)}$	输出高电平		2.83	
	$V_{OL}^{(2)(3)}$	输出低电平	$ I_{IO} =6mA,$ $VDD=3.3V$	0.13	
	$V_{OH}^{(2)(3)}$	输出高电平		3.17	

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值，同时 I_{IO} 的总和（所有 I/O 脚和控制脚）不能超过 I_{VDD} 。
3. 由综合评估得出。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 4-11 和表 4-27 给出。

除非特别说明，表 4-27 列出的参数是使用环境温度和供电电压符合表 4-3 的条件测量得到。

表 4-27 输入输出交流特性⁽¹⁾⁽³⁾

SPEED[1:0]的配置	符号	参数	条件	典型值	单位
11	$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L = 50pF$ $VDD=3.3V$	3.49	ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间		3.59	ns
10	$t_{f(I/O)out}$	输出高至低电平的下降时间		6.35	ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间		6.95	ns
01	$t_{f(I/O)out}$	输出高至低电平的下降时间		4.25	ns
	$t_{r(I/O)out}$	输出低至高电平的上升时间		3.87	ns

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 4-11 中定义。
3. 由设计保证，不在生产中测试。

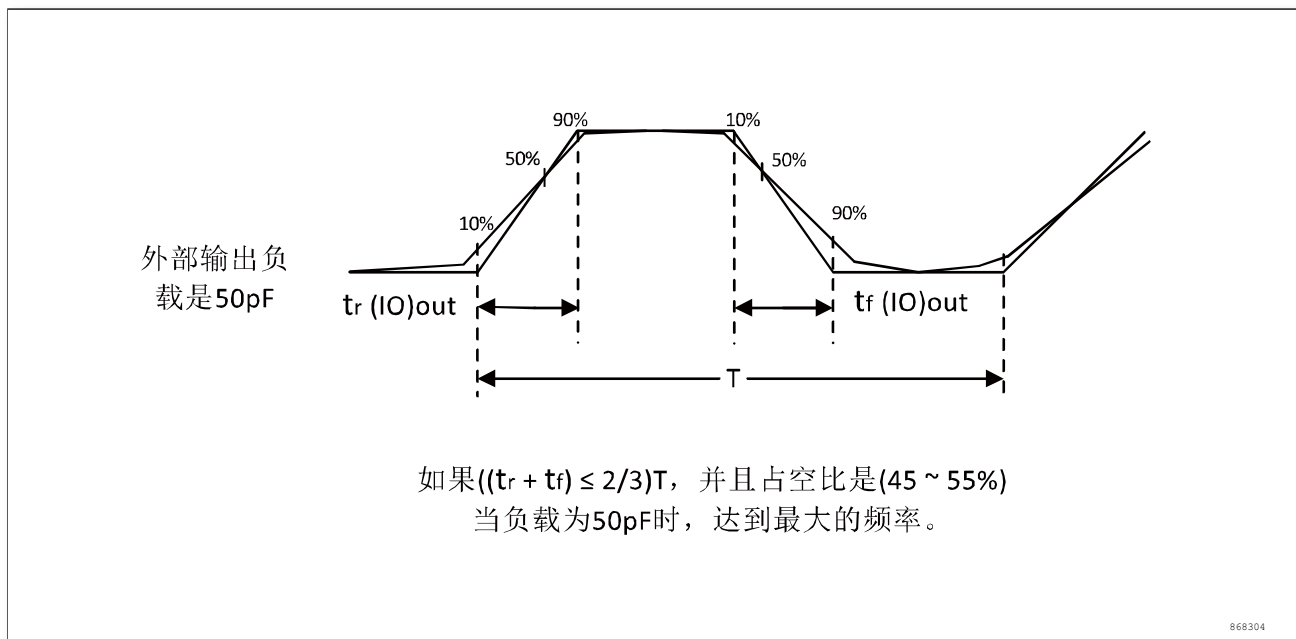


图 4-11 输入输出交流特性定义

4.3.13 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺, 它连接了一个不能断开的上拉电阻, RPU。

除非特别说明, 下表列出的参数是使用环境温度和 VDD 供电电压符合表 4-3 的条件测量得到。

表 4-28 NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$ (1)	NRST 输入低电平电压	VDD=3.3V	-	-	1.47	V
$V_{IH(NRST)}$ (1)	NRST 输入高电平电压	VDD=3.3V	1.74	-	-	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	VDD=3.3V	0.52	0.59	0.66	V
RPU	弱上拉等效电阻 (1)	$V_{IN} = V_{SS}$	25	50	85	kΩ
$V_F(NRST)$ (1)	NRST 输入滤波脉冲	-	-	-	1.0	us
$V_{NF(NRST)}$ (1)	NRST 输入非滤波脉冲	-	4.0	-	-	us

1. 由设计保证, 不在生产中测试。

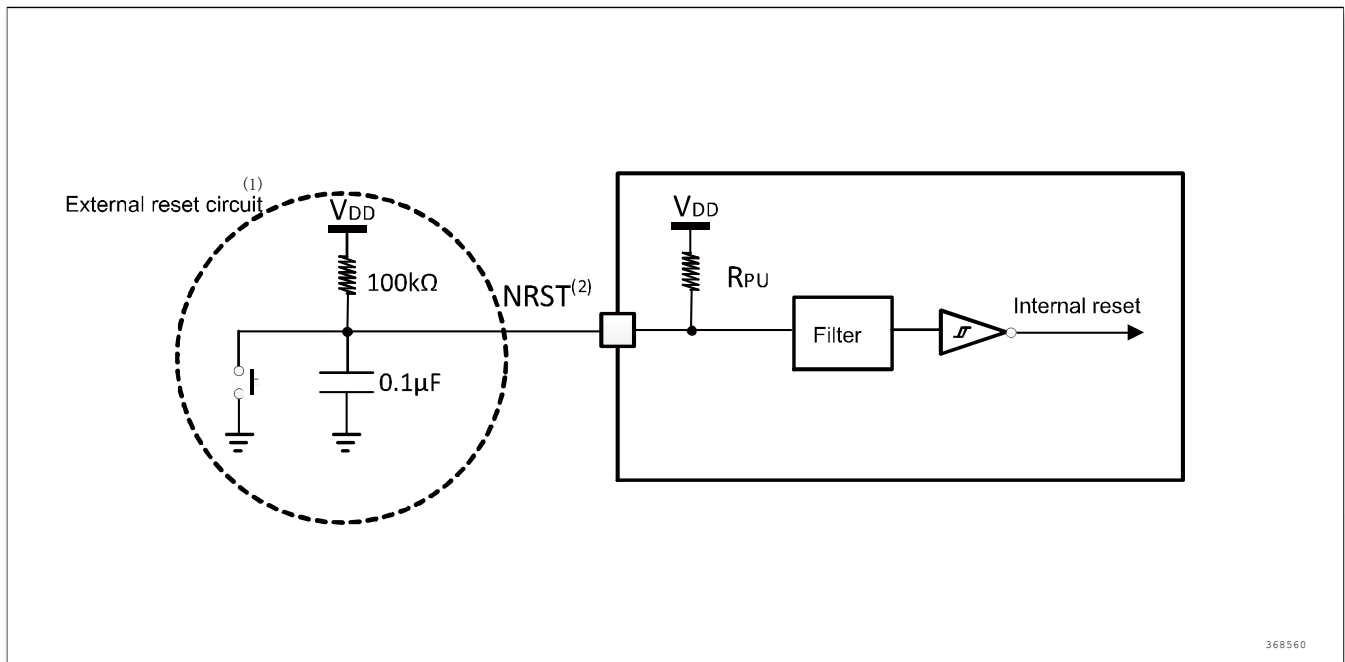


图 4-12 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 4-28 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

4.3.14 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见小节 4.3.12。

表 4-29 TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨率时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 96MHz$	10.4	-	ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率	-	0	-	MHz
		$f_{TIMxCLK} = 96MHz$	0	48	
Res_{TIM}	定时器分辨率	-	-	16	位
$t_{COUNTER}$	16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 96MHz$	0.0104	682.6	us
t_{MAX_COUNT}	最大可能的计数 (TIM_PSC 可调)	-	-	65536*65536	$t_{TIMxCLK}$
		$f_{TIMxCLK} = 96MHz$	-	44.7	s
t_{MAX_IN}	TIM 最高输入频率	-	-	96MHz	MHz

4.3.15 通信接口

I2C 接口特性

除非特别说明，表 4-30 列出的参数是使用环境温度， f_{PCLK1} 频率和 VDD 供电电压符合表 4-3 的条件测量得到。

I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的开漏引脚，当配置为开漏输出时，在引出脚和 VDD 之间的 PMOS 管被关闭，但仍然存在。

I2C 接口特性列于表 4-30，有关输入输出复用功能引脚（SDA 和 SCL）的特性详情，参见小节 4.3.12。

表 4-30 I2C 接口特性

符号	参数	标准 I2C ⁽¹⁾		快速 I2C ⁽¹⁾		单位
		最小值	最大值	最小值	最大值	
$t_w(SCLL)$	SCL 时钟低时间	$8 \cdot t_{PCLK}$	-	$8 \cdot t_{PCLK}$	-	us
$t_w(SCLH)$	SCL 时钟高时间	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	us
$t_{su}(SDA)$	SDA 建立时间	$2 \cdot t_{PCLK}$	-	$2 \cdot t_{PCLK}$	-	ns
$t_h(SDA)$	SDA data retention time	0 ⁽³⁾	-(4)	0 ⁽³⁾	-(4)	ns
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间	-	1000	-	300	ns
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间	-	300	-	300	ns
$t_{vd}(DAT)$ ⁽⁵⁾	数据有效时间	-	$6 \cdot t_{PCLK} - 1$ ⁽⁴⁾	-	$6 \cdot t_{PCLK} - 0.3$ ⁽⁴⁾	μs
$t_{vd}(ACK)$ ⁽⁶⁾	数据确认信号有效时间	-	$6 \cdot t_{PCLK} - 1$ ⁽⁴⁾	-	$6 \cdot t_{PCLK} - 0.3$ ⁽⁴⁾	μs
$t_h(STA)$	开始条件保持时间	$8 \cdot t_{PCLK}$	-	$8 \cdot t_{PCLK}$	-	us
$t_{su}(STA)$	重复的开始条件建立时间	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	us
$t_{su}(STO)$	停止条件建立时间	$6 \cdot t_{PCLK}$	-	$6 \cdot t_{PCLK}$	-	us
$t_w(STO: STA)$	停止条件至开始条件的 时间（总线空闲）	$5 \cdot t_{PCLK}$	-	$5 \cdot t_{PCLK}$	-	us
C_b	每条总线的容性负载	4.7	-	1.2	-	pF

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 3MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 12MHz。
3. 在 SDA 进入 0.3V_{DD} 至 0.7V_{DD} 的不确定范围之前，确保 SCL 在下降沿下降到 0.3V_{DD} 以下。
注意：对于无法观察 SCL 下降沿的控制器，应独立测量 SCL 从静态高电平 (V_{DD}) 到 0.3V_{DD} 的转换时间来插入 SDA 转换相对于 SCL 的延迟。
4. 标准模式和快速模式的最大 $t_h(SDA)$ 可以是 3.45 us 和 0.9 us，但必须比 $t_{vd}(DAT)$ 或 $t_{vd}(ACK)$ 的最大值小一个转换时间。仅当器件不延长 SCL 信号的低电平周期 ($t_w(SCLL)$) 时才必须满足此最大值。如果时钟延长了 SCL，则数据在释放时钟之前必须在建立时间之前有效。
5. $t_{vd}(DAT)$ = 从 SCL LOW 到 SDA 输出数据信号的时间。
6. $t_{vd}(ACK)$ = 从 SCL LOW 到 SDA 输出确认信号的时间。

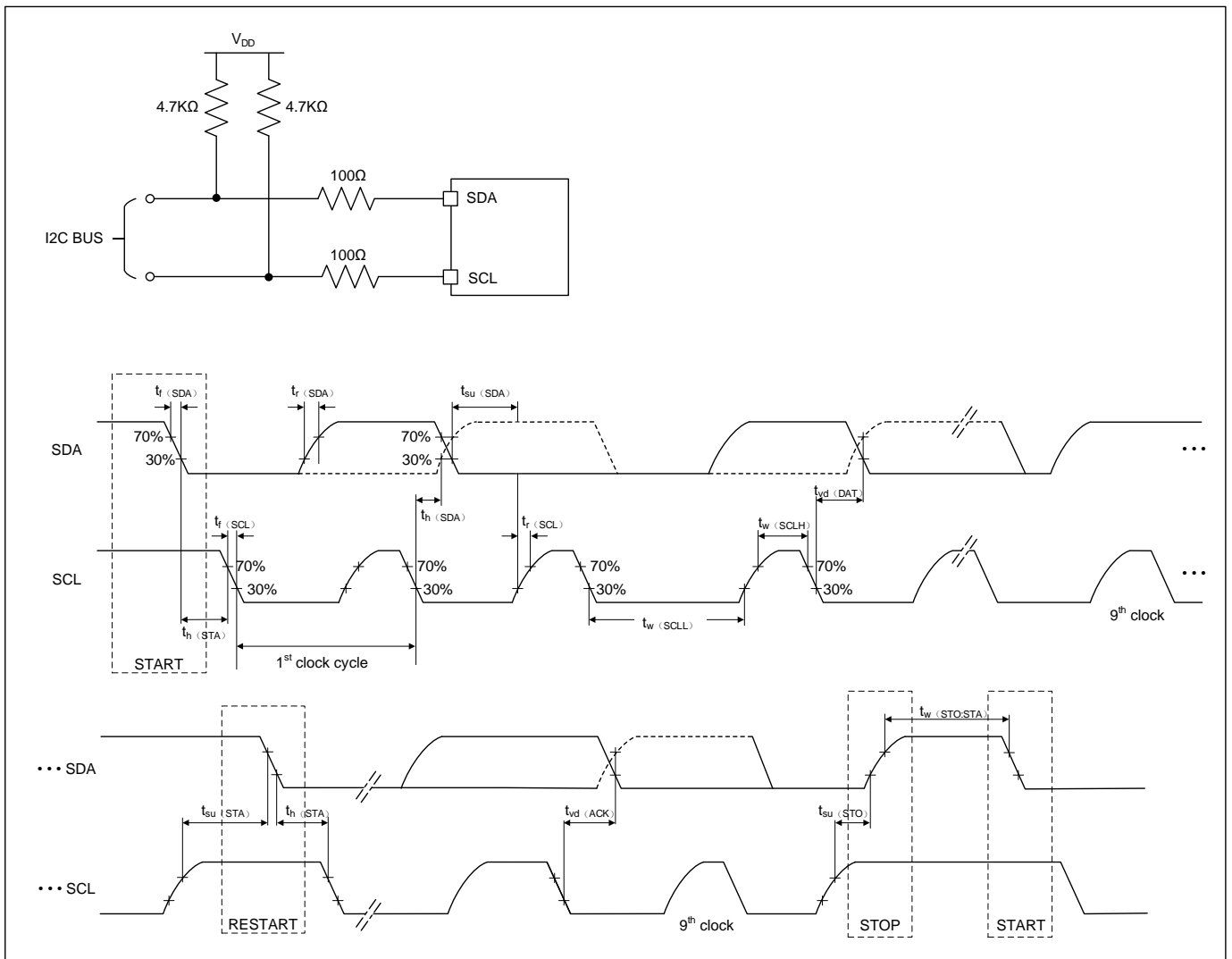


图 4-13 I2C 总线交流波形和测量电路⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

SPI 接口特性

除非特别说明，表 4-31 列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 4-3 的条件测量得到。

有关输入输出复用功能引脚（NSS、SCK、MOSI、MISO）的特性详情，参见小节 4.3.12。

表 4-31 SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{sck1} /t _c (SCK)	SPI 时钟频率	主模式	-	24	MHz
		从模式	-	12	
t _r (SCK)	SPI 时钟上升时间	负载电容: C = 15pF	-	6	ns
t _f (SCK)	SPI 时钟下降时间	负载电容: C = 15pF	-	6	ns
t _{su} (NSS) (1)	NSS 建立时间	从模式	1t _{PCLK}	-	ns

电气特性

符号	参数	条件	最小值	最大值	单位
$t_{h(NSS)}^{(1)}$	NSS 保持时间	从模式	$2t_{PCLK}$	-	ns
$t_w(SCKH)^{(1)}$	SCK 电平为高的时间	-	$t_c(SCK)/2-6$	-	ns
$t_w(SCKL)^{(1)}$	SCK 电平为低的时间	-	$t_c(SCK)/2-6$	-	ns
$t_{su(MI)}^{(1)}$	数据输入建立时间	主模式, $f_{PCLK} = 48MHz$, 预分频系数= 2, 高速模式	12	-	ns
$t_{su(SI)}^{(1)}$		从模式	5	-	ns
$t_h(MI)^{(1)}$	数据输入保持时间	主模式, $f_{PCLK} = 48MHz$, 预分频系数= 2, 高速模式	0	-	ns
$t_h(SI)^{(1)}$		从模式	6	-	ns
$t_v(MO)^{(1)}$	数据输出有效时间	主模式 (使能边沿之后)	-	34	ns
$t_v(SO)^{(1)}$	数据输出有效时间	从模式 (使能边沿之后)	-	13	ns
$t_h(MO)^{(1)}$	数据输出保持时间	主模式 (使能边沿之后)	-0.6	2	ns

1. 由综合评估得出。
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

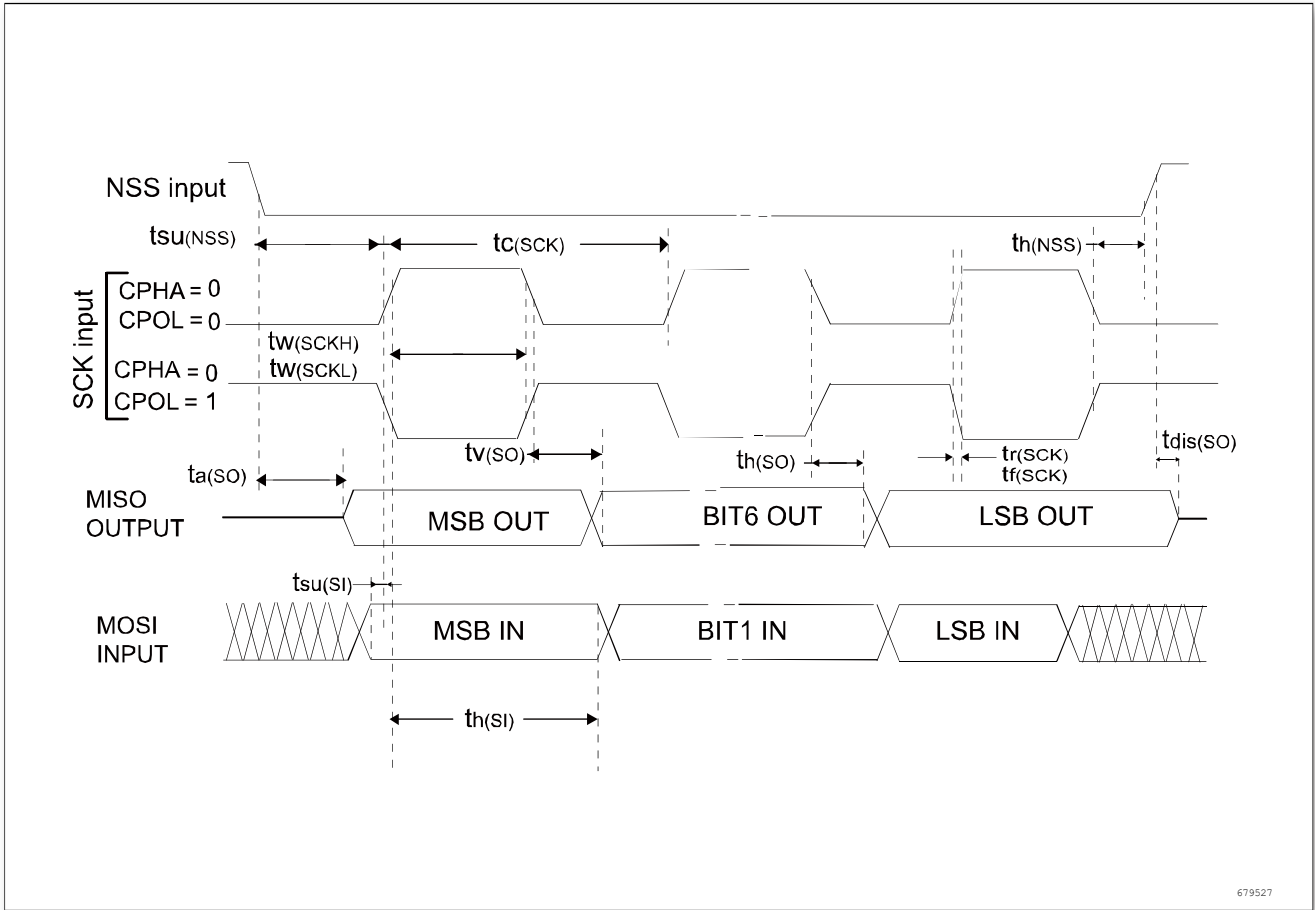


图 4-14 SPI 时序图-从模式和 CPHA = 0, CPOL = 1

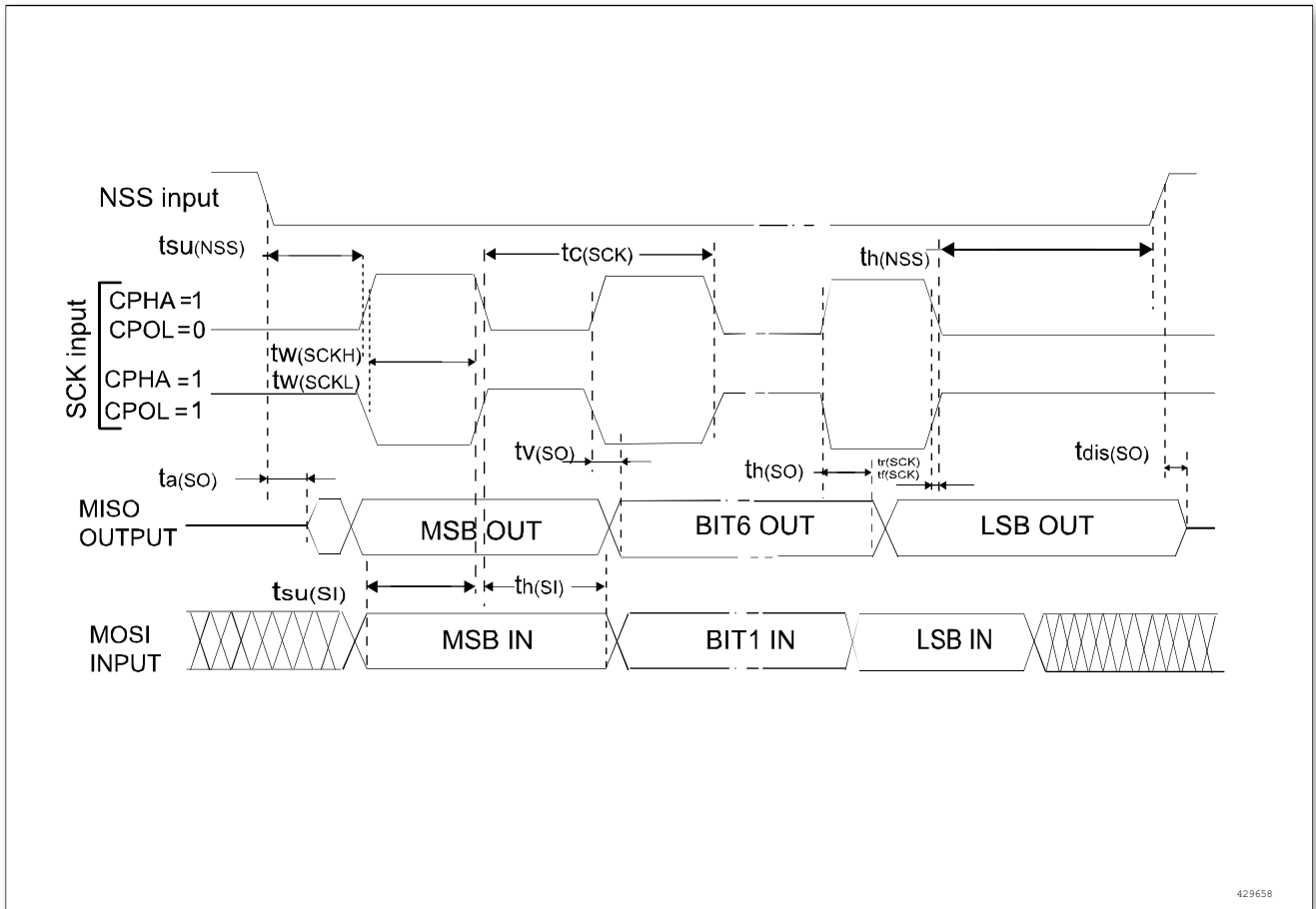


图 4-15 SPI 时序图-从模式和 $CPHA = 1$, $CPHASEL = 1$ ⁽¹⁾

1. 测量点设置于 CMOS 电平: $0.3V_{DD}$ 和 $0.7V_{DD}$ 。

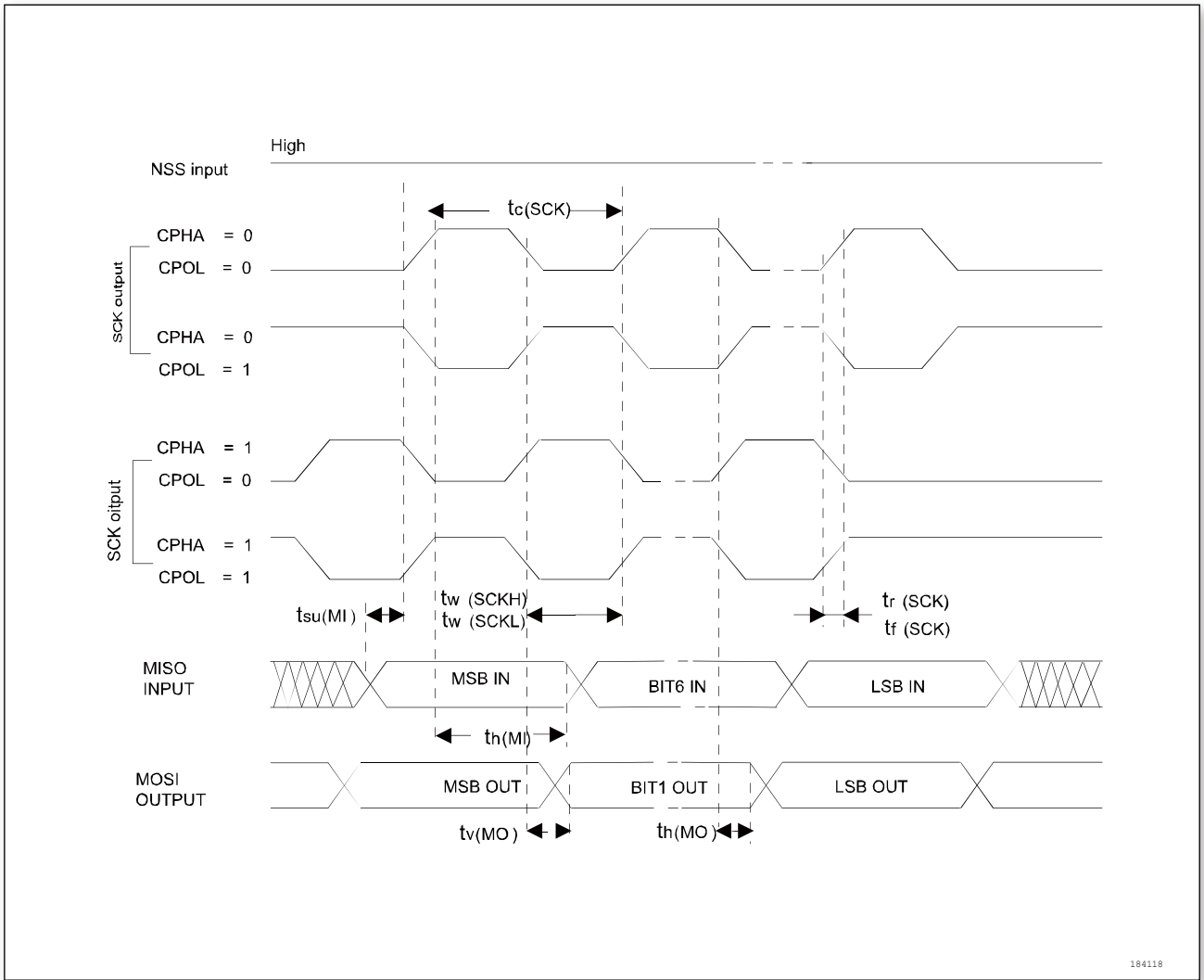


图 4-16 SPI 时序图-主模式，CPHASEL = 1⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

4.3.16 CAN 接口

有关输入输出复用功能引脚（CAN_TX 和 CAN_RX）的特性详情，参见小节 4.3.12。

4.3.17 USB FS OTG 接口

表 4-32 USB 电气参数

符号	参数	条件	最小	最大	单位
V _{DD}	USB 操作电压	-	2.8	3.6	V
V _{DI}	差分输入范围	-	0.2	-	V
V _{CM}	差分共模范围	-	0.8	2.5	V
V _{SE}	单端接收门限	-	1.3	2	V
V _{OL}	静态输出低电压	负载电阻 1.5kΩ 接到 3.6V	-	0.3	V
V _{OH}	静态输出高电压	负载电阻 15kΩ 接到 V _{SS}	2.8	3.6	V

符号	参数	条件	最小	最大	单位
R _{PD}	PA11/PA12 下拉电阻	-	13.5	16.5	kΩ
R _{PU}	PA11/PA12 上拉电阻	-	1.25	1.75	kΩ

1. 设计保证，不在生产中测试。

表 4-33 USB 动态特性

符号	参数	条件	最小	最大	单位
t _r	上升沿	C _L = 50pF	7.688	20.75	ns
t _f	下降沿	C _L = 50pF	7.42	20.59	ns
V _{CRS}	输出信号交叉电压	-	1.36	2.0	V

1. 设计保证，不在生产中测试。

4.3.18 ADC 特性

除非特别说明，下表的参数是使用符合表 4-3 的条件的环境温度、f_{PCLK2} 频率和 V_{DDA} 供电电压测量得到。

表 4-34 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	-	2.5	3.3	5.5	V
f _{ADC}	ADC 时钟频率	-	-	-	16	MHz
f _S ⁽¹⁾	采样速率	-	-	-	1	MHz
f _{TRIG} ⁽¹⁾	外部触发频率 ⁽³⁾	f _{ADC} = 16MHz	-	-	1	MHz
		-	-	-	16	1/f _{ADC}
V _{AIN} ⁽²⁾	转换电压范围	-	0	-	V _{DDA}	V
R _{AIN} ⁽¹⁾	外部输入阻抗	-	见公式 2			kΩ
R _{ADC} ⁽¹⁾	采样开关电阻	-	-	-	1.5	kΩ
C _{ADC} ⁽¹⁾	内部采样和保持电容	-	-	-	10	pF
t _{STAB} ⁽¹⁾	上电时间	-	-	-	10	us
t _{lat} ⁽¹⁾	注入触发转换时延	-	-	-	-	1/f _{ADC}
t _{latr} ⁽¹⁾	常规触发转换时延	-	-	-	-	1/f _{ADC}
t _S ⁽¹⁾	采样时间	f _{ADC} = 16MHz	0.156	-	15.031	us
		-	2.5	-	240.5	1/f _{ADC}
t _{CONV} ⁽¹⁾	总的转换时间（包括采样时间）	f _{ADC} = 16MHz	0.9375	-	15.8125	us
		-	15 ~ 253（采样 t _S + 逐步逼近 12.5）			1/f _{ADC}

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 在该系列产品中，V_{REF+} 在内部连接到 V_{DDA}，V_{REF-} 在内部连接到 V_{SSA}。
4. 由设计保证，不在生产中测试。

5. 对于外部触发，必须在时延中加上一个延迟 $1/f_{ADC}$ 。

输入阻抗列表

公式 2:

$$R_{AIN} < \frac{TS}{f_{ADC} \times C_{ADC} \times \ln(2^{n+2})} - R_{ADC}$$

上述公式（公式 2）用于决定最大的外部阻抗，使得误差可以小于 $1/4$ LSB。其中 $N = 12$ （表示 12 位分辨率），是在 $f_{ADC} = 15\text{MHz}$ 时测量所得。

表 4-35 $f_{ADC}=15\text{MHz}$ ⁽¹⁾ 时的最大 R_{AIN}

T_s (周期)	t_s (us)	最大 R_{AIN} (kΩ)
2.5	0.156	0.1
8.5	0.531	4.0
14.5	0.906	7.8
29.5	1.844	17.5
42.5	2.656	25.9
56.5	3.531	34.9
72.5	4.531	45.2
240.5	15.031	153.4

1. 由设计保证，不在生产中测试。

表 4-36 ADC 静态参数 ⁽¹⁾ ⁽²⁾

符号	参数	条件	典型值	单位
ET	综合误差	$f_{PCLK1} = 24\text{MHz}$, $f_{ADC} = 12\text{MHz}$, $R_{AIN} < 0.1 \text{ k}\Omega$, $V_{DDA} = 3.3\text{V}$, $T_A = 25^\circ\text{C}$	8	LSB
EO	偏移误差		-5/+3	
EG	增益误差		+4	
ED	微分线性误差		-1/+4	
EL	积分线性误差		-4/+2	

1. ADC 精度与反向注入电流的关系：需要避免在任何标准的模拟输入引脚上注入反向电流，因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上，（引脚与地之间）增加一个肖特基二极管。如果正向的注入电流，只要处于小节 4.2 中给出的 I_{INJ} (PIN) 和 ΣI_{INJ} (PIN) 范围之内，就不会影响 ADC 精度。

2. 由综合评估保证，不在生产中测试。

ET = 总未调整误差：实际和理想传输曲线间的最大偏离。

EO = 偏移误差：第一次实际转换和第一次理想转换间的偏离。

EG = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。

ED = 微分线性误差：实际步进和理想值间的最大偏离。

EL = 积分线性误差：任何实际转换和端点相关线间的最大偏离。

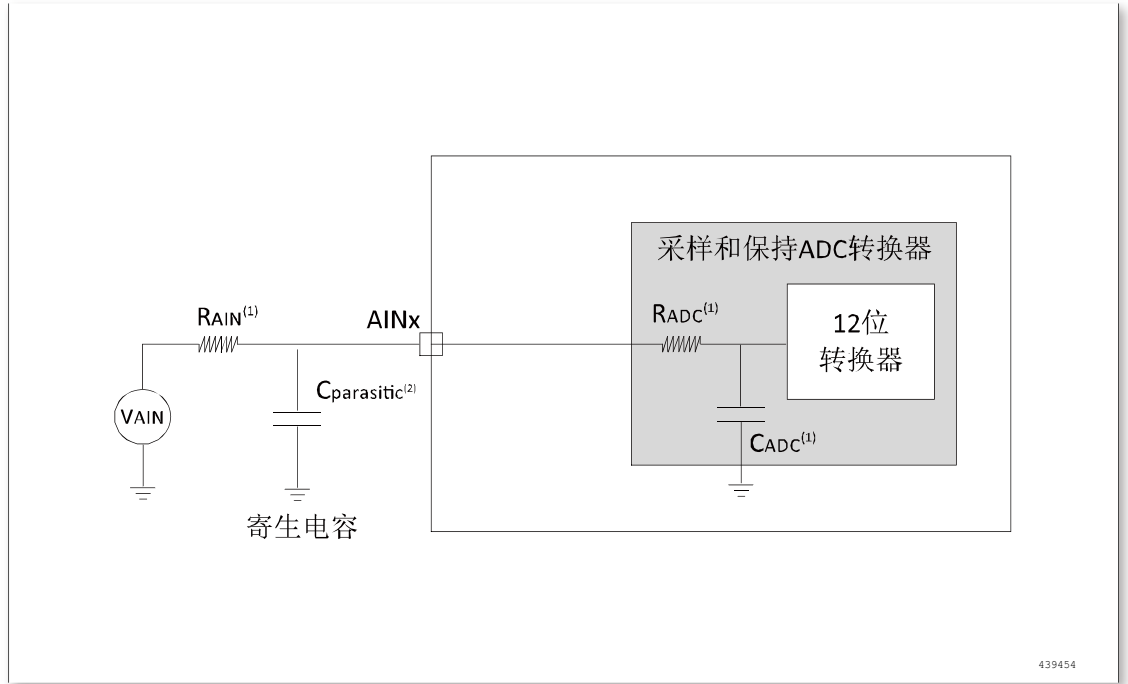


图 4-17 使用 ADC 典型的连接图

1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值，参见表 4-34。
2. $C_{parasitic}$ 表示 PCB（与焊接和 PCB 布局质量相关）与焊盘上的寄生电容（大约 7pF）。较大的 $C_{parasitic}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

PCB 设计建议

电源的去耦必须按照下图连接。图中的 10 nF 电容必须是瓷介电容，它们应该尽可能地靠近 MCU 芯片。

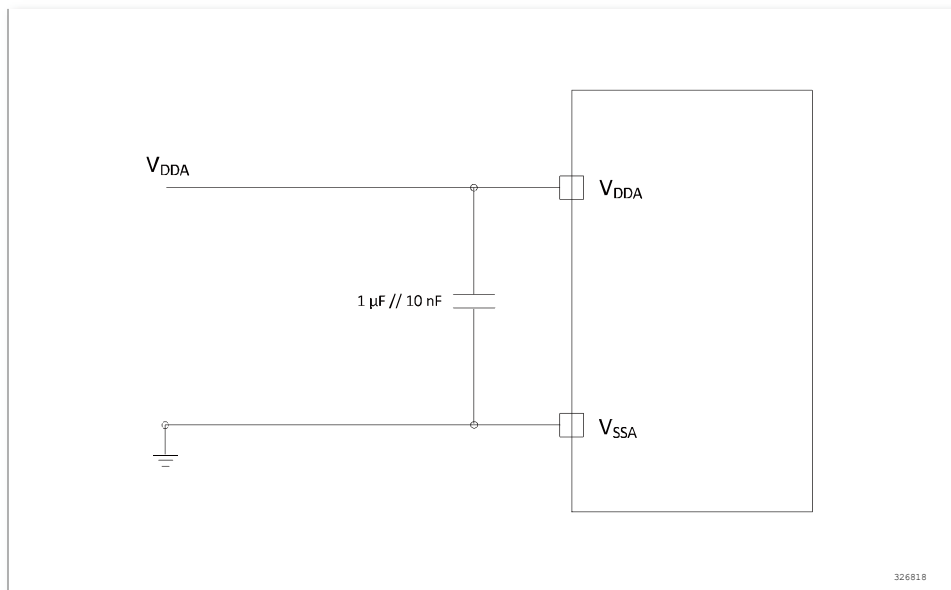


图 4-18 供电电源和参考电源去耦线路

4.3.19 温度传感器特性

表 4-37 温度传感器特性⁽³⁾⁽⁴⁾

符号	参数	最小值	典型值	最大值	单位
T_L ⁽¹⁾	VSENSE 相对于温度的线性度	-10	-	+10	°C
Avg_Slope ₍₁₎	平均斜率	-	4.955	-	mV/°C
V_{25} ⁽¹⁾	在 25°C 时的电压	-	1.465	-	V
t_{START} ⁽²⁾	建立时间	-	-	10	μS
t_{S_temp} ⁽²⁾	当读取温度时，ADC 采样时间	-	-	-	μS

1. 由综合评估保证，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 最短的采样时间可以由应用程序通过多次循环决定。
4. $V_{DD} = 3.3V$ 。
5. 温度公式： $TS_adc = 25 + (value * vdda_offset * 3300) / (4096 * Avg_slope)$ ，offset 记录于 0x1FFFF7F6 低 12 位中。

4.3.20 内置参考电压特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 4-38 内置参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
VREFINT	内置参考电压	$-40^{\circ}C < T_A < 105^{\circ}C$	-	1.2	-	V
$T_{s_vrefint}$ ₍₁₎	当读出内部参考电压时，ADC 的采样时间	-	-	11.8	-	us

1. 最短的采样时间是通过应用中的多次循环得到。

4.3.21 DAC 特性

表 4-39 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	供电电压	-	2.5	3.3	5.5	V
V _{REF+}	参考电压	-	2.5	3.3	5.5	V
R _O	输出阻抗	buff on, output connected to V _{SSA}	-	97	-	Ω
		buff on, output connected to V _{DDA}	-	85	-	
DAC_OUT _{min}	输出最低电压	-	V _{SSA} +0.1	-	-	V
DAC_OUT _{max}	输出最高电压	-	-	-	V _{DDA} -0.1	V
I _{DDA}	DAC 静态电流	-	-	430	-	uA
DNL	微分非线性误差	-	-	-4/+1	-	LSB
INL	积分非线性误差	-	-	-2.5/+3	-	LSB
Offset	偏移误差	-	-	-1/+1	-	LSB
Gain error	增益误差	-	-	-2/+2	-	LSB
Update rate	最大更新速率	-	-	1	-	MS/s

1. 由综合评估保证，不在生产中测试

4.3.22 比较器特性

表 4-40 比较器特性

符号	参数	寄存器配置	最小值	典型值	最大值	单位
t _{HYST}	迟滞	00	-	0	-	mV
		01	-	15	-	mV
		10	-	30	-	mV
		11	-	90	-	mV
V _{OFFSET}	失调电压	00	0.091	0.213	0.358	mV
		01	-	-	-	mV
		10	-	-	-	mV
		11	-	-	-	mV
t _{DELAY}	传播延时 (1)	00	-	80	-	ns
		01	-	51	-	ns
		10	-	26	-	ns
		11	-	9	-	ns
I _q	工作电流均值 (2)	00	-	4.5	-	uA
		01	-	4.4	-	uA
		10	-	4.4	-	uA

电气特性

符号	参数	寄存器配置	最小值	典型值	最大值	单位
		11	-	4.4	-	uA

1. 输出翻转 50% 与输入翻转的时间差。
2. 总消耗电流均值，工作电流。

5 封装特性

5.1 封装 LQFP144

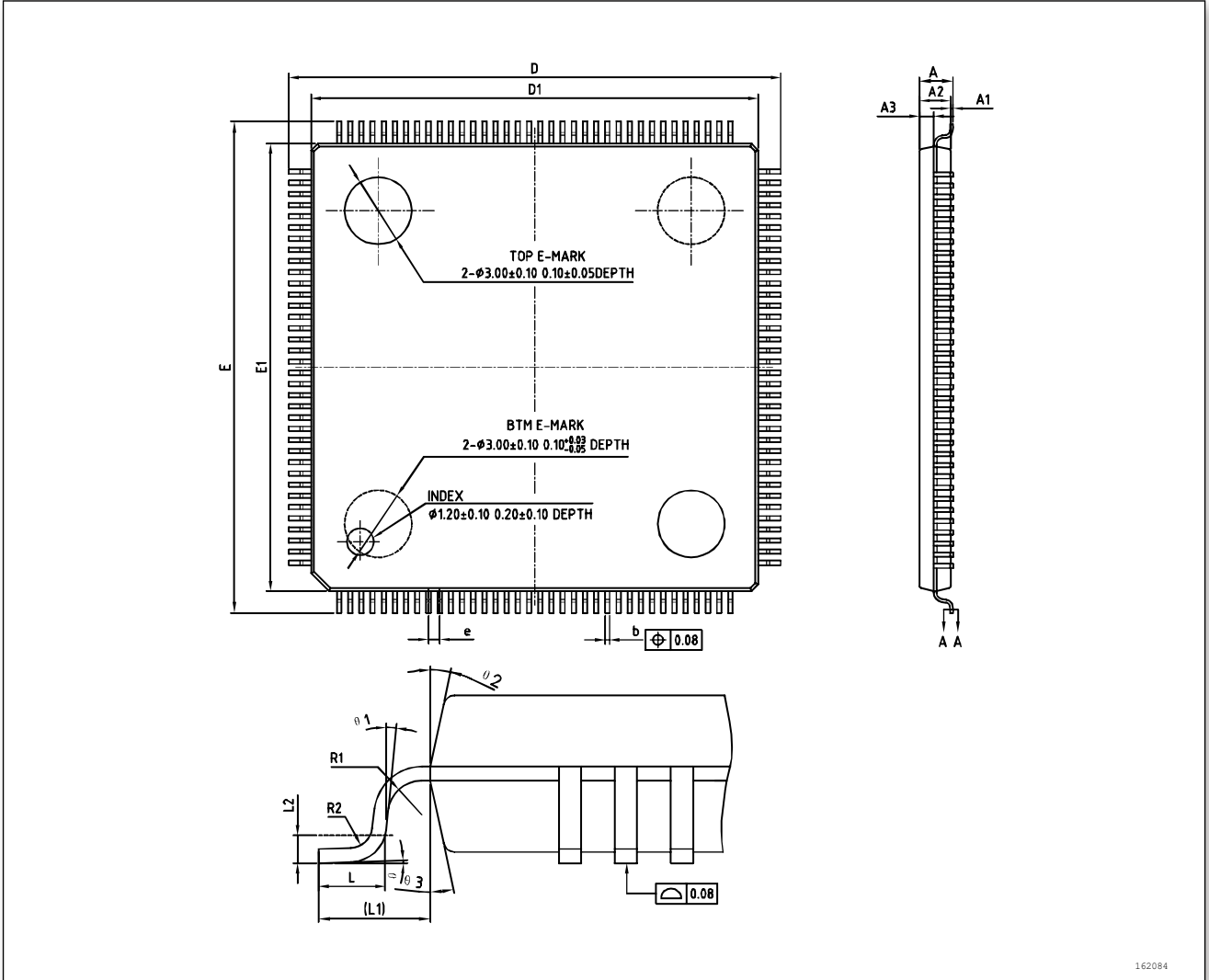


图 5-1 LQFP144, 144 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

封装特性

表 5-1 LQFP144 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	-	0.27
b1	0.17	0.20	0.23
c	0.127	-	0.18
c1	0.119	0.127	0.135
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	-
θ	0°	-	7°
θ_1	0°	-	-
θ_2	11°	12°	13°
θ_2	11°	12°	13°

5.2 封装 LQFP100

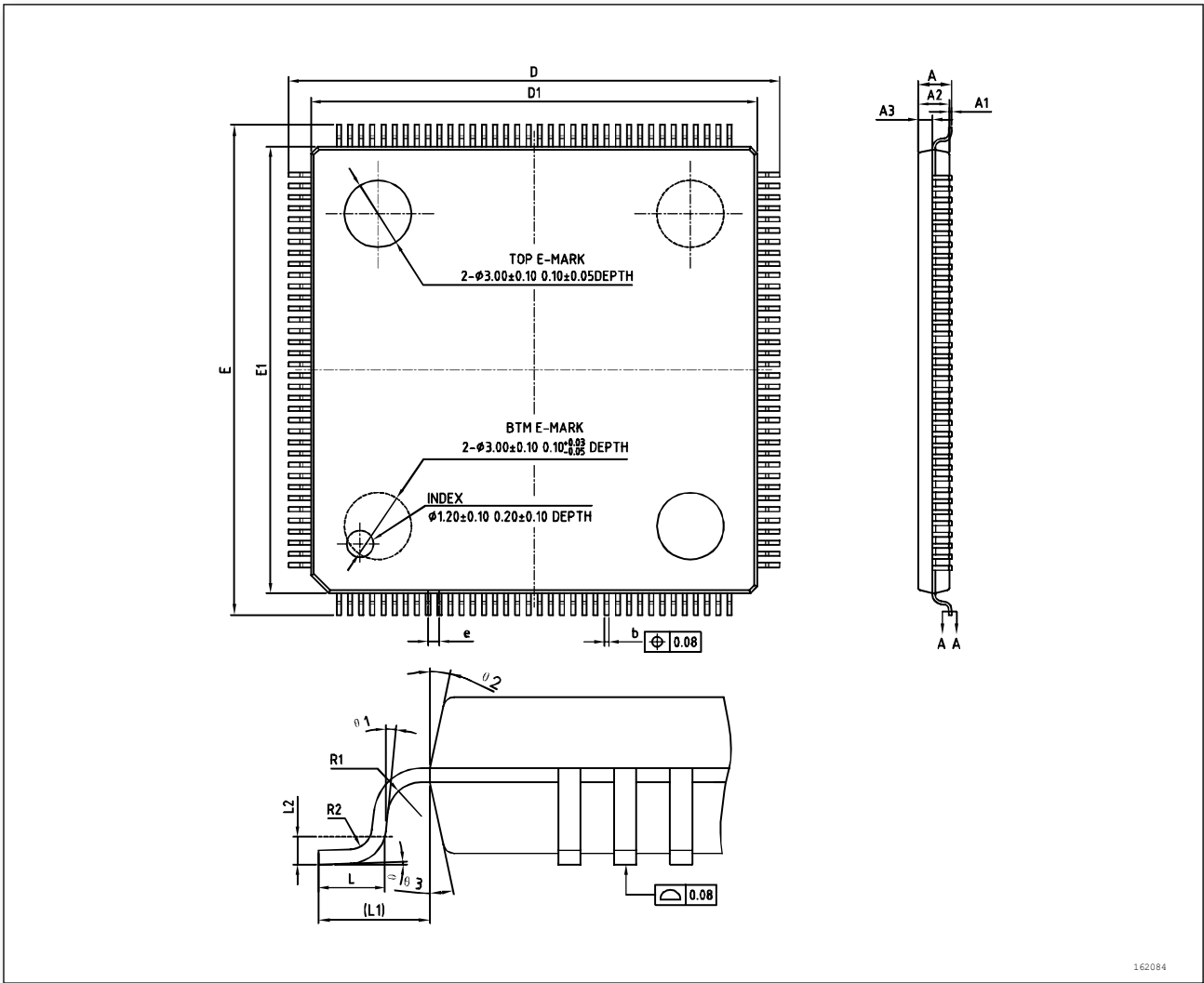


图 5-2 LQFP100, 100 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

封装特性

表 5-2 LQFP100 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.17	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	15.80	16.00	16.20
D1	13.90	14.00	14.10
E	15.80	16.00	16.20
E1	13.90	14.00	14.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
θ_1	0°	-	-
θ_2	11°	12°	13°
θ_3	11°	12°	13°

5.3 封装 LQFP64

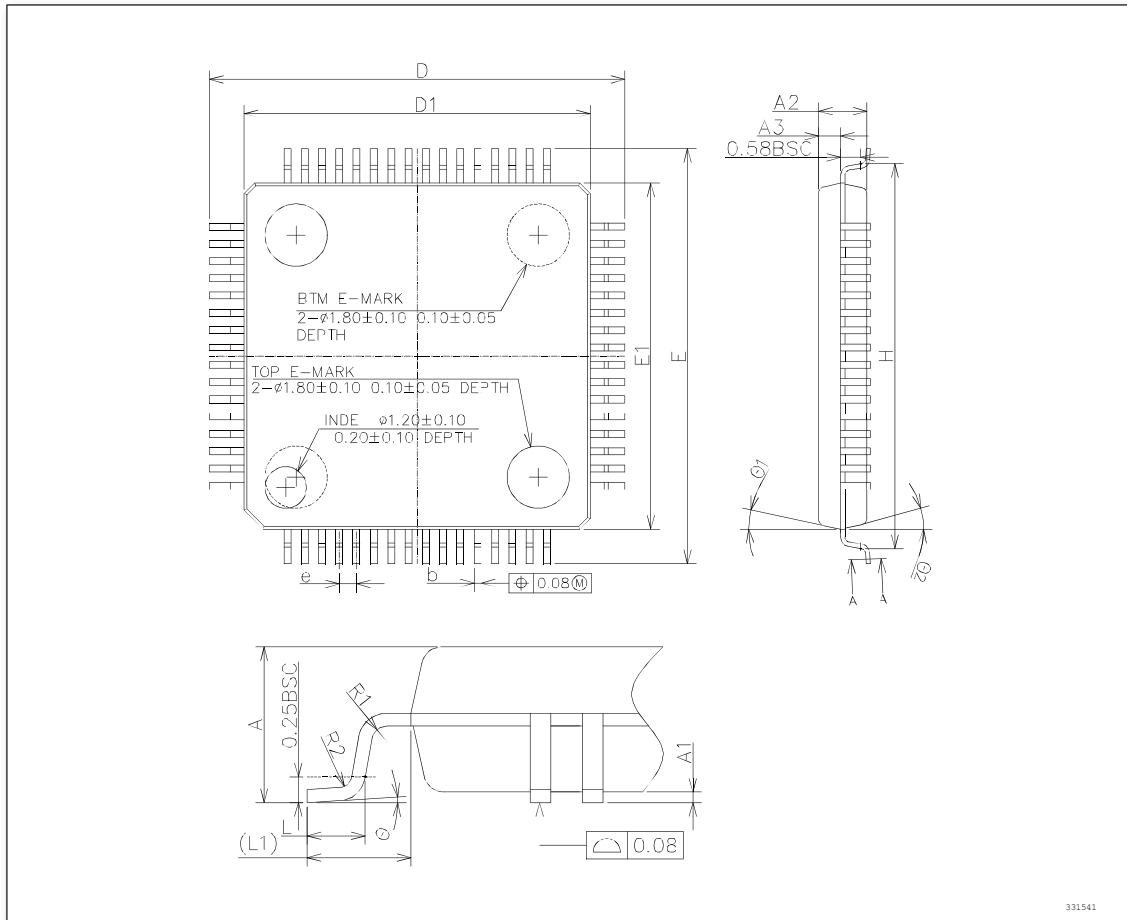


图 5-3 LQFP64, 64 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

封装特性

表 5-3 LQFP64 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.117	0.127	0.137
D	11.95	12.00	12.05
D1	9.90	10.00	10.10
E	11.95	12.00	12.05
E1	9.90	10.00	10.10
e	0.40	0.50	0.60
H	11.09	11.13	11.17
L	0.53	-	0.70
L1	1.00REF		
R1	0.15REF		
R2	0.13REF		
θ	0°	3.5°	7°
θ_1	11°	12°	13°
θ_2	11°	12°	13°

5.4 封装 LQFP48

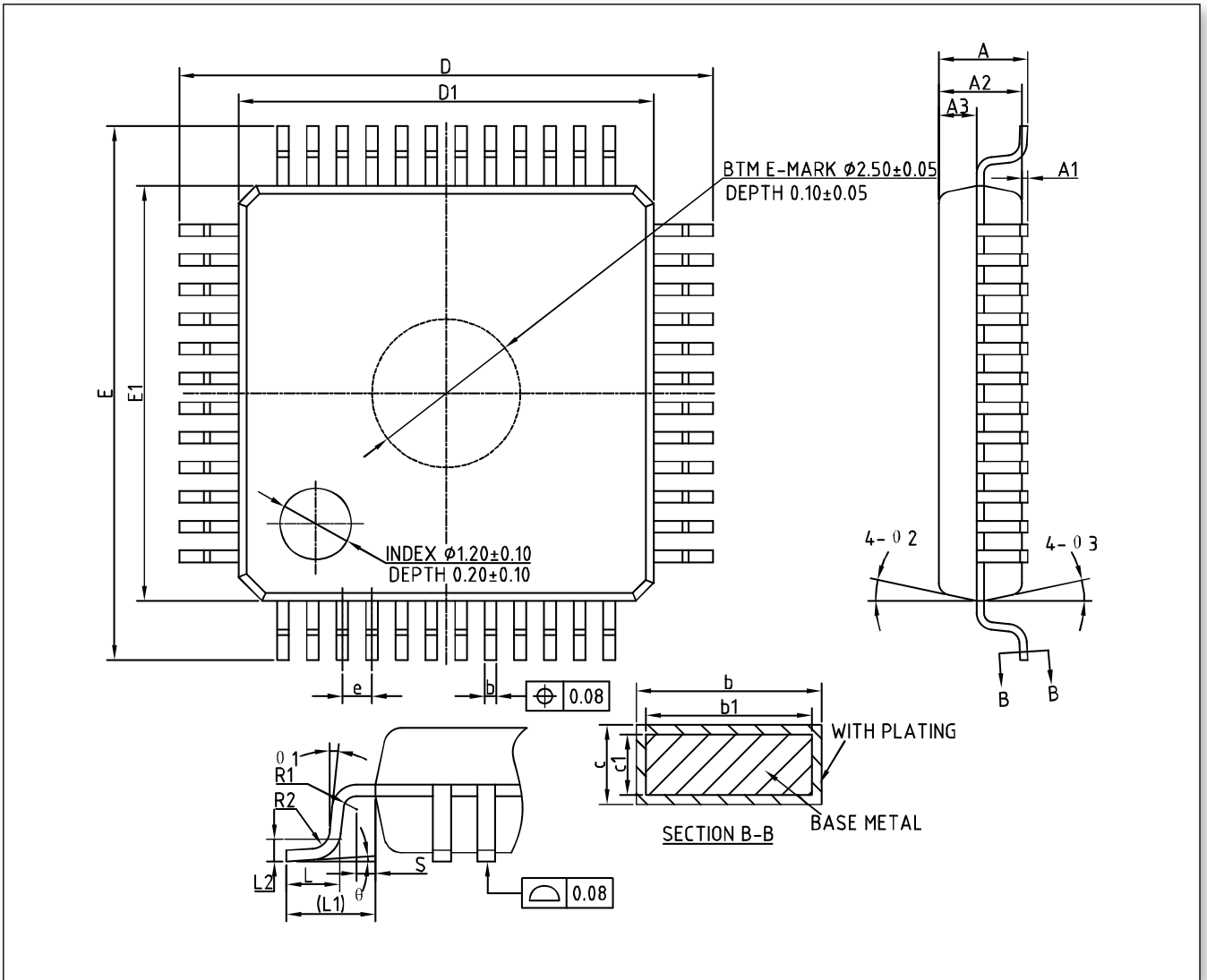


图 5-4 LQFP48, 48 脚低剖面方形扁平封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

封装特性

表 5-4 LQFP48 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	-	-	1.6
A1	0.05	-	0.15
A2	1.35	1.4	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.2
S	0.2	-	-
θ	0°	3.5°	7°
θ_1	0°	-	-
θ_2	11°	12°	13°
Θ_3	11°	12°	13°

5.5 封装 QFN40

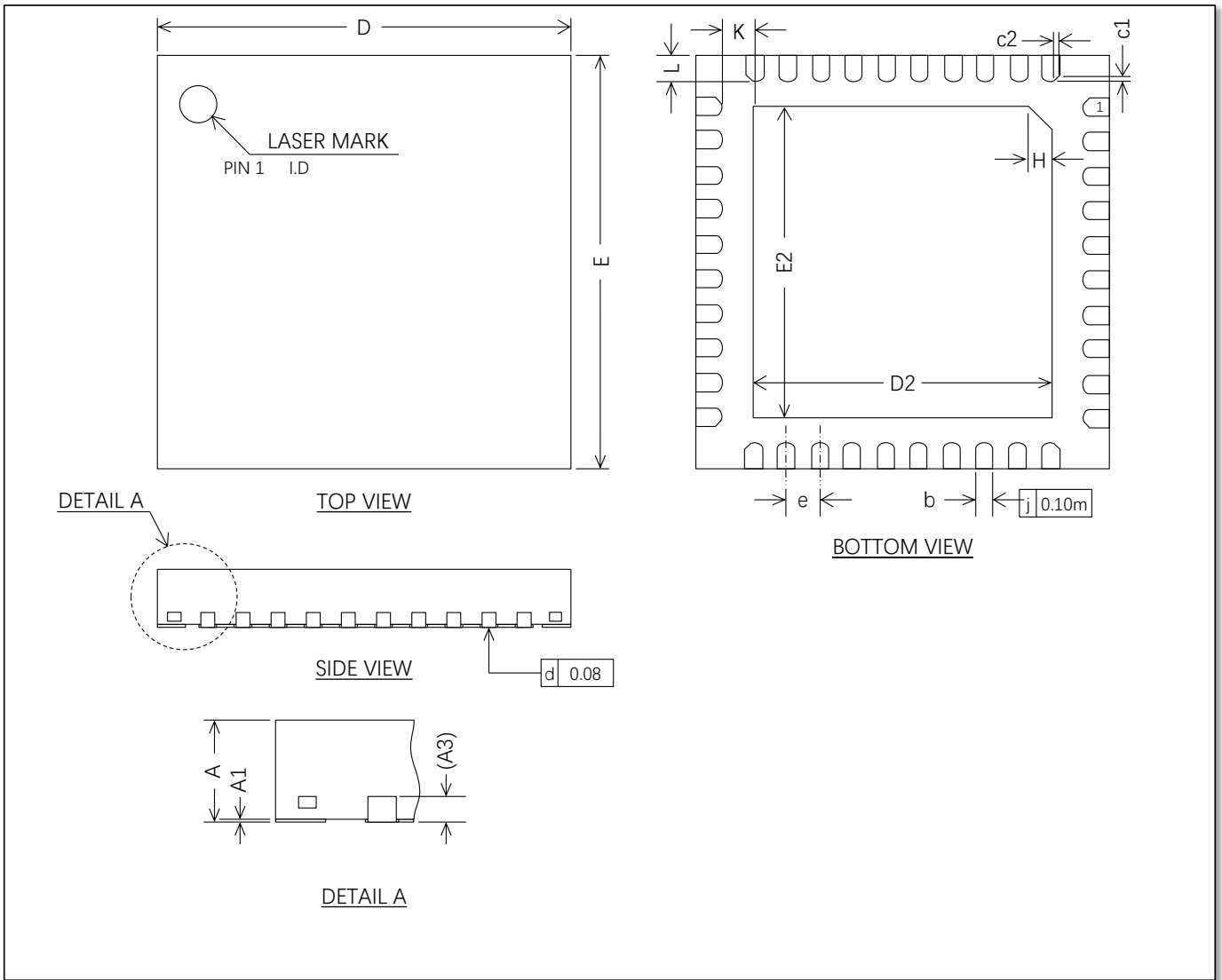


图 5-5 QFN40, 40 脚方形扁平无引线封装外形封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

封装特性

表 5-5 QFN40 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	0.20REF		
b	0.20	0.25	0.30
D	5.90	6.00	6.10
E	5.90	6.00	6.10
D2	4.40	4.50	4.60
E2	4.40	4.50	4.60
e	0.40	0.50	0.60
H	0.35REF		
K	0.25	0.35	0.45
L	0.30	0.40	0.50
c1	-	0.08	-
c2	-	0.08	-

6 产品命名规则

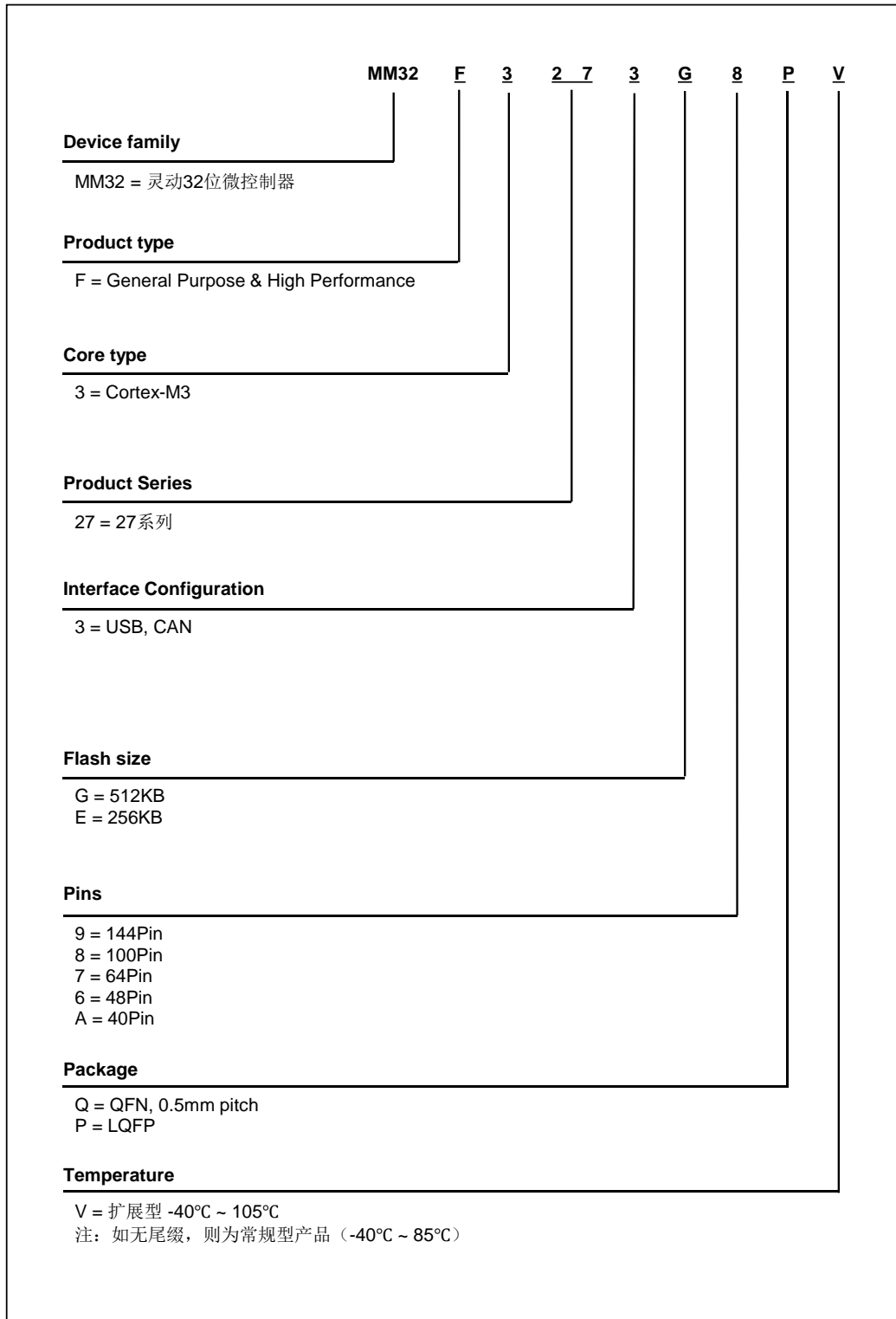


图 6-1 MM32 型号命名

7 缩略词

ADC	数模转换器
BKP	备份寄存器
CRC	循环冗余校验
DMA	直接内存访问控制器
EXTI	外部中断事件控制器
EMC	电磁兼容性
ESD	静电放电
FLASH	闪存存储器
GPIO	通用输入输出
HSE	外部高速时钟
HSI	内部高速时钟
I2C	集成电路间接口
IWDG	独立看门狗
LP	低功耗
LSI	内部低速时钟
NVIC	嵌套中断向量列表
PWR	电源/功耗控制
POR	上电复位
PDR	掉电复位
PVD	电压监测器
RCC	复位与时钟控制器
RTC	实时时钟
SRAM	静态随机存取存储器
SPI	串行外设接口
SWD	串行调试接口
SysTick	系统嘀嗒定时器
Sleep	睡眠
Stop	停机
Standby	待机
TIM	定时器

缩略词

UART	通用异步收发
WWDG	窗口看门狗

8 修订记录

表 8-1 修订记录

日期	版本	内容
2022/04/20	Rev1.42	1. 修正 NRST 相关图片和数值 2. 修正 HSE 和 LSE 图片
2022/01/24	Rev1.41	修正电压特性最大值
2022/01/04	Rev1.4	1. 更新 VBAT 工作条件 2. 删除 GPIO H 组的外部中断支持相关描述 3. 修正 I2C 通信框图错误描述 4. 在 LQFP144 和 LQFP48 引脚图中修正 PB2 对应的 BOOT 脚名称
2021/12/15	Rev1.3	1. 更新 USB 接口描述 2. 删除以太网相关型号和描述 3. 更新 ESD & LU 数据
2021/07/06	Rev1.02	2 规格说明 调整型号列表 4 电气特性 更新 ESD 规格 更新上电和掉电工作条件表
2021/05/12	Rev1.01	1 总览 修改 QFN40 封装描述 2 规格说明 增加部分 LQFP48 和 QFN40 型号 3 引脚定义及复用功能 增加 QFN40 引脚定义 5 封装特性 增加 QFN40 封装特性
2021/04/08	Rev1.00	1. 正式版