



目录

1. 概述	2
1.1 性能	2
1.2 存储器	2
1.3 复位和电源	2
1.4 时钟	2
1.5 外设模块	2
1.6 模拟模块	3
2. 功能框图	4
3. 引脚排列和引脚说明	5
4. 存储器映射	11
5. 电气特性	14
5.1 LCP037BT32EU8 预驱特性	14
5.1.1 极限参数	14
5.1.2 典型参数	14
5.2 MCU 特性	15
5.2.1 绝对最大值	15
5.2.2 推荐工作条件	16
5.2.3 直流电气特性	17
5.2.4 IO 管脚参数	18
5.2.5 系统复位及电压监控	18
5.2.6 模拟模块的特性	19
6. 封装特性	21
7. 命名规则	22
8. 修订历史	23

1. 概述

LCP037BT32EU8 是 32 位内核的面向电机控制等应用领域的高性能处理器，同时集成了三相半桥栅极驱动模块，可直接驱动 6 个 N 型 MOSFET。

1.1 性能

- ◆ 96MHz 32 位 M0 内核
- ◆ 支持三种低功耗模式：睡眠模式、停机模式、超低功耗停机模式
- ◆ 三相半桥栅极驱动模块
- ◆ 工业级工作温度

1.2 存储器

- ◆ 32KBytes 嵌入式 Flash（位宽 32bit），支持预取功能和读/写保护
- ◆ 4KBytes SRAM（位宽 32bit），分为两个独立分区，每个分区 2Kbytes

1.3 复位和电源

- ◆ 1.8V 到 5.5V 供电和 I/O
- ◆ 两个 LDO，一个用于低功耗的常开/备份电源域，一个用于系统运行的内核电源域
- ◆ 高精度上电、掉电复位（POR_PDR）
- ◆ 可编程低压复位（LVR），8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
- ◆ 可编程电压监测器（LVD），8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V

1.4 时钟

- ◆ 4MHz 到 20MHz 的高速晶振（OSCH）
- ◆ 内置出厂校准过的 16MHz RC 振荡器（RCH，1%精度）
- ◆ 32KHz 低速晶振（OSCL）
- ◆ 内置出厂校准过的 24KHz RC 振荡器（RCL，10%精度）
- ◆ 内置 PLL，最高输出 144MHz，抖动小于 100ps

1.5 外设模块

- ◆ 两路 UART
- ◆ 两路 SPI，支持主从模式
- ◆ 一路 I²C，支持主从模式
- ◆ 1 个 16 位高级控制定时器 TIM1
- ◆ 5 个 16 位通用定时器，TIM3、TIM14、TIM15、TIM16、TIM17
- ◆ 1 个 16 位基本定时器 TIM6
- ◆ 1 个独立看门狗定时器
- ◆ 1 个窗口看门狗定时器
- ◆ 1 个 24 位自减型系统时基定时器

-
- ◆ 1 个 WT 钟表定时器
 - ◆ 多达 23 个快速 I/O 端口

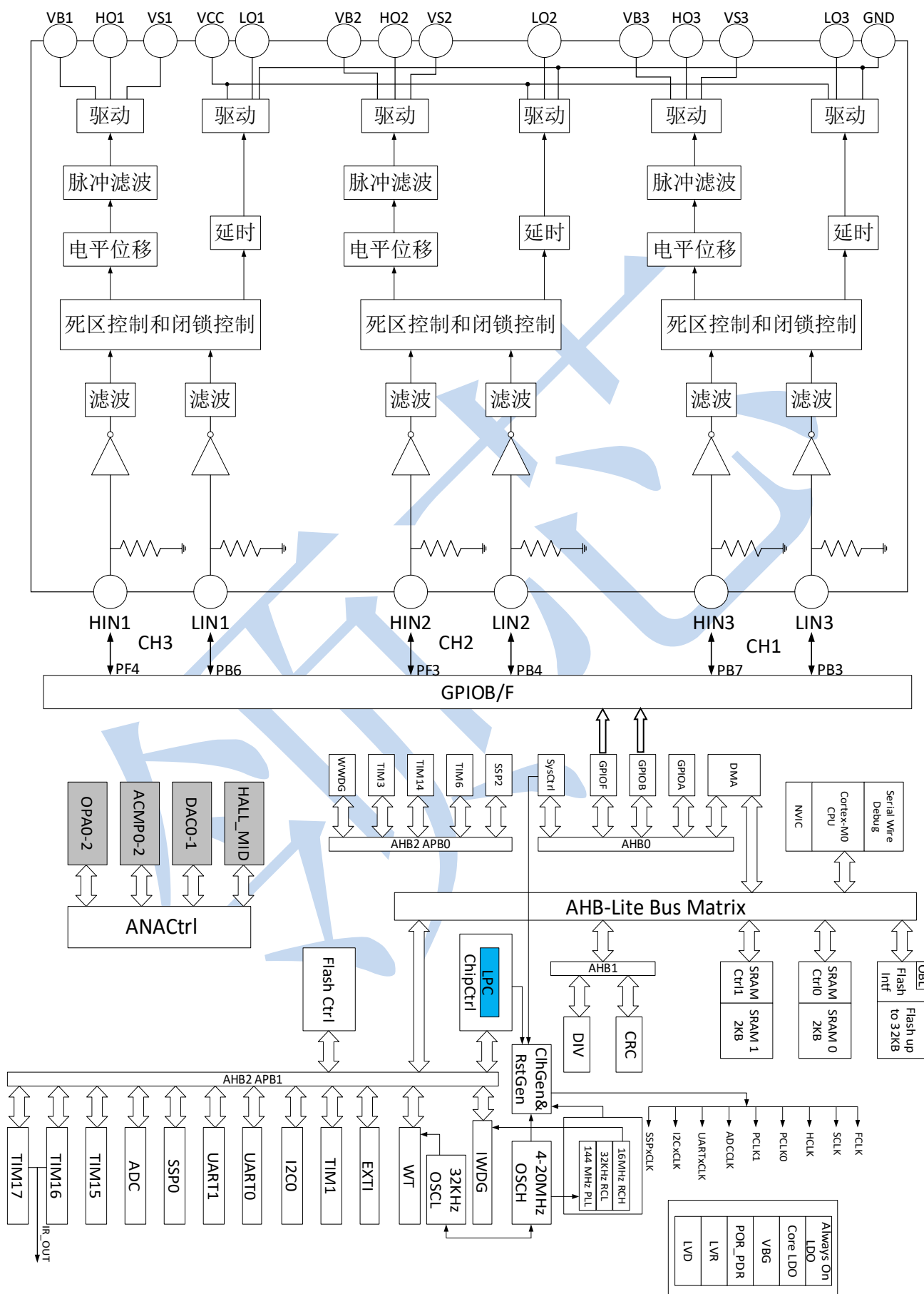
1.6 模拟模块

- ◆ 1 个 12 位 A/D 转换器，最高转换速率为 1.5MSPS，最多支持 24 个通道，内置温度传感器
- ◆ 集成 3 个运算放大器
- ◆ 集成三路比较器
- ◆ 集成两个 10 位 DAC 数模转换器
- ◆ 反电动势采样电路 (HALL_MID)



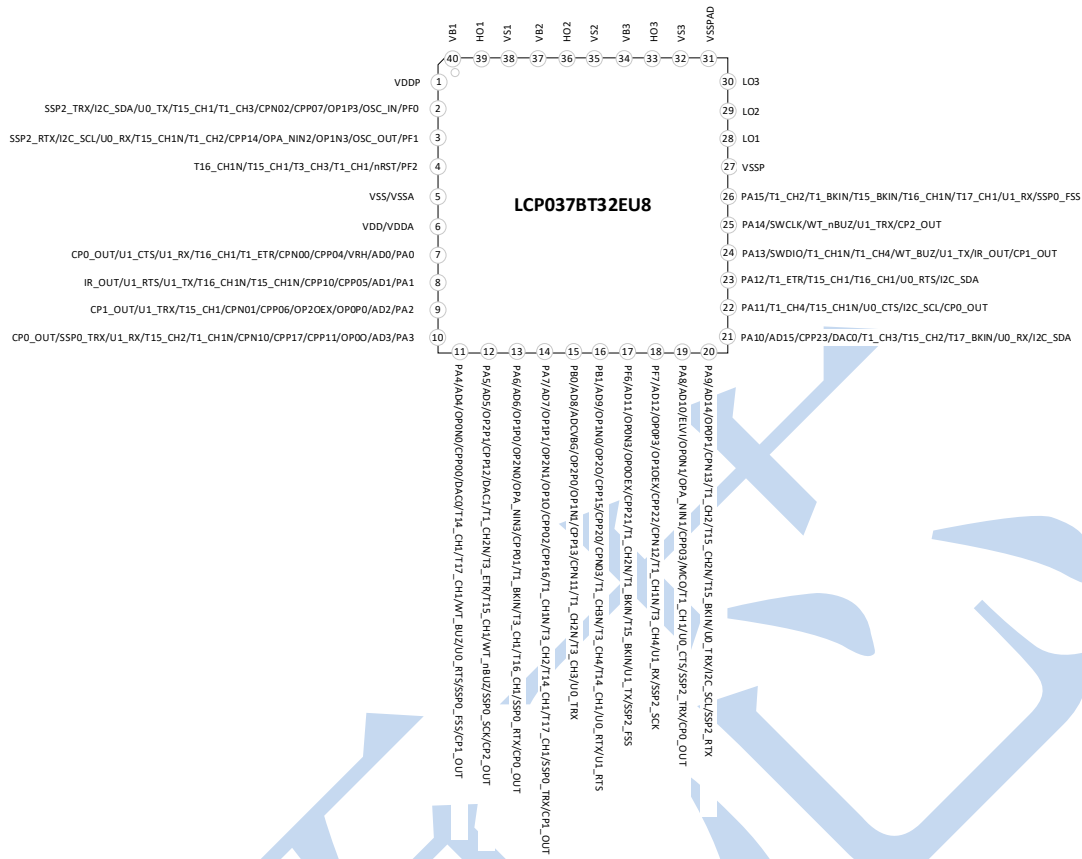
2. 功能框图

图 1 LCP037BT32EU8 功能框图



3. 引脚排列和引脚说明

图 2. LCP037BT32EU8 QFN40 封装引脚排列



(具体引脚功能定义参见表 2)

表 1 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称		除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释		除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2 LCPO37BT32EU8 引脚定义

引脚名(复位后的功能)	引脚类型	I/O 结构		可选复用功能	外部功能	模拟复用功能(AN)	
						AN1	AN2
QFN40							
	TESTEN				测试功能		
	PF4	I/O	1ANA	SSP2_FSS/TIMCH1N/ TIM1_CH3/TIM3_CH1/	WKUP2		
1	VDD	S					
2	PF0	I/O	2OP	SSP2_TXD/ I2C0_SDA/ TIM1_CH3/ TIM15_CH1/ UART0_TX/ SSP2_RXD		注 1 CPN02/ OP1P3/ CPP07	OSCL_IN / OSCH_IN
3	PF1	I/O	2OP	SSP2_RXD/ I2C0_SCL/ TIM1_CH2/ TIM15_CH1N/ URAT0_RX/ SSP2_TXD		CPP14 / OP1N3/ OPA_NIN2	OSCL_OUT / OSCH_OUT
4	PF2(nRST)	I/O	1ANA	TIM1_CH1/ TIM3_CH3/ TIM15_CH1/TIM16_CH1N	注 2 nRST		
5	VSS/VSSA	S					
6	VDDA	S					
6	VDDH	S					
7	PA0	I/O	2ANA	UART1_CTS/ TIM1_ETR/ TIM16_CH1/ UART1_RX/ CP0_OUT	WKUP0	ADCIN[0] / CPP04 / CPN00	VRH
8	PA1	I/O	2ANA	EVENTOUT/ UART1_RTS/ TIM16_CH1N/ UART1_TX/ TIM15_CH1N/ IR_OUT		ADCIN[1]	CPP05/ CPP10
9	PA2	I/O	2OP	TIM15_CH1/ UART1_TX/ CP1_OUT/ UART1_RX		CPN01/ OP0P0/ CPP06	OP2OEX / ADCIN[2]
10	PA3	I/O	ANA_OP	TIM15_CH2/ UART1_RX/ TIM1_CH1N/ SSP0_TXD/ CP0_OUT/ SSP0_RXD		ADCIN[3] / CPN10/ CPP11	OP00/ CPP17
11	PA4	I/O	2OP	SSP0_FSS/UART0_RTS/ TIM17_CH1/ TIM14_CH1/ WT_BUZ/ CP1_OUT		DAC_OUT0	ADCIN[4] / OP0N0 / CPP00
12	PA5	I/O	2OP	SSP0_SCK/ TIM15_CH1/ TIM1_CH2N/WT_nBuz/ CP2_OUT/ TIM3_ETR		ADCIN[5] / OP2P1 / CPP12	DAC_OUT1
13	PA6	I/O	ANA_OP	SSP0_RXD/TIM3_CH1/ TIM1_BKIN/CP0_OUT/ TIM16_CH1/ EVENTOUT/ SSP0_TXD		ADCIN[6] / CPP01	OP1P0 / OP2N0/ OPA_NIN3
14	PA7	I/O	2OP	SSP0_TXD/ TIM3_CH2/ TIM1_CH1N/CP1_OUT/ TIM14_CH1/ TIM17_CH1/ EVENTOUT/ SSP0_RXD		ADCIN[7] / OP1P1/ OP2N1/ CPP02	OP10/ CPP16

15	PB0	I/O	ANA_OP	EVENTOUT/ TIM3_CH3/ TIM1_CH2N/ UART0_TX/ UART0_RX		ADCVBG	ADCIN[8]/ CPP13/ OP2P0/ CPN11/ OP1N1
16	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/ TIM1_CH3N/UART1_RTS/ UART0_RX/UART0_TX		ADCIN[9]/ CPP20/ OP1N0/ CPN03	OP20/ CPP15
17	PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/ TIM1_BKIN/UART1_TX/ TIM15_BKIN/EVENTOUT		ADCIN[11]/ OPOEX	OP0N3/ CPP21
18	PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/ TIM3_CH4/ URAT1_RX		ADCIN[12]/ OP1OEX	OP0P3 / CPN12/ CPP22
19	PA8	I/O	ANA_OP	MCO/UART0_CTS/ TIM1_CH1/ EVENTOUT/ SSP2_TXD/ SSP2_RXD/ CP0_OUT		ADCIN[10]/ ELVI / CPP03	OP0N1/ OPA_NIN1
20	PA9	I/O	ANA_OP	TIM15_CH2N/ TIM15_BKIN/ UART0_TX/ TIM1_CH2/ I2C0_SCL/ SSP2_RXD/ SSP2_TXD/ UART0_RX		ADCIN[14]	CPN13/ OP0P1
21	PA10	I/O	2ANA	TIM15_CH2/ TIM17_BKIN/ UART0_RX/ TIM1_CH3/ I2C0_SDA		ADCIN[15]/ CPP23	DAC_OUT0
22	PA11	I/O	2ANA	EVENTOUT/ UART0_CTS/ TIM1_CH4/ TIM15_CH1N/ CP0_OUT/ I2C0_SCL			
23	PA12	I/O	1ANA	EVENTOUT/ UART0_RTS/ TIM1_ETR/ TIM16_CH1/ TIM15_CH1/ I2C0_SDA/			
24	PA13	I/O	1ANA	IR_OUT/ TIM1_CH1N/ TIM1_CH4/ UART1_TX/ WT_BUZ/ CP1_OUT	SWDIO 注 3		
25	PA14	I/O	1ANA	UART1_TX/ WT_nBUZ/ CP2_OUT/ UART1_RX	SWCLK 注 3		
26	PA15	I/O	1ANA	SSP0_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN	WKUP1		
27	VSSP	S					驱动地
28	LO1	O					低边驱动输出 1
29	LO2	O					低边驱动输出 2
30	LO3	O					低边驱动输出 3
31	VSSPAD	S					封装框架地
32	VS3	-					高边悬浮地 3
33	HO3	O					高边驱动输出 3
34	VB3	-					高边悬浮电源 3

35	VS2	-					高边悬浮地 2
36	HO2	O					高边驱动输出 2
37	VB2	-					高边悬浮电源 2
38	VS1	-					高边悬浮地 1
39	HO1	O					高边驱动输出 1
40	VB1	-					高边悬浮电源 1
	PB3	I/O	1ANA	SSPO_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
	PB4	I/O	1ANA	SSPO_RXD/TIM3_CH1/ TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSPO_TXD			
	PB5	I/O	1ANA	SSPO_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/ SSPO_RXD		ADCIN[13]	
	PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/ UART0_RX		DACOUT0	OP2P3 / CPN22
	PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DACOUT1	OP2N3/ CPN23
	PF3(BOOT0)	I/O	1ANA	SSP2_SCK/ TIM1_CH1N/ TIM1_CH2/ TIM3_CH2/ TIM15_CH2/ TIM16_CH1/ TIM17_CH1N/ TIM3_ETR	BOOT0 注 4		

注(1): ACMP 与 OPA 输入引脚格式:

ACMP: ACMP 序号 + 引脚正负端 + 输入端口

OPA: OPA 序号 + 引脚正负端 + 输入端口

例: CPP11 表示 ACMP1 正端输入 端口 1

OP2N3 表示 OPA2 负端输入 端口 3

(2): 上电复位后, 这个引脚缺省配置为外部复位引脚 nRST

(3): 系统复位后, 这些引脚配置为可选复用功能SWDIO和SWCLK, SWDIO引脚内部上拉, SWCLK引脚内部下拉

(4): 根据选项字节配置, 在系统复位期间可以作为BOOT0引脚, 以选择启动模式; 后续为正常功能

(5): I/O驱动强度分为两档, 3.3V供电时为4mA/8mA; 5V供电时为8mA/16mA

驱动芯片引脚	I/O 类型	引脚描述	引脚位置
HIN1	I	逻辑输入控制信号高电平有效, 控制高端功率 MOS 管的	PF4
HIN2	I	导通与截止	PF3
HIN3	I	“0”是关闭功率 MOS 管; “1”是开启功率 MOS 管	PB7
LIN1	I	逻辑输入控制信号低电平有效, 控制低端功率 MOS 管的	PB6
LIN2	I	导通与截止	PB4
LIN3	I	“0”是关闭功率 MOS 管; “1”是开启功率 MOS 管	PB3

表 3 端口 A 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART1_CTS	TIM1_ETR	TIM16_CH1	UART1_RX	-	CP0_OUT	-
PA1	EVENTOUT	UART1_RTS	TIM16_CH1N	-	UART1_TX	TIM15_CH1N		IR_OUT-
PA2	TIM15_CH1	UART1_TX	-	-	-		CP1_OUT	UART1_RX
PA3	TIM15_CH2	UART1_RX	-	-	TIM1_CH1N	SSP0_TXD	CP0_OUT	SSP0_RXD
PA4	SSP0_FSS	UART0_RTS	-	TIM17_CH1	TIM14_CH1	WT_BUZ	CP1_OUT	-
PA5	SSP0_SCK	-	-	TIM15_CH1	TIM1_CH2N	WT_nBuz	CP2_OUT	TIM3_ETR-
PA6	SSP0_RXD	TIM3_CH1	TIM1_BKIN	CP0_OUT	-	TIM16_CH1	EVENTOUT	SSP0_TXD
PA7	SSP0_TXD	TIM3_CH2	TIM1_CH1N	CP1_OUT	TIM14_CH1	TIM17_CH1	EVENTOUT	SSP0_RXD
PA8	MCO	UART0_CTS	TIM1_CH1	EVENTOUT	SSP2_TXD	SSP2_RXD	CP0_OUT	
PA9	TIM15_CH2N	TIM15_BKIN	UART0_TX	TIM1_CH2	I2C0_SCL	SSP2_RXD	SSP2_TXD	UART0_RX
PA10	TIM15_CH2	TIM17_BKIN	UART0_RX	TIM1_CH3	I2C0_SDA	-		
PA11	EVENTOUT	UART0_CTS	TIM1_CH4	TIM15_CH1N	-		CP0_OUT	I2C0_SCL
PA12	EVENTOUT	UART0_RTS	TIM1_ETR	TIM16_CH1	TIM15_CH1			I2C0_SDA
PA13	SWDIO	IR_OUT	TIM1_CH1N	TIM1_CH4	UART1_TX	WT_Buz	CP1_OUT	-
PA14	SWCLK	UART1_TX	-	-	-	wt_nBuz	CP2_OUT	UART1_RX
PA15	SSP0_FSS	UART1_RX	TIM17_CH1	EVENTOUT	TIM1_CH2	TIM16_CH1N	TIM1_BKIN	TIM15_BKIN

表 4 端口 B 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N	-	UART0_TX	-	UART0_RX	
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	UART1_RTS	UART0_RX		UART0_TX
PB3	SSP0_SCK	TIM1_CH1N	TIM1_CH2N	TIM16_CH1			CP1_OUT	-
PB4	SSP0_RXD	TIM3_CH1	TIM1_CH2N	UART0_RX		TIM17_BKIN	-	SSP0_TXD
PB5	SSP0_TXD	TIM3_CH2	TIM16_BKIN	TIM1_CH3	UART0_TX	UART1_CTS	CP2_OUT	SSP0_RXD
PB6	UART0_TX	I2C0_SCL	TIM16_CH1N	TIM15_CH2	TIM1_CH3N	-	-	UART0_RX
PB7	UART0_RX	I2C0_SDA	TIM17_CH1N	TIM1_CH2N	UART0_TX	TIM1_CH1	TIM17_CH1	SSP2_FSS

表 5 端口 F 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	SSP2_TXD	I2C0_SDA	TIM1_CH3	TIM15_CH1	UART0_TX	-	-	SSP2_RXD
PF1	SSP2_RXD	I2C0_SCL	TIM1_CH2	TIM15_CH1N	URAT0_RX	-	-	SSP2_TXD
PF2	-	-	TIM1_CH1	TIM3_CH3	TIM15_CH1	TIM16_CH1N	-	-
PF3	SSP2_SCK	TIM1_CH1N	TIM1_CH2	TIM3_CH2	TIM15_CH2	TIM16_CH1	TIM17_CH1N	TIM3_ETR
PF4	SSP2_FSS	TIM1_CH1N	TIM1_CH3	TIM3_CH1	-	-		-
PF6	SSP2_FSS	TIM1_CH2N	TIM1_BKIN	-	UART1_TX	TIM15_BKIN	EVENTOUT	
PF7	SSP2_SCK	TIM1_CH1N	TIM3_CH4	-	UART1_RX	-	-	

4. 存储器映射

图 3 LCP037BT32EU8 存储器映射

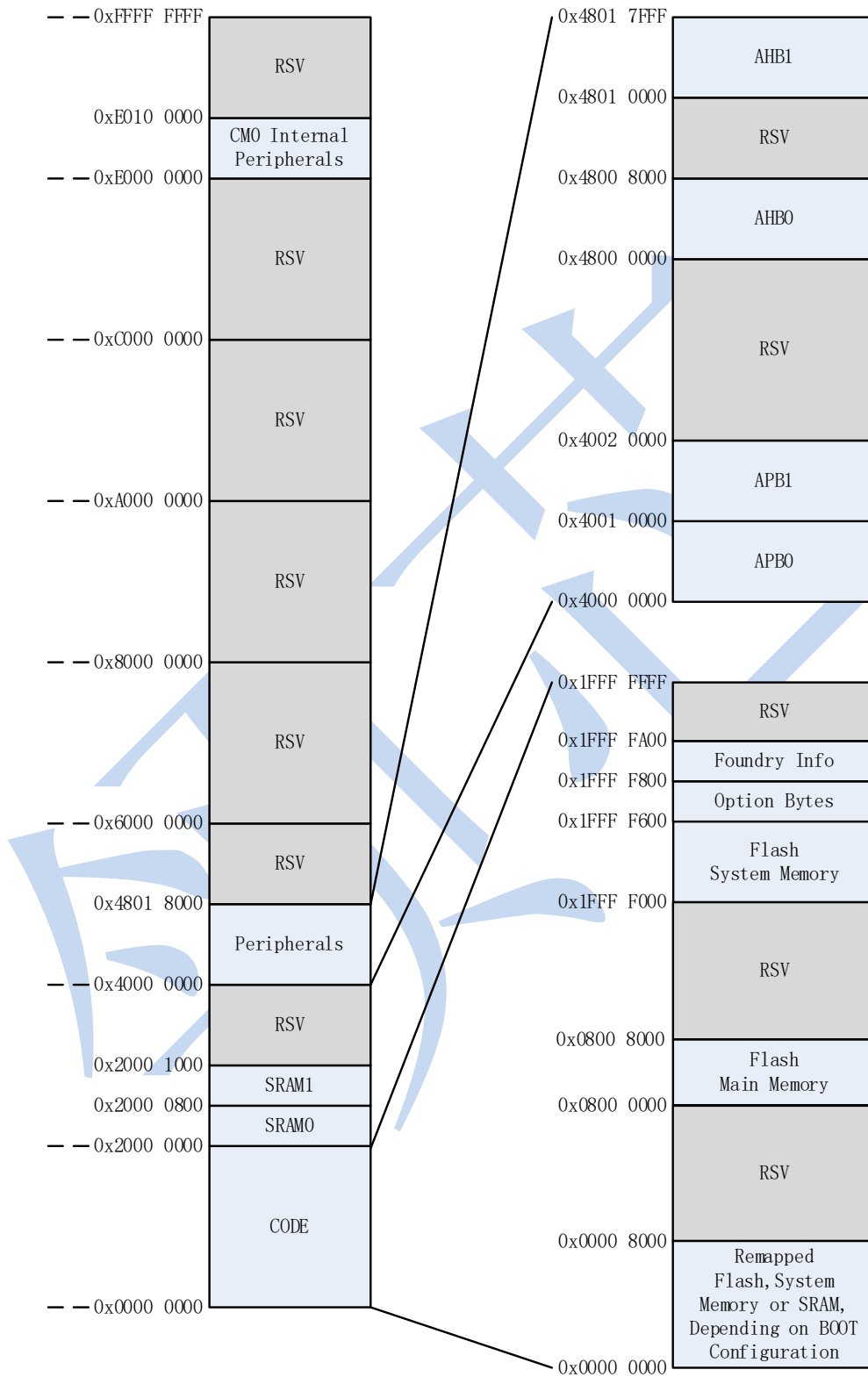


表 6 LCP037BT32EU8 外设寄存器地址空间划分

总线	地址范围	大小	外设
APB0	0x4000 0000 - 0x4000 0FFF	4KB	保留
	0x4000 1000 - 0x4000 1FFF	4KB	保留
	0x4000 2000 - 0x4000 2FFF	4KB	保留
	0x4000 3000 - 0x4000 3FFF	4KB	保留
	0x4000 4000 - 0x4000 4FFF	4KB	保留
	0x4000 5000 - 0x4000 5FFF	4KB	保留
	0x4000 6000 - 0x4000 6FFF	4KB	SSP2
	0x4000 7000 - 0x4000 7FFF	4KB	保留
	0x4000 8000 - 0x4000 8FFF	4KB	保留
	0x4000 9000 - 0x4000 9FFF	4KB	TIM6
	0x4000 A000 - 0x4000 AFFF	4KB	TIM14
	0x4000 B000 - 0x4000 BFFF	4KB	TIM3
	0x4000 C000 - 0x4000 CFFF	4KB	保留
	0x4000 D000 - 0x4000 DFFF	4KB	WWDG
	0x4000 E000 - 0x4000 EFFF	4KB	保留
	0x4000 F000 - 0x4000 FFFF	4KB	保留
	APB1	0x4001 0000 - 0x4001 0FFF	4KB
0x4001 1000 - 0x4001 1FFF		4KB	EXTI
0x4001 2000 - 0x4001 2FFF		4KB	保留
0x4001 3000 - 0x4001 3FFF		4KB	I2C0
0x4001 4000 - 0x4001 4FFF		4KB	UART0
0x4001 5000 - 0x4001 5FFF		4KB	UART1
0x4001 6000 - 0x4001 6FFF		4KB	保留
0x4001 7000 - 0x4001 73FF		1KB	CHIPCTRL
0x4001 7400 - 0x4001 77FF		1KB	IWDG
0x4001 7800 - 0x4001 7BFF		1KB	WT
0x4001 7C00 - 0x4001 7FFF		1KB	ANACTRL
0x4001 8000 - 0x4001 8FFF		4KB	SSP0
0x4001 9000 - 0x4001 9FFF		4KB	保留
0x4001 A000 - 0x4001 AFFF		4KB	ADC
0x4001 B000 - 0x4001 BFFF		4KB	TIM15
0x4001 C000 - 0x4001 CFFF		4KB	TIM16
0x4001 D000 - 0x4001 DFFF		4KB	FLASH CTRL
0x4001 E000 - 0x4001 EFFF		4KB	TIM17
0x4001 F000 - 0x4001 FFFF		4KB	保留
	0x4002 0000 - 0x47FF FFFF	~128MB	保留
AHB0	0x4800 0000 - 0x4800 01FF	512B	GPIOA
	0x4800 0200 - 0x4800 03FF	512B	GPIOB
	0x4800 0400 - 0x4800 05FF	512B	保留
	0x4800 0600 - 0x4800 07FF	512B	保留
	0x4800 0800 - 0x4800 09FF	512B	保留
	0x4800 0A00 - 0x4800 0BFF	512B	GPIOF
	0x4800 0C00 - 0x4800 0DFF	512B	保留

	0x4800 0E00 - 0x4800 0FFF	512B	保留
	0x4800 1000 - 0x4800 1FFF	4KB	保留
	0x4800 2000 - 0x4800 2FFF	4KB	保留
	0x4800 3000 - 0x4800 3FFF	4KB	保留
	0x4800 4000 - 0x4800 4FFF	4KB	DMA
	0x4800 5000 - 0x4800 5FFF	4KB	保留
	0x4800 6000 - 0x4800 6FFF	4KB	保留
	0x4800 7000 - 0x4800 7FFF	4KB	SYSCTRL
	0x4800 8000 - 0x4800 FFFF	32KB	保留
AHB1	0x4801 0000 - 0x4801 0FFF	4KB	保留
	0x4801 1000 - 0x4801 1FFF	4KB	CRC
	0x4801 2000 - 0x4801 2FFF	4KB	保留
	0x4801 3000 - 0x4801 3FFF	4KB	保留
	0x4801 4000 - 0x4801 4FFF	4KB	DIV
	0x4801 5000 - 0x4801 5FFF	4KB	保留
	0x4801 6000 - 0x4801 6FFF	4KB	保留
	0x4801 7000 - 0x4801 7FFF	4KB	保留

5. 电气特性

5.1 LCP037BT32EU8 预驱特性

5.1.1 极限参数

符号	参数名称	测试条件	最小	最大	单位
自举高端VB 电源	VB1、VB2、VB3	-	-0.3	280	V
高端悬浮地端	VS1、VS2、VS3	-	VB-25	VB+0.3	V
高端输出	HO1、HO2、HO3	-	VS-0.3	VB+0.3	V
低端输出	LO1、LO2、LO3	-	-0.3	VCC+0.3	V
电源	VCC	-	-0.3	25	V
高通道逻辑信号输入电平	HIN1HIN2HIN3	-	-0.3	VCC+0.3	V
低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	VCC+0.3	V
环境温度	环境温度	-	-40	125	°C
储存温度	储存温度	-	-55	150	°C
焊接温度	焊接温度	T=10S	-	300	°C

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

5.1.2 典型参数

无另外说明，在 $T_A=25^{\circ}\text{C}$ ， $V_{CC}=12\text{V}$ ，负载电容 $C_L=1\text{nF}$ 条件下

参数名称	符号	测试条件	最小	典型	最大	单位
电源	VDD	-	5	12	20	V
输入逻辑信号高电位	Vin(H)	所有输入控制信号	2.5	-	-	V
输入逻辑信号低电位	Vin(L)	所有输入控制信号	-0.3	0	1.0	V
输入逻辑信号高电平的电流	IN(H)	Vin=5V	-	-	20	uA
输入逻辑信号低电平的电流	IN(L)	Vin=0V	-15	-	-	uA
悬浮电源漏电流	I _{LK}	VB1,2,3=VS1,2,3=300V	-	0.1	1	uA
VBS 静态电流	I _{QBS}	VIN 悬空	-	20	50	uA
VBS 动态电流	I _{PBS}	f=16KHZ	-	100	200	uA
Vcc 静态电流	I _{QCC}	VIN 悬空	-	150	350	uA
Vcc 动态电流	I _{PCC}	f=16KHZ	-	400	600	uA
VS 静态负压	V _{SN}	-	-	-6	-	V
LIN 高电平输入偏置电流	I _{LINH}	VLIN=5V	-	20	40	uA

LIN 低电平输入 偏置电流	I_{LINL}	$V_{LIN}=0V$	-	-	2	μA
HIN 高电平输入 偏置电流	I_{HINH}	$V_{LIN}=5V$	-	20	40	μA
HIN 低电平输入 偏置电流	I_{HINL}	$V_{LIN}=0V$	-	-	2	μA
VCC 电源欠压关断特性						
Vcc 开启电压	$V_{cc(on)}$	-	-	4.3	-	V
Vcc 关断电压	$V_{cc(off)}$	-	-	4.2	-	V
VB 电源欠压关断特性						
VB 开启电压	$V_{B(on)}$	-	-	4.1	-	V
VB 关断电压	$V_{B(off)}$	-	-	4.0	-	V
输入下拉电阻	R_{IN}	-	-	240	-	$K\Omega$
HO 下拉电阻	R_{HO}	-	-	70	-	$K\Omega$
LO 下拉电阻	R_{LO}	-	-	70	-	$K\Omega$
低端输出 LO、LO 开关时间特性						
开延时	T_{on}	-	-	320	420	nS
关延时	T_{off}	-	-	120	220	nS
上升时间	T_r	-	-	35	70	nS
下降时间	T_f	-	-	25	50	nS
高端输出 HO、HO 开关时间特性						
开延时	T_{on}	-	-	320	420	nS
关延时	T_{off}	-	-	120	220	nS
上升时间	T_r	-	-	35	70	nS
下降时间	T_f	-	-	25	50	nS
死区时间特性						
死区时间	DT	无负载电容 $C_L=0$	100	200	300	nS
IO 输出最大驱动能力						
IO 输出拉电流	IO+	$V_o=0V, V_{IN}=V_{IH}$ $PW \leq 10\mu S$	-	+0.8	-	A
IO 输出灌电流	IO-	$V_o=12V, V_{IN}=V_{IL}$ $PW \leq 10\mu S$	-	-1.2	-	A

5.2 MCU 特性

5.2.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能会对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 7 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}/V_{DDA}	-	-0.3	-	5.5V	V
输入电压	V_{IN}	-	-0.3	-	$V_{DD}+0.3$	

注：所有电压都以 V_{SS} 为参考。

表 8 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	I_{VDD}	-	-	-	100	mA
流出 V_{SS} 的总电流	I_{VSS}	-	-	-	100	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-4	-	4	
		$V_O > V_{DD}$ 或 $V_O < V_{SS}$	-4	-	4	
总注入电流	ΣI_{INJ}	-	-20	-	20	

表 9 热特性

参数	符号	测试条件	最小值	典型值	最大值	单位
环境温度	T_A	-	-40	-	125	°C
存储温度	T_{STG}	-	-55	-	125	
结温	T_J	-	-	-	150	
热阻	θ_{JA}	LQFP-32	-	78	-	°C/W
		SSOP-24	-	THD	-	
		TSSOP20	-	-	-	
总功耗	P_D	-	-	-	400	mW

表 10 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	最小值	典型值	最大值	单位
HBM	V_{HBM}	MIL-STD-883H	± 4000	-	-	V
MM	V_{MM}	JESD22-A115	± 200	-	-	
CDM	V_{CDM}	JESD22-C101E	± 1000	-	-	
Latch-up 触发电流	I_{LAT}	JEDEC standard NO.78D 2011.11	± 100	-	-	mA
V_{DD} 过压	V_{LAT}		6.5	-	-	V

5.2.2 推荐工作条件

表 11 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压 V_{DD}	V_{DD}	-40~105°C	1.8	-	5.5	V
模拟工作电压 (ADC/DAC)	V_{DDA}	-40~105°C	2.4	-	5.5	V
CPU 时钟频率	F_{CPU}	$V_{DD} > 1.8V$	0	-	48	MHz
		$V_{DD} > 2.2V$	0	-	72	
上电复位释放电压	V_{POR}	-	-	1.8	-	V
上电复位延迟时间	t_{PWRT}	-	1	5	-	ms

参 数	符号	测 试 条 件	最小值	典型值	最大值	单 位
VDD 上升速率	S _{VDD}	确保能够产生内部上电复位信号	0.1	-	1000	V/ms
RAM 保持电压	V _{DR}	T _A =-40~105℃	1.0	-	-	V

5.2.3 直流电气特性

本芯片典型工作电压 3.3V / 5.0V，除非特别指明，否则典型值是在 VDD=3.3V 注 1、TA=25℃ 条件的测试结果。直流电气特性还在不断完善中，TBD 部分将会逐步更新。

表 12 电流特性

参数	符号	外设状态	运行条件	最小值	典型值 (3.3/5V)	最大值	单位
工作电流	I _{RUN}	禁止	MCLK=8MHz, RCH/2	-	0.627/0.73	-	mA
			MCLK=16MHz, RCH	-	0.788/0.881	-	
			MCLK=24MHz, PLL ON	-	1.655/2.167	-	
			MCLK=48MHz, PLL ON	-	1.807/2.277	-	
			MCLK=72MHz, PLL ON	-	3.26/4.32	-	
		全部 打开, ADC 采样 开	MCLK=8MHz, RCH/2	-	5.63/7.23	-	
			MCLK=16MHz, RCH	-	8.87/10.76	12.09	
			MCLK=48MHz, PLL ON	-	21.24/24.1	-	
休眠电流	I _{SLEEP}	关闭	MCLK=8MHz, RCH/8	-	-	-	mA
			MCLK=16MHz, RCH/4	-	-	-	
			MCLK=24MHz, RCH/2	-	-	-	
			MCLK=48MHz, RCH/1	-	-	-	
停机电流	I _{Stop}		所有模块关闭	-	80/100	-	uA

注： 测量电流特性时遵循下列条件：

- * 所有 IO 都设置成输出低电平，无负载。
- * 除非特别指明，所有模块只打开时钟，无负载工作。

表 13 低功耗电流

模式	说明	供电电压	内核电压	最小值	典型值	最大值	单位
STOP 模式	关闭 CPU 时钟以及所以外设时钟,内部 LDO 设置为低功耗驱动模式	3.3V	1.5V	-	80	-	uA
		5V		-	100	-	
UltraStop 模式	关闭所有时钟和 PLL, CPU 的电源 LDO 关闭, RTC 模块的 LDO 常开,并输出不同电压	3.3v	1.5V	-	11	-	
		5V		-	18	-	
		3.3v	1.2V	-	4	-	
		5V		-	5	-	
		3.3v	1.0V	-	3	-	
		5V		-	4	-	

5.2.4 IO 管脚参数

表 14 I/O 特性

参数	符号	测试条件		最小值	典型值	最大值	单位
高电平输入电压	V_{IH}	所有 IO		$0.7 \cdot V_{DD}$	-	V_{DD}	V
低电平输入电压	V_{IL}	所有 IO				$0.3 V_{DD}$	
输入迟滞	V_{HYS}	所有 IO			TBD		mv
输出管脚拉电流	I_{OH}	$V_{DD}=3.3V, V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	12	-	mA
			强驱动 (DS=1)	-	-	-	mA
		$V_{DD}=5V, V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	-	27	-	mA
			强驱动 (DS=1)	-	-	-	mA
输出管脚灌电流	I_{OL}	$V_{DD}=3.3V, V_{OL}=0.4V$	弱驱动 (DS=0)	-	9	-	mA
			强驱动 (DS=1)	-	18	-	mA
		$V_{DD}=5V, V_{OL}=0.6V$	弱驱动 (DS=0)		20		mA
			强驱动 (DS=1)	-	36	-	mA
总电流	I_{total}	-	所有端口	-	TBD	-	mA
端口内置上拉电阻	R_{pu}	$V_{IN}=NULL$		-	80	-	k Ω
端口内置下拉电阻	R_{pd}	$V_{IN}=NULL$		-	33	-	k Ω
端口输入漏泄电流 (高温)	I_{IL}	$V_{SS} < V_{PIN} < V_{DD}, T_A=85^\circ C$		-	± 20	± 100	nA
滤波宽度	$T_{PW}(IO)$	外部复位脚		-	2	4	us

5.2.5 系统复位及电压监控

表 15 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, -40~105°C	1.24	1.25	1.26	V
上电复位电压	POR	0V 上电到 VDD, -40~105°C	1.793	1.825	1.869	V
掉电复位电压	PDR	VDD 掉电到 0V, -40~105°C	1.695	1.728	1.77	V
低压复位电压	V_{LVR}	LVRS=000	-	1.8	-	V
		LVRS=001	-	1.93	-	V
		LVRS=010	-	2.13	-	
		LVRS=011	-	2.61	-	
		LVRS=100	-	2.94	-	
		LVRS=101	-	3.18	-	

参数	符号	测试条件	最小值	典型值	最大值	单位
		LVRS=110	-	3.63	-	
		LVRS=111	-	-	-	
LVR 释放迟滞电压	$V_{HYS(LVR)}$	-	-	100	-	mV
LVR 模块工作电流	I_{LVR}	SLEEP 模式开启	-	20	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	-	-	V
		LVLS = 001	-	-	-	
		LVLS = 010	-	-	-	
		LVLS = 011	-	-	-	
		LVLS = 100	-	-	-	
		LVLS = 101	-	-	-	
		LVLS = 110	-	-	-	
		LVLS = 111	-	-	-	
LVD 释放迟滞电压	$V_{HYS(LVD)}$	-	100	-	200	mV
LVD 模块工作电流	I_{LVD}	SLEEP 模式开启	-	20	-	uA

5.2.6 模拟模块的特性

5.3.6.1 内置时钟特性参数

表 16 振荡与时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
经过校准的 RCH 频率	F_{RCH}	3.3V, -40~125°C	15.7*	16.0	16.1	MHz
RCH 工作电流	I_{RCH}	5.0V, 25°C	-	150	-	uA
RCL 频率	F_{RCL}	1.8~5.5V, -40~105°C	6	32	50	KHz
RCL 工作电流	I_{RCL}	-	-	0.3	1.0	uA

注： RCH 测试 0~125 度稳定在 16MHz， -10 度降低至 15.8MHz， -40~-10 逐步降至 15.7MHz

5.3.6.2 比较器特性

表 17 模拟比较器特性

参数	符号	测试条件	最小值	典型值	最大值	单位	
典型值工作条件为 $V_{DD}=3.3V$ ， 温度=25°C， $V_{cm}=V_{DD}/2$ 。							
输入失调电压* (CPP 上升沿)	V_{os}	-	-10	0	10	mV	
输入共模电压	V_{cm}	响应时间<160ns	0	-	V_{DD}	V	
共模抑制比	CMRR	室温 25°C	-	1	-	mV/V	
比较器迟滞电压	V_{hyster}	最小值 HYS=0， 最小值， HYS=1， 最大值	0.4	-	25	mV	
转换延迟时间	T_{str}	CPDLY 设定 00~11， 电压 2.5~5V	14	-	2900	ns	
响应时间	上升沿	T_{rt}	VDD 做分压电阻基准	-	50	100	ns
	下降沿			-	50	100	ns
工作电流	I_{cmp}	-	-	25	35	uA	
CVREF 稳定时间	T_{scvr}	-	-	1	-	us	

5.3.6.3 ADC 参数特性

表 18 ADC 参数表

参数	符号	测试条件	最小值	典型值	最大值	单位
典型值工作条件为 $V_{DD}=3.3V$, 温度= $25^{\circ}C$, $V_{cm}=V_{DD}/2$ 。						
工作电压	VDDA	-	2.0	0	5.5	V
参考电压	Vref+	VDDA>2.5V	2.5	3.3/4	VDDA	V
		VDDA<2.5V	VDDA			V
工作频率	f_{ADC}	-	-	16	-	MHz
采样率	F_s	VDDA>2.0V >10bits			1.5	MSps
采样电压范围	V_{AIN}	-	VSSA	-	Vref+	V
外部输入电阻	R_{AIN}	-			100	k Ω
内部采样电容	C_{ADC}	-		5		pF
采样周期	t_{samp}	-	1	-	8	1/ f_{ADC}
转换周期	t_{conv}	-	16	-	48	1/ f_{ADC}
内部温敏精度	V_{ts}	-40~125 度, 3.3V	-	5	-	mV/ $^{\circ}C$
工作电流	I_{ADC}	1.5MSPS(16MHz), Typical	-	1	-	mA

5.3.6.4 DAC 特性参数

表 19 DAC 参数表

参数	符号	测试条件	最小值	典型值	最大值	单位
典型值工作条件为 $V_{DD}=3.3V$, 温度= $25^{\circ}C$, $V_{cm}=V_{DD}/2$ 。						
工作电压	VDDA	-	2.0	0	5.5	V
参考电压	Vref+	VDDA>2.5V	2.5	4	VDDA	V
		VDDA<2.5V	VDDA			V
最小转换时间	t_{conv}	1LSB 的输出变化到输出稳定时间, 8bit DAC	-	100	-	ns
		1LSB 的输出变化到输出稳定时间, 12bit DAC		2.5		us
最大转换时间	T_{settle}	3.3V, 从 0V 输出到最大满幅值, 8BIT		0.8		us
		3.3V, 从 0V 输出到最大满幅值, 12BIT		40		us
输出电压范围	V_{AIN}	-	VSSA	-	Vref+	V
工作电流	I_{DAC}	typical	-	150	-	uA

6. 封装特性

QFN40

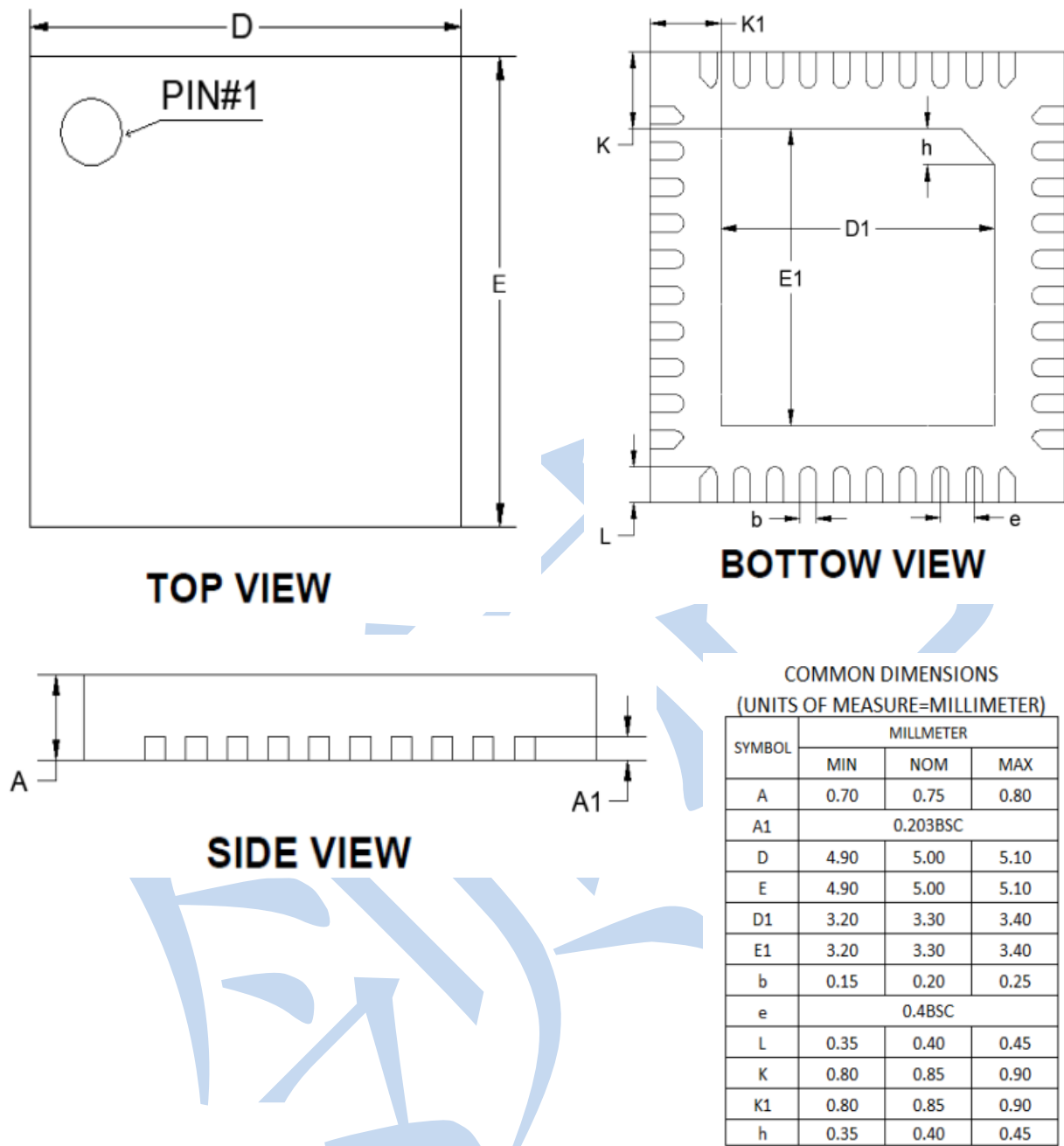
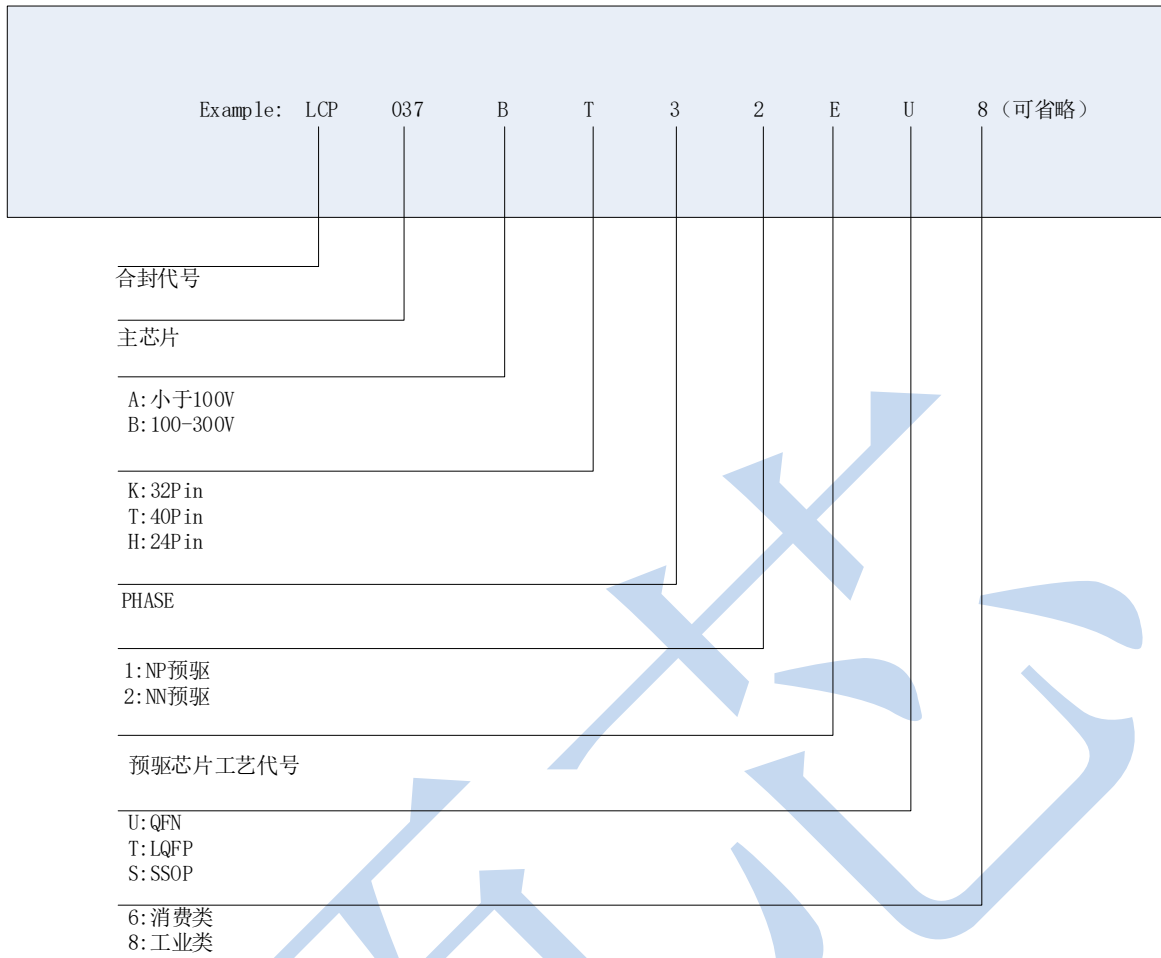


图 4 QFN40 封装外形尺寸

7. 命名规则



8. 修订历史

表 20 文档修订历史

日期	修订	变更
2021 年 08 月 17 日	1.0	初始版本 v1.0
2021 年 09 月 03 日	1.1	修改封装图引脚复用顺序
2021 年 10 月 28 日	1.2	引脚添加备注 校正 LCP037BT32EU8 封装引脚图
2021 年 11 月 26 日	1.3	更换功能框图 增加驱动芯片引脚说明
2021 年 12 月 15 日	1.4	更名为 LCP037BT32EU8
2021 年 12 月 31 日	1.5	修改预驱特性相关参数
2022 年 02 月 15 日	1.6	添加 QFN40 外形尺寸图
2022 年 03 月 07 日	1.7	修改性能描述
2022 年 03 月 21 日	1.8	校正引脚排列