

描述

HR4985是一种便于使用的内部集成了译码器的微特步进电机驱动器。其设计为能使双极步进电机以全、半、1/4和1/8步进模式工作。步进模式由逻辑输入MSx选择。输出驱动能力达到35V和±1A。HR4985包含一个工作在慢衰或混合衰减模式的固定关闭时间的电流调节器。

译码器是HR4985易于实施的关键。通过STEP简单的输入一个脉冲就可以使电机完成一次步进，省去了相序表，高频控制线及复杂的编程接口。这使其更适于在没有复杂的微处理器或微处理器负担过重的场合。

在步进操作期间，HR4985的内部电路可以自动的控制其PWM操作工作在快、慢及混合衰减模式。在混合衰减模式下，器件初始经过一段时间的快衰减后，将切换至慢衰减模式直至固定关闭时间结束。混合衰减模式控制不但降低了电机工作时产生的噪声，还增加了步进的准确性，同时减小了系统的功耗。

内部的同步整流控制电路改善了PWM操作时的功耗。内部保护电路包括：带迟滞额过热保护、欠压锁定及过流保护。不需要特别的上电时序。

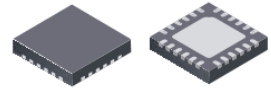
HR4985目前提供一种贴片封装：带有裸露焊盘的QFN-24封装，能有效改善散热性能，且是无铅产品，引脚框采用100%无锡电镀。

特点

- 低导通电阻 $R_{DS(ON)}$
- 自动检测并选择电流衰减模式
- 支持慢衰减和混合衰减模式
- 降低功耗的同步整流功能
- 内部欠压锁定
- 过流保护
- 兼容3.3V和5V逻辑电平
- QFN封装
- 过热关断电路
- 对地短路保护
- 负载短路保护
- 低电流睡眠模式， $<10\mu A$

封装形式

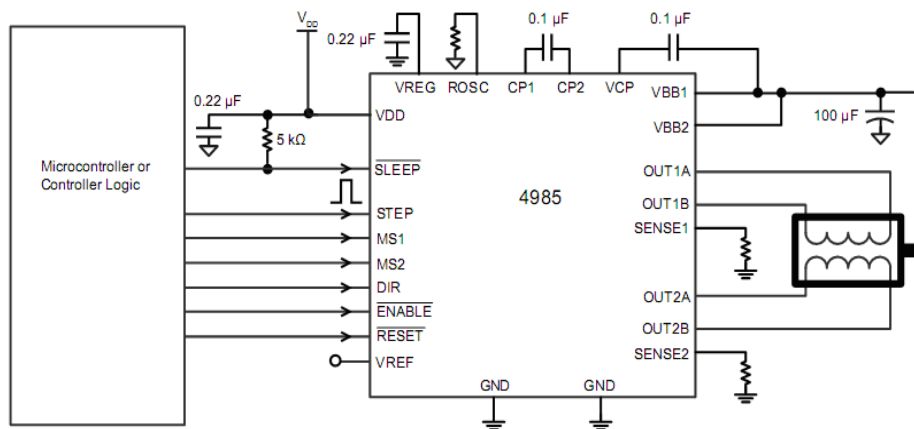
24-contact QFN
with exposed thermal pad
4 mm × 4 mm × 0.75 mm



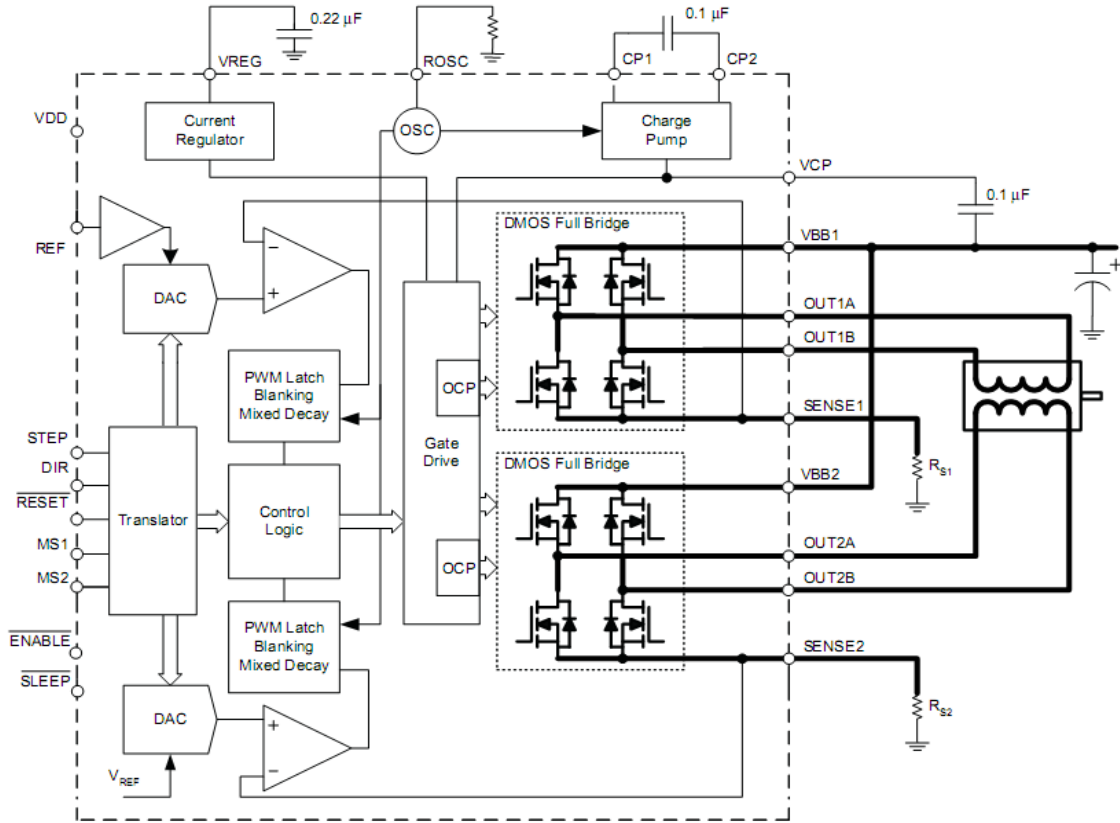
型号选择

Part Number	Package
HR4985	QFN24 with exposed thermal pad

Typical Application Diagram



Functional Block Diagram



电路工作极限 at Ta = 25°C

Parameter	Symbol	Conditions	Ratings	Unit
Load Supply Voltage	V_{BB}		35	V
Output Current	I_{OUT}		± 1	A
Logic Input voltage	V_{IN}		-0.3 to 5.5	V
Logic Supply voltage	V_{DD}		-0.3 to 5.5	V
Motor Output Voltage			-2.0 to 37	V
Sense Voltage	V_{SENSE}		-0.5 to 0.5	V
Reference Voltage	V_{REF}		5.5	V
Operating Ambient Temperature	T_A	Range S	-20 to 85	°C
Maximum Junction	$T_J(max)$		150	°C
Storage Temperature	T_{stg}		-55 to 150	°C

电特性¹ at Ta = 25°C, V_{BB} = 35 V

Parameter	Symbol	Conditions	Min	Typ ²	Max	Unit
Output Drivers						
Load Supply Voltage Range	V _{BB}	Operating	8	-	35	V
		During Sleep Mode	0	-	35	V
Logic Supply Voltage Range	V _{DD}	Operating	3.0	-	5.5	V
Output On Resistance	R _{DS(ON)}	Source Driver, I _{OUT} =-800mA		700	900	mΩ
		Sink Driver, I _{OUT} =800mA		700	900	mΩ
Body Diode Forward Voltage	V _F	Source Diode, I _F =-800mA			1.3	V
		Sink Diode, I _F =800mA			1.3	V
Motor Supply Current	I _{BB}	f _{PWM} <50kHz			4	mA
		Operating, outputs disabled			2	mA
		Sleep Mode			10	uA
Logic Supply Current	I _{DD}	f _{PWM} <50kHz			8	mA
		Operating, outputs disabled			5	mA
		Sleep Mode			10	uA
Control Logic						
Logic Input Voltage	V _{IN(1)}		V _{DD} *0.7			V
	V _{IN(0)}				V _{DD} *0.3	V
Logic Input Current	I _{IN(1)}	V _{IN} =V _{DD} *0.7	-20	<1.0	20	uA
	I _{IN(0)}	V _{IN} =V _{DD} *0.3	-20	<1.0	20	uA
Microstep Select	R _{MS1}		-	100	-	kΩ
	R _{MS2}		-	50	-	kΩ
Logic Input Hysteresis	V _{HYS(IN)}	As a % of V _{DD}	5	11	19	%
Blank Time	t _{BLANK}		0.7	1	1.3	us
Fixed Off-Time	t _{OFF}	OSC=V _{DD} or GND	20	30	40	us
		R _{OSC} =25kΩ	23	30	37	us
Reference Input Voltage Range	V _{REF}		0	-	4	V
Reference Input Current	I _{REF}		-3	0	3	uA
Current Trip-Level Error ³	err _I	V _{REF} =2V, %I _{TripMAX} =38.27%	-	-	±15	%
		V _{REF} =2V, %I _{TripMAX} =70.71%	-	-	±5	%
		V _{REF} =2V, %I _{TripMAX} =100%	-	-	±5	%
Crossover Dead Time	t _{DT}		100	475	800	ns
Protection						
Overcurrent Protection Threshold ⁴	I _{OCPST}		1.1	-	-	A
Thermal Shutdown Temperature	T _{TSD}		-	150	-	°C
Thermal Shutdown Hysteresis	T _{TSDHYS}		-	15	-	°C
VDD Undervoltage Lockout	V _{DDUVLO}	V _{DD} rising	2.7	2.8	2.9	V
VDD Undervoltage Hysteresis	V _{DDUVLOHYS}		-	90	-	mV

¹对于输入/输出电流，我们将从指定器件引脚流出的电流定义为负电流。

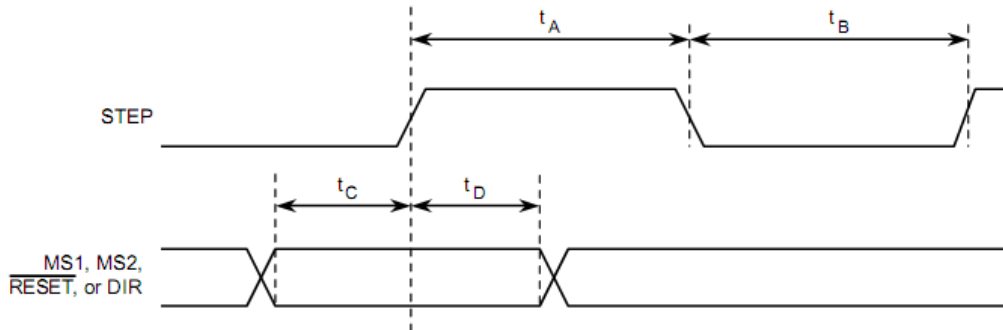
²典型数据仅是在最佳制造和应用的假设条件下的数值，仅供初步设计概算使用。对于个体芯片，性能可能有所不同，在均在最大值和最小值间。

$${}^3V_{ERR} = [(V_{REF}/8) - V_{SENSE}] / (V_{REF}/8).$$

4 过流保护(OCP) 门限值是指在T_A=25°C下能够保证性能的值

电路控制信号时序上的要求:

($T_A = +25^{\circ}\text{C}$, $V_{DD} = 5\text{ V}$, 逻辑电平为 V_{DD} 或 GND)



Time Duration	Symbol	Typ.	Unit
STEP minimum, HIGH pulse width	t_A	1	μs
STEP minimum, LOW pulse width	t_B	1	μs
Setup time, input change to STEP	t_C	200	ns
Hold time, input change to STEP	t_D	200	ns

Figure 1. Logic Interface Timing Diagram

Table 1. Microstep Resolution Truth Table

MS1	MS2	Microstep Resolution	Excitation Mode
L	L	Full Step	2 Phase
H	L	Half Step	1-2 Phase
L	H	Quarter Step	W1-2 Phase
H	H	Eighth Step	2W1-2 Phase

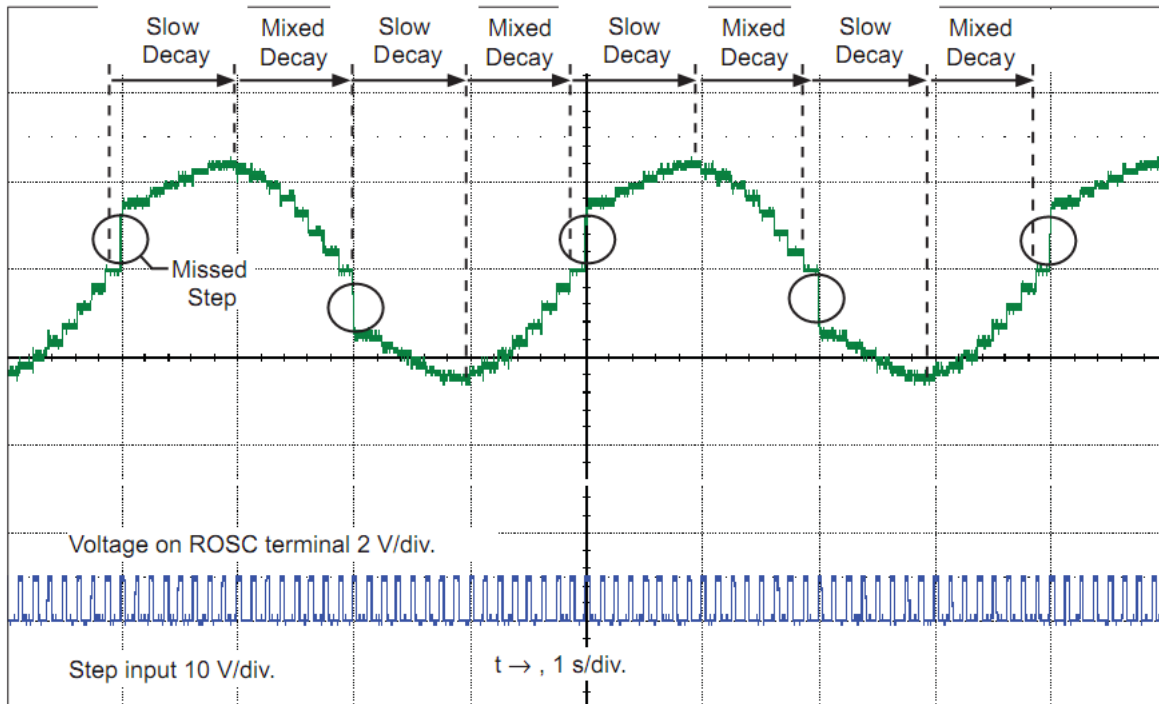


Figure 2. Missed steps in low-speed microstepping

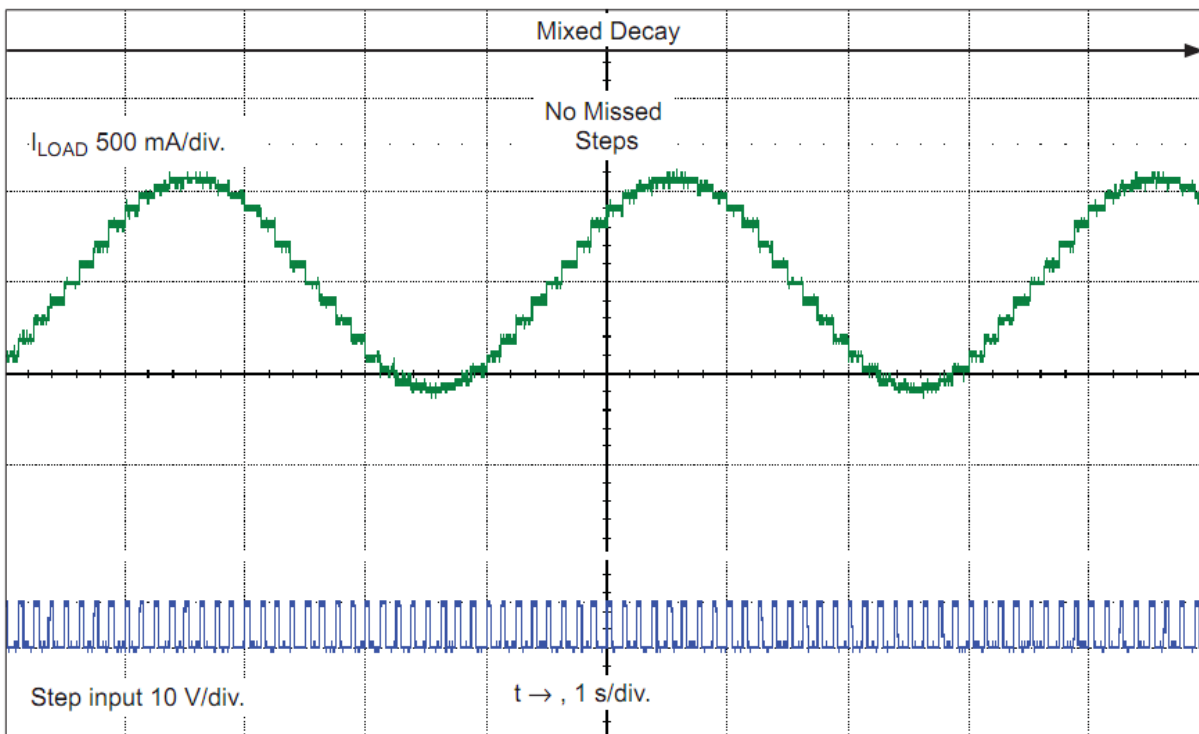


Figure 3. Continuous stepping using automatically-selected mixed stepping (ROSC pin grounded)

模块功能描述

器件工作：HR4985是一种便于使用的内部集成了译码器的微特步进电机驱动器,只需少量的控制线。其设计能够让双极步进电机以全、半、1/4和1/8步进工作。每一个H桥都有一个有固定关闭时间的PWM电流控制电路,以限制其N沟道DMOS功率管的负载电流在一个设计值。每个步进的全桥输出电流是由外部检流电阻(RS1和RS2)的值,参考电压(V_{REF})和DAC(依次由译码器的输出控制)的输出电压来设定。

在上电或复位时,译码器将DAC和相电流的极性设为初始的Home状态(如图8~11所示),且两相的电流调节器均工作在混合衰减模式。当一个步进信号进入STEP端口,译码器自动将DAC排序进入下一电平和电流极性。(表2给出了电流台阶顺序)。微步细分精度由MS1和MS2输入组合确定,如表1所示。

当步进进行时,如果DAC的输出电平低于前一个输出电平,则当前的H全桥进入混合衰减模式。如果DAC输出电平高于或者等于前一个电平,则当前的H全桥进入慢衰减模式。自动的电流衰减选择通过减小电流波形失真改善了微步进性能,其产生原因是电机的反电动势。

微步进选择(MS1 和 MS2):微步细分精度由MS1和MS2逻辑输入电压确定,如表1所示。MS1有一个100k Ω 的下拉电阻,MS2有一个50k Ω 的下拉电阻。当改变步进模式时,直到下一个STEP的上升沿才起作用。

如果步进模式改变,而译码器没有复位,其绝对位置必须要保持。为了防止丢步,选择一个适用于所有步进模式的步进位置,再去改变步进模式,这点很重要。当器件断电或者由于过温重启或过流时,译码器被置于home位置,这是所有步进模式默认的共同位置。

混合衰减操作:当上电复位后正常工作时,根据ROSC的配置和步进顺序,H桥工作于混合衰减模式,如图8~11所示。在混合衰减期间,当达到预定值时,HR4985初始进入快衰模式,快衰减时间占固定关闭时间 t_{OFF} 的31.25%。其后转为慢衰减直至固定关闭时间结束。时序框图在图7中呈现。

一般混合衰减只是在绕组中的电流从一个高的值变为一个低的值时需要,由译码器的设置决定。对大多数负载来说,混合衰减模式的自动选择很便利,

因为能够减小电流上升时的纹波和防止电流下降时的丢步。特别是在一些非常低速的微步进应用中十分必要,绕组中反电动势的不足造成负载中的电流增加很快,导致丢步。如图2所示。通过将ROSC管脚接地,混合衰减在100%的时间内起作用,无论电流上升或者下降,同时防止丢步,如图3所示。如果不存在丢步问题,也推荐使用自动选择混合衰减模式,因为其会减小电流纹波。详细描述请参考固定关闭时间一节。

低电流微步进:在某些应用中,过短的导通时间使得输出电流无法调节到程序设定的低电流水平。为了防止这种现象,器件可以在电流波形的上升和下降两个方向都工作在混合衰减模式。这是通过将ROSC管脚接地实现的。

复位输入(nRESET):RESET输入(低电平有效)使得TRANSLATOR恢复初始状态(如图8~11所示),关断所有DMOS输出,此时STEP输入无效,直到RESET重新变为高电平为止。

STEP输入:STEP信号上升沿触发有效,通过TRANSLATOR控制,每个STEP上升沿触发使得电机有一个步进的变化。TRANSLATOR控制DAC的输入和流过线圈的电流方向;每一步进的电流大小和转动角度由MS1和MS2输入逻辑电平控制。

方向控制(DIR):DIR输入控制马达的转动方向,在STEP信号上升沿触发到来之前,任何DIR上的变动都对电路不产生影响;

内部PWM电流控制:每一个H桥都有一个有固定关闭时间的PWM电流控制电路,以限制其负载电流在一个设计值, I_{TRIP} 。初始时,对角线上的一对DMOS(一对上下桥臂)处于输出状态,电流流经电机绕组和SENSE脚所接的电流取样电阻, R_{Sx} 。当取样电阻上的电压等于DAC的输出电压时,电流取样比较器将PWM锁存器锁定,从而关断源驱动器(上桥臂),进入慢衰减模式;或同时关断源驱动器和灌流驱动器(上下桥臂)进入快或混合衰减模式,使产生环流或电流回流至源端。该环流或回流将持续衰减至固定关闭时间结束为止。然后,正确的输出桥臂被再次启动,电机绕组电流再次增加,整个PWM循环完成。其中,最大限流是由取样电阻 R_{Sx} 和电流取样比较器的输入

电平 VREF 控制的, $I_{TripMAX}$ (A) 由下式决定:

$$I_{TripMAX} = VREF / (8 \times R_s)$$

每步的实际电流为最大电流的百分比, 近似为:

$$I_{Trip} = (\%I_{TripMAX} / 100) I_{TripMAX}$$

(表 2 给出了每步的最大电流百分比)

注意: SENSE 脚上的最大电压不能超过 0.5V。

固定关闭时间 t_{off} : 内部 PWM 控制电路是利用单触发电路来控制 DMOS 的剩余关闭时间。固定关闭时间 t_{off} 是由 ROSC 引脚决定的。ROSC 引脚有三种设置, 即:

- ROSC 接 VDD—关闭时间内部设为 30us, 自动选择混合衰减模式, 除了全步模式下为慢衰减模式。

- ROSC 接地—关闭时间初始设为 30us, 对所有模式的电流上升和下降步进, 衰减模式自动选择为混合衰减模式。 **建议直接使用此方法设计外围电路。**

- ROSC 接对地的电阻—关闭时间由下面的公式决定, 对所有步进模式, 衰减模式为自动选择的混合衰减模式。

$$t_{off} \cong R_{osc} / 825$$

t_{off} 单位为 us。

消隐(Blanking): 当输出在内部电流控制电路作用下开关时, 该功能屏蔽电流检测比较器的输出, 防止由于钳位二极管反向恢复电流, 以及负载电容的开关瞬态电流导致的错误的过流检测。消隐时间, t_{BLANK} (us), 近似为 1us。

电荷泵 (CP1 和 CP2): 电荷泵用来生成一个高于 VBB 的电压, 去驱动源 DMOS 的栅极。一个 0.1uF 的陶瓷电容接在 CP1、CP2 之间, 实现电荷泵的目的。一个 0.1uF 陶瓷电容接在 VCP、VBB 之间, 用来存储电荷, 去驱动源 DMOS 器件。

电容值需为 Class2 介质, $\pm 15\%$ 最大波动或者耐压 R 级, 根据 EIA。

VREG: 电路内部产生的基准电压, 用于低端门级驱动的 DMOS 电源。VREG 外部必须通过一个

0.22uF 电容耦合到地。VREG 作为内部电路的一个监视器, 当内部 VREG 没有正常工作时, DMOS 器件输出被禁止。

使能输入(nENABLE): 该输入控制所有 FET 输出的开关。当其为逻辑高电平时, 输出关断。当其为逻辑低电平时, 内部控制使能起作用。译码器输入 STEP, DIR, MS1 和 MS2, 以及内部时序逻辑, 全部有效, 独立于 nENABLE 输入。

SHUTDOWN 关断: 当电路发生过温保护或者发生 VCP 的欠压闭锁时, SHUTDOWN 功能正常工作, 此时电路的正常功能被禁止, 直到电路脱离 SHUTDOWN 条件。在电路上电过程中, VDD 电压还没有达到电压阈值时, VDD 的欠压闭锁电路使输出 DMOS 电路全部关断, 输出被设置为 HOME 状态。

休眠模式(nSLEEP): 当 SLEEP 引脚输入为低电平时, 器件将进入休眠模式, 从而大大降低器件空闲的功耗。进入休眠模式后器件的大部分内部电路包括 DMOS 输出电路、调节器及电荷泵等都将停止工作。当其输入翻转为高电平时, 系统恢复到正常的操作状态并将器件的输出预置到 HOME 状态, 为了内部电荷泵恢复稳定工作, 在 SLEEP 恢复高电平并延时 1ms 后 STEP 信号才能起作用。

混合衰减操作: 当上电复位后正常工作时, 根据 ROSC 的配置和步进顺序, H 桥工作于混合衰减模式, 如图 8~11 所示。在混合衰减期间, 当达到预定值时, HR4985 初始进入快衰模式, 快衰减时间占固定关闭时间 t_{off} 的 31.25%。其后转为慢衰直至固定关闭时间结束。时序框图在下页图中呈现。

同步整流控制(SR): 在电流衰减期间, 同步整流功能打开对应的 FET 由于 FET 的导通电阻低, 有效的使体二极管短路。这样有效的降低了功耗, 同时, 在很多应用场合, 省去了外置肖特基二极管。当负载电流接近 0 时, 同步整流关闭, 这样防止负载电流反向。

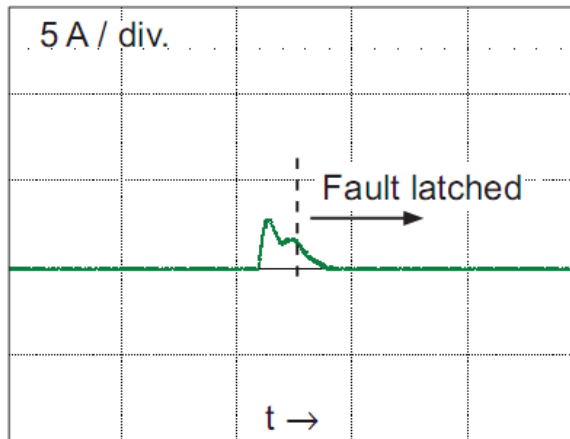


Figure 4. Short-to-ground event

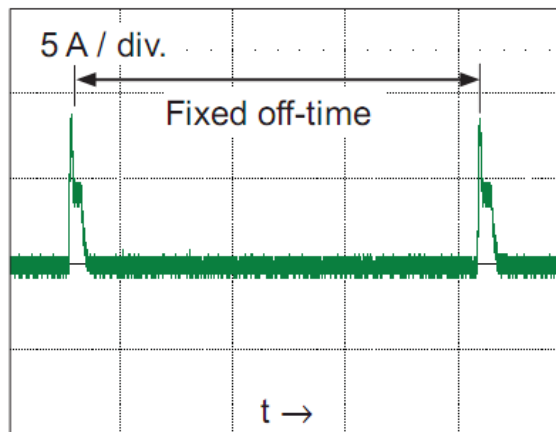


Figure 5. Shorted load (OUTxA → OUTxB) in Slow decay mode

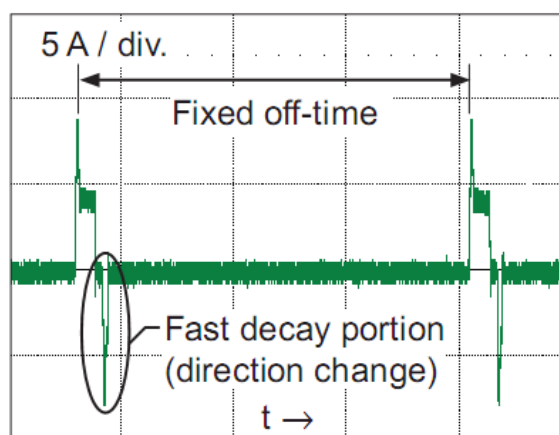
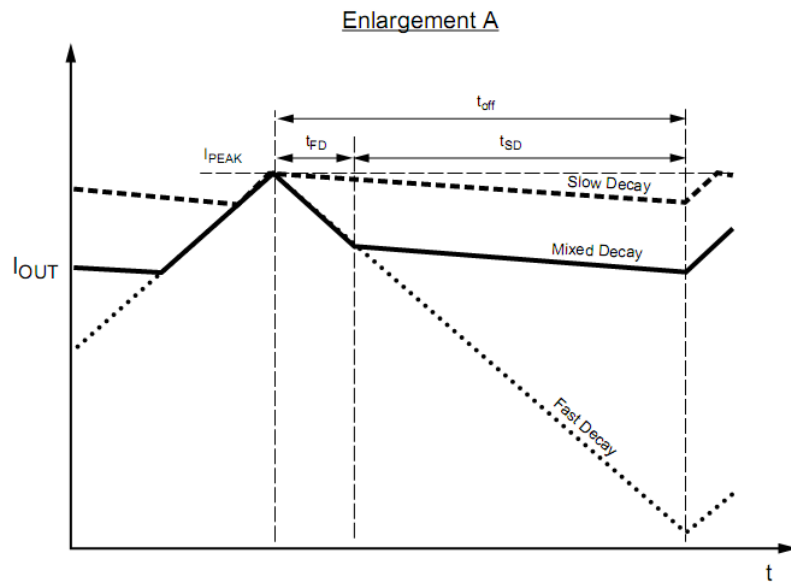
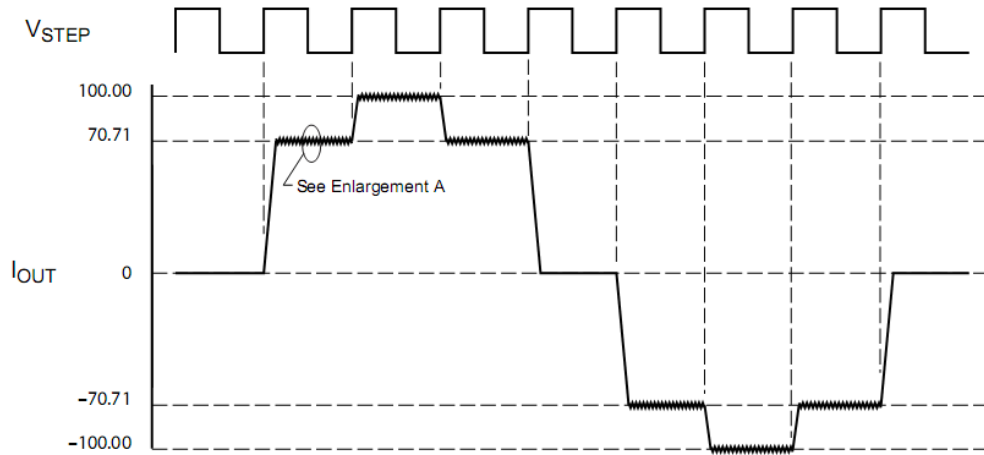


Figure 6. Shorted load (OUTxA → OUTxB) in Mixed decay mode



Symbol	Characteristic
t_{off}	Device fixed off-time
I_{PEAK}	Maximum output current
t_{SD}	Slow decay interval
t_{FD}	Fast decay interval
I_{OUT}	Device output current

Figure 7. Current Decay Modes Timing Chart

电路应用信息

版图注意事项：PCB 板上应覆设大块的散热片，地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能，芯片应该直接紧贴在散热片上。

对电极电源 VBB，应该连接不小于 47uF 的电解电容对地耦合，电容应尽可能的靠近器件摆放。

为了避免因高速 dv/dt 变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。

逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

地线设置：AGND 和 PGND 的连线必须在芯片外部短接。所有的地线都应连接在一起，且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆设，将是一个优化的设计。

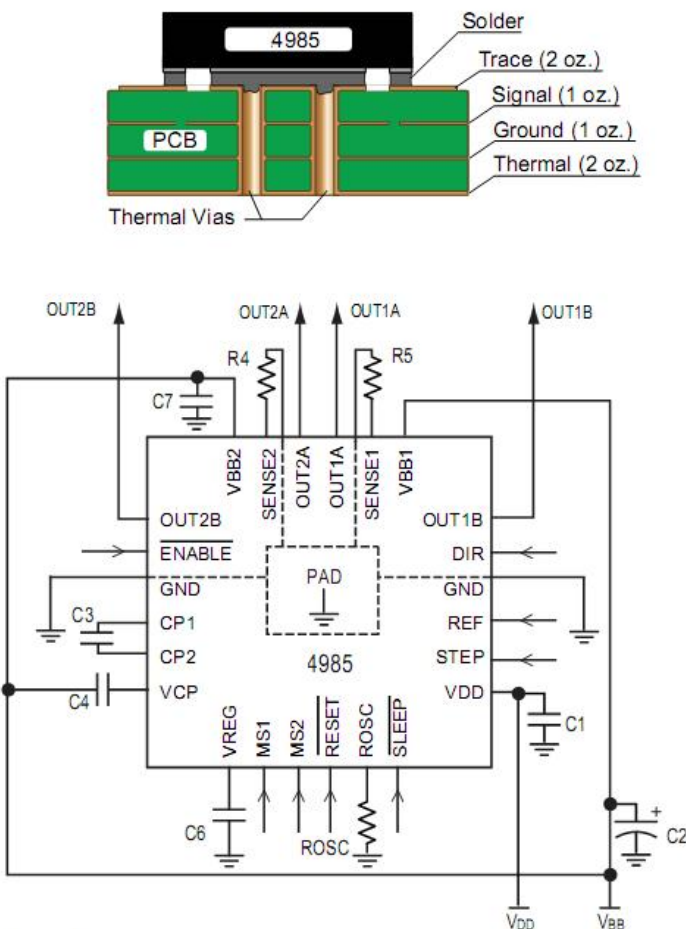
在覆设的地线下方增加一个铜散热片会更好的优化电路性能。

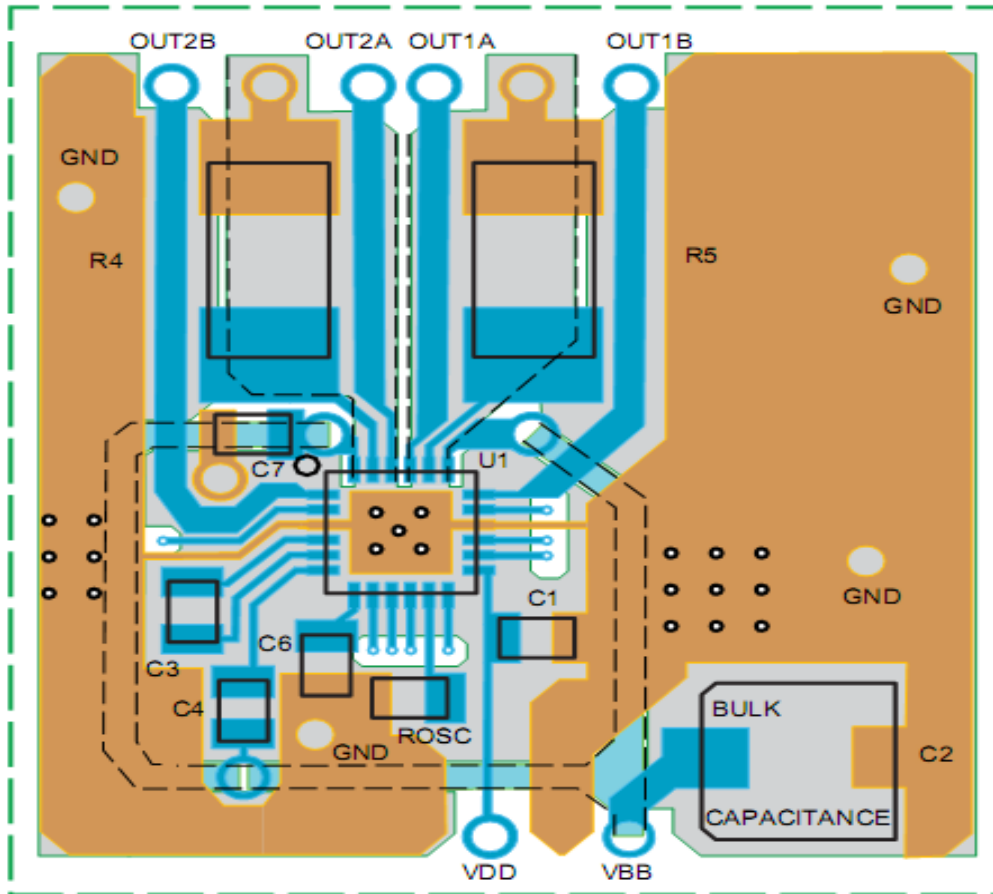
电流取样设置：为了减小因为地线上的寄生电阻引起的误差，马达电流的取样电阻 R_S 接地的地线要单独设置，减小其他因素引起的误差。单独的地线最终要连接到星状分布的地线总线上，该连线要尽可能的短，对小阻值的 R_S ，由于 R_S 上的压降 $V=I \cdot R_S$ 小于 0.5V，PCB 上的连线压降与 0.5V 的电压将显得不可忽视，这一点要考虑进去。

PCB 尽量避免使用测试转接插座，测试插座的连接电阻可能会改变 R_S 的大小，对电路造成误差。 R_S 值的选择遵循下列公式：

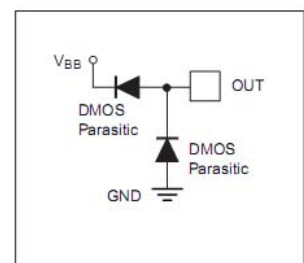
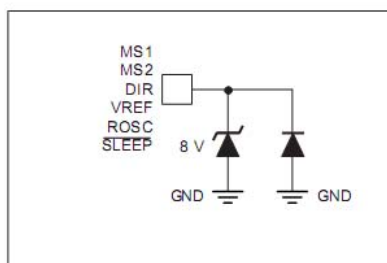
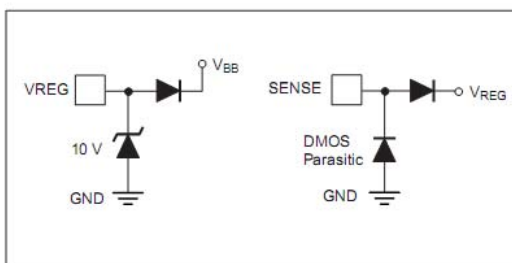
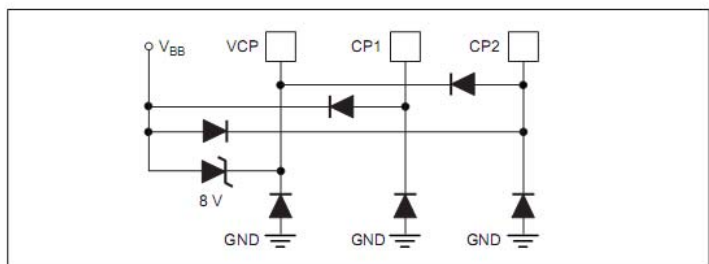
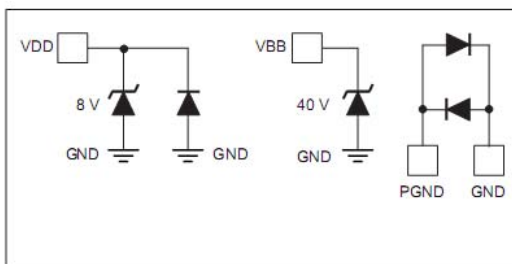
$$R_S = 0.5 / I_{TRIPmax}$$

热保护：当内部电路结温超过 150°C 时，过温模块开始工作，关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题，而不对输出短路的情况产生影响。热关断的阈值窗口大小为 15°C。





Pin Circuit Diagrams



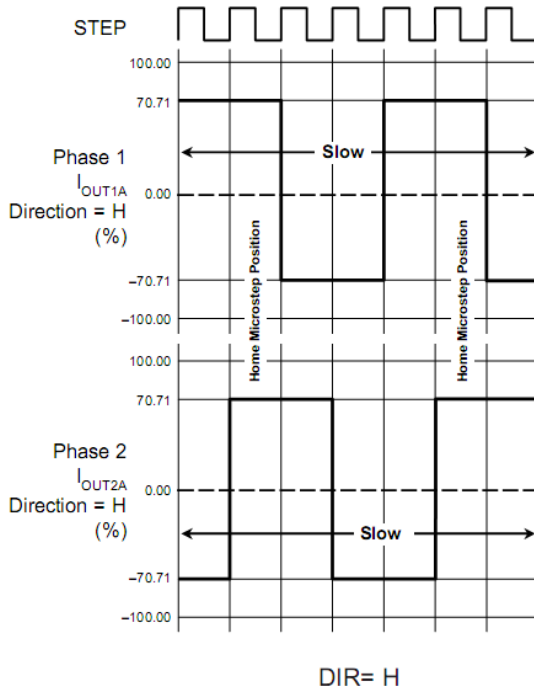


Figure 8. Decay Mode for Full-Step Increments

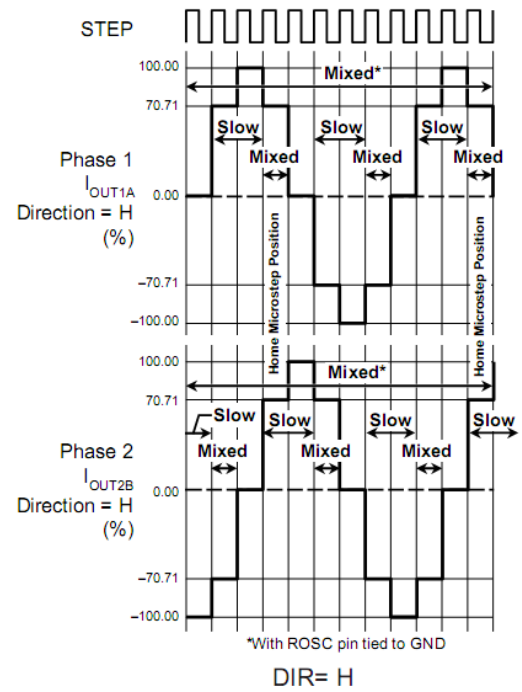


Figure 9. Decay Modes for Half-Step Increments

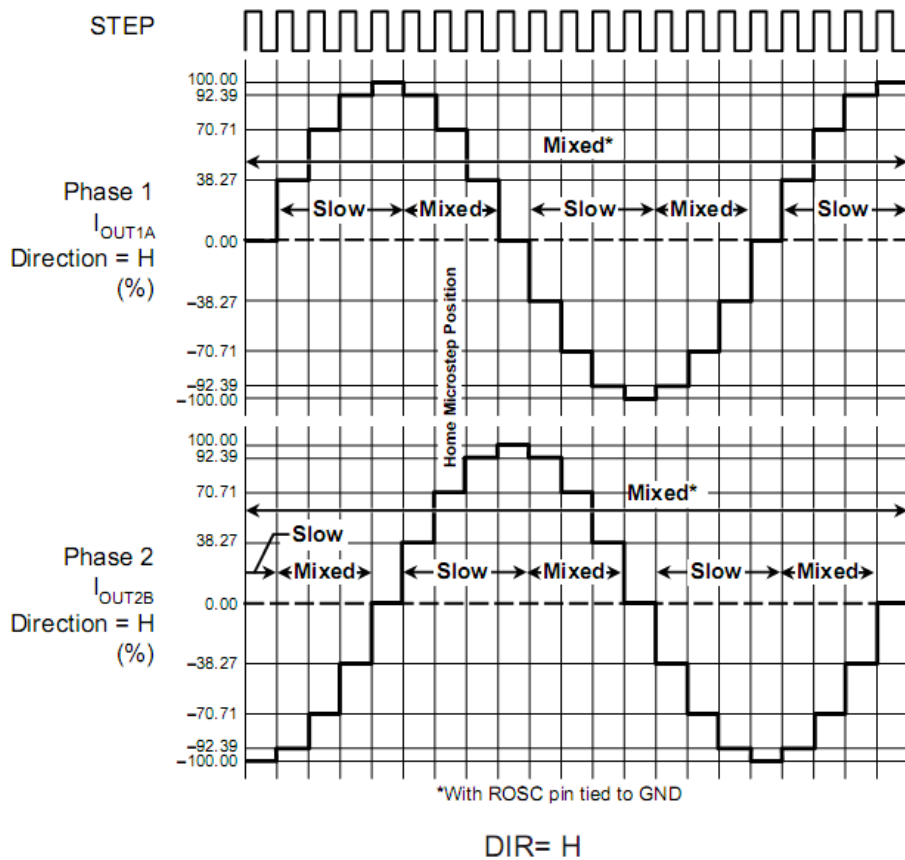


Figure 10. Decay Modes for Quarter-Step Increments

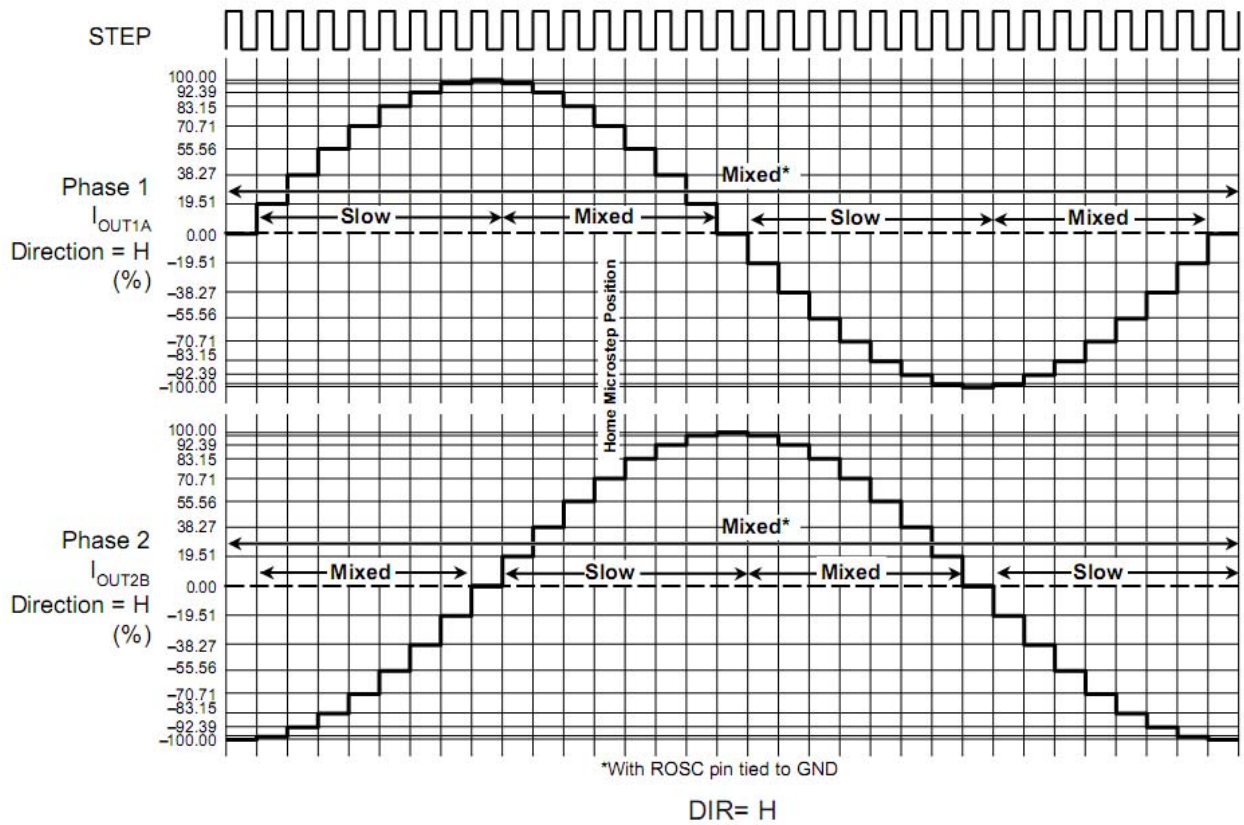


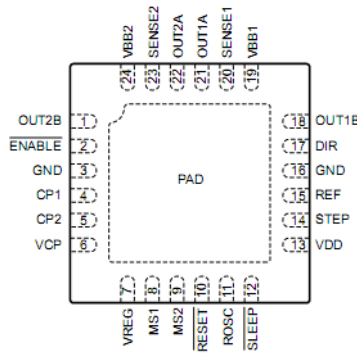
Figure 11. Decay Modes for Eighth-Step Increments

Table 2. Step Sequencing Settings

Home microstep position at Step Angle 45°; DIR = H

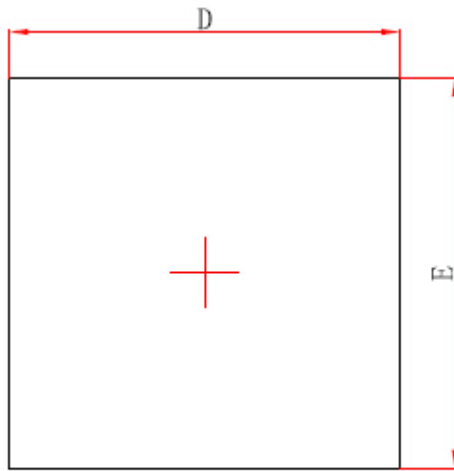
Full Step #	Half Step #	1/4 Step #	1/8 Step #	Phase 1 Current [% ¹ tripMax] (%)	Phase 2 Current [% ¹ tripMax] (%)	Step Angle (°)
	1	1	1	100.00	0.00	0.0
			2	98.08	19.51	11.3
		2	3	92.39	38.27	22.5
			4	83.15	55.56	33.8
1	2	3	5	70.71	70.71	45.0
			6	55.56	83.15	56.3
		4	7	38.27	92.39	67.5
			8	19.51	98.08	78.8
	3	5	9	0.00	100.00	90.0
			10	-19.51	98.08	101.3
		6	11	-38.27	92.39	112.5
			12	-55.56	83.15	123.8
2	4	7	13	-70.71	70.71	135.0
			14	-83.15	55.56	146.3
		8	15	-92.39	38.27	157.5
			16	-98.08	19.51	168.8
	5	9	17	-100.00	0.00	180.0
			18	-98.08	-19.51	191.3
		10	19	-92.39	-38.27	202.5
			20	-83.15	-55.56	213.8
3	6	11	21	-70.71	-70.71	225.0
			22	-55.56	-83.15	236.3
		12	23	-38.27	-92.39	247.5
			24	-19.51	-98.08	258.8
	7	13	25	0.00	-100.00	270.0
			26	19.51	-98.08	281.3
		14	27	38.27	-92.39	292.5
			28	55.56	-83.15	303.8
4	8	15	29	70.71	-70.71	315.0
			30	83.15	-55.56	326.3
		16	31	92.39	-38.27	337.5
			32	98.08	-19.51	348.8

Pin-out Diagrams

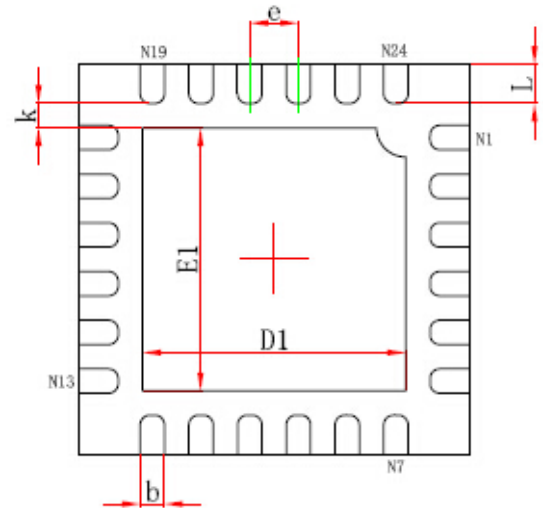


Terminal List Table

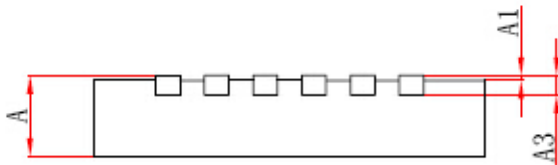
Number	Pin Name	Pin Description
4	CP1	Charge pump capacitor terminal
5	CP2	Charge pump capacitor terminal
17	DIR	Logic Input
2	\ENABLE	Logic Input
3,16	GND	Ground
8	MS1	Logic Input
9	MS2	Logic Input
21	OUT1A	DMOS Full Bridge 1 Output A
18	OUT1B	DMOS Full Bridge 1 Output B
22	OUT2A	DMOS Full Bridge 2 Output A
1	OUT2B	DMOS Full Bridge 2 Output B
15	REF	Gm reference voltage input
10	\RESET	Logic input
11	ROSC	Sense resistor for bridge 2
20	SENSE1	VBB2, the load supply for bridge 2
23	SENSE2	Logic Input
12	\SLEEP	Logic Input
14	STEP	Logic Input
19	VBB1	Load supply
24	VBB2	Load supply
6	VCP	Reservoir capacitor terminal
13	VDD	Logic supply
7	VREG	Regulator decoupling terminal



Top View



Bottom View



Side View

QFN24 4*4 with exposed thermal pad

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	3.924	4.076	0.154	0.160
E	3.924	4.076	0.154	0.160
D1	2.600	2.800	0.102	0.110
E1	2.600	2.800	0.102	0.110
k	0.200MIN.		0.008MIN.	
b	0.200	0.300	0.008	0.012
e	0.500TYP.		0.020TYP.	
L	0.324	0.476	0.013	0.019

IMPORTANT NOTICE**注意**

Jiaxing Heroic Electronic Technology Co., Ltd (HT) reserves the right to make corrections, modifications, enhancements, improvements, and other changes to its products and services at any time and to discontinue any products or services without notice. Customers should obtain the latest relevant information before placing orders and should verify that such information is current and complete.

嘉兴禾润电子科技有限公司（以下简称HT）保留对产品、服务、文档的任何修改、更正、提高、改善和其他改变，或停止提供任何产品和服务，并不提供任何通知的权利。客户在下单和生产前应确保所得到的信息是最新、最完整的。

HT assumes no liability for applications assistance or customer product design. Customers are responsible for their products and applications using HT components.

HT对相关应用的说明和协助以及客户产品的板级设计不承担任何责任。

HT products are not authorized for use in safety-critical applications (such as life support devices or systems) where a failure of the HT product would reasonably be expected to affect the safety or effectiveness of that devices or systems.

HT的产品并未授权用于诸如生命维持设备等安全性极高的应用中。

The information included herein is believed to be accurate and reliable. However, HT assumes no responsibility for its use; nor for any infringement of patents or other rights of third parties which may result from its use.

本文中的相关信息是精确和可靠的，但HT并不对其负责，也不对任何可能的专利和第三方权利的侵害负责。

Following are URLs and contacts where you can obtain information or supports on any HT products and application solutions:

下面是可以联系到我公司的相关联系方式：

嘉兴禾润电子科技有限公司**Jiaxing Heroic Electronic Technology Co., Ltd.**

地址：浙江省嘉兴市凌公塘路3339号JRC大厦A座三层

Add: A 3rd floor, JRC Building, No. 3339, LingGongTang Road, Jiaxing, Zhejiang Province

销售/Sales: 0573-82583866

支持/Support: 0573-82586151

传真/Fax: 0573-82585078

E-mail: sales@heroic.com.cn

网址/Website: www.heroic.com.cn