



BP6713 with built-in 3P3N driver Datasheet

© 2020, 版权归晶丰明源所有

机密文件，未经许可不得扩散

目 录

1	概述	5
1.1	功能简述	5
1.2	主要优势	7
1.3	系统资源	8
2	管脚分布	9
2.1	管脚分布图	9
2.2	管脚说明	9
3	封装尺寸	14
4	电气性能参数	15
5	模拟性能参数	16
6	电源管理系统	20
7	时钟系统	21
8	基准电压源	22
9	ADC 模块	23
10	运算放大器	24
11	比较器	25
12	温度传感器	26
13	DAC 模块	27
14	处理器核心	28
15	存储资源	29
15.1	Flash	29

15.2	SRAM.....	29
16	电机驱动专用 MCPWM	30
17	Timer.....	31
18	Hall 传感器接口.....	32
19	通用外设	33
20	三相 P/N MOS 栅极驱动模块.....	34
21	特殊 IO 复用	35
22	版本历史	37
23	免责声明	38

表格目录

表 1-1 BP6713 with built-in 3P3N driver 封装信息表.....	6
表 2-1 BP6713 with built-in 3P3N driver 管脚说明.....	9
表 2-2 BP6713 with built-in 3P3N driver 引脚功能选择.....	11
表 3-1 BP6713 with built-in 3P3N driver 封装尺寸.....	14
表 4-1 BP6713 with built-in 3P3N driver 电气极限参数.....	15
表 4-2 BP6713 with built-in 3P3N driver ESD/Latch-up 参数.....	15
表 4-3 BP6713 with built-in 3P3N driver IO 极限参数.....	15
表 4-4 BP6713 with built-in 3P3N driver IO DC 参数.....	15
表 5-1 BP6713 with built-in 3P3N driver 模拟性能参数.....	16
表 5-2 BP6713 with built-in 3P3N driver 驱动模块参数.....	17
表 22-1 文档版本历史.....	37

图片目录

图 1-1 BP6713 系统框图.....	8
图 2-1 BP6713 管脚分布图.....	9
图 3-1 BP6713 封装图示.....	14
图 5-1 驱动模块输入输出时序波形.....	18
图 5-2 驱动模块输出变化沿时序波形.....	19
图 20-1 BP6713 驱动模块典型应用图.....	34

1 概述

1.1 功能简述

BP6713 是 32 位内核的面向电机控制应用的专用处理器，集成了常用电机控制系统所需要的所有模块，同时集成了三相 P/N MOS 栅极驱动模块，可直接驱动三路 P/N MOS 功率器件。

- **性能**

- 96MHz 32 位 RISC 内核
- 低功耗休眠模式
- 集成三相 P/N MOS 栅极驱动模块
- 工业级工作温度范围
- 超强抗静电和群脉冲能力

- **存储器**

- 32kB Flash，带加密功能，带 128 位芯片唯一识别码
- 2.5kB RAM

- **工作范围**

- 7.5~28V（极限 40V）单电源供电，内部集成 1 个 5V LDO，为芯片内 MCU 部分供电
- 工作环境温度范围: -40~85°C

- **时钟**

- 内置 4MHz 高精度 RC 时钟，-40~105°C 范围内精度在 ±1% 之内
- 内置低速 64kHz 低速时钟，供低功耗模式使用
- 内部 PLL 可提供最高 96MHz 时钟

- 外设模块

- 1 路 UART
- 1 路 IIC, 支持主从模式
- 2 个通用 16 位 Timer, 支持捕捉和边沿对齐 PWM 功能
- 2 个通用 32 位 Timer, 支持捕捉和边沿对齐 PWM 功能;
- 电机控制专用 PWM 模块, 支持 8 路 PWM 输出, 独立死区控制
- Hall 信号专用接口, 支持测速、去抖功能
- 硬件看门狗
- 最多 4 组 16bit GPIO, P0.0/P0.1/P1.0/P1.1 4 个 GPIO 可以作为系统的唤醒源。
P0.15~P0.0 共 16 个 GPIO 可以用作外部中断源输入

- 模拟模块

- 集成 1 路 12bit SAR ADC, 2Msps 采样及转换速率, 共 16 通道
- 集成 1 路运算放大器, 可设置为差分 PGA 模式
- 集成 1 路比较器
- 集成 12bit DAC 数模转换器
- 内置 $\pm 2^{\circ}\text{C}$ 温度传感器
- 内置 1.2V 0.5% 精度电压基准源
- 内置 1 路低功耗 LDO 和电源监测电路
- 集成高精度、低温飘高频 RC 时钟

- 封装:

表 1-1 BP6713 with built-in 3P3N driver 封装信息表

型号	封装形式	包装	印章
BP6713	SOP16	卷盘 3,000 只/盘	BP6713 XXXXXYX XXXXWWX

1.2 主要优势

- 高可靠性、高集成度、最终产品体积小、节约 BOM 成本。
- 内部集成 1 路高速运放和 1 路比较器，可满足单电阻电流采样拓扑架构的需求；
- 内部高速运放集成高压保护电路，可以允许高电平共模信号直接输入芯片，可以用较简单的电路拓扑实现 MOSFET 电阻直接电流采样模式；
- 集成硬件 MOSFET 温度漂移补偿电路，确保电流采样精度；
- 应用技术使 ADC 和高速运放达到优秀配合，可处理更宽的电流动态范围，同时兼顾高速小电流和低速大电流的采样精度；
- 整体控制电路简洁高效，抗干扰能力强，稳定可靠；
- 单电源 7.5~28V 供电，内部集成 5V LDO；
- 集成三相 P/N MOS 栅极驱动模块。

适用于无感 FOC 及步进电机、永磁同步、异步电机等控制系统。

1.3 系统资源

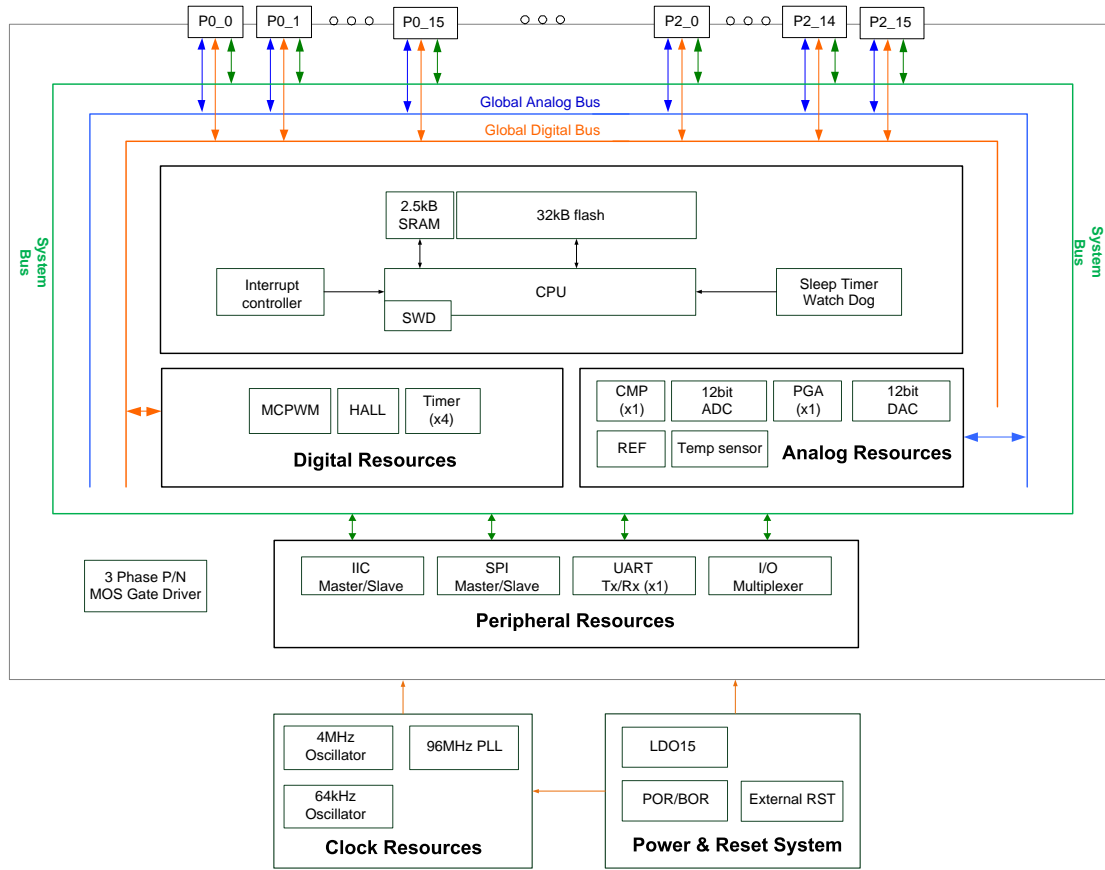


图 1-1 BP6713 系统框图

2 管脚分布

2.1 管脚分布图

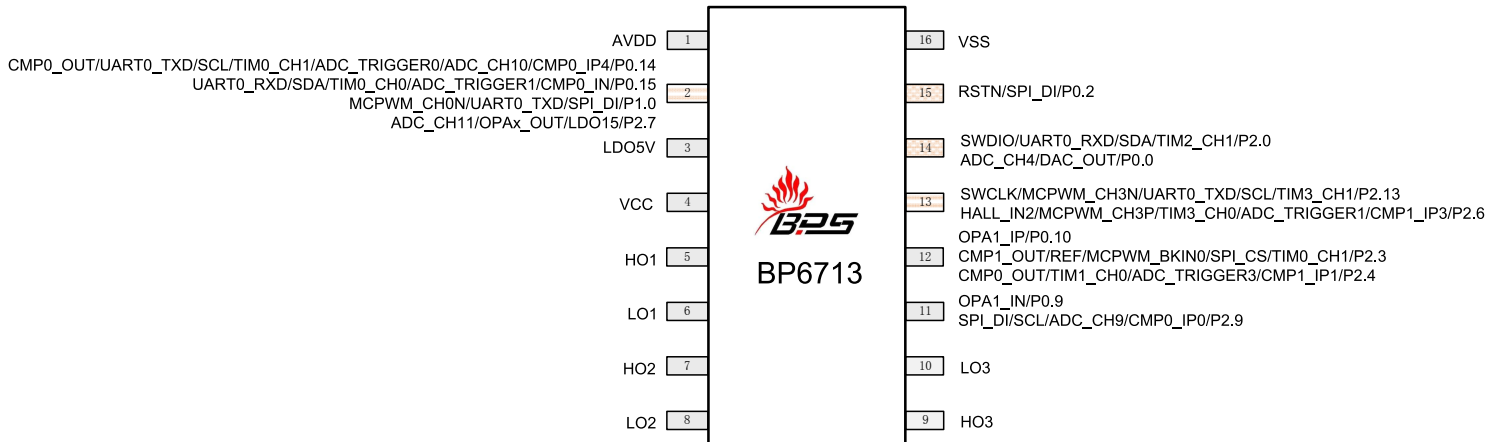


图 2-1 BP6713 管脚分布图

* 图中红色 PIN 脚内置上拉至 AVDD 的电阻:

RSTN 内置 100kΩ 上拉电阻, 可软件控制开启关闭上拉

红色 PIN 脚内置 10kΩ 上拉电阻, 可软件控制开启关闭上拉

2.2 管脚说明

表 2-1 BP6713 with built-in 3P3N driver 管脚说明

芯片引脚号	名称	类型	功能说明
1	AVDD	PWR	AVDD 为芯片低压供电电源, 供电范围 3.3~5.5V。在散热条件良好的应用里, 可直接连至芯片的 LDO5V 引脚。如考虑降低系统功耗而采用外部 DCDC 或电荷泵产生的 5V 电源, 则将此引脚连至外部 5V 电源。
2	CMP0_OUT/UART0_TXD/SCL/ TIM0_CH1/ADC_TRIGGER0/ADC_C H10/CMP0_IP4/P0.14 UART0_RXD/SDA/TIM0_CH0/ADC_ TRIGGER1/CMP0_IN/P0.15 MCPWM_CH0N/UART0_TXD/ SPI_DI/P1.0/ ADC_CH11/OPAx_OUT/LDO15/P2.7	IO	比较器 0 输出/串口 0 TXD/ IIC 时钟/Timer0 通道 1/ADC 触发信号 0/ ADC 通道 10/比较器 0 正端输入通道 4/P0.14, 内置可软件开启的 10k 上拉电阻; 串口 0 RXD/IIC 数据/Timer0 通道 0/ADC 触发信号 1/比较器 0 负端输入/P0.15, 内置可软件开启的 10k 上拉电阻; 电机 PWM 通道 0 低边/串口 0 TXD/SPI 数据输入/P1.0, 内置可软件开启的 10k 上拉电阻; ADC 通道 11/OPAx 输出/LDO15 输出/P2.7, 内置可软件开启的 10k 上拉电阻
3	LDO5V	电源	芯片 5V LDO 输出引脚, 片外接 1uF 去耦电容, 并尽量靠近 LDO5V 引脚

芯片引脚号	名称	类型	功能说明
4	VCC	电源	芯片中压供电电源，供电范围 9~28V。如 VCC 高于 20V、AVDD 引脚由芯片 LDO5V 输出供电、且芯片无需休眠的应用场合，建议在 VCC 和 AVDD 之间加一个 1k~2k 欧姆的分流电阻，具体阻值计算见第 20 章节。 VCC 引脚到地之间必须有一个大于等于 100uF 的去耦电容
5	HO1	输出	A 相 PWM 高驱输出，由 MCU P1.7 口的 PWM 输出功能控制。需配置地址为 0x4001_1C7C 的 MCPWM_SWAP=1，详见 user manual. HO1 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
6	LO1	输出	A 相 PWM 低驱输出，由 MCU P1.4 口的 PWM 输出功能控制。LO1 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
7	HO2	输出	B 相 PWM 高驱输出，由 MCU P1.8 口的 PWM 输出功能控制。HO2 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
8	LO2	输出	B 相 PWM 低驱输出，由 MCU P1.5 口的 PWM 输出功能控制。LO2 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
9	HO3	输出	C 相 PWM 高驱输出，由 MCU P1.9 口的 PWM 输出功能控制。HO3 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
10	LO3	输出	C 相 PWM 低驱输出，由 MCU P1.6 口的 PWM 输出功能控制。LO3 输出到 MOS 管栅极之间建议串联一个 51 欧的电阻
11	OPA1_IN/P0.9 SPI_DI/SCL/ADC_CH9/ CMP0_IP0/P2.9	IO	运放 1 负端输入/P0.9；SPI 数据输入/IIC 时钟/ADC 通道 9/比较器 0 正端输入通道 0/P2.9，内置可软件开启的 10k 上拉电阻
12	OPA1_IP/P0.10 CMP1_OUT/REF/MCPWM_BKIN0/ SPI_CS/TIM0_CH1/P2.3 CMP0_OUT/TIM1_CH0/ADC_ TRIGGER3/CMP1_IP1/P2.4	IO	运放 1 正端输入/P0.10；比较器 1 输出/电压参考信号/电机 PWM 终止信号 0/SPI 片选信号/Timer0 通道 1/P2.3；比较器 0 输出/Timer1 通道 0/ADC 触发信号 3/比较器 1 正端输入通道 1/P2.4，内置可软件开启的 10k 上拉电阻
13	SWCLK/MCPWM_CH3N/UART0_ TXD/SCL/TIM3_CH1/P2.13 HALL_IN2/MCPWM_CH3P/TIM3_ CH0/ADC_TRIGGER1/CMP1_IP3/ P2.6	IO	SWD 时钟/电机 PWM 通道 3 低边/串口 0 TXD/IIC 时钟/Timer3 通道 1/P2.13，内置固定上拉的 10k 电阻；Hall 传感器 C 相输入/电机 PWM 通道 3 高边 /Timer3 通道 0/ADC 触发信号 1/比较器 1 正端输入通道 3/P2.6，内置可软件开启的 10k 上拉电阻
14	SWDIO/UART0_RXD/SDA/ TIM2_CH1/P2.0 ADC_CH4/DAC_OUT/P0.0	IO	SWD 数据/串口 0 RXD/IIC 数据/Timer2 通道 1/P2.0，内置固定上拉的 10k 电阻；ADC 通道 4/DAC 输出/P0.0，内置可软件开启的 10k 上拉电阻
15	RSTN/SPI_DI/P0.2	IO	RSTN/SPI 输入/P0.2，默认作为 RSTN 使用，外部接一个 10nF 的电容到地即可，内部有 100k 上拉电阻。
16	VSS	地	系统地

表 2-2 BP6713 with built-in 3P3N driver 引脚功能选择

Port	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF0
P0.0										ADC_CH4, DAC_OUT
P0.1										
P0.2					SPI_DI					
P0.3						SCL		TIM2_CH0		ADC_CH7
P0.4						SDA		TIM2_CH1		ADC_CH13
P0.5										ADC_CH12
P0.6				UART1_RXD			TIM1_CH0			
P0.7				UART1_TXD			TIM1_CH1			
P0.8										
P0.9										OPA1_IP
P0.10										OPA1_IN
P0.11		HALL_IN0				SCL		TIM3_CH0		ADC_CH6/CMP0_IP1
P0.12		HALL_IN1				SDA		TIM3_CH1		ADC_CH2/CMP0_IP2
P0.13		HALL_IN2								ADC_CH3/CMP0_IP3
P0.14	CMP0_OUT		MCPWM_BKIN1	UART0_TXD	SPI_CLK	SCL	TIM0_CH1		ADC_TRIGGER0	ADC_CH10/CMP0_IP4
P0.15			MCPWM_CH0P	UART0_RXD	SPI_DO	SDA	TIM0_CH0		ADC_TRIGGER1	CMP0_IN

表 2-2 BP6713 with built-in 3P3N driver 引脚功能选择(续)

Port	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF0
P1.0			MCPWM_CH0N	UART0_TXD	SPI_DI					
P1.1					SPI_CS					OPA2_IP
P1.2								TIM3_CH0		OPA2_IN
P1.3								TIM3_CH1		ADC_CH5
P1.4	LRC		MCPWM_CH0P							
P1.5	HRC		MCPWM_CH0N							
P1.6			MCPWM_CH1P							
P1.7			MCPWM_CH1N							
P1.8			MCPWM_CH2P							
P1.9			MCPWM_CH2N							
P1.10			MCPWM_CH3P	UART0_RXD		SCL	TIM0_CH0		ADC_TRIGGER2	
P1.11			MCPWM_CH3N	UART0_TXD		SDA	TIM0_CH1		ADC_TRIGGER3	
P1.12										
P1.13					SPI_CLK		TIM0_CH0			
P1.14										OPA0_IP
P1.15										OPA0_IN

表 2-2 BP6713 with built-in 3P3N driver 引脚功能选择(续)

Port	AF1	AF2	AF3	AF4	AF5	AF6	AF7	AF8	AF9	AF0
P2.0				UART0_RXD		SDA		TIM2_CH1		
P2.1					SPI_CLK					ADC_CH14/ CMP1_IP0
P2.2										CMP1_IN
P2.3	CMP1_OUT		MCPWM_BKIN0		SPI_CS		TIM0_CH1			REF
P2.4	CMP0_OUT	HALL_IN0	MCPWM_CH2P	UART1_RXD			TIM1_CH0		ADC_TRIGGER3	CMP1_IP1
P2.5	CMP1_OUT	HALL_IN1	MCPWM_CH2N	UART1_TXD			TIM1_CH1		ADC_TRIGGER0	CMP1_IP2
P2.6		HALL_IN2	MCPWM_CH3P					TIM3_CH0	ADC_TRIGGER1	CMP1_IP3
P2.7										ADC_CH11/ OPAx_OUT/ LDO15
P2.8				UART0_RXD	SPI_DO			TIM2_CH0		
P2.9					SPI_DI	SCL				ADC_CH9/ CMP0_IP0
P2.10					SPI_DO	SDA				
P2.11			MCPWM_CH1P					TIM2_CH0		
P2.12			MCPWM_CH1N		SPI_CS			TIM2_CH1	ADC_TRIGGER2	
P2.13			MCPWM_CH3N	UART0_TXD		SCL		TIM3_CH1		
P2.14					SPI_DI	SCL				OPA3_IP
P2.15					SPI_CS	SDA				OPA3_IN

3 封装尺寸

SOP16L

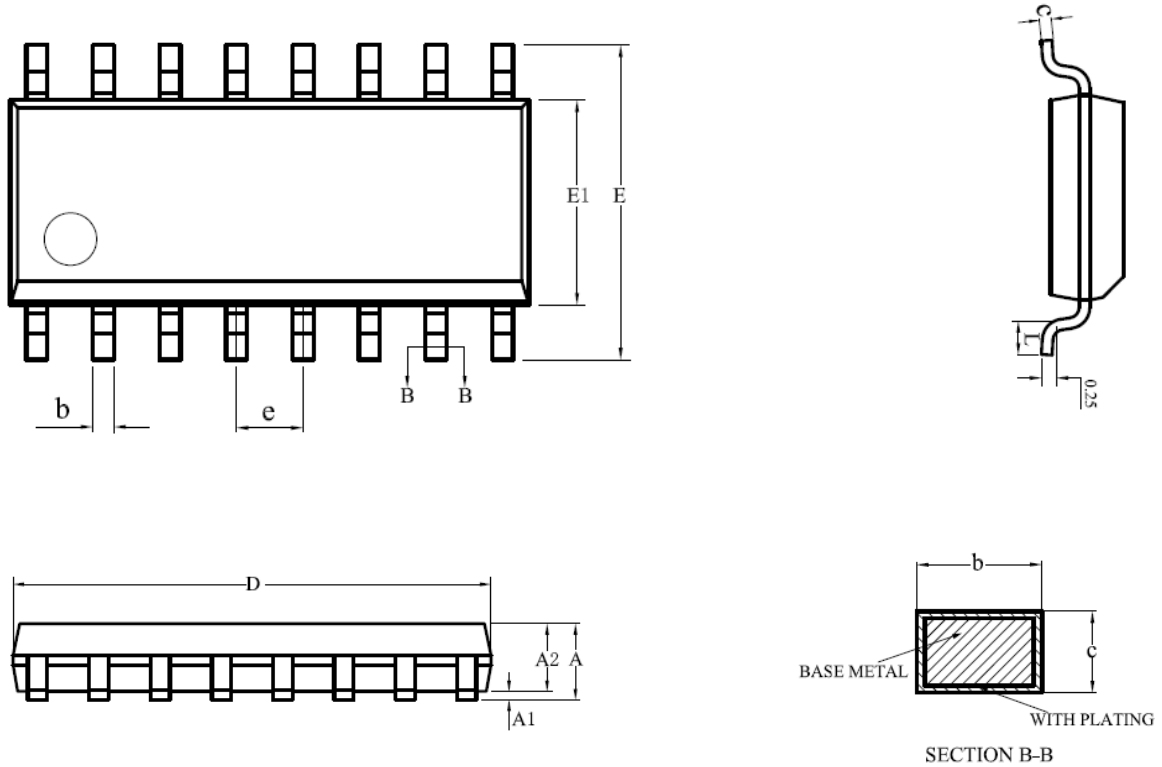


图 3-1 BP6713 封装图示

表 3-1 BP6713 with built-in 3P3N driver 封装尺寸

SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	-	1.75
A1	0.10	-	0.25
A2	1.30	-	1.55
b	0.35	-	0.50
c	0.19	-	0.25
D	9.80	-	10.20
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.27 BSC		
L	0.40	-	0.80

4 电气性能参数

表 4-1 BP6713 with built-in 3P3N driver 电气极限参数

参数	最小	最大	单位	说明
电源电压	-0.3	+7.0	V	相对于地
工作温度	-40	+105	°C	
存储温度	-40	+125	°C	
结温	-	150	°C	
引脚温度 (焊接, 10 秒)	-	300	°C	

表 4-2 BP6713 with built-in 3P3N driver ESD/Latch-up 参数

项目	最小	最大	单位	
ESD测试 (HBM)	-6000	6000	V	
ESD测试 (MM)	-600	600	V	
ESD测试 (CDM)	-1200	1200	V	
Latch-up电流 (85°C)	-200	200	mA	

表 4-3 BP6713 with built-in 3P3N driver IO 极限参数

参数	描述	最小	最大	单位
VIN	GPIO信号输入电压范围	-0.3	7.0	V
IINJ_PAD	单个GPIO最大注入电流	-12	12	mA
IINJ_SUM	所有GPIO最大注入电流	-50	50	mA

表 4-4 BP6713 with built-in 3P3N driver IO DC 参数

参数	描述	VDD	条件	最小	最大	单位
VINH	数字IO输入高电压	5		0.65*VDD	-	V
VINL	数字IO输入低电压	5		-	0.35*VDD	V
VHYS	施密特迟滞范围	5		0.1*VDD	-	V
IIH	数字IO输入高电压, 电流消耗	5		-	1	uA
IIL	数字IO输入低电压, 电流消耗	5		-1	-	uA
VOH	数字IO输出高电压	5	最大驱动电流12mA	0.8*VDD	-	V
VOL	数字IO输出低电压	5	最大驱动电流12mA	-	0.1*VDD	V
Rpup	上下拉电阻大小*	5		8	12	KOhm
CIN	数字IO输入电容	5		-	10	pF

*仅部分 IO 内置上拉, 详见引脚说明章节

5 模拟性能参数

表 5-1 BP6713 with built-in 3P3N driver 模拟性能参数

参数	最小	典型	最大	单位	说明
芯片					
工作电源	2.2	5	6	V	
ADC					
工作电源	3.1	5	5.5	V	
输出码率	-	3	-	MHz	$f_{adc}/16$
差分输入信号范围	-REF	-	+REF	V	Gain=1 时; REF=2.4V
	-3.6	-	+3.6	V	Gain=2/3 时; REF=2.4V
单端输入信号范围	-0.3		AVDD+0.3	V	受限于 IO 口输入电压限制
直流失调 (offset)	-	5	10	mV	可校正
有效位数(ENOB)	10.5	11	-	bit	
INL	-	2	3	LSB	
DNL	-	1	2	LSB	
SNR	63	66	-	dB	
输入电阻	500k	-	-	Ohm	
输入电容	-	10pF	-	F	
基准电压(REF)					
工作电源	2.2	5	5.5	V	
输出偏差	-9	-	9	mV	
电源抑制比	-	70	-	dB	
温度系数	-	20	-	ppm/°C	
输出电压	-	1.2	-	V	
DAC12					
工作电源	2.2	5	5.5	V	
负载电阻	50k	-	-	Ohm	
负载电容	-	-	50p	F	
输出电压范围	0.05	-	AVDD-0.1	V	
转换速度	-	-	1M	Hz	
DNL	-	1	2	LSB	
INL	-	2	4	LSB	
OFFSET	-	5	10	mV	
SNR	57	60	66	dB	

参数	最小	典型	最大	单位	说明
运放 (OPA)					
工作电源	3.1	5	5.5	V	
带宽	-	10M	20M	Hz	
负载电阻	20k	-	-	Ohm	
负载电容	-	-	5p	F	
输入共模范围	0	-	AVDD	V	
输出信号范围	0.1	-	AVDD-0.1	V	最小负载电阻下
OFFSET	-	5	10	mV	
共模抑制 (CMRR)	-	80	-	dB	
电源抑制 (PSRR)	-	80	-	dB	
负载电流	-	-	500	uA	
摆率(Slew rate)	-	5	-	V/us	
相位裕度	-	60	-	度	
比较器 (CMP)					
工作电源	2.2	5	5.5	V	
输入信号范围	0	-	AVDD	V	
OFFSET	-	5	10	mV	
传输延时	-	0.15u	-	s	默认功耗
	-	0.6u	-	s	低功耗
回差 (Hysteresis)	-	10	-	mV	HYS=' 0'
	-	0	-	mV	HYS=' 1'

表 5-2 BP6713 with built-in 3P3N driver 驱动模块参数

符号	参数	条件	最小	典型	最大	单位
静态参数						
V _{CC_ON}	VCC 欠压恢复电压		5.8	6.5	7.4	V
V _{CC_UVLO}	VCC 欠压阈值电压		5.4	6.0	6.8	V
V _{CC_HYS}	欠压电压回差		0.3	0.5	0.8	V
I _{QC}	静态工作电流	V _{IN} =0V	0.3	0.5	1.0	mA
V _{DD}	5V LDO 输出电压		4.7	5.0	5.3	V
V _{IH}	逻辑' 1' 翻转电压		2.2	-	-	V
V _{IL}	逻辑' 0' 翻转电压		-	-	0.6	V
I _{SOURCE}	输入信号逻辑' 1' 偏置电流	V _{IN} =5V	-	32	100	uA
I _{SINK}	输入信号逻辑' 0' 偏置电流	V _{IN} =0V	-	-	1.0	uA
V _{HO}	HOx(x=1~3) 输出导通电压 (因为 HO 驱动 PMOS, 低电平对应导通)		V _{CC} -11	V _{CC} -9.5	V _{CC} -8	V
V _{LO}	LOx(x=1~3) 输出导通电压		8.5	10	11.5	V
I _{HO+}	HOx(x=1~3) 输出拉电流	V _{HOx} =V _{CC} -10V	-	300	-	mA
I _{HO-}	HOx(x=1~3) 输入灌电流	V _{HOx} =V _{CC}	-	35	-	mA

符号	参数	条件	最小	典型	最大	单位
I_{LO+}	LOx(x=1~3)输出拉电流	$V_{LOx}=0V$	-	60	-	mA
I_{LO-}	LOx(x=1~3)输入灌电流	$V_{LOx}=10V$	-	300	-	mA
T_{SD}	TSD 温度		-	150	-	°C
$T_{RECOVER}$	TSD 恢复温度		-	135	-	°C
动态参数 (CL=1nF) (参看图 5-2)						
T_{ON}	导通传输延时		-	80	-	ns
T_{OFF}	关闭传输延时		-	30	-	
T_{HR}	HOx 上升时间		-	50	-	
T_{HF}	HOx 下降时间		-	400	-	
T_{LR}	LOx 上升时间		-	200	-	
T_{LF}	LOx 下降时间		-	50	-	
DT	内置死区时间		-	100	-	

P/N MOS 驱动模块的输入输出波形如图 5-1 所示。图中 HIN/LIN 为芯片内部 MCPWM 模块的输出信号，对于 HIN 来说，输入高电平对应 HO 输出低电平，从而驱动高侧 PMOS 导通。对于 LIN 来说，输入高电平对应 LO 输出高电平，从而驱动低侧 NMOS 导通。因此 MCPWM 寄存器 MCPWM_IO01/ MCPWM_IO23 里的 P 和 N 的极性选择都不需要取反。

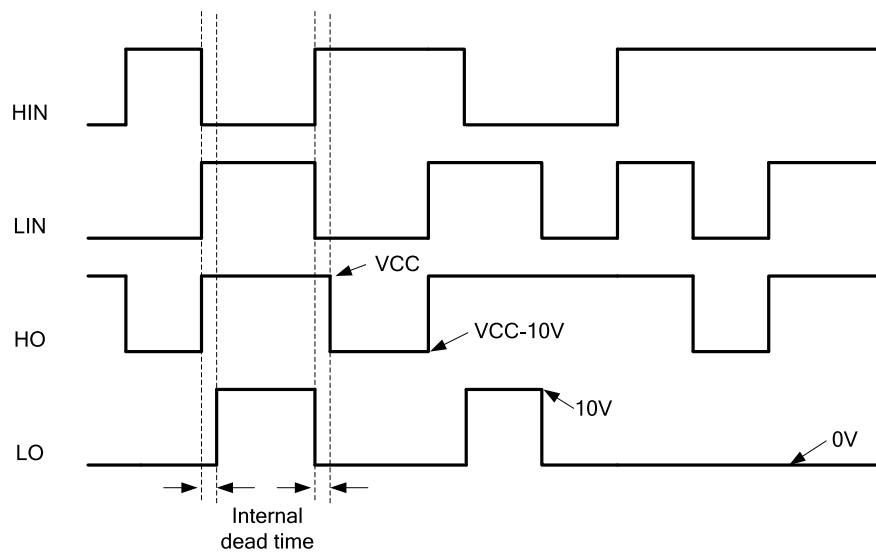


图 5-1 驱动模块输入输出时序波形

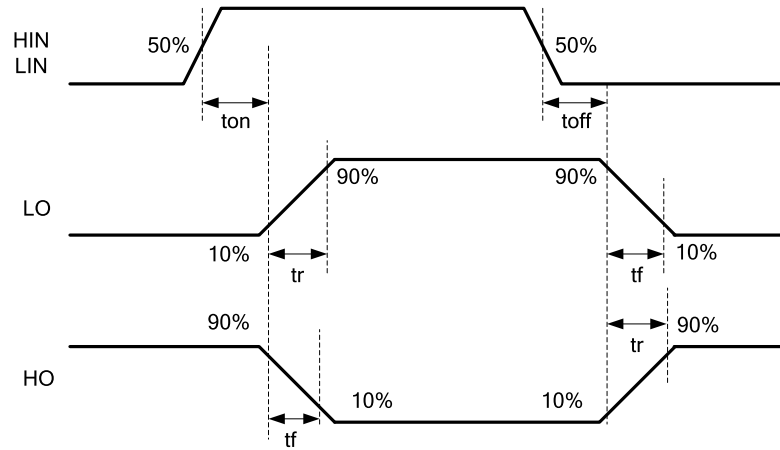


图 5-2 驱动模块输出变化沿时序波形

模拟寄存器表说明：

地址 0x40000040~0x40000050 是各个模块的校正寄存器，这些寄存器在出厂之前都会填上各自的校正值。一般情况下用户不要去配置或改变这些值。如果需要对模拟参数进行微调，需要读取原校正值，并以此为基础进行微调。

地址 0x40000020~0x4000003c 是开放给用户的寄存器，其中空白部分的寄存器必须全部配置为 0（芯片上电后会被复位为 0）。其他寄存器根据应用场合需要进行配置。

6 电源管理系统

电源管理系统由 LDO15 模块、电源检测模块（PVD）、上电/掉电复位模块（POR）组成。

该芯片由 2.2~5.5V 单电源供电，以节省芯片外的电源成本。芯片内部集成一路 LDO15 给内部所有数字电路、PLL 模块供电。

LDO 上电后自动开启，无需软件配置，但 LDO 输出电压可通过软件实现微调。

LDO15 的输出电压可通过设置寄存器 LDO15TRIM<2:0>来调节，具体寄存器所对应值见模拟寄存器表说明。

LDO15 在芯片出厂前已经过校正，一般情况下，用户不需要额外配置这些寄存器。如需微调 LDO 的输出电压，需要读取原配置值，在此基础加上微调量对应的配置值填入寄存器。

POR 模块监测 LDO15 的电压，在 LDO15 电压低于 1.1V 时（例如上电之初，或者掉电之时），为数字电路提供复位信号以避免数字电路工作产生异常。

7 时钟系统

时钟系统包括内部 64kHz RC 时钟、内部 4MHz RC 时钟、PLL 电路组成。

64k RC 时钟作为 MCU 系统慢时钟使用，作为诸如滤波模块或者低功耗状态下的 MCU 时钟使用。4MHz RC 时钟作为 MCU 主时钟使用，配合 PLL 可提供最高到 96MHz 的时钟。

64k 和 4M RC 时钟均带有出厂校正，可在常温下实现 64k RC 时钟±5%的精度，4M RC 时钟±1%的精度。其中 4M RC 时钟还开放有用户校正寄存器，可进一步将精度校正到±0.5%范围。64k RC 时钟在-40~105°C范围内的精度为±20%，4M RC 时钟在该温度范围的精度为±1%。

64k RC 时钟频率可通过寄存器 RCLTRIM<3:0>进行设置，4M RC 时钟频率可通过寄存器 RCHTRIM<5:0>进行设置，具体寄存器所对应值见模拟寄存器表说明。

芯片出厂前时钟已经过校正，一般情况下，用户不需要额外配置这些寄存器。如需微调频率，需要读取原配置值，在此基础上微调量对应的配置值填入寄存器。

4M RC 时钟通过设置 RCHPD='0' 打开（默认打开，设'1' 关闭），RC 时钟需要 Bandgap 电压基准源模块提供基准电压和电流，因此开启 RC 时钟需要先开启 BGP 模块。芯片上电的默认状态下，4M RC 时钟和 BGP 模块都是开启的。64k RC 时钟是始终开启的，不能关闭。

PLL 对 4M RC 时钟进行倍频，以提供给 MCU、ADC 等模块更高速的时钟。MCU 和 PWM 模块的最高时钟为 96MHz，ADC 模块典型工作时钟为 48MHz，通过寄存器 ADCLKSEL<1:0>可设置为不同的 ADC 工作频率。

PLL 通过设置 PLLPDN='1' 打开（默认关闭，设 1 打开），开启 PLL 模块之前，同样也需要开启 BGP(Bandgap) 模块。开启 PLL 之后，PLL 需要 6us 的稳定时间来输出稳定时钟。芯片上电的默认状态下，RCH 时钟和 BGP 模块都是开启的，但 PLL 默认是关闭的，需要软件来开启。

8 基准电压源

该基准源为 ADC、DAC、RC 时钟、PLL、温度传感器、运算放大器、比较器和 FLASH 提供基准电压和电流，使用上述任何一个模块之前，都需要开启 BGP 基准电压源。

芯片上电的默认状态下，BGP 模块是开启的。基准源通过设置 BGPPD = ' 0' 打开，从关闭到开启，BGP 需要约 2us 达到稳定。BGP 输出电压约 1.2V，精度为±0.8%

基准源可通过设置 REF_AD_EN=' 1' ，将基准电压送至 IO P2.3 进行测量。

9 ADC 模块

芯片内部集成 1 路 SAR 结构 ADC，芯片上电的默认状态下，ADC 模块是关闭的。ADC 开启前，需要先开启 BGP 和 4M RC 时钟和 PLL 模块，并选择 ADC 工作频率。默认配置下 ADC 工作时钟是 48M，对应 3MHz 的转换数据率。

ADC 完成一次转换至少需要 16 个 ADC 时钟周期，其中 12 个为转换周期，4 个为采样周期。即 $f_{conv} = f_{adc} / 16$ 。在 ADC 时钟设为 48M 时，转换速率是 3MHz。采样周期可通过配置 SYS_AFE_REG7 里的 SAMP_TIME 寄存器进行设置，要求设置为 6（含）以上，即 10 个 ADC clk 以上的采样时间。

推荐值为 8，对应 ADC 的输出数据率 2MHz。

ADC 在降频应用时，可通过寄存器 CURRIT<1:0>降低 ADC 的功耗水平。

ADC 可工作在如下模式：单次单通道触发、连续单通道、单次 1~16 通道扫描、连续 1~16 通道扫描。每路 ADC 都有 16 组独立寄存器对应每一个通道。

ADC 触发事件可以来自外部的定时器信号 T0、T1、T2、T3 发生到预设次数，或者为软件触发。

ADC 带有两种增益模式，通过 GAIN_SHAx 进行设置，对应 1 倍和 2/3 倍增益。1 倍增益对应±2.4V 的输入信号，2/3 倍增益对应±3.6V 的输入信号幅度。在测量运放的输出信号时，根据运放可能输出的最大信号来选择具体的 ADC 增益。

10 运算放大器

1 路输入输出 rail-to-rail 运算放大器，内置反馈电阻 $R2/R1$ ，外部引脚需串联一个电阻 $R0$ 。反馈电阻 $R2:R1$ 的阻值可通过寄存器 $RES_OPA0<1:0>$ 设置，以实现不同的放大倍数。具体寄存器所对应值见模拟寄存器表说明。

最终的放大倍数为 $R2/(R1+R0)$ ，其中 $R0$ 是外部电阻的阻值，

对于 MOS 管电阻直接采样的应用，建议接 $>20k\Omega$ 的外部电阻，以减小 MOS 管关断时，往芯片引脚里流入的电流。

对于小电阻采样的应用，建议接 100Ω 的外部电阻。

放大器可通过设置 $OPAOUT_EN<1:0>$ 为 10，将放大器中的输出信号通过 BUFFER 送至 P2.7 IO 口进行测量和应用。因为有 BUFFER 存在，在运放正常工作模式下也可以输出运放信号。

芯片上电的默认状态下，放大器模块是关闭的。放大器可通过设置 $OPAxPDN = '1'$ 打开，开启放大器之前，需要先开启 BGP 模块。

运放输入正负端内置钳位二极管，电机相线通过一匹配电阻后直接接入输入端，从而简化了 MOSFET 电流采样的外置电路。

11 比较器

内置 1 路比较器，比较器比较速度可编程、迟滞电压可编程、信号源可编程。

比较器的比较延时为 0.15 μ s，还可通过寄存器 CMP_FT 设置为小于 30ns。迟滞电压通过 CMP_HYS 设置为 20mV/0mV。

比较器正负两个输入端的信号来源都可通过寄存器 CMP_SEL \langle 2:0 \rangle 和 CMP_SELN \langle 1:0 \rangle 编程，详见寄存器模拟说明。

芯片上电的默认状态下，比较器模块是关闭的。比较器通过设置 CMPxPDN = '1' 打开，开启比较器之前，需要先开启 BGP 模块。

12 温度传感器

芯片内置精度为 $\pm 2^{\circ}\text{C}$ 的温度传感器。芯片出厂前会经温度校正，校正值保存在 flash info 区。

芯片上电的默认状态下，温度传感器模块是关闭的。开启传感器之前，需要先开启 BGP 模块。

温度传感器通过设置 $\text{TMPPDN} = '1'$ 打开，开启到稳定需要约 2us，因此需在 ADC 测量传感器之前 2us 打开。

13 DAC 模块

芯片内置 1 路 12bit DAC，输出信号的最大量程可通过寄存器 DAC_G 设置为 1.2V/4.8V。

12bit DAC 可通过配置寄存器 DACOUT_EN=1, 将 DAC 输出送至 IO 口 P0.0, 可驱动 $>50k\Omega$ 的负载电阻和 50pF 的负载电容。

DAC 最大输出码率为 1MHz。

芯片上电的默认状态下，DAC 模块是关闭的。DAC 可通过设置 DAC12BPDN =1 打开，开启 DAC 模块之前，需要先开启 BGP 模块。

14 处理器核心

- 32 位 Cortex-M0 核处理器 + CORDIC/SQRT 协处理器
- 2 线 SWD 调试管脚
- 最高工作频率 96MHz

15 存储资源

15.1 Flash

- 内置 flash 包括 32kB 主存储区，1kB NVR 信息存储区
- 可反复擦除写入不低于 10 万次
- 室温 25°C 数据保持长达 10 年
- 单字节编程时间最长 7.5us，Sector 擦除时间最长 5ms
- Sector 大小 512 字节，可按 Sector 擦除写入，支持运行时编程，擦写一个 Sector 的同时读取访问另一个 Sector
- Flash 数据防窃取（最后一个 word 须写入非 0xFFFFFFFF 的任意值）

15.2 SRAM

- 内置 2.5kB SRAM

16 电机驱动专用 MCPWM

- MCPWM 最高工作时钟频率 96MHz
- 支持最大 4 通道相位可调的互补 PWM 输出
- 每个通道死区宽度可独立配置
- 支持边沿对齐 PWM 模式
- 支持软件控制 IO 模式
- 支持 IO 极性控制功能
- 内部短路保护，避免因配置错误导致短路
- 外部短路保护，根据对外部信号的监控快速关断
- 内部产生 ADC 采样中断
- 采用加载寄存器预存定时器配置参数
- 可配置加载寄存器加载时刻和周期

17 Timer

- 4 路通用定时器，2 路 16bit 定时器，2 路 32bit 定时器
- 4 路支持捕获模式，用于测量外部信号宽度
- 4 路支持比较模式，用于产生边沿对齐 PWM/定时中断

18 Hall 传感器接口

- 内置最大 1024 级滤波
- 1 路 Hall 信号输入
- 24 位计数器，提供溢出和捕获中断

19 通用外设

- 1 路 UART，全双工工作，支持 7/8 位数据位、1/2 停止位、奇/偶/无校验模式，带 1 字节发送缓存、1 字节接收缓存，支持 Multi-drop Slave/Master 模式，波特率支持 300~115200
- 1 路 IIC，支持主从模式
- 硬件看门狗，使用 RC 时钟驱动，独立于系统高速时钟，写入保护，2/4/8/64 秒复位间隔

20 三相 P/N MOS 栅极驱动模块

推荐应用图

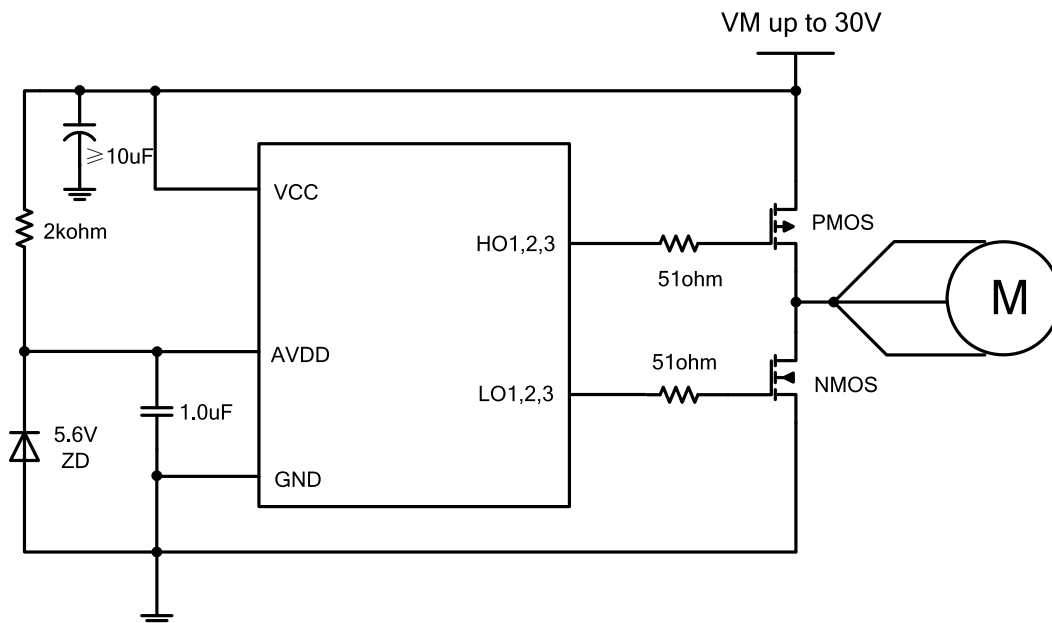


图 20-1 BP6713 驱动模块典型应用图

驱动模块的输出引脚信号 LO1/HO1 对应 GPIO P1.4/P1.7 的 MCPWM 功能输出, LO2/HO2 对应 GPIO P1.5/P1.8 的 MCPWM 功能输出, LO3/HO3 对应 GPIO P1.6/P1.9 的 MCPWM 功能输出。但需配置地址为 0x4001_1C7C 的 MCPWM_SWAP=1, 详见 user manual。

HO1/2/3 输出脚到 PMOS、LO1/2/3 输出脚到 NMOS 栅极之间, 建议串联一个 51 欧的电阻。

在 VCC 高于 20V、AVDD 脚由芯片自身的 LDO5V 引脚供电、且芯片无需休眠的应用场合, 建议在 VCC 和 AVDD 之间加一个 1k~2k 欧姆的分流电阻, 此电阻并在内部 5V LDO 的输入和输出端之间, 以分担部分散热功能。电阻需放置在离开芯片一段距离的位置 (如果 AVDD 脚由外部 5V 电源供电, 则不需要加此电阻)。

电阻阻值的计算需遵循如下公式:

$$R \geq (V_{CC} - V_{AVDD}) / I$$

其中 I 为 5V 电源上消耗的总电流, 总电流包括 MCU 消耗的电流、5V 外围器件 (例如 HALL) 消耗的电流。

外部跨接分流电阻的情况下, 在 AVDD 脚应放一个 5.6V 的稳压管。

同时, 在 VCC 和 AVDD 之间并有电阻的应用里, 需留意 RSTN 上的 RC 常数不能太大, 建议保持为 1ms 的 RC 常数。即芯片外部不加电阻到 5V 的情况下, 内部上拉电阻 100k, 则 RSTN 上的电容选择为 10nF。如外部加了 10k 或 20k 的上拉电阻, 则 RSTN 上的电容选择为 100nF。

VCC 引脚到地之间必须有一个大于等于 100uF 的去耦电容。

21 特殊 IO 复用

特殊 IO 复用注意事项

SWD 协议包含两根信号线：SWCLK 和 SWDIO。前者是时钟信号，对于芯片而言，是输入状态且不会改变输入状态。后者是数据信号，对于芯片而言，在数据传输过程中会在输入状态和输出状态间切换，默认是输入状态。

BP6713 可实现 SWD 的两个 IO 复用为其它 IO 的功能，SWCLK 复用的 IO 是 P2.13，SWDIO 复用的 IO 是 P2.0。注意事项如下：

- 默认状态是不开启复用，需要软件向 SYS_RST_CFG[6]写 1 开启复用。即芯片硬复位结束后，初始状态是 SWD 用途，SWD 的两个 IO 在芯片内部有上拉（芯片内部上拉电阻约为 10K），在 IO 用作 SWD 功能时，上拉默认开启且无法关闭。当 IO 用作 GPIO 时，上拉可以通过 GPIO2_PUE[13]和 GPIO2_PUE[0]来控制。芯片上电复位 30ms 内后 P2.0 和 P2.13 固定为 SWD 功能，软件可以向 SYS_RST_CFG[6]写 1，但 IO 功能切换需要等待 30ms 后才生效。30ms 使用 LRC 计数，由于工艺原因存在一定偏差。
- 开启复用后，KEIL 等工具无法直接访问芯片，即 Debug 和擦除下载功能均失效。若需要重新下载程序，有两个方案。
 - 其一，建议使用专用离线下载器擦除。软件开启复用的时间，建议保留一定余量，例如 100ms 左右，保证离线下载器能擦除，防止死锁。余量的多少是保证离线下载器擦除的成功率。余量越大，一次性擦除成功的概率越大。
 - 其二，程序内部有退出机制，例如某个其它 IO 电平发生变化（一般为输入），表明外界需要用 SWDIO，软件重新配置，解除复用。此时，可以恢复 KEIL 的功能。

BP6713 的 SWDIO 和 P0.0、SWCLK 和 P2.6 直接 bonding 在一起。P2.6 和 SWCLK bonding 在一起的情况，一般建议将 SWCLK 复用为 P2.13，以防止 SWCLK 一直处于输入状态，在 P2.6 信号变化时造成 SWCLK 误动作。

SWCLK 复用的注意事项如下：

- 默认状态是不开启复用，需要软件开启复用。即芯片硬复位结束后，初始状态是 SWCLK 用途，SWDCLK 在芯片内部有上拉（芯片内部上拉电阻约为 10K），应用对初始电平有要求的，需注意。
- 开启复用后，KEIL 等工具无法直接访问芯片，即 Debug 和擦除下载功能均失效。若需要重新下载程序，有两个方案。
 - 其一，建议使用专用离线下载器擦除。软件开启复用的时间，建议保留一定余量，例如 100ms 左右，保证离线下载器能擦除，防止死锁。余量的多少是保证离线下载器擦除的成功率。余量越大，一次性擦除成功的概率越大。
 - 其二，程序内部有退出机制，例如某个其它 IO 电平发生变化（一般为输入），表明外界需要用 SWCLK，软件重新配置，解除复用。此时，可以恢复 KEIL 的功能。
- 若 SWCLK 启用，有信号变化的时候，SWDIO 能保持为 0 电平（类似时分复用）；若 SWDIO 不能保证为 0，建议 SWDCLK 在运行过程中，翻转次数不超过 50 次（例如从 0 翻转到 1，然后又从 1 翻转到 0，算一次）或者每 50 次翻转期间内（次数可以更少，例如 40 次）保证一次在 SWCLK 从 0 变成 1 的时候，SWDIO 是 0 电平。

若此时，仅复用了 SWCLK，没有复用 SWDIO，注意事项同上。

RSTN 信号，默认是用于 BP6713 芯片的外部复位脚。

BP6713 可实现 RSTN 复用为其它 IO 的功能，复用的 IO 是 P0.2。注意事项如下：

- 默认状态是不开启复用，需要软件向 SYS_RST_CFG[5]写入 1 将 RSTN 复用为普通 GPIO。即芯片初始状态是 RSTN 用途，RSTN 在芯片内部有上拉（芯片内部上拉电阻约为 100K），应用对初始电平有要求的，需注意。
- 默认状态是 RSTN，只有 RSTN 正常释放后才能开始程序的执行，应用需要保证 RSTN 有足够保护，例如外围电路带上拉，若能加电容更佳。
- 开启复用后，RSTN 用途失效，若需产生芯片硬复位，源头只能是掉电/看门狗。
- RSTN 的复用，不影响 KEIL 的使用。

22 版本历史

表 22-1 文档版本历史

版本号	时间	记录
Rev. 1.0	2021/6	首次发布

23 免责声明

晶丰明源尽力确保本产品规格书内容的准确和可靠，但是保留在没有通知的情况下，修改规格书内容的权利。

本产品规格书未包含任何针对晶丰明源或第三方所有的知识产权的授权。针对本产品规格书所记载的信息，晶丰明源不做任何明示或暗示的保证，包括但不限于对规格书内容的准确性、商业上的适销性、特定目的的适用性或者不侵犯晶丰明源或任何第三人知识产权做任何明示或暗示保证，晶丰明源也不就因本规格书本身及其使用有关的偶然或必然损失承担任何责任。