

多模式、恒流恒压原边控制功率开关

主要特点

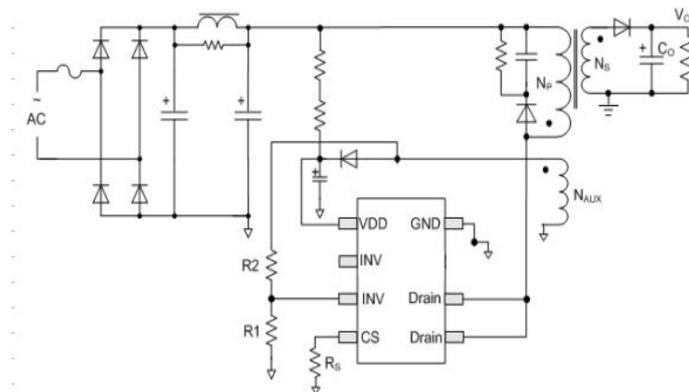
- 集成 650V MOSFET
- 支持反激和降压型拓扑应用
 - 反激原边控制 (SEL 管脚悬空)
 - 准谐振降压控制 (SEL= GND)
- $\pm 4\%$ 恒流、恒压精度
- 待机功耗 < 70mW
- 多模式原边控制方式
- 工作无异音
- 优化的动态响应
- 可调式线损补偿
- 集成线电压和负载电压的恒流补偿
- 集成完善的保护功能：
 - 短路保护 (SLP)
 - 过温保护 (OTP)
 - 逐周期限流保护 (OCP)
 - 前沿消隐 (LEB)
 - 管脚悬空保护
 - VDD 过欠压保护和箝位保护
- 封装形式 SOP7/DIP7

典型应用

低功率交流/直流离线 SMPS

- 手机充电器
- 数码相机充电器
- 小型电源适配器
- 电脑、电视等辅助电源。
- 更换线性调节器/RCC

典型应用电路



产品描述

DP2540A是一款高性能原边控制器，可提供高精度恒压和恒流输出性能，尤其适合于小功率离线式充电器应用中。同时，DP2540A也支持准谐振降压型LED恒流、恒压输出应用，仅需将SEL管脚短接到GND管脚即可。

在恒压输出模式中，DP2540A采用多模式工作方式，即调幅控制 (AM) 和调频控制 (FM) 相结合，提高了系统的效率和可靠性。在恒流输出模式中，芯片采用调频控制方式，同时集成了线电压和负载电压的恒流补偿。采用DP2540A可以工作无异音，同时可保证优异动态性能。利用集成的线损补偿功能，可获得高性能的恒压输出表现。

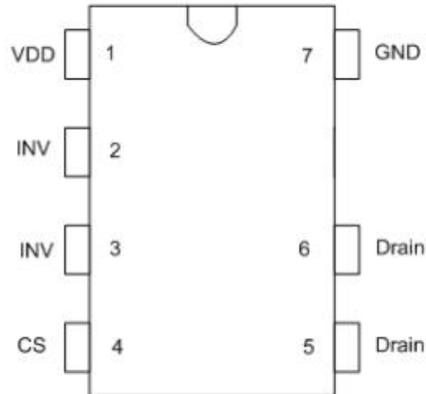
DP2540A 集成有多种保护功能：VDD 欠压保护 (UVLO)、VDD 过压保护 (OVP)、逐周期限流保护 (OCP)、短路保护 (SLP) 和 VDD 箝位等。

封装信息

型号	描述
DP2542	SOP7, 无卤、编带盘装, 4000 颗/卷
	DIP7, 无卤、50 颗/管

产品说明

➤ 管脚封装



➤ 管脚功能描述

SOP-7 /DIP-7	名称	I/O	描述
1	VDD	P	芯片供电管脚
2	INV	I	系统反馈管脚。辅助绕组电压经电阻分压后送至 FB 管脚，用于 CV 模式输出电压控制及 CC 模式输出电流控制
3	INV	I	系统反馈管脚。辅助绕组电压经电阻分压后送至 FB 管脚，用于 CV 模式输出电压控制及 CC 模式输出电流控制
4	CS	I	电流采样输入管脚
5, 6	Drain	O	内部功率管的漏极
7	GND	P	芯片地管脚

➤ 产品标记



DIP7



SOP7

DP2540A 为产品品名:

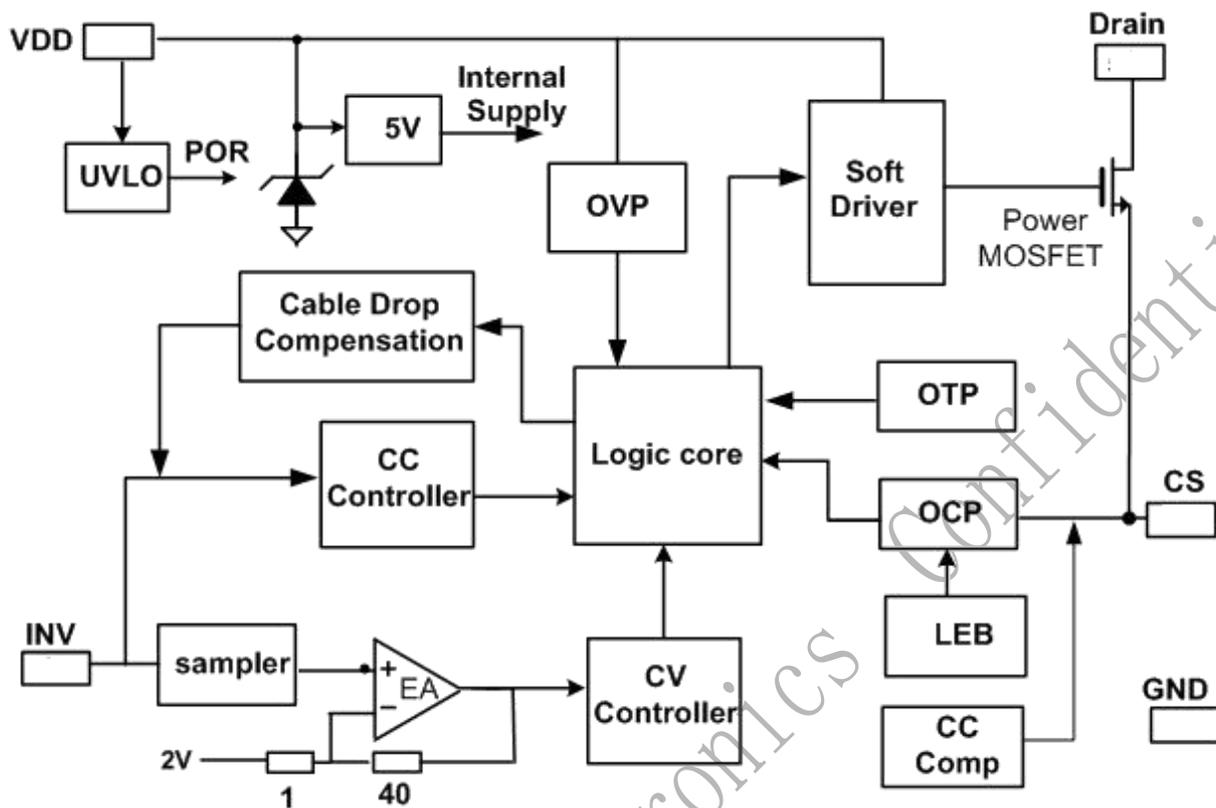
XXXXXX 第一个 X 代表年份最后一位，例 2014 即 4；第二个 X 代表月份，用 A-L 12 个字母表示；

第四个 X 代表日，01-31 表示；最后两个 X 代表晶圆批号代码

极限参数 (备注 4)

参数	数值	单位
VDD 直流供电电压	34.5	V
VDD 直流箝位电流	10	mA
Drain 电压	-0.3 to 650	V
FB, SEL 电压范围	-0.7 to 7	V
CS 电压范围	-0.3 to 7	V
封装热阻---结到环境(SOP-7/8)	165	°C/W
封装热阻---结到环境(DIP-7/8)	105	°C/W
最大结温	175	°C
储藏温度范围	-65 to 150	°C
焊接温度 (焊接, 10 s)	260	°C
ESD 人体模型	3	kV
ESD 机器模型	250	V

内部功能框图



推荐工作条件

参数	数值	单位
VDD 供电电压	11 to 27	V
工作环境温度	-40 to 85	°C
最高工作频率 @ 满载、反激原边控制	70	kHz
最低工作频率 @ 满载、反激原边控制	35	kHz

电气参数 (TA= 25°C, VDD=18V, 除非另有说明)

符号	参数	测试条件	最小	典型	最大	单位
供电部分 (VDD 管脚)						
I _{VDD_st}	VDD 启动电流			2	15	uA
I _{VDD_Op}	VDD 工作电流	V _{FB} =1.1V, VDD=18V	0.3	0.7	0.9	mA
I _{VDD_standby}	VDD 静态电流			0.5	1	mA
V _{DD_ON}	VDD 开启电压		15	16.3	17.5	V
V _{DD_OFF}	VDD 关断电压		8	9	10	V
V _{DD_OVP}	VDD OVP 阈值		28	30	32	V
V _{DD_Clap}	VDD 箝位电压	I(V _{DD}) = 7 mA	32.5	34.5	36.5	V
反馈控制部分 (FB Pin)						
V _{FBREF}	内部误差放大器参考输入		1.97	2.0	2.03	V
V _{FB_SLP}	短路保护阈值			1.3		V
T _{FB_Short}	短路保护去抖时间			10		ms
V _{FB_DEM}	消磁比较器阈值			25		mV
T _{off_min}	最短关断时间	(备注 5)		2		us
T _{off_max}	最长关断时间		3.6	4	4.5	ms
I _{Cable_max}	最大线补电流		48	53	58	uA
电流采样部分 (CS 管脚)						
T _{LEB}	前沿消隐时间			500		ns
V _{cs(max)}	过流保护阈值		490	500	510	mV
T _{D_OC}	过流保护关断延时			100		ns
反激或降压型配置部分 (SEL 管脚)						
V _{SEL(floating)}	SEL 管脚悬空电压	(备注 5)		5.7		V



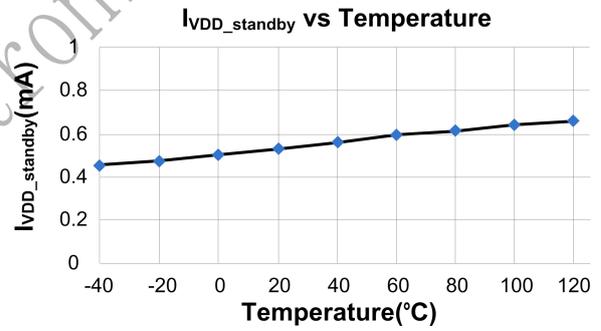
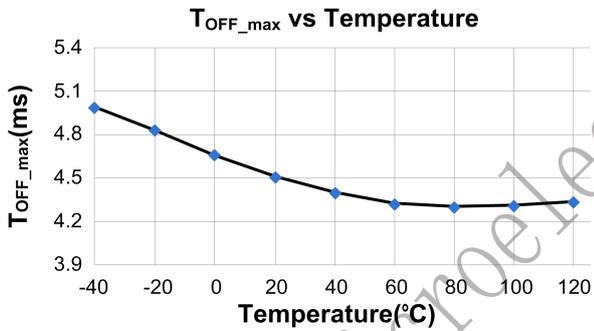
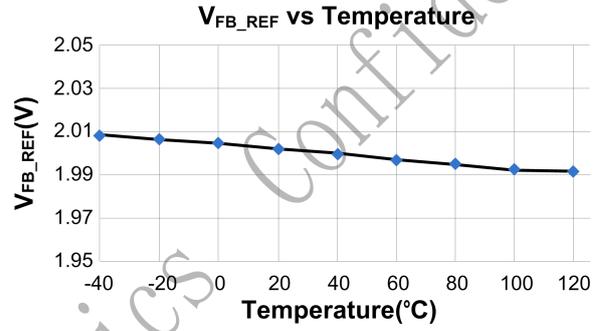
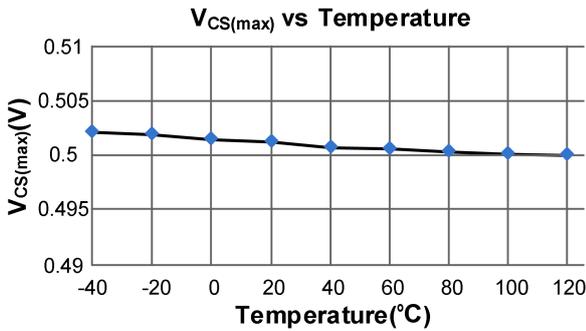
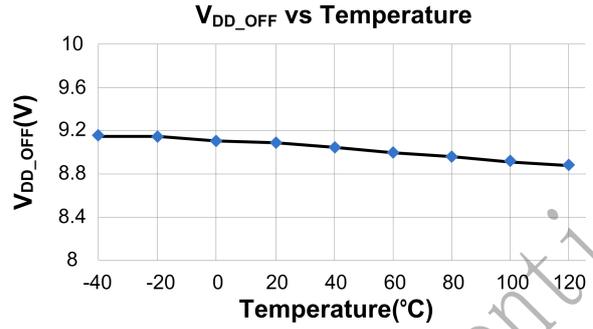
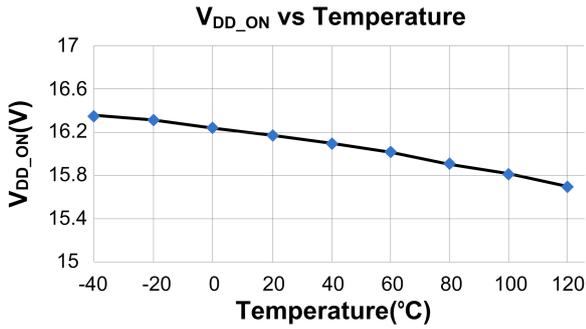
I_{SEL}	SEL 管脚内部上拉电流	(备注 5)		35		uA
过温保护						
T_{SD}	过热关机	(备注 5)	---	165	--	°C
T_{RC}	热恢复	(备注 5)		135	--	°C
功率MOSFET部分 (Drain管脚)						
V_{BR}	功率 MOSFET 漏源击穿电压		650			V
R_{dson}	静态漏源导通电阻	DP2540A		2.6	3.0	Ω

备注4: 超出列表中极限参数可能会对芯片造成永久性损坏。极限参数为额定应力值。在超出推荐的工作条件和应力的情况下，器件可能无法正常工作，所以不推荐让器件工作在这些条件下。过度暴露在高于推荐的最大工作条件下，会影响器件的可靠性。

备注5: 参数取决于设计，批量生产制造时通过功能性测试。

Developer Microelectronics Confidential

参数特性曲线



功能描述

DP2540A 是一款高性能、多模式且采用断续模式（DCM）工作的原边控制器。芯片内高精度的恒流、恒压控制机制结合完备的保护功能，使其适用于小功率离线式电源应用中。

● 系统启动

在芯片开始工作之前，DP2540A 仅消耗典型值为 2uA 的启动电流，超低启动电流可以帮助增加启动电阻阻值以达到降低由直流母线流经启动电阻的电流和待机功耗的目的。当 VDD 电压超过开启电压（典型值 16.3V），DP2540A 开始工作并且芯片工作电流上升到 1mA（典型值）。之后 VDD 电容持续为芯片供电直至输出电压建立后由辅助绕组为芯片供电。一旦芯片进入到超低频工作模式中，DP2540A 的工作电流便进一步降低到 0.5mA（典型值），以帮助降低系统待机功耗。

● 原边恒压控制（PSR-CVM）

在原边控制技术中，当原边向副边传输能量时，通过采样与副边绕组耦合的辅助绕组电压，得到输出电压反馈信号。图 2 展示了 DP2540A 内部 CV 电压采样时序以及关键波形。随着副边电流的续流到零，存在着副边续流二极管导通压降 VF 的降低过程。为了通过辅助绕组获得高精度的输出电压信息，芯片内的恒压采样模块屏蔽了由于漏感导致的关断时刻的电压振荡。当恒压采样过程结束时，内部的采样保持模块记录下反馈误差并通过内部的误差运算放大器将其放大。原边恒压控制模块利用误差运算放大器的输出实现高精度的恒压输出。芯片内部恒压输出基准为高精度的 2V。

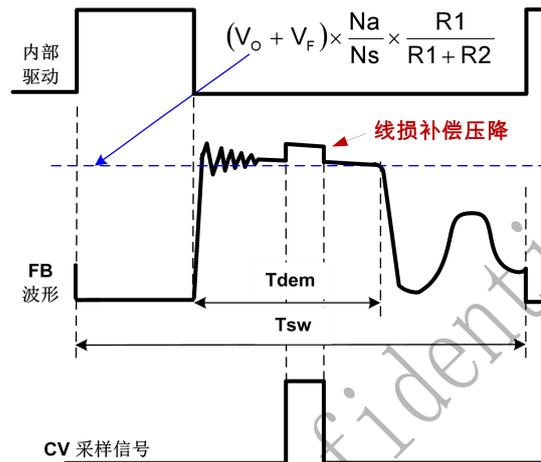


图 1

在恒压采样过程中，DP2540A 内部有一可变电流源从 FB 管脚流出用作线损补偿，如图 2 所示，由此将在 FB 波形上产生一电压阶梯。图 2 也展示了消磁过程中 FB 电压平台的量化关系：

$$V_{FB} = (V_O + V_F) \times \frac{N_a}{N_s} \times \frac{R_1}{R_1 + R_2}$$

其中：Vo 和 VF 分别为输出电压和副边续流二极管导通电压；R1 和 R2 为由辅助绕组连接到 FB 管脚的分压电阻；Ns 和 Na 分别为副边绕组和辅助绕组匝数。

当系统进入到过载模式后，随着输出电压的降低 FB 电压将降低至内部输出电压基准 2V 以下，之后芯片也将自动进入到恒流输出模式中。

● 原边恒流控制（PSR-CCM）

芯片利用 FB 管脚电压和 CS 管脚电压的时序关系，可以实现高精度的恒流输出控制。如图 3 所示，在恒压输出模式当系统输出功率增加且接近恒流输出控制点时，原边电感电流达到其最大值。

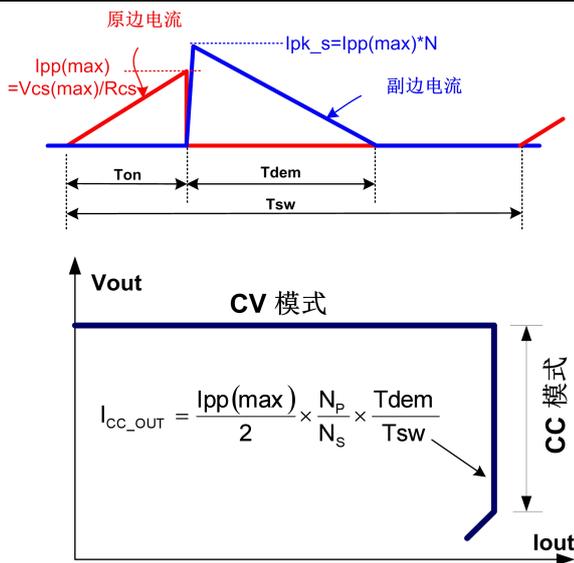


图 2

如图 3 以上所示，原边电感电流、变压器匝比、副边消磁时间（ T_{dem} ）和开关周期时间（ T_{sw} ）决定了副边平均输出电流。如果忽略漏感的影响，副边平均输出电流的公式在图 3 已示。当输出电流达到原边恒流控制模块的输出基准时，芯片将进入调频工作模式中，无论输出电压低于恒压输出基准或者具体如何，只要 V_{DD} 电压不低于其关断电压芯片将持续工作。

在 DP2540A 内部，在恒流输出模式中消磁时间 T_{dem} 与开关周期 T_{sw} 的比例被严格控制为 $1/2$ 。所以实际平均输出电流可以表示为：

$$I_{CC_OUT}(\text{mA}) \cong \frac{1}{4} \times N \times \frac{500\text{mV}}{R_{cs}(\Omega)}$$

其中：

N ---变压器原边绕组与副边绕组匝数之比。

R_{cs} ---连接于功率 MOSFET S 极与 GND 之间的采样电阻。

● 准谐振降压型 LED 恒流输出应用（QR-BUCK）

DP2540A 支持准谐振降压恒流输出应用，仅需将

SEL 管脚短至 GND 即可。在准谐振降压工作模式中，芯片保持 CS 峰值固定，并通过谷底开通方式，实现高精度恒流控制的同时，还可实现系统高效率。平均输出电流的公式如下：

$$I_{Buck_CC_OUT}(\text{mA}) \cong \frac{1}{2} \times \frac{500\text{mV}}{R_{cs}(\Omega)}$$

● 多模式恒压工作

如图 4 所示，为了满足严苛的平均效率和待机功耗要求，DP2540A 采用了调幅控制（AM）和调频控制（FM）结合的多模式控制技术。

接近满载输出时，系统工作在调频工作模式中；在轻重载条件下，系统工作在调频工作和调幅工作模式中；当系统接近空载输出时，系统工作在调频模式中以降低待机功耗。利用此种控制技术，系统可以获得低于 70mW 的待机功耗。

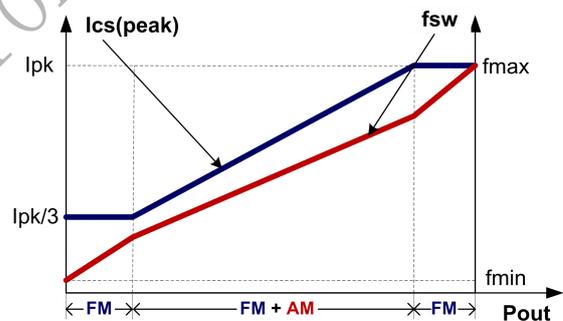


图 3

● 可调式线损补偿（CDC）

在手机充电器的应用中，电池与充电器之间一般会通过一定长度的电缆相连，由此也将导致输送到电池端的电压产生一定的电压降。如图 5 所示，在 DP2540A 内部存在由线损补偿模块控制的可调式电流源流出到与 FB 管脚相连的分压电阻上并产生一定的电压偏置信号。此电流正比于开关周期，而反比于输出功率，所以在电缆上的电压降可以被补偿掉。随着负载功率的降低，在 FB 上的偏置电压将逐渐提高。通过调节分压电阻 R_1 和 R_2 的阻值可以调节实际补偿量的大小。最大的线补电压与输出电压基准的比例如下：

$$\frac{\Delta V(\text{cable})}{V_{\text{out}}} \approx \frac{I_{\text{cable_max}} \times (R1 // R2)}{V_{\text{FB_REF}}} \times 100\%$$

比如：R1=3KΩ、R2=18KΩ，则：

$$\frac{\Delta V(\text{cable})}{V_{\text{out}}} = \frac{53\mu\text{A} \times (3\text{K} // 18\text{K})}{2\text{V}} \times 100\% = 8.1\%$$

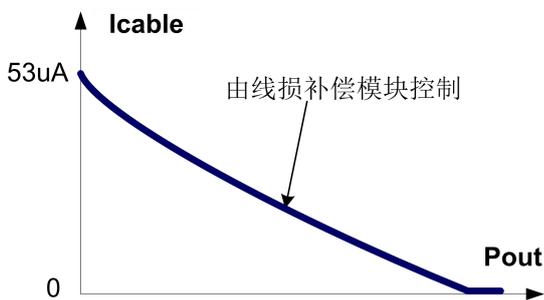
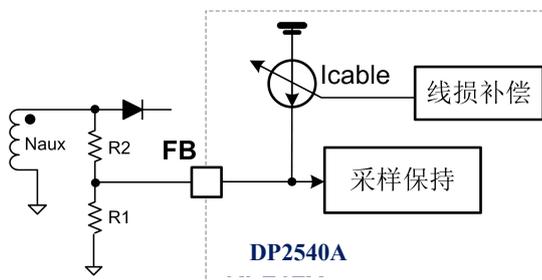


图 4

● 优化的动态响应

DP2540A 优化设计的动态响应性能，可满足 USB 充电器的要求。

● 无异音工作

如上所述，在恒压输出模式中芯片采用了调频控制与调幅控制结合的多模式控制技术，同时在 CS 管脚有一电流源流出调节 CS 电压信号。利用以上技术，DP2540A 可实现由满载到空载全程无异音工作。

● 短路保护 (SLP)

在 DP2540A 内部，输出电压通过 FB 管脚实时采样并与欠压保护阈值（典型值 0.7V）相比。

当采样到的 FB 电压低于 0.7V 且持续时间超过 10ms 时，芯片将进入到短路保护模式，并自动重启。

● VDD 过压保护 (OVP) 和箝位

当 VDD 电压超过 30V（典型值）时，芯片立即停止开关动作。之后将导致 VDD 下降，当 VDD 电压低于关断电压 VDD_OFF（典型值 9V）时，系统将重新启动。在芯片内部设计有 34.5V（典型值）的箝位电路以防止芯片受损。

● 过温保护 (OTP)

当芯片结温超过 165°C，芯片停止开关动作，VDD 不断重启；直到芯片结温低于 135 °C 时，芯片才能恢

● 管脚悬空保护

DP2540A 内部设计有管脚悬空保护电路防止系统受损。

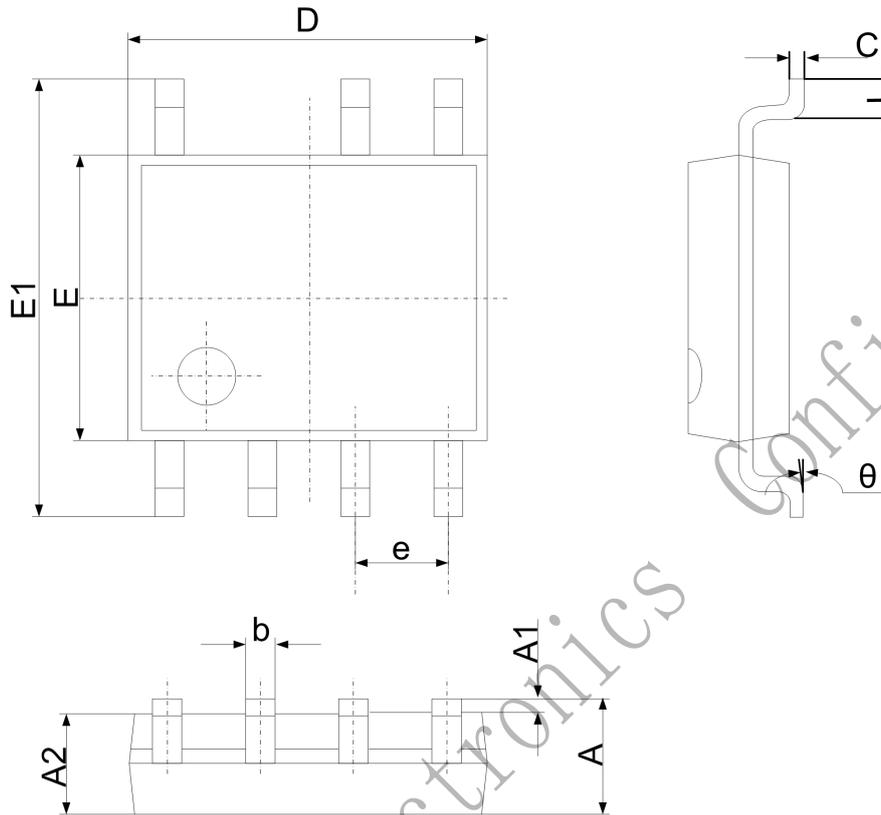
● 软驱动

DP2540A 设计的软驱动功能的驱动电路优化了系统 EMI 性能。IC 内部设计有 Gate 高电平 16V 箝位电路，以防止高 VDD 输入时 Gate 受损。



封装尺寸

SOP-7

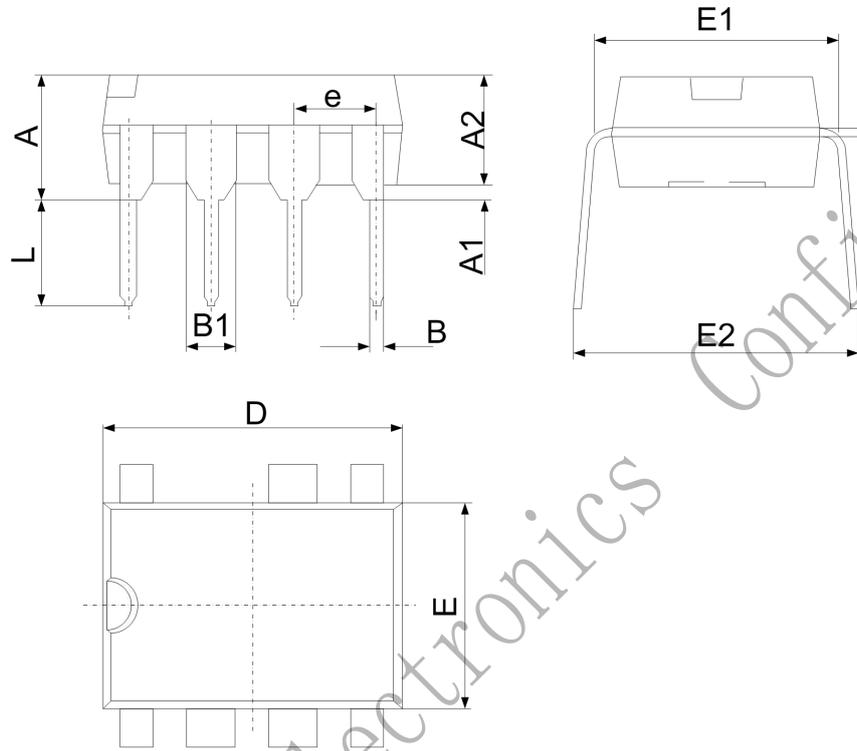


符号	尺寸 (毫米)		尺寸 (英寸)	
	最小	最大	最小	最大
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (中心到中心)		0.050 (中心到中心)	
L	0.400	1.270	0.016	0.050
theta	0°	8°	0°	8°



封装尺寸

DIP-7



符号	尺寸 (毫米)		尺寸 (英寸)	
	最小	最大	最小	最大
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524 (中心到中心)		0.060 (中心到中心)	
C	0.204	0.360	0.008	0.014
D	9.000	9.400	0.354	0.370
E	6.200	6.600	0.244	0.260
E1	7.320	7.920	0.288	0.312
e	2.540 (中心到中心)		0.100 (中心到中心)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354

知识产权声明

本规格书所披露的内容涉及知识产权的，本公司不做任何明示或暗示的保证，任何第三方不得使用、复制、转换，一经发现本公司必依法追究其法律责任，并赔偿由此对本公司造成的一切损失。

Developer Microelectronics Confidential