



CHIPWAYS

XL6600-2 系列

汽车级 32 位低功耗高性能微控制器 MCU

数据手册

支持以下产品：

XL6600A522L6	XL6600A502L6
XL6600A422L6	XL6600A402L6
XL6600A522L7	XL6600A502L7
XL6600A422L7	XL6600A402L7
XL6600A522L8	XL6600A502L8
XL6600A422L8	XL6600A402L8

REV.15



目录

1	产品概述	2
1.1	关键功能	2
1.2	选型指南	3
1.3	缩写词	4
2	结构图	5
3	通用参数	6
3.1	电压和电路极限参数	6
3.2	温度极限参数	6
3.3	湿度极限参数	6
3.4	ESD 极限参数	6
3.5	EMC 性能	7
4	电特性	8
4.1	DC 特性	8
4.2	LVD 和 POR 特性	9
4.3	供电电流特性	9
5	I/O 参数	12
5.1	控制时序	12
5.2	弹性定时器模块时序	13
6	热特性	14
6.1	热特性	14
7	外设工作要求与特性	15
7.1	SWD 电气特性	15
7.2	系统振荡器 (OSC) 和 ICS 特性	16
7.3	NVM 规格	17
7.4	ADC 特性	18
7.5	模拟比较器 (ACMP) 电气规格	20
7.6	SPI 开关规格	20
7.7	CAN 特性	23
8	封装与 Pin 脚	24
8.1	芯片尺寸	24
8.2	引脚分配	26

1 产品概述

1.1 关键功能

- 内核及性能
 - ARM® Cortex-M3 内核, 32 位 MCU
 - 最大至 96 MHz 内核频率
 - 基于 ARMv7-M 架构和 Thumb 2 技术的指令集架构
 - 单周期 32 位 x 32 位乘法器
 - 硬件除法 (2-12 个周期)
 - 可嵌套向量的中断控制器 (NVIC)
 - 支持存储器保护单元 (MPU)
 - 支持串行线调试接口 (SWD)
- 直接内存存取 (DMA)
 - 4 通道
 - 支持外设到存储器、外设到外设、存储器到存储器、存储器到外设 4 种控制模式
- 时钟
 - 内部时钟源 (ICS): 包含内部基准时钟 37.5/50kHz RC 振荡器及锁频环 (FLL);
 - 系统振荡器 (OSC): 支持 32.768kHz 晶振 4MHz~24MHz 晶振或陶瓷谐振器;
 - 低功耗振荡器 (LPO): 内部 32KHz LPO
- 模拟模块
 - 模数转换器 (ADC): 1 个 24 通道的 12 位 SAR ADC, 12/10/8 位可配置
 - 模拟比较器 (ACMP): 2 个可配置参考输入的 ACMP, 包含 1 个 6 位 DAC
- 存储器和存储器接口
 - 最高 256 KB Flash (带 ECC)
 - 最高 24 KB SRAM
 - 最高 8 KB EEPROM
- 电源管理
 - 电源管理模块 (PMC): 有三种工作模式 Run、Wait 和 Stop;
 - 低电压检测 (LVD): 可复位、中断并带可选跳变点, 具有低压警报
 - 带隙基准源 (BVR): 具有缓冲的带隙基准电压输出
- 安全性和可靠性
 - 每颗芯片拥有 96 位唯一标识(ID)号
 - 内部看门狗 (WDOG): 带独立时钟源
 - 外部看门狗 (EWM): 可选外部时钟源, 计数时钟分频可配置
 - 循环冗余校验 (CRC): 16 或 32 位, 可编程模块
 - 错误检测和纠正 (ECC): 闪存 Flash 带 ECC 功能
 - 加密 (SEC): 安全电路以防止对 RAM 和闪存内容未经授权的访问
- 人机接口
 - 最多 66 个通用输入/输出 (GPIO)
 - 2 个 32 位键盘中断模块 (KBI)
 - 外部中断模块 (IRQ)
- 定时器
 - 最多 1 个 8 通道和 2 个 4 通道的弹性定时器 (FTM) /PWM
 - 1 个 2 通道周期性中断定时器 (PIT)
 - 1 个脉宽定时器 (PWT)
 - 1 个实时时钟 (RTC)
 - 定时器预分频 (Timer pre-scale)





- 通信接口
 - 1路 SPI 接口
 - 最高 3 路 UART 接口，均兼容 LIN 接口
 - 最高 2 路 I2C 接口
 - 1 路 CAN 接口，支持 CAN 2.0A、2.0B
- 封装选项
 - 80 引脚 LQFP
 - 64 引脚 LQFP
 - 48 引脚 LQFP
- 电压范围
 - 2.7 ~ 5.5 V
- 温度选项
 - -40° C 至 125° C（通过针对汽车应用的 AEC-Q100 认证）

1.2 选型指南

表 1-1 型号选择

产品型号	Flash	SRAM	EEPROM	CAN	SPI	I2C	UART/LIN	封装	工作温度
XL6600A522L6	256KB	24KB	8KB	1	1	2	3/3	LQFP-48	-40°C ~ 125°C
XL6600A502L6			0KB	1	1	2	3/3		
XL6600A422L6	128KB	16KB	8KB	1	1	2	3/3		
XL6600A402L6			0KB	1	1	2	3/3		
XL6600A522L7	256KB	24KB	8KB	1	1	2	3/3	LQFP-64	
XL6600A502L7			0KB	1	1	2	3/3		
XL6600A422L7	128KB	16KB	8KB	1	1	2	3/3		
XL6600A402L7			0KB	1	1	2	3/3		
XL6600A522L8	256KB	24KB	8KB	1	1	2	3/3	LQFP-80	
XL6600A502L8			0KB	1	1	2	3/3		
XL6600A422L8	128KB	16KB	8KB	1	1	2	3/3		
XL6600A402L8			0KB	1	1	2	3/3		



1.3 缩写词

文档中使用的缩略词和专业术语。见表 1。

缩略词	全称	名称
ACMP	Analog Comparator	模拟比较器
ADC	Analog to Digital Converter	模数转换器
AWIC	Asynchronous Wake-up Interrupt Controller	异步唤醒中断控制器
BME	Bit manipulation engine	位操作引擎
BVR	Bandgap voltage reference	带隙电压基准
CRC	Cyclic Redundancy Check	循环冗余校验
CAN	Controller Area Network	控制器局域网
CLM	Clock Monitor	时钟监视器
DC	Direct Current	直流电流
ECC	Error-Correcting Code	错误纠正码
EMC	Electro Magnetic Compatibility	电磁兼容性
ESD	Electronic Static Discharge	静电放电
EWM	External Watchdog Monitor	外部看门狗监视器
FLL	Frequency-locked loop	锁频环
FMC	Flash Memory Controller	闪存控制器
FTM	Flex Timer Module	弹性定时器模块
GPIO	General Purpose Input/Output	通用输入/输出
ICS	Internal Clock Source	内部时钟源
I2C	Inter-Integrated Circuit	集成电路总线
IRQ	Interrupt	外部中断
KBI	Keyboard Interrupt	键盘中断
LPO	Low Power Oscillator	低功耗振荡器
LVD	Low Voltage Detection	低压检测
NVIC	Nested Vectored Interrupt Controller	可嵌套向量的中断控制器
OSC	Oscillator	系统振荡器
PIT	Periodic Interrupt Timer	周期性中断定时器
PMC	Power Management Module	电源管理控制器
PWT	Pulse Width Timer	脉宽定时器
RTC	Real Time Clock	实时计数器
SMC	SRAM Memory Controller	SRAM 内存控制器
SRAM	Static Random Access Memory	静态随机存取存储器
SPI	Serial Peripheral Interface	串行外设接口
SWD	Serial Wire Debug	串行线调试
UART	Universal Asynchronous Receiver Transmitter	通用异步收发器
WDOG	Watch Dog	看门狗
WDT	Watch Dog Timer	看门狗定时器

2 结构图

XL6600-2 系列芯片结构图如下所示

XL6600-2 Serial MCU Block diagram

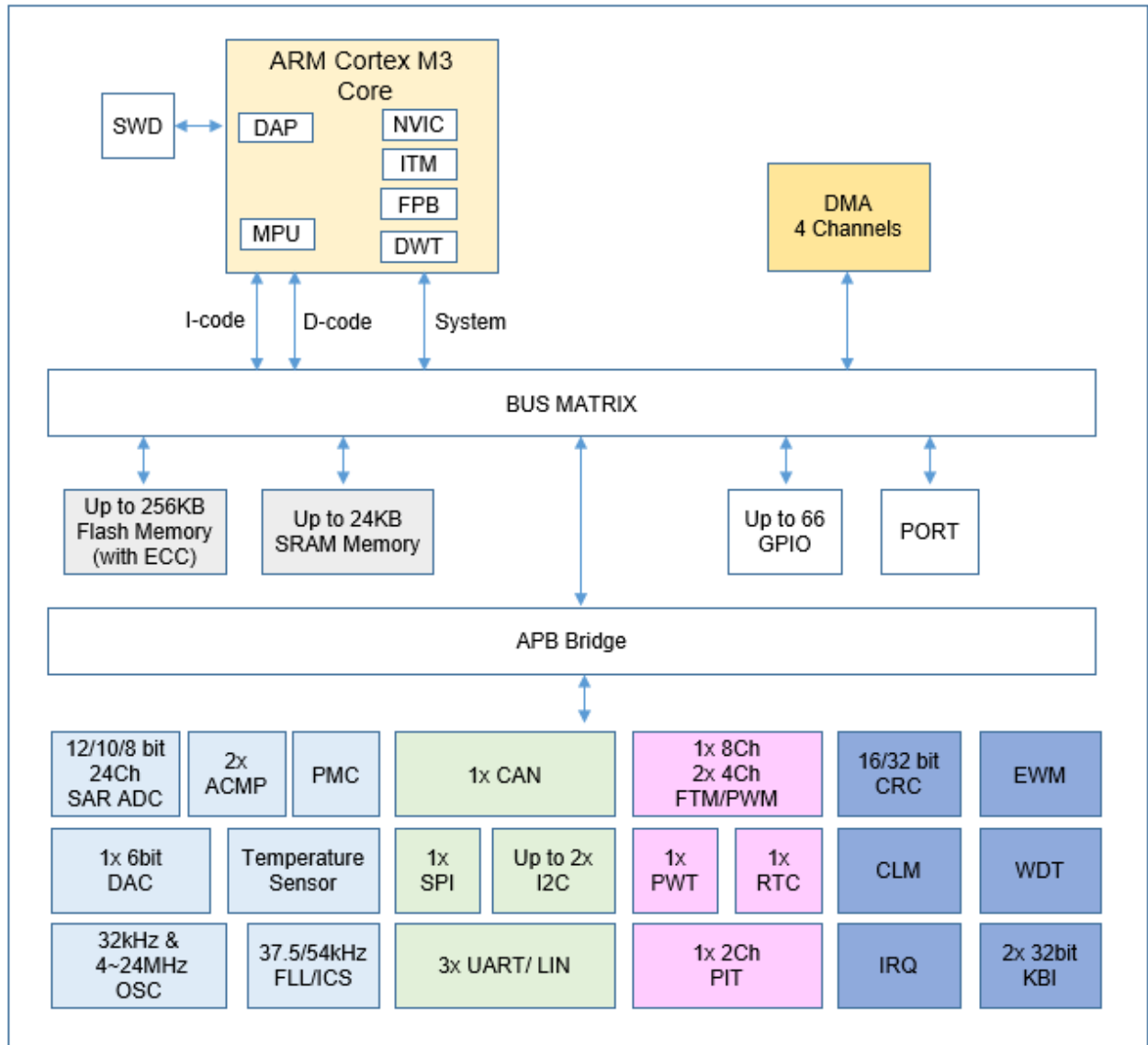


图 2-1 芯片结构图

3 通用参数

3.1 电压和电路极限参数

绝对最大极限仅为应力极限，并不保证最大值时的功能操作。超过下表中指定的应力可能影响器件的可靠性或对器件造成永久性损坏。有关功能操作条件的更多信息，请参阅此文档中的其他表格。

该器件包含防止高静态电压或电场造成损坏的电路，但建议采取预防措施，以避免实际应用中高于额定电压的输入造成这部分电路的损坏。未用输入引脚连接到适当的逻辑电压电平（例如， V_{SS} 或 V_{DD} ）或使能相关引脚的内部上拉电阻，可增强系统的可靠性。

表 3-1 电压和电流操作极限

符号	说明	最小值	最大值	单位
V_{DD}	数字供电电压	-0.3	6.0	V
I_{DD}	流入 V_{DD} 的最大电流	—	120	mA
V_{IN}	除有效开漏引脚之外的输入电压	-0.3	$V_{DD} + 0.3$ ¹	V
	有效开漏引脚的输入电压	-0.3	6	V
I_D	单引脚瞬态最大电流限值（适用于所有端口引脚）	-25	25	mA
V_{DDA}	模拟供电电压	$V_{DD} - 0.3$	$V_{DD} + 0.3$	V

1、最大额定 V_{DD} 也适用于 V_{IN} 。

3.2 温度极限参数

表 3-2 温度

符号	说明	最小值	最大值	单位	注释
T_{STG}	存储温度	-55	150	°C	1
T_{SDR}	无铅焊接温度	—	260	°C	2

1、根据 JEDEC 标准 JESD22-A103“高温存储时间”确定。

2、根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

3.3 湿度极限参数

表 3-3 湿度

符号	说明	最小值	最大值	单位	注释
MSL	湿度灵敏度等级	—	3	—	1

1、根据 IPC/JEDEC 标准 J-STD-020“非密封固态表面安装器件的潮湿/回流敏感度分级”确定。

3.4 ESD 极限参数

表 3-4 ESD

符号	说明	最小值	最大值	单位	注释
V_{HBM}	静电放电电压，人体放电模式	-8000	+8000	V	1
V_{CDM}	静电放电电压，设备充电模式	-500	+500	V	2
I_{LAT}	125°C 环境温度下的闭锁电流	-100	+100	mA	3

1、根据 JEDEC 标准 JESD22-A114“静电放电（ESD）灵敏度测试人体放电模式（HBM）标准”确定。

2、根据 JEDEC 标准 JESD22-C101“微电子组件静电放电耐压阈值的电场感应器件充电模式测试方法”确定。



3、根据 JEDEC 标准 JESD78D“IC 闭锁测试”确定。

3.5 EMC 性能

电磁兼容 (EMC) 性能很大程度上取决于 MCU 所处的环境。外部组件的电路板设计 和布局、电路拓扑选择、位置和特性以及 MCU 软件操作在 EMC 性能中起重要作用。

CONFIDENTIAL



4 电特性

4.1 DC 特性

本节包括有关电源要求和 I/O 引脚特性的信息。

表 4-1 DC 特性

符号	说明		最小值	典型值 ¹	最大值	单位
—	工作电压		—	—	5.5	V
V _{OH}	输出高电压	除 PTA2 ² 和 PTA3 ² 外所有 I/O 引脚, 标准驱动强度	5 V, I _{load} = -5mA	V _{DD} - 0.8	—	—
			3 V, I _{load} = -2.5mA	V _{DD} - 0.8	—	—
		大电流驱动引脚, 高驱动强度 ³	5 V, I _{load} = -20mA	V _{DD} - 0.8	—	—
			3 V, I _{load} = -10mA	V _{DD} - 0.8	—	—
I _{OHT}	输出高电流	所有端口的最大总输出高电流 I _{OH}	5 V	—	—	-100
			3 V	—	—	-60
V _{OL}	输出低电压	所有 I/O 引脚, 标准驱动强度	5 V, I _{load} = 5 mA	—	—	0.8
			3 V, I _{load} = 2.5 mA	—	—	0.8
		大电流驱动引脚, 高驱动强度 ³	5 V, I _{load} = 20 mA	—	—	0.8
			3 V, I _{load} = 10 mA	—	—	0.8
I _{OLT}	输出低电流	所有端口的最大总输出低电流 I _{OL}	5 V	—	—	100
			3 V	—	—	60
V _{IH}	输入高电压	全部数字输入	4.5 ≤ V _{DD} < 5.5 V	0.65 × V _{DD}	—	—
			2.7 ≤ V _{DD} < 4.5 V	0.70 × V _{DD}	—	—
V _{IL}	输入低电压	全部数字输入	4.5 ≤ V _{DD} < 5.5 V	—	—	0.35 × V _{DD}
			2.7 ≤ V _{DD} < 4.5 V	—	—	0.30 × V _{DD}
V _{hys}	输入迟滞	全部数字输入	—	0.06 × V _{DD}	—	mV
I _{in}	输入漏电流	每个引脚 (高阻抗输入模式下的引脚)	V _{IN} = V _{DD} 或 V _{SS}	—	0.1	1
I _{INTOT}	所有端口引脚的总漏电流	高阻抗输入模式下的引脚	V _{IN} = V _{DD} 或 V _{SS}	—	3	—
R _{PU}	上拉电阻	所有数字输入并使能内部上拉 (除 PTA2 和 PTA3 外的所有 I/O 引脚)	—	30.0	—	50.0
R _{FU} ⁴	上拉电阻	PTA2 引脚和 PTA3 引脚	—	30.0	—	50.0
I _{ic}	DC 注入电流 ^{5, 6, 7}	单引脚限值	V _{IN} < V _{SS} , V _{IN} > V _{DD}	—	—	2
		总 MCU 限值, 包括所有应力引脚的总和		—	—	25
C _{in}	输入电容, 所有引脚		—	—	—	7
V _{RAM}	RAM 保留电压		—	1.35	1.5	—

1、典型值在 25°C 时测得。经过 CZ, 没有经过测试。

2、PTA2 和 PTA3 为开漏输出。

3、仅 PTB4、PTB5、PTD0、PTD1、PTE0、PTE1、PTH0 及 PTH1 支持大电流输出。

4、所指电阻值是该器件的内部实际值。在引脚外部测量时, 上拉值可能更高。

5、除 PTA2 和 PTA3 外所有非电源功能引脚在内部钳制到 V_{SS} 和 V_{DD} 之间。PTA2 和 PTA3 是在内部将电压钳位为 V_{SS} 的有效开漏 I/O 引脚。

6、当前输入必须限定为指定的电流值。要确定所需限流电阻的值, 请计算正负钳位电压的电阻值, 然后采用最大值。

7、在瞬态和最大工作电流条件下, 电源必须保持在 V_{DD} 工作范围内进行调节的能力。如果正注入电流 (V_{IN} > V_{DD}) 高于 I_{DD}, 则注入电流可能流出 V_{DD}, 并导致外部电源失调。MCU 不消耗电能时, 如没有系统时钟, 或时钟频率极低 (这将降低整体电



量消耗), 就要确保外部 V_{DD} 负载的分流电流高于最大注入电流。

4.2 LVD 和 POR 特性

表 4-2 LVD 和 POR 规格

符号	说明	最小值	典型值	最大值	单位	
V_{POR}	POR 重置电压 ¹	1.5	1.75	2.0	V	
V_{LVDH}	下降沿低压检测阈值 — 高量程 ($LVDV = 1$) ²	4.2	4.3	4.4	V	
V_{LVW1H}	下降沿低压警告阈值 — 高量程	1 级压降 ($LVWV=00$)	4.3	4.4	4.5	V
V_{LVW2H}		2 级压降 ($LVWV=01$)	4.4	4.5	4.6	V
V_{LVW3H}		3 级压降 ($LVWV=10$)	4.5	4.6	4.7	V
V_{LVW4H}		4 级压降 ($LVWV=11$)	4.6	4.7	4.8	V
V_{HYSH}	高量程警告迟滞	90	100	110	mV	
V_{LVDL}	下降沿低压检测阈值 — 低量程 ($LVDV = 0$)	2.5	2.55	2.6	V	
V_{LVW1L}	下降沿低压警告阈值 — 低量程	1 级压降 ($LVWV=00$)	2.62	2.7	2.78	V
V_{LVW2L}		2 级压降 ($LVWV=01$)	2.72	2.8	2.88	V
V_{LVW3L}		3 级压降 ($LVWV=10$)	2.82	2.9	2.98	V
V_{LVW4L}		4 级压降 ($LVWV=11$)	2.92	3.0	3.08	V
V_{HYSDL}	低量程低压检测迟滞	—	40	—	mV	
V_{HYSWL}	低量程低压警告迟滞	—	80	—	mV	
V_{BG}	经过缓冲的带隙输出 ³	1.14	1.16	1.18	V	

1、最大值是 POR 可以保证的最高电压值。

2、上升沿阈值 = 下降沿阈值 + 迟滞电压

3、电压已在 $V_{DD} = 5.0\text{ V}$, $\text{Temp} = 25\text{ }^\circ\text{C}$ 下进行出厂调整

4.3 供电电流特性

表 4-3 供电电流特性



参数	符号	内核/总线频率	V _{DD} (V)	典型值 ¹	最大值	单位	温度
FEI 模式下运行电流值, 使能 所有模块时钟; 从 Flash 运行	R _{IDD}	48/48 MHz	5	31.6	—	mA	-40 至 125 °C
		48/24 MHz		19.72	—		
		24/24 MHz		18.22	—		
		12/12 MHz		14.9	—		
		1/1 MHz		5.16	—		
		48/48 MHz	3.3	31.3	—		
		48/24 MHz		19.5	—		
		24/24 MHz		17.96	—		
		12/12 MHz		11.38	—		
		1/1 MHz		5.09	—		
FEI 模式下运行电流值, 禁用 并门控所有模块时钟; 从 Flash 运行	R _{IDD}	48/48 MHz	5	17.22	—	mA	-40 至 125 °C
		48/24 MHz		12.3	—		
		24/24 MHz		10.78	—		
		12/12 MHz		7.52	—		
		1/1 MHz		4.51	—		
		48/48 MHz	3.3	17.16	—		
		48/24 MHz		12.22	—		
		24/24 MHz		10.7	—		
		12/12 MHz		7.4	—		
		1/1 MHz		4.44	—		
FBE 模式下运行电流值, 使能 所有模块时钟; 从 RAM 运行	R _{IDD}	48/48 MHz	5	32.55	—	mA	-40 至 125 °C
		48/24 MHz		20.3	—		
		24/24 MHz		18.69	19.54 ²		
		12/12 MHz		11.94	—		
		1/1 MHz		5.33	—		
		48/48MHz	3.3	32.5	—		
		48/24 MHz		20.25	—		
		24/24 MHz		18.6	19.65 ²		
		12/12 MHz		11.82	—		
		1/1 MHz		5.33	—		
FBE 模式下运行电流值, 禁用 并门控所有模块时钟; 从 RAM 运行	R _{IDD}	48/48 MHz	5	18.79	—	mA	-40 至 125 °C
		48/24 MHz		13.34	—		
		24/24 MHz		11.75	12.16 ²		
		12/12 MHz		8.36	—		
		1/1 MHz		4.85	—		
		48/48 MHz	3.3	18.66	—		
		48/24 MHz		13.23	—		
		24/24 MHz		11.64	12.05 ²		
		12/12 MHz		8.21	—		
		1/1 MHz		4.78	—		
FEI 模式等待电流值, 使能 所有模块时钟	W _{IDD}	48/48 MHz	5	25.7	—	mA	-40 至 125 °C
		48/24 MHz		16.78	—		



		24/24 MHz	3.3	15.2	15.61 ²		
		12/12 MHz		12.9	—		
		1/1 MHz		5.22	—		
		48/48 MHz		25.45	—		
		48/24 MHz		16.53			
		24/24 MHz		15	15.52 ²		
		12/12 MHz		11.46	—		
		1/1 MHz		4.9	—		
Stop 模式电流, 无时钟激活 (除 32kHz LPO 时钟) ³	Sl _{DD}	—	5	4	183 ²	μA	-40 至 125 °C
		—	3.3	3.6	183 ²		
LVD 使能下的 Stop 模式电 流 ⁴	—	—	5	38	—	μA	-40 至 125 °C
		—	3.3	37.8	—		

1、典型列里的数据在 5.0 V、25 °C 条件下统计值或是推荐值。

2、在高温下可观察到最大电流。

3、典型情况下, RTC 会导致 I_{DD} 增加不超过 1μA; RTC 时钟源为 32kHz LPO 时钟。

4、以 5% 占空比定期将 LVD 从 Stop 状态唤醒。周期等于或短于 2 ms。

5 I/O 参数

5.1 控制时序

表 5-1 控制时序

编号	极限	符号	最小值	典型值 ¹	最大值	单位
1	系统和内核时钟	f_{Sys}	DC	—	96	MHz
2	总线频率 ($t_{\text{cyc}} = 1/f_{\text{Bus}}$)	f_{Bus}	DC	—	48	MHz
3	内部低功耗振荡器频率	f_{LPO}	21	32.0	40	KHz
4	外部复位脉冲宽度 ²	t_{extrst}	460	—	—	us
5	复位低驱动	t_{rstdrv}	$34 \times t_{\text{cyc}}$	—	—	ns
6	IRQ 脉冲宽度	异步路径 ²	t_{LILH}	100	—	ns
		同步路径 ³	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	ns
7	键盘中断脉冲宽度	异步路径 ²	t_{LILH}	100	—	ns
		同步路径	t_{IHIL}	$1.5 \times t_{\text{cyc}}$	—	ns
8	端口上升和下降时间 — 标准驱动强度 (负载 = 50 pF) ⁴	—	t_{Rise}	—	10.2	ns
		—	t_{Fall}	—	9.5	ns
	—	t_{Rise}	—	3	—	ns
		t_{Fall}	—	2.8	—	ns

1、除非另有说明，否则典型值是指在 $V_{\text{DD}} = 5.0\text{V}$ 、 25°C 时的特性数据。

2、这是保证可识别为 RESET 引脚请求的最短脉冲。

3、这是保证可通过引脚同步电路的最短脉冲宽度。低于该宽度的脉冲有可能不被识别。在 Stop 模式中将避开同步器，所以可识别更短的脉冲。

4、时序按 20%的 V_{DD} 电平和 80%的 V_{DD} 电平显示。温度范围 -40°C 至 125°C 。

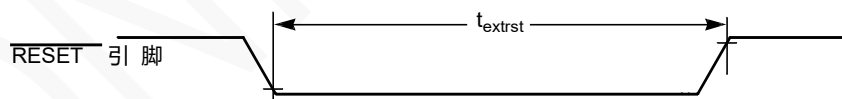


图 5-1 复位时序

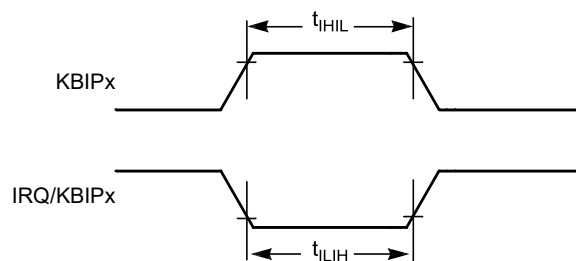


图 5-2 KBIPx 时序

5.2 弹性定时器模块时序

同步电路决定可识别的最短输入脉冲或决定定时器计数器可配置的外部时钟源的最快时钟。这些同步电路的工作时钟是总线时钟。

表 5-2 弹性定时器模块时序

功能	符号	最小值	最大值	单位
定时器时钟频率	f_{Timer}	f_{Bus}	f_{Sys}	Hz
外部时钟频率	f_{TCLK}	0	$f_{\text{Timer}}/4$	Hz
外部时钟周期	t_{TCLK}	4	—	t_{cyc}
外部时钟高电平时间	t_{clkh}	1.5	—	t_{cyc}
外部时钟低电平时间	t_{clkl}	1.5	—	t_{cyc}
输入捕捉脉冲宽度	t_{ICPW}	1.5	—	t_{cyc}

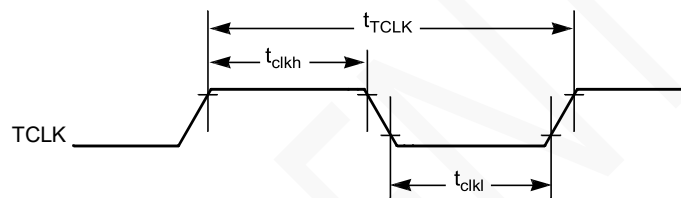


图 5-3 定时器外部时钟

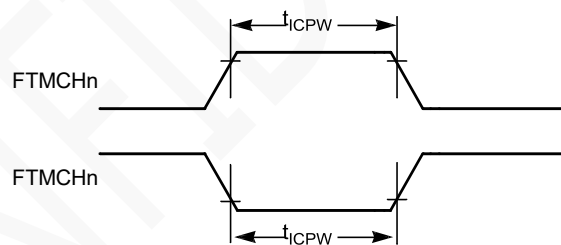


图 5-4 定时器输入捕捉脉冲



6 热特性

6.1 热特性

本节介绍有关工作温度范围、功耗和封装热阻的信息。I/O 引脚上的功耗通常比片上逻辑和电压调节器电路中的功耗少，且它由用户决定而非由 MCU 设计控制。要在功率计算中考虑 PI/O，需要确定实际引脚电压和 V_{SS} 或 V_{DD} 之间的电压差并乘以每个 I/O 引脚的引脚电流。除异常高引脚电流（高负载）外，引脚电压和 V_{SS} 或 V_{DD} 之间的压差将会很小。

表 6-1 热学属性

板类型	符号	说明	64 LQFP	80 LQFP	单位	注释
单层(1S)	$R_{\theta JA}$	热阻，连接到外部环境（自然对流）	71	57	$^{\circ}\text{C}/\text{W}$	1, 2
四层(2s2p)	$R_{\theta JA}$	热阻，连接到外部环境（自然对流）	53	44	$^{\circ}\text{C}/\text{W}$	1, 3
单层(1S)	$R_{\theta JMA}$	热阻，连接到外部环境（空气速率为 200 英尺/分钟）	59	47	$^{\circ}\text{C}/\text{W}$	1, 3
四层(2s2p)	$R_{\theta JMA}$	热阻，连接到外部环境（空气速率为 200 英尺/分钟）	46	38	$^{\circ}\text{C}/\text{W}$	1, 3
—	$R_{\theta JB}$	热阻，连接到板	35	28	$^{\circ}\text{C}/\text{W}$	4
—	$R_{\theta JC}$	热阻，连接到管壳	20	15	$^{\circ}\text{C}/\text{W}$	5
—	Ψ_{JT}	热特性参数，连接到外封装顶部中心自然对流）	5	3	$^{\circ}\text{C}/\text{W}$	6

- 1、结温是裸片大小、片上功耗、封装热阻、安装环境（板）温度、环境温度、气流、板上其他组件的功耗和板热阻的函数。
- 2、基于 JEDEC JESD51-2 标准，在单层板（JESD51-3）水平方向。
- 3、基于 JEDEC JESD51-6 标准，在电路板（JESD51-7）水平方向。
- 4、裸片和印刷电路板上的热阻，基于 JEDEC JESD51-8 标准。板温度在封装附近的板上表面测量。
- 5、裸片和封装底部焊盘之间的热阻。忽略接触热阻。
- 6、基于 JEDEC JESD51-2 标准，热特性参数表示封装顶部和结温之间的温差。未提供希腊字母时的热特性。

7 外设工作要求与特性

7.1 SWD 电气特性

表 7-1 SWD 全电压范围电气特性

符号	说明	最小值	最大值	单位
	工作电压	2.7	5.5	V
J1	SWD_CLK 工作频率 • 串行线调试	0	24	MHz
J2	SWD_CLK 周期	1/J1	—	ns
J3	SWD_CLK 时钟脉宽 • 串行线调试	20	—	ns
J4	SWD_CLK 上升和下降时间	—	3	ns
J9	SWD_DIO SWD_CLK 上升前的输入数据建立时间	10	—	ns
J10	SWD_DIO SWD_CLK 上升后的输入数据保持时间	3	—	ns
J11	SWD_CLK 高电平至 SWD_DIO 数据有效时间	—	35	ns
J12	SWD_CLK 高电平至 SWD_DIO 高阻态时间	5	—	ns

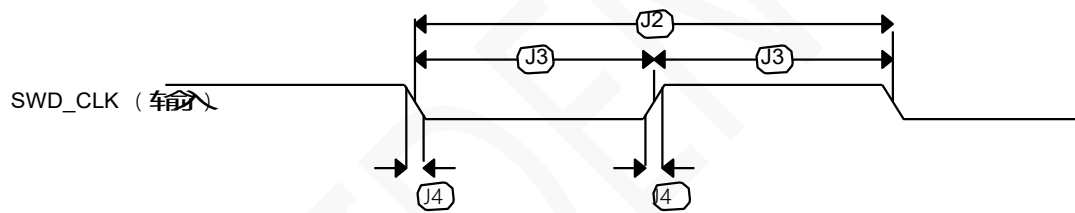


图 7-1 串行线时钟输入时序

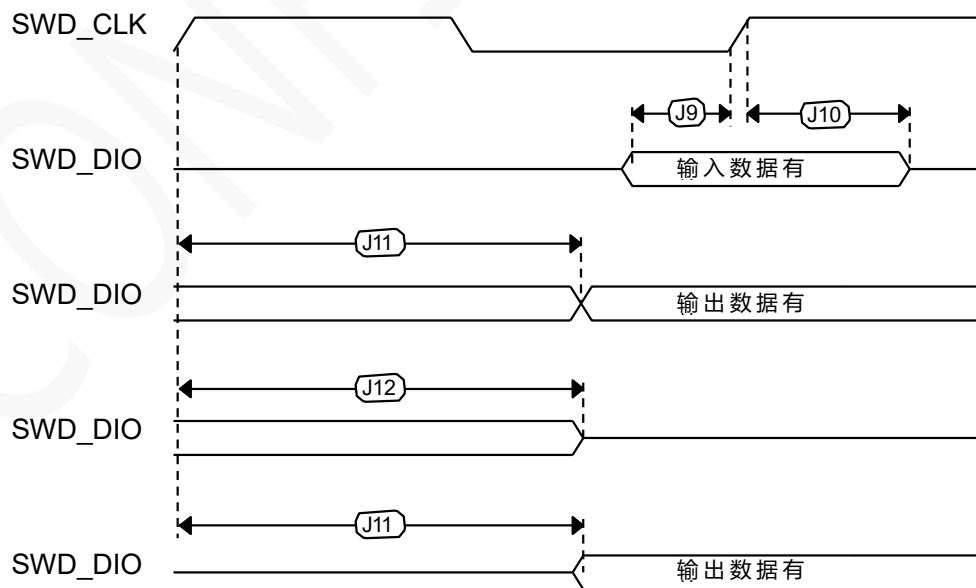


图 7-2 串行线数据时序



7.2 系统振荡器 (OSC) 和 ICS 特性

表 7-2 OSC 和 ICS 规格 (环境温度范围 = -40 到 125°C)

编号	特性		符号	最小值	典型值 ¹	最大值	单位
1	晶振或谐振器频率	低频范围(RANGE = 0)	f _{lo}	31.25	32.768	39.0625	kHz
		高频范围(RANGE = 1)	f _{hi}	4	—	24	MHz
2	负载电容		C ₁ 、C ₂	参见注释 ²			
3	反馈电阻	低频率、高增益模式	R _F	—	10	—	MΩ
		高频率、低功耗模式		—	1	—	MΩ
		高频率、高增益模式		—	1	—	MΩ
4	串联电阻-低频率	低功耗模式 ³	R _S	—	0	—	kΩ
		高增益模式		—	200	—	kΩ
5	串联电阻—高频	低功耗模式 ³	R _S	—	0	—	kΩ
		12 MHz		—	0	—	kΩ
		24 MHz		—	0	—	kΩ
6	晶振启动时间 低频范围 = 32.768 kHz 晶振; 高频范围 = 12/24 MHz 晶振 ^{4,5}	低频范围、高增益	t _{CSTL}	—	2500	—	ms
		高频范围、低功耗	t _{CSTH}	—	3	—	ms
		高频范围、高增益	—	—	2	—	ms
7	内部参考启动时间		t _{IRST}	—	20	50	μs
8	内部基准时钟频率, 出厂已调整	T = 125 °C, V _{DD} = 5 V	f _{int_ft}	—	37.5	—	kHz
9	DCO 输出频率范围	FLL 基准电压源 = f _{int_t} 、f _{lo} 或 f _{hi} / RDIV	f _{dco}	40	—	400	MHz
10	出厂已调整的内部振荡器精度	T = 125 °C, V _{DD} = 5 V	Δf _{int_ft}	-0.8	—	0.8	%
11	在 T = 25 °C、V _{DD} = 5 V 的条件下调整时,IRC 随温度变化产生的偏差	温度范围是-40 °C 至 125°C	Δf _{int_t}	-1	—	0.8	%
12	采用出厂调整值的 DCO 输出频率 精度	温度范围是-40 °C 至 125°C	Δf _{dco_ft}	-2.3	—	0.8	%
13	FLL 采集时间 ^{4,6}		t _{Acquire}	—	—	2	ms
14	DCO 输出时钟长期抖动 (平均间隔超过 2ms) ⁷		C _{Jitter}	—	0.02	0.2	%f _{dco}

1、典型列里的数据是在 5.0 V、25 °C 条件下的统计值或是推荐值

2、参见晶振或谐振器制造商的建议。

3、当 RANGE = HGO = 0 时, 负载电容 (C₁、C₂)、反馈电阻 (R_F) 和串联电阻 (R_S) 将内部合并。

4、此参数为典型数据, 并未在每个器件上进行测试。

5、为了达到规格要求, 务必遵循正确的 PCB 布局流程。

6、在任何时候都适用于以下条件: 当 FLL 参考源或参考分频器改变时; 调整值改变时; 或从“禁用 FLL” (FBELP、FBILP) 变为“启用 FLL” (FEI、FEE、FBE、FBI) 时。当晶振/谐振器用作参考时钟源时, 此规格假定其已运行。

7、抖动是在最大 f_{Bus} 下指定间隔内与已编程频率的平均偏差。测量时使用带滤波的外部电源和稳定的外部时钟。噪声通过

V_{DD} 与 V_{SS} 注入 FLL 电路，并且晶体振荡器频率的变化增加了给定间隔内 C_{Jitter} 的百分比。

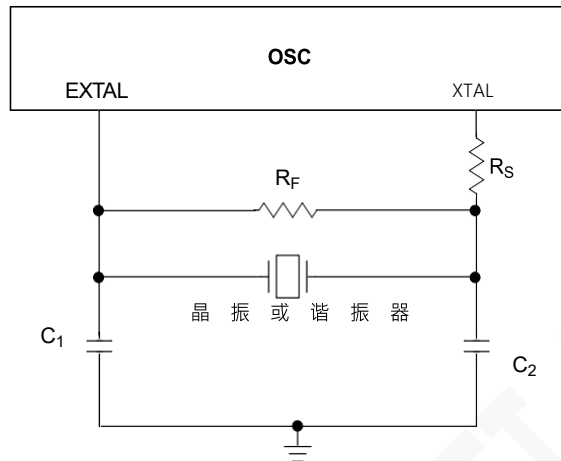


图 7-3 典型晶振或谐振器电路

7.3 NVM 规格

本节详细介绍了 Flash 存储器的编程/擦除时间和编程/擦除次数。

表 7-3 Flash 特性

特性	符号	最小值	典型值	最大值	单位
工作电压	V_{DD}	1.35	—	1.65	V
工作温度	T_J	-40	—	125	°C
FLASH 编程/擦除次数	n_{FLPE}	100k	—	—	周期
数据保留周期	t_{D_ret}	20	—	—	年
读取电流	I_{ARC}	—	—	12mA@33MHz	mA
编程电流	I_{APC}	—	—	9	mA
擦除电流	I_{AEC}	—	—	2	mA
待机电流	I_{SC}	—	—	200	μA
深待机电流	I_{DSC}	—	—	3 μA @25°C 50 μA @125°C	μA
快速读取接入时间	t_{FRAT}	—	—	30	ns
擦除时间	t_{FT}	4	—	—	ms
文字编程	t_{WP}	55	—	—	μs
页码编程	t_{PP}	799	—	—	μs

7.4 ADC 特性

表 7-4 5 V 12 位 ADC 工作条件

特性	条件	符号	最小值	典型值 ¹	最大值	单位	注释
基准电位	• 低	V_{REFL}	V_{SSA}	—	—	V	—
	• 高	V_{REFH}	—	—	V_{DDA}	V	—
供电电压	绝对值	V_{DDA}	2.7	—	5.5	V	—
	V_{DD} 的差值 ($V_{DD}-V_{DDA}$)	ΔV_{DDA}	-100	0	+100	mV	—
输入电压		V_{ADIN}	V_{REFL}	—	V_{REFH}	V	—
输入电容		C_{ADIN}	—	9.5	10.5	pF	—
输入电阻		R_{ADIN}	—	3	5	k Ω	—
模拟源电阻	12 位模式 • $f_{ADCK} > 4$ MHz • $f_{ADCK} < 4$ MHz	R_{AS}	—	—	2	k Ω	外部到 MCU
	10 位模式 • $f_{ADCK} > 4$ MHz • $f_{ADCK} < 4$ MHz		—	—	5		
	8 位模式 对于所有的 f_{ADCK} 都有效		—	—	10		
ADC 转换时钟频率	高速(LPE=0)	f_{ADCK}	0.4	—	20	MHz	—
	低功耗(LPE=1)		0.4	—	8		

1、除非另有说明，否则典型值假定 $V_{DDA} = 5.0$ V，温度 = 25°C， $f_{ADCK} = 1.0$ MHz。典型值仅供参考，并未在生产中进行测试。

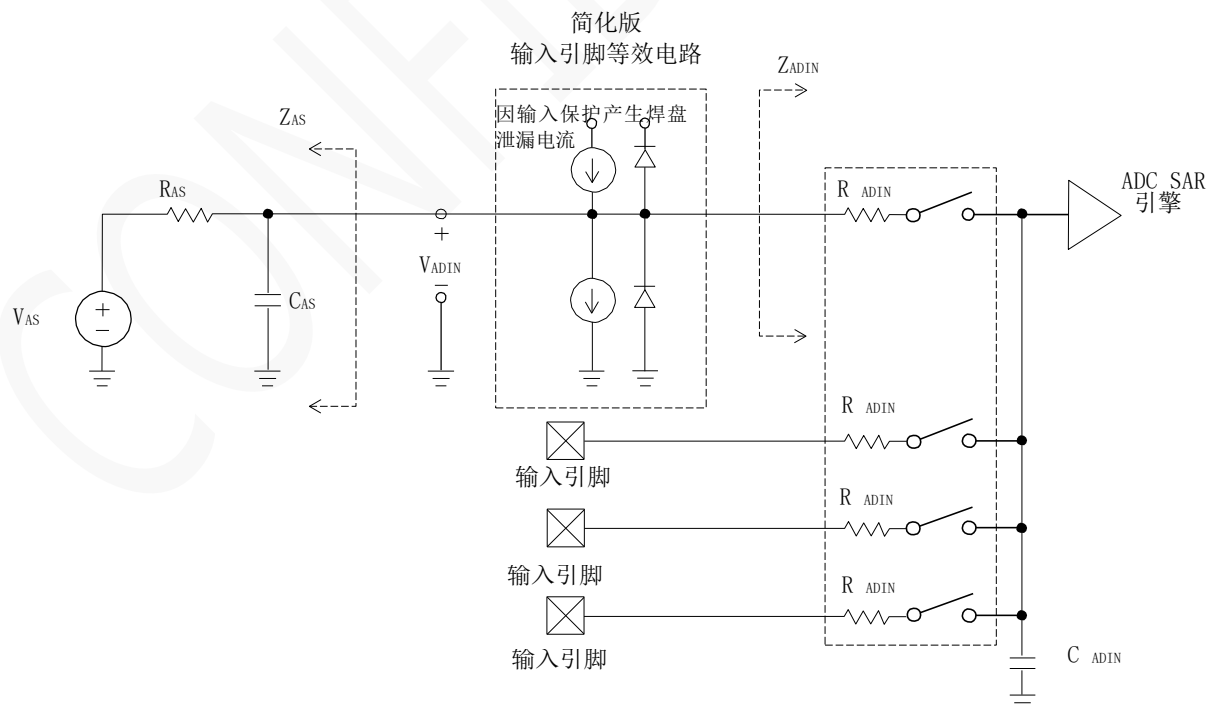


图 7-4 ADC 输入阻抗等效图



表 7-5 12 位 ADC 特性 ($V_{REFH} = V_{DDA}$, $V_{REFL} = V_{SSA}$)

特性	条件	符号	最小值	最小值 ¹	最大值	单位
供电电流 LPE = 1 LSTE = 1 CCE = 1		I_{DDA}	—	290	—	μA
供电电流 LPE = 1 LSTE = 0 CCE = 1		I_{DDA}	—	322	—	μA
供电电流 LPE = 0 LSTE = 1 CCE = 1		I_{DDA}	—	290	—	μA
供电电流 LPE = 0 LSTE = 0 CCE = 1		I_{DDA}	—	322	990	μA
供电电流	停止、复位、模块关闭	I_{DDA}	—	0.011	1	μA
ADC 异步时钟源	高速(LPE = 0)	f_{ADACK}	2	3.3	5	MHz
	低功耗(LPE = 1)		1.25	2	3.3	
转换时间 (包括采样时间)	8 位模式	t_{ADC}	短样(LSTE = 0)	15	—	ADCK 周期
			长样(LSTE = 1)	35	—	
	10 位模式		短样(LSTE = 0)	17	—	
			长样(LSTE = 1)	37	—	
	12 位模式		短样(LSTE = 0)	19	—	
			长样(LSTE = 1)	39	—	
采样时间	短样(LSTE = 0)	t_{ADS}	—	3.5	—	ADCK 周期
	长样(LSTE = 1)		—	23.5	—	
未调整总误差 ²	12 位模式	E_{TUE}	—	± 5.0	—	LSB ³
	10 位模式		—	± 1.5	—	
	8 位模式		—	± 0.8	—	
差分非线性	12 位模式	DNL	—	± 1.5	—	LSB ³
	10 位模式		—	± 0.4	—	
	8 位模式		—	± 0.15	—	
积分非线性	12 位模式	INL	—	± 1.5	—	LSB ³
	10 位模式		—	± 0.4	—	
	8 位模式		—	± 0.15	—	
零量程误差 ⁴	12 位模式	E_{ZS}	—	± 1.0	—	LSB ³
	10 位模式		—	± 0.2	—	
	8 位模式		—	± 0.35	—	
满量程误差 ⁵	12 位模式	E_{FS}	—	± 2.5	—	LSB ³
	10 位模式		—	± 0.3	—	
	8 位模式		—	± 0.25	—	



量化误差	≤12 位模式	E_Q	—	—	±0.5	LSB ³
输入泄漏误差 ⁶	所有模式	E_{IL}	$I_{in} \times R_{AS}$			mV
温度传感器斜率	-40 °C–25 °C ⁷	m	—	-0.607	—	mV/°C
	25 °C–125 °C ⁸		—	-0.5461	—	
温度传感器电压	25 °C	V_{TEMP25}	—	0.66	—	V

1、除非另有说明，否则典型值假定 $V_{DDA} = 5.0\text{ V}$ ，温度 = 25 °C， $f_{ADCK} = 1.0\text{ MHz}$ 。典型值仅供参考，并未在生产中进行测试。

2、包括量化

3、 $1\text{ LSB} = (V_{REFH} - V_{REFL})/2^N$

4、 $V_{ADIN} = V_{SSA}$

5、 $V_{ADIN} = V_{DDA}$

6、 I_{in} = 漏电流（参考直流特性）

7、temperature (°C) = sampling(mV)*(-0.607) + 428.2

8、temperature (°C) = sampling(mV)*(-0.5461) + 384.667

7.5 模拟比较器（ACMP）电气规格

表 7-6 比较器电气规格

特性	符号	最小值	典型值	最大值	单位
供电电压	V_{DDA}	2.7	—	5.5	V
供电电流（工作模式）	I_{DDA}	—	10	20	μA
模拟输入电压	V_{AIN}	$V_{SS} - 0.3$	—	V_{DDA}	V
模拟输入偏移电压	V_{AIO}	—	—	40	mV
模拟比较器迟滞(HYST=0)	V_H	10	15	20	mV
模拟比较器迟滞(HYST=1)	V_H	—	20	30	mV
供电电流（关闭模式）	I_{DDAOFF}	—	60	—	nA
传播延迟	t_D	—	0.4	1	μs

7.6 SPI 开关规格

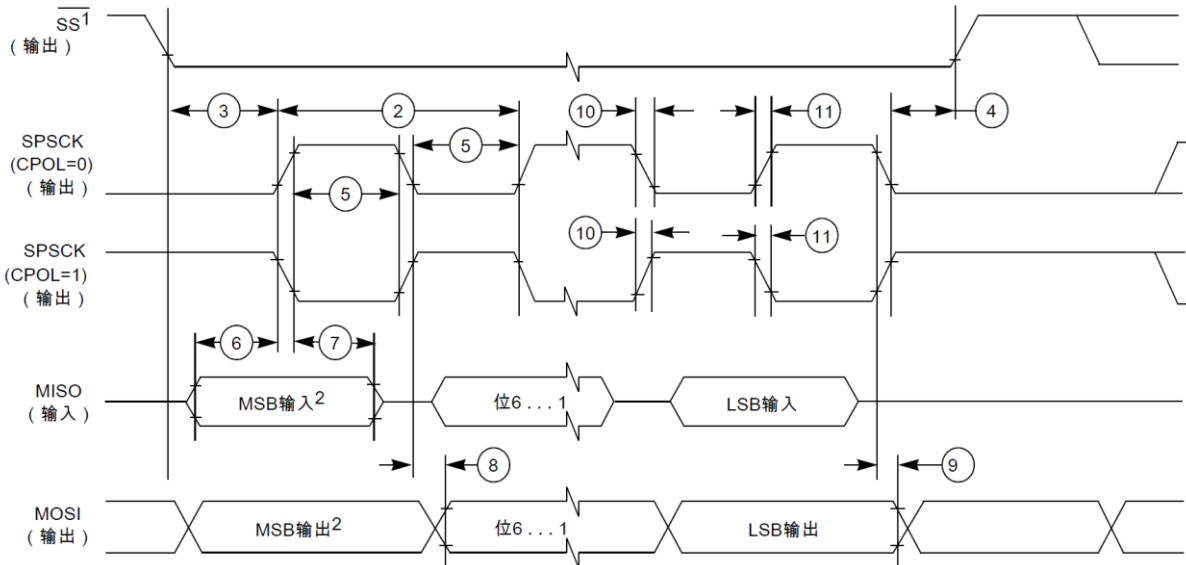
串行外设接口（SPI）可为主从操作提供同步串行总线。SPI 的很多传输性质可以通过 软件配置。下面各表将介绍经典 SPI 时序模式的时序特性。有关修正传输格式的信息，请参见本芯片“参考手册”中的 SPI 一章。这些格式主要用于和速度较慢的外围设备通信。如无特殊说明表中所有时序采用的电压阈值均为 20%的 V_{DD} 和 80%的 V_{DD} ，所有 SPI 引脚挂有 25pF 的负载。所有如下时序都在禁止压摆率控制和使能高驱动的假设下得到的。

表 7-7 SPI 主机模式时序

编号	符号	说明	最小值	最大值	单位	注解
1	f_{op}	操作频率	$f_{BUS}/65484$	$f_{BUS}/2$	Hz	f_{BUS} 是总线时钟
2	t_{SPSCK}	SPSCK 周期	$2 \times t_{BUS}$	$65484 \times t_{BUS}$	ns	$t_{BUS} = 1/f_{BUS}$
3	t_{Lead}	使能前置时间	1/2	—	t_{SPSCK}	—
4	t_{Lag}	使能滞后时间	1/2	—	t_{SPSCK}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{BUS} - 30$	$32742 \times t_{BUS}$	ns	—

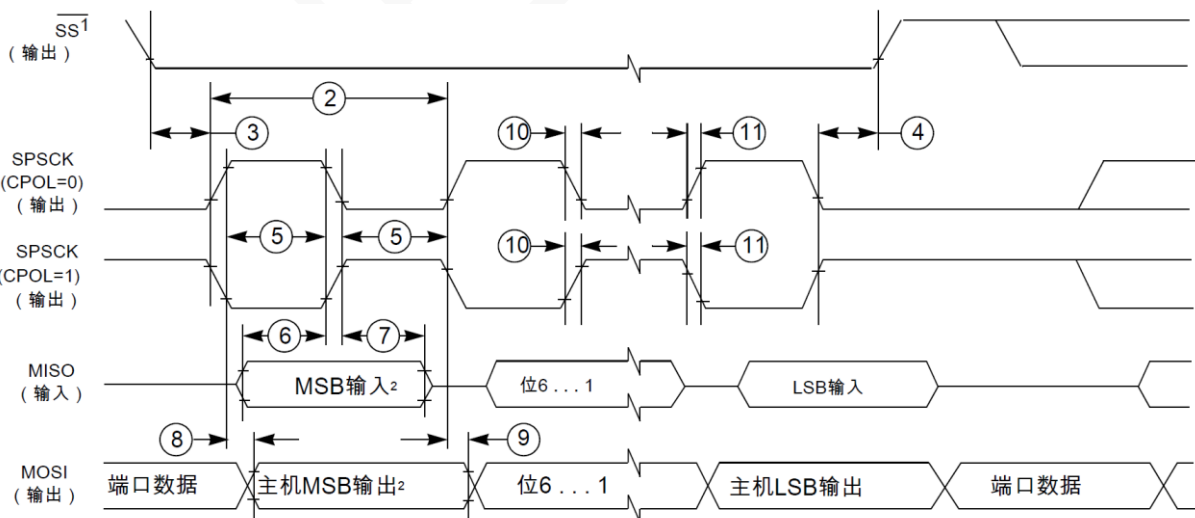


6	t_{SU}	数据建立时间 (输入)	8	—	ns	—
7	t_{HI}	数据保持时间 (输入)	8	—	ns	—
8	t_v	有效数据 (在 SPSCK 边沿后)	—	25	ns	—
9	t_{HO}	数据保持时间 (输出)	20	—	ns	—
10	t_{RI}	输入上升时间	—	30	ns	—
	t_{FI}	输入下降时间				
11	t_{RO}	输出上升时间	—	30	ns	—
	t_{FO}	输出下降时间				



1、如果配置为输出。

图 7-5 SPI 主机模式时序(SCPOL =0)

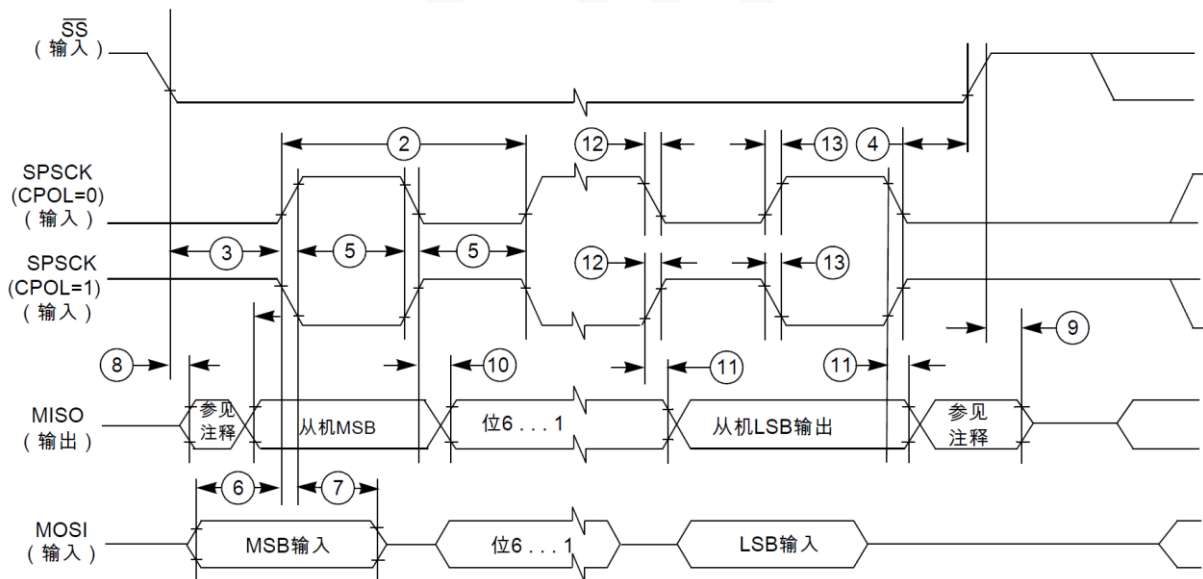


1、如果配置为输出。

图 7-6 SPI 主机模式时序(SCPOL =1)

表 7-8 SPI 从机模式时序

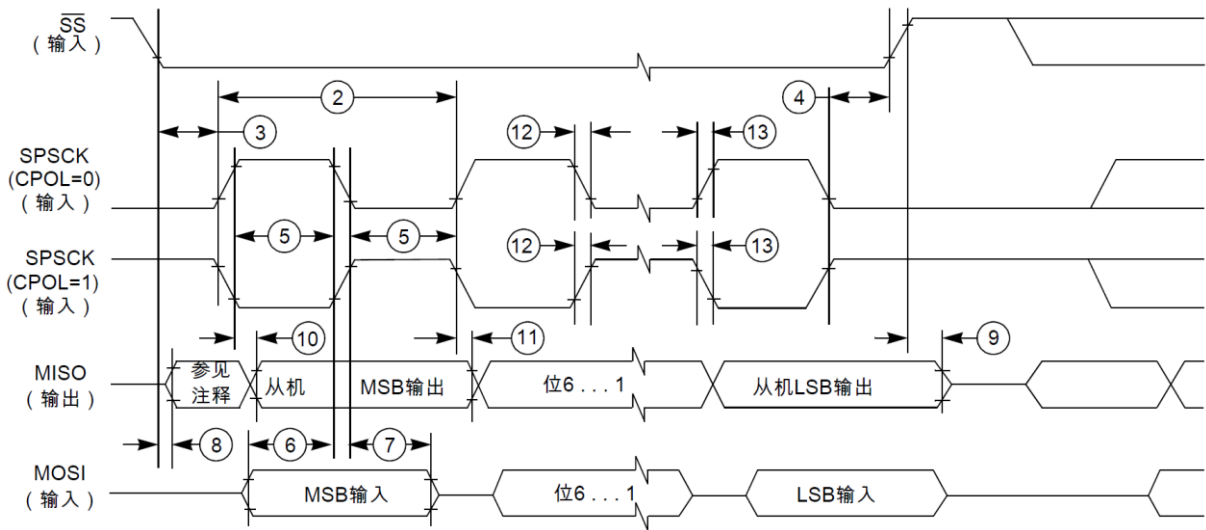
编号	符号	说明	最小值	最大值	单位	注解
1	f_{op}	操作频率	0	$f_{Bus}/4$	Hz	f_{Bus} 是控制时序中定义的总线时钟。
2	t_{SPSCK}	SPSCK 周期	$4 \times t_{Bus}$	—	ns	$t_{Bus} = 1/f_{Bus}$
3	t_{Lead}	使能前置时间	1	—	t_{Bus}	—
4	t_{Lag}	使能滞后时间	1	—	t_{Bus}	—
5	t_{WSPSCK}	时钟(SPSCK)高电平或低电平时间	$t_{Bus} - 30$	—	ns	—
6	t_{SU}	数据建立时间 (输入)	15	—	ns	—
7	t_{HI}	数据保持时间 (输入)	25	—	ns	—
8	t_a	从机访问时间	—	t_{Bus}	ns	从高阻抗状态到数据有效的 时间
9	t_{dis}	从机 MISO 禁用时间	—	t_{Bus}	ns	到高阻抗状态的保持时 间
10	t_v	有效数据 (在 SPSCK 边沿后)	—	25	ns	—
11	t_{HO}	数据保持时间 (输出)	0	—	ns	—
12	t_{RI}	输入上升时间	—	30	ns	—
	t_{FI}	输入下降时间	—	30	ns	—
13	t_{RO}	输出上升时间	—	30	ns	—
	t_{FO}	输出下降时间	—	30	ns	—



注释：未定义

图 7-7 SPI 从机模式时序(SCPOL =0)

s



注释：未定义

图 7-8 SPI 从机模式时序(SCPOL =1)

7.7 CAN 特性

表 7-9 CAN 唤醒脉冲特性

参数	符号	最小值	典型值	最大值	单位
CAN 唤醒显性脉冲（滤波）	t _{WUP}	-	-	1.5	μs
CAN 唤醒显性脉冲（不滤波）	t _{WUP}	5	-	-	μs

8 封装与 Pin 脚

8.1 芯片尺寸

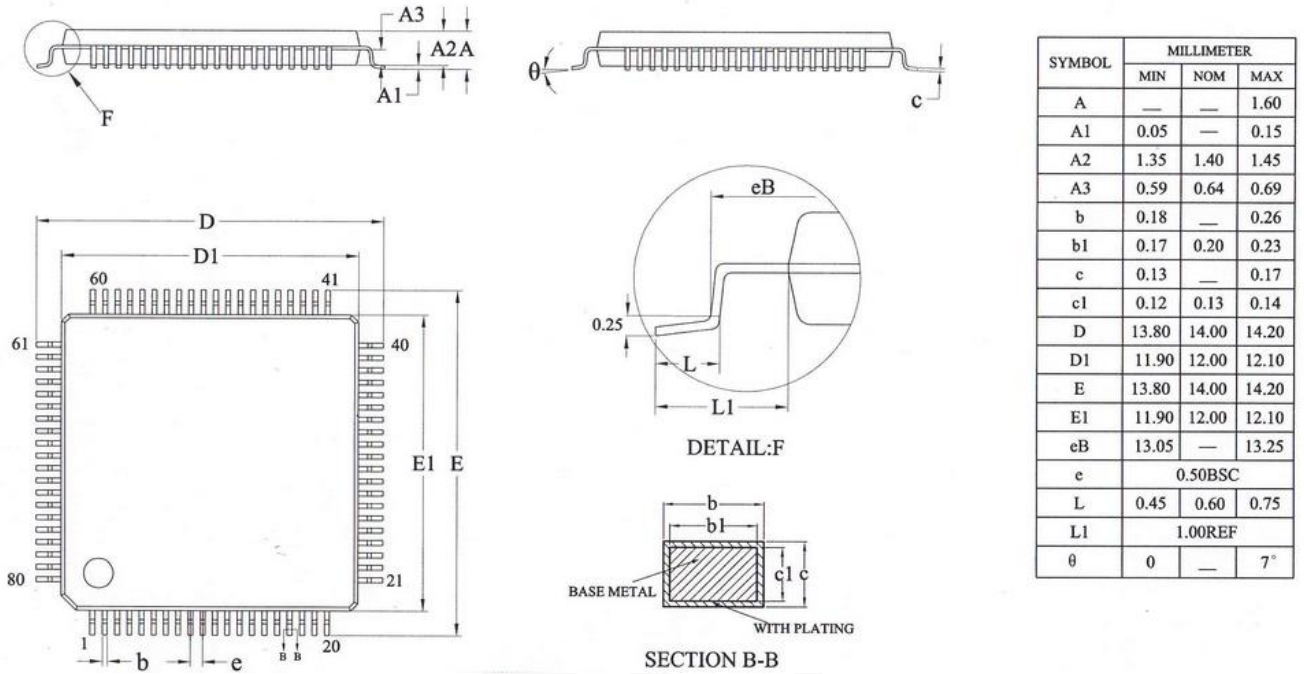


图 8-1 80pin 封装尺寸图

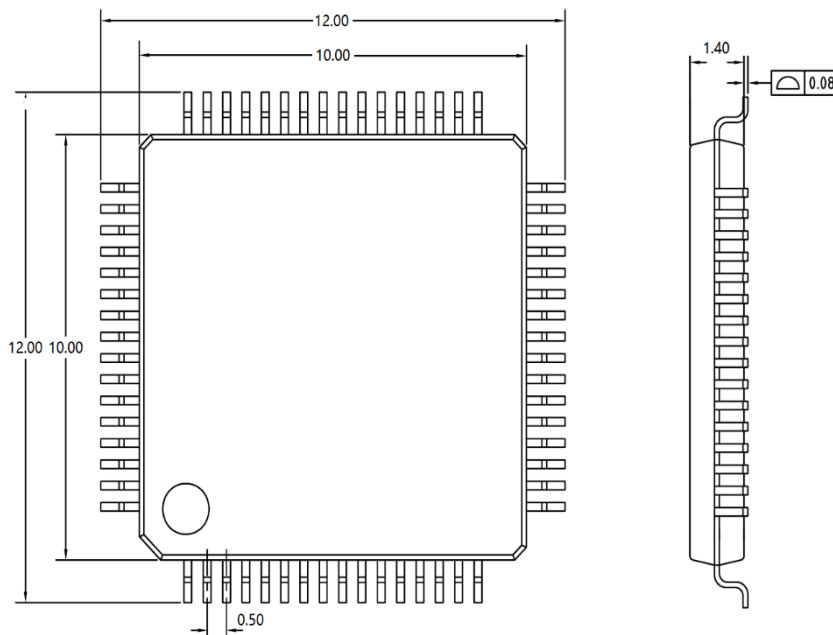


图 8-2 64pin 封装尺寸图

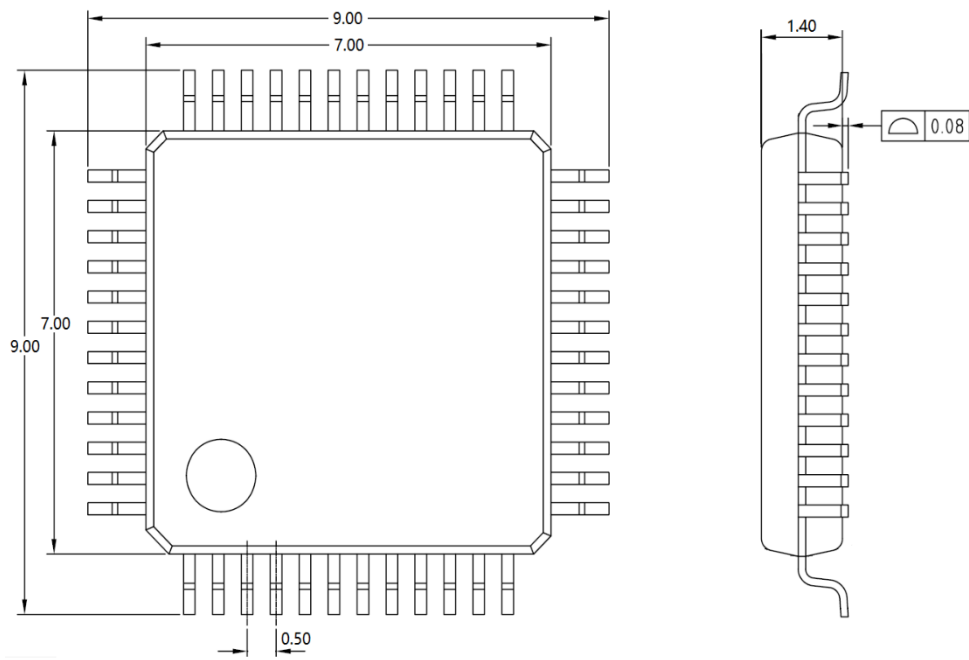


图 8-3 48pin 封装尺寸图



8.2 引脚分配

XL6600-2 系列 80/64/48pin 引脚功能和引脚封装图详情见附件：
XL6600-2 IO_Signal_Description_Input_Multiplexing.xlsx

CONFIDENTIAL